



Développement d'architectures 3D à base de transistors MOS à canal nanofil III-V

Nicolas Mallet

► To cite this version:

Nicolas Mallet. Développement d'architectures 3D à base de transistors MOS à canal nanofil III-V. Electronique. Université Paul Sabatier - Toulouse III, 2019. Français. NNT : 2019TOU30044 . tel-02147104v2

HAL Id: tel-02147104

<https://hal.laas.fr/tel-02147104v2>

Submitted on 25 May 2020

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



THÈSE

**En vue de l'obtention du DOCTORAT DE
L'UNIVERSITÉ DE TOULOUSE** Délivré par
l'Université Toulouse 3 - Paul Sabatier

**Présentée et soutenue par
Nicolas MALLET**

Le 26 mars 2019

**Développement d'architectures 3D à base de transistors MOS
à canal nanofil III-V**

Ecole doctorale : **GEET - Génie Electrique Electronique et Télécommunications :
du système au nanosystème**

Spécialité : **MicroNano Systèmes**

Unité de recherche :
LAAS - Laboratoire d'Analyse et d'Architecture des Systèmes

Thèse dirigée par
Guilhem LARRIEU

Jury

Mme Mireille MOUIS

Directeur de recherche – IMEP - LAHC

M. Dominique MANGELINCK

Directeur de recherche – IM2NP

M. Jérémie GRISOLIA

Professeur – LPCNO - INSA

M. Lukas CZORNOMAZ

Chercheur – IBM Research - Zurich

M. Clément MERCKLING

Chercheur – IMEC

Rapporteur

Rapporteur

Examineur

Examineur

Examineur

“ Si vous avez compris, vous avez sûrement tort ”

Jacques Lacan

Remerciements

Pour commencer, je tiens à remercier Guilhem LARRIEU pour sa confiance et son engagement dans ces travaux de thèse. Sa disponibilité ainsi que son expertise scientifique, que ce soit d'un point de vue technologique ou théorique, m'ont guidé tout au long de ces 3 ans pour aboutir aux résultats présentés dans ce manuscrit. Merci également pour les conseils sur les présentations orales, tu n'es pas étranger au fait que cela soit mon « point fort ».

Je remercie Liviu NICU et Alain CAZARRE, respectivement directeur du LAAS-CNRS et de l'école doctorale GEET, qui m'ont offert un excellent cadre pour pouvoir réaliser cette thèse. Je suis également reconnaissant envers l'Université de Toulouse Paul Sabatier et plus particulièrement envers Jean-François GEORGIS pour m'avoir donné l'opportunité d'enseigner la physique dans son unité d'enseignement. Je remercie également le jury de ma soutenance de thèse : les rapporteurs Mireille MOUIS et Dominique MANGELINCK, pour leur retour sur le manuscrit, et les examinateurs Jérémie GRISOLIA, Clément MERCKLING et Lukas CZORNOMAZ. Ce jury a été très pertinent dans ses questions et m'ont poussé dans mes retranchements, chacun dans leur domaine respectif.

Je remercie l'équipe MPN dans laquelle j'ai évolué et pu travailler avec un bon nombre d'entre eux : Fuccio, Emmanuel, Sébastien, Elena, Daya, Richard, l'autre Richard, Léa, Théo et Abhi ainsi que les secrétaires associées à cette équipe : Anaïs et Elena.

Je remercie les services techniques du laboratoire qui ont rendu possible l'élaboration de mes composants. Plus particulièrement le service TEAM, en charge de la salle blanche. Parmi eux se trouvent notamment Aurélie LECESTRE qui m'a accueilli, formé aux usages de la microtechnologie ainsi qu'à la gravure plasma mais également les autres personnes avec lesquelles j'ai pu échanger : Franck, Benjamin, Laurent, Ludovic, Adrian, David, Pierre-François, Jean-Baptiste, Bernard, Eric, Jean-François, Alexandre, David, Boubou, Arnaud, ... Un merci également à Nicolas du service I2C qui m'a aidé à effectuer les caractérisations électriques de mes composants.

Des remerciements plus personnels sont adressés à des personnes rencontrés au labo qui ont participé à la bonne ambiance : Aurélie, Deborah, Benjamin, Andréa, Marion, Lyne, Ségo, Jeremy, Baptiste, Amani, Baptiste, Jérôme, Julien, Audrey, Gautier, les frères Lale, Benatou, Mathieu, Ali, Asma, Valentin, Ludovic, Léopold, Thierry, Jérôme, Véronique et les probables oubliés. A ceux-là, j'ajouterai les 3 personnes qui m'ont supportés dans le bureau pendant ces 3 années : Brieux dit « Buryu » avec sa passion pour le sport, le chocolat et les bières, Adrien dit « Le Couteau Corse » qui comprendra peut être un jour que les chants polyphoniques corses, ce n'est pas sexy et Luca « Le bien-aimé » qui

instaura malgré lui le « Ciao » comme signe d'appartenance à notre groupe social (sans oublier ses sous-entendus masqués par son accent italien). J'inclus également dans ces remerciements Clara pour son optimisme démesuré, sa bonne humeur et ses horaires de travail me faisant me sentir moins seul pendant la rédaction. Julien, mon fameux « stagiaire » de 5 ans mon aîné, a également ma reconnaissance pour son soutien, son humour pas toujours compris et son implication dans mon travail en tant que « porteur de projet ».

Je tiens finalement à remercier ma famille, mes amis proches et toutes les personnes qui m'ont soutenu lors de ces trois dernières années et plus généralement durant mes études : mes parents, oncles, tantes et cousins, Marco, Clément, Lucas, Maxime et Laëtitia, ...

Merci à tous et bonne chance pour la suite !

Sommaire

Introduction	7
---------------------------	----------

Chapitre I : Du MOSFET planaire sur Si à l'architecture à base de nanofils verticaux sur III-V.....	9
--	----------

A. Composant de base de l'électronique : le MOSFET.....	9
1. Fonctionnement et évolution du MOSFET.....	9
2. Caractéristiques et performances d'un MOSFET	11
B. Perte du contrôle électrostatique du canal.....	12
1. Effets parasites de canaux courts et DIBL	12
2. Introduction de transistors multi-grilles.....	14
C. Stratégie verticale pour un dispositif 3D.....	16
1. Architecture à nanofils horizontaux	16
2. Architecture verticale	18
3. Choix de la stratégie d'intégration verticale	20
D. Matériaux III-V pour amplification des performances	22
E. Etat de l'art sur les transistors à nanofils verticaux de matériaux III-V	27
1. Différentes intégrations proposées.....	27
2. Performances des transistors à nanofils verticaux III-V.....	29
F. Conclusion	32

Chapitre II : Réalisation de nanofils verticaux de matériaux III-V sur Si.....	35
---	-----------

A. Etat de l'art sur la réalisation de nanofils verticaux	35
1. Généralités.....	35
i - La voie descendante	35
ii - La voie ascendante	37
2. Techniques de réalisation de nanofils verticaux III-V	39

B. Réalisation de nanofils par approche descendante : l'exemple du GaAs	44
1. Substrat GaAs sur Si(100).....	44
2. Obtention de plots de résine par lithographie électronique	46
3. Gravure des nanofils.....	48
4. Amincissement des nanofils.....	55
C. Croissance de nanofils d'InAs	59
1. Préparation de la surface du substrat Si(111)	59
2. Croissance de nanofils verticaux d'InAs.....	62
D. Conclusion	67
Chapitre III : Ingénierie de contacts – Obtention de contacts alliés CMOS compatibles faiblement résistifs	69
A. Enjeux et état de l'art	69
1. Contacts ohmiques sur GaAs	69
2. Contacts alliés sur III-V.....	72
B. Etude métallurgique de la formation de contacts alliés compatibles CMOS sur GaAs.	76
1. Alliage à base de palladium.....	77
2. Alliage à base de nickel.....	79
C. Propriétés électriques des contacts alliés	80
1. Méthodes de mesure.....	81
2. Résultats des caractérisations électriques de contacts sur GaAs	83
D. Développement des alliages sur structure 1D.....	86
1. Alliage Pd-GaAs sur nanofil	86
2. Alliage Ni-GaAs sur nanofil.....	90
E. Alliage sur nanofil d'InAs	96
F. Conclusion	97

Chapitre IV : Diélectrique de grille – Obtention d’un oxyde de grille avec une bonne interface avec le canal III-V 99

A. Enjeux et état de l’art	99
1. Problématique des oxydes des matériaux III-V.....	99
2. Dépôt d’oxyde à forte permittivité.....	102
B. Dépôt d’Al₂O₃ sur GaAs(100).....	108
C. Déterminations des caractéristiques électriques	110
1. Méthodes de mesures de la densité de défaut d’interface D_{it}	111
2. Résultats des caractérisations électriques.....	113
D. Dépôt d’Al₂O₃ sur nanofils verticaux de GaAs	118
E. Conclusion	120

Chapitre V : Développement et intégration des briques de bases dans un procédé compatible CMOS grande échelle pour la réalisation de transistors 123

A. Développement d’un procédé grande échelle	123
1. Enchaînement d’étapes de microfabrication	123
2. Intégration des briques précédemment développées	126
3. Positionnement de la grille et finition du procédé.....	131
B. Réalisation des espaceurs d’isolation	133
1. L’espaceur comme isolant électrique et matériau d’encapsulation	133
2. Structuration du premier niveau d’isolation.....	135
3. Gravure du second niveau d’isolation	141
C. Structuration des couches métalliques sans « lift-off »	142
1. Définition des contacts alliés	143
2. Définition de la grille en Cr	145
3. Prise de contact et formation des bornes du transistor	149
D. Conclusion	150

Conclusion	153
Bibliographie	157
Liste des communications scientifiques	169

Introduction

Les transistors sont la brique de base de l'électronique. De leur création dans les années 50 et le début de leur exploitation dans les années 60, a commencé une histoire qui a profondément transformé dans la société dans laquelle nous vivons aujourd'hui. Ils étaient initialement cantonnés à l'informatique, permettant de passer d'un fonctionnement mécanique à électronique et proposant ainsi un fort gain en performance et en miniaturisation. La performance et la miniaturisation sont les deux leviers d'amélioration qui ont permis à l'industrie naissante de ce secteur de révolutionner notre quotidien. Les transistors ont en effet traversé le monde micrométrique dans les années 60 vers le monde nanométrique dans les années 2000. Cette densification de la puissance de calcul a permis aux transistors de s'exporter vers tous types d'appareils incluant désormais de l'électronique : électroménager, transport, téléphonie, audiovisuel, médical ... A ce jour, les industriels mettent en place le monde de demain : « l'internet des objets ». Pour y parvenir, il est nécessaire de poursuivre cette miniaturisation des transistors et de toujours augmenter leurs performances. Mais cela s'accompagne également d'une considération sur la consommation énergétique de ces composants, les « objets » ne pouvant pas tous s'encombrer d'une batterie ou d'une liaison au réseau électrique domestique.

L'industrie du semiconducteur s'est reposée principalement sur un unique matériau durant plusieurs décennies : le silicium ayant donné son nom à la Silicon Valley. Bien que d'autres semiconducteurs aient été étudiés avant les années 2000, les avantages du silicium le rendait indétrônable : très faible coût, abondance, simplicité de fonctionnement et d'intégration. De même, les transistors n'ont connu qu'une architecture dans cette période : l'architecture planaire. Cependant, le développement des transistors de plus en plus miniaturisés a entraîné l'apparition de problématiques nuisant au bon fonctionnement des dispositifs : perte de contrôle électrostatique du canal et dégradation de la mobilité des porteurs de charge notamment. Pour y répondre, le transistor s'est progressivement transformé au fil des années : intégration d'un canal en Si contraint, technologie sur film mince, utilisation d'oxydes à forte permittivité ... Récemment, pour les nœuds 22 nm et 14 nm, un premier pas a été fait dans la direction de dispositifs 3D : des transistors à ailettes ont été implémentés profitant ainsi de la dimension verticale.

L'objectif de cette thèse est de poursuivre l'amélioration constante des transistors en proposant une architecture 3D à base de nanofils verticaux pour s'affranchir des effets de canaux courts. Le canal semiconducteur sera constitué de matériaux III-V afin de profiter de leur forte mobilité de porteurs de

charges. Cette thèse présentera dans un premier temps les problématiques de la miniaturisation des composants et les réponses associées pour démontrer la pertinence des dispositifs développés. Trois modules nécessaires au fonctionnement de ces dispositifs seront alors développés :

- Obtention de nanofils verticaux de matériaux III-V par voie ascendante et descendante,
- Obtention de contacts peu résistifs grâce à la formation d'alliage métal-(III-V) par diffusion thermique,
- Obtention d'une interface oxyde de grille/canal de haute qualité en minimisant la densité de défauts à cette interface.

Une fois ces réponses technologiques présentées, leur intégration au sein d'un procédé compatible avec les technologies MOS actuelles sera démontrée dans un dernier chapitre.

Chapitre I : Du MOSFET planaire sur Si à l'architecture à base de nanofils verticaux sur III-V

A. Composant de base de l'électronique : le MOSFET.

1. Fonctionnement et évolution du MOSFET.

Depuis l'invention du transistor en 1947 et l'ouverture de cette technologie au grand public au sein d'un récepteur radiophonique en 1954 puis la commercialisation du premier microprocesseur en 1971 [1], l'industrie du semiconducteur a connu un essor exponentiel. Les dispositifs MOSFET (Transistor à Effet de Champ « Metal Oxyde Semiconducteur ») et la technologie CMOS (« Metal Oxyde Semiconducteur Complémentaires ») associée sont à l'origine de cette croissance. La loi empirique de Moore, datant de 1965, énonce que la densité de transistors sur une puce silicium double tous les 2 ans. Comme le montre la Figure I-1, cette loi s'est avérée exacte au cours des cinquante dernières années. Cette miniaturisation des composants est le moteur de cette industrie puisqu'elle permet à la fois d'augmenter la densité de composants au sein d'un dispositif et également d'améliorer leurs performances individuelles.

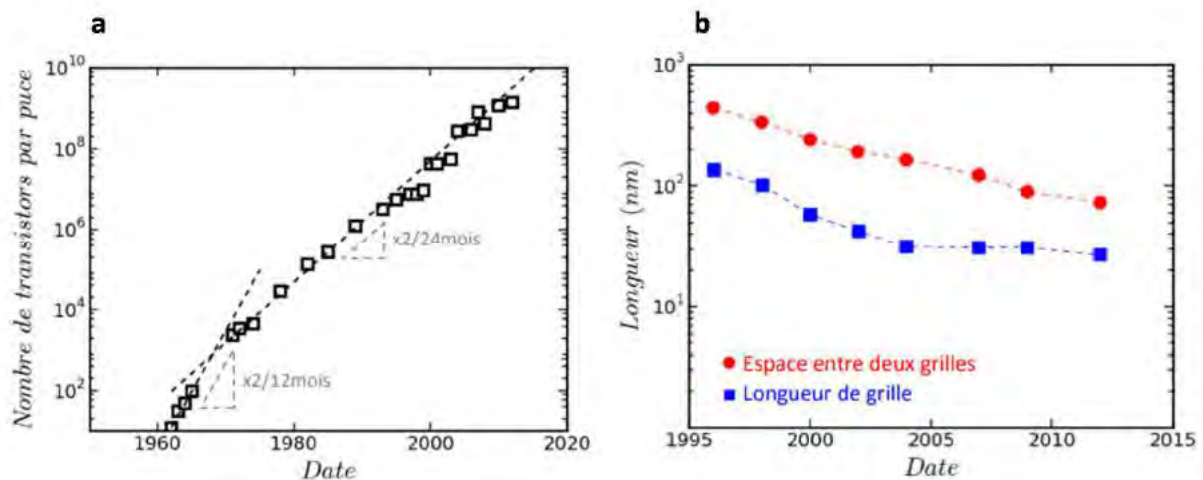


Figure I-1 : a) Evolution de la densité de transistors au cours des années vérifiant la loi de Moore [2]. b) Evolution des dimensions caractéristiques des transistors et de leur intégration au sein d'un même composant [3].

Le transistor à effet de champ est un tripôle où un canal de conduction est formé reliant la source au drain. La formation du canal de conduction est pilotée à l'aide du dernier pôle, la grille. Le MOSFET classique est représenté en Figure I-2. Il se compose d'un matériau semiconducteur, généralement le

Si, où sera créé le canal. Des réservoirs de porteurs de charges sont généralement implantés pour former la source et le drain. La grille repose au-dessus du canal mais est isolée électriquement de celui-ci à l'aide d'un oxyde.

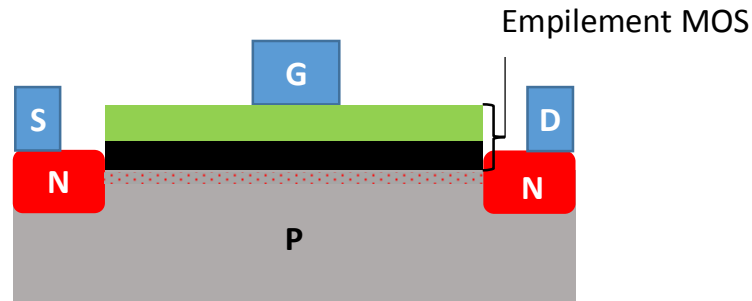


Figure I-2 : MOSFET à canal N planaire classique. Le canal de conduction est représenté en pointillé entre la source et le drain. N et P désignent le type de dopage tandis que S, D et G désignent les pôles du transistor.

Pour qu'un courant circule de la source vers le drain, il est nécessaire d'appliquer une tension V_{DS} qui fera circuler les porteurs de charges présents dans le canal. Dans le cas d'un N-MOS, le canal sera constitué d'électrons. La Figure I-3 représente le mouvement des charges à l'interface oxyde / semiconducteur :

- Si l'on applique une tension de grille $V_G < V_{FB}$ (tension de bandes plates), les trous seront attirés à l'interface et ne permettront pas le passage des électrons : c'est le régime d'accumulation.
- Au repos, lorsque $V_G = V_{FB}$, le canal n'est pas formé et la distribution des charges est similaire à celle dans le matériau semiconducteur.
- Lorsque $V_G > V_{FB}$, les trous sont progressivement repoussés de l'interface : on passe en régime de déplétion.
- Lorsque $V_G > V_{TH}$, la tension de seuil du composant, les électrons sont alors attirés à cette interface et forment une couche où les électrons sont majoritaires : cette couche d'inversion constitue le canal de conduction où les électrons du drain, entraînés par la tension V_{DS} , pourront circuler et créeront le courant I_{DS} .

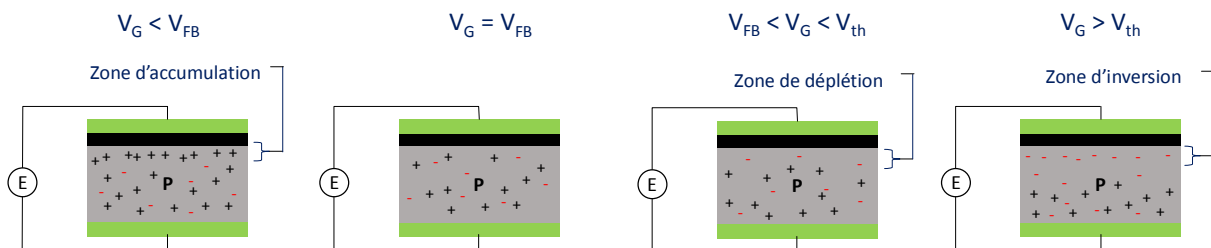


Figure I-3 : Déplacement des charges au sein de la structure N-MOS en fonction de la tension de grille appliquée. Le fonctionnement du transistor considéré est « Normally OFF »

On appelle état passant l'état où le canal de conduction est formé et bloquant celui où il est inexistant. Dans le cas d'un P-MOS, la variation en fonction de la tension de grille est inversée. Enfin, il existe également des configurations où la tension de seuil est décalée vers les tensions d'accumulation : le transistor est alors dit « Normally ON » car à $V_G = 0\text{ V}$, il est à l'état passant. Il faut alors appliquer une tension négative pour bloquer la formation du canal. Dans le cas du N-MOS considéré en Figure I-3, le transistor est dit « Normally OFF ».

2. Caractéristiques et performances d'un MOSFET

Lors de l'utilisation d'un MOSFET, plusieurs caractéristiques intrinsèques sont importantes pour décrire son fonctionnement. Quatre caractéristiques sont ainsi définies (Figure I-4). Le courant à l'état passant I_{ON} , qui doit être maximal pour une tension d'alimentation donnée. Le courant à l'état bloqué I_{OFF} qui doit être minimal, souvent compris dans le rapport I_{ON}/I_{OFF} qui doit être maximisé. En effet, le transistor n'étant pas un composant parfait, on observe un courant résiduel à l'état bloquant. Ce courant est perdu et est à l'origine d'une surconsommation énergétique des transistors. Lors des regroupements entre industriels préparant les futures innovations au sein des transistors (ITRS), les courants de fuites considérés sont de l'ordre du picoampère par transistor [4], il n'est pas négligeable en considérant la densité d'intégration actuelle : 18.10^{10} transistors co-intégrés au sein du microprocesseur Centriq 2400 de Qualcomm en 2017 [5]. Les origines de ces pertes sont des courants de fuites à travers l'oxyde de grille, d'une différence de polarisation entre la grille et le drain trop forte (GIDL), d'un courant de canal sous la tension de seuil ou de courants de diffusion provenant des zones source et drain dopés [6], [7].

La tension de seuil V_{TH} détermine la tension à appliquer au transistor pour passer d'un état à l'autre : elle est donc directement reliée à une problématique de consommation énergétique du transistor. L'inverse de la pente sous le seuil SS caractérise quant à elle la variation de potentiel nécessaire afin d'augmenter le courant d'une décade : il est donc nécessaire de la minimiser. Celle-ci possède une limite physique, dite limite thermoionique, de 60 mV/dec à température ambiante dans les MOSFET classique. Celle-ci provient d'un courant de fuite des électrons diffusant entre la source et le drain qui augmente lorsque la tension de grille augmente. Ce courant de fuite s'oppose à la circulation des porteurs de charges dans le dispositif, imposant donc une limite théorique à SS [8], [9].

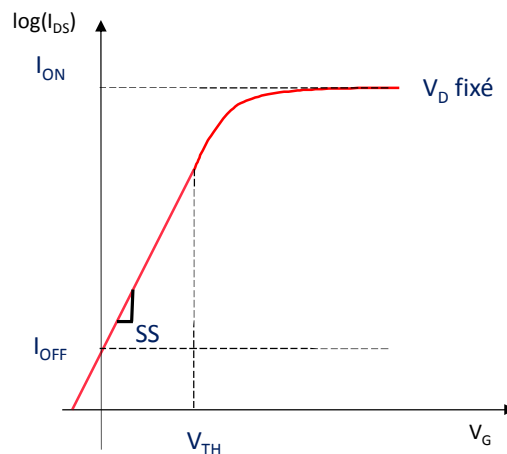


Figure I-4 : Figure de mérite d'un transistor MOSFET où I_{ON} , I_{OFF} , V_{TH} et SS sont représentés.

Cette architecture pour le MOSFET a permis une constante amélioration des performances et de la densité d'intégration grâce à l'évolution concomitante des techniques de réalisation. Cependant, la miniaturisation a entraîné l'apparition de nouveaux effets parasites.

B. Perte du contrôle électrostatique du canal

1. Effets parasites de canaux courts et DIBL

La réduction des dimensions s'est accompagnée de problématiques d'intégration qu'il a fallu résoudre. Par exemple, sur la technologie silicium, la réduction de l'épaisseur d'oxyde de grille en SiO_2 a entraîné l'augmentation des courants de fuite. Ce phénomène a pu être minimisé en utilisant un oxyde de grille avec une plus grande permittivité [10], [11]. Mais d'autres mécanismes, relatifs à la réduction de la taille du canal, impactent la conduction au sein de celui-ci. Ces phénomènes sont appelés « effets canaux courts (SCE) » et deux de ces effets réduisent le contrôle électrostatique du canal : l'effet de canal court et la réduction de hauteur de barrière induite par la polarisation de drain (DIBL). Pour expliquer ces effets, il est nécessaire de s'intéresser à la création du canal de conduction entre la source et le drain d'un point de vue énergétique à l'aide des diagrammes de bandes.

i - Effet de canal court

Dans un canal court, l'étendue des zones déplétées devient non négligeable devant la longueur totale du canal. La valeur du champ électrique longitudinal est alors comparable à celle du champ électrique transverse. Cela implique qu'une partie des charges n'est plus contrôlée par le champ développé par la grille. La tension de seuil diminue alors en conséquence. D'un point de vue énergétique, on observe l'abaissement de la barrière d'injection des porteurs de charge dans le canal.

ii - Réduction de la hauteur de barrière induite par le drain (DIBL)

La différence de potentiel entre la grille et le semiconducteur est à l'origine de la déplétion du canal puis de son inversion. Ce mouvement des charges à l'interface est d'autant plus important que la distance séparant le métal de grille et le semiconducteur est petite : ainsi, la réduction de l'épaisseur de l'oxyde de grille est un point crucial du processus de miniaturisation. Seulement, lorsqu'un transistor est alimenté, il existe un potentiel V_{DS} appliqué au niveau du drain qui agit également sur l'ouverture du canal. Dans le cas de transistors à canal long, le drain est trop éloigné de la source pour ouvrir la totalité du canal. Dans le cas d'un transistor à canal court, le champ créé par celui-ci peut effectivement contribuer à dépléter le canal avec la grille. Dans ce cas, le potentiel de grille minimal V_G que l'on doit appliquer au niveau de la grille pour ouvrir le canal est réduit. Cela entraîne que pour $V_G < V_{TH}$, un courant circule dans le canal et donc I_{OFF} augmente.

La schématisation des effets canaux courts sur les diagrammes de bandes des matériaux est présentée en Figure I-5.

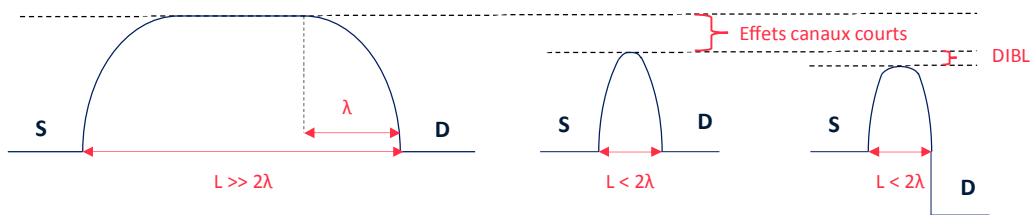


Figure I-5 : Effet de canaux courts : contrairement à un transistor à canal long (à gauche), le canal court (au milieu) ainsi que l'effet DIBL (à droite) induisent un abaissement de la barrière de potentiels et les porteurs de charges circulent entre la source et le drain créant un courant de fuite. Ici, λ correspond à la taille de la zone déplétée.

Ces effets de canaux courts sont représentés sur la caractéristique statique d'un transistor (Figure I-6). On observe une dégradation de la pente sous le seuil SS à cause de l'effet canal court qui induit un courant I_{OFF} . Lorsque l'on alimente le transistor, on remarque que le régime linéaire du transistor est grandement affecté par la tension d'alimentation V_{DS} : ceci est l'impact du DIBL. La réduction de la tension de seuil V_{TH} conjuguée à la dégradation de la pente sous le seuil SS induit une augmentation nette du I_{OFF} .

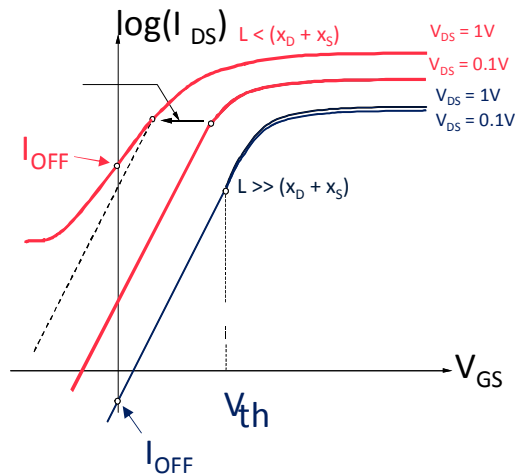


Figure I-6 : Comparaison de la figure de mérite d'un transistor à canal long (en bleu) et d'un transistor à canal court (en rouge). On observe une nette augmentation du courant I_{OFF} correspondant aux courants de fuite. Lorsque l'on alimente le transistor, on ne voit pas de changement dans le régime linéaire pour un transistor à canal long contrairement au transistor à canal court : ceci est l'effet DIBL.

Pour conserver le contrôle électrostatique du canal, c'est-à-dire activer la commutation du canal uniquement avec la grille, des architectures de grille novatrices ont émergé.

2. Introduction de transistors multi-grilles

L'idée des architectures multi-grilles est simple : puisque la proximité du drain et de la source induit une diminution de la tension de seuil, il faut alors renforcer le contrôle électrostatique de la grille sur le canal. Pour ce faire, il est nécessaire de créer un champ électrique de grille prédominant devant le champ induit par la polarisation du drain. Afin d'y parvenir, plusieurs grilles sont utilisées conjointement. Ces évolutions au niveau de l'architecture sont représentées en Figure I-7.

L'industrie a d'abord introduit la technologie sur film mince (SOI) où le canal de conduction est confiné entre l'oxyde de grille et l'oxyde enterré. De fait, le contrôle électrostatique sur le canal est amélioré. Cette architecture a également permis de réduire les capacités parasites source/substrat et drain/substrat.

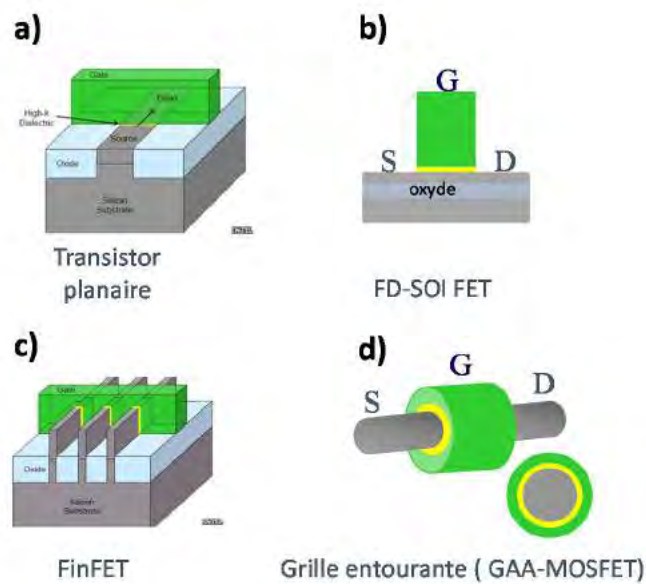


Figure I-7 : Evolution des architectures des transistors. a) Transistor planaire à une grille. b) Transistor sur couche mince de Si à une grille. c) Transistor à ailette (FinFET) avec une tri-grille. d) Transistor à grille totalement entourante.

L'évolution de cette architecture, est le FinFET ou transistor à ailette. Cette architecture est un premier pas vers une intégration 3D où une ailette en silicium est créée puis la grille est déposée au sommet et sur les flancs du canal de conduction. Cette architecture présente donc trois grilles et permet de réduire l'impact du champ électrique longitudinal créée au niveau du drain. En effet, des simulations ont démontré que l'augmentation du nombre de grille réduisait la longueur de pénétration des lignes de champs électriques provenant du drain [12], [13]. Ces résultats sont appuyés par l'expérience : ce type d'architecture a montré une diminution de l'effet DIBL et l'obtention d'une pente sous le seuil proche de 60 mV/dec pour des longueurs de grille de 20 à 60 nm [14]–[16].

L'évolution naturelle de ces architectures est une grille entourant totalement le canal de conduction (GAA-FET). Les simulations Monte-Carlo démontrent qu'en utilisant une architecture GAA, le champ exercé par le drain est minime sur des transistors de longueur de grille de 30 nm [14]. Le contrôle électrostatique est tel qu'il est alors possible de travailler sur des transistors sans jonctions, c'est-à-dire sans dopage différencié entre les zones source/drain et le canal. La suppression des zones de dopage est un atout pour le procédé de fabrication puisque la formation de jonctions fortement dopées, avec un contrôle nanométrique permettant un profil de dopage abrupte, demande des procédés très complexes et coûteux. Colinge et al. [17] ont alors proposé en 2010 un tel transistor présentant des figures de mérite de même qualité que les FinFET à jonctions dopées.

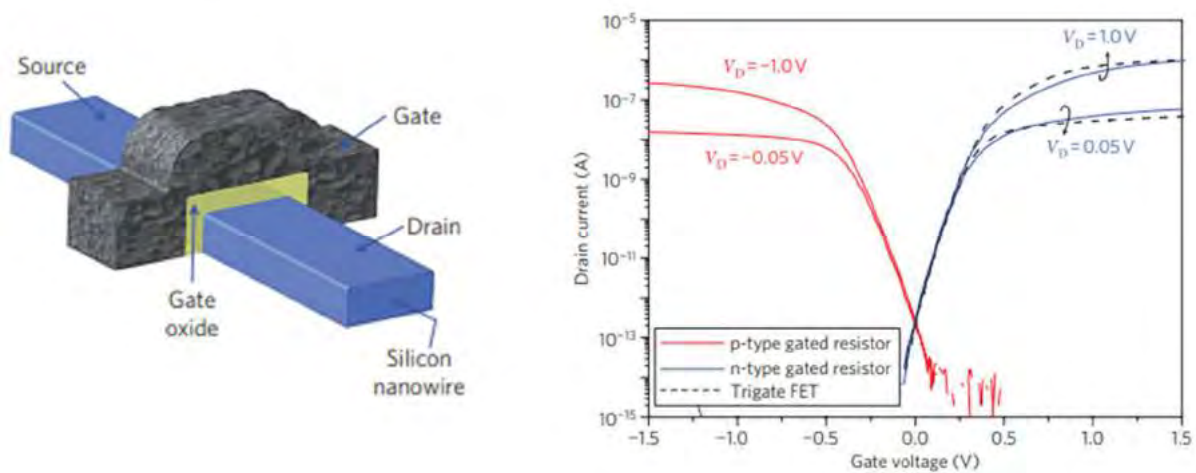


Figure 1-8 : Transistor sans jonction présentant des caractéristiques similaires aux transistors tri-grilles conventionnels. [17]

L'évolution de l'architecture des transistors a été imposée par la miniaturisation des dimensions : afin de conserver le contrôle électrostatique du canal, des couches d'oxyde ont été ajoutées progressivement sur les transistors pour confiner le canal et augmenter l'effet du champ créé par la grille. De l'architecture planaire (classique et SOI), l'industrie du semiconducteur a désormais prévu l'utilisation d'architectures novatrices pour ses futurs nœuds technologiques. L'architecture FinFET est désormais commercialisée pour les nœuds 10 nm et, lors de l'établissement de la feuille de route des futurs nœuds technologiques en 2016 [4], il y est mentionné l'utilisation de transistors à grille totalement entourante au début de la décennie prochaine. Il est donc pertinent de développer dès à présent ces technologies.

C. Stratégie verticale pour un dispositif 3D

Pour utiliser une grille entourant totalement le canal, la structure la plus naturelle est le nanofil cylindrique. En effet, le champ électrique agira de manière symétrique pour la formation du canal contrairement à une structure parallélépipédique telle qu'un nanoruban qui possèdera des effets de conduction de coin. Les simulations proposées par Ansari et al. [18] prédisent que les nanofils sont les nanostructures permettant d'obtenir un fonctionnement transistor jusqu'à une longueur de grille de 3 nm. Pour l'utilisation de nanofil, deux intégrations sont envisageables : des nanofils horizontaux ou verticaux.

1. Architecture horizontale

Différentes stratégies d'intégration ont été démontrées pour l'obtention de transistors à base de nanofils horizontaux. Les nanofils peuvent être réalisés selon un procédé de croissance tel que Vapeur-Liquide-Solide (VLS) en utilisant des billes métalliques comme catalyseurs et guides de croissance [19]–[22]. Les nanostructures obtenues sont ensuite transférées sur un substrat Si sur lequel le transistor

sera réalisé (Figure I-9a). Afin d'obtenir une grille totalement entourante, les nanofils horizontaux sont nécessairement suspendus pour permettre l'intégration de la grille sous celui-ci (Figure I-9b) [23].

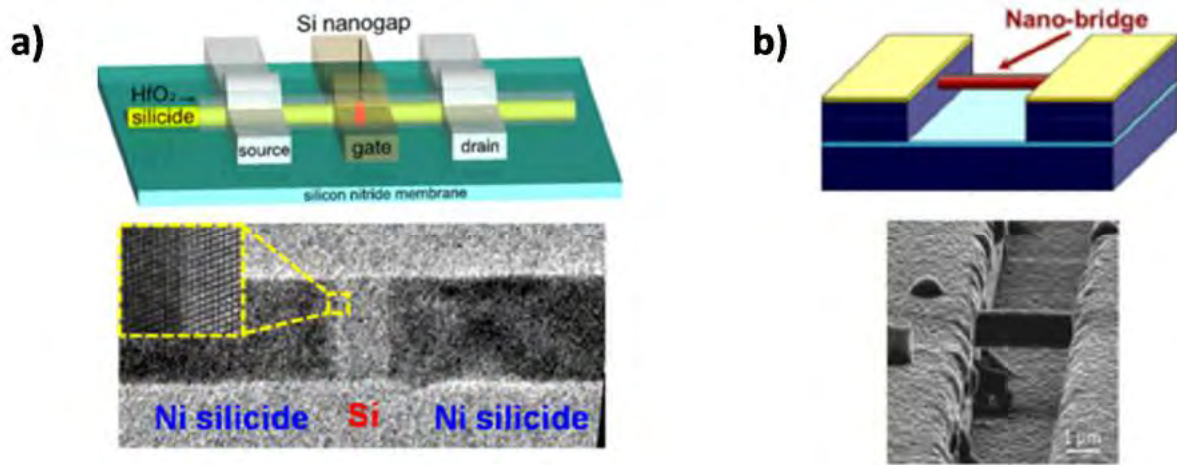


Figure I-9 : a) FET tri-grilles à base d'un nanofil de Si horizontal. [22] b) FET à base d'un nanofil de Si suspendu dont la grille totalement entourante est formée par oxydation thermique. [23]

La voie par croissance utilise des procédés peu adaptés à l'intégration grande échelle : utilisation de catalyseur Au contaminant les transistors et transfert des nanofils par dispersion dans un fluide ne permettant pas un positionnement précis.

Ce type d'architecture a également été réalisé par gravure du Si. Cela a, par exemple, été réalisé à l'aide d'une oxydation sacrificielle [24]–[27]. La première étape est l'obtention d'une ailette en Si par un enchaînement de photolithographie et de gravure plasma. Une fois cette ailette obtenue, une oxydation suivie de l'élimination de l'oxyde permet d'obtenir les nanofils horizontaux suspendus. Un procédé utilisant également une couche sacrificielle a également été mis au point par la société Samsung [28]. Le procédé commence par la création d'empilement Si/SiGe par épitaxie puis à la définition d'une ailette par les techniques classiques de microfabrication. La gravure sélective isotrope du SiGe permet alors de libérer les nanofils de Si [29], [30]. Chacune des couches de silicium en sandwich entre deux couches de SiGe permettra alors d'obtenir des nanofils distincts superposés (Figure I-10). Cela est un moyen d'augmenter la densité d'intégration en empilant les canaux de conceptions plutôt que de les distribuer sur la surface.

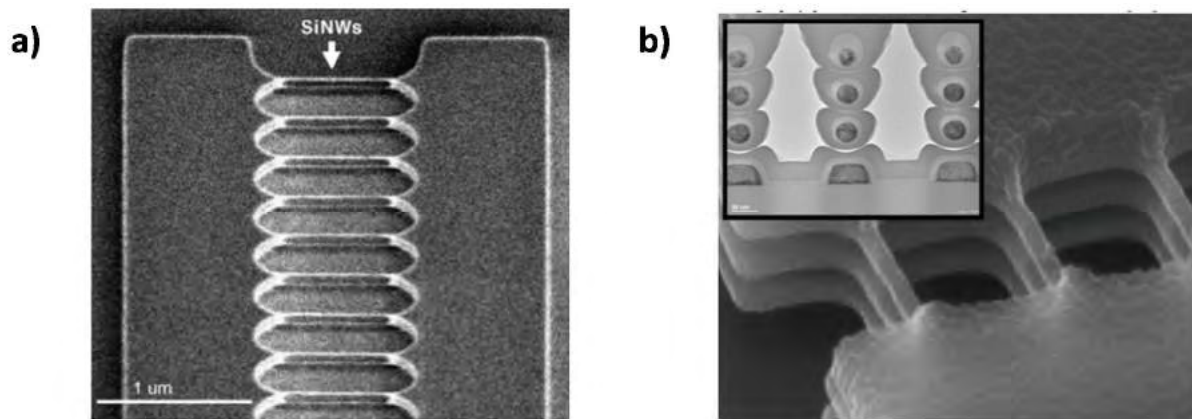


Figure I-10 : Images MEB de transistors à nanofil de Si horizontaux réalisés par gravure. a) Fils suspendus alignés parallèlement [25]. b) Empilement de nanofil suspendus [30]. Insert : observation TEM d'une coupe radiale de ces nanofils [31].

Les transistors à base de nanofils horizontaux ont été étudiés majoritairement lors de la décennie 2000 – 2010. Les procédés de fabrication proches des approches planaires ne perturbent pas la philosophie d'intégration. D'un autre côté, l'utilisation d'une architecture verticale présente plusieurs avantages bien que le défi technologique soit nettement plus ardu.

2. Architecture verticale

L'obtention de transistors avec une architecture verticale a été moins étudiée car l'intégration 3D représente une rupture majeure avec les architectures conventionnelles. Le tout premier dispositif vertical a été proposé en 1988 par Takato et al. [32], [33] où un pilier de Si de 1 μm de diamètre est obtenu par gravure. Des caissons de dopants ont été implantés au sommet et au pied du pilier pour réaliser un fonctionnement transistor classique. Ce dopage a pu être réalisé grâce à la résolution des techniques de microfabrication contemporaine permettant d'obtenir un pilier d'au minimum 1 μm de diamètre. Une telle implantation de dopants n'est pas possible sur des nanostructures dont les diamètres atteignent aujourd'hui quelques dizaines de nanomètres.

Des dispositifs à nanofil verticaux ont été obtenus par croissance sur Si(111) [34], [35] présentant un diamètre de 40 nm à 20 nm pour des hauteurs s'élevant de 400 nm à 1 μm. La croissance verticale est de nouveau dirigée par un catalyseur d'or qui est conservé au sommet. La fabrication du transistor suit ensuite des étapes classiques de microfabrication (photolithographie, gravure sèche et humide, métallisation), à l'exception que, les couches étant empilées les unes sur les autres, il est nécessaire d'isoler électriquement grille, source et drain. Ce rôle est tenu par l'oxyde de grille en SiO₂ qui est utilisé comme espaceur (Figure I-11).

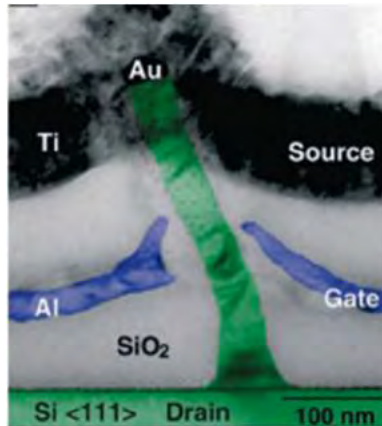


Figure I-11 : Transistor à base de nanofils verticaux de Si obtenus par croissance. Le SiO_2 est utilisé comme oxyde de grille et espaceur pour isoler chacun des pôles du transistor. [34]

L'approche descendante a également été explorée pour l'obtention de nanofil verticaux. La définition des nanofils est réalisée à l'aide la lithographie électronique pour atteindre des diamètres sub-100 nm qui sont des résolutions non atteignables par des techniques de photolithographie. Ce faisant, Yang et al. (A*STAR, Singapour) [36] ont obtenue des nanofils de 25 nm de diamètre semblables à ceux obtenus par croissance, en utilisant une gravure plasma suivie d'une oxydation sacrificielle du Si. La construction du transistor suit alors les mêmes étapes que celles proposées par la voie ascendante. Zhai et al. (MRC, Austin) [37] ont également obtenu des nanofils de Si, de 90 nm de diamètre, par gravure plasma. Ils ont ensuite déposé par ALD (dépôt par couche atomique) l'oxyde de grille en Al_2O_3 , qui est un matériau *high-k*, rapprochant ce procédé des standards de l'industrie (Figure I-12).

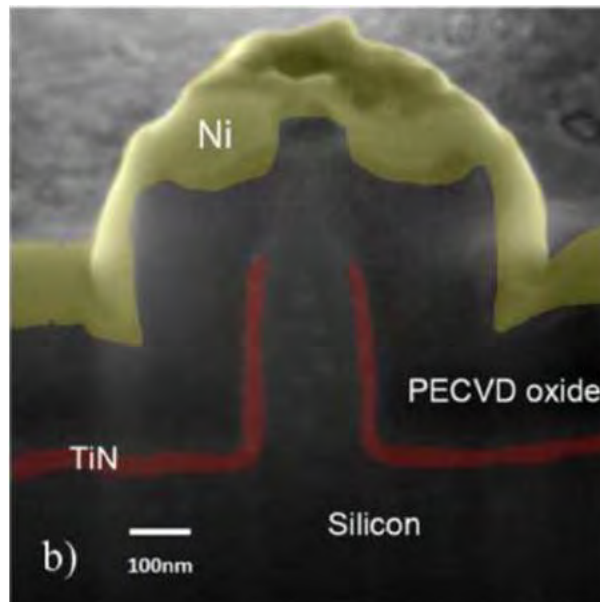


Figure I-12 : Transistor à base de nanofils verticaux de Si obtenus par voie descendante. Le SiO_2 est utilisé comme espaceur pour isoler chacun des pôles du transistor. Le TiN est la grille, le Ni jouera le rôle de source ou drain et le dernier contact sera en face arrière. [37]

Au sein de l'équipe MPN du LAAS, un transistor sans jonction à base de nanofils verticaux de Si a été élaboré durant des travaux antérieurs [38], [39] (Figure I-13). Ce procédé utilise également la lithographie électronique, la gravure plasma et l'oxydation sacrificielle pour obtenir des nanofils de Si de 18 nm. Cependant, trois innovations sont apportées par ce dispositif :

- Les contacts source et drain sont symétriques, chacun étant composé du siliciure PtSi. Cela permet à ce dispositif d'utiliser le contact au sommet comme drain ou source indifféremment.
- L'espaceur utilisé n'est pas du SiO₂ obtenu par un dépôt physique : un oxyde fluide est enduit et une gravure chimique est employée pour maîtriser son épaisseur.
- La planéité de l'espaceur ainsi gravé permet de parfaitement maîtriser la longueur de grille à l'aide d'un dépôt métallique par évaporation.

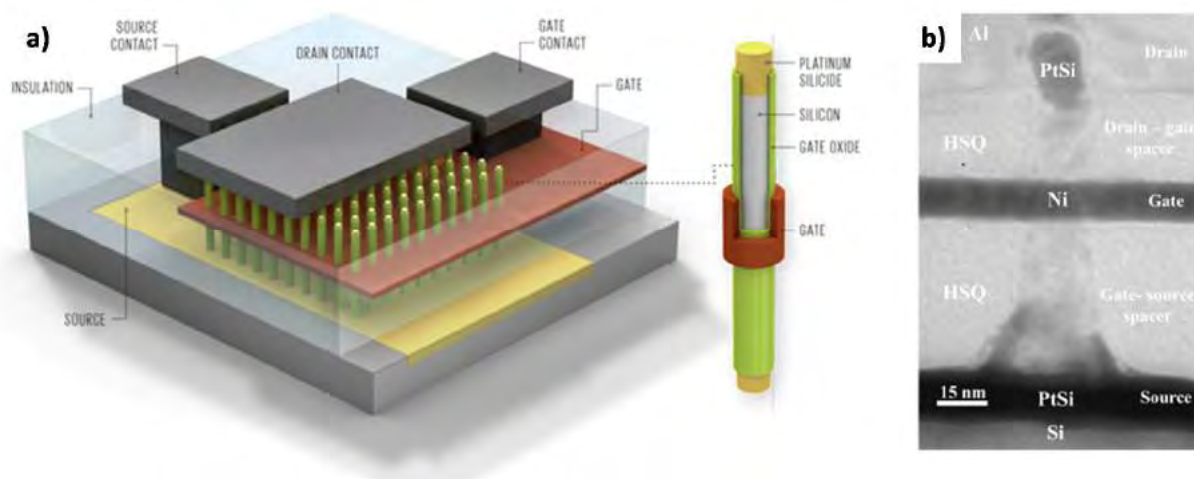


Figure I-13 : Transistor à base de nanofils verticaux de Si réalisé au LAAS. a) Schéma de l'organisation d'un dispositif. [40] b) Coupe MEB au niveau d'un fil pour observer l'agencement des différentes couches. [38]

Ces dispositifs réalisés au cours des dernières années démontrent que la difficulté d'utiliser une architecture verticale est surmontable. De plus, l'intégration d'oxyde à forte permittivité ou de contacts symétriques, qui sont des standards dans les transistors produits actuellement, a été démontrée sur de telles architectures.

3. Choix de la stratégie d'intégration verticale

Comme expliqué dans les paragraphes précédents, la stratégie d'intégration a un impact sur les techniques de microfabrication utilisées et les problématiques rencontrées. Pour l'augmentation de la densité d'intégration, il est évident au premier ordre que l'utilisation d'un nanofil vertical sera préférable, la dimension 1D étant dirigée verticalement, l'empreinte surfacique d'un nanofil est minimale. Mais cela permet également de réduire l'empreinte des contacts en profitant de nouveau de l'aspect 3D du dispositif : le contact réalisé au sommet du nanofil peut être positionné au-dessus

du réseau de nanofils, réduisant l’empreinte globale du transistor. Yakimets et al. [41] ont également simulé l’empreinte des transistors au sein d’un convertisseur CMOS utilisant des FinFET, nanofils horizontaux empilés ou nanofils verticaux. Les performances des transistors à base de nanofils sont supérieures à celle du FinFET en termes de consommation énergétique et de courant de fuite. Ces performances sont légèrement supérieures pour l’utilisation de nanofils horizontaux au nœud 7 nm mais stagnent au nœud 5 nm où les performances des transistors à base de nanofils verticaux continuent de croître (Figure I-14a). Pour maintenir les performances entre le nœud 7 nm et 5 nm, les dispositifs à nanofils verticaux présentent une diminution de consommation énergétique de 37% et une réduction de l’empreinte de 50% (Figure I-14b). Les informations concernant les deux stratégies d’intégration sont résumées dans le Tableau 1.

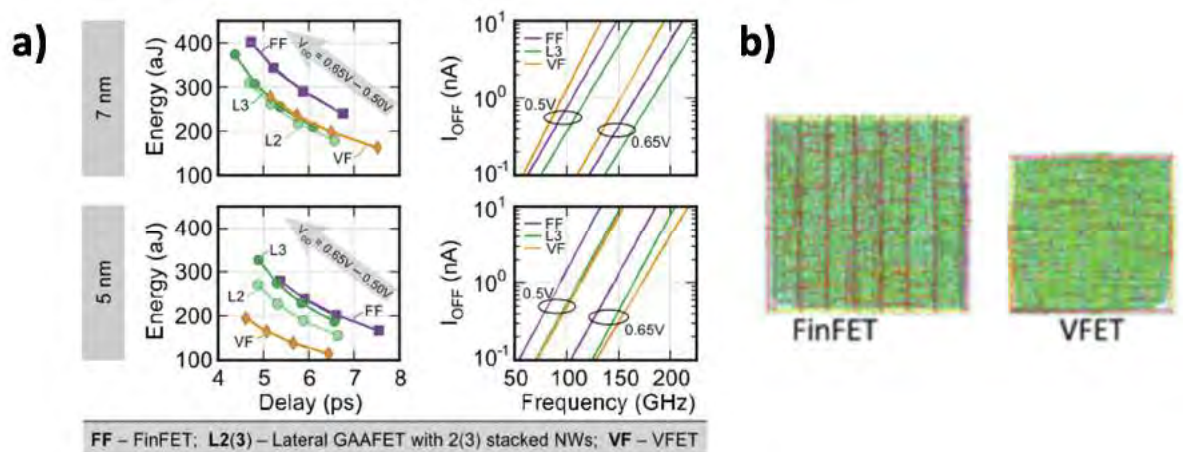


Figure I-14 : a) Consommation énergétique et courant à l'état bloquant des différentes configurations aux nœuds 7 nm et 5 nm. [41] b) Représentation du gain de surface sur un convertisseur 32 bit au nœud 5 nm entre une technologie FinFET et à nanofils verticaux (VFET). [42]

Tableau 1 : Résumé des avantages et problématiques de chacune des stratégies d'intégration.

Intégration horizontale	Intégration verticale
✔ Dopage source/drain simple ✔ Procédé planaire classique ⚠ Obtention de nanofils suspendus - Croissance à l'aide d'un germe métallique - Couche sacrificielle SiO_2 ou SiGe : Non transférable à d'autre semiconduteur. ⚠ Obtention d'une grille sous le nanofil - Zone d'ombrage ⚠ Perte de performances au nœud 5 nm	✔ Empreinte par nanofil minimale ✔ Réduction de l'empreinte des contacts ✔ Epaisseur de grille maîtrisable à l'échelle du nm ✔ Maintien des performances au nœud 5 nm ⚠ Rupture au niveau de la philosophie d'intégration ⚠ Dopage source/drain plus complexe - Epitaxie au préalable de couches dopées - Transistor sans jonction ⚠ Techniques non conventionnelles

Les deux stratégies présentent des défis d'ordre technologique. Cependant, la stratégie d'intégration horizontale présente une limite physique à partir du nœud 5 nm. Ce nœud, prévu par l'ITRS à l'année 2021 [4], est très proche et un progrès est nécessaire pour surpasser les défis que l'intégration verticale propose. De fait, ces travaux de thèse viseront à réaliser des dispositifs à base de nanofils verticaux. Cependant, afin d'apporter une innovation de matériaux, les semiconducteurs III-V sont envisagés.

D. Matériaux III-V pour amplification des performances

La technologie CMOS permet, à l'aide d'un P-FET et d'un N-FET, de créer les fonctions logiques basiques au sein d'un circuit intégré. L'inverseur CMOS est un élément de base utilisé pour les modélisations sur d'évolution de la consommation énergétique des transistors. On peut définir deux puissances pour les CMOS :

- La puissance dynamique : $P_{dyn} = n \cdot I_{ON} \cdot V_{DD}$ où n désigne le nombre de transistors à l'état passant,
- La puissance statique : $P_{stat} = m \cdot I_{OFF} V_{DD}$ où m désigne le nombre de transistor à l'état bloquant.

Ces puissances sont donc directement proportionnelles au potentiel d'alimentation V_{DD} . Pour réduire la consommation énergétique, il est donc nécessaire de réduire la tension d'alimentation lorsque le transistor est allumé et également réduire les courants I_{OFF} lorsqu'il est éteint. Lors de la réalisation des derniers nœuds technologiques, un ralentissement de la diminution de la tension de seuil V_{TH} a été constaté. Par conséquent, la tension d'alimentation V_{DD} s'est également stabilisée pour conserver un I_{ON} élevé (Figure I-15) ce qui entraîne une consommation énergétique croissante car la densité de transistors continue de croître [43].

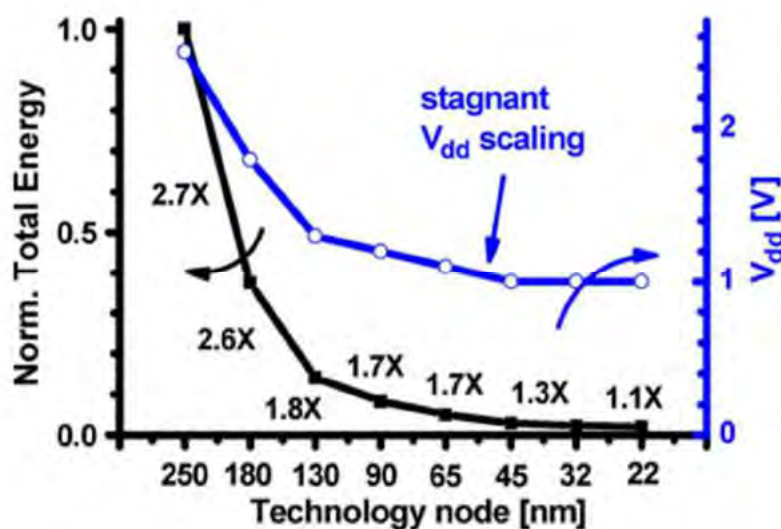


Figure I-15 : Tendence d'évolution de la consommation énergétique et de la tension d'alimentation selon les nœuds technologiques. On remarque une stabilisation du V_{DD} au cours des nœuds et donc une stagnation de la consommation énergétique [43].

L'utilisation de matériaux à plus forte mobilité de porteurs de charge permet d'augmenter le courant I_{ON} pour une même alimentation de drain. Les transistors ont donc évolué vers une technologie utilisant de plus grandes mobilités de porteurs de charges : le Si est désormais contraint ce qui a pour effet d'augmenter la mobilité des porteurs de charges [44], [45]. Les simulations et résultats expérimentaux confirment la multiplication du courant I_{ON} par ≈ 4.5 dans les P-MOSFET et par ≈ 2 dans les N-MOSFET [46], [47]. Pour appliquer cette contrainte, il est par exemple possible d'utiliser une couche de SiGe située sous le canal : le désaccord de maille des deux matériaux induit la déformation de la maille cristalline du Si (Figure I-16).

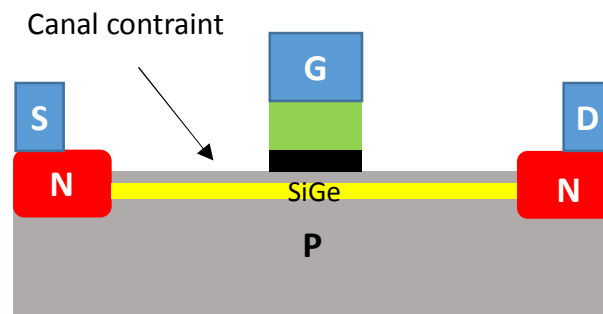


Figure I-16 : MOSFET utilisant une couche SiGe pour contraindre le canal de conduction. Dans le cas d'un SOI, la couche d'oxyde enterré se situe sous la couche SiGe.

L'utilisation de matériaux à forte mobilité est une autre solution pour augmenter la conduction au sein du canal. En effet, de nombreux matériaux III-V ainsi que le Ge présentent de meilleures mobilités que le Si, principalement pour les électrons (Tableau 2).

Tableau 2 : Mobilités de porteurs de charges de différents semiconducteurs. Les données en brun sont celles supérieures au Si.

III-V	Mobilité électronique ($\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$)	Mobilité de trous ($\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$)
Si	1400	450
GaAs	8500	400
InAs	40000	500
Ge	3900	1900
InP	5400	200
InSb	77000	850
GaSb	3000	1000

Krishnamohan et al. [48] ont modélisé l'évolution de différentes caractéristiques des transistors au cours des prochains nœuds technologiques en fonction des matériaux semiconducteurs (Figure I-17). Le transistor utilisé est un MOSFET à deux grilles similaires à la technologie SOI. Il apparaît que, malgré

une densité d'état plus faibles dans les matériaux III-V que dans le silicium, l'augmentation du courant I_{ON} est faible pour la génération 10 nm alors que le bénéfice est clairement plus important pour une technologie 5 nm avec par exemple, un gain de 50 % pour un canal en GaAs ou 62 % pour un canal en InAs. On peut également noter que malgré des mobilités intrinsèques nettement supérieures pour l'InAs que le GaAs (Tableau 2), le bénéfice en courant I_{ON} reste semblable. Enfin, pour des polarisations V_{DD} réduite (0.5 V), le bénéfice des matériaux III-V sur le silicium reste notable permettant donc d'envisager une réduction drastique de la consommation énergétique de tels dispositifs tout en augmentant les performances. De telles performances ont effectivement été présentés sur un canal InGaAs avec une architecture type SOI pour le nœud 7 nm [49].

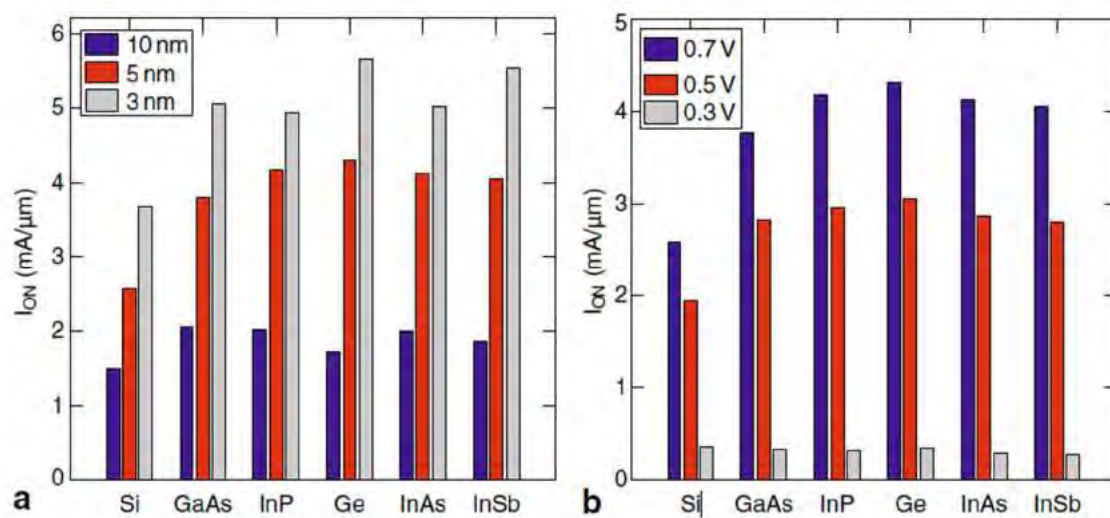


Figure I-17 : Modélisation de l'évolution du courant de drain I_{ON} pour différents semiconducteurs selon (a) l'épaisseur du canal et (b) la tension d'alimentation V_{DD} . Le dispositif modélisé est un MOSFET à deux grilles au-dessus et en dessous du canal.[48]

Cependant, il est nécessaire de relever que les courants de fuite (I_{OFF}) des matériaux III-V sont plus élevés que dans le silicium aux nœuds actuels, limitant leur utilisation dans des dispositifs nécessitant une basse consommation énergétique (Figure I-18). Ces courants de fuite proviennent d'un courant par effet tunnel bande à bande plus fort dans les matériaux III-V étant donné les faibles largeurs de bandes interdites dont ils disposent. Pourtant, les résultats de la modélisation démontrent que la miniaturisation au nœud technologique 3 nm permet de drastiquement réduire ces courants et de dépasser les performances du silicium pour certains III-V à forte largeur de bande interdite (GaAs, InP).

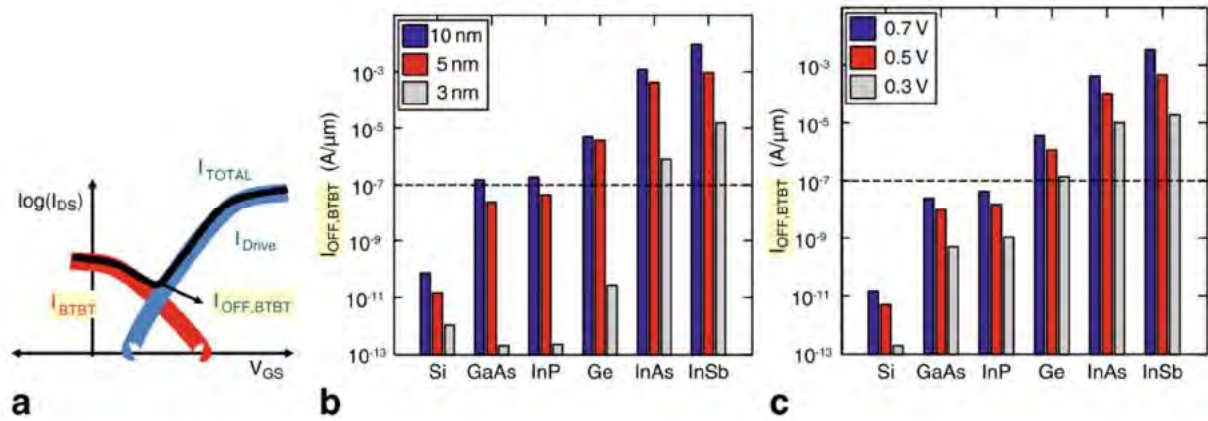


Figure I-18 : Modélisation de l'évolution des courants de fuites (I_{OFF}) pour différents semiconducteurs. (a) Cette fuite provient du courant bande à bande par effet tunnel (I_{BTBT}) et au courant d'alimentation. L'évolution est présentée selon le nœud technologique (b) et la tension d'alimentation V_{DD} (c). Le dispositif modélisé est un MOSFET à deux grilles au-dessus et en dessous du canal. On remarque notamment que le GaAs et l'InP présentent une diminution drastique des courants de fuites au nœud 3 nm. [48]

De plus, les matériaux III-V présentent également un très faible délai de commutation leur permettant de travailler à des fréquences plus élevées qu'avec le silicium. Chau et al. [50] ont effectué en 2005 une comparaison des délais de commutation de transistors à base de Si, III-V et de nanotubes de carbone (CNT) : les matériaux III-V proposaient déjà à cette époque les meilleures performances en termes de fréquence de travail (Figure I-19). Des dispositifs travaillant à très hautes fréquences (≈ 100 GHz – 1 THz) utilisent également des alliages III-V [51], [52].

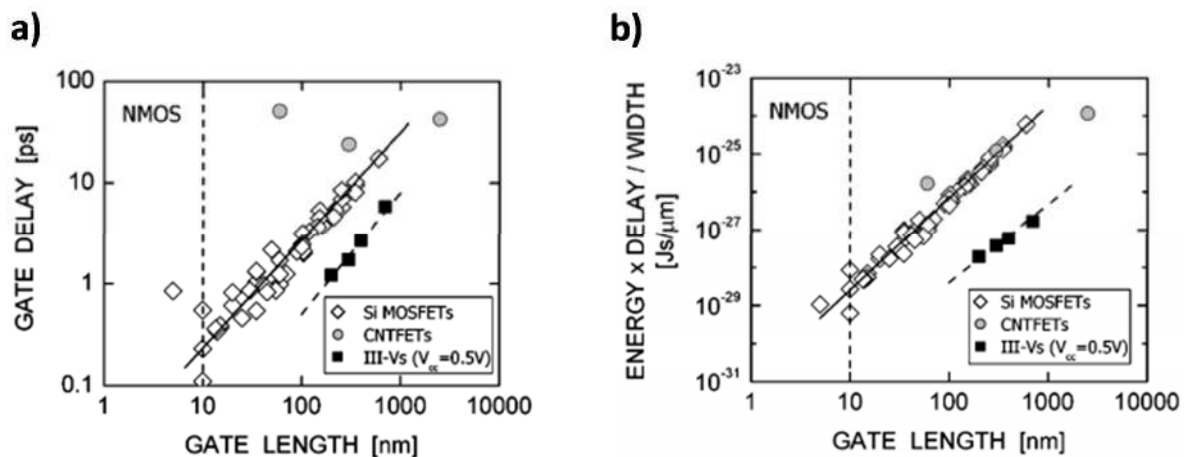


Figure I-19 : Comparaison (a) du délai de commutation et (b) des gains en fréquence et en consommation énergétique en fonction de la longueur de grille. Les matériaux III-V présentent les meilleures performances atteignant des fréquences de l'ordre du THz. [50]

Des modélisations ont également été menées afin de déterminer l'impact de la miniaturisation sur les délais de commutation. Les résultats au nœud 5 nm, présentés en Figure I-20, démontrent qu'il existe un compromis à effectuer entre les faibles délais de commutation (proposés par les matériaux III-V) et un faible courant de fuite (proposé par le Si).

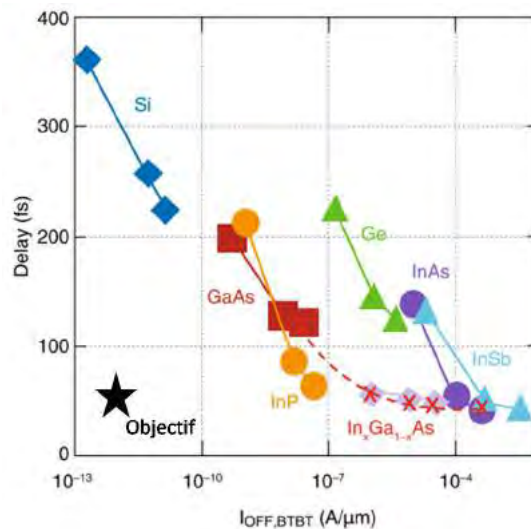


Figure I-20 : Modélisation représentant le compromis entre courant de fuite ($I_{OFF,BTBT}$) et délai de commutation pour le Si, Ge et différents matériaux III-V. Le dispositif modélisé est un MOSFET à deux grilles au-dessus et en dessous du canal, le courant de fuite sous le seuil est fixé à $0.1 \mu A/\mu m$ et la tension d'alimentation varie de 0.3 V à 0.7 V. [48]

Bien que l'utilisation de matériaux innovants exige des procédés de fabrication adaptés, les canaux à forte mobilité, qui procurent des avantages tels qu'une consommation énergétique moindre et des performances accrues possibles à plus petite échelle, sont de bons candidats pour repousser les limites de la miniaturisation avec le silicium. Parmi eux, les matériaux III-V ont démontré leur intérêt dans des applications à forte puissance et à très haute fréquence. Pour ces raisons, la famille des semiconducteurs III-V sera choisie comme matériau composant le canal vertical des transistors développés dans cette thèse. Ces matériaux présentent des défis à relever pour obtenir un procédé de fabrication de transistors à grande échelle compatible avec les technologies MOS :

- Intégration de matériau sur plateforme Si, substrat conventionnel en microélectronique.
- Méthodes de structuration moins développées que pour la filière Si.
- Ingénierie de contact principalement développée à base d'or (contaminant MOS).
- Forte densité de pièges à l'interface oxyde/semiconducteur, diminuant la mobilité des porteurs dans le canal.
- Schéma d'intégration plus complexe.

L'obtention de transistors à base de nanofils verticaux de matériaux III-V a été explorée par différents groupes de recherche dont une revue est présentée dans la suite de ce chapitre.

E. Etat de l'art sur les transistors à nanofils verticaux de matériaux III-V

La recherche concernant l'obtention de transistors à base de nanofils verticaux de matériaux III-V a débuté dès les années 2010. Ce nouveau sujet est apparu suite à deux avancées dans le domaine :

- Les simulations prouvant l'intérêt pour la miniaturisation d'une architecture verticale à base de nanofils.
- Le dépôt d'un oxyde à haute permittivité de manière contrôlée permettant de répondre à un des points bloquants de ces matériaux.

Différents groupes de recherche ont activement travaillé sur la réalisation de ces transistors. Ce paragraphe présentera dans un premier temps les architectures et les logiques d'intégration employées par ces groupes puis une analyse des performances obtenues sera effectuée.

1. Différentes intégrations proposées

L'intégralité des procédés proposés dans la littérature débutent par l'obtention des nanofils verticaux III-V sur lesquels seront ensuite ajoutés les différents éléments clés du transistor. La majorité des nanofils obtenus dans ces travaux le sont par épitaxie sur substrat Si ou III-V [53]–[57] et sont des nanofils d'InAs ou d'InGaAs. Cependant, Del Alamo et al. (MIT) [58], [59] ont démontré des architectures à base de nanofils obtenus par gravure plasma, ouvrant la voie à une intégration grande échelle.

Une fois les nanofils obtenus, les architectures sont similaires : trois exemples d'architectures sont présentés dans la Figure I-21. Une différence notable permet cependant de définir deux types d'architectures : le dépôt de la grille est effectué avant le contact au sommet du nanofil (« Gate first ») ou après la formation du contact supérieur (« Gate last »).

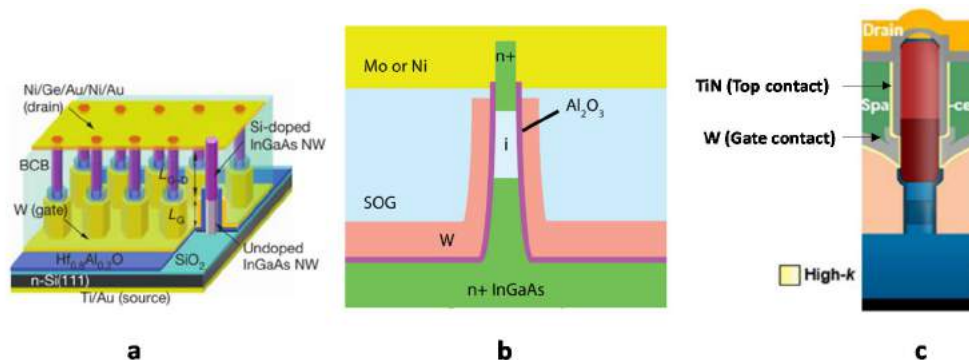


Figure I-21 : Architecture verticale pour MOSFET utilisant le substrat comme source et le sommet du nanofil comme drain. a) Architecture de Tomioka et al [60] (Gate first). b) Architecture de Alamo et al. [61] (Gate first). c) Architecture de Wernersson et al. (Université de Lund) [62] (Gate last).

Dans un procédé « Gate first », la première étape est le dépôt de l'oxyde de grille, constitué de couches d' Al_2O_3 et d' HfO_2 , suivi du dépôt de grille. Le tungstène est l'élément le plus souvent utilisé dans le rôle de métal de grille et l'isolation entre la source et la grille est également assurée par l'oxyde de grille. La longueur de grille est de plusieurs dizaines de nanomètres car celle-ci est présente sur les flancs. Un espaceur, permettant d'isoler la grille du contact supérieur, est ensuite structuré. Les composés utilisés pour ce rôle sont des oxydes obtenus par dépôt physique tels que le tétraorthosilicate (TEOS) [55] ou par enduction tels que les résines benzocyclobutène (BCB) [53], [54] ou hydrogène silsesquioxane (HSQ) [63]. Le contact au sommet des nanofils, servant de drain, est alors obtenu à l'aide d'empilement à base d'Au et d'autres métaux tels que le Mo [58], [61] ou le Ti [53]–[55], [60], [64]. Dans le cas d'un procédé « Gate Last », l'espaceur est déposé avant l'oxyde à forte permittivité, cet oxyde de grille servant alors d'isolant entre la grille et le contact aux sommets des nanofils.

Sur la totalité des architectures présentées, l'oxyde de grille sert à la fois d'isolant entre la grille et le semiconducteur mais également d'isolant entre la grille et l'un des contacts du transistor. Or, l'un des objectifs de la miniaturisation étant de réduire l'épaisseur de l'oxyde de grille, cela entraîne l'apparition de capacités parasites et de fuites entre les pôles des transistors. Pour remédier à cela, deux niveaux d'espaceurs sont à effectuer pour isoler chacun des pôles. Cette innovation a été présentée par Riel et al. et Alamo et al. dans leurs récents résultats [55], [59] (Figure I-22).

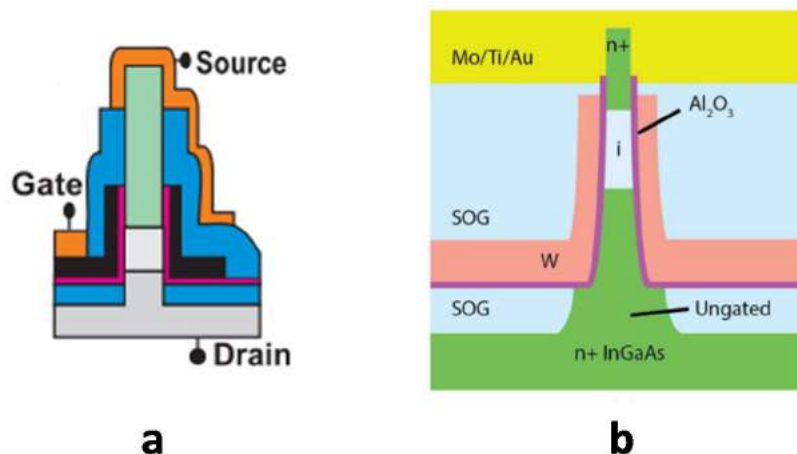


Figure I-22 : Architecture à base de nanofils verticaux présentant deux niveaux d'isolation (en bleu). a) Architecture de Riel et al. (IBM Zurich) [55] b) Architecture de Del Alamo et al. [59].

Cependant, on remarque que le substrat sur lequel reposent les nanofils est utilisé comme source ou drain dans toutes ces architectures. Ce fonctionnement, à base de contacts non symétriques, n'est pas réaliste pour une optique d'intégration grande échelle bien qu'il permette le fonctionnement des transistors et de mesurer leurs performances. Enfin, l'utilisation de contacts non symétriques à base d'or est également un frein en vue d'une production industrielle de tels dispositifs.

2. Performances des transistors à nanofils verticaux III-V

Les résultats des architectures précédemment mentionnées sont répertoriés dans le Tableau 3 **Erreur ! Source du renvoi introuvable.** Les courants et pentes sous le seuil présentés sont normalisés par le nombre de nanofil et leur périmètre. Parmi les transistors répertoriés, deux ont des fonctionnements différents des MOSFETs intégrés sur nanofils verticaux :

- Tomioka et al. (Université de Hokkaidō) [60] ont développé une structure cœur/coquille pour leur nanofils afin de leur donner une structure similaire à celles des transistors à canal à haute mobilité électronique (THEM). L'idée est d'utiliser une coquille composée de plusieurs couches de nature et dopage différents afin de confiner les électrons au centre du nanofil (le cœur), leur permettant de circuler dans un canal appauvri en défaut présents à l'interface oxyde/semiconducteur (Figure I-23).
- Riel et al. (IBM Zurich) [55] proposent un transistor à effet tunnel (TFET) fonctionnant à l'aide d'une jonction *p-i-n*. Dans ce type de transistor, les porteurs de charge circulent de la source vers le canal par effet tunnel bande à bande et ne sont pas limités par la diffusion du canal rencontrée dans les MOSFETs. De ce fait, il a été prouvé que des pentes sous le seuil inférieures à 60 mV/dec étaient atteignables avec ce type de fonctionnement [65].

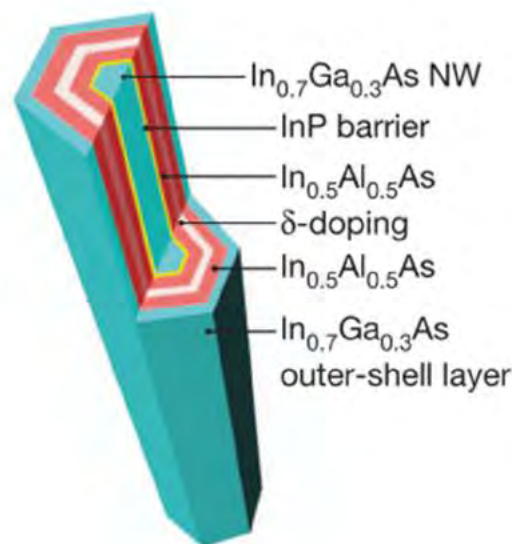


Figure I-23 : Structure similaire aux THEM présentés par Tomioka et al. avec un cœur en InGaAs et une coquille composée de plusieurs couches d'épaisseurs allant de 2.5 nm à 5.5 nm. [60]

Tableau 3 : Synthèse des performances des transistors à base de nanofils verticaux de matériaux III-V. Les résultats présentés sont les derniers en date des équipes ou les plus performants. Les caractéristiques présentées sont normalisées par le nombre de nanofils

	Tomioka et al. [66]	Tomioka et al. [60]	Wernersson et al. [62]	Alamo et al. [61]	Riel et al. [55]
Nature Semiconducteur	InGaAs	InGaAs simili-HEMT	InAs	InGaAs	InAs TFET
Nombre de NF	10		184	1	
Diamètre (nm)	80	90 (cœur) + 45 (coquille)	20	30	100
L_g (nm)	150	150	50	80	
Structure grille	W / $HfO_2 + Al_2O_3$	W / $HfO_2 + Al_2O_3$	W / $HfO_2 + Al_2O_3$	W / Al_2O_3	TiN / $HfO_2 + Al_2O_3$
EOT (nm)	0,75	0,75	0,85	1,25	1,5
V_{DD} (V)	1	0,5	0,5	0,5	0,5
I_{ON} ($\mu A/\mu m$)	100	450	500	320	0,2
I_{ON}/I_{OFF}	10^5	10^8	$> 3,10^3$	$3,10^3$	10^6
DIBL (mV/V)	33	35		66	
SS (mV/dec)	68	75	74	66	160

Les épaisseurs d'oxyde sont exprimées en épaisseurs équivalentes d'oxyde SiO_2 (EOT) calculée par :

$$EOT = e_{ox} \frac{k_{SiO_2}}{k_{ox}}$$

Avec e l'épaisseur d'oxyde déposé et k les permittivités relatives du SiO_2 et de l'oxyde à forte permittivité. Les EOT des différents dispositifs ont des valeurs similaires, permettant une comparaison équitable de leurs performances.

Des courants normalisés à l'état ON de l'ordre de plusieurs centaines de $\mu A/\mu m$ pour les nanofils d'InGaAs et d'InAs et pour une polarisation de 0.5 V sont obtenus. Cependant, les courants de fuite sont également élevés, limitant le ratio I_{ON}/I_{OFF} . Le TFET présenté par Riel et al. délivre un courant bien

plus faible, en ligne avec les résultats précédents obtenus sur ce type d'architecture. Les courants de fuite sont plus élevés lorsque la longueur de grille du transistor est réduite comme le montrent les résultats pour $L_g = 150 \text{ nm}$ ($I_{ON}/I_{OFF} = 10^5$) par rapport à $L_g = 50 \text{ nm}$ ($I_{ON}/I_{OFF} = 10^3$).

Ces transistors présentent également un bon comportement contre les effets canaux courts, avec des pentes sous le seuil proches de la limite théorique de 60 mV/dec et des valeurs de DIBL faibles sur les nanofils de 80 nm de diamètre. Il est à noter que la distance source/drain est relativement grande sur ces dispositifs : par exemple, les nanofils de 80 nm de diamètre ont une hauteur de 1.2 μm . Cela peut également diminuer les effets canaux courts. La miniaturisation de l'épaisseur de l'oxyde de grille a été étudiée par Tomioka et al. [54], [66] La Figure I-24 indique que les courants de fuite à travers l'oxyde restent très limités même pour des EOT faibles (0.75 nm). De plus, les effets canaux courts, pour les dispositifs considérés ne varient pas en fonction de l'épaisseur de d'oxyde.

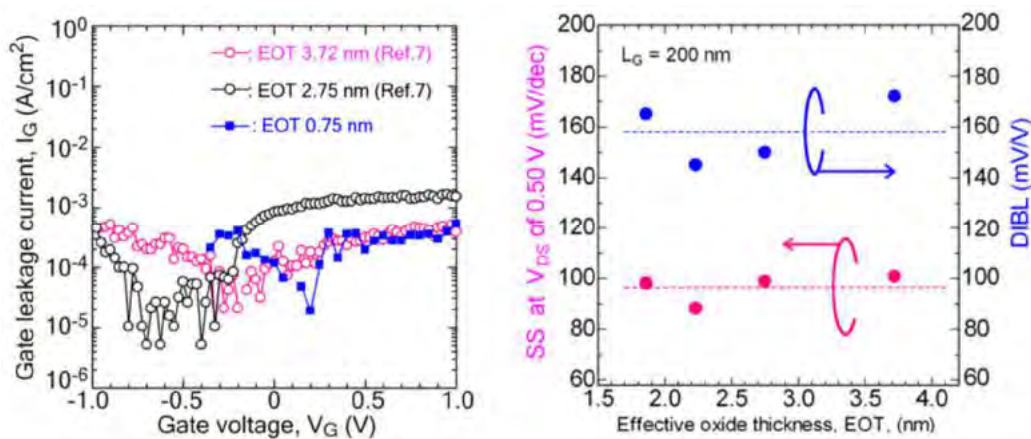


Figure I-24 : Evolution du courant de fuite à travers la grille, de la pente sous le seuil et du DIBL en fonction de l'épaisseur d'oxyde déposée. Aucune tendance notable n'est observée. [54], [66]

Les meilleures performances électriques sont atteintes par le transistor à base de nanofils cœur-coquille. Cependant, cette démonstration est réalisée pour une longueur de grille assez relaxée où l'augmentation du diamètre est conséquente ainsi que la complexité du procédé. Cela limite donc la densité d'intégration ainsi que la réalisation de tels dispositifs dans un procédé grande échelle.

Enfin, une modélisation de la performance de transistors à base de nanofils verticaux d'InAs a été menée par Wernersson et al. [67]. Ces modélisations prévoient des fréquences de coupure de l'ordre du THz pour les nœuds 22 nm et inférieurs. Ce type de structure a été réalisé à l'aide de réseaux de 165 nanofils d'InAs de 38 nm de diamètre [56]. Les caractérisations fréquentielles ont montré une fréquence de coupure de 103 GHz et une fréquence maximale de 155 GHz (Figure I-25). Ces travaux ont également démontré l'intérêt de la réduction des capacités parasites : à l'aide d'une nanostructuration de la grille, ces capacités ont été réduites de 77 % environ, menant à une augmentation de la fréquence de coupure de 25 GHz à 103 GHz.

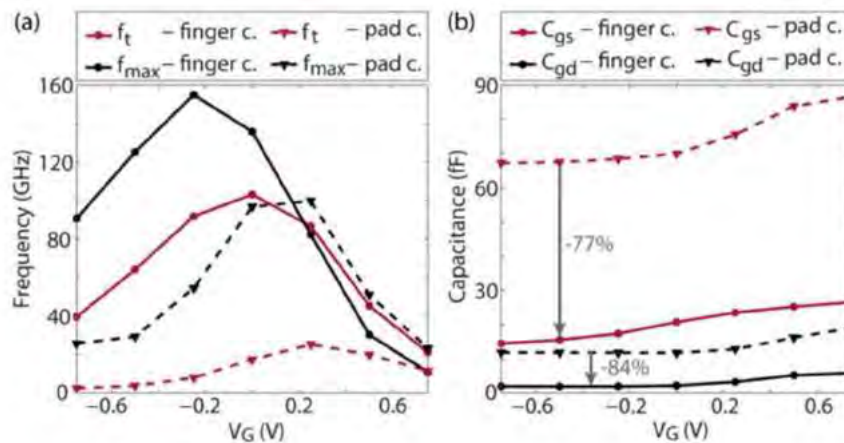


Figure I-25 : Caractérisations fréquentielles (a) et capacitives (b) des réseaux de nanofils d'InAs. La nanostructuration de la grille (dite « finger ») mène à une réduction des capacités parasites et à l'augmentation de la fréquence de coupure et fréquence maximale des dispositifs.

Au vu de ces résultats, cette architecture est prometteuse pour l'obtention des transistors miniaturisés.

F. Conclusion

Cette étude bibliographique a permis de définir les pistes à suivre pour poursuivre la miniaturisation des transistors. Les problématiques liées à la réduction des dimensions des dispositifs, à savoir la perte du contrôle électrostatique du canal, la densité d'intégration ainsi que la consommation énergétique, ont été évoquées. Les solutions à ces problèmes ont été présentées et la synthèse de celles-ci permet de proposer un transistor basé sur une architecture verticale utilisant des canaux de matériaux III-V comme alternative d'intégration. Forte de ces travaux précédents, l'équipe MPN du LAAS est en mesure de proposer la réalisation d'un tel transistor en utilisant l'architecture modélisée en Figure I-26.

La clef de voûte de ces dispositifs est l'obtention de nanofils verticaux de matériaux III-V. Deux méthodes d'obtention seront présentées et deux matériaux III-V seront étudié : le GaAs et l'InAs. L'utilisation de GaAs relève un intérêt certain car celle-ci n'a pas été reportée dans de telles architectures alors que la modélisation a montré son fort potentiel.

Dans un second temps, deux études seront menées au sein de deux chapitres distincts afin de lever deux verrous technologiques :

- Une première étude portera sur l'obtention de contacts symétriques faiblement résistifs et compatibles avec les technologies CMOS. Une attention particulière sera portée sur le GaAs puisque de tels contacts ont déjà été élaborés sur InAs au sein de l'équipe MPN du LAAS.

- Une seconde étude se focalisera sur l'interface oxyde/semiconducteur, aspect crucial des dispositifs MOSFETs. En effet, cette interface est la localisation de défauts pouvant nuire au bon fonctionnement du dispositif. Comme présenté dans la littérature, l'intégration d'un oxyde à forte permittivité sera nécessaire.

Afin de mener ces études, les caractérisations électriques seront menées sur échantillons planaires plus adaptés aux méthodes de caractérisations, puis l'approche la plus performante sera implémentée sur nanofil et caractérisée structurellement.

Enfin, en parallèle de ces études, l'intégration de chacune de ces trois premières étapes sera développée au sein d'un procédé compatible avec les technologies CMOS. Les challenges techniques rencontrés ainsi que les solutions apportées seront présentés au sein d'un dernier chapitre.

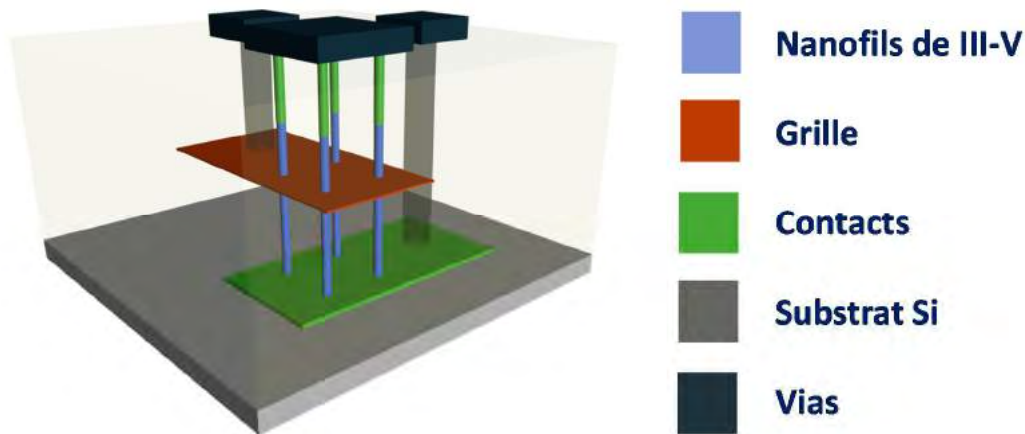


Figure I-26 : Transistor à nanofils verticaux de matériaux III-V conceptualisé durant cette thèse et développée au LAAS.

Chapitre II : Réalisation de nanofils verticaux de matériaux III-V sur Si

Comme discuté dans le chapitre précédent, les transistors conceptualisés et développés dans le cadre de cette thèse seront constitués d'un ou plusieurs nanofils de matériau III-V sur lesquels les 3 pôles du transistor seront localisés : source et drain à chacune des extrémités et grille à mi-hauteur. La réalisation de ces nanofils est donc le point de départ du procédé de fabrication de ces transistors et une étape cruciale pour leur fonctionnement optimum.

A. Etat de l'art sur la réalisation de nanofils verticaux en matériau III-V

1. Généralités

Usuellement, il existe deux voies de fabrication de structures nanométriques : la voie descendante dite « top-down » et la voie ascendante dite « bottom-up ». La première consiste à éliminer progressivement de la matière d'un matériau massif à travers un masque pour obtenir la nanostructure voulue alors que la seconde consiste à assembler des particules, atomes ou molécules, à l'aide d'un catalyseur métallique pour former une nanostructure. Ces deux voies ont été explorées et présentent chacune des avantages et des challenges pour la réalisation des nanofils (Figure II-1).

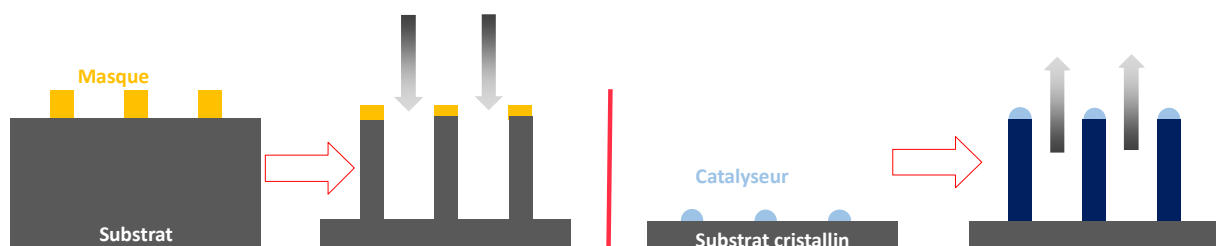


Figure II-1 : Principe de formation de nanofil par voie descendante (à gauche) et ascendante (à droite).

i - La voie descendante

La voie descendante est donc celle qui utilise une étape d'élimination de matière afin d'obtenir des nanostructures. Dans le cadre d'un procédé de microtechnologie, la principale technique utilisée pour l'élimination de matière est appelée gravure : elle peut être soit humide à l'aide d'une solution

d'attaque du matériau cible, soit sèche à l'aide d'un plasma dans une chambre sous vide. Quel que soit le type de gravure utilisé, il est nécessaire d'effectuer préalablement une étape de masquage par lithographie permettant de définir un motif à transférer dans le matériau lors de la gravure. Ces étapes de microfabrication sont généralement maîtrisées et reproductibles. Le positionnement des nanostructures ainsi que leur dimensionnement sont donc homogènes et fiables. C'est l'atout majeur de cette approche.

La première difficulté de mise en place de cette technique est l'obtention d'une couche de matériau III-V sur silicium. En effet, bien que l'épitaxie de couche de matériaux III-V tels que le GaAs, l'InGaAs ou l'InAs soit maîtrisée sur substrat III-V avec peu de désaccord de maille, l'obtention d'une telle couche sur substrat silicium est une difficulté technologique à cause de ce désaccord de maille. L'un des critères déterminant pour que ces couches soient de bons semiconducteurs est la quantité de défauts de structure. Ces défauts peuvent agir comme des pièges de charges dans le semiconducteur, réduisant la mobilité de celles-ci. Pour minimiser ces défauts, un des paramètres déterminant est le désaccord de maille entre le substrat et la couche à obtenir. En effet, 3 cas peuvent se distinguer en fonction de ce désaccord (Figure II-2) :

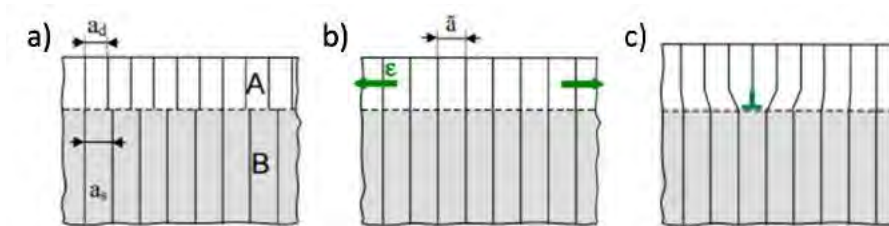


Figure II-2 : Epitaxie d'une couche A sur un substrat B. a) interface incohérente. b) interface semi-cohérente avec déformation élastique. c) Apparition de dislocation avec l'épaisseur de la couche. [68]

- Si le désaccord de maille est trop important (typiquement supérieur à 25%), l'interface est dite incohérente. Les deux mailles sont dans leur état naturel mais l'énergie d'interface est très grande, induisant la formation de défauts majeurs.
- Si celui-ci est faible (quelques %), la couche va subir une déformation élastique afin de s'aligner sur la maille du substrat. L'interface est cohérente et la couche est alors dite pseudomorphe car ses paramètres sont différents de ceux à son état naturel.
- Dans le cas intermédiaire, la déformation élastique nécessaire au réalignement du réseau de la couche est trop forte. A partir d'une épaisseur critique, la couche va se relaxer périodiquement en faisant apparaître des dislocations dans le matériau.

Dans l'optique de réalisation d'un transistor, il est nécessaire d'obtenir une interface cohérente exempte de défauts. Lorsque l'on s'intéresse au désaccord de maille de différents matériaux III-V à forte mobilité avec le Si (Figure II-3), il n'apparaît pas d'alliage ayant un désaccord de mailles quasi-

nul : l'obtention d'une couche épitaxiée avec très peu de défauts sur Si est un défi technique à relever. De plus, un matériau III-V étant un alliage de deux éléments, des domaines d'antiphases (APB) apparaissent. Ces domaines sont définis par une rupture dans l'enchaînement des liaisons: un alliage III-V est composé d'une succession de liaisons $-(\text{III})-(\text{V})-$ mais des défauts de structures peuvent créer des liaisons $-(\text{III})-(\text{III})-$ ou $-(\text{V})-(\text{V})-$. Ces liaisons agissent alors comme des pièges accepteurs ou donneurs perturbant alors le comportement électrique du matériau. D'autres défauts liés à l'arrangement des couches atomiques peuvent également apparaître lors de l'épitaxie : les défauts d'empilement «stacking fault» et l'apparition de macles «crystal twinning». En effet, lorsque des monocouches atomiques sont disposées les unes sur les autres dans une maille cristalline type cubique face centrée, les atomes ont trois positions possibles : celles-ci sont généralement notées A, B et C. En fonction de la composition de la couche et des conditions d'épitaxie, il est possible d'avoir des empilements -ABABAB- ou -ABCABC-. Une rupture dans ces ordres d'empilement de couches comme présenté en Figure II-4 mènent aux défauts «stacking fault» et «twinned plans».

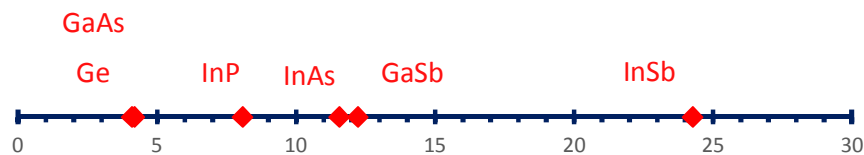


Figure II-3 : Désaccord de mailles de matériaux III-V avec le Si (en %).

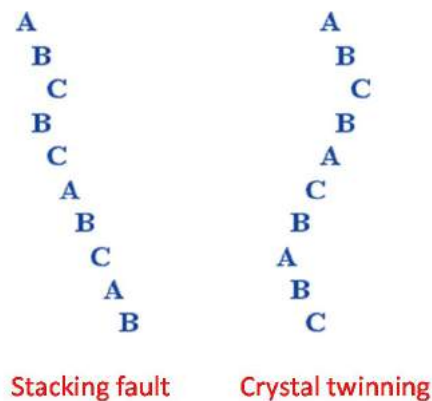


Figure II-4 : Représentations des défauts d'empilement de couches "stacking fault" et "crystal twinning".

La seconde difficulté est de développer un procédé de réalisation de nanofils verticaux par gravure, compatible avec les technologies CMOS, adapté aux matériaux III-V, répétable et pouvant atteindre une résolution critique de quelques dizaines de nanomètres de diamètre.

ii - La voie ascendante

La voie ascendante repose sur la croissance des nanofils par réaction chimique directement sur le substrat silicium. En modifiant les paramètres de la croissance d'une couche 2D massive, il est possible d'obtenir des structures plus exotiques telles que les nanofils. Différents mécanismes de croissance sont connus et peuvent mettre en forme cette géométrie unidimensionnelle par le biais d'un catalyseur (sous forme de bille) ou d'une structure pour guider celle-ci (Figure II-5). Ces approches permettent de contrôler leur positionnement et leur espacement (le « pitch ») en évitant des croissances chaotiques.

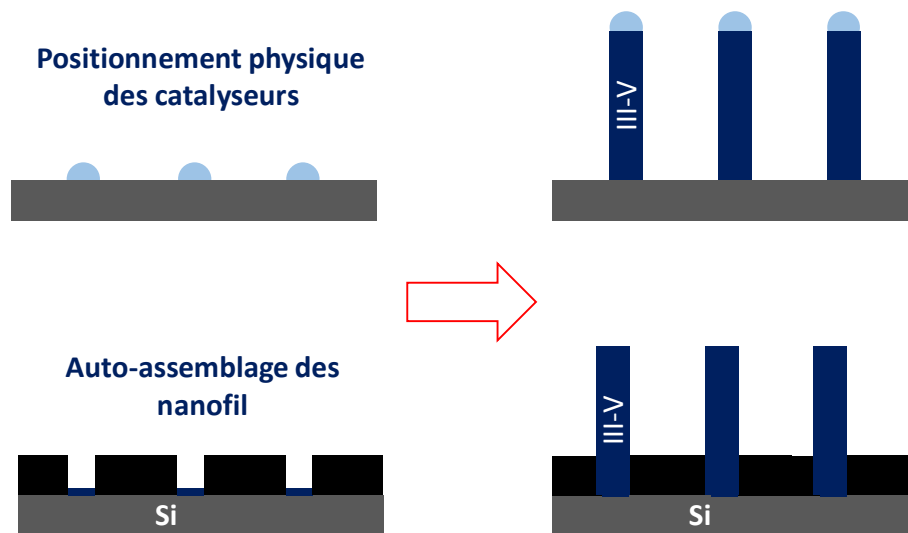


Figure II-5 : Deux mécanismes de croissance localisée de nanofils : à partir d'un catalyseur ou d'une nanostructuration du substrat.

Il y a deux intérêts à utiliser la croissance pour obtenir des nanofils verticaux sur Si. Tout d'abord, la croissance 1D étant un phénomène guidé par la diminution de l'énergie de surface, elle permet d'obtenir des nanostructures cristallines avec peu de défauts. Cela permet de conserver les bonnes propriétés intrinsèques des matériaux employés. De plus, dans le cadre de la croissance de nanofils, une plus grande variété de matériaux semiconducteurs est accessible car il a été démontré que les contraintes liées au désaccord de maille peuvent être relaxées sur les flancs du nanofil ([69], [70]), contrairement à une couche massive. Cela permet de croître des nanofils de matériaux III-V ayant un fort désaccord de maille avec le Si sans risquer l'apparition de déformations dans celui-ci. Dans le cas du GaAs sur Si par exemple, les modèles indiquent que l'épaisseur critique avant l'apparition de dislocations au sein d'une couche massive est inférieure à une monocouche [71], cependant il a été démontré par Russo-Averchi et al. [72] que la croissance de nanofils de GaAs pouvait atteindre des hauteurs supérieures au micromètre.

Des inconvénients existent à l'utilisation d'une étape de croissance de nanofils dans un procédé de microfabrication. Tout d'abord, la croissance étant fondamentalement liée à la surface du substrat (et

à sa maille cristalline), il est nécessaire pour obtenir une croissance verticale de travailler sur un substrat orienté (111) qui n'est pas le substrat conventionnellement utilisé dans le milieu industriel [73]. A cela s'ajoute une forte dépendance à l'état de surface qui peut être endommagé lors d'une étape précédant la croissance. Enfin, l'épitaxie étant un mécanisme où chaque nanofil est généré parallèlement, on observe une dispersion en dimension (hauteur, diamètre) ainsi qu'un nombre de d'anomalies localisés (croissance retardée, croissance non verticale) plus important que pour une technique de gravure. On définit alors un taux de verticalité afin de caractériser ces anomalies : rapport de nanofils verticaux (angle > 85°) sur le nombre de nanofils présents. On peut également définir le taux de remplissage comme étant le rapport entre le nombre de nanofils effectivement présents et le nombre de sites de croissances prévues (catalyseurs ou nanostructures).

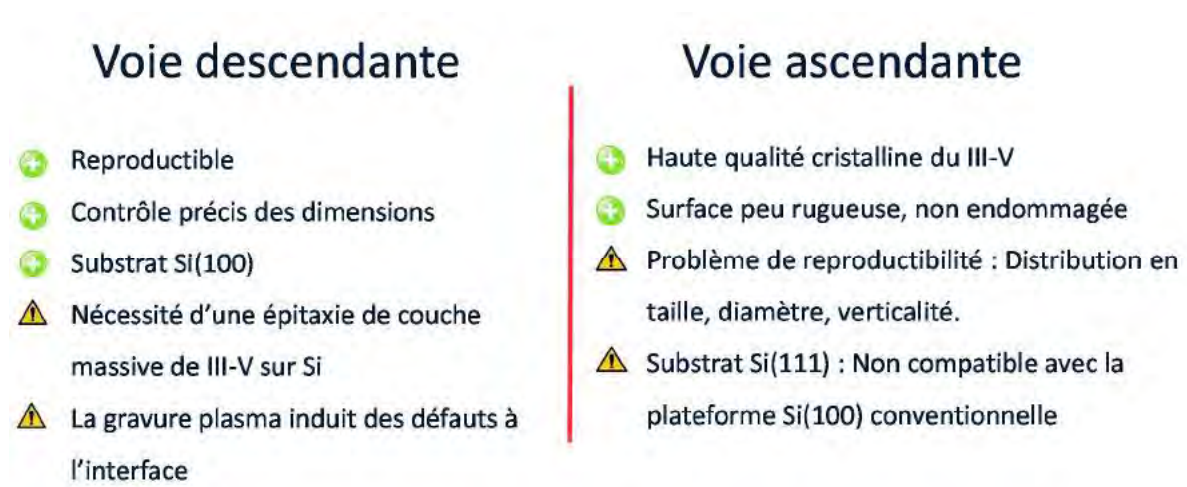


Figure II-6 : Résumé des avantages et défis associés aux deux voies de réalisation de nanofils de matériaux III-V sur substrat Si.

En conclusion, les deux voies de réalisation des nanofils présentent des avantages et des défis techniques à relever bien distincts (Figure II-6). Les travaux reportés dans la littérature au cours de ces dernières années relatifs à la réalisation de nanofils verticaux d'alliages III-V vont désormais être présentés et commentés.

2. Techniques de réalisation de nanofils verticaux III-V

i - Voie descendante

Différents groupes ont travaillé sur la réalisation de nanofils verticaux de matériaux III-V et plusieurs techniques ont été explorées. Alamo et al. (MIT) ainsi que Ramesh et al. (IMEC) ont travaillé sur un procédé descendant [58], [74]. Leur procédé est effectué sur une couche d'InGaAs préalablement épitaxiée sur un substrat III-V. Cette couche est divisée en trois régions selon leur dopage : (i) – (ii) deux zones fortement dopé N pour les extrémités afin de faciliter la prise de contact et (iii) une zone non intentionnellement dopée au centre qui composera le canal. Comme présenté précédemment,

une étape de lithographie électronique permet de positionner des nanoplots de résines, qui sont ensuite transférés dans la couche III-V par gravure à l'aide d'un plasma chloré afin d'obtenir les nanofils. Enfin, une étape d'amincissement des nanostructures est réalisée permettant d'atteindre des diamètres inférieurs à 20 nm (Figure II-7). Cette technique de réalisation des nanofils permet un positionnement précis par la lithographie (quelques nm) avec des densités élevées (réseaux avec un espacement de 80 nm). De plus, les dimensions des nanostructures sont également parfaitement contrôlées et non dispersées : diamètre (lithographie) et hauteur (gravure). Enfin, le caractère reproductible de ces deux étapes est également un avantage pour ce procédé. En revanche, cette voie nécessite l'obtention d'une couche de matériau III-V épitaxiée sur Si. Dans le cadre des travaux de l'IMEC et du MIT, la couche d'InGaAs repose sur un substrat InP qui n'est pas le substrat conventionnel utilisé dans l'industrie de la microélectronique. Les nanofils présentés ont également un « pied » élargi par rapport à leur sommet : cette dissymétrie pourrait affecter le comportement électrique du dispositif étant donné que les contacts seront situés aux extrémités.

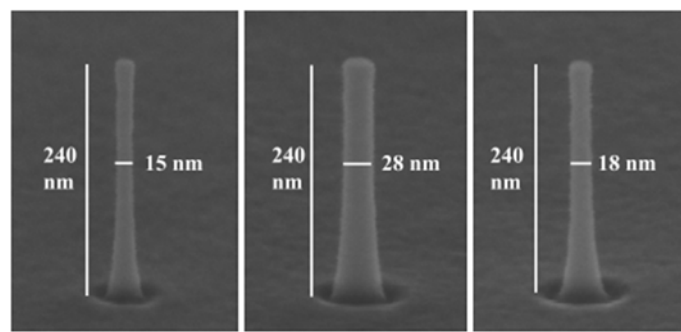


Figure II-7 : Images au microscope électronique à balayage (MEB) de nanofils d'InGaAs obtenues par Del Alamo et al. (MIT) sur substrat InGaAs de 3 diamètres visés différents. [58]

ii - Voie ascendante

Avec une approche ascendante, Wernersson et al. (Lund) ont réalisé la croissance par épitaxie en phase vapeurs des organométalliques (MOVPE) de nanofils de matériaux III-V sur substrat Si. Deux mécanismes de croissance ont été utilisés par cette équipe. Des croissances à base de catalyseurs d'or ont été réalisées pour obtenir des nanofils d'InAs et GaSb [56], [57], [75]. La première étape est une épitaxie d'une couche d'InAs(111) sur Si(111). Sur cette couche, une étape de lithographie électronique suivie d'un dépôt d'or permet de localiser et contrôler les dimensions des billes d'or. La croissance suit ensuite un mécanisme « Vapeur-Liquide-Solide » (explicité dans C.2) pour obtenir les nanofils. Il existe une relation directe entre le diamètre des catalyseurs d'or et celui des nanofils permettant un contrôle fin du diamètre de même que leur longueur [57] mais les densités présentées dans la Figure II-8 sont faibles (espacement de 400 nm). De plus, la co-intégration de nanofils de N-InAs et P-GaSb a été réalisée en jouant sur la taille des billes d'or : en dessous d'un diamètre critique,

la croissance de GaSb n'a pas lieu [76]. Cela permet de co-intégrer des transistors de canal P et N pour la réalisation de composants CMOS, essentiels aux applications logiques. Cependant, les nanofils de GaSb sont en réalité des hétérostructures, constituées d'un pied en InAs surmonté par un segment GaSb (Figure II-8). Ce type d'hétérostructure rend le transport (et le contrôle) de charges plus complexes dans ce type de nanofil. Enfin, l'utilisation de catalyseurs d'or est à proscrire dans le cadre d'un procédé compatible avec les procédés CMOS étant donné que ces structures sont destinées à être intégrées avec des technologies CMOS en silicium très sensibles à ce type de contaminants métalliques.

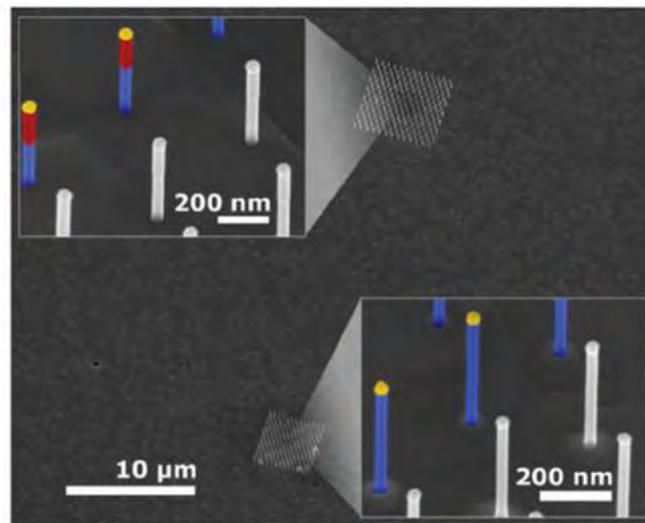


Figure II-8 : Images MEB de nanofils d'InAs (en bleu) et de GaSb (en rouge) avec catalyseur en or (en jaune) intégré sur le même substrat Si (111) [57].

La deuxième approche présentée par cette équipe est la croissance de nanofil d'InAsSb [64] en utilisant un masque en SiO₂ sur lequel des ouvertures ont été localisées par lithographie électronique. Cette croissance par zone sélective permet de s'affranchir de l'utilisation d'un catalyseur tel que l'or. Le diamètre des nanofils ainsi obtenus est lié au diamètre des sites de croissance. Ainsi, des ouvertures de 50 nm induisent des nanofils de 80 nm avec une longueur de 1 μm. La longueur de diffusion de l'In sur le SiO₂ étant supérieure aux espacements entre ouvertures, la croissance de structure n'est observée qu'au niveau des sites de croissance ce qui assure un excellent positionnement des nanofils (Figure II-9). Fukui et al. ont également utilisé cette technique pour leur croissance afin de réaliser des nanofils d'InAs et d'InGaAs [77]–[80]. Les diamètres atteignables par ces techniques sont toutefois limités par la résolution de la lithographie électronique : les nanofils auront un diamètre qui sera supérieur ou égale à celui des ouvertures. De plus, il a été montré qu'un défaut local de croissance

pouvait mener à une modification des dimensions des nanofils à proximité de celui-ci, impactant l'homogénéité des nanostructures obtenues ainsi que le taux de verticalité (Figure II-9).

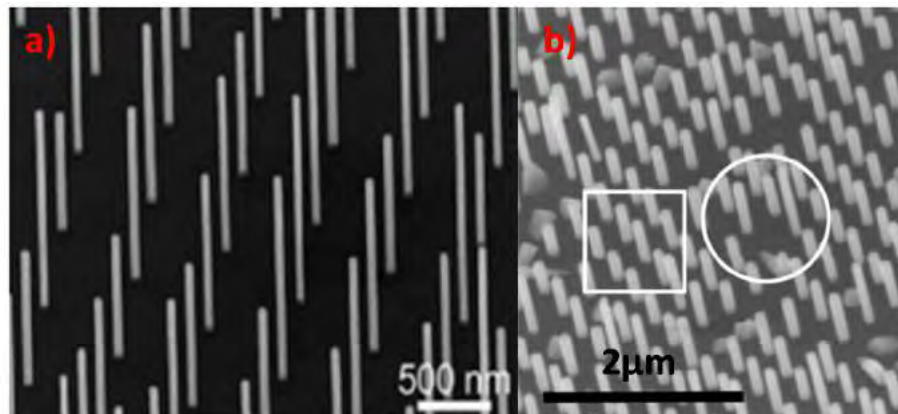


Figure II-9 : a) Croissance de nanofils d'InAs par zone sélective [79]. b) Mise en évidence de défauts localisés (cercle) [64].

Enfin, Riel et al. (IBM Zurich) ont travaillé sur une structure servant de moule à la croissance d'un nanofil [81], [82]. Ce moule est réalisé par voie descendante en deux étapes (Figure II-10) : des nanofils en Si sont réalisés par lithographie électronique suivie par une gravure sèche. Une couche de SiO_2 est ensuite déposée sur les flancs des nanofils créant ainsi une gaine d'oxyde. Enfin, l'élimination sélective du Si par le TMAH permet d'obtenir les tubes en SiO_2 . Par croissance MOVPE, les moules sont ensuite remplis par un alliage III-V puis sont ensuite éliminés par une attaque chimique (HF) afin de faire apparaître les nanofils III-V.

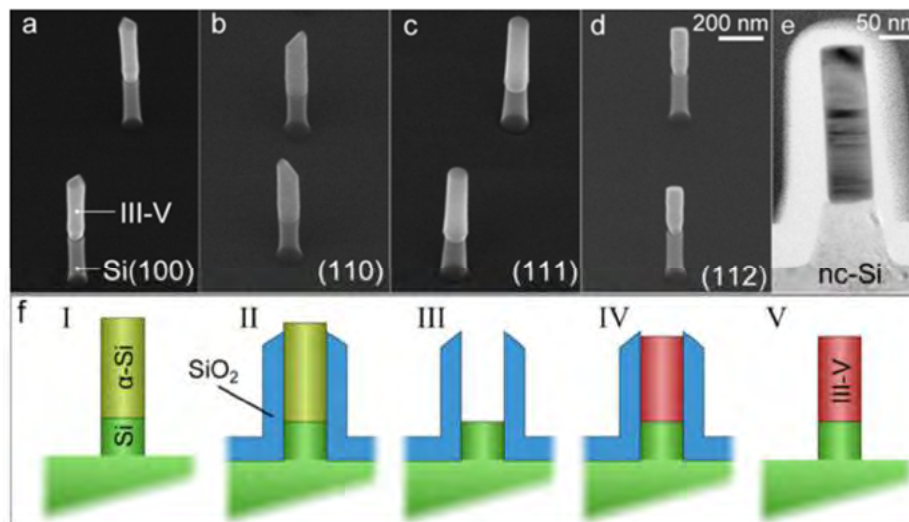


Figure II-10 : a – d) Nanofil d'InAs sur pied en Si selon différentes orientations cristallines. e) Nanofil d'InAs sur Si nanocristallin f) Procédé de fabrication du moule en Si et du nanofil d'InAs à partir de ce moule. [81]

L'avantage majeur de cette technique est de pouvoir travailler avec une orientation (100) du substrat initial étant donné que la direction de la croissance est désormais guidée par le nanotube en SiO_2 . Cela

a permis l'intégration par croissance de nanofils d'InAs et de GaAs sur substrat Si(100). De plus, pour les gammes de diamètres étudiés (25 nm à 120 nm), aucun défaut de type domaine d'antiphase ou dislocation n'a été repéré. Le taux de nanofils verticaux est proche de 100 %. Cependant, ce procédé est bien plus complexe que les précédents : il demande une expertise à la fois en croissance mais également en approche descendante pour la réalisation de nanofils de Si. De plus, sur Si(100), l'orientation cristalline privilégiée n'étant pas respectée, la face au sommet du nanofil n'est pas nécessairement horizontale, ceci pouvant mener à des difficultés d'intégration (Figure II-10). On peut également se questionner sur la robustesse du nanofil sur pied vis-à-vis d'un procédé d'intégration pour la réalisation d'un transistor. Enfin, la croissance des nanofils ne débutant pas simultanément, leur hauteur n'est pas homogène d'un fil à l'autre comme présenté dans la Figure II-11.

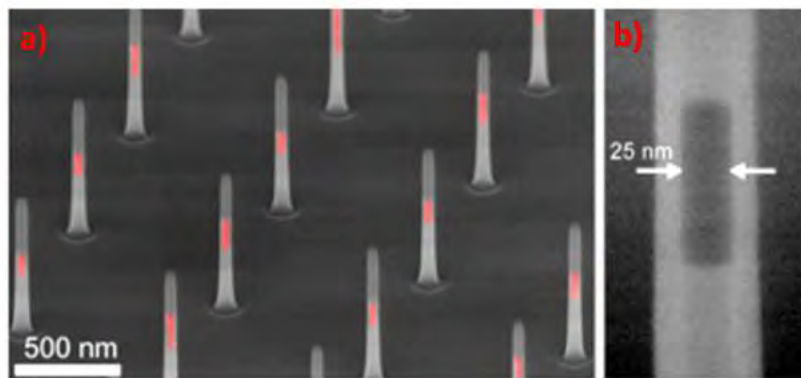


Figure II-11 : Images MEB de nanofils d'InAs épitaxiés dans un moule en Si. La partie colorée en rouge a) et sombre b) est le segment d'InAs entouré par une gaine en Si. On remarque des hauteurs différentes pour les segments d'InAs observés.[81]

Cet état de l'art propose un aperçu général des approches et techniques de réalisation de nanofils verticaux de matériaux III-V. La voie ascendante utilise des techniques de micro/nanotechnologie usuelles facilitant la réalisation de nanofils et s'intégrant dans un procédé de réalisation de dispositif électronique. De plus elle offre un positionnement précis, un contrôle des dimensions ainsi qu'une reproductibilité essentielle. Cependant, la condition pour emprunter cette voie est un défi technologique : l'obtention d'une couche de matériau III-V sur substrat Si ainsi que le développement de techniques de gravure qui soient compatibles avec les différents alliages III-V. La voie ascendante permet, quant à elle, de travailler avec une grande variété de matériaux sur Si tout en conservant une très bonne qualité de matériaux cristallins. En revanche, la reproductibilité ainsi que la dispersion des dimensions des nanofils peuvent être un frein à leur réalisation. La suite de ce chapitre présente les deux voies de réalisation explorées dans le cadre de cette thèse ainsi que les choix effectués pour tenter de répondre aux différents challenges listés pour obtenir des nanofils verticaux de GaAs et d'InAs sur substrat Si.

B. Réalisation de nanofils par approche descendante : l'exemple du GaAs

1. Substrat GaAs sur Si(100)

Comme présenté précédemment, il est nécessaire pour emprunter cette voie de travailler à partir de couche massive de III-V épitaxiée sur silicium. Or, d'après la Figure II-12, le désaccord de maille entre le Si et les matériaux III-V est tel qu'il est difficile d'obtenir cette couche sans défauts de formation (cf. Figure II-2).

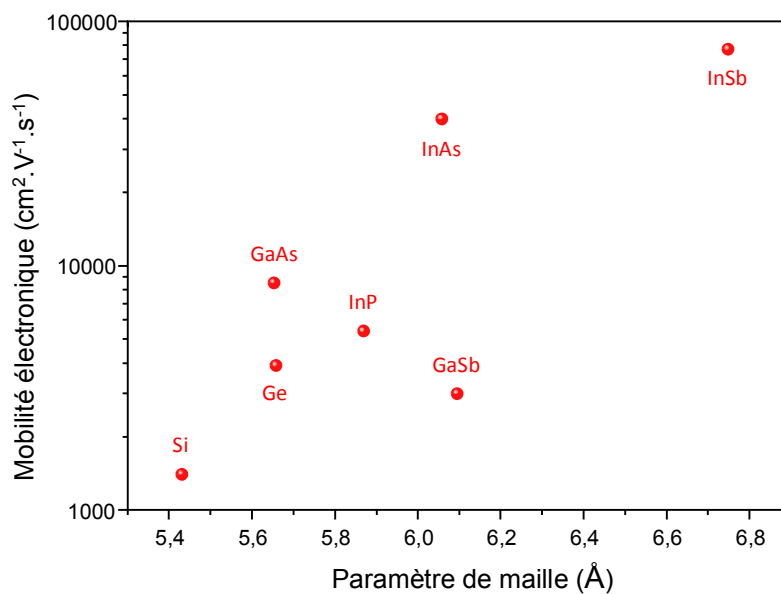


Figure II-12 : Paramètre de maille de différents semiconducteurs et leur mobilité électronique associée.

L'arséniure de gallium est le matériau III-V présentant le moins de désaccord de maille avec le Si (4.1 %) tout en ayant une mobilité électronique supérieure d'une décade à celle du Si. L'épitaxie en phase vapeur par les organométalliques (MOVPE) permet l'épitaxie de matériaux III-V monocristallins. Néanmoins, la croissance de GaAs sur Si montre historiquement des défauts cristallins et notamment l'apparition de domaines d'antiphase (APB). Ces domaines se forment au niveau des défauts de structure présents naturellement à la surface du Si (Figure II-13). Ils induisent au sein du GaAs épitaxié des liaisons As-As, agissant chacune comme un donneur, et Ga-Ga, agissant comme un accepteur. Ces anomalies de liaisons étant en nombre égal, cela donne un comportement semi-isolant au GaAs, néfaste au développement de dispositifs électroniques. Baron et al. (LTM, Grenoble) ont travaillé sur l'élaboration de telles couches de GaAs sur Si [83]. A l'aide d'un recuit thermique, la surface du Si utilisée pour la croissance est structurée en créant des marches de 100 nm de largeur. Ces marches

permettent d'éviter l'apparition d'APB dans le GaAs lors de sa croissance par MOVPE à l'échelle de substrat 300mm (Figure II-13). Cette équipe a montré que la suppression de ces domaines d'antiphase a permis d'augmenter grandement la mobilité électronique du GaAs : pour un dopage type N à $7.10^{17} \text{ cm}^{-3}$, la mobilité d'une couche avec et sans APB est respectivement de $200 \text{ cm}^2.\text{V}^{-1}\text{s}^{-1}$ et $2000 \text{ cm}^2.\text{V}^{-1}\text{s}^{-1}$.

Enfin, la densité de dislocations émergentes en surface a été mesurée à 1.10^9 .cm^{-2} à l'aide d'observations au microscope électronique. En supposant une distribution homogène des défauts en fonction de la profondeur, on peut estimer en première approximation le nombre moyen théorique de nanofils présentant un défaut en son sein. Si l'on considère des réseaux de nanofils de 30 nm de diamètre espacés de 300 nm entre eux, alors 1 nanofil sur 140 présenterait un défaut de structure. Cette valeur semble donc tout à fait acceptable.

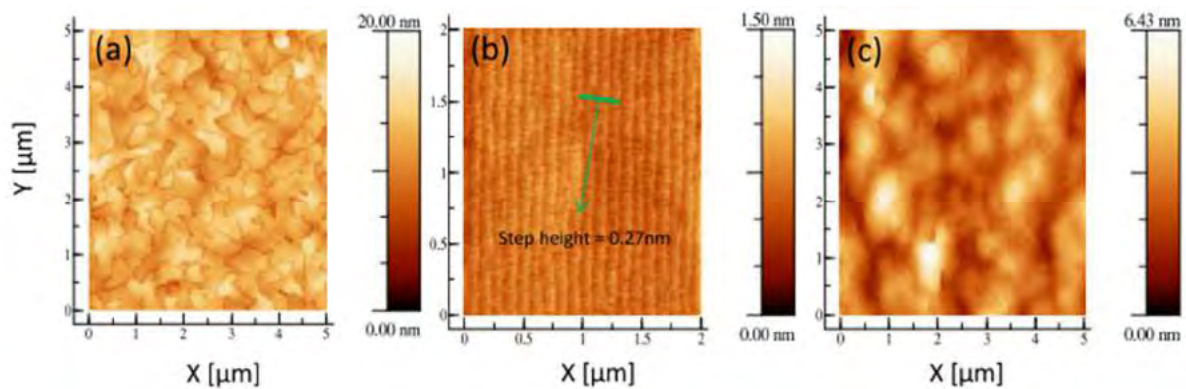


Figure II-13 : Mesures par microscopie à force atomique (AFM) sur (a) Domaines d'antiphase présents dans le GaAs épitaxié sur Si sans préparation de surface (b) Surface du Si structurée par traitement thermique (c) GaAs épitaxié sur Si structurée sans domaine d'antiphase. [83]

Le matériau de base nécessaire à l'élaboration de nanofils de GaAs par voie top-down a été obtenu grâce aux équipes du LTM : 420 nm de GaAs dopé N à $8.10^{18} \text{ .cm}^{-3}$ sur substrat Si(100) non intentionnellement dopé sans domaine d'antiphase ou défaut ponctuel de structure (Figure II-14). Ces substrats ont ensuite pu être structurés au LAAS à l'aide de techniques de microfabrication.

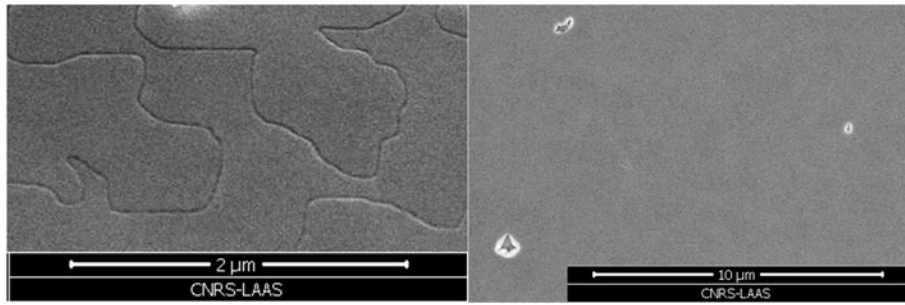


Figure II-14 : Images MEB de GaAs massif sur Si : (a) couche obtenue sans préparation spécifique avec domaine d'antiphase et (b) couche réalisée avec la structuration en marches, présentant des défauts de structures localisés.

2. Obtention de plots de résine par lithographie électronique

La lithographie est une étape permettant de transférer le motif d'un masque (physique ou numérique) sur une résine enduite à la surface de l'échantillon. Dans le cas de la lithographie électronique, un faisceau d'électrons balaye l'échantillon et insole la résine, sensible aux électrons, aux positions désirées. Enfin, l'étape de révélation, se présentant généralement sous la forme d'un bain dans une solution, permet, selon la polarité de la résine, de dissoudre la résine insolée (résine positive) ou non insolée (résine négative). La lithographie électronique permet de travailler à des résolutions très basses (quelques nanomètres) ce qui est son principal atout. Elle est donc indiquée pour la réalisation de nanofils, dont les diamètres visés ici sont compris entre 30 nm et 80 nm. Elle possède toutefois un défaut : le faisceau devant se déplacer sur toutes les zones à insoler, le temps d'insolation est donc largement supérieur à une technique plus classique de photolithographie.

La résine choisie pour ce procédé est une résine inorganique : l'Hydrogène SilsesQuioxane (HSQ). La taille de cette molécule, plus faible que celles d'autres résines électrosensibles telles que la PMMA [84], permet d'atteindre des résolutions sub-10 nm. De plus, elle possède un fort contraste nécessaire à l'obtention de flancs verticaux. Etant une résine négative, le temps d'insolation est réduit drastiquement par rapport à une résine positive pour la réalisation de nanostructures : la surface à insoler (les nanofils) ne représente qu'une très petite fraction de la surface totale. Sous un faisceau d'électrons, une réaction de polymérisation s'enclenche, cassant les liaisons Si-H et menant à la formation de liaisons Si-O-Si plus fortes, et la résine passe d'une structure cage à une structure réseau (Figure II-15). Une fois insolée, la résine est développée à l'aide du TriMethylAmmonium Hydroxyde (TMAH) à 25% qui permet d'éliminer la HSQ non insolée sous forme de structure cage.

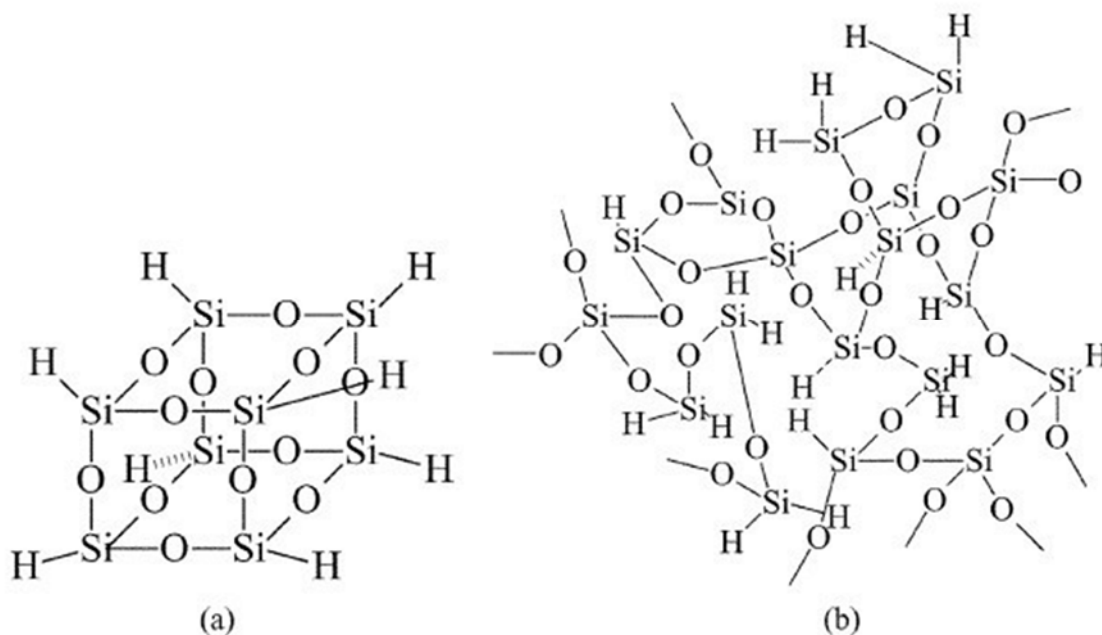


Figure II-15 : Structures cage (a) et réseau (b) de la HSQ. Les liaisons Si-H à la périphérie de la cage sont rompues par le faisceau d'électrons et de nouvelles liaisons Si-O-Si se forment, créant un réseau.

Dans cette étude, un masqueur RAITH150 a été utilisé pour réaliser l'insolation électronique. Celui-ci se présente sous la forme d'un microscope électronique à balayage (MEB) accompagné d'un logiciel de dessin de masque. Un système de repères intégrés permet d'aligner à quelques nanomètres près le dessin à insoler avec les structures déjà présentes sur l'échantillon. Ce masqueur peut travailler à des tensions d'accélération pouvant atteindre 30 kV.

Afin d'améliorer la conformité entre le masque numérique et le masque en résine, plusieurs paramètres ont été optimisés :

- Plus l'épaisseur de la résine est faible, plus la résolution sera grande. L'épaisseur minimale de la résine est déterminée par l'étape de gravure. Pour la réalisation des nanofils, la résine est diluée dans le MIBK avec un ratio 1 pour 4 et enduite à 5000 tour/min. Un recuit post-enduction à 80°C pendant 1 min est effectué afin d'éliminer les traces de solvant résiduelles avant insolation. Ce protocole nous permet d'obtenir une épaisseur de 60 nm de HSQ.
- Plus la tension d'accélération est grande, plus la résolution sera grande car le trajet des électrons dans la résine sera plus directif. Cependant, une augmentation de cette tension entraîne également un temps d'écriture plus long. Cela s'explique par la probabilité d'interaction d'un électron avec la matière : plus l'électron sera rapide (ou possèdera une forte énergie), plus sa probabilité d'interaction sera faible, de manière linéaire. La tension de 30 kV a été choisie, les nanofils étant très rapides à insoler.

- Afin d'obtenir des plots circulaires de diamètre souhaité, une optimisation de la dose ($450 \mu\text{C}/\text{cm}^2$) et du mode d'insolation a été effectuée. En effet, une précédente étude a démontré que lors de l'insolation de dessins particuliers, des artefacts liés au déplacement du faisceau sur la surface apparaissaient. Ainsi, pour obtenir des plots de résines circulaires sans artefact, un motif en étoile est le plus approprié [85]. Cela permet d'avoir des plots de HSQ aux profils verticaux (Figure II-16).

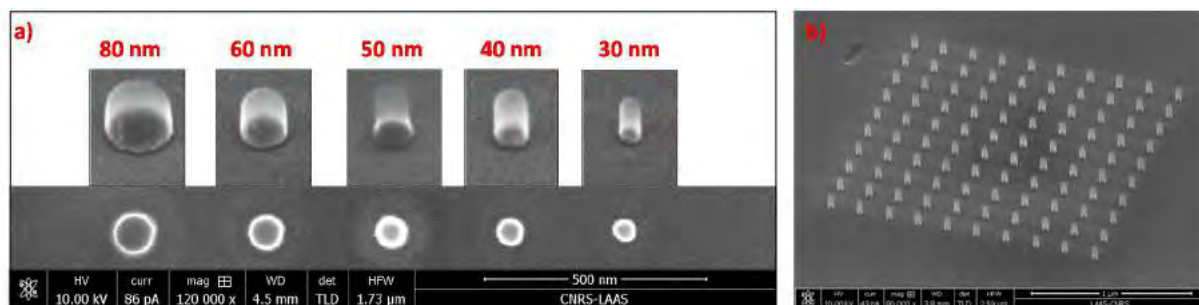


Figure II-16 : Image MEB sur couche GaAs. a) Différents diamètres de plots de 60 nm d'épaisseur obtenus avec un fort aspect ratio - b) Réseaux de plots de HSQ de 40 nm de diamètre espacés de 150 nm

Une fois la HSQ révélée dans le TMAH, une étape de rinçage dans l'eau déionisée est nécessaire afin d'éliminer les résidus de HSQ. Cependant, on ne peut directement sécher l'échantillon au risque de casser les plots de résine [86]. En effet, la force capillaire induite par l'eau sur ces plots provoque l'effondrement des fils lors du séchage. Alors, un rinçage additionnel dans une solution de méthanol permet d'éviter cet effondrement après séchage en limitant ces forces de capillarité, le coefficient de tension de surface du méthanol étant trois fois plus faible que l'eau (à 20°C : $\gamma_{\text{eau}} = 72.8 \text{ mN.m}^{-1}$; $\gamma_{\text{eau}} = 22.6 \text{ mN.m}^{-1}$). Ce phénomène est détaillé dans le Chapitre V – A.2.

Les plots de résines étant désormais réalisés, la gravure permettra de transférer ces motifs dans la couche de GaAs.

3. Gravure des nanofils

i - Gravure plasma du GaAs : principes et mécanismes.

La gravure est l'étape permettant de transférer le motif obtenu par lithographie dans le matériau. Celle-ci peut être soit humide (attaque en solution) soit sèche (attaque par plasma). Afin d'obtenir des nanofils à flancs verticaux, la gravure doit être anisotrope c'est-à-dire qu'elle doit privilégier une direction particulière (Figure II-17).

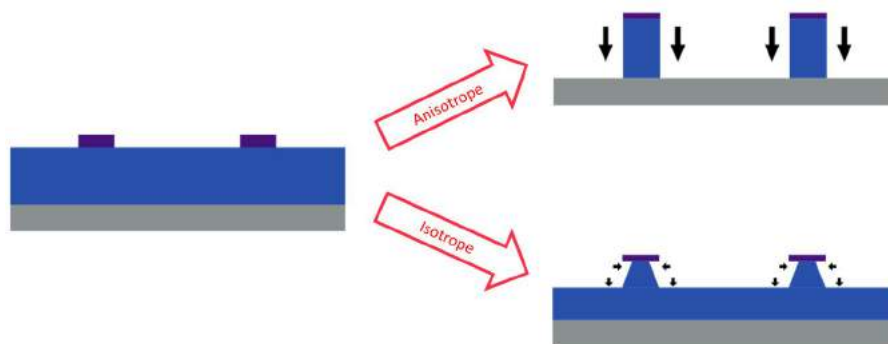


Figure II-17 : Différence entre gravure isotrope et anisotrope : la gravure anisotrope est uniquement verticale dans l'exemple, contrairement à la gravure isotrope. Il en résulte des structures de formes différentes.

La gravure humide ne permet généralement pas de gravure anisotrope, il est donc nécessaire d'effectuer une gravure sèche via un plasma. La gravure ionique réactive (RIE) est une technique très utilisée dans les procédés de microfabrication. Elle consiste en la génération d'un plasma dans une chambre sous vide dont les espèces réactives qui le composent (radicaux, ions, électrons) réagiront de manière chimique et physique avec le substrat. L'outil de gravure RIE est composé d'une chambre de réaction maintenue sous vide, d'un système de pompage afin de faire circuler le gaz à ioniser ainsi que les produits de gravure et d'une paire d'électrodes situées de part et d'autre de la chambre, le substrat étant positionné sur celle située en bas de la chambre (Figure II-18). Un champ électrique est appliqué entre les deux électrodes, généralement à 13.56 MHz, permettant l'ionisation du gaz dans la chambre. Les électrons ainsi libérés vont alors réagir à nouveau avec les molécules du gaz, entraînant une réaction en chaîne menant à la génération du plasma. L'électrode du haut ainsi que les parois étant reliées à la masse, les électrons impactant ces éléments seront évacués via le circuit électrique. L'électrode support du substrat étant isolée électriquement du reste de la chambre, l'accumulation des électrons libres à sa surface génère un potentiel négatif au niveau de cette électrode. Celui-ci va alors attirer les espèces chargées positivement du plasma, bombardant ainsi la surface de l'échantillon. Ce bombardement ionique est à l'origine de la gravure physique du matériau. De plus, la surface étant déstructurée par le bombardement, elle est également rendue plus réactive d'un point de vue chimique.

Le plasma possède également une gravure réactive, qui dépend donc des composants du plasma et du matériau à graver. Pour réagir avec le GaAs, les gaz chlorés sont essentiellement utilisés : le Cl_2 et le BCl_3 [87]–[89]. Le plasma permet de générer des ions Cl^+ et radicaux $\text{Cl}^\cdot$ [90], [91]. Ces espèces réactives vont alors s'adsorber à la surface de l'échantillon. Les composés GaCl_x et AsCl_x ($x = 1, 2, 3$) ainsi formés sont sous forme gazeuse et seront évacués via le flux de gaz continu [92], [93].

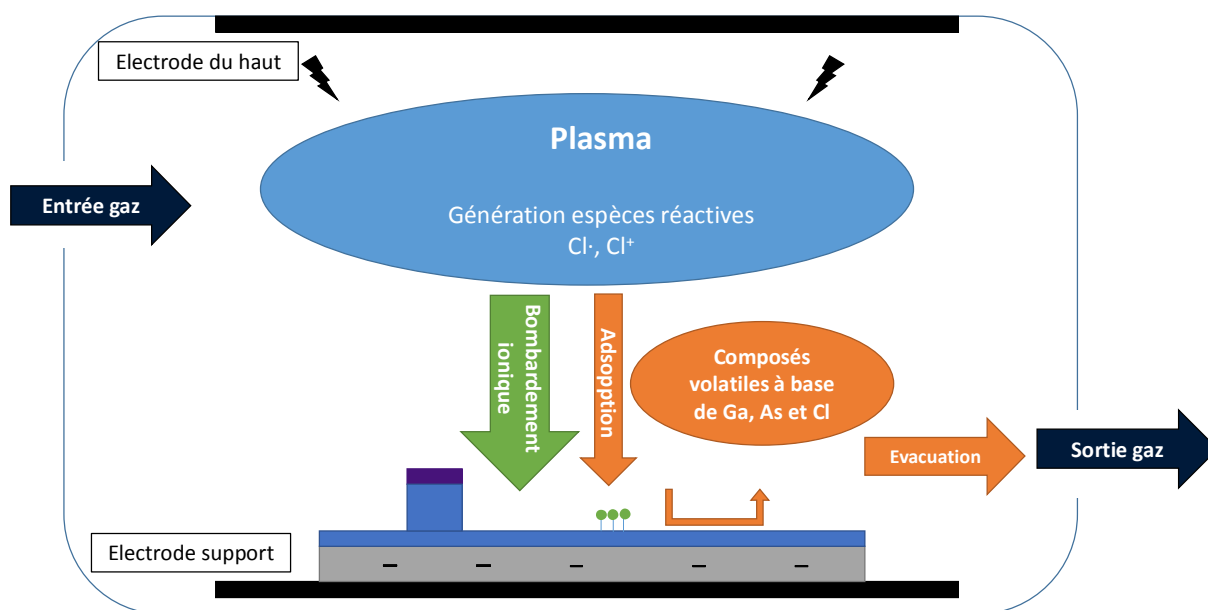


Figure II-18 : Schéma de gravure du GaAs : gravure physique liée au bombardement ionique (en vert) et gravure réactive liée aux gaz chlorés (en orange).

La littérature [89] ainsi que les précédents travaux réalisés au sein du laboratoire [88] ont démontré la possibilité d'obtenir une gravure du GaAs avec une très bonne anisotropie à partir du dichlore et diazote (Figure II-19).

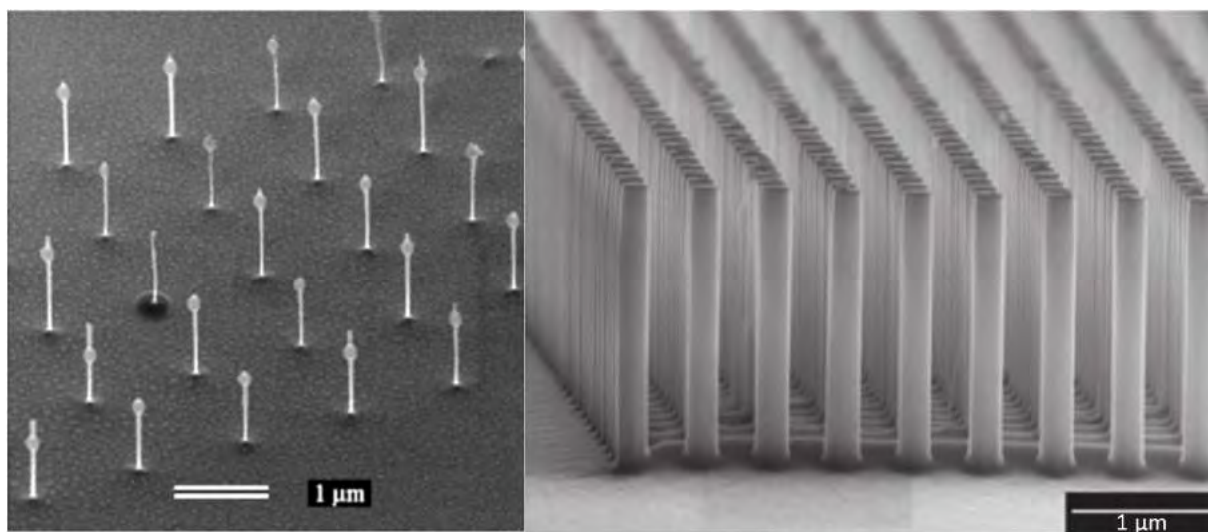


Figure II-19 : Images MEB tiltées de nanofils. a) Nanofil de GaAs de 1 µm de hauteur et 30 nm de diamètre avec résidu en Ni du masque dur utilisé pour la gravure [88]. b) Nanofil de 1.9 µm de hauteur et 185 nm de diamètre avec un espacement de 500 nm [89].

ii - Optimisation des paramètres de gravure

Une fois le type de gravure et les gaz à employer choisis, il est nécessaire de trouver un jeu de paramètres permettant d'obtenir une vitesse de gravure convenable tout en conservant des nanofils

à flancs verticaux. Les paramètres que nous allons étudier sont la puissance ICP (Inductively Coupled Plasma) ainsi que le ratio de gaz Cl_2/N_2 .

L'outil utilisé pour cette gravure est le Sentech Si500 équipé d'une torche à plasma (ICP). Cette torche permet de moduler la densité d'espèces réactives dans le plasma : plus celle-ci est grande, plus la vitesse de gravure sera importante. Cependant, l'augmentation de la densité d'ions impacte également l'isotropie de la gravure. Cet effet a effectivement pu être observé sur les nanofils de GaAs (Figure II-20). Avec une puissance ICP trop faible (< 120 W), la formation des ions dans le plasma n'est pas favorisée. Il en résulte que les espèces chimiquement actives, radicaux à base de Cl, sont en surnombre et favorisent grandement la gravure chimique. Les flancs sont alors rentrants, fragilisant l'ensemble de la structure. Un second effet observé est la modification de la trajectoire des ions lorsque la puissance ICP est trop grande : on observe alors une gravure privilégiée à une certaine hauteur du nanofil aboutissant à un rétrécissement localisé de celui-ci (Figure II-21). Cette déviation s'explique par la présence de la résine électro-négative au sommet du fil : à forte puissance ICP (500 W), les espèces réactives sont moins énergétiques et sont donc plus susceptibles à une modification de leur trajectoire. Cet effet disparaît lorsque la puissance ICP est réduite (200 W). L'étude de ce premier paramètre nous a permis de déterminer une plage de puissance ICP à utiliser pour obtenir des nanofils à flancs verticaux.

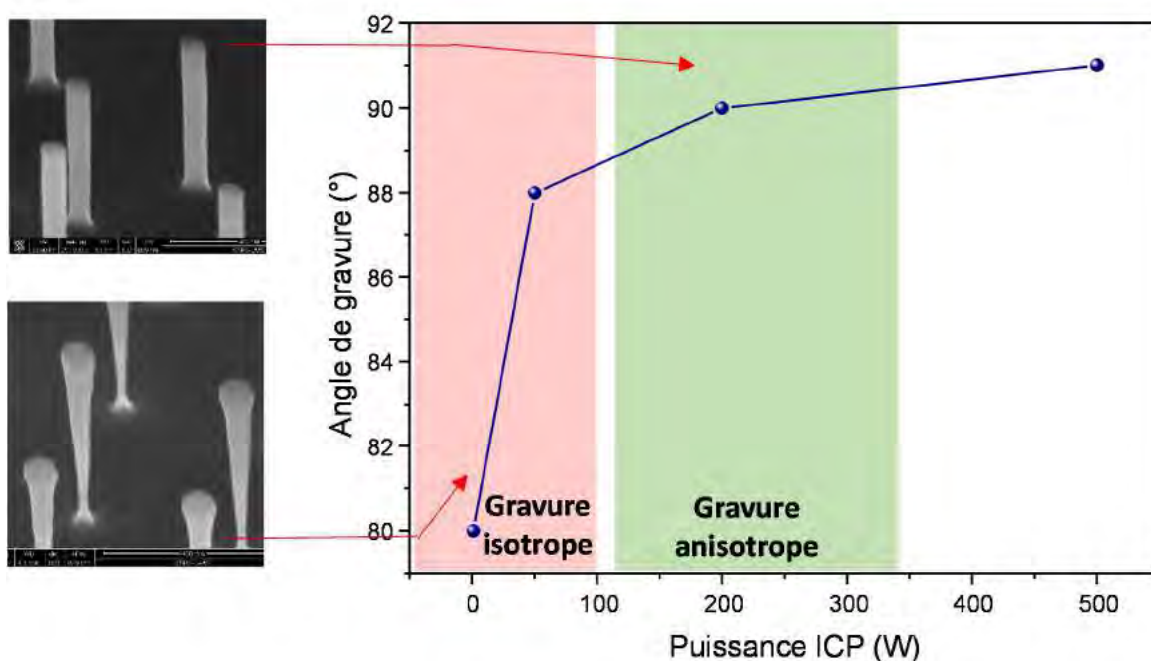


Figure II-20: Influence de la puissance ICP sur l'anisotropie de la gravure du GaAs. Lorsque la puissance est trop faible, inférieure à 100 W, les nanostructures obtenues présentent des flancs rentrants alors que si elle est trop forte, elles présentent des flancs sortants. Entre 100 W et 300 W, les flancs des nanofils sont verticaux.

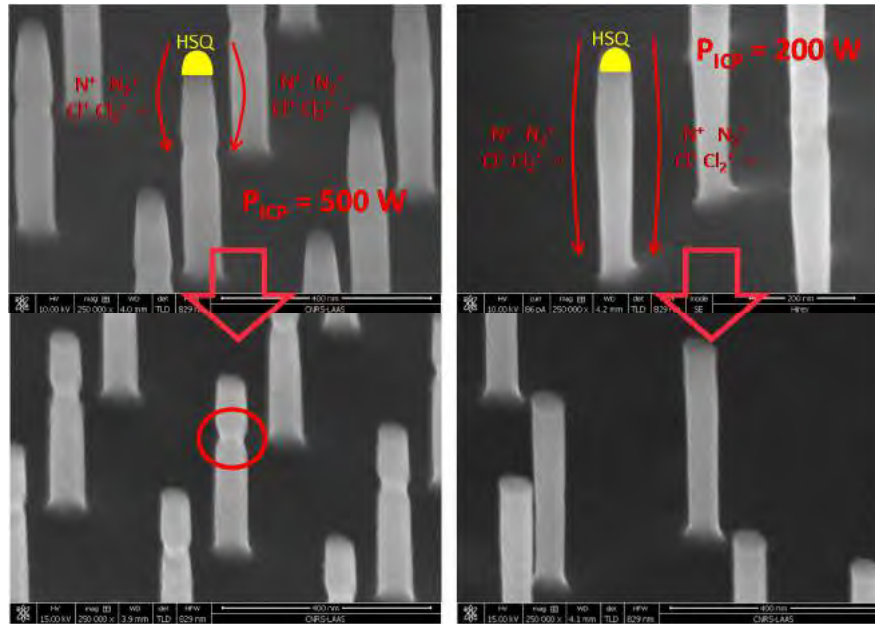


Figure II-21 : Rétrécissement localisé sur un nanofil de GaAs de 60nm de diamètre à forte puissance ICP. Avant (en haut) et après (à droite) retrait de la résine HSQ à l'aide d'une solution d'HF et d'un plasma O_2 .

Le ratio de gaz Cl_2/N_2 joue également un rôle important dans la gravure. Pour étudier l'impact de ce paramètre, le débit de gaz pendant la gravure a été fixé à 20 sccm, seul sa composition diffère. Le N_2 ne réagit pas chimiquement avec le GaAs et ne participe donc qu'à la composante physique de la gravure. Cependant, lors d'une gravure à base de chlore en présence de N_2 , un phénomène de passivation à la surface du GaAs apparaît [94], [95]. D'après la littérature, cette couche est composée des éléments silicium et oxygène. L'origine de l'oxygène peut être nombreuse : résidus d'anciens plasmas, oxyde à la surface du GaAs ou produit de gravure de la HSQ. Quant au silicium, celui-ci provient probablement du support de gravure (substrat en Si). Cette couche se forme continuellement durant la gravure et a deux effets : elle diminue la vitesse de gravure et protège les flancs de la nanostructure lors du procédé. Cependant, les résultats des expériences menées montrent que si cette passivation est trop importante, les nanofils tendent à avoir des profils sortants (Figure II-22). Enfin, la formation de cette couche n'est pas problématique pour poursuivre le procédé technologique à partir des nanofils : sa composition étant proche de la HSQ, elle est éliminée au moment de l'élimination de la HSQ par une attaque à l'acide fluorhydrique 5%.

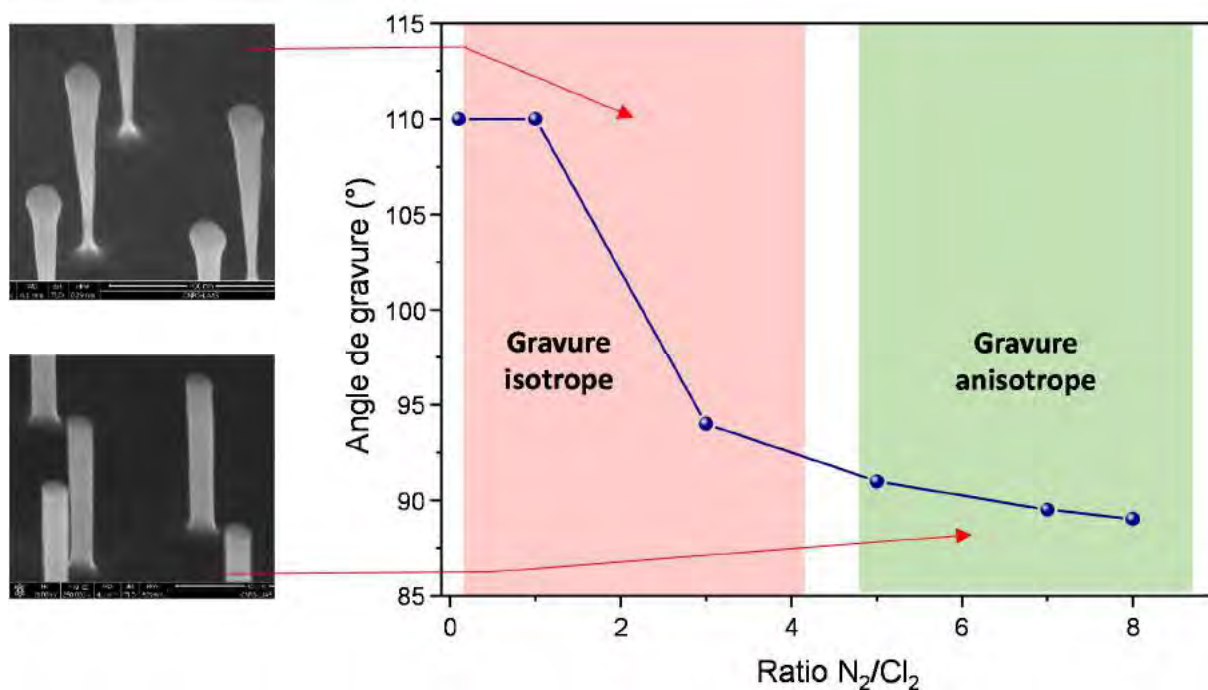


Figure II-22 : Influence de la quantité de N_2 sur l'anisotropie de gravure du GaAs. Lorsque la quantité relative de N_2 est trop importante, la passivation l'est également et mène à l'obtention de profils sortants.

Les études menées nous montrent qu'il est possible de modifier ces deux paramètres pour obtenir des nanofils à flancs verticaux. La vitesse de gravure est le critère qui a permis de sélectionner les paramètres optimaux : afin d'obtenir des nanofils de 200 nm à 600 nm selon les applications, une vitesse de l'ordre de quelques centaines de nanomètre par minute serait idéale. Les paramètres choisis sont donc une puissance ICP de 100W pour un rapport Cl_2/N_2 de 9/11 ce qui a permis d'obtenir une vitesse de gravure de 360 nm/min. Les nanofils verticaux de GaAs ainsi obtenus ont un rapport de forme (Diamètre/Hauteur) pouvant atteindre 20 (Figure II-23).

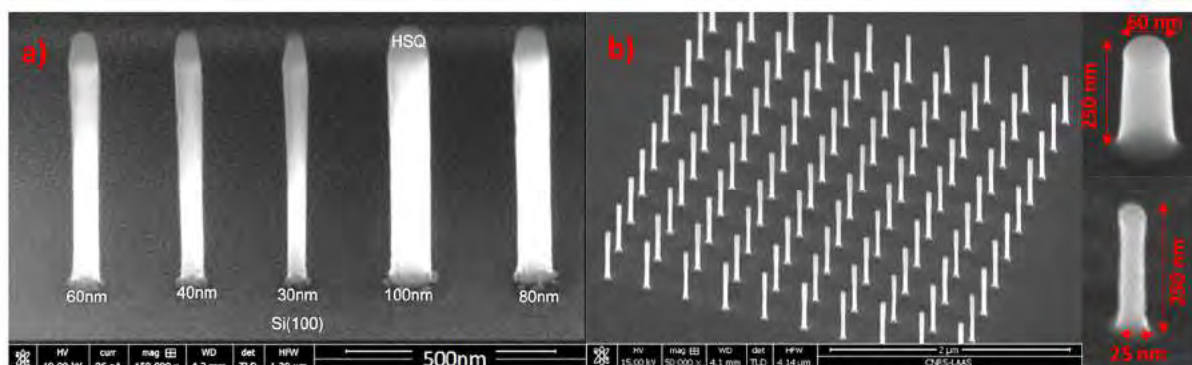


Figure II-23 : Images MEB tiltées à 45° et 90° présentant des nanofils après gravure du GaAs. a) Nanofils de GaAs avant retrait de la HSQ. Les différents diamètres correspondent aux différents diamètres de nanoplots de HSQ. b) Réseaux de nanofils de 80 nm espacés de 300 nm.

Ce procédé optimisé permet d'élaborer des nanofils verticaux de GaAs de manière reproductible et contrôlée. Tout d'abord, au sein d'un même échantillon, les variations de dimensions mesurées à partir de clichés MEB sont de l'ordre de la précision de mesure qui est de 2 à 3 nm (Figure II-24). Cela nous permet donc de confirmer que le procédé est global et homogène pour chaque réseau de nanofil. Pour tester la reproductibilité d'un échantillon à l'autre, une dizaine d'expérience ont été effectuées avec les mêmes dimensions visées. Les résultats sont résumés dans le Tableau 4. On remarque une excellente reproductibilité au niveau de la taille avec une variation de l'ordre de 1 % d'un échantillon à l'autre. Cela est dû à l'utilisation d'un suivi interférométrique lors de la gravure : l'empilement d'une couche GaAs sur Si nous permet de suivre l'évolution de la gravure du GaAs avec précision. Pour un matériau donné, ce signal dépend essentiellement de l'épaisseur de GaAs restante et est donc extrêmement fiable d'un échantillon à l'autre. Ces mesures nous informent également que le procédé est reproductible en termes de diamètre des nanofils. Cependant, l'écart à la moyenne est plus grand, cela s'explique par deux raisons : les mesures sont effectuées au MEB et sont précises à 2 nm près et le diamètre des nanofils est régi à la fois par la gravure plasma mais également par la lithographie électronique contrairement à la hauteur (simplement régie par le temps de gravure) ajoutant donc une source d'erreur variant à chaque échantillon.

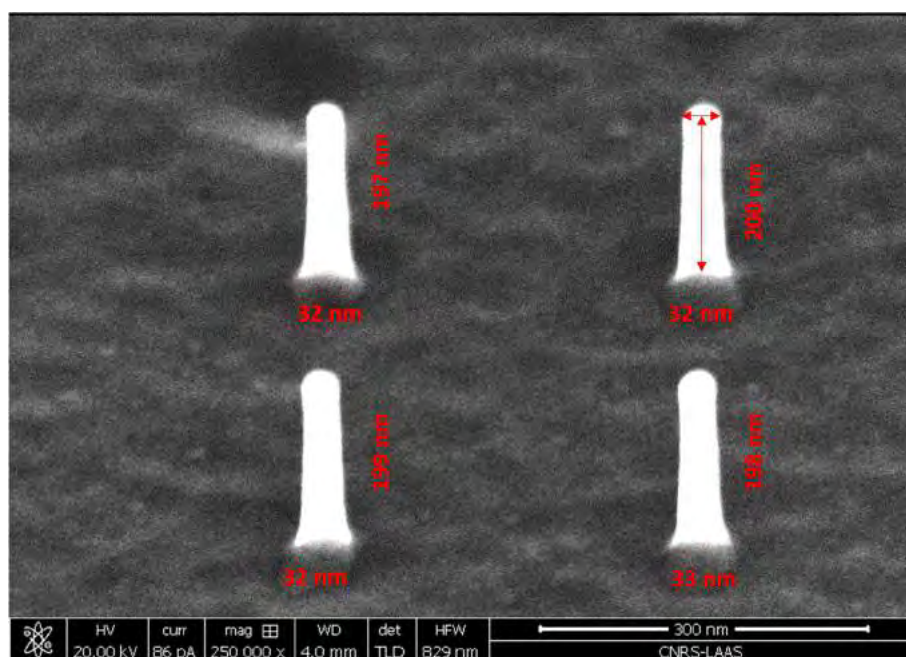


Figure II-24 : Méthode de mesure des dimensions des nanofils tiltés à 45°. Le diamètre est mesuré au sommet. Les variations de dimensions sur un même échantillon sont de l'ordre de la précision de mesure.

Tableau 4 : Mesures de la reproductibilité de la réalisation des nanofils pour différents échantillons. Les statistiques présentées ont été effectuées sur un lot de 10 échantillons distincts caractérisés au microscope électronique au grossissement $\times 200\,000$.

	Moyenne	Ecart-type standard
Taille en nm	261	5
Diamètre visé : 30 nm	31	6
Diamètre visé : 40 nm	38	3
Diamètre visé : 60 nm	62	2
Diamètre visé : 80 nm	85	9

La densité de défauts structuraux présents dans les fils a également pu être approximée à l'aide d'observation au microscope électronique par transmission (TEM) (Figure II-25). Ces défauts sont des plans du cristal désorientés («twinned plans» ou macle) de 54.7° selon le plan (111) et sur 16 nanofils observés, 3 ont présenté ces défauts de structure. L'impact de ces défauts sur les performances des dispositifs n'est toutefois pas connu, il est donc légitime d'utiliser ces substrats pour la réalisation de transistors tout en prenant en considération ce paramètre lors des caractérisations de ceux-ci.

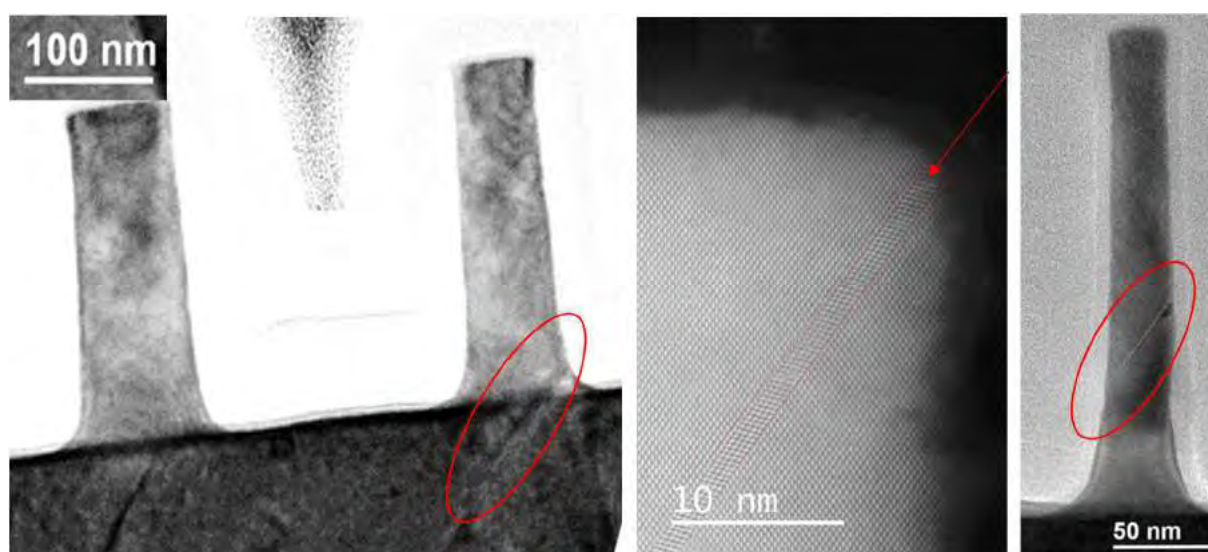


Figure II-25 : Imagerie TEM présentant les défauts «twinned plans» orientés à 454.7° dans les nanofils.

Une fois ces nanofils obtenus, ils sont utilisables dans un procédé technologique afin d'obtenir des transistors. Toutefois, il est possible d'affiner leurs dimensions ainsi que d'améliorer leur surface.

4. Amincissement des nanofils

L'enchaînement lithographie électronique – gravure plasma chloré nous a permis d'obtenir des nanofils à flancs verticaux avec une hauteur pouvant atteindre 420 nm et un diamètre de 30 nm. La méthode présentée possède deux limitations :

- Contrairement à une gravure chimique, la gravure physique engendrée par le plasma déstructure le réseau cristallin ce qui entraîne l'apparition de défauts, notamment électriques, à la surface de celui-ci.
- Le diamètre des nanofils est limité par la résolution de la lithographie. Avec ce procédé, la limite minimum des diamètres des plots de résine obtenus est de 25 nm.

Une gravure chimique permet de répondre à ces deux problèmes. Les réactions chimiques s'effectuent sur les couches en surface : cela permet d'éliminer les défauts structuraux de surface induits par le plasma. De plus, le caractère isotrope de l'attaque chimique permettrait également une attaque latérale, réduisant de fait, le diamètre des nanofils.

Une méthode employée sur les nanofils de Si pour réduire leur diamètre est appelée « oxydation sacrificielle » [96]. Cela consiste en l'oxydation thermique d'une épaisseur de Si suivie par l'élimination du SiO_2 formé par une attaque chimique à l'acide fluorhydrique (HF). Cette méthode est efficace et fonctionne grâce au contrôle au nanomètre près de l'oxydation thermique du Si ainsi qu'à la sélectivité de l'attaque de l'oxyde par l'acide fluorhydrique. L'équipe de Del Alamo a mis au point une technique dite de « gravure séquentielle » dérivée de l'oxydation sacrificielle sur des nanofils d'InGaAs [97], [98]. La différence notable étant que ce procédé est itératif (Figure II-26). En effet, l'InGaAs n'est pas oxydé en profondeur comme le Si : l'oxydation (via un plasma oxygène) est auto-limitante. L'oxyde est ensuite éliminé par acide sulfurique (H_2SO_4) ou chlorhydrique (HCl). Avec ce procédé, l'équipe de Del Alamo a obtenu une vitesse de gravure par cycle de 0.9 nm/cycle permettant un contrôle au nanomètre près de l'amincissement.

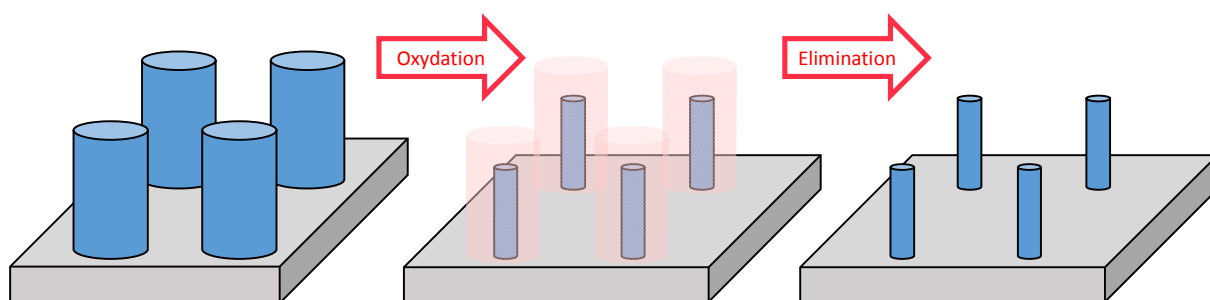


Figure II-26 : Schéma d'une itération de la gravure séquentielle sur GaAs

Un procédé similaire à cette gravure séquentielle a été appliqué à nos nanofils. Salvo et al. ont démontré le caractère auto-limitant de l'oxydation du GaAs et la possibilité d'utiliser l'eau oxygénée comme agent oxydant tout en gardant une vitesse de gravure par cycle constante [99]. Le point crucial pour cela est d'éviter toute contamination croisée des bains H_2O_2 et acide, auquel cas l'oxydation et l'élimination sont conjointes et le caractère itératif de la gravure est perdu. Le schéma de la Figure II-27 résume le procédé mis en place pour répondre à ces critères.

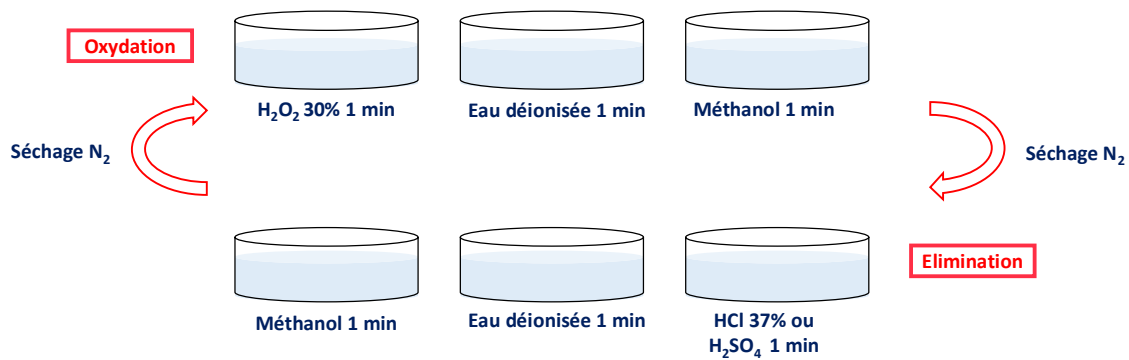


Figure II-27 : Mode opératoire pour la gravure séquentielle du GaAs par voie humide : l'échantillon est d'abord oxydé par l'eau oxygénée puis cet oxyde est éliminé par une attaque acide. L'utilisation de deux lots de bains de rinçage permet de limiter les contaminations croisées.

Des gravures de 1, 2 et 5 cycles ont été effectuées sur les nanofils de GaAs. Des observations par microscope électronique à balayage ont permis de caractériser ces gravures. On observe bien une réduction du diamètre des nanofils avec un nombre de cycles croissants (Figure II-28).

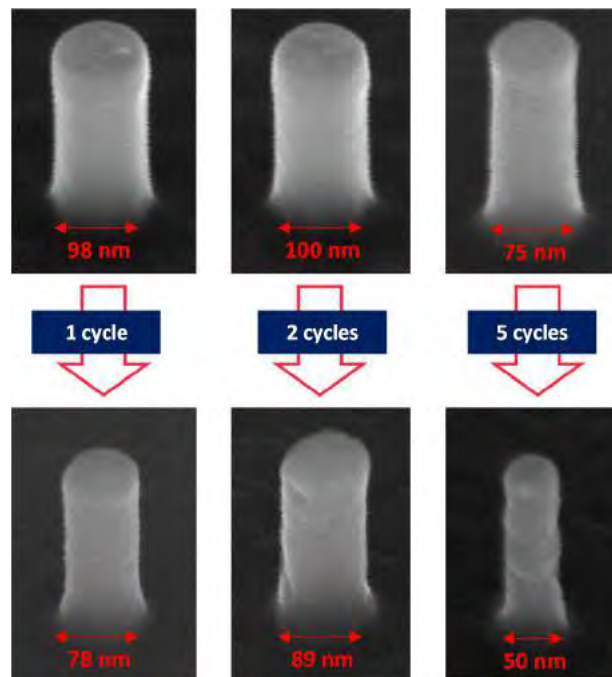


Figure II-28 : Images MEB représentant l'impact de la gravure séquentielle sur les nanofils de GaAs. On remarque le rétrécissement ainsi que la dégradation de l'état de surface avec le nombre de cycle.

La vitesse de gravure du GaAs via ce procédé est de 1.6 nm/cycle. Cependant, on remarque que le premier cycle élimine systématiquement plus de matière : cela s'explique par le fait qu'avant de débiter un cycle de gravure, l'oxyde natif est éliminé par un premier bain HCl à 37%. L'épaisseur de cet oxyde natif varie selon le temps écoulé entre la réalisation du nanofil et son amincissement. Dans le cas des expériences effectuées, l'oxyde natif gravé avant le premier cycle correspondrait à 2.3nm ce qui est en accord avec les épaisseurs d'oxyde natif du GaAs qui peuvent atteindre 3 nm [100], [101].

Ces mesures présentent des résultats qui sont considérés aberrants : notamment le fait qu'une gravure à un cycle grave plus de matière qu'une gravure à 2 cycles (Figure II-28). Pour expliquer cela, l'hypothèse de la contamination croisée est la plus probable : les étapes d'oxydations et d'éliminations se sont succédées au sein d'une même solution conduisant à une gravure en continu. Malgré les précautions prises lors du protocole de gravure séquentielle, la contamination croisée est un phénomène qui n'a pu être éliminé de manière fiable.

Une deuxième observation sur ces expériences est l'évolution de l'état de surface des nanofils : la rugosité de celui-ci augmente grandement avec le nombre de cycles. Cela est à l'opposé des bienfaits recherchés avec cette étape. L'hypothèse avancée est que l'oxydation du GaAs n'est pas complète et est accélérée au niveau des défauts dans la structure créés par le bombardement ionique du plasma. Toutefois, une gravure à un cycle a été réalisée en oxydant le GaAs via un plasma O_2 comme le proposait Del Alamo (Figure II-29). On observe que l'état de surface du nanofil n'est pas endommagé par ce procédé et la diminution du diamètre de 25 nm à 16 nm. Cela s'expliquerait par l'oxydation auto-limitante mais complète par le plasma O_2 permettant de s'affranchir des défauts en surface du GaAs. Cela suggère donc que l'étape à l'origine des défauts lors de la gravure en solution est celle de l'oxydation du GaAs. Ainsi, le procédé retenu pour l'amincissement des nanofils utilisera une oxydation par plasma oxygène car il a été démontré dans ces résultats que cette voie permet de réduire le diamètre des nanofils sans endommager la structure.

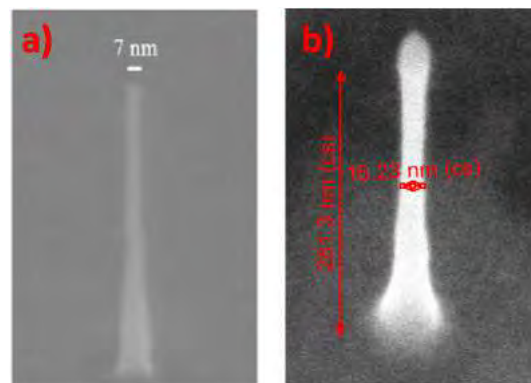


Figure II-29 : Images MEB présentant des nanofils amincis par gravure séquentielle à l'aide d'une oxydation par plasma. a) Nanofil d'InGaAs aminci jusqu'à 7 nm par Del Alamo et al. [61] b) Nanofil de GaAs aminci à 16 nm.

Ce travail a permis de montrer la réalisation de nanofils de GaAs sur substrat Si(100) par voie descendante. Une excellente reproductibilité ainsi qu'un bon positionnement ont été obtenus grâce à l'utilisation de la lithographie électronique et de la gravure plasma. Les défauts de structure pouvant être induits par le plasma ont été éliminés de la surface des nanostructures à l'aide d'un procédé d'amincissement par gravure séquentielle. Celui-ci fait appel à deux étapes qui sont l'oxydation et l'élimination de l'oxyde. Il a été montré que l'oxydation par plasma était bien plus efficace car elle

permet d'éviter la révélation des défauts de structures présents au sein des nanofils tout en évitant les contaminations entre solutions chimiques.

Désormais, la voie ascendante pour l'obtention de nanofil d'InAs va être présentée.

C. Croissance de nanofils d'InAs

1. Préparation de la surface du substrat Si(111)

Comme évoqué précédemment, l'alternative à l'approche descendante est la croissance qui permet d'obtenir des nanofils de matériaux III-V d'une grande variété tout en conservant une haute qualité cristalline. L'arséniure d'indium a été choisi comme matériau semiconducteur pour sa grande mobilité électronique ($40\,000\text{ cm}^2\cdot\text{V}^{-1}\cdot\text{s}^{-1}$) ainsi que sa croissance sous forme de nanofil très référencée et maîtrisée. Afin de positionner les nanofils, une stratégie à base de structures servant de localisation de croissance a été choisie. L'épitaxie à partir de catalyseurs métalliques a été écartée car, le métal restant au sommet du fil, elle peut s'avérer défavorable pour l'intégration au sein d'un procédé transistor (obtention d'un contact non symétrique par exemple). Un masque en SiO_2 a été choisi comme structure de localisation de la croissance, l'épitaxie de nanofils d'InAs n'ayant pas lieu sur SiO_2 .

Les substrats utilisés sont donc en silicium non intentionnellement dopé et orienté (111). Une oxydation thermique sèche est réalisée sur ces substrats afin d'obtenir 17 nm d'oxyde en surface du substrat (mesurée par ellipsométrie).

i - Définition du masque par lithographie électronique

Le masque en SiO_2 a pour objectif de définir les sites de croissance. Une étude paramétrique a été réalisée sur ce masque afin de déterminer ses dimensions optimales pour obtenir une croissance de nanofils d'InAs avec le meilleur rendement en termes de verticalité et de remplissage. Pour cela, les sites de croissances circulaires ont un diamètre variant de 20 nm à 200 nm et un espacement bord à bord allant de 100 nm à 500 nm. Pour atteindre une telle résolution, la lithographie électronique est de nouveau une technique privilégiée. La résine positive polyméthacrylate de méthyle (PMMA) est utilisée afin de définir ces disques. Elle est diluée à 15 g/L dans l'anisole puis est enduite à 5000 tours/min afin d'obtenir une couche homogène de 55 nm d'épaisseur. L'insolation est effectuée avec une tension d'accélération de 30 kV. Le développement est effectué dans du méthylisobutyl ketone (MIBK) en 12 s et permet d'obtenir le masque en PMMA désiré (Figure II-30). Le développement est une étape critique pouvant grandement impacter les dimensions des cercles créés, l'opération étant effectuée manuellement sur un temps très court.

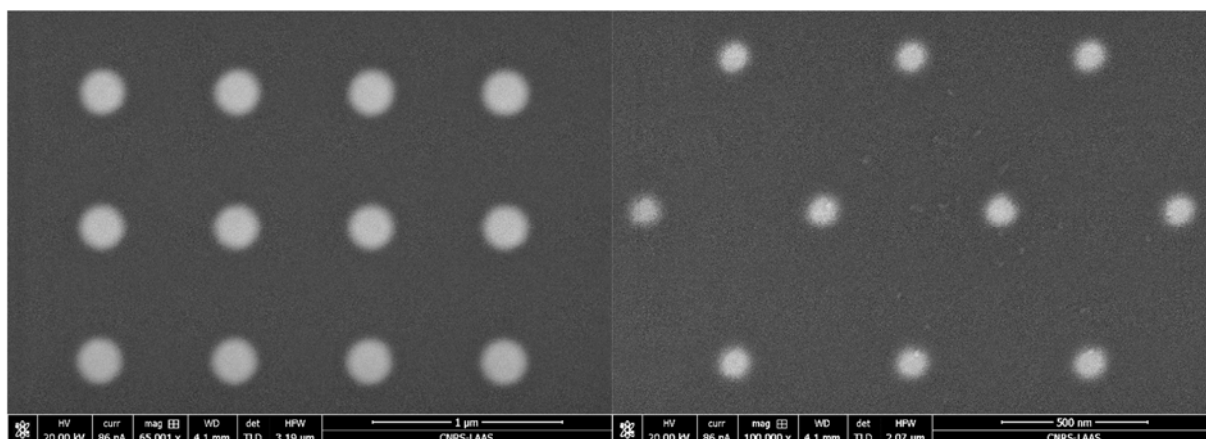


Figure II-30 : Images MEB de masques en PMMA sur SiO₂. A gauche : Trous de 200nm de diamètre pour 300 nm d'espacement / A droite : Trous de 100 nm de diamètre pour 500 nm d'espacement

ii - Transfert du masque dans le SiO₂ par gravure plasma

Afin de transférer le masque en PMMA dans le SiO₂, une étape de gravure plasma est effectuée. Le gaz composant le plasma est du CHF₃ avec du O₂ comme gaz vecteur. Etant donné la faible épaisseur à graver et l'absence de précision requise sur les dimensions, cette gravure n'a pas été optimisée de la même manière que la gravure des nanofils. Cependant, il est nécessaire de ne pas endommager la surface du Si où la croissance aura lieu. Il a donc été choisi d'utiliser une vitesse de gravure très lente (7.3 nm/min), associée à un système interférométrique afin de détecter précisément la fin de gravure. De plus, la PMMA étant une résine organique, elle s'élimine très rapidement à l'aide d'un plasma O₂. Par conséquent, l'élimination de la PMMA est effectuée in situ par plasma O₂ à faible puissance (20 W) pendant 20 s ce qui permet également d'oxyder le Si sans endommager sa surface. Ce procédé de gravure a permis d'obtenir un masque en SiO₂ de 17nm d'épaisseur, avec des sites de croissances dont les diamètres sont compris entre 25 nm et 200 nm pour des espacements allant de 100 nm à 500 nm (Figure II-31). Les dimensions obtenues pour les sites de croissances sont précises à 5 nm près ce qui représente une imprécision de 25% pour les diamètres de 20nm. Cela provient probablement du temps de développement effectué manuellement. De plus, on observe une déformation du cercle sur les petits diamètres (Figure II-31a). Cela est lié aux réglages du masqueur électronique : une augmentation de la tension d'extraction des électrons permettrait de gagner en résolution et de corriger ce défaut d'astigmatisme. Cependant, ces défauts sont mineurs dans l'optique d'une croissance. D'autres artefacts ont été identifiés : des résidus au sein des sites de croissance sont ponctuellement observables sur les diamètres supérieurs à 100 nm (Figure II-32). Ce type de défaut impactant directement la surface de croissance est plus problématique et une optimisation du procédé a été nécessaire pour éliminer ces résidus.

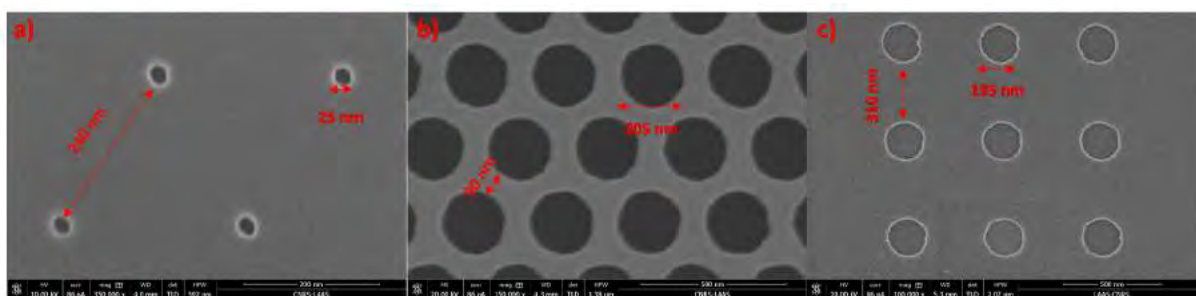


Figure II-31 : Masque en SiO_2 (clair) gravé sur Si (sombre). Dimensions visées : a) 20 nm de diamètre et 250 nm d'espacement / b) 200 nm de diamètre et 100 nm d'espacement / c) 200 nm de diamètre et 300 nm d'espacement

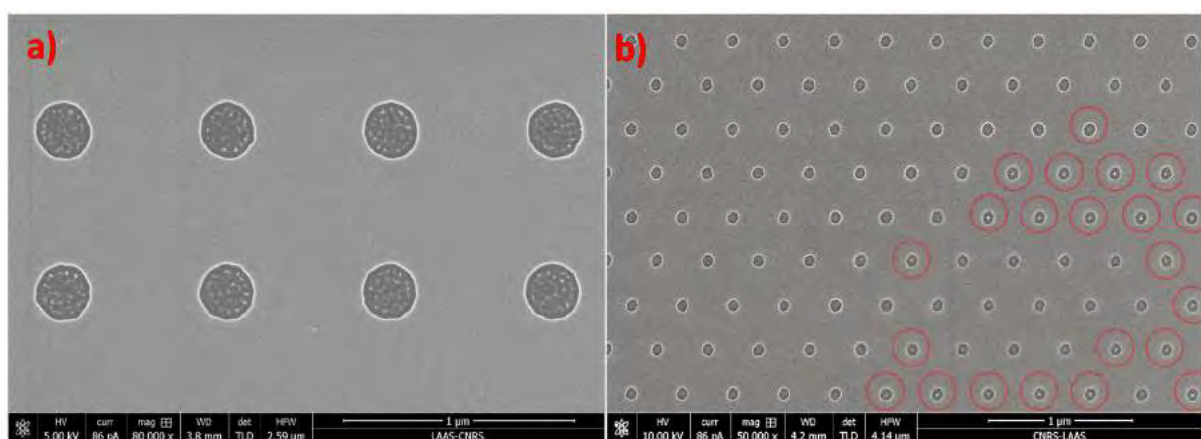


Figure II-32 : Images MEB de résidus de SiO_2 présents dans les sites de croissances. a) 200 nm de diamètre. b) 21% de sites de croissances de 100 nm non conformes.

iii - Elimination des résidus dans les puits de croissance

Eliminer directement les résidus au sein des puits n'est pas envisageable : selon l'épaisseur des résidus, une gravure du SiO_2 endommagerait le masque de croissance. De plus, cela engendrerait une surface rugueuse sur le Si. Pour éliminer ces résidus, il est plus pertinent de s'attaquer à leur origine. Nous supposons que ces résidus de SiO_2 sont transférés par des résidus de PMMA présents lors de la gravure. Cela n'a pu être vérifié par observation au MEB (Figure II-30) car la structure d'une résine électronique induit un phénomène de charge lors de l'observation au microscope électronique, nuisant grandement à la résolution. Comme la PMMA est éliminée par un plasma O_2 contrairement au SiO_2 , il nous est possible d'effectuer une gravure sélective des résidus. Cependant, afin de conserver le masque en PMMA après cette gravure, l'épaisseur initiale de PMMA a été augmentée à 135 nm après enduction. Après le développement de la PMMA, l'échantillon est introduit dans la chambre de gravure. Une gravure par plasma O_2 à faible puissance (20 W) est réalisée pendant 80 s. Le suivi interférométrique de la gravure nous a permis de mesurer la vitesse de gravure du PMMA à 50 nm/min sur un échantillon témoin soit une gravure de 70 nm en 80 s. La gravure du SiO_2 ainsi que l'élimination du PMMA restent inchangées.

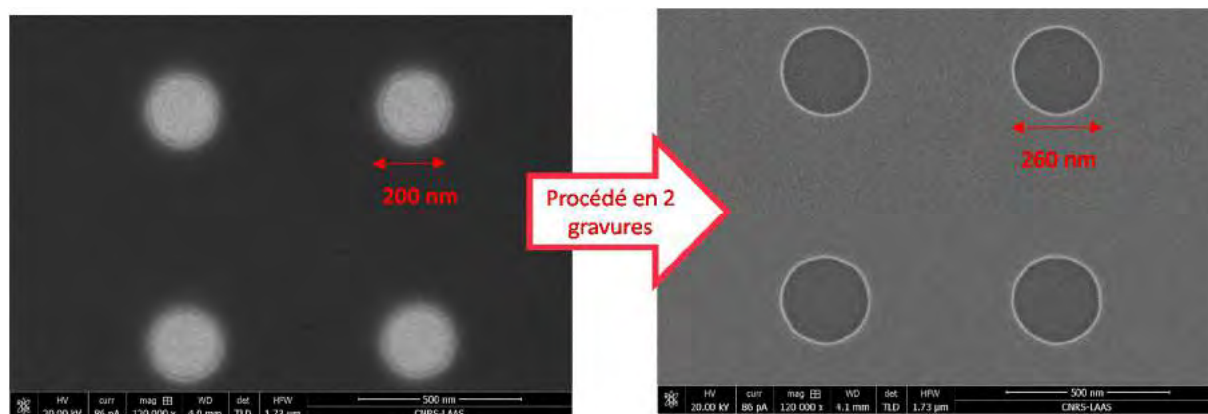


Figure II-33 : Images MEB des puits de croissance réalisés à l'aide du procédé optimisé en deux gravures. On note l'absence de résidus après gravure du masque SiO_2 .

Grâce à ce procédé, l'absence de résidus a été constatée sur trois substrats distincts (Figure II-33). L'hypothèse de résidus de PMMA transférés est donc validée et le procédé en deux gravures permet de s'affranchir de ce problème. Cependant, on observe une augmentation des dimensions de 30 % sur chaque échantillon due à la première gravure par plasma oxygène fortement réactive, donc isotrope. Afin de retrouver les diamètres visés, une réduction des dimensions lors de l'insolation par lithographie électronique ou bien une gravure de la PMMA moins longues sont envisageables.

Un masque SiO_2 sur substrat $\text{Si}(111)$ a été développé à l'aide d'une lithographie électronique et de deux étapes de gravures plasma. Aucun résidu n'est observé à la surface des puits après optimisation du procédé. Ces substrats sont donc prêts pour la croissance de nanofils d'InAs.

2. Croissance de nanofils verticaux d'InAs

Contrairement aux résultats présentés dans la partie revue bibliographique, la croissance de nanofils est effectuée par épitaxie par jet moléculaire (MBE). Dans un bâti de MBE, les flux de gaz proviennent de creusets chauffés à haute température. L'ultravide (10^{-9} Pa) est maintenu dans la chambre pendant le procédé. Grâce à cela, la pureté des couches effectuées par MBE est très grande. De plus, les épitaxies sont très lentes, pouvant atteindre 0.01 monocouche/s, permettant ainsi un excellent contrôle de la vitesse de croissance. Ces bâtis sont généralement équipés de différents modules de caractérisation permettant une meilleure compréhension des phénomènes entrant en jeu dans la chambre. Afin de ne pas avoir de matière résiduelle au sommet des nanofils, la croissance des nanofils suivra un mécanisme dit « Vapeur-Solide (VS) » qui diffère légèrement du mécanisme classique à base de catalyseurs dit « Vapeur-Liquide-Solide (VLS) ».

i - Mécanismes de croissance

La force motrice des mécanismes VLS et VS est le potentiel chimique μ , qui représente les variations d'énergies liées à la modification de composition d'un système. Dans le cadre de ces croissances, les atomes de gaz s'adsorbent à la surface et ainsi deviennent des « adatoms ». Ces adatoms ne sont énergétiquement pas favorables et, pour réduire leur énergie, vont se mouvoir par diffusion et s'associer pour former une bille. Dans le cadre d'un mécanisme VLS (Figure II-34), cette bille sera en phase liquide. Dans le cadre de la croissance de matériaux III-V, la bille sera nécessairement constituée de l'élément III car l'adsorption des éléments V sur la surface n'est énergétiquement pas favorable et ceux-ci se libéreront sous forme gazeuse. Une fois la bille formée, les atomes présents dans la chambre s'y incorporent désormais car le potentiel chimique de l'incorporation en phase liquide est plus faible que celui de l'adsorption en surface. Suite à ces incorporations, la bille sera alors en sursaturation de matériaux III-V : elle devra alors éliminer ces éléments en surplus. Pour cela, elle peut soit les relâcher sous forme gazeuse à l'interface liquide-gaz, soit sous forme solide à l'interface liquide/solide (le substrat). Il est énergétiquement plus favorable de créer une phase solide car, dans le cas contraire, le gaz ne se serait pas incorporé dans la bille. Dans le cadre des matériaux III-V étudiés, la création de la phase solide est énergétiquement favorisée au niveau du substrat pour les premières couches, puis au niveau du fil pour les couches suivantes. Cela mène donc à la croissance du nanofil, avec la bille présente au sommet et dont le diamètre sera directement dépendant de la taille initiale de la bille.

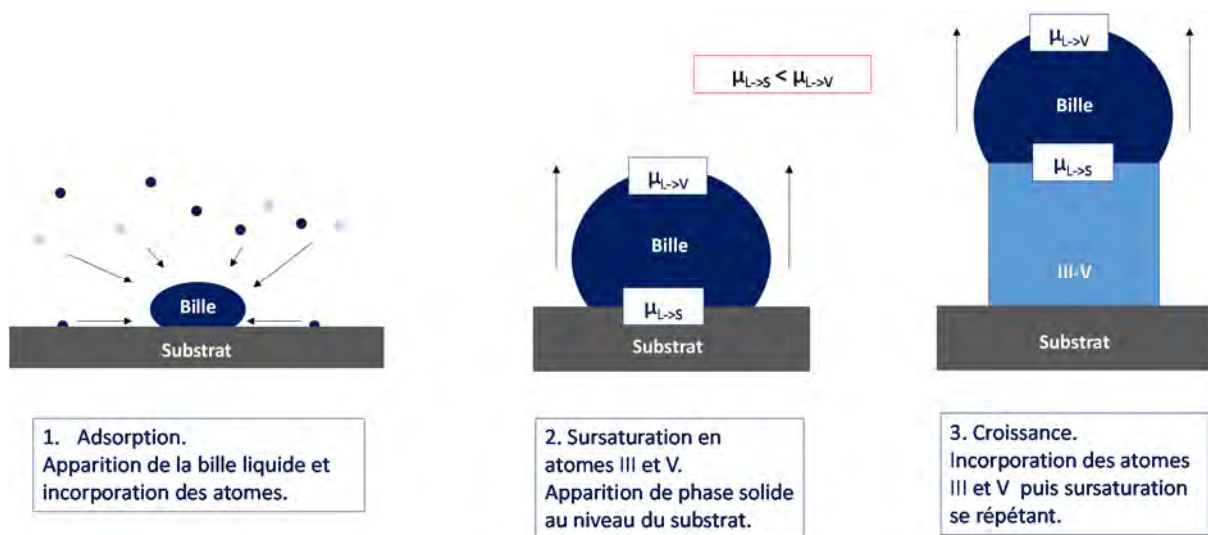


Figure II-34 : Schéma du mécanisme de croissance VLS de matériaux III-V. La sursaturation dans la bille liquide conduit à la formation d'une phase III-V solide à la base de la goutte. Les étapes 2 et 3 se répètent ainsi et mènent à la croissance d'un nanofil.

Dans le cas du mécanisme VS (Figure II-35), il n'y a pas de bille liquide après la phase d'adsorption. Une monocouche cristalline se forme : le nucléus. La collection des atomes sur ce nucleus sera également contrôlée par le potentiel chimique : le potentiel chimique de la collection des atomes dépend de la

face cristalline sur laquelle elle s'effectue : si la face orientée verticalement est favorisée, la direction de croissance sera également dirigée vers le haut. Cela permet d'éviter la présence de matériaux étrangers au sommet du nanofil au prix d'une croissance latérale qui aura lieu à une vitesse plus faible que la croissance verticale. Le diamètre du nanofil n'est donc pas contrôlable avant la croissance du nanofil par l'étape de nucléation ou par le dépôt de catalyseurs métalliques : les conditions expérimentales de la croissance détermineront le diamètre du nanofil.

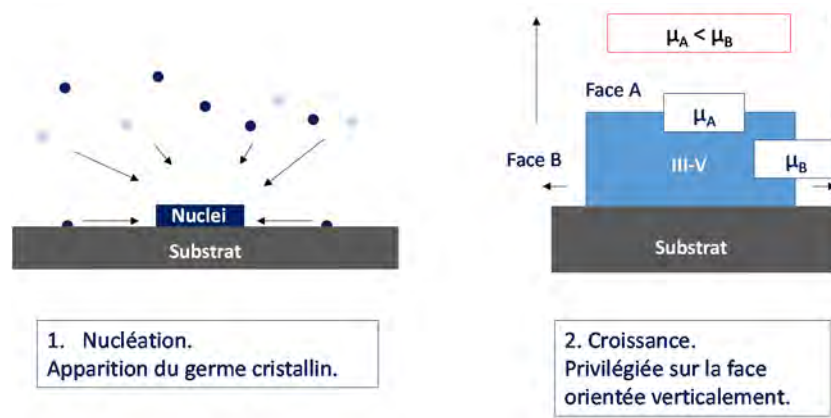


Figure II-35 : Schéma du mécanisme de croissance VS de matériaux III-V. Le nucléus étant une monocouche d'élément III, la seconde couche sera formée d'élément V et le nucléus sera de même nature que le nanofil.

ii - Résultats de croissances

Les épitaxies ont été réalisées en collaboration avec S. PLISSARD et D. DHUNGANA, chercheur et doctorant de l'équipe MPN. La surface de l'échantillon devant être du Si pour permettre la croissance, l'élimination du SiO_2 natif se formant après le procédé est effectuée par une attaque HF 1.25% pendant 30 s afin de graver 5 nm. Immédiatement après cette attaque, l'échantillon est introduit dans le bâti et est mis sous vide : cela permet d'éviter une apparition de l'oxyde natif du silicium sous air. La première étape in situ est une reconstruction de la surface : un plasma H_2 est amorcé à 200°C pendant une heure afin de créer des liaisons Si-H à la place des liaisons pendantes [102]. Les résultats de ces croissances sont présentés dans la Figure II-36. On remarque directement la très bonne sélectivité de la croissance sur Si : aucune croissance n'est observée sur SiO_2 . De plus, les diamètres des nanofils sont inférieurs à ceux des puits contrairement aux croissances sur zone sélective par MOVPE présentés précédemment.

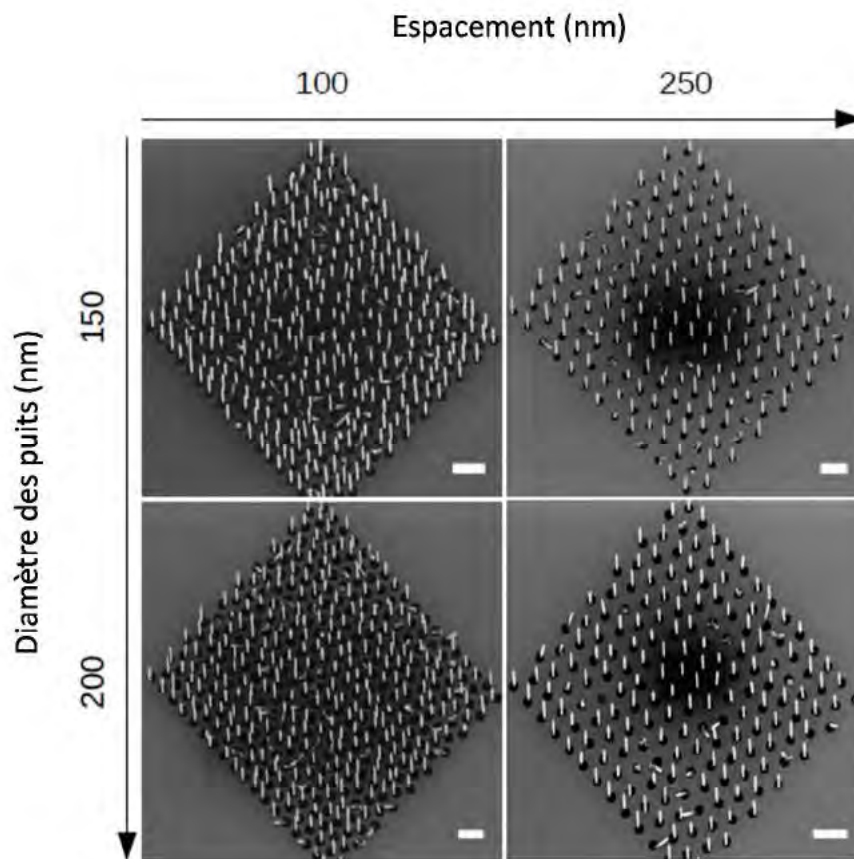


Figure II-36 : Images MEB de croissances de nanofils d'InAs dans les substrats avec puits de croissance. Les diamètres des puits ainsi que l'espacement varient sur ces images : l'espacement semble jouer un rôle plus important sur le taux de remplissage et de verticalité. Echelle : 500 nm

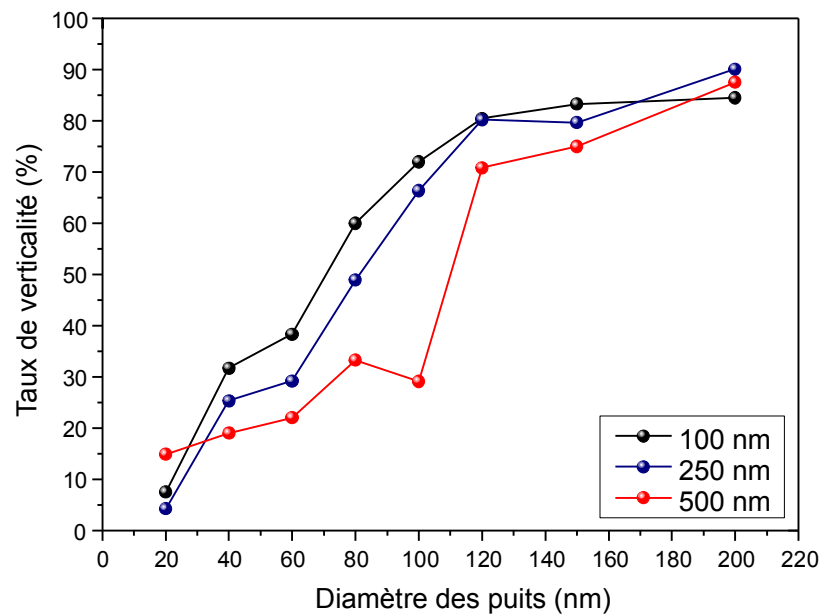


Figure II-37 : Taux de verticalité obtenus pour la croissance de nanofils d'InAs en fonction des dimensions du masque en SiO_2 : Diamètre des puits et espacement. Le diamètre des puits est le paramètre ayant le plus d'impact sur ce taux, et permet à partir de 200 nm d'atteindre un taux supérieur à 80%.

On observe également que la majorité des sites de croissance sont remplis et ce avec un seul fil chacun. Cela est positif dans une optique d'intégration car si plusieurs fils étaient présents par puits, la densité de nanofils ne serait pas contrôlée et une densité trop forte peut être à l'origine de complications lors du procédé de fabrication (délaquage de résine, faux contact, dépôt non conforme). Cependant, on remarque également des nanofils effondrés qui sont problématiques car leur présence mènerait à des court-circuits dans le dispositif. Il est donc crucial de maximiser le taux de verticalité dans ces croissances. Les caractérisations des échantillons (Figure II-37) nous permettent de déterminer les dimensions optimales du masque de croissance. L'espacement semble jouer un rôle mineur dans l'obtention d'un haut taux de verticalité ($> 80\%$). Cependant le diamètre du puits est lui bien plus impactant : un taux de verticalité supérieur à 80% n'est obtenu que pour des diamètres d'au minimum 120 nm . Cela peut s'expliquer par une diffusion en surface des atomes plus compliquée dans le cas des petits diamètres : pour un même temps de croissance, plus d'atomes seront collectés dans un grand puit car la diffusion de ceux-ci sera facilitée sur Si plutôt que sur SiO_2 .

Dans l'optique d'une intégration grande échelle, la dispersion des dimensions des nanofils doit être faible (Figure II-38). Les diamètres des nanofils obtenus varient entre 25 nm et 50 nm . Cette variation dépend des conditions de croissance principalement (températures, flux de matière). Pour une même croissance et un masque similaire, la dispersion des diamètres d'un fil à l'autre est de 10% maximum. Les hauteurs obtenues varient de 200 nm à $3\text{ }\mu\text{m}$. La hauteur est principalement contrôlée par le temps de croissance ce qui permet d'obtenir la longueur visée à l'aide de ce paramètre. La dispersion en hauteur des nanofils est comprise entre 10% et 20% selon les croissances.



Figure II-38 : Image MEB d'une croissance de nanofil d'InAs pour un masque de croissance. Exemple de dimensions et dispersions obtenues sur un échantillon classique.

La croissance de nanofil verticaux d'InAs à l'aide d'un masque en SiO_2 permet d'obtenir des nanofils avec un très haut rapport de forme (60). Le positionnement de ceux-ci est précis grâce à l'utilisation des puits de croissance où un seul nanofil est présent. Parmi les dimensions du masque, le diamètre des puits de croissance a le plus grand impact. Il joue principalement sur le taux de verticalité qui doit être maintenu le plus haut possible afin d'envisager une intégration grande échelle. Ce diamètre d'au moins 120 nm pourrait être un frein à l'augmentation de la densité de nanofils. La dispersion des

diamètres des nanofils obtenue est inférieure à 10% pour des diamètres entre 25 nm et 50 nm, ce qui est un point fort de cette technique. Cependant la dispersion en hauteur est plus grande (jusqu'à 20%) pouvant entraîner complexification du procédé d'intégration.

D. Conclusion

Il a été démontré dans ce chapitre que l'obtention de nanofils de matériaux III-V compatibles avec une intégration CMOS était réalisable par voie ascendante et descendante. Les deux voies ainsi que leur mise en place et leurs avantages ont été présentés et ont permis d'obtenir des nanofils de GaAs sur Si(100) via la voie descendante et des nanofils d'InAs sur Si(111) via la voie ascendante (Figure II-39).

La voie descendante permet l'utilisation du substrat Si(100) conventionnel dans l'industrie ce qui est un atout majeur. De plus, elle permet une localisation précise des nanofils ainsi qu'un contrôle fin, de l'ordre de quelques nanomètres, des dimensions de ceux-ci. Enfin l'homogénéité au sein d'un échantillon ainsi que la reproductibilité du procédé de fabrication est un atout majeur pour le développement futur de cette technologie. Cette approche a permis d'obtenir pour la première fois des nanofils verticaux de GaAs sur Si d'un diamètre pouvant atteindre 16 nm. Pour poursuivre l'intégration de nouveaux matériaux, un savoir-faire de pointe est nécessaire pour obtenir une épitaxie de matériau III-V sur Si(100) avec un minimum de défauts. Comme présenté, ce verrou a été levé pour le GaAs dopé N mais également pour le GaSb dopé P [103], matériau à forte mobilité de trous permettant d'envisager des composants CMOS. Cette voie est donc encourageante et présente de bons atouts pour une intégration grande échelle.

La voie ascendante quant à elle a permis d'obtenir des nanofils d'InAs sur substrat Si(111). La croissance des nanofils permet d'obtenir des structures cristallines et de s'affranchir du problème des dislocations formées dans une couche massive lorsqu'un désaccord de mailles trop grand existe entre le substrat et le nanofil. De ce fait, une multitude de matériaux III-V (InAs, GaAs, InGaAs, InSb, ...) est envisageable mais nécessite une mise en place d'un procédé d'épitaxie robuste. L'utilisation d'un masque en SiO₂ possédant des puits de croissance a permis d'obtenir une très bonne localisation des nanofils ouvrant la voie à une possible intégration. Ces nanofils d'InAs ont des diamètres homogènes, de 25 nm à 50 nm, mais une distribution en termes de taille variable, une différence de 20% pouvant être observée. De plus, le taux de verticalité atteint est de 90% et pour atteindre cette valeur il est nécessaire de travailler avec des diamètres de puits de 200 nm ce qui est un frein dans une optique d'augmentation de la densité de nanofils. Toutefois, ces résultats rejoignent ceux présentés par les épitaxies par MOVPE tout en y associant les avantages de la MBE : pureté de matériaux et minimisation des défauts de structure.

Enfin, la Figure II-39 synthétise les caractéristiques de chacune des voies présentées dans ce chapitre et leur apport sur ces technologies :

- (i) Premier exemple de nanofils verticaux de GaAs intégrés sur Si(100) par voie descendante, présentant une excellente reproductibilité et homogénéité, avec des diamètres de 30 nm ;
- (ii) Amincissement de nanofils de GaAs par gravure séquentielle, où l'intérêt d'une oxydation par plasma a été démontré, permettant d'amincir un nanofil jusque 16 nm en préservant sa stabilité mécanique ;
- (iii) Nanofils verticaux d'InAs obtenus à l'aide d'une épitaxie MBE sur substrat Si(111) préalablement nanostructurés, ayant les mêmes taux de verticalités et de plus faibles diamètre (30 nm – 40 nm) que ceux obtenus par MOVPE.

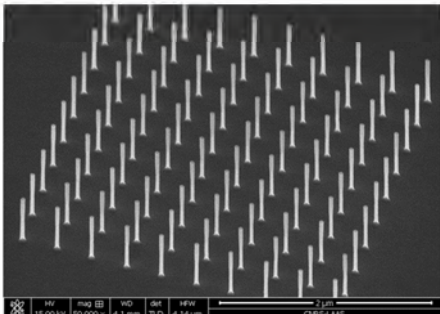
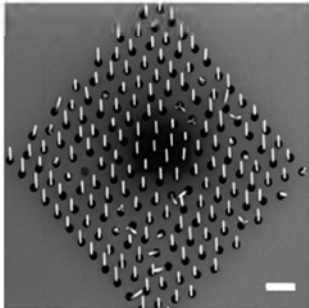
	Voie descendante	Voie ascendante
Substrat	Substrat Si(100) conventionnel. Pré-épitaxie de 400 nm de GaAs nécessaire.	Substrat Si(111). Épitaxie directe de nanofils d'InAs.
Défauts		Qualité cristalline des nanofils.
Localisation	Très précise à l'aide la lithographie électronique.	A l'aide d'un masque SiO ₂ . Croissance très sélective vis à vis du masque.
Distribution	Hauteur et diamètre homogènes entre chaque échantillon.	Distribution élevé en hauteur (Ecart-type : 41nm). Diamètre homogène.
Résolution	Diamètre de 30 nm obtenu. Possibilité de diminuer à 15nm avec gravure séquentielle	Diamètre de 25 nm obtenu.
Reproductibilité	Excellente, notamment grâce au suivi interférométrique.	Nécessité de caractériser chaque échantillon. Diamètre reproductible mais taux de verticalité et hauteur variables.
Innovation	1 ^{ère} démonstration de nanofils de GaAs verticaux sur Si(100).	Nanofils d'InAs sur substrat Si(111) par MBE, ayant des caractéristiques proches des résultats MOVPE
		

Figure II-39 : Synthèse des caractéristiques des nanofils verticaux de matériaux III-V obtenues par les voies descendantes et ascendantes.

Chapitre III : Ingénierie de contacts – Obtention de contacts alliés CMOS compatibles faiblement résistifs

L'utilisation d'un canal en alliage III-V soulève des questions technologiques pour la réalisation d'un transistor. L'une d'entre elles concerne l'obtention de contacts faiblement résistifs sur matériaux III-V. Afin d'y répondre, une étude détaillée sur ces contacts a été mise en place.

A. Enjeux et état de l'art

1. Contacts ohmiques sur GaAs

Afin d'interfacer un transistor, il est nécessaire de créer des connections métalliques créant l'interface entre le canal semiconducteur et les modules de pilotage du transistor. Ces contacts métalliques, positionnés au niveau de la source et du drain, doivent être faiblement résistifs afin de limiter la consommation électrique des dispositifs. En effet, un modèle simplifié permet de décomposer la résistance totale s'opposant à la conduction en résistances de contact et résistance du canal :

$$R_{Total} = 2R_{contact} + R_{canal}$$

Pour un canal nanofil, la résistance peut se décomposer en :

$$R_{canal} = \frac{\rho L}{\pi r^2}$$

où ρ , L et r représentent respectivement la conductivité électrique, la longueur du canal et le rayon des nanofils. L'utilisation d'un canal à forte mobilité à des dimensions nanométriques permet donc de fortement réduire la résistance du canal. Il est donc pertinent de s'intéresser à la diminution de la résistance de contact à mesure que la miniaturisation des composants évolue.

La résistivité de contact (ρ_c) lié au passage du courant d'un milieu métallique à semiconducteur peut être décrite par la formule suivante [104] :

$$\rho_c \approx \frac{4\pi\sqrt{\epsilon m^*}}{h} * \frac{\phi_b}{\sqrt{N_d}}$$

où ϵ désigne la permittivité électrique du semiconducteur, m^* la masse effective des porteurs de charge, h la constante de Planck, Φ_b la hauteur de barrière et N_d la concentration de dopant. Parmi ces grandeurs, seuls la hauteur de barrière et le dopage sont des variables pouvant modifier la résistivité de contact. Le dopage étant fixé dans nos nanofils, il est nécessaire de diminuer la hauteur de barrière pour faciliter le passage des porteurs de charge.

En 1964, Mead et Spitzer [105] ont répertorié les hauteurs de barrière de différentes jonction Métal-Semiconducteur. Celles-ci étant peu dépendantes du métal utilisé, les résultats sont résumés dans le graphe de la Figure III-1. Cette indépendance vis-à-vis du métal utilisé est appelé « verrouillage du niveau de Fermi » et provient d'une forte densité d'états à l'interface du semiconducteur III-V provenant de la présence de pièges dans la bande interdite [106].

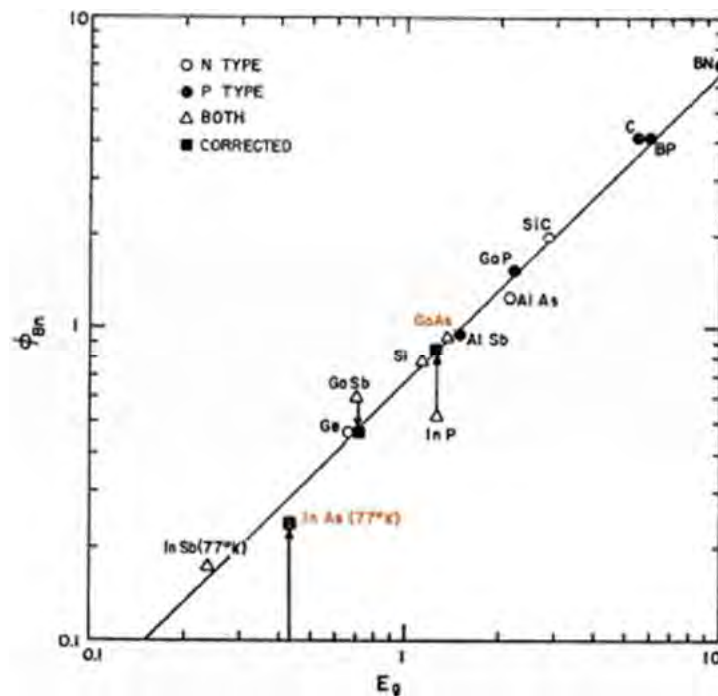


Figure III-1 : Variation de la hauteur de barrière d'une jonction Métal-Semiconducteur en fonction de l'énergie de bande interdite de ces semiconducteurs. L'InAs ayant une hauteur de barrière plus faible, le contact devrait être moins résistif. [105]

Ces travaux montrent que les semiconducteurs ayant une faible énergie de bande interdite ont généralement une plus faible hauteur de barrière. Concernant les alliages III-V utilisés pour réaliser les nanofils verticaux, l'InAs permet d'obtenir un contact ohmique et donc très peu résistif avec les trois métaux évalués : Au, Ag, Al. Quant au GaAs type N, celui-ci présente systématiquement une hauteur de barrière d'au moins 0.8 eV résultant en un contact Schottky plus résistif. En effet, le phénomène de verrouillage de niveau de Fermi du GaAs entraîne une hauteur de barrière invariable en fonction de la jonction Métal/GaAs étudiée. Une investigation détaillée des contacts métalliques sur GaAs est donc nécessaire afin de diminuer la résistance de contact.

De nombreuses études ont été menées afin de trouver le meilleur contact ohmique sur GaAs. Parmi les solutions proposées par la communauté scientifique, l'empilement Ni/AuGe s'est imposé comme une référence [107]. Le composé eutectique AuGe sert de dopant au GaAs [108], permettant de réduire la barrière de Schottky alors que la couche interstitielle de nickel est utilisée afin d'obtenir une interface uniforme, notamment grâce à la formation d'alliages Ni_xGaAs . Les résistivités mesurées à l'aide de cet empilement sont de l'ordre de $10^{-6} \Omega.cm^2$. Cependant, l'un des problèmes majeurs de cet empilement est la formation de l'alliage AuGa ce qui démontre la migration des atomes d'or à l'intérieur du semiconducteur. Dans l'optique de la réalisation d'un transistor à l'aide d'un procédé compatible avec les technologies MOS, l'utilisation de l'or est à proscrire et cet empilement n'est donc pas envisageable.

Des reconstructions de surface ont également été effectuées à l'aide d'un empilement Pd/Ge [107]. Lors du recuit, le Pd réagit en premier lieu avec le GaAs pour former un composé allié. Puis, le Ge réagit à son tour avec le Pd. Le Pd présent dans l'alliage Pd_xGaAs est alors consommé, menant à la reconstruction du GaAs au voisinage du GePd. C'est à ce moment que les dopants Ge sont incorporés dans le GaAs afin de réduire la résistivité de contact. L'utilisation d'une fine couche de métal en titane à l'interface du GaAs permet d'améliorer les performances électriques du contact [109]. Un exemple est donné dans la Figure III-2 où des résistivités de l'ordre de $10^{-6} \Omega.cm^2$ ont été obtenues. Cependant, de par sa très forte dépendance à la température de recuit, ce procédé est susceptible d'être difficilement reproductible.

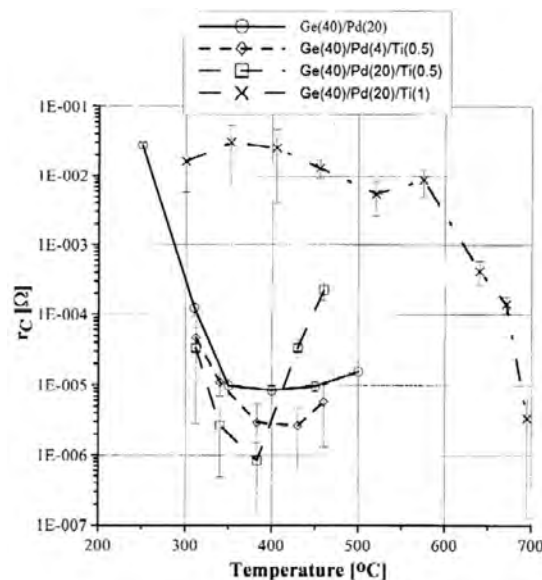


Figure III-2 : Résistances de contact selon la température de recuit sur GaAs-N obtenues avec un empilement Ge/Pd/Ti. [107]

Les résultats présentés sur GaAs ont été obtenus sur des surfaces planes et non sur des nanostructures. Il est nécessaire de prendre en compte ce paramètre pour envisager d'obtenir des contacts sur

nanofils. De plus, un empilement de différents métaux peut présenter des difficultés à être éliminé à l'aide d'une gravure chimique. Pour pallier ces complications, la filière silicium a développé des contacts alliés, les « siliciures », à partir de Pt ou Ni, permettant d'obtenir des contacts peu résistifs mais ayant une excellente uniformité avec des nanostructures tel que les nanofils [38]. S'inspirant de cette solution, la filière III-V a également développé des contacts de ce type.

2. Contacts alliés sur III-V

Il existe une littérature restreinte concernant la création de contacts alliés Métal-GaAs. Des études structurales démontrent la possibilité de créer un tel alliage avec le nickel [110]–[112] et le palladium [113]–[115], à l'aide d'un recuit thermique rapide (RTA) entre 300°C et 450°C, mais ne donnent pas de caractérisations électriques de ces alliages. Les contacts alliés ont été grandement développés sur l'alliage $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$. Ils consistent également au dépôt d'un métal sur III-V, suivi d'un recuit rapide à basse température, généralement inférieure à 400°C. Parmi les métaux considérés, on retrouve le Pd, Ni et Co (Figure III-3). Les résistivités de contacts ρ_c y sont comparées aux résistivités du film métallique ρ_m . La résistivité du film métallique est une caractéristique constante du matériau mais c'est la résistance de feuille R_{SH} (ou résistance carrée) qui est le plus couramment reportée dans la littérature. Celle-ci dépend de l'épaisseur du film métallique et est reliée à ρ_m par la relation : $\rho_m = R_{SH}e$ avec e l'épaisseur du film.

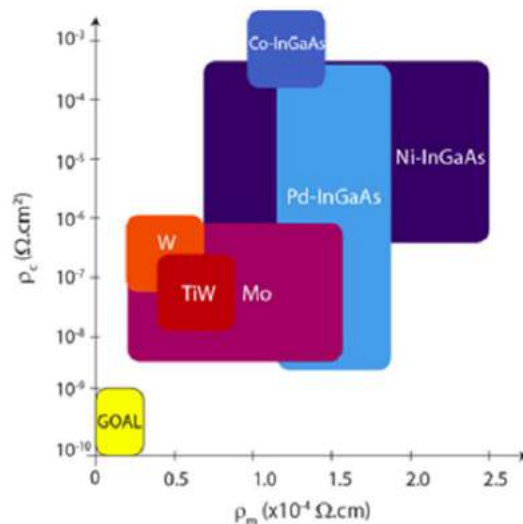


Figure III-3 : Résistivités de différents contacts développés sur InGaAs. L'objectif est la réduction de la résistivité de contact et du film métallique. Les alliages présentés sont à base de Pd, Ni et Co. [116]

L'alliage à base de cobalt a été étudié par Yeo et al. [117] où 20 nm de Co ont été déposés par pulvérisation. Un recuit thermique rapide (RTA) a été effectué à 300°C, 350°C et 400°C. L'alliage se forme par la migration du Co dans le matériau III-V sur 60 nm. L'alliage formé n'est pas homogène sur

toute l'épaisseur comme le prouvent les analyses dispersives en énergie (EDX) effectuées (Figure III-4). La diffraction des rayons X indique effectivement l'apparition de phases binaires CoGa et CoAs. La résistivité de contacts pour un recuit à 350°C est de $6.25 \cdot 10^{-4} \Omega \cdot \text{cm}^2$ pour une résistance carrée de 14 $\Omega/\square$.

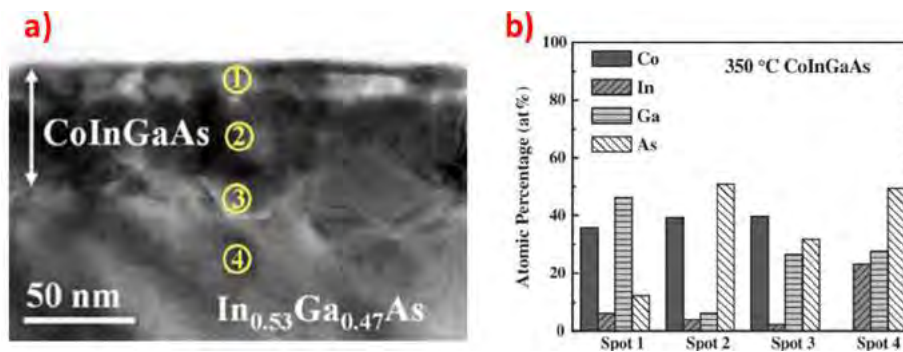


Figure III-4 : a) Alliage de CoInGaAs formé à 350°C. b) Composition en élément de l'alliage de CoInGaAs en fonction de la profondeur, montrée en a). [117]

Les alliages à base de Pd ont également été étudiés par cette même équipe [118] et ont permis d'obtenir de meilleurs résultats en termes de résistivités de contacts. En effet, suite à un dépôt de 10 nm de Pd et un RTA à 250°C, un film homogène et peu rugueux ($\approx 0.7 \text{ nm}$) de 20 nm est observé à l'interface avec l' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ (Figure III-5). Le ratio moyen des éléments analysés par EDX du Pd:In:Ga:As est de (58 :9 :14 :19) et la proportion de Pd augmente avec la profondeur ce qui indique que le Pd est l'espèce qui diffuse au cours de la réaction. La résistance carrée mesurée est de 77.3 $\Omega/\square$ et la résistivité de contact de $8.35 \cdot 10^{-5} \Omega \cdot \text{cm}^2$. Ces travaux démontrent également que l'alliage formé n'est plus homogène à 350°C indiquant ainsi une limite quant au bilan thermique que ces contacts peuvent subir.

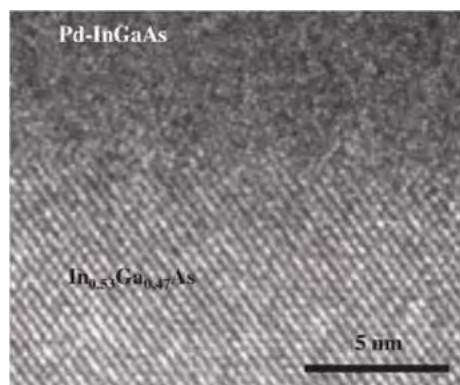


Figure III-5 : Interface nette et conforme entre l'alliage de PdInGaAs et l'InGaAs du substrat. [118]

Il existe plusieurs études réalisées sur l'alliage Ni-InGaAs. Celui se forme dès 250°C et est stable jusqu'à 500°C comme le démontre Czornomaz et al. [119]. À partir de 500°C a lieu la désorption thermique des éléments III et V de la couche, augmentant alors largement la résistance de contact. L'ajout d'une

couche de 100 nm de SiO₂ pour encapsuler l'alliage et empêcher cette désorption permet de conserver les propriétés électriques au-delà de 500°C. De même que pour le Co et le Pd, le Ni est l'espèce qui diffuse dans le matériau et permet d'obtenir une interface bien définie. Le rapport de l'épaisseur de Ni déposée et l'épaisseur final de l'alliage varie entre 1,4 et 3 [119]–[121]. Chen et al. [120] concluent que l'alliage formé entre le nickel et l'In_{0.53}Ga_{0.47}As est du Ni₄InGaAs₂. Comme présenté sur la Figure III-6, une résistance carrée record de 15.2 Ω/□ a été obtenu pour un recuit à 400°C alors que la résistivité de contact la plus faible a été obtenue pour un recuit à 350°C : 1.46.10⁻⁶ Ω.cm². Enfin, contrairement au procédé lift-off utilisé sur les alliages à base de Co et Pd pour éliminer le métal résiduel, le Ni peut être éliminé sélectivement par un bain HCl ou H₂SO₄ [119], [122] ce qui est un atout crucial dans une optique d'intégration dans un procédé de microfabrication.

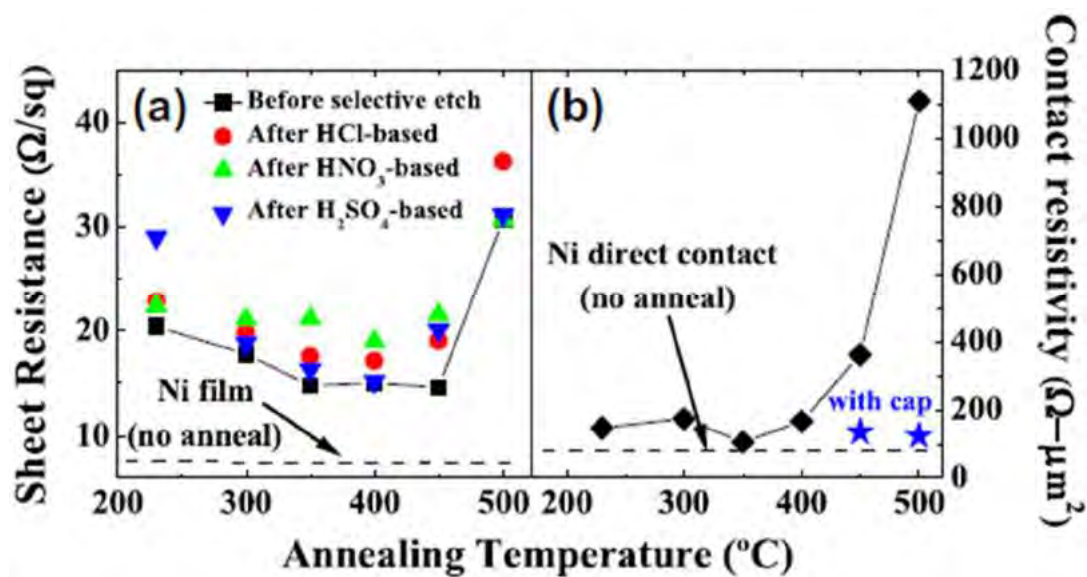


Figure III-6 : Caractérisations électriques du Ni₄InGaAs₂ en fonction de la température de recuit. a) Résistance de feuille, les différents points représentent le type de gravure chimique sélective utilisée pour éliminer le Ni résiduel. b) Résistivité de contact. Une encapsulation par 100 nm de SiO₂ a permis d'éviter la désorption thermique des éléments III-V de l'alliage et de conserver ainsi les propriétés électriques du contact au-delà de 400°C. [119]

Sur InAs, un alliage de Ni a été élaboré selon le même procédé [123]. Les 8 nm de Ni déposés ont totalement diffusé dans l'InAs pour former un alliage cristallin avec une interface abrupte (Figure III-7). Le Ni résiduel a également été sélectivement gravé à l'aide de l'HCl. Cet alliage a une résistance carrée supérieure à Ni-InGaAs (97 Ω/□) mais une résistivité de contact bien inférieure (2.7.10⁻⁹ Ω.cm²), démontrant la possibilité de former un contact très peu résistif sur InAs. Ces résultats sont résumés dans le Tableau 5 et nous permettent d'établir un plan d'expérience pour la création d'alliages Métal-GaAs. Ces alliages sont tous formés par un recuit thermique rapide suite à un dépôt de métal et présentent donc tous l'intérêt d'être compatible avec un procédé MOS. Les alliages à partir de Ni et Pd sont choisis pour cette étude, le cobalt ne sera pas étudié au vu des résistivités supérieures

obtenues sur InGaAs dans la littérature. Enfin, des expériences seront également menées sur l'empilement Ge/Pd, celui-ci étant également compatible MOS.

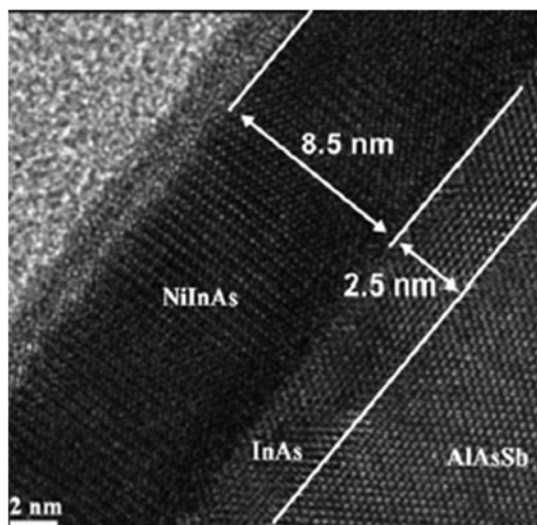


Figure III-7 : Image TEM de l'alliage NiInAs sur InAs. L'alliage présente une interface abrupte avec l'InAs.

Tableau 5 : Récapitulatif des contacts alliés référencés sur III-V

Référence	Substrat	Métal	Température (°C)	R_{SH} ($\Omega/\square$)	ρ_c ($\Omega.cm^2$)	Phase
Ogawa et al. [110]	GaAs	Ni	200 - 400			Ni ₂ GaAs
			500			NiAs + NiGa
Sand et al. [113]	GaAs	Pd	250 - 315			Pd ₅ (GaAs) ₂
			350 - 400			Pd ₄ GaAs
Oxland et al. [123]	InAs	Ni	350	97	$2,7.10^{-9}$	
Czornomaz et al. [119]	InGaAs	Ni	350	15,2	$1,46.10^{-6}$	
Chen et al. [120]	InGaAs	Ni	250 - 300			Ni ₄ InGaAs ₂
Kong et al. [118]	InGaAs	Pd	250	77,3	$8,35.10^{-5}$	
Ivana et al. [117]	InGaAs	Co	350	14	$6,25.10^{-4}$	CoInGaAs ; CoGa; CoAs

B. Etude métallurgique de la formation de contacts alliés compatibles CMOS sur GaAs.

Une étude de structure des alliages Ni-GaAs et Pd-GaAs a donc été menée. Les alliages ont été réalisés sur substrat GaAs dopé N à 10^{18} cm^{-3} . Les substrats sont plongés dans un bain HCl à 37% pendant une minute afin d'éliminer l'oxyde natif. Après rinçage à l'eau déionisée puis séchage sous flux N_2 , les échantillons sont immédiatement chargés dans un bâti de dépôt par évaporation par faisceau d'électrons en phase vapeur. Cet équipement permet de graver les premières couches atomiques de l'échantillon via un plasma argon. Le dépôt métallique de 15 nm de Ni ou Pd est ensuite effectué à une vitesse de 0.05 nm/s. Les échantillons sont ensuite transférés dans une chambre de recuit thermique rapide (RTA) où le recuit s'effectue pendant 1 min sous un mélange N_2 95% / H_2 5%. Les températures de recuit sélectionnées sont de 250°C et 350°C, cohérentes avec les résultats présentés dans le Tableau 5, afin d'étudier l'évolution de la structure des alliages avec la température.

Une première caractérisation a été effectuée au MEB (Figure III-8) afin d'évaluer l'uniformité et l'homogénéité des alliages formés. On remarque que les alliages à base de nickel sont homogènes et la surface ne semble pas être modifiée. Quant au palladium, on observe une nette différence entre les deux températures de recuit : une phase supplémentaire semble apparaître lors du recuit à 350°C, cet effet pourrait avoir un impact sur la résistance d'un contact effectué avec ce matériau : le changement de milieu entre chaque phase ajouterait une résistance supplémentaire au passage du courant.

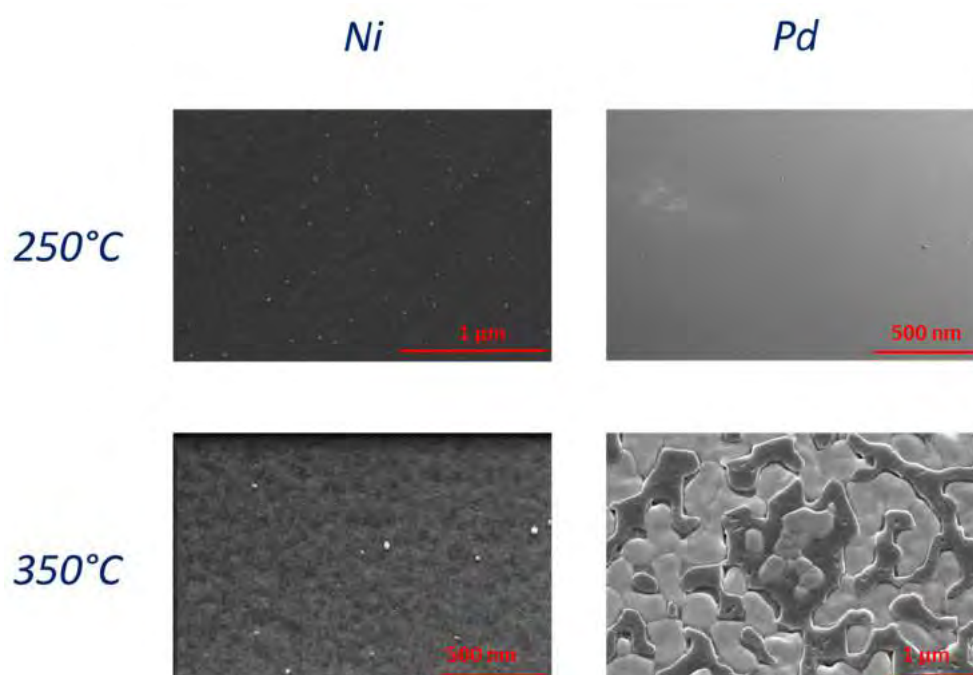


Figure III-8 : Observation MEB des alliages Ni-GaAs et Pd-GaAs formés à 250°C et 350°C. Les alliages sont uniformes et homogènes mis à part le Pd-GaAs à 350°C qui présentent deux phases imbriquées.

1. Alliage à base de palladium

Des analyses de diffraction aux rayons X (DRX) ont été menées au LAAS afin de déterminer la composition cristalline de l'alliage Pd-GaAs (Figure III-9). Le substrat GaAs(100) a tout d'abord été analysé puis un dépôt de Pd a été effectué afin de noter l'apparition des pics propres à ce métal. Ensuite, le même échantillon a été clivé en deux parties et recuit aux températures de 250 °C et 350 °C respectivement. Les analyses DRX ont ensuite été effectuées sur ces échantillons afin d'observer l'apparition de nouveaux pics, représentant l'apparition de nouvelles phases. Une phase correspondante à l'alliage $\text{Pd}_{12}\text{Ga}_5\text{As}_2$ apparaît, dont les pics à 37,8°, 39,8° et 44,2° ont été identifiés (cercle noir, Figure III-9, [124]). De plus, une autre phase apparaît également à 350°, révélée par l'apparition de trois nouveaux pics (cercles verts, Figure III-9) mais ceux-ci n'ont pu être identifiés à partir de la littérature. Cela est cohérent avec les observations MEB présentées précédemment où deux phases imbriquées étaient présentes.

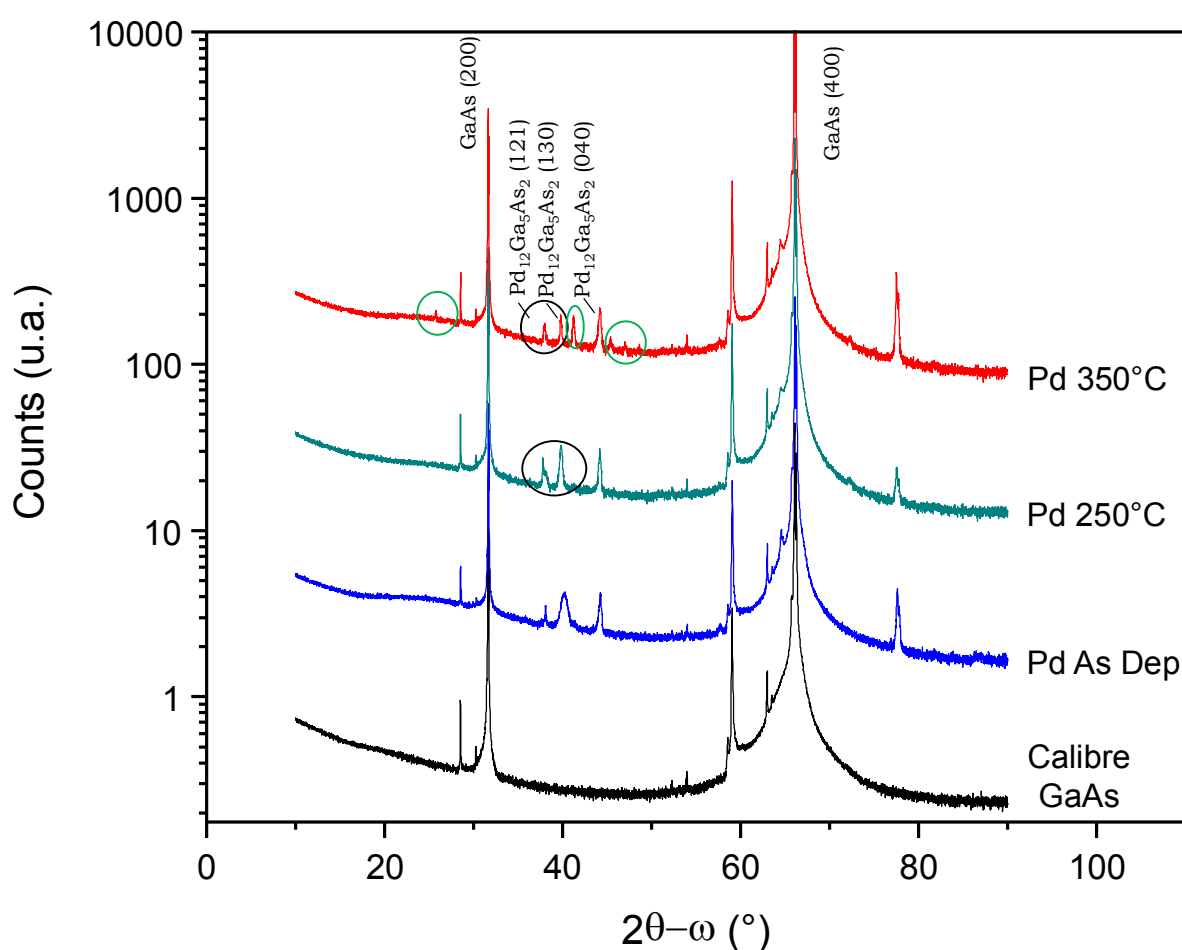


Figure III-9 : Résultats DRX de l'alliage Pd-GaAs obtenue à l'aide de recuit rapide à 250°C et 350°C.

Une lame TEM a été réalisée sur l'échantillon recuit à 250°C (Figure III-10). Pour un dépôt de 15 nm de Pd, l'alliage formé est composé de plusieurs grains et a une épaisseur d'environ 30 nm. Les images hautes résolutions (HREM) montrent la présence de plans cristallins à l'intérieur de ces grains, révélés également par la transformée de Fourier de l'image (FFT). Cela nous permet d'affirmer que cet alliage est polycristallin. De plus, il ne reste plus de palladium non réagi : les 15 nm de Pd ont été totalement consommés lors de la formation de l'alliage.

Enfin une analyse dispersive en énergie (EDX) a permis de quantifier les éléments présents dans toute l'épaisseur de l'alliage Pd-GaAs. Celle-ci révèle un ratio Pd/Ga/As moyen de 62/23/15, cohérent avec la stœchiométrie de la phase $\text{Pd}_{12}\text{Ga}_5\text{As}_2$ déterminée précédemment. La diminution de la proportion en arsenic pourrait résulter de l'élimination de l'As par désorption. Kobayashi et al. [115] reportent ce phénomène de ségrégation de l'As à la surface suivie de sa désorption. Ils déterminent alors trois phases possibles de l'alliage entre 200°C et 400°C : PdGa, et $\text{Pd}_n\text{Ga}_x\text{As}_{1-x}$ où $n = 1$ ou 2 ; x compris entre 0.5 et 0.9. La composition mesurée sur ces échantillons correspondent à $n = 2$ et $x = 0.60$, cette cohérence entre notre analyse et les résultats de la littérature nous permet de définir notre alliage comme : $\text{Pd}_{12}\text{Ga}_5\text{As}_2$.

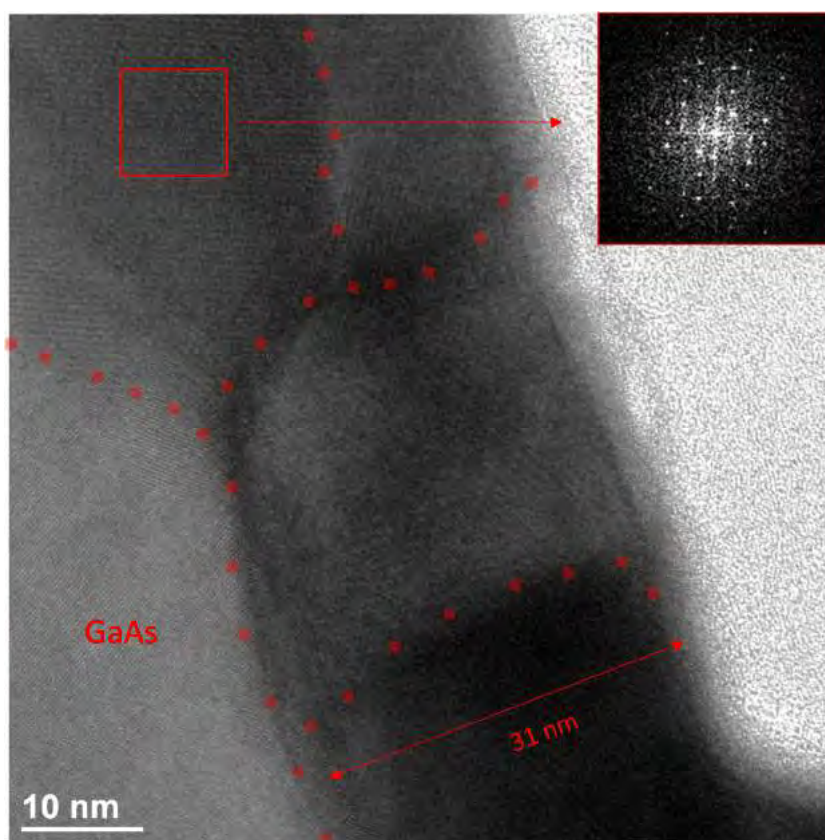


Figure III-10 : Alliage de Pd-GaAs formé à 250°C. Le Pd déposé a été totalement consommé pour former une couche cristalline d'une épaisseur d'environ 30 nm. Au moins quatre grains sont observables et délimités sur cette image. La FFT démontre le caractère cristallin au sein de chacun des grains.

2. Alliage à base de nickel

Les caractérisations structurales effectuées sur l'alliage Pd-GaAs ont également été effectuées sur l'alliage Ni-GaAs en adoptant la même méthode. La caractérisation DRX (Figure III-11) montre l'apparition d'un pic à 31.72° correspondant à une nouvelle phase alliée. Contrairement au palladium, il n'y a pas d'apparition de nouveaux pics pour un recuit à 350°C , seulement une variation des intensités relatives : la phase formée à 250°C reste la même à 350°C . Dans les publications traitant de la structure de cet alliage, les composés présentés sont du Ni_2GaAs [125] ou du Ni_3GaAs [126], [127], qui tous deux reportent un tel pic à cette angle de diffraction. Toutefois, ils sont généralement accompagnés d'autres nouveaux pics qui ne sont pas présents dans l'analyse DRX de la Figure III-11. Rabhi et al. présentent les pics caractéristiques de l'alliage Ni_3GaAs comme étant ceux apparaissant aux angles 31.59° (assimilable à celui obtenu ici) et 65.85° . Ce dernier correspondant également à un pic du substrat GaAs utilisé, il n'est pas distinguable. Bien que la nature de la phase soit incertaine (Ni_2GaAs ou Ni_3GaAs), ces publications s'accordent cependant pour affirmer que ces alliages se dégradent à partir de 400°C avec l'apparition des deux phases : NiAs et NiGa.

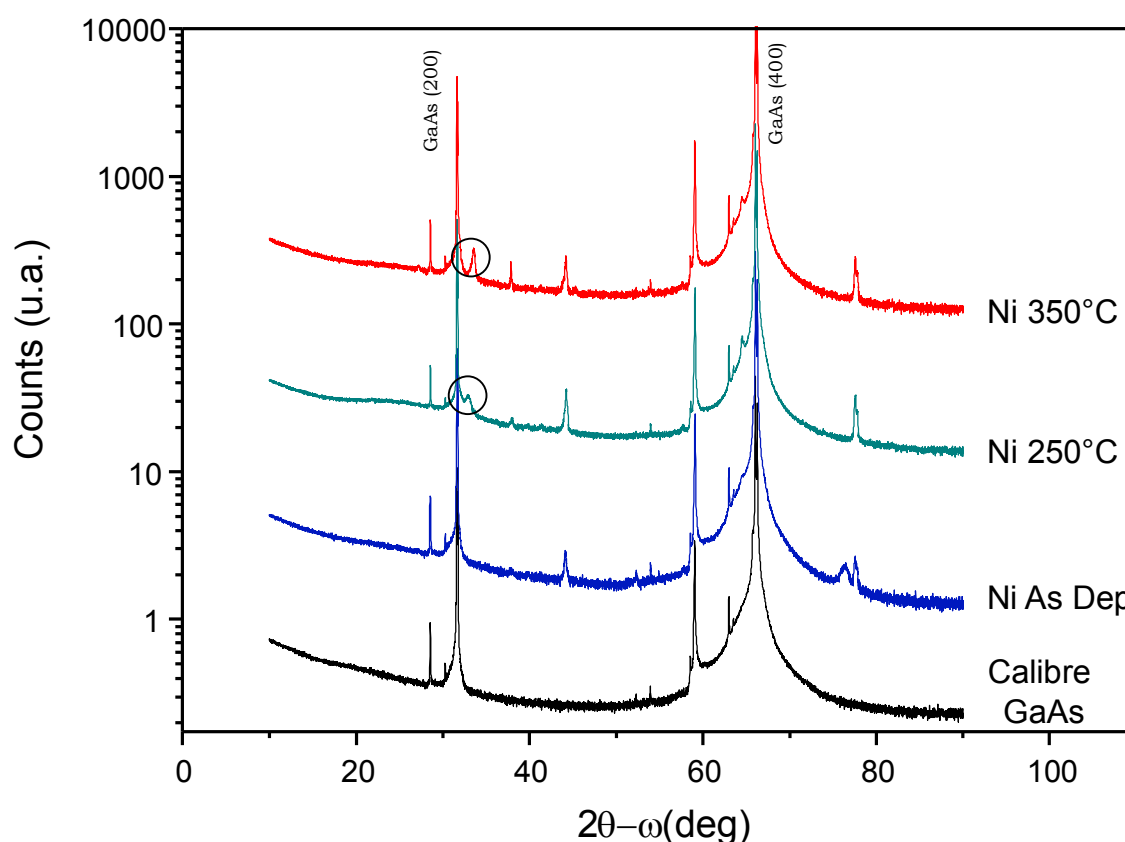


Figure III-11 : Résultats DRX de l'alliage Ni-GaAs obtenus par recuit rapide à 250°C et 350°C .

D'après les observations au microscope électronique à transmission réalisées sur Ni-GaAs formé à 250°C, les 15 nm de Ni ont été totalement consommés pour former une couche de 20 à 25 nm (Figure III-12). De manière similaire au palladium, l'alliage formé reposant sur le GaAs présente un contraste typique d'une composition cristalline.

L'analyse EDX réalisée sur cet alliage, notamment sur différents grains, démontre des compositions variables, avec les ratios Ni/Ga/As variant de (59/19/22) à (55/17/28). Ces fluctuations de composition sont probablement dues au volume de matière trop faible pour obtenir une quantification précise. Par conséquent, l'hypothèse retenue est que l'alliage formé a une stœchiométrie Ni_3GaAs .

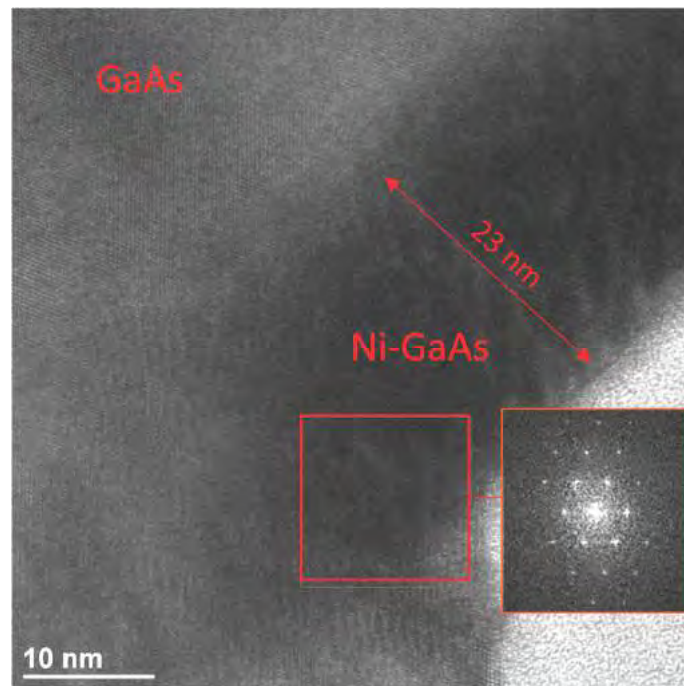


Figure III-12 : Alliage de Ni-GaAs formé à 250°C. Le Ni déposé a été totalement consommé pour former une couche de 20 à 25 nm. La FFT démontre la structure cristalline de cet alliage.

Les alliages ayant été caractérisés structurellement, des caractérisations électriques ont également été réalisées afin de déterminer leurs propriétés électriques.

C. Propriétés électriques des contacts alliés

L'objectif des caractérisations électriques des contacts est d'évaluer la résistance du matériau et des interfaces au passage des porteurs de charge, à savoir les électrons. Pour cela, nous nous intéresserons aux deux grandeurs caractéristiques de l'alliage : la résistance carrée, R_{SH} , et la résistivité de contact ρ_c .

1. Méthodes de mesure

La résistance carrée peut être mesurée à l'aide d'une mesure 4 pointes. Deux de ces pointes serviront à injecter le courant dans l'alliage conducteur tandis que les deux autres serviront à mesurer la différence de potentiel électrique. De cette manière, la mesure ne prend en compte que la résistance carrée du film, et non pas la résistance de contact car aucun courant ne passe entre les deux pointes de mesure. Un facteur de correction géométrique est à appliquer afin d'obtenir la valeur exacte. Dans le cas de 4 pointes équidistantes sur un film mince dont les dimensions sont au moins 40 fois supérieures aux distances entre pointes [128], on peut alors écrire :

$$R_{SH} = f \frac{\Delta V}{I} = \frac{\pi}{\ln 2} \frac{\Delta V}{I} = 4.5324 \frac{\Delta V}{I} \quad (1)$$

La résistivité de contact peut être déterminée à l'aide de la méthode «Transfer Length Measurements» communément abrégée «TLM». Celle-ci consiste en la création de plusieurs plots de contact similaires, chacun espacé d'une distance variable (Figure III-13). Lorsqu'un courant I est injecté entre deux plots distants de d , une différence de potentiel V dépendant de d est mesurée. En effet, en ignorant la résistance du métal (très faible devant les autres), la résistance totale du circuit équivaut :

$$R_{Tot} = 2R_C + R_{SC} \quad (2)$$

Dans cette égalité, R_C ne dépend pas des plots caractérisés étant donné que tous les plots sont identiques. Cependant, R_{SC} augmente avec d , permettant d'isoler ces deux résistances.

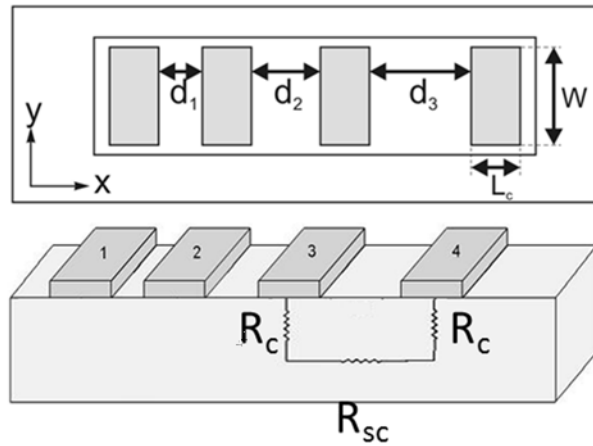


Figure III-13 : Schéma représentant la disposition des contacts afin d'appliquer la méthode TLM. Les distances d_n sont croissantes. Il existe un chemin comprenant $2R_C$ et une résistance R_{SC} variable entre chaque plot de contacts.

La résistance du semiconducteur peut être décomposée de cette manière :

$$R_{SC} = R_f \frac{d}{w} \quad (3)$$

où R_f correspond à la résistance de feuille du semiconducteur et W la largeur du contact. De même, la résistance R_c peut être décomposée afin de faire apparaître ρ_c :

$$\rho_c = R_c A_c \quad (4)$$

Avec A_c , l'aire du contact. Cependant, l'observation des lignes de courant indique que les porteurs de charges ne traversent effectivement qu'une portion de l'aire du contact (Figure III-14). Cette portion peut être définie comme $L_T W$, où L_T est la longueur de transfert définie comme le parcours moyen d'un porteur de charge sous le contact avant que celui-ci ne se dirige vers le contact. Cette longueur de transfert dépend de la résistivité du contact et de la résistance de feuille du semiconducteur selon la relation :

$$L_T = \sqrt{\frac{\rho_c}{R_f}} \quad (5)$$

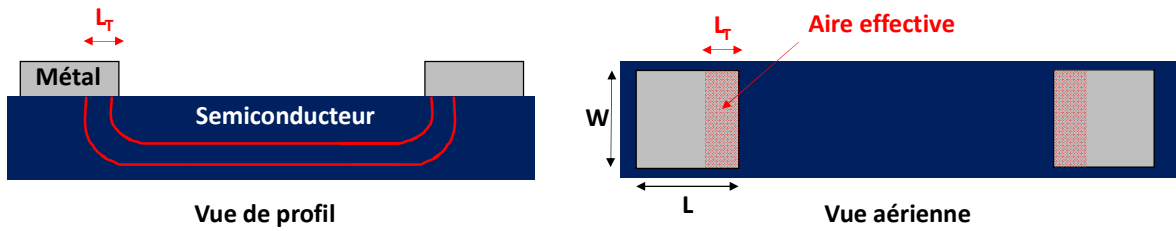


Figure III-14 : Schéma représentant les lignes de courant (en rouge) et le concept de longueur de transfert et aire effective.

Finalement, en combinant les équations (3), (4) et (5), on peut réécrire l'équation (2) :

$$R_{Tot} = \frac{R_f}{W} (d + 2L_T) \quad (2')$$

L'équation (2') nous permet alors de tracer la relation linéaire $R_{Tot} = f(d)$, et d'extraire différents paramètres présentés dans la Figure III-15. La résistivité de contact ρ_c peut finalement être obtenue via l'équation (3).

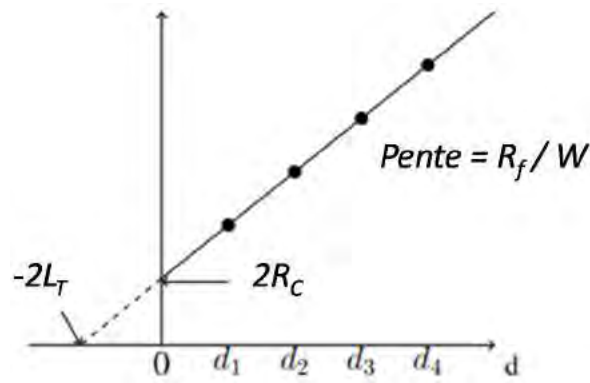


Figure III-15 : R_{Tot} en fonction de d . Les différents paramètres (L_T , R_C , R_f) peuvent être extraits.

Ces deux méthodes de mesure ont été appliquées sur les contacts alliés présentés dans l'étude métallurgique précédente.

2. Résultats des caractérisations électriques de contacts sur GaAs

Les mesures de résistances carrées sur les alliages ont été effectuées selon la méthode énoncée dans la partie précédente. Les résultats présentés en Figure III-16 montrent deux évolutions différentes pour ces alliages. La résistance carrée de l'alliage à base de Ni est stable avec la température de recuit : $11.8 \Omega/\square$ à 250°C et $9.8 \Omega/\square$ à 350°C . Au contraire, la résistance carrée de l'alliage à base de Pd augmente avec la température en passant de $53.3 \Omega/\square$ à 250°C à $75.8 \Omega/\square$ à 350°C . Ce comportement plus résistif dans l'alliage à 350°C peut-être relié à l'apparition d'une nouvelle phase à cette température, démontrée dans la Figure III-8, le passage d'une phase à l'autre ajoutant une résistance à la circulation des électrons. Les valeurs mesurées ainsi que l'évolution observée pour le Ni-GaAs sont cohérentes avec les données obtenues sur alliage InGaAs regroupées dans le Tableau 5.

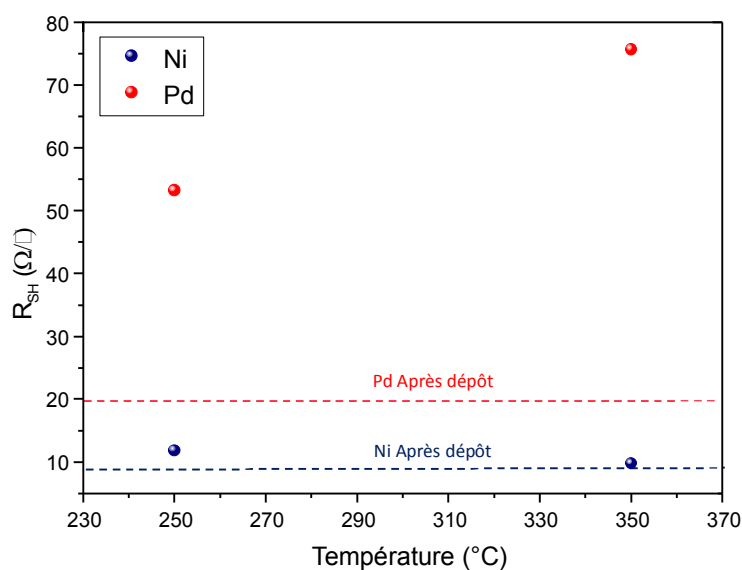


Figure III-16 : Mesure de résistance de feuilles des alliages Ni-GaAs et Pd-GaAs effectués à différentes températures de recuit.

Les mesures TLM ont également été effectuées sur ces mêmes échantillons. Cependant, un comportement Schottky est observé pour tous ces contacts, ne permettant pas la détermination d'une résistance R_{Tot} nécessaire à l'extraction de la résistance de contact par régression linéaire (Figure III-17).

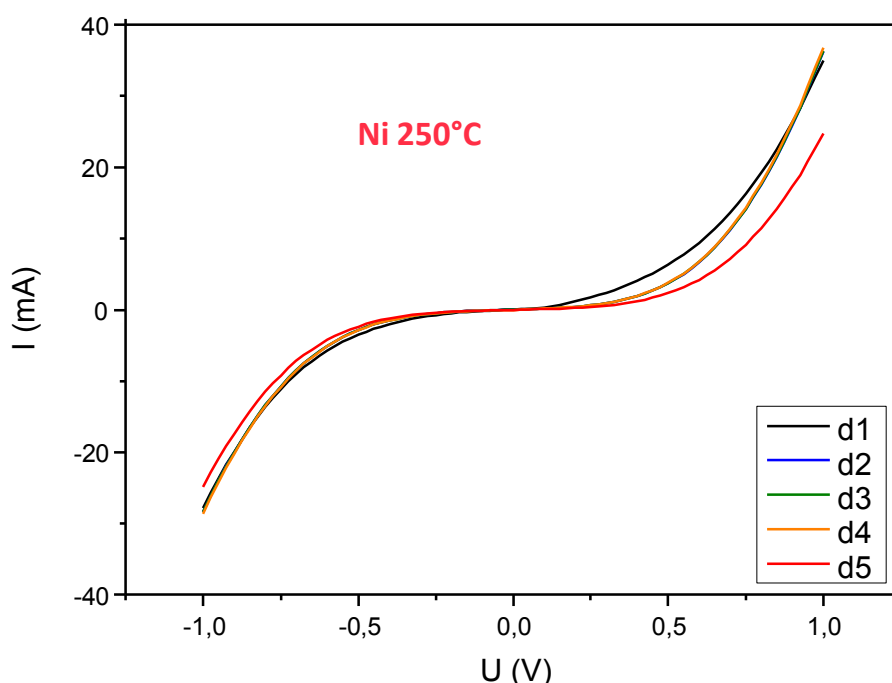


Figure III-17 : $I(U)$ pour l'alliage Ni-GaAs formé à 250°C. Les espacements $d1$, $d2$, $d3$, $d4$ et $d5$ sont croissants. On observe un comportement Schottky.

Pour expliquer ce phénomène, il est nécessaire de revenir à la définition de la résistance totale (Figure III-13). Celle-ci est la contribution de R_{SC} (résistance du semiconducteur entre les contacts) et de R_C (résistance des contacts Schottky métal / semiconducteur). Ici, R_{SC} est très faible de par le dopage élevé du substrat GaAs ($10^{18} \text{ atm.cm}^{-3}$) et est donc négligeable devant R_C d'où le comportement Schottky observé. Pour obtenir un comportement de R_{Tot} qui soit globalement linéaire, il est nécessaire d'augmenter la proportion de R_{SH} . Pour cela, il est possible d'augmenter les distances entre les plots de contact, cependant, les mesures de la Figure III-17 ont été effectuées avec des contacts distants de centaines de micromètres en moyenne et l'augmentation à des distances de l'ordre du millimètre n'a pas permis d'obtenir un comportement linéaire. L'utilisation des substrats 400 nm GaAs dopé N à $10^{18} \text{ atm.cm}^{-3}$ sur substrat Si obtenus par épitaxie permet d'effectuer ces caractérisations sur une couche mince de GaAs dont le R_{SH} est nettement plus élevé car le substrat Si est fortement résistif. Les courbes $I(U)$ ainsi obtenues en utilisant cette configuration sont linéaires pour chacun des contacts testés, ce qui confirme notre hypothèse (Figure III-18).

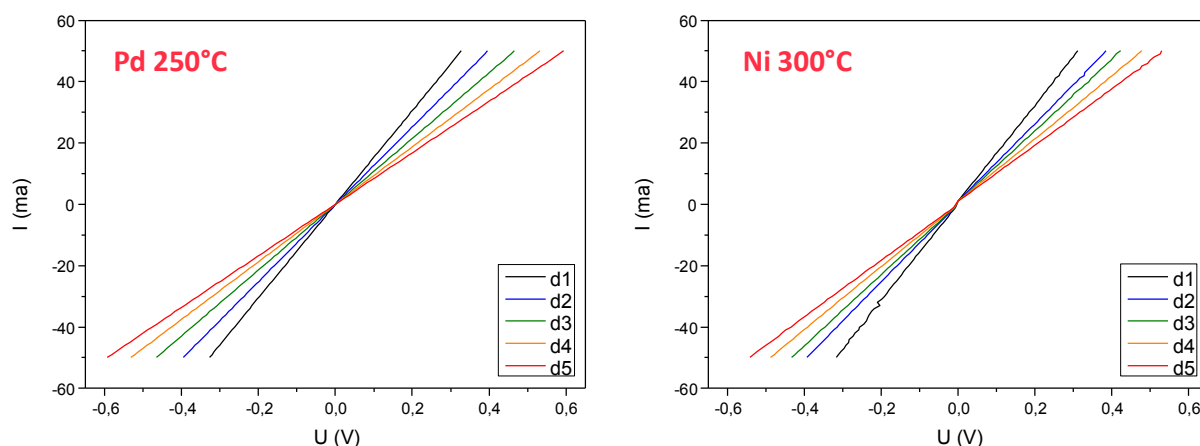


Figure III-18 : Mesure de R_{Tot} à l'aide de mesures $I(U)$ sur substrat GaAs/Si. Les deux alliages à base de Ni et Pd ont bien un comportement ohmique.

La régression linéaire (Figure III-19) de la méthode TLM est alors applicable, permettant d'extraire les résistivités de contacts, résumés dans le Tableau 6. Des empilements de Ge(10 nm)/Pd(10 nm) et Ge(10 nm)/Ni(10 nm) sur GaAs ont également été caractérisés afin d'étendre l'étude sur des empilements binaires. Les résistivités de contacts obtenues sont du même ordre de grandeur à $10^{-4} \Omega \cdot \text{cm}^2$. Les résistivités mesurées sur l'empilement PdGe sont un ordre de grandeur supérieur à ce qui est reporté par Baca et al. [107] et l'ajout de germanium ne semble donc pas diminuer les résistances de contacts.

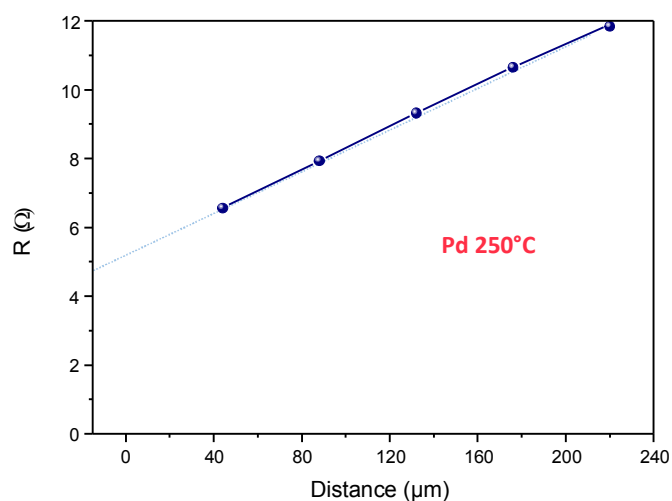


Figure III-19 : Régression linéaire de la méthode TLM appliquée à l'alliage Pd-GaAs formé à 250°C. Le facteur de corrélation est quasi idéal (0.9995).

Tableau 6 : Résultats des mesures TLM sur les différents contacts alliés sur GaAs. Les deux alliages retenus pour la suite de ce chapitre sont surlignés en vert.

Contacts	$R_f (\Omega/\square)$	$L_T (\mu m)$	$R_c (\Omega)$	ρ_c (. $10^{-4} \Omega.cm^2$)
Pd 250°C	38,37	23,88	3,04	2,17
PdGe 300°C	26,13	32,09	2,80	2,69
PdGe 450°C	169,26	11,04	6,21	2,06
Ni 300°C	37,54	20,93	2,57	1,62
NiGe 300°C	34,97	28,91	3,37	2,93

Cette étude sur les alliages Ni-GaAs et Pd-GaAs, permet d'affiner le choix du contact à intégrer lors de la réalisation du transistor. L'étude électrique a révélé des résistivités de contacts similaires pour ces deux alliages, cependant les mesures des résistivités de feuilles ont révélé un alliage à base de palladium plus résistif que l'alliage à base de nickel. L'étude métallurgique a montré l'imbrication de deux phases distinctes, à l'origine de l'augmentation de résistance observée dans l'alliage Pd-GaAs.

Après études sur configurations planaires, l'intégration de ces alliages sur des nanostructures unidimensionnelles est proposée.

D. Développement des alliages sur structure 1D

1. Alliage Pd-GaAs sur nanofil

Pour étudier la formation des alliages sur structure unidimensionnelle, des nanofils de GaAs ont été réalisés par voie descendante. Parallèlement à leur fabrication, des nanostructures 2D ont également été fabriquées par le même procédé et se présentent comme des ailettes de 100 nm de largeur. Afin de délimiter les contacts au sommet et au pied des nanofils, une gaine d'oxyde a été déposée à la surface des nanostructures. Cet oxyde a ensuite été gravé par plasma afin de libérer le sommet et le pied des nanofils en le conservant uniquement sur les flancs. Cette étape est détaillée dans le chapitre 4. Enfin, l'obtention des contacts alliés au sommet et au pied des nanofils III-V a été effectuée selon le procédé présenté précédemment : dépôt de 15 nm de métal par évaporation sous faisceau électronique suivi d'un recuit thermique rapide à 250°C pour le Pd et 300°C pour le Ni.

Cependant, sur les échantillons d'étude, une sur-gravure de l'oxyde a eu lieu. La gravure plasma attaquant également le GaAs de manière plus rapide que l'alumine, un creux s'est formé au niveau des nanostructures. Cet artefact n'a toutefois pas empêché l'étude de la formation d'alliages sur les nanostructures.

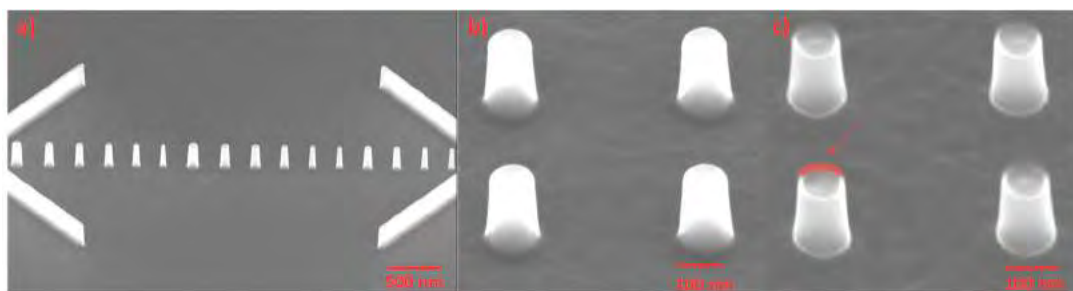


Figure III-20 : Image MEB de nanostructures en GaAs. a) Nanostructures 1D et 2D après gravure du GaAs. b) Nanofils de 80 nm après gravure du GaAs. c) Nanofils après sur-gravure de l'oxyde. Elle peut être observée au pied et également au sommet des nanofils, où les 5 nm d'oxyde apparaissent translucides (colorée en rouge).

Les observations MEB (Figure III-21a) et TEM (Figure III-21b) renseignent sur la formation de cet alliage aux extrémités des nanostructures. On remarque également une inhomogénéité en surface correspondant à des zones où il n'y a pas eu réaction (cercles bleus). De plus, des précipités de Pd, d'une taille de l'ordre de la dizaine de nanomètres, sont présents sur les flancs des nanofils (cercles rouges), ainsi qu'un agrégat au sommet de tous les nanofils (cercles verts), quel que soit leur diamètre. Cependant, il n'est pas présent sur les structures 2D également observées (Figure III-22). De plus, cet agrégat est également absent lorsque l'on effectue exactement le même procédé en substituant le palladium par du nickel (Figure III-23). Ces observations nous permettent donc de conclure que la formation de cet agrégat est propre au Pd et résulte probablement de la surface très réduite au sommet des nanofils. Sa composition, à 75 % en Pd et 25 % en As, peut s'expliquer par la désorption thermique de l'arsenic lors de la formation de l'alliage, qui est ensuite incorporé dans cet agrégat.

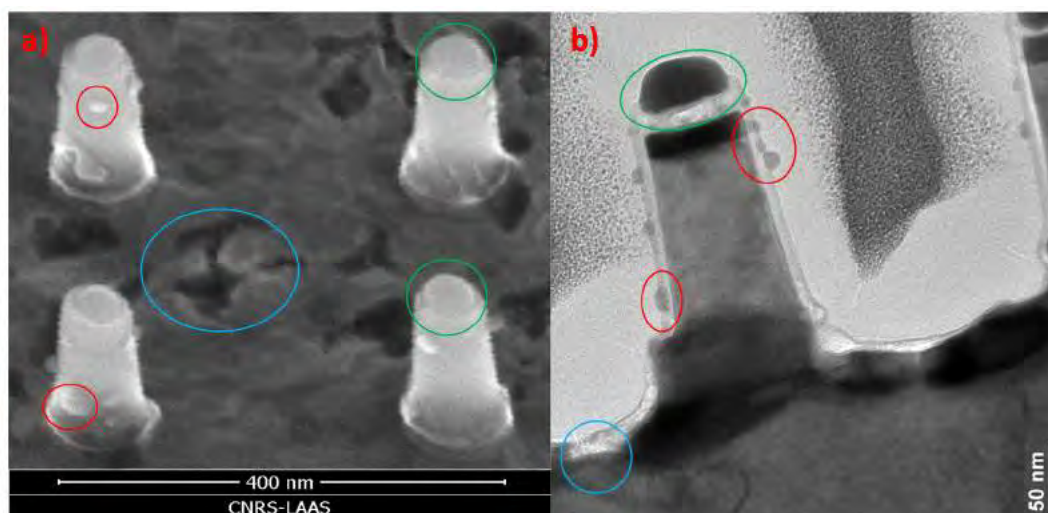


Figure III-21 : Images MEB (a) et TEM (b) d'un alliage de Pd formé sur nanofils de GaAs à 250°C mettant en avant le caractère non uniforme de l'alliage. Les cercles bleus correspondent aux zones non réagies, les rouges aux précipités de Pd et les verts aux agrégats reposant au sommet des nanofils. Un oxyde est présent sur les flancs pour prévenir la formation d'alliage à ce niveau. L'épaisseur de la lame TEM est de 100 nm pour des diamètres de nanofils allant de 30 nm à 80 nm.

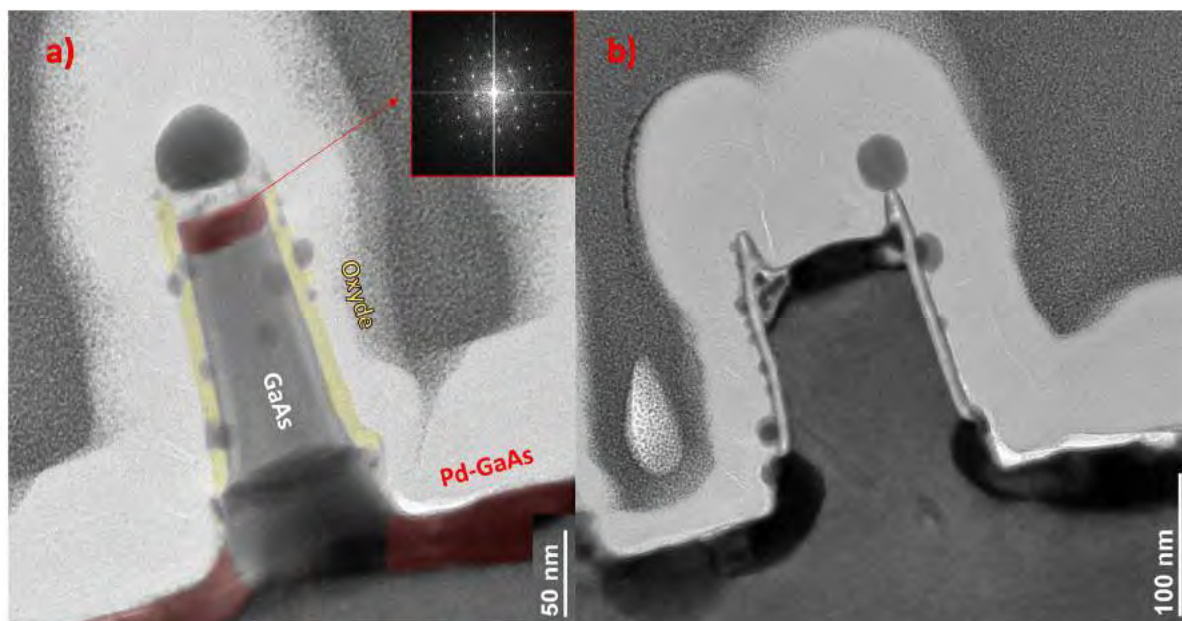


Figure III-22 : Images TEM avec FFT de l'alliage de Pd-GaAs formé sur des nanostructures sur-gravée en GaAs. On remarque des nucléi de métal déposés sur les flancs des nanostructures. a) Nanofil de GaAs de 40 nm de diamètre. L'image ne permet pas de délimiter nettement l'alliage au pied du nanofil. L'agrégat présent au sommet du nanofil est composé à 75% de Pd pour 25% d'As. b) Ailette de 100 nm de largeur pour 50 μm de long. On remarque l'absence de l'agrégat au sommet de celle-ci. L'épaisseur de la lame TEM est de 100 nm pour des diamètre de nanofils allant de 30 nm à 80 nm.

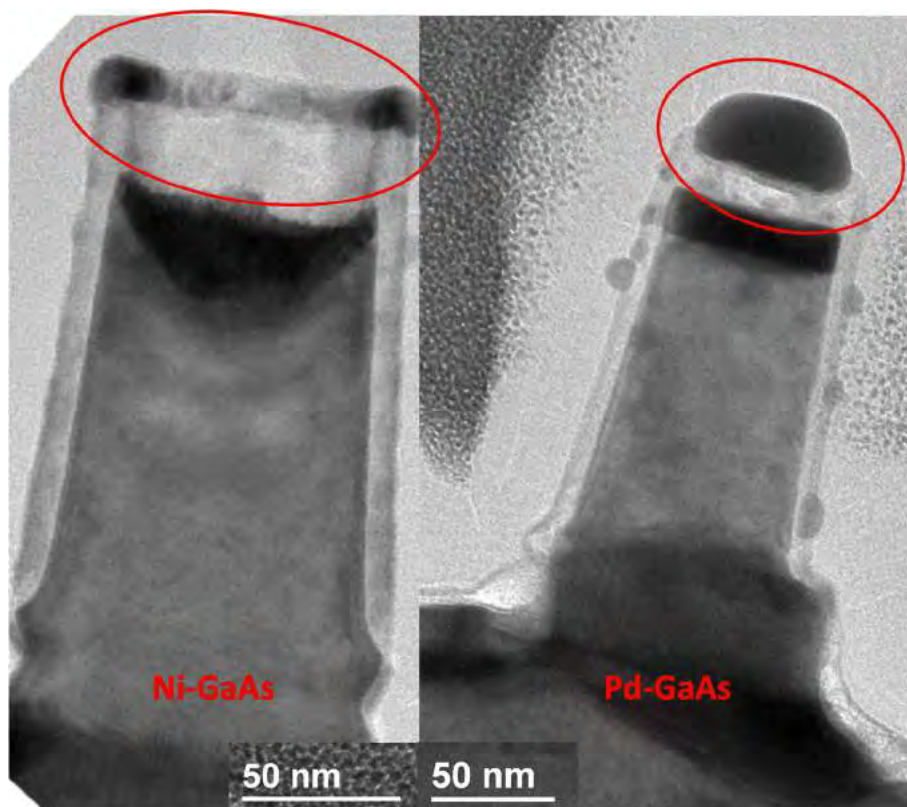


Figure III-23 : Images TEM d'un alliage de Ni-GaAs et Pd-GaAs formé sur structure 1D présentant tous deux la même surgravure. Le métal déposé n'étant pas en contact avec le GaAs forme une couronne dans le cas du Ni alors qu'il forme un agrégat dans le cas du Pd. L'épaisseur de la lame TEM est de 100 nm pour des diamètre de nanofils allant de 30 nm à 80 nm.

La couche alliée à base de palladium formée au sommet du nanofil est uniforme avec une épaisseur d'environ 20 nm, contre environ 30 nm au pied des nanofils. Par contre, l'alliage de nickel n'est pas uniforme diamétralement avec une forme de pointe inversée. D'après les analyses EDX (Figure III-24), l'alliage de palladium comprend les éléments Pd/Ga/As en proportion 60/20/10, composition proche de celle de l'alliage formé au pied du nanofil. De plus, on remarque grâce à l'analyse EDX localisée qu'il existe une ségrégation de Ga en surface de l'alliage, résultant en l'oxydation de celui-ci.

La formation de l'alliage $\text{Pd}_{12}\text{Ga}_5\text{As}_2$ a donc été réalisée sur des nanofils de GaAs. Cependant, divers défauts (zones non réagies, précipités sur les flancs, agrégats métalliques) sont présents et doivent être éliminés pour la réalisation d'un dispositif. Notamment, l'espace présent entre l'agrégat et l'alliage dans le nanofil est vide, pouvant entraîner un dysfonctionnement du dispositif. Dans la suite de ce chapitre, la formation du Ni-GaAs sur nanofils a également été étudiée.

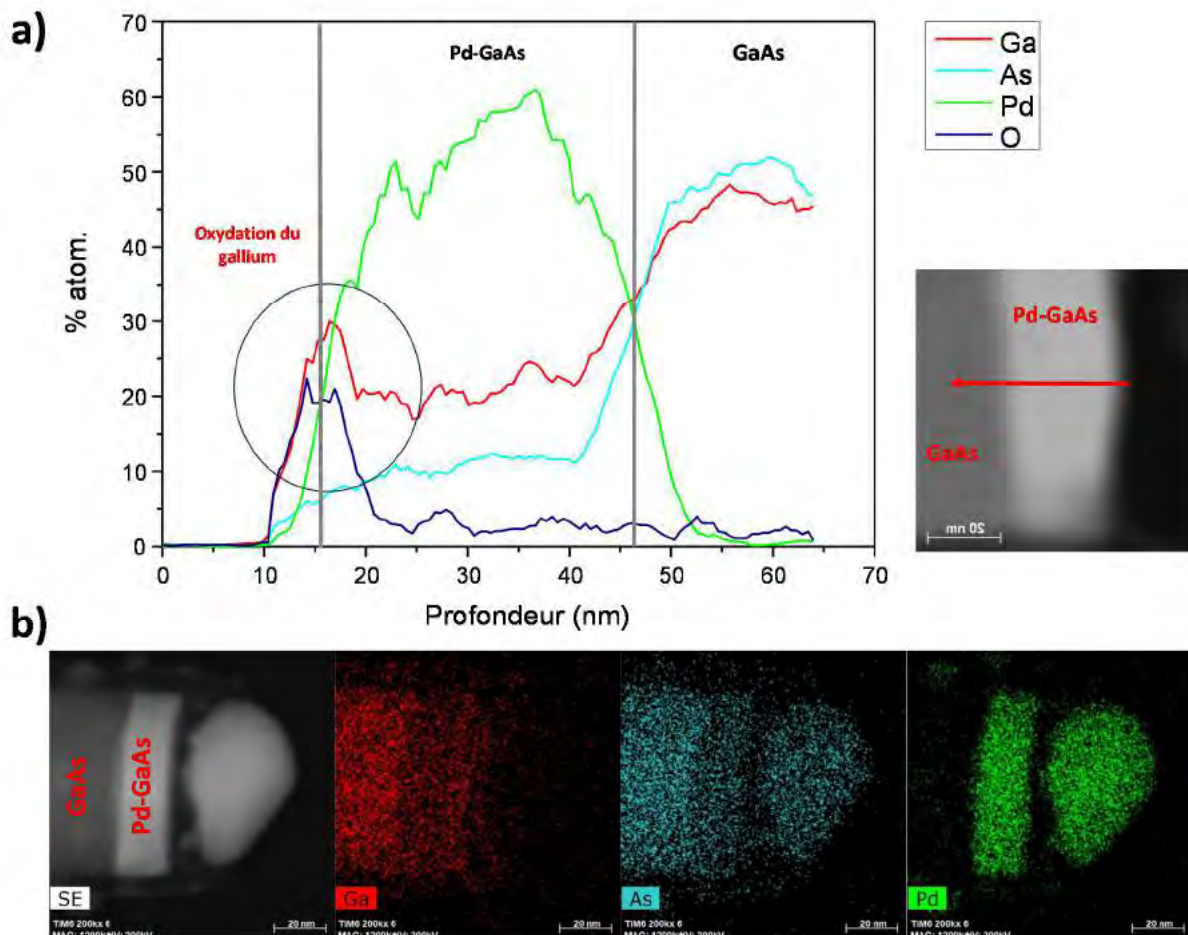


Figure III-24: Analyse EDX réalisée sur l'alliage Pd-GaAs situé au sommet d'un nanofil de GaAs. a) Analyse quantitative des éléments (réalisée dans le sens de la flèche) en fonction de la profondeur. On remarque la ségrégation du Ga à la surface qui s'est oxydé. La quantité de Pd au sein de l'alliage est faussée par la circularité de l'échantillon ainsi que par l'absorption du carbone utilisé pour confectionner la lame TEM. b) Répartition qualitative des éléments au sommet du nanofil. On remarque notamment la présence d'As dans l'agrégat.

2. Alliage Ni-GaAs sur nanofil

i - Observation et nature de l'alliage

De nouveaux échantillons de nanofils ont été réalisés sans la sur-gravure pour étudier l'alliage de Ni-GaAs. Contrairement à l'alliage Pd-GaAs, on n'observe pas de précipités sur les flancs du nanofil ou de zones non réagies (Figure III-25). Au pied du fil, l'alliage planaire est homogène en épaisseur, environ 20 nm tandis qu'au sommet, l'épaisseur n'est pas uniforme confirmant la première observation faites à la Figure III-23. Elle est d'environ 55 nm au centre, quel que soit le diamètre, mais est inférieure au niveau des bords des nanofils, de 40 nm à 20 nm environ pour des nanofils de 30 nm à 80 nm de diamètre respectivement (Figure III-26). Cela suggère que les mécanismes de diffusion et réaction du nickel dans le GaAs sont différents par rapport au cas du palladium. Enfin, aux bords des nanofils, l'interface alliage/GaAs forme un angle de $54 \pm 1^\circ$ avec la direction horizontale, indépendamment du diamètre du nanofil et correspondant au plan (111) du GaAs.

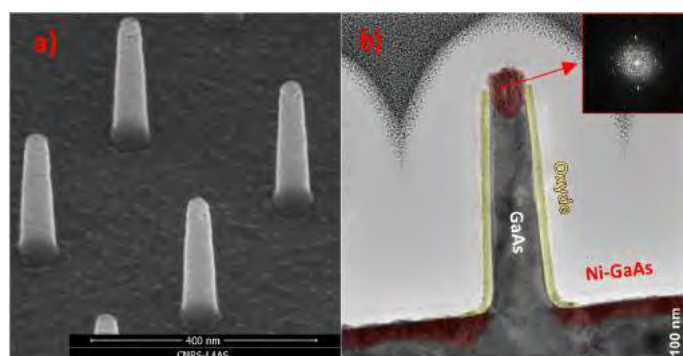


Figure III-25 : Images MEB (a) et TEM (b) avec FFT de l'alliage de Ni-GaAs formé à 300°C intégré au sommet et au pied d'un nanofil de GaAs. L'épaisseur au pied est d'environ 20 nm pour 55 nm maximum au sommet. L'épaisseur est toutefois plus faible sur les flancs.

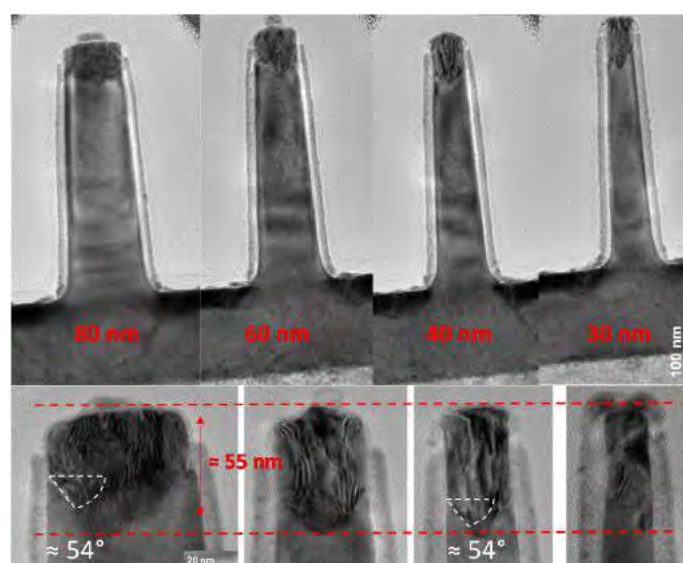


Figure III-26 : Images TEM de l'alliage de Ni-GaAs intégré sur des nanofils de différents diamètres. L'épaisseur de l'alliage au sommet du fil n'est pas impactée par le diamètre du nanofil

Ces observations permettent également d'attester du caractère cristallin des alliages présents au sommet et au pied du nanofil. Les analyses EDX menées au sommet du nanofil permettent également de connaître la composition de l'alliage qui est environ 53/18/29 en Ni/Ga/As en moyenne (Figure III-27). La zone de transition observable dans le spectre est due à la géométrie circulaire de la structure ne permettant pas d'avoir des délimitations abruptes dans l'axe de la mesure. Ces analyses sont également effectuées dans des zones plus localisées, mais la nature circulaire du nanofil et la trop faible quantité de matière ne permettent pas d'avoir une quantification fiable (Figure III-28).

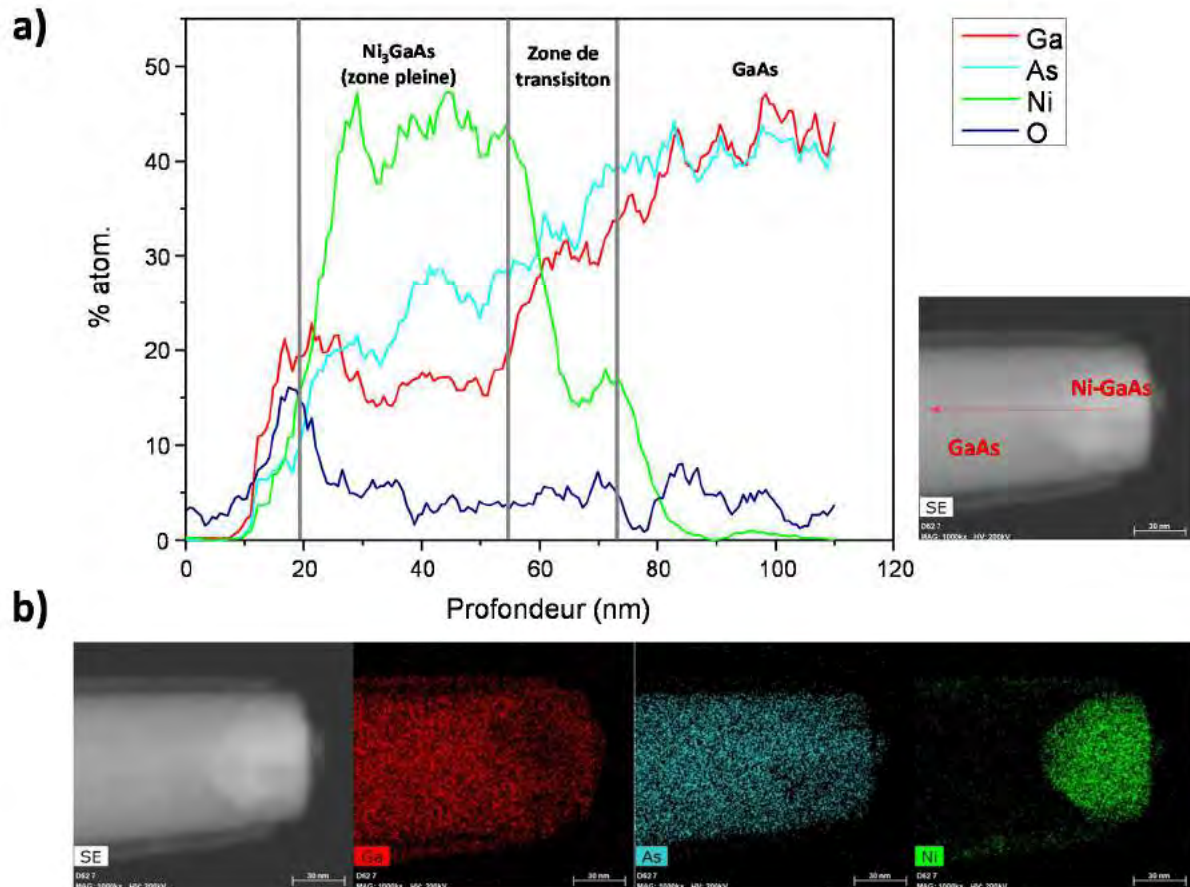


Figure III-27 : Analyse dispersive en énergie réalisée sur un nanofil de 60 nm de diamètre dont l'alliage avec le Ni a été formé à 300°C. a) Analyse quantitative des éléments en fonction de la profondeur. L'orientation de la mesure est représentée par la flèche rouge. La zone de transition provient du profil de l'alliage. On observe également une ségrégation du Ga au sommet du nanofil. b) Répartition qualitative des éléments au sommet du nanofil.

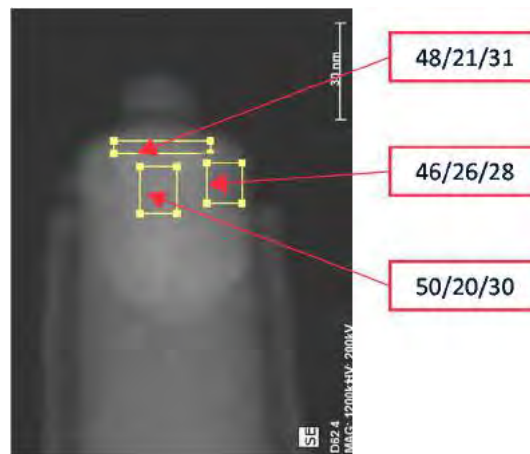


Figure III-28 : Quantifications localisées par analyse EDX au sein de l'alliage Ni-GaAs formé au sommet des nanofils.

En revanche, les diagrammes de diffraction obtenus par FFT permettent une comparaison entre la structure obtenue sur les nanofils et la structure Ni_3GaAs référencée dans la littérature [129]. Les résultats sont représentés dans le Tableau 7 et la Figure III-29a. A l'exception d'un seul point de mesure, les différences entre les distances interplanaires théoriques et expérimentales sont toutes inférieures à 5%, soit de l'ordre du dixième d'ångström. Le même résultat est obtenu concernant les valeurs des angles entre les différentes directions cristallographiques, ce qui permet de conclure que la phase cristalline obtenue au sommet des nanofils est du Ni_3GaAs , similaire à celle formée au pied des nanofils. De plus, à l'aide d'images haute résolution (Figure III-29b), on observe que l'interface oblique entre le Ni_3GaAs et le GaAs vérifie la relation épitaxiale : $\text{Ni}_3\text{GaAs} (0001) \parallel \text{GaAs} (111)$ [120].

Tableau 7 : Comparaison des distances interplanaires et des angles entre plans de la structure de Ni_3GaAs référencée dans la littérature et la structure obtenue au sommet des nanofils.

Paramètres	Référence	Zone 1		Zone 2		Zone 3	
		Mesuré	Ecart	Mesuré	Ecart	Mesuré	Ecart
d1 [0,0,0,2] (Å)	2,515	2,458	-2,27%	2,474	-1,63%	2,515	0,00%
d2 [0,-1,-1,2] (Å)	2,012	1,934	-3,88%	1,964	-2,39%	1,984	-1,39%
d3 [0,-1,-1,0] (Å)	3,352	3,094	-7,70%	3,340	-0,36%	3,349	-0,09%
d1^d2 (°)	36,9	38,3	3,9%	37,3	1,1%	38,9	5,5%
d1^d3 (°)	90,0	90,5	0,6%	90,9	1,0%	91,8	2,0%

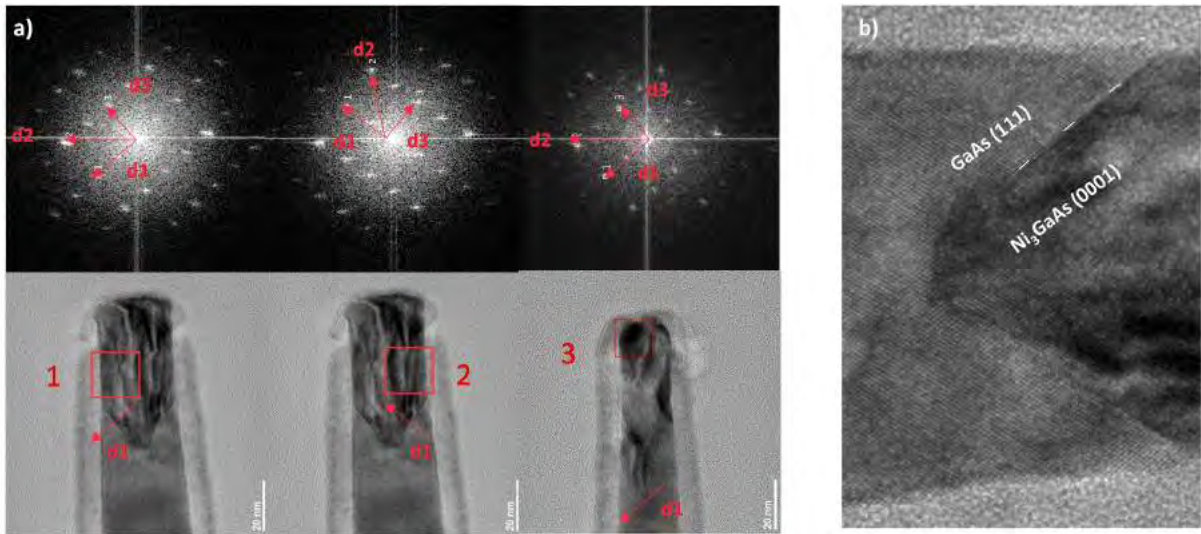


Figure III-29 : a) Images TEM réalisées sur des alliages formés au sommet de nanofils de GaAs ainsi que la transformée de Fourier associée. Les flèches rouges indiquent une rotation de 90° entre le bord gauche (1) et droit (2) d'un même nanofil. b) Interface présentant les faces cristallines (111) du GaAs et (0001) du Ni_3GaAs . On retrouve les mêmes faces sur l'autre bord du nanofil.

Le fait que les diagrammes de diffraction obtenus par FFT sur les alliages au pied des nanofils soient similaires permet de conclure que ces alliages sont de même structure cristalline. Cela constitue donc la première démonstration de contacts de nature symétriques obtenus sur nanofil vertical de matériaux III-V.

Toutefois, il est nécessaire de proposer un mécanisme de formation d'un tel alliage qui présente un profil très différent de celui obtenu à partir du palladium.

ii - Formation de l'alliage Ni_3GaAs au sommet des nanofils

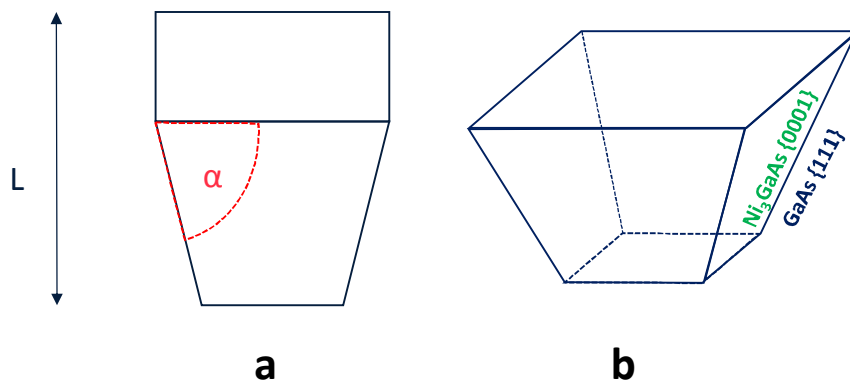


Figure III-30 : Schémas représentant la forme de l'alliage de Ni_3GaAs formé dans le nanofil. a) Vue 2D observée au TEM, les grandeurs L et α , constantes indépendantes du diamètre, valent respectivement $\approx 55 \text{ nm}$ et $\approx 54^\circ$. b) Représentation 3D de la base de forme pyramidale.

Le profil de l'alliage de Ni-GaAs est très différent du profil simple de l'alliage Pd-GaAs. Bien que les images TEM soient en 2D, les relations épitaxiales observées précédemment nous permettent de proposer la géométrie 3D de l'alliage : il existe au sommet un cylindre plein puis, en dessous dans le milieu confiné du nanofil, une forme de pyramide à base carrée tronquée. Les 4 faces de cette pyramides sont les faces équivalentes $\langle 1000 \rangle$ du Ni_3GaAs et celles équivalentes $\langle 111 \rangle$ du GaAs (Figure III-30). L'épaisseur totale de l'alliage L au sommet des nanofils ne dépend pas du diamètre du nanofil dans la gamme considérée (30 nm à 80 nm). De même, l'angle α est constant ($\approx 54^\circ$).

La valeur constante de l'épaisseur maximale de diffusion indique que la formation de l'alliage à base de Ni est bloquée : le réservoir de Ni a été totalement consommé lors de la réaction. Dans le cas d'un réservoir illimité, le facteur limitant de la formation de l'alliage serait alors lié à la vitesse de diffusion du Ni et la longueur L de diffusion serait alors fonction du temps de recuit ($L \propto t^{1/2}$) comme présenté par Chen et al. [120] lors de la formation d'un alliage $\text{Ni}_4\text{InGaAs}_2$.

Les études structurales sur la formation d'alliages Ni-(III-V) dans la littérature présentent également un alignement des faces de l'alliage et du III-V :

- Chen et al. [120] reportent ce phénomène à l'interface $\text{InGaAs}/\text{Ni}_4\text{InGaAs}_2$ (Figure III-31). La relation épitaxiale de ces deux cristaux est : $\text{Ni}_4\text{InGaAs}_2$ (0001) $\parallel$ InGaAs (111).
- Rabhi et al. [127] ont également décrit ce phénomène lors de la formation de l'alliage sur GaAs. La relation épitaxiale énoncée est : Ni_3GaAs (0001) $\parallel$ GaAs (111).

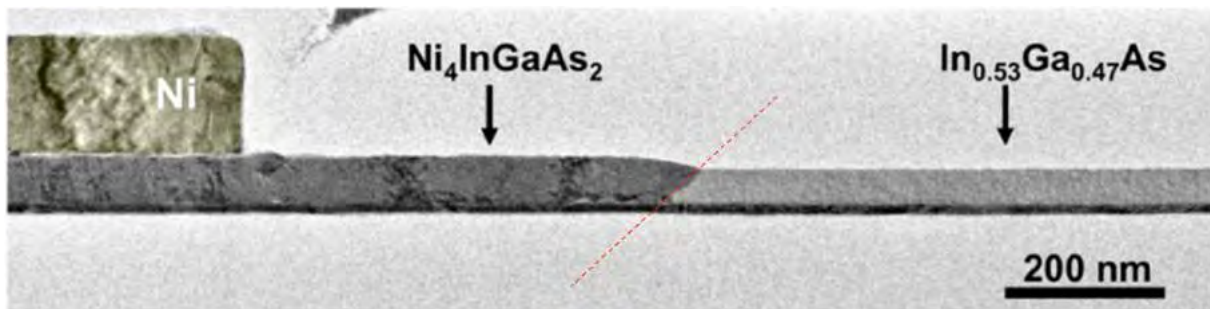


Figure III-31 : Formation d'un alliage entre le Ni et l'InGaAs dans une structure contrainte. Le HfO_2 sous l'alliage agit comme une barrière de diffusion et contraint la formation de l'alliage le long de celui-ci. On observe à l'interface entre l'alliage avec le Ni et l'InGaAs l'alignement des plan (0001) et (111). [120]

Ces précédents résultats sont concordants avec notre étude et permettent d'affirmer que l'interface Ni_3GaAs (0001) $\parallel$ (111) GaAs est énergétiquement plus stable. Cependant, au même titre que la formation du NiSi [22], [130], la phase cristalline formée dans des nanofils n'est pas nécessairement la phase en équilibre avec le substrat. En effet, le confinement dans une structure 1D peut inhiber la formation d'une phase du fait d'une expansion volumique trop grande, du blocage de la formation

d'une phase avec un trop grand désaccord de maille ou de la formation plus rapide d'une phase au détriment d'une phase plus stable [131].

Lors de la formation d'un alliage par diffusion réactive, la phase formée est généralement celle dont la formation est la plus rapide et qui permet une diffusion rapide [132]. C'est le cas de la phase Ni_3GaAs [127] qui s'avère également être une des phases stables formées sur les échantillons planaires [111]. De fait, toutes ces observations convergent vers la formation de la phase Ni_3GaAs obtenue dans cette étude. Cependant, le front de diffusion observé n'est pas totalement selon le plan (111) du GaAs. Un argument cinétique est effectivement en cause.

Le mécanisme proposé décrivant la diffusion du Ni dans le GaAs est schématisé dans la Figure III-32. Celui-ci est scindé en deux régimes :

- Le premier régime, correspond à une diffusion avec des cinétiques différentes : aux bords du fil, où il existe une interface triple $\text{Ni}/\text{GaAs}/\text{Al}_2\text{O}_3$, la diffusion est plus lente qu'au centre. Ce ralentissement de la vitesse de diffusion a également été observé par Chen et al. [120] où la présence de HfO_2 a également ralenti la diffusion du Ni au sein de l'alliage InGaAs . Le profil de diffusion résultant est alors sphérique et ne suit pas de direction cristalline particulière.
- Ce premier régime est interrompu lorsque les fronts de diffusion sont assez éloignés pour qu'une face (0001) de la structure du Ni_3GaAs s'aligne avec une face (111) du GaAs, ce qui se traduit par un angle de $\approx 54^\circ$. Cette interface vérifie alors la relation épitaxiale de ces deux cristaux et est stable. Les différences de vitesse de diffusions ne sont alors pas assez importantes pour briser cet alignement des deux faces. A partir de ce moment, un mécanisme de formation couche par couche de l'alliage est initié.

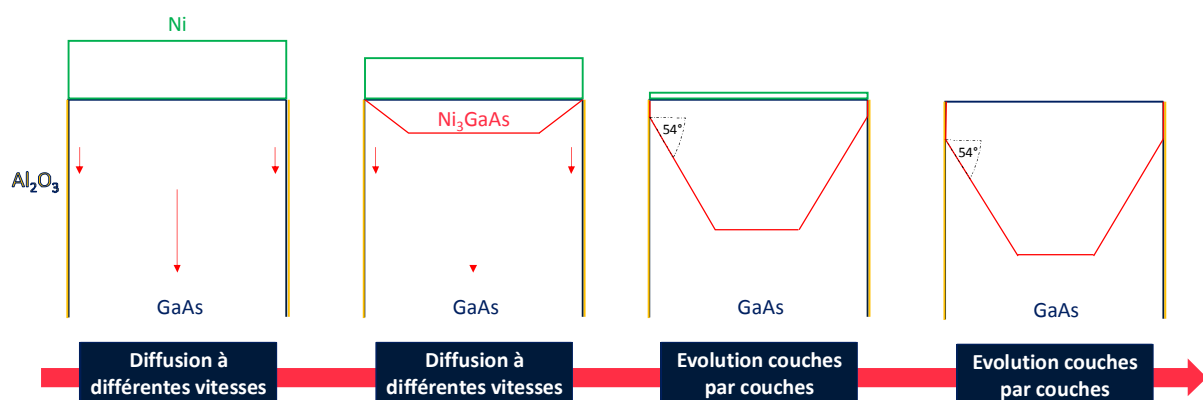


Figure III-32 : Mécanisme de formation de l'alliage Ni_3GaAs au sommet d'un nanofil. Elle commence par diffuser rapidement au centre alors que la diffusion est ralentie par l'interface avec l' Al_2O_3 sur les bords. Une fois qu'une face avec un angle de 54° (vérifiant la relation épitaxiale) apparaît, la diffusion de l'alliage se fait alors couche par couche.

Ce mécanisme permet d'expliquer le profil de l'alliage : il est formé lors du premier régime de diffusion puis est conservé par le second. A partir de cette déduction, on peut émettre deux hypothèses concernant le profil de l'alliage Pd-GaAs :

- (i) Pas de réduction de la vitesse de diffusion à l'interface triple, menant à un front de diffusion unique.
- (ii) Pas de relation épitaxiale avec les faces $\langle 111 \rangle$ du GaAs, ne menant pas à l'évolution couche par couche.

Des alliages Pd-GaAs et Ni-GaAs ont été formés au sommet des nanofils. D'après les caractérisations structurales effectuées sur ces alliages, les compositions $\text{Pd}_6\text{Ga}_2\text{As}_1$ et Ni_3GaAs ont été obtenues. Celles-ci sont similaires aux compositions obtenues au pied des nanofils, ce qui démontre la réalisation de contacts source/drain symétriques sur des nanofils verticaux de matériaux III-V. Ces analyses ont également permis de mettre en avant un phénomène de ségrégation de Ga à la surface des alliages formés.

Le profil de diffusion du Ni est plus complexe que celui du Pd qui possède un front de diffusion unique. Les caractérisations TEM ainsi que les précédents résultats obtenus sur des alliages similaires et dans des milieux confinés ont permis de proposer un mécanisme de formation de l'alliage qui est fortement modifié par la présence d'un oxyde sur le flanc des nanofils. La formation d'un tel alliage au sommet des nanofils d'InAs doit être vérifiée.

E. Alliage sur nanofil d'InAs

Les résultats présentés dans le Tableau 5 démontrent que la résistivité de l'alliage formé entre le Ni et l'InAs est bien plus faible que sur GaAs ($\approx 10^{-9} \Omega \cdot \text{cm}^2$). Ces contacts ont été implémentés sur des transistors à base de nanofils horizontaux d'InAs au sein de l'équipe MPN du LAAS [133] et ont ainsi démontré leur efficacité (Figure III-33).

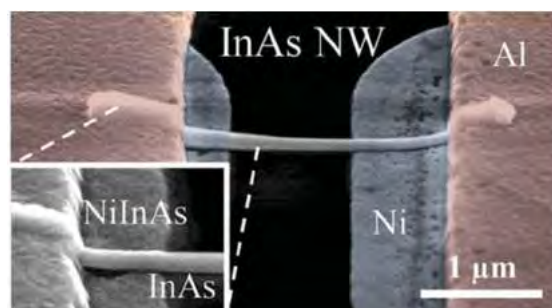


Figure III-33 : Image MEB d'un nanofil horizontal d'InAs utilisé comme canal d'un transistor à effet de champ. Les contacts aux extrémités du nanofil sont un alliage NiInAs. [133]

Les nanofils d'InAs, obtenus par croissance sur silicium, ont été utilisés pour démontrer la formation d'un alliage faiblement résistif à base de nickel. 15 nm de Ni ont été déposés suivi d'un recuit thermique rapide à 300°C pendant 1 min. L'observation MEB montre la formation de l'alliage sur les nanofils (Figure III-34) sur une épaisseur de 80 nm, permettant ainsi un contact peu résistif au sommet du nanofil. Il faut remarquer que ce procédé appliqué sur les nanofils d'InAs obtenus par croissance permet d'obtenir un alliage NiInAs au sommet mais un siliciure NiSi au pied du fil. La microscopie par transmission permettrait de répondre à diverses questions restantes telles que la composition exacte de l'alliage, la formation de l'alliage NiInAs au pied du nanofil par diffusion du Ni dans le Si ou encore le profil exact de diffusion du Ni dans l'InAs. Cependant, cette première observation couplée aux précédents résultats de l'équipe permet de s'assurer de la viabilité du procédé pour obtenir des contacts fiablement résistifs sur nanofils verticaux d'InAs.

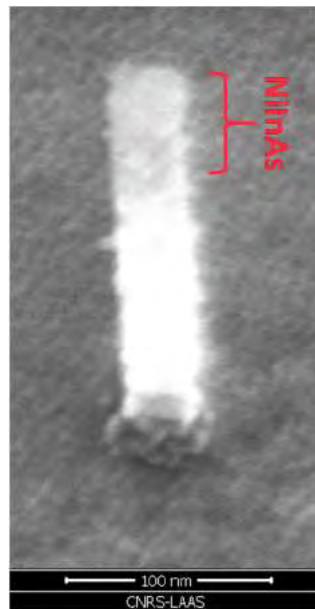


Figure III-34 : Image MEB d'un nanofil d'InAs dont l'alliage avec le nickel s'est formé au sommet. L'alliage a une épaisseur de 80 nm.

F. Conclusion

Ces expériences sur nanofils ont permis de renforcer le choix du nickel comme métal d'alliage. Les études électriques et métallurgiques ont révélé une résistance de feuille moindre du Ni-GaAs par rapport au Pd-GaAs ainsi qu'une meilleure robustesse vis-à-vis des traitements thermiques : Le Ni-GaAs est stable jusqu'au moins 350°C contrairement au Pd-GaAs qui modifie sa structure dès 350°C.

L'intégration de ces alliages sur nanofils a révélé des structures polycristallines.

- (i) Pour l'alliage $\text{Pd}_6\text{Ga}_2\text{As}$ formé au sommet des nanofils, il a été mis en évidence un craquèlement lors de la formation de l'alliage ainsi que des nucléis de palladium présents sur les flancs des nanofils. Ceux-ci doivent être éliminés sélectivement pour éviter tout court-circuit ou capacités parasites détériorant le fonctionnement d'un transistor. De plus, un agrégat de palladium se forme au sommet du nanofil contrairement à l'alliage à base de nickel.
- (ii) L'alliage Ni_3GaAs obtenu au sommet des nanofil ne présente aucune de ces complications et son emploi pour obtenir des contacts faiblement résistifs sur InAs ayant été prouvé, il est choisi comme le métal optimal afin d'obtenir des contacts alliés symétriques sur nanofil verticaux de matériaux III-V. De plus, la formation de cet alliage a été explicitée en deux phases, une première régie par des vitesses de diffusion différentes entre le centre du nanofil et ses bords et une seconde régie par la relation épitaxiale : $\text{Ni}_3\text{GaAs} (0001) \parallel \text{GaAs} (111)$, menant à une évolution couche par cocouche.

Chapitre IV : Diélectrique de grille – Obtention d'un oxyde de grille avec une bonne interface avec le canal III-V

A. Enjeux et état de l'art

1. Problématique des oxydes des matériaux III-V

Le diélectrique de grille est une pièce essentielle au bon fonctionnement du transistor à effet de champ. Il est l'élément permettant l'isolation entre le canal de conduction et la grille, empêchant donc les courants de fuite dans la grille tout en permettant la création d'un champ électrostatique modulant la conduction dans le canal. La miniaturisation des composants électroniques s'accompagne généralement de la réduction de l'épaisseur du diélectrique de grille, elle entraîne une augmentation des courants de fuite. De plus, aux nœuds sub-10 nm, des oxydes d'une épaisseur équivalente (EOT) de 0.5 nm seulement sont utilisés. Les premières couches à l'interface avec le semiconducteur ne sont plus négligeables devant l'épaisseur totale de l'oxyde et les défauts d'interface peuvent avoir un effet prépondérant.

Dans la filière silicium, l'oxyde de silicium, le SiO_2 , a été utilisé comme oxyde de grille jusqu'au nœud 65 nm car celui-ci était obtenu de manière aisée, un simple recuit thermique, et ses propriétés électriques (isolation, interface) étaient excellentes (Figure IV-1). Cependant, pour continuer la diminution des dimensions, de nouveaux diélectriques ont dû être utilisés : ces matériaux à forte permittivité, dits « high-k », présentent une constante diélectrique plus élevée permettant d'utiliser, à capacité égale, une épaisseur de diélectrique plus grande fournissant une meilleure isolation électrique.

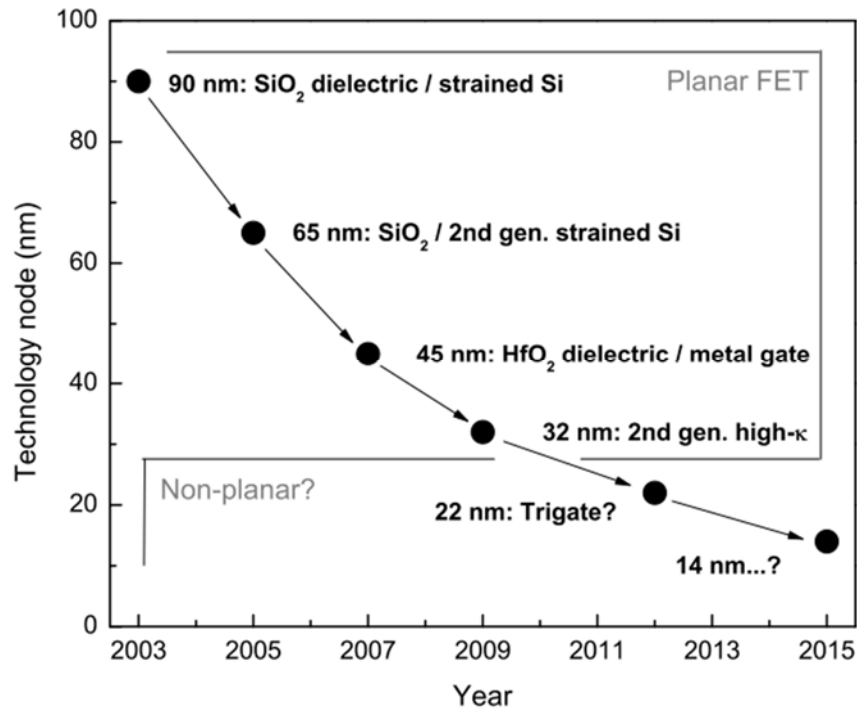


Figure IV-1 : Evolution des nœuds technologiques selon Intel de 2003 à 2013. [134]

Les oxydes naturels des matériaux III-V, et notamment ceux à base d'In, Ga et As, sont de très mauvaise qualité pour être utilisés comme couche active d'un transistor. La présence de différents oxydes peu stables (As₂O₃, As₂O₅, Ga₂O₃, Ga₂O, In₂O₃, GaAsO₄ et InAsO₄ [135]) est, selon la communauté scientifique, la cause de problèmes rencontrés lors de la réalisation de transistors sur ces matériaux tels que la dispersion en fréquence de la capacité de la grille ou encore une dégradation de la mobilité électronique du canal [48]. L'un des effets néfastes à l'obtention d'une bonne qualité de diélectrique sur III-V est le « verrouillage du niveau de Fermi ». Ce verrouillage du niveau de Fermi est dû, dans le cas des matériaux III-V, à la présence des espèces oxydées à la surface, concentrant ainsi une grande quantité de défauts à l'interface. Il existe 4 types de défauts qui ont été identifiés perturbant le champ électrique qui contrôle la conduction dans le canal [136], [137] (Figure IV-2) :

- Les charges piégées à l'interface (D_{it}): Ces défauts sont localisés à l'interface oxyde/semiconducteur et peuvent être causés par des impuretés ou des défauts de structures pouvant être causés par l'oxydation. Ils peuvent être chargés ou déchargés et réagir au potentiel électrique appliqué. Ils induisent une recombinaison des porteurs de charge et entraînent une courbure des bandes à l'interface qui étire la caractéristique C-V en régime de déplétion. Si les défauts sont trop importants, on observe le verrouillage (ou ancrage) du niveau de Fermi rendant alors la capacité insensible à la tension appliquée.

- Les charges fixes de l'oxyde (Q_f) : Ces défauts sont créés lors du procédé d'oxydation ou de dépôt de l'oxyde de grille. Ils sont localisés proches de l'interface (2 nm) et sont responsables du décalage en tension de la tension de bandes plates (V_{FB}).
- Les charges piégées dans l'oxyde (Q_{tr}) : Ces charges peuvent être positives ou négatives et correspondent à des trous ou des électrons piégés dans l'oxyde. Différents mécanismes peuvent être à l'origine de ces défauts tels que des ionisations radiatives.
- Les charges mobiles de l'oxyde (Q_m) : Ces charges correspondent à des impuretés ioniques présentes dans le matériau. Les ions Na^+ , Li^+ ou encore K^+ sont des ions que l'on retrouve dans le SiO_2 . Elles sont responsables notamment de l'hystérésis observée lors des mesures C-V.

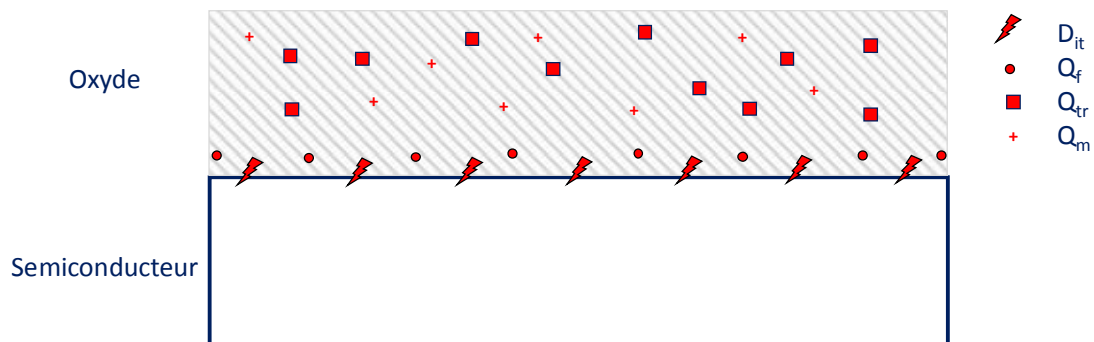


Figure IV-2 : Schéma des défauts présents dans l'oxyde sur un semiconducteur.

L'impact combiné de ces défauts est résumé sur la figure Figure IV-3.

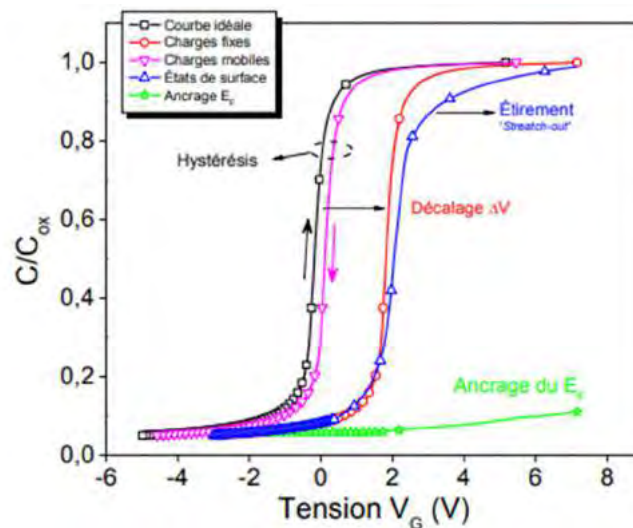


Figure IV-3 : Mesures C-V appliqué sur un empilement Metal/Oxyde/Semiconducteur et l'impact des différentes charges sur l'allure de la courbe.

Parmi ces défauts, les défauts à l'interface sont les plus étudiés dans le cas des matériaux III-V car ils sont propres à l'interface et définissent sa qualité. S'ils sont trop nombreux, la mobilité des porteurs de charges dans le canal s'en retrouve diminuée réduisant alors l'attrait de ces matériaux. La réduction

des états d'interface, et donc le déverrouillage du niveau de Fermi, est un enjeu majeur pour la réalisation de transistors à base de matériaux III-V.

L'utilisation de techniques de pointe comme le dépôt par couches atomiques (ALD) par les industriels dans la filière silicium a grandement amplifié la recherche sur le dépôt d'oxyde à grande permittivité par cette technique [138]–[140]. Les oxydes les plus étudiés sur l'alliage $\text{In}_x\text{Ga}_{1-x}\text{As}$ sont l'oxyde d'hafnium (HfO_2) et l'oxyde d'aluminium (Al_2O_3). Les précurseurs utilisés pour obtenir ces oxydes, à savoir le tétrakis-éthylméthylaminohafnium (TEMAHf) et le triméthylaluminium (TMA), réagissent notamment avec les oxydes naturels et permettent leur élimination in-situ [141]. Cet effet d'auto-préparation de surface des oxydes déposés par ALD permet d'espérer une meilleure qualité d'interface que les oxydes naturels à base de III-V, permettant de déverrouiller le niveau de Fermi. D'autres approches, telles que l'obtention d'un oxyde de gallium par évaporation, ont été explorées mais n'ont pas donné de résultats aussi efficaces que l'emploi de l'ALD [142].

Cette synthèse a permis de mettre en évidence la complexité d'obtention d'un oxyde de grille permettant une commutation du canal tout en empêchant les courants de fuites. La majorité des matériaux III-V ont de très mauvais oxydes naturels induisant une accumulation de défauts à l'interface avec l'oxyde de grille. Afin d'améliorer le contrôle électrostatique de la grille sur le canal, il est nécessaire de trouver des techniques pour diminuer cette quantité de défauts. Les méthodes de dépôt ayant procuré les meilleures performances électriques sont la croissance du III-V et de l'oxyde par épitaxie par jet moléculaire (MBE) [143] sous atmosphère contrôlée afin d'éviter toute oxydation ou par la technique ALD en déposant des oxydes à forte permittivité [144]. Parmi les oxydes à forte permittivité, l' Al_2O_3 a reçu une attention particulière concernant son dépôt sur matériau III-V de par son effet d'auto-préparation de surface. La suite de cet état de l'art se concentrera donc sur les dépôts de cet oxyde ainsi que les techniques employées pour augmenter la qualité de l'interface oxyde de grille / canal semiconducteur.

2. Dépôt d'oxyde à forte permittivité

Le verrouillage du niveau de Fermi étant un effet néfaste causé par une forte concentration d'états à l'interface, des techniques de caractérisation de la densité d'états d'interface (D_{it}) ont été nécessaires pour optimiser les technologies de dépôt. Ces états réagissant à la fréquence du signal, ce sera donc par des mesures fréquentielles des capacités que le D_{it} sera calculé.

Bien que l'utilisation de l'épitaxie par jet moléculaire soit difficilement envisageable dans un procédé grand volume de fabrication des transistors, il est intéressant d'étudier les résultats obtenus par cette technique. En effet, l'atmosphère ultra vide contrôlée permet de grandement limiter l'oxydation du

semiconducteur et donc d'observer l'impact d'une interface sans contamination d'oxygène sur le comportement électrique d'un matériau III-V quasi-parfait.

Bhan et al. ont réalisé la croissance d'une couche de GaAs dopé n à $1.10^{18} \text{ cm}^{-3}$ suivi par le dépôt d'une couche de 7.5 nm et 15 nm d' Al_2O_3 [145]. Une étude électrique complète a été réalisée sur ces empilements. La permittivité relative k mesurée à l'aide des mesures C-V est comprise entre 3 et 5.3 qui est donc inférieure à la valeur de l' Al_2O_3 massif de 9.1. La permittivité étant une caractéristique intrinsèque du diélectrique, ces valeurs démontrent que l'intégrité de l'oxyde n'est pas parfaite. Cela peut provenir de conditions de croissance du « *high-k* » par MBE (évaporation). La densité de charges fixes dans l'oxyde Q_f est quant à elle de l'ordre de $1.10^{12} \text{ cm}^{-2}$, qui est une quantité habituellement détectée dans l' Al_2O_3 déposé sur Si [146], [147]. La densité de défaut à l'interface D_{it} reportée est de $5.10^{12} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ pour l'échantillon avec 7.5 nm d' Al_2O_3 contre $1.10^{13} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ avec une épaisseur de 15 nm. Ces valeurs, obtenues par MBE sur GaAs sans utilisation de techniques pour réduire les défauts à l'interface sont un bon repère pour évaluer les densités de défauts à l'interface obtenus sur GaAs.

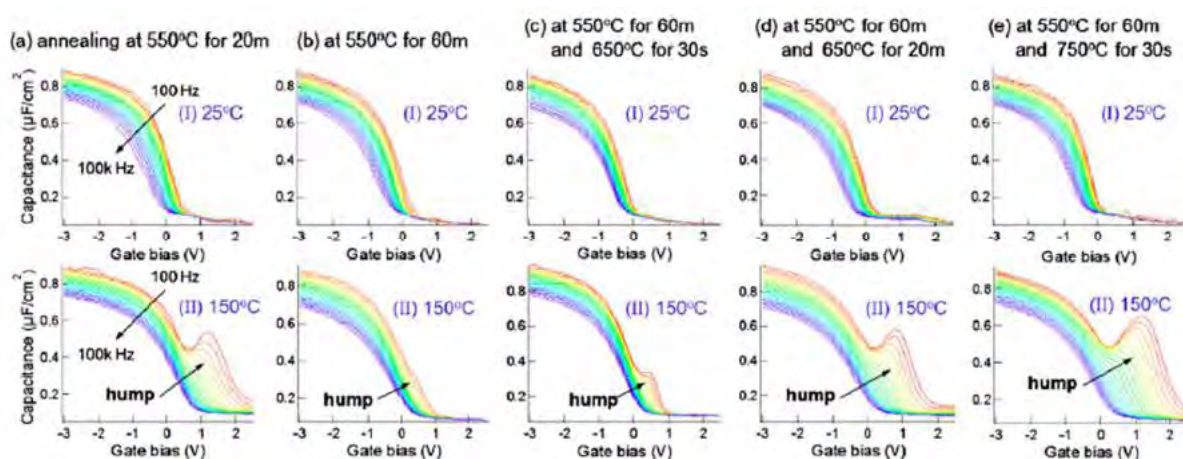


Figure IV-4 : Mesures C-V effectuées à 25°C et 150°C entre 100 Hz et 1 MHz sur un empilement $\text{Al}_2\text{O}_3/\text{P-GaAs}$. (a) - (e) Différents recuits thermiques effectués après dépôt de l'oxyde. La déformation observée à la déplétion est attribuée aux défauts d'interface D_{it} . [148]

Chang et al. ont étudié les effets de la reconstruction de surface du GaAs ainsi que les recuits post-déposition sur les défauts à l'interface [148]. 300 nm de GaAs dopé P ou N ont été obtenus par MBE. Selon les conditions de températures et de pressions, la surface du GaAs était soit enrichie d'As (4x4) ou de Ga (4x6). 9 nm d' Al_2O_3 sont ensuite obtenu in situ par évaporation. Un recuit post-déposition est alors effectué autour de 550°C (Figure IV-4). Les mesures C-V sur cet empilement sont effectuées à 25°C et 150°C afin de sonder tous les défauts à l'interface, dont ceux éloignés des bandes de conduction et valence [149], [150]. Les déformations observées lors des mesures à 150°C sont attribuées aux défauts d'interface. Le recuit le plus optimisé pour réduire l'impact des défauts d'interface est à 550°C pendant 60 min. Le mécanisme réduisant la densité de défaut à l'interface par

le recuit n'est pas explicité, cependant, des recuits prolongés à 650°C ou à des températures supérieures entraînent une diffusion du Ga dans la couche d'oxyde, dégradant ainsi la qualité de l'interface. Le calcul des défauts à l'interface effectués suite à un recuit optimisés à 550°C a permis de démontrer qu'une surface enrichie en Ga permet de gagner un ordre de magnitude sur la densité D_{it} , à savoir $2.10^{12} \text{ cm}^{-2}.\text{eV}^{-1}$ en milieu de bande interdite (Figure IV-5).

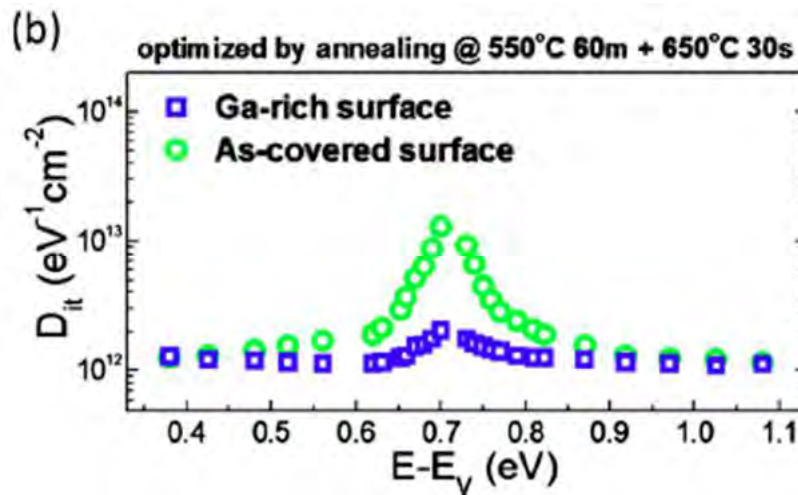


Figure IV-5 : Densité de défaut à l'interface D_{it} mesurée en fonction de leur niveau d'énergie dans la bande interdite. On remarque un gain d'un ordre de grandeur pour la surface enrichie en gallium. [148]

La même équipe de l'IMEC a également travaillé sur ces mêmes empilements en observant l'impact de la passivation sulfure sur les défauts d'interface [143]. Dans ce cas, entre la croissance du GaAs et le dépôt de l'oxyde, un plasma H_2S est effectué pendant 30 min afin de passiver la surface. Cette surface, initialement enrichi en Ga, est ainsi recouverte par l'élément S s'étant lié aux atomes de gallium. L' Al_2O_3 est ensuite obtenu par évaporation in situ. Il en résulte que la densité de défauts d'interface est effectivement réduite de $1,5.10^{13} \text{ cm}^{-2}.\text{eV}^{-1}$ à $2.10^{12} \text{ cm}^{-2}.\text{eV}^{-1}$ en milieu de bande interdite (Figure IV-6). Deux mécanismes sont avancés pour expliquer cette diminution : tout d'abord, la passivation sulfure empêchent l'apparition d'oxydes de GaAs habituellement présents en surface. L'état oxydé Ga^{1+} n'est plus présent grâce à la passivation et celui-ci serait responsable du pic observé en milieu de bande interdite. Deuxièmement, Merckling et al. ont démontré à l'aide de simulations que les contraintes engendrés par l'apparition de liaisons Ga-S et As-S étaient inférieures à celles engendrés lors de l'oxydation de la surface et la création des liaisons Ga-O et As-O. Ces deux effets convergent vers la diminution des défauts à l'interface constatée expérimentalement.

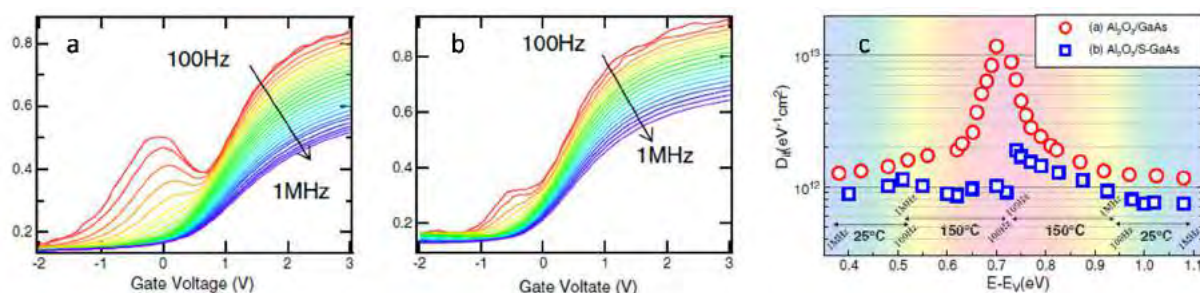


Figure IV-6 : Mesures C-V à 150°C effectuées sur l'empilement $\text{Al}_2\text{O}_3/\text{GaAs}$ sans (a) et avec (b) passivation sulfure. On observe une diminution des D_{it} présents dans la bande interdite (c). [143]

Des approches similaires ont également été étudiées avec des dépôts ALD. Fanciulli et al. (Bicocca, Milan) ont travaillé sur le dépôt d' Al_2O_3 par ALD sur $\text{In}_{0.47}\text{Ga}_{0.53}\text{As}$ [151], [152]. Les substrats sont plongés dans une solution de sulfure d'ammonium ($(\text{NH}_4)_2\text{S}$) afin de passiver la surface. Immédiatement après, les échantillons sont introduits dans la chambre de dépôt ALD. Les 5 premiers cycles du dépôt sont effectués en n'utilisant que le précurseur d'aluminium (TMA) afin de saturer la surface et de bénéficier de son effet d'élimination des oxydes natifs [141]. Des mesures d'ellipsométrie en cours de dépôt ont permis de démontrer que la présence d'atomes de soufre en surface n'a pas d'impact sur la vitesse de dépôt de l'oxyde de grille (Figure IV-7). A l'aide de mesures par spectrométrie photoélectronique X (XPS), il a été prouvé que la quantité d'états oxydés a diminué suite à la passivation sulfure (Figure IV-8). Des mesures C-V ont été effectuées à 200 K, cette température ayant été choisie pour amplifier l'impact des défauts d'interface (Figure IV-8d). On remarque que l'échantillon ayant subi une passivation sulfure révèle un impact des défauts d'interface plus faible, indiquant que leur densité est plus faible. Cependant, une mesure à 200 K ne permet pas de déterminer la densité réelle de défauts à l'interface, les niveaux d'énergie sondés étant seulement ceux proches de la bande de conduction.

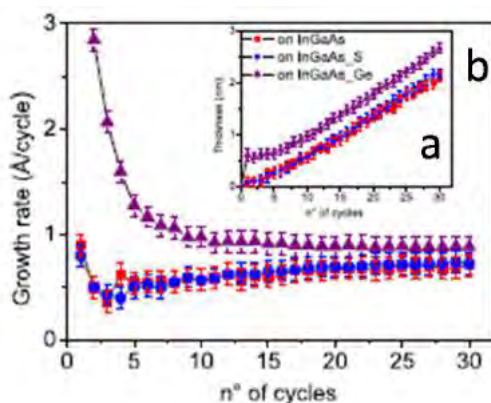


Figure IV-7 : Evolution de l'épaisseur (a) et de la vitesse de croissance (b) de l' Al_2O_3 en fonction du nombre de cycles d'ALD. Les points rouges correspondent au dépôt sans soufre et les points bleus correspondent au dépôt après passivation. [151]

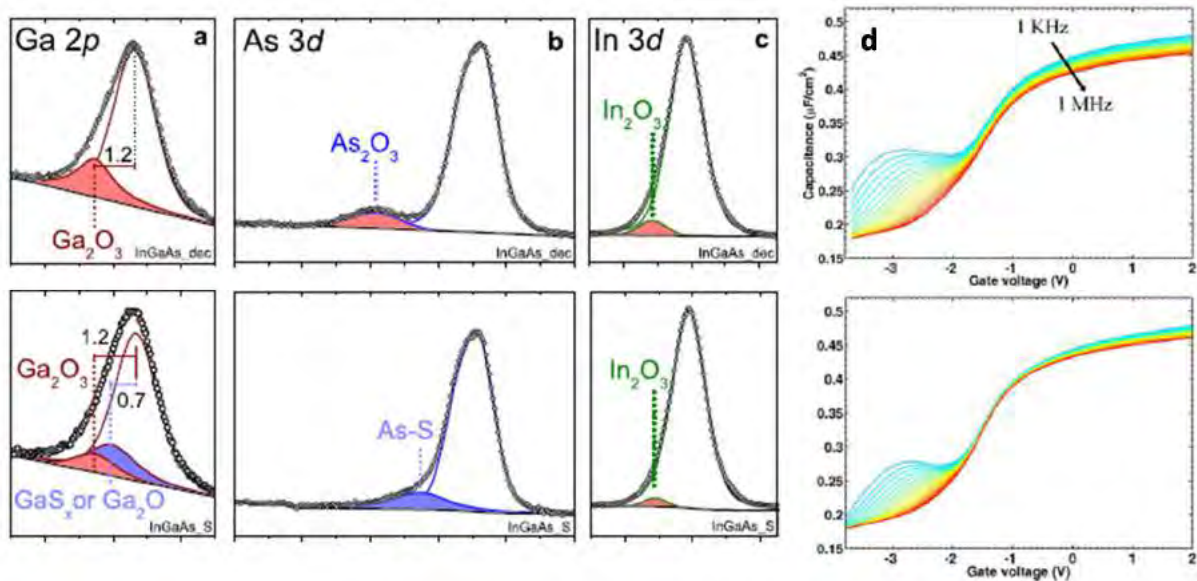
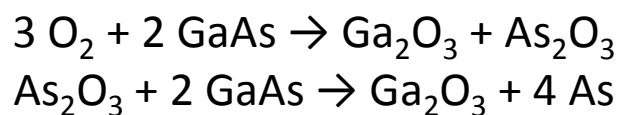


Figure IV-8 : Spectres XPS pour les liaisons Ga2p (a), As3d (b) et In3d (c). Ces mesures démontrent la diminution quantitative des états oxydés de l'InGaAs. (d) Mesures C-V réalisées à 200 K. La ligne du haut correspond à l'échantillon sans passivation sulfure, celle du bas avec passivation sulfure. [151]

Une autre technique de préparation de surface a été mise en place par Lim et al. appelée « oxydation à haute pression » [153]. Celle-ci consiste à effectuer une oxydation thermique contrôlée du GaAs avant de déposer l'Al₂O₃ par ALD. Les oxydes natifs sont éliminés de la surface de l'échantillon par un bain HF avant chargement dans un four d'oxydation. L'oxydation est effectuée à 400°C pendant 30 min sous haute pression en dioxygène (10 atm). Les 20 nm d'oxyde ainsi formés sont éliminés par un second bain HF et le dépôt par ALD est ensuite réalisé. Un recuit post-dépôt est effectué sous atmosphère inerte à 550°C. Les caractérisations électriques présentées dans la Figure IV-9 révèlent une réduction des D_{it} d'environ 60% à proximité du milieu de bande interdite pour obtenir $3.3 \cdot 10^{12} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ sur N-GaAs. Cette diminution attribuée à l'oxydation préliminaire est expliquée à l'aide d'analyse de surface. Les oxydes d'arsenic présents en surface se décomposent pour former des oxydes de gallium selon les relations suivantes :



L'oxydation préliminaire forme donc majoritairement des atomes d'arsenic volatiles et du Ga₂O₃ qui est ensuite éliminé par une attaque acide. Les analyses XPS révèlent que la surface du GaAs après cette attaque a un déficit en Ga. Les oxydes natifs se formant à la surface du matériau sont alors des oxydes d'arsenic tels que l'As₂O₃ et l'As₂O₅. Il ne se forme pas de Ga₂O₃ dû au déficit en Ga en surface. Il en

résulte une diminution de la quantité de Ga_2O_3 ainsi qu'une surface enrichie en As qui sont la cause de la diminution des D_{it} .

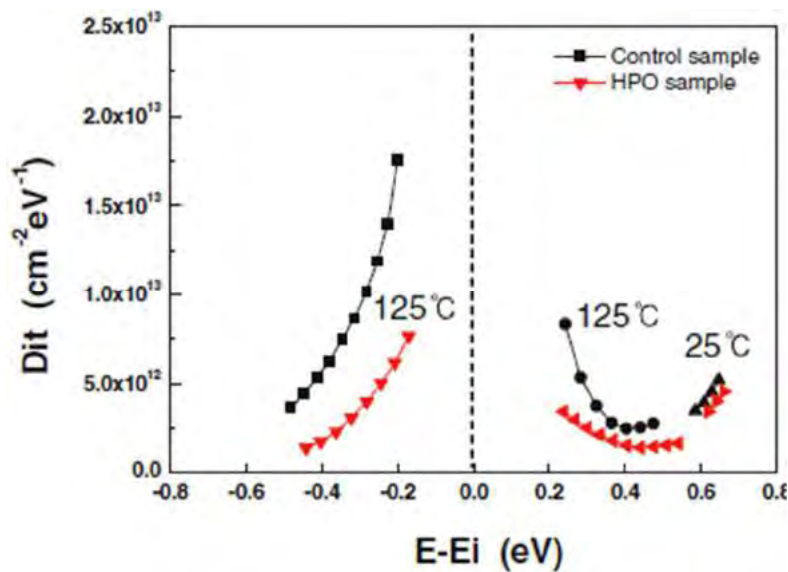


Figure IV-9 : Echelle non logarithmique - Mesure des D_{it} en fonction de leur position dans la bande interdite. Le procédé d'oxydation a permis une réduction de 60% des défauts d'interface. [153]

Ces résultats obtenus par dépôt d' Al_2O_3 sur substrat $\text{In}_x\text{Ga}_{1-x}\text{As}$ sont résumés dans le Tableau 8. Les techniques présentées, à savoir l'auto-préparation de surface grâce aux premiers cycles avec uniquement du TMA, la passivation au soufre, le recuit post-dépôt et l'oxydation sous haute pression, ont toute pour but d'améliorer la qualité de l'interface $\text{Al}_2\text{O}_3/(\text{III-V})$. Cela passe généralement par la diminution des états oxydés du GaAs qui sont naturellement présents à la surface du semiconducteur. On remarque à l'aide de ce récapitulatif que malgré la diversité des méthodes employées, la densité de défauts à l'interface D_{it} semble se stabiliser autour de $10^{12} \text{ cm}^{-2}\cdot\text{eV}^{-1}$. On constate également qu'il est nécessaire d'effectuer des mesures C-V à plus de 100°C pour sonder la totalité de ces défauts et ne pas sous-évaluer le nombre de défauts à l'interface.

Tableau 8 : Récapitulatif des techniques et densités de défauts d'interfaces mesurées obtenus sur Al_2O_3 déposé sur des substrats III-V

Référence	Substrat	Dépôt	Epaisseur (nm)	Réduction des défauts	$D_{it} (\text{cm}^{-2} \cdot \text{eV}^{-1})$	Remarques
Bhan et al. [145]	GaAs	MBE in situ	7,5	Aucune	$5 \cdot 10^{12}$ (minimum obtenu)	$Q_f : \approx 1 \cdot 10^{12} \cdot \text{cm}^{-2}$ k : entre 3 et 5,3
			15	Aucune	$1 \cdot 10^{13}$ (minimum obtenu)	$Q_f : \approx 1 \cdot 10^{12} \cdot \text{cm}^{-2}$ k : entre 3,5 et 4,8
Chang et al. [148]	GaAs	MBE in situ	9	Reconstruction de surface Recuit post déposition	$2 \cdot 10^{12}$ (milieu de bande)	Recuit à 550°C Reconstruction : Surface enrichie en Ga
Merckling et al. [143]	GaAs	MBE in situ	9	Passivation sulfure par plasma	$2 \cdot 10^{12}$ (milieu de bande)	Passivation : Réduit la D_{it} en milieu de bande
Fanciulli et al. [151]	InGaAs	ALD	10	Passivation sulfure en solution Premiers cycles TMA	Réduction constatée, non mesurée	Dépôt ALD non perturbé par la présence de soufre
Lim et al. [153]	GaAs	ALD	6	Recuit post déposition 550°C Oxydation sous haute pression	$3,3 \cdot 10^{12}$ (milieu de bande)	Oxydation : réduit les D_{it} en milieu de bande de 60%

B. Dépôt d' Al_2O_3 sur GaAs(100)

Une première étude structurale a été menée durant ces travaux de thèse sur des couches minces d' Al_2O_3 déposées par ALD sur GaAs(100) planaire. Une collaboration a été entamée avec l'équipe de Marco FANCIULLI de l'université de Milan Bicocca afin de profiter de leur expertise quant à la réduction des défauts d'interface à l'aide de la passivation sulfure et des premiers cycles TMA [151], [152]. Des dépôts sur substrats Si ont été effectués par les deux équipes pour comparer la qualité des couches déposées. Ces échantillons ont suivi le même protocole, à savoir :

(i) Désoxydation et passivation chimique :

Les oxydes natifs sont éliminés par un bain HF 5% pendant 1 min (Si) ou par un bain NH_3 à 29% pendant 30 s (GaAs). Après rinçage dans l'eau déionisée, les substrats sont plongés dans un bain

(NH₄)₂S pendant 1 min afin de passiver la surface. Après séchage sous azote, les échantillons sont immédiatement chargés et mis sous vide dans le bâti ALD.

(ii) Auto-préparation de surface in-situ par le TMA :

Les 5 premiers cycles sont constitués uniquement de pulses de 500 ms de TMA afin de désoxyder les espèces oxydées présentes en surface.

(iii) Dépôt de l'Al₂O₃ couche par couche :

Le dépôt de l'Al₂O₃ est effectué à 300°C pendant 51 cycles constitués de : 500 ms de TMA / 8 s de N₂ / 15 ms de précurseur d'oxygène / 8 s de N₂.

Les sources d'oxygène testées sont des molécules O₂ ou H₂O. Des mesures par ellipsométrie et des lames TEM ont été préparées pour caractériser ces échantillons (Tableau 9 ; Figure IV-10). On remarque la présence d'une couche interstitielle entre l'Al₂O₃ et le Si d'une épaisseur de 0.8 nm à 1.4 nm. Cette couche est connue, notamment dans les technologies cellule solaire à base de Si, et est composée de SiO_x provenant de la diffusion de l'oxygène compris dans l'Al₂O₃ [154], [155]. On remarque également que les épaisseurs calculées à l'aide des mesures ellipsométriques sont très proches de celles mesurées au TEM, prouvant la qualité de modèle utilisé. L'indice optique calculé est donc fiable et celui-ci nous montre que les couches obtenues au LAAS sont de même nature que celle obtenue à Milan. Par conséquent, les futurs dépôts seront réalisés au LAAS en utilisant H₂O comme précurseur.

Tableau 9 : Mesures ellipsométriques réalisées sur les couches d'Al₂O₃ déposées sur substrat Si.

Procédé	Biccoca H ₂ O	LAAS H ₂ O	LAAS O ₂
Epaisseur Al₂O₃ (nm)	5,5	5,6	4,9
Epaisseur SiO_x (nm)	0,8	0,8	1,3
Indice optique	1,627	1,623	1,615

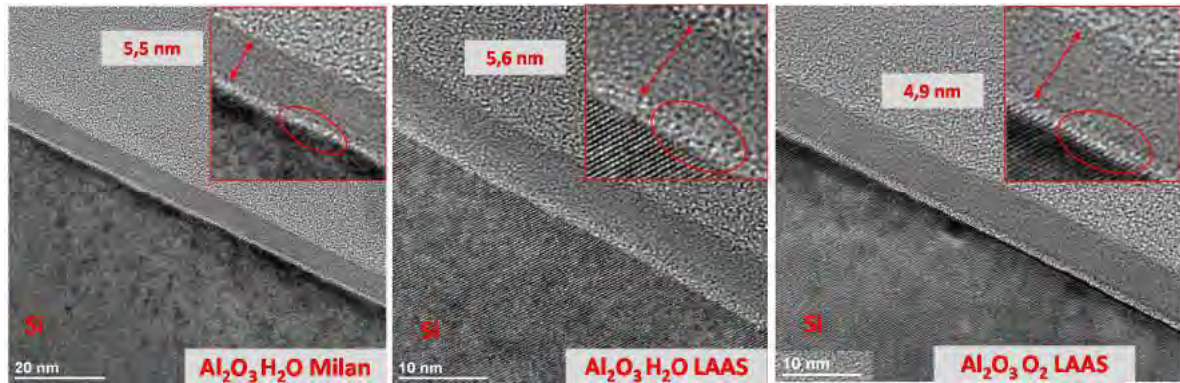


Figure IV-10 : Images TEM des dépôts Al_2O_3 sur substrat Si effectués à Milan et au LAAS. Le cercle rouge indique la présence d'une couche interstitielle.

Les dépôts réalisés sur GaAs(100) ont suivi le protocole présenté en Figure IV-11. Une couche d' Al_2O_3 , déposée à 0.13 nm/cycle, est uniforme et possède une épaisseur finale de 5.5 nm. L'absence de couche interstitielle est un bon indicateur de l'élimination des états oxydés à l'interface grâce aux préparations de surface mises en place. Afin de confirmer la qualité électrique de cet oxyde, des caractérisations électriques ont été menées.

- Désoxydation : NH_3 à 29% pendant 1min
- Passivation : $(\text{NH}_4)_2\text{S}$ à 20% pendant 1 min
- Rinçage : EDI pendant 1 min
- Désoxydation in-situ : 5 cycles TMA

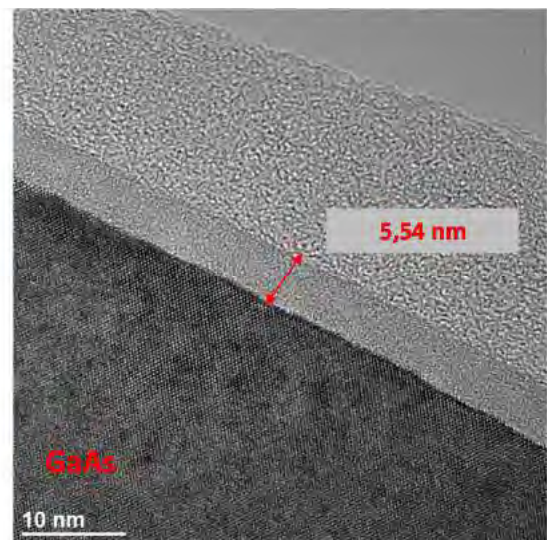


Figure IV-11 : Dépôt d' Al_2O_3 sur GaAs(100) réalisé au LAAS avec passivation au soufre et auto-préparation de surface in-situ.

C. Déterminations des caractéristiques électriques

Les caractéristiques C-V sur des empilements capacitifs Métal/Oxyde/Semiconducteur (ou MOSCAP) permettent la détermination des densités de défauts et de la permittivité k . Les méthodes pour sonder la totalité des défauts et discriminer chaque type de défaut sont détaillées par Nicollian et Brews [156]. Ce paragraphe s'intéressera principalement à la détermination de la densité de défauts à l'interface (D_{it}) ceux-ci étant responsable du verrouillage du niveau de Fermi. L'impact des autres défauts sera

visible sur les caractéristiques C-V mais leur densité ne sera pas mesurée. De plus, la détermination de la permittivité de l'oxyde k nous renseignera sur la qualité du dépôt effectué.

1. Méthodes de mesures de la densité de défaut d'interface D_{it}

De nombreuses méthodes ont été proposées pour mesurer D_{it} mais deux sont majoritairement utilisées : la méthode des hautes et basses fréquences et la méthode de la conductance.

La méthode des hautes et basses fréquences se base sur la différence de comportement d'une courbe à basse fréquence et d'une courbe idéale, sans défauts d'interface [137], [156]. Au lieu de modéliser cette courbe, elle est généralement assimilée à la mesure C-V à haute fréquence car les défauts ne peuvent réagir à une fréquence trop élevée. Cependant, pour observer le phénomène d'inversion sur GaAs lors des mesures C-V, la fréquence du signal doit être inférieure à 0.002 Hz [157], [158] ce qui n'est pas réalisable expérimentalement. Afin de contourner cette limitation, des méthodes pour augmenter la fréquence limite ont été développées [159] et se basent sur l'injection de porteurs de charges minoritaires par des zones sources/drain dopées, via photoillumination ou par l'augmentation de la génération de ces porteurs en augmentant la température. Ces méthodes annexes nécessitant une mise en place supplémentaire, la densité d'états à l'interface a été calculée via la méthode de la conductance.

La méthode de la conductance se base sur la mesure de la conductance parallèle G_p en fonction de la tension de grille appliquée et de la pulsation du signal. Cette conductance représente les mécanismes de perte dans la structure résultant du changement des états d'occupation des états d'interface [137], [156]. En effet, les porteurs majoritaires sont émis ou capturés par ces pièges, cela introduit une possibilité de conduction via les pièges dans le diélectrique. Le système perd alors de l'énergie ce qui se traduit par une augmentation de la conductance. Pour de basses fréquences, les pièges sont assez réactifs pour suivre la variation du signal et conserver l'équilibre thermodynamique, résultant en une conductance basse. A très hautes fréquences, ces pièges ne réagissent pas au signal, trop rapide, et aucune perte d'énergie n'est observée via la mesure de la conductance. Lors de mesures à des fréquences intermédiaires, les défauts réagissent aux variations du signal mais pas assez rapidement pour retourner à l'équilibre thermodynamique : cette perte d'énergie se traduit par un pic de conductance à une fréquence caractéristique de réponse de ces défauts f_{it} . Afin de relier ce pic de conductance à la densité de défauts, un modèle électrique est proposé par Schroder [137] :

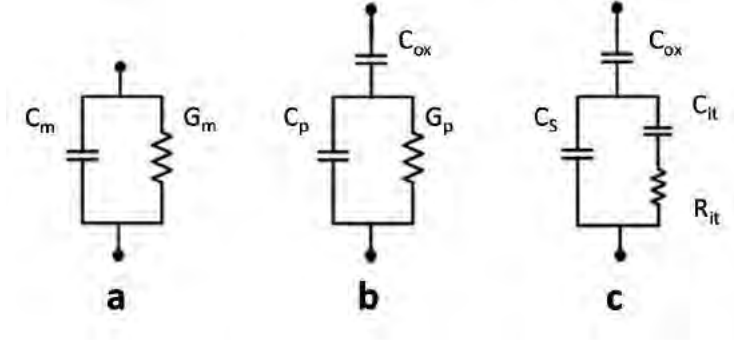


Figure IV-12 : Circuits équivalents proposés pour : a) les mesures effectuées lors de la caractérisation. b) Le circuit équivalent en extrayant la capacité d'oxyde C_{ox} de la capacité parallèle (C_p) et de la conductance parallèle (G_p). c) Le circuit équivalent représentant la perte d'énergie (R_{it}) et le temps de réponse (C_{it}) associés aux défauts et la capacité de surface du semiconducteur (C_s). [137]

De ce modèle, on peut isoler les valeurs de C_p et G_p :

$$\frac{G_p}{\omega} = \frac{q\omega D_{it}}{1 + (\omega\tau_{it})^2} = \frac{\omega G_m C_{ox}^2}{G_m^2 + \omega^2 (C_{ox} - C_m)^2}$$

$$C_p = C_s + \frac{C_{it}}{1 + (\omega\tau_{it})^2}$$

en posant : $C_{it} = qD_{it}$; $\omega = 2\pi f$ et $\tau_{it} = R_{it}C_{it}$. On remarque que la détermination de D_{it} grâce au G_p/ω est donc plus aisée car elle ne demande pas de connaître le paramètre C_s représentant la capacité de surface du semiconducteur. Cette équation est valable pour des défauts à un niveau d'énergie donné et est donc affinée pour refléter une distribution continue de défauts dans la bande interdite par la formulation suivante :

$$\frac{G_p}{\omega} = \frac{qD_{it}}{2\omega\tau_{it}} \ln[1 + (\omega\tau_{it})^2]$$

La densité de défauts est alors extraite au maximum du pic de conductance et est approximée à :

$$D_{it} \approx \frac{2.5}{q} \left(\frac{G_p}{\omega} \right)_{max}$$

Cette méthode permet donc d'obtenir la densité de défauts d'interface au moyen de multiples mesures de conductance en fonction de la fréquence et de la norme de la tension appliquée. Cependant, dans le cas du GaAs, la bande interdite est trop large (1.4 eV) pour sonder la totalité des défauts en une mesure unique comme le montre la Figure IV-13 [149]. Il faut donc effectuer des

mesures à plus haute température (150°C par exemple) pour sonder le milieu de la bande interdite (Figure IV-13c).

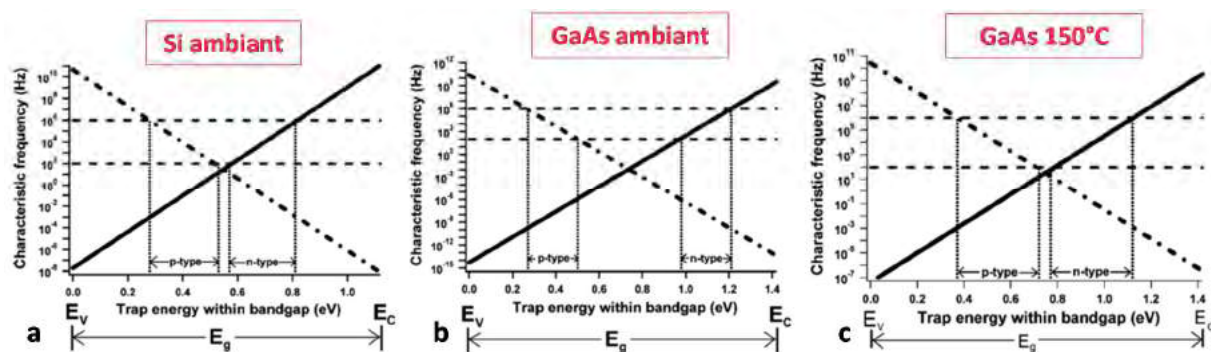


Figure IV-13 : Fréquences caractéristiques des pièges dans la bande interdite. La droite pleine correspond aux électrons et celle en pointillés aux trous. Les fréquences atteignables lors des caractérisations sont délimitées par les droites horizontales (100 Hz – 1 MHz). a) Cas du Si à 20°C b) Cas du GaAs à 20°C c) Cas du GaAs à 150°C. [149]

Cette méthode de mesure est rapide et permet d’obtenir une valeur de densité de défauts d’interface fiable que l’on peut comparer à la littérature pour estimer la qualité de l’interface.

2. Résultats des caractérisations électriques

Afin de déterminer les caractéristiques électriques propres à l’oxyde ainsi que celles de l’interface, plusieurs échantillons ont été réalisés. Les structures MOSCAPs sont réalisées, sur substrat Si ou GaAs-N, immédiatement après dépôt de l’Al₂O₃. Des contacts métalliques (50 nm Cr + 300 nm Al) sont déposés par évaporation sur l’oxyde à travers un masque physique pour définir les structures MOSCAPs. La face arrière est ensuite désoxydée par voie chimique (HF 5% ou NH₃) puis le dépôt de 500 nm d’Al est réalisé par évaporation.

Les premiers échantillons ont été réalisés sur N-Si afin de valider les méthodes d’extraction. Les courbes C-V obtenues (Figure IV-14) présentent un phénomène d’hystérésis entre les mesures montantes et descendantes. Ce phénomène est associé au piégeage de charges provenant des types de défauts sensibles aux variations de V_G précédemment mentionnés. Cependant, l’ampleur du décalage est à la fois dépendant de la quantité de pièges présents dans l’oxyde mais également des conditions de mesures telles que les tensions maximales appliquées ou la vitesse de balayage en tension [160]. Malgré la simplicité de mesure du décalage de la tension de bandes plates, cette méthode n’est pas adaptée pour la mesure de pièges dans l’oxyde. On observe également à l’accumulation une dispersion de la capacité en fonction de la fréquence. Cette variation en fréquence est probablement liée à la résistance série engendrée par la mise en place de l’expérience. Celle-ci est le total des résistances associées principalement à la prise de contact en face arrière. Il existe une correction de ces résistances en série [137], [156] qui, lorsqu’elle est appliquée, permet de réduire la

dispersion en fréquence (Figure IV-14). Cependant, cette correction ne sera généralement pas appliquée car elle nécessite des mesures fortement résolues qui n'ont pu être obtenues avec les équipements à disposition. Les données utilisées pour les prochaines extractions n'ont pas la correction de résistance série. Ceci surévaluera la conductance ce qui entraînera une surévaluation de D_{it} [156].

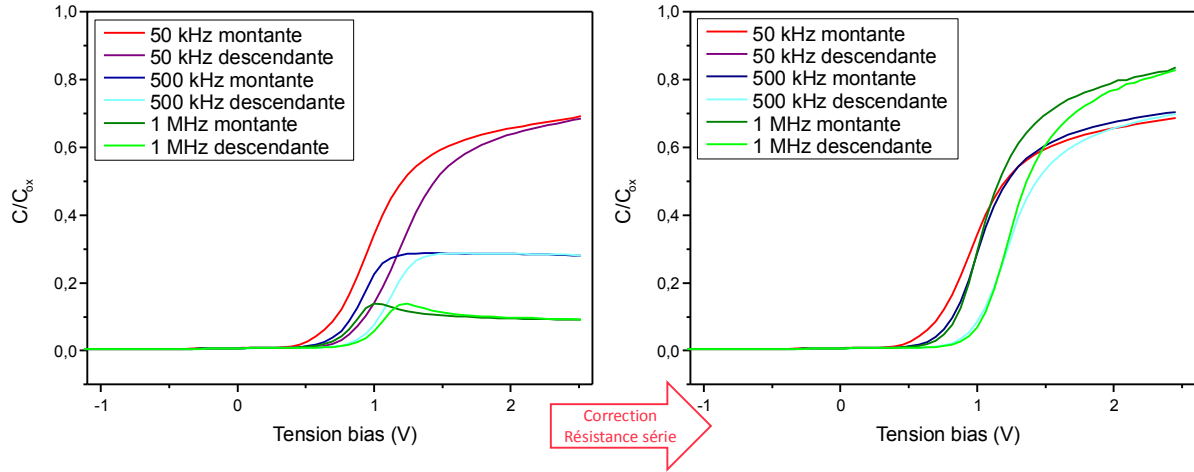


Figure IV-14 : Mesures C-V effectuées sur l'empilement Al_2O_3/Si . A gauche, sans correction, on observe une hystérésis ainsi qu'une dispersion en fréquence de la capacité maximale. A droite, la correction des résistances en série permet de réduire la dispersion en fréquence des capacités.

Etant donné que l'épaisseur de l'oxyde est connue grâce aux observations microscopiques, l'équation reliant la permittivité et la capacité de l'oxyde a été utilisée pour calculer la permittivité k . Cependant, la capacité mesurée à l'accumulation n'est pas exactement la capacité de l'oxyde et une correction est appliquée pour obtenir une valeur plus réaliste :

$$C_{ox} = C_{ma} \left[1 + \left(\frac{G_{ma}}{\omega C_{ma}} \right)^2 \right]$$

avec C_{ma} et G_{ma} les valeurs mesurées à l'accumulation.

Les constantes diélectriques obtenues sur plusieurs échantillons distincts, sur lesquels l'empilement Al_2O_3/Si a été réalisé, sont en moyenne de $7,5 \pm 0,4$. La constante diélectrique de l'alumine référencée dans la littérature est de 9,1 [161]. L'écart observé avec la théorie a été publié par différents groupes et ces résultats sont analysés par Groner et al. [162]. On observe une variation de la constante diélectrique du dépôt en fonction de l'épaisseur de celui-ci. Les différents dépôts analysés ont une constante diélectrique allant de 5,3 à 8,5. Ces résultats s'expliquent par l'existence de la couche interstitielle dont l'épaisseur ne varie pas en fonction de l'épaisseur totale du dépôt. En supposant une couche interstitielle à base de SiO_2 ($k = 3,9$), les valeurs mesurées ont pu être approchées par calcul :

la permittivité moyenne calculée de la couche Al_2O_3 est de $8,6 \pm 0,5$. Les résultats obtenus sur l' Al_2O_3 déposé au LAAS sont très proches de la valeur théorique de 9,1, il est donc de haute qualité.

Les propriétés de l'interface créée a également été étudiée à l'aide de la mesure des D_{it} . Les pics de conductance sont bien observés à différentes fréquences selon la tension appliquée (Figure IV-15) et permettent de calculer les D_{it} . La distribution de ceux-ci dans la bande interdite est représentée en Figure IV-16. Pour obtenir cette distribution, il est nécessaire de calculer la position dans la bande interdite de la densité considérée à partir de la fréquence de résonance de ces défauts. La relation liant cette fréquence au niveau d'énergie est la suivante [149] :

$$\tau = \frac{\exp(\frac{\Delta E}{kT})}{\sigma v_t N}$$

où ΔE représente la différence d'énergie entre la bande de conduction (pour un substrat dopé N) et le niveau d'énergie sondé, k la constante de Boltzmann, T la température, σ est la section efficace de l'état piégé, v_t est la vitesse thermique des porteurs majoritaires et N la densité d'état dans la bande de conduction. Les valeurs utilisées de ces paramètres proviennent de [149]. On observe que la quantité de défauts d'interface dépend de la tension bias appliquée car elle permet de sonder différents niveaux d'énergies. Enfin, un recuit rapide à 300°C sous N_2H_2 pendant une minute a permis d'observer une diminution des défauts d'interface. Les D_{it} obtenus sur cet empilement $\text{Al}_2\text{O}_3/\text{Si}$ sont élevés comparés à des D_{it} relevés dans la littérature [146] ($\approx 10^{11} \text{ eV}^{-1}.\text{cm}^{-2}$) mais le procédé n'est pas optimisé pour cet empilement sur Si.

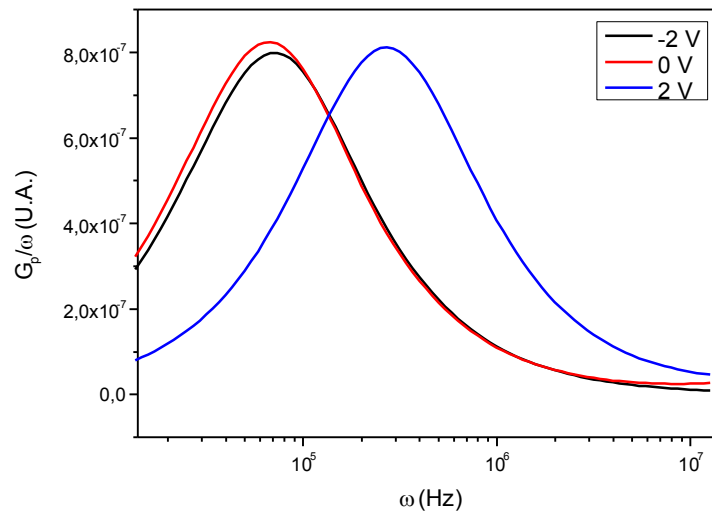


Figure IV-15 : Graphe G_p/ω sur l'empilement $\text{Al}_2\text{O}_3/\text{Si}$ présentant un pic de conductance à une fréquence caractéristique en fonction des niveaux d'énergies sondées.

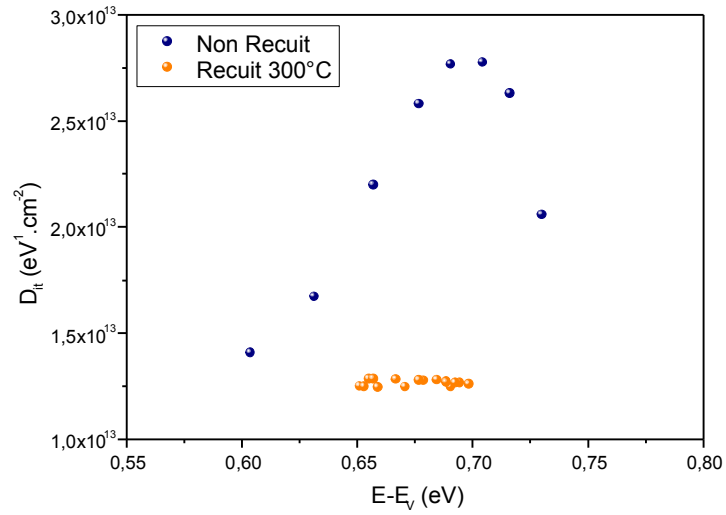


Figure IV-16 : Relation entre densité de défauts à l'interface et tension de grille sur l'empilement $\text{Al}_2\text{O}_3/\text{Si}$. Un recuit à 300°C a permis d'homogénéiser les défauts à l'interface.

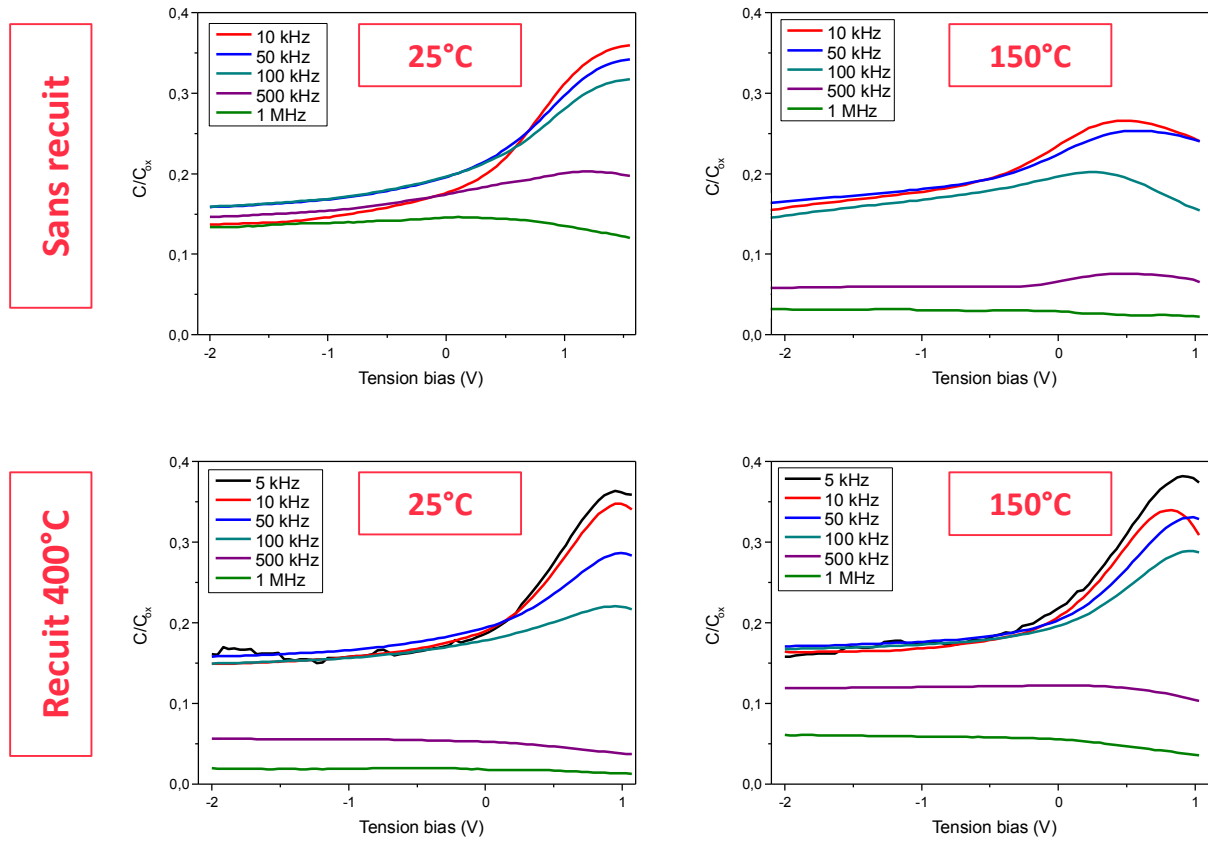


Figure IV-17 : Caractéristiques C-V sur MOSCAP Al_2O_3 (5 nm)/GaAs effectuées à 25°C et 150°C , avant et après recuit rapide à 400°C sous N_2H_2 pendant 1 min.

Des empilements Al_2O_3 (5 nm)/GaAs(001) dopé N à $1.10^{18}.\text{cm}^{-3}$ sont réalisés selon le protocole précédemment décrit afin d'étudier la variation de défauts à l'interface. Comme présenté précédemment, il est nécessaire d'effectuer les mesures à 25°C et 150°C pour sonder la totalité des défauts [149] (Figure IV-13). Les caractéristiques C-V obtenues sont présentées en Figure IV-17. Les

courbes obtenues aux hautes fréquences (> 500 kHz) ne présentent pas le profil attendu et ne sont pas considérées.

Les capacités normalisées sont très faibles (0,39 au maximum) sur ces mesures contrairement aux résultats obtenus sur substrat Si (Figure IV-14) ou référencés dans la littérature sur substrat GaAs (Figure IV-4, Figure IV-6) qui présentaient tous des capacités normalisées à l'accumulation supérieures à 0,8. Cela signifie que l'état d'accumulation n'est pas atteint dans les échantillons $\text{Al}_2\text{O}_3/\text{GaAs}$ caractérisés au LAAS. Ce premier résultat indique que le niveau de Fermi est probablement ancré, indiquant une trop forte densité d'état à l'interface D_{it} (supérieure à $10^{14} \text{ eV}^{-1} \cdot \text{cm}^{-2}$). La méthode de la conductance appliquée à ces échantillons est alors erronée et ne permet pas de mesurer la quantité de ces défauts.

L'évolution de l'impédance en fonction de la fréquence du signal permet d'expliquer ce phénomène (Figure IV-18) : on remarque que la résistance des capacités de test est de l'ordre de 10^4 - $10^5 \Omega$. Bien que l'évolution de l'impédance en fonction de la fréquence indique bien un comportement capacitif de la structure MOSCAP, cette valeur de résistance est très faible pour un oxyde. En effet, à partir de la résistivité théorique de l'alumine ($\approx 10^{12} \Omega \cdot \text{m}$), l'épaisseur de la couche (5,5 nm) et la surface de la capacité ($2,25 \cdot 10^{-2} \text{ cm}^2$), on devrait obtenir une résistance de l'ordre de du G Ω . Cela montre que la couche d' Al_2O_3 utilisée pour la réalisation de ces structures MOSCAPs est de mauvaise qualité.

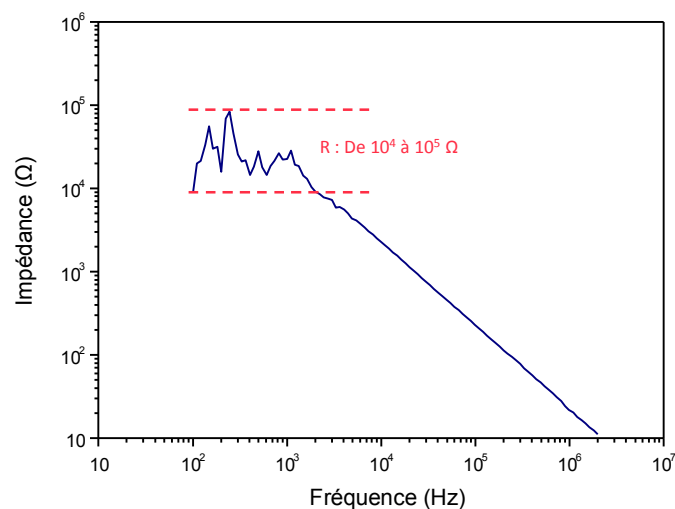


Figure IV-18 : Evolution de l'impédance en fonction de la fréquence. L'impédance aux basses fréquences correspond à la résistance de l'oxyde.

Deux hypothèses peuvent être avancées pour expliquer ces défauts de la couche Al_2O_3 sur GaAs :

- Bien que la couche Al_2O_3 sur Si ne présente pas de tels défauts électriques et qu'aucun défaut structurel n'ait été observé sur la couche Al_2O_3 sur GaAs, le dépôt sur GaAs présente un grand nombre de défauts et une étude sur les préparations de surface est à mener.
- Lors de la réalisation des structures MOSCAPs, la couche Al_2O_3 a pu être endommagée. Le nettoyage en face arrière, effectué à l'aide de l'ammoniaque, aurait pu détériorer la couche Al_2O_3 en face avant. Une étude sur la réactivité de l' Al_2O_3 avec l'ammoniaque permettrait de confirmer ou infirmer cette hypothèse.

Ces caractérisations électriques avaient pour but de positionner le dépôt d' Al_2O_3 par rapports aux résultats évoqués dans la littérature. La passivation de surface à l'aide du sulfure d'ammonium ainsi que l'effet d'auto-préparation de surface induite par le TMA ont été implémentés dans le procédé de dépôt de l'alumine. Les structures MOSCAPs préparées à partir de ces couches ont permis de déterminer leur permittivité de $8,6 \pm 0,5$ proche de la valeur théorique. Cependant, les caractérisations effectuées sur l'empilement $\text{Al}_2\text{O}_3/\text{GaAs}$ ont démontré une mauvaise qualité électrique de l'oxyde. La cause n'a pu être clairement identifiée et des travaux supplémentaires sont nécessaires afin d'obtenir des caractérisations C-V exploitables. Bien que l'extraction des défauts d'interface n'a pu être totalement effectuée sur l'interface $\text{Al}_2\text{O}_3/\text{GaAs}$, l'intégration de cette couche sur nanofils verticaux a été étudiée.

D. Dépôt d' Al_2O_3 sur nanofils verticaux de GaAs

Des nanofils de GaAs de 250 nm de hauteur ont été réalisés sur substrat Si par la voie descendante présentée dans le chapitre 2. Le protocole de dépôt de l' Al_2O_3 est le même que celui énoncé dans la partie B. Une lame TEM a été réalisée afin d'observer le dépôt sur les nanofils de GaAs (Figure IV-19). On remarque tout d'abord l'excellente conformité du dépôt sur nanofil. De plus, selon le diamètre des nanofils, on mesure une épaisseur moyenne allant de 5.35 nm à 5.58 nm. Cette variation est de l'ordre de la précision des mesures, on peut donc conclure que le diamètre des nanofils n'influe pas sur l'épaisseur du dépôt. On mesure au sommet du nanofil une épaisseur légèrement inférieure, de 0.6 nm en moyenne, par rapport au dépôt sur les flancs et le substrat. Cependant cette différence n'est pas importante car, lors du procédé de fabrication des transistors cette couche au sommet des nanofils sera gravée.

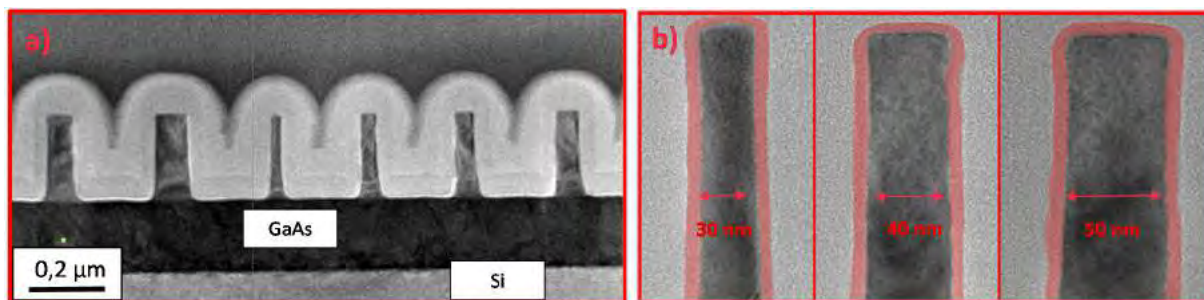


Figure IV-19 : Images TEM de nanofils de GaAs sur lesquels de l' Al_2O_3 a été déposé. a) Nanofils de GaAs de différentes tailles encapsulés dans l' Al_2O_3 présents sur substrat Si(100). b) Sommet des nanofils de 30, 40 et 50 nm. Le dépôt est de 5.46 nm et est uniforme.

L'analyse EDX réalisée sur ces nanofils révèle une interface atomiquement abrupte sans pénétration d'oxygène dans le GaAs (Figure IV-20). Malgré la révolution cylindrique des nanofils qui ne permet pas une grande résolution de mesure, l'analyse quantitative révèle un ratio de 1.5 entre l'aluminium et l'oxygène (Figure IV-21), prouvant que la quantité mesurée de ces éléments provient de l' Al_2O_3 présent dans l'épaisseur de la lame.

Cette observation permet de conclure que le dépôt d' Al_2O_3 par ALD sur nanofil répond aux exigences d'un procédé de fabrication. L'indépendance de l'épaisseur en fonction du diamètre est un avantage pour l'intégration de cette technique dans un procédé.

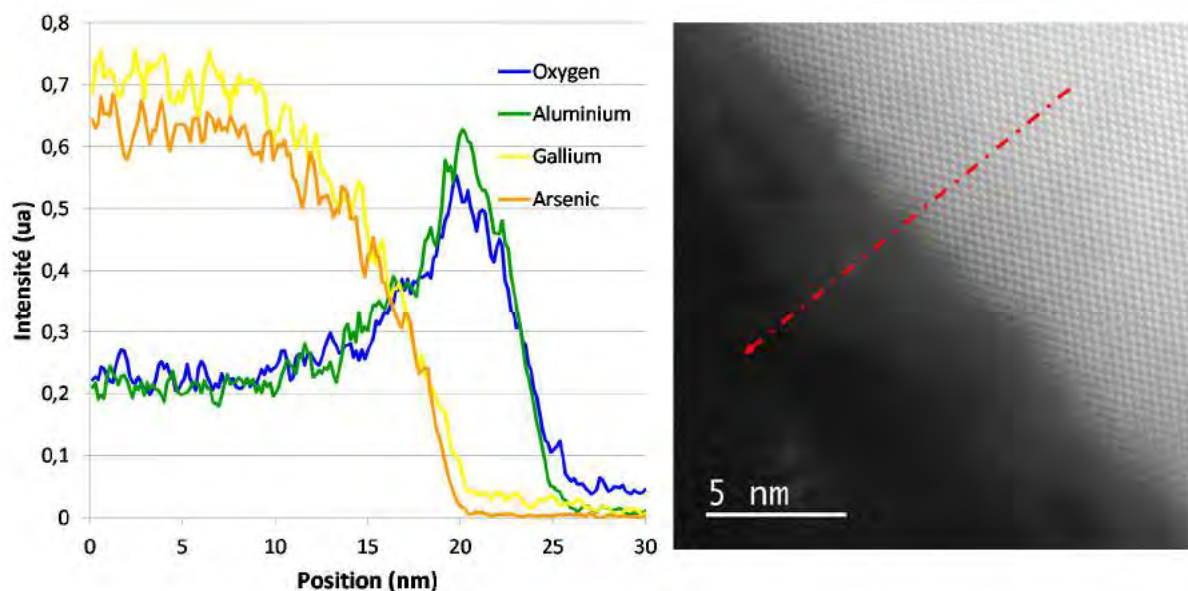


Figure IV-20 : Analyse EDX réalisée sur l' Al_2O_3 déposé sur nanofil de GaAs. La flèche rouge désigne le sens de l'analyse. L'aspect courbé de l'intensité à l'interface provient du rayon de courbure des nanofils.

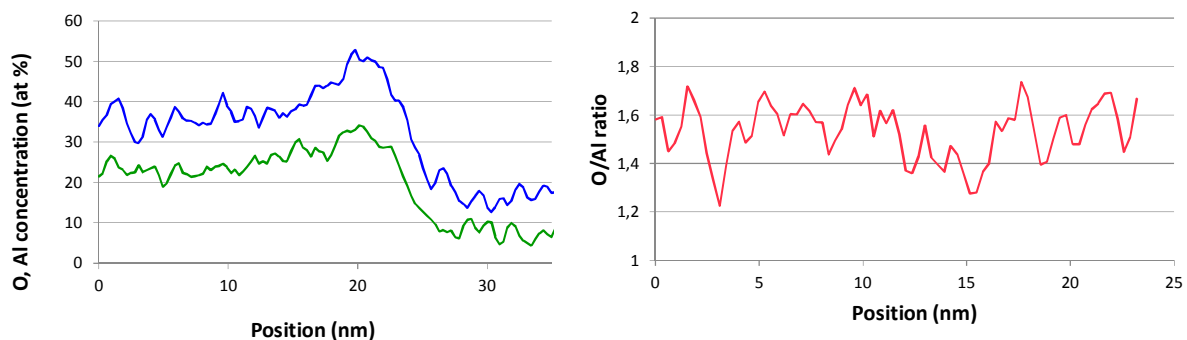


Figure IV-21 : Quantification de l'aluminium (vert) et de l'oxygène (bleu) présents sur les flancs des nanofils réalisée à partir des données brutes de la mesure EDX. On retrouve le ratio 1.5 de l' Al_2O_3 .

E. Conclusion

Ce chapitre présente l'étude de l'intégration d'un oxyde de grille sur matériaux III-V. Il a été mis en évidence que le verrouillage du niveau de Fermi était à nouveau un frein à la réalisation de transistors sur ces matériaux. La communauté scientifique suppose que ce verrouillage provient du grand nombre de défauts à l'interface, eux-mêmes engendrés par la présence d'espèces oxydées à l'interface oxyde/III-V. En effet, plusieurs groupes, dont ceux de l'IMEC et de Bicocca, ont travaillé sur l'interface $\text{Al}_2\text{O}_3/\text{GaAs}$ et ont démontré que la réduction des défauts d'interface était réalisable en éliminant les oxydes natifs de GaAs.

Dans un souci de compatibilité avec un procédé de fabrication générique, un dépôt ALD d' Al_2O_3 a été retenu pour la formation de l'oxyde de grille. Pour limiter le nombre de défauts d'interface, deux techniques ont été choisies :

- (i) Une passivation au soufre, à l'aide de sulfure d'ammonium, permet de placer des atomes de soufre sur les liaisons pendantes en surface. Cela permet de limiter la création d'espèces oxydées.
- (ii) Dans la chambre de dépôt, des premiers cycles sans oxygène sont effectués afin d'éliminer en partie les espèces oxydées s'étant formées en surface.

Des caractérisations sur Si ont permis de démontrer la fiabilité du dépôt. Deux critères ont été retenus pour cela : les indices optiques des couches effectuées au LAAS ont été comparés aux indices des couches déposées par l'équipe de M. FANCIULLI et ont révélé un très bon accord entre les échantillons. De plus, la permittivité électrique de l'oxyde a été mesurée à l'aide de mesures C-V avec une valeur moyenne de 8.6, très proche de la valeur théorique de 9.1 pour l'alumine.

Le dépôt d' Al_2O_3 sur arséniure de gallium a tout d'abord été réalisé sur substrat GaAs dopé N. On observe une interface atomiquement abrupte entre les deux matériaux et sans création de couche interstitielle ni de pénétration d'oxygène dans le GaAs. Les caractéristiques C-V de cet empilement ont été obtenues et ont permis de déterminer la distribution des défauts dans la bande interdite du GaAs. Ces mesures ont révélé que la densité de défauts d'interface en bordure de bande interdite est de l'ordre de l'état de l'art suite à un recuit rapide à 400°C ($10^{12} \text{ eV}^{-1} \cdot \text{cm}^{-2}$) mais que celle-ci augmente jusqu'à $10^{13} \text{ eV}^{-1} \cdot \text{cm}^{-2}$ en milieu de bande interdite. La comparaison avec les résultats de la littérature permet d'expliquer cet écart : les recuits ont été limités à 400°C . De plus, les échantillons dans [143] sont obtenus par épitaxie dans un bâti de MBE, sans remise à l'air entre chaque étape, ce qui permet de s'assurer qu'aucune espèce oxydée ne se forme durant la réalisation des échantillons de caractérisation.

Finalement, il a été démontré à l'aide d'une coupe par microscope en transmission que le dépôt d' Al_2O_3 est conforme sur des nanostructures telles que des nanofils de 30 nm, et plus, de diamètre. De plus, l'épaisseur de ces dépôts ($\approx 5.4 \text{ nm}$) est indépendante du diamètre des nanofils ce qui est un avantage pour l'intégration de structures de différentes tailles. En définitive, le dépôt d' Al_2O_3 par ALD avec passivation de surface par voie chimique et in situ est retenu pour la réalisation de l'oxyde de grille sur nanofils verticaux en GaAs.

Chapitre V : Développement et intégration des briques de base dans un procédé compatible CMOS grande échelle pour la réalisation de transistors

Ce chapitre a pour but de développer un procédé de réalisation de transistors 3D à base de nanofils verticaux de matériaux III-V en y intégrant les innovations et techniques de synthèse présentées dans les chapitres précédents. Ce développement sera réalisé dans une optique grande échelle : le procédé sera compatible avec les dispositifs CMOS comme la majorité des technologies actuellement développées et les techniques présentées seront, dans la mesure du possible, celles couramment utilisées dans l'industrie du semiconducteur.

A. Développement d'un procédé grande échelle

1. Enchaînement d'étapes de microfabrication

Lors de la réalisation des études présentées dans les chapitres 1, 2, 3 et 4, l'intérêt de proposer une intégration de matériaux III-V sur nanofils verticaux a été démontré. Deux matériaux III-V ont été étudié, InAs et GaAs, et présentent chacun leurs avantages :

- Les nanofils d'InAs, présentant intrinsèquement une excellente mobilité électronique ($\approx 40000 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$), ont l'avantage d'avoir un minimum de défauts structuraux et d'impuretés de par leur moyen d'obtention (croissance MBE). De plus, l'obtention d'un contact faiblement résistif est aisée grâce à sa bande interdite étroite (0.354 eV).
- L'arséniure de gallium a un désaccord de maille relativement faible avec le silicium permettant la croissance d'une couche uniforme sur Si(100). De plus, l'obtention des nanofils par voie descendante permet une excellente reproductibilité et localisation des nanofils à l'aide de techniques standards de microfabrication. Les modélisations aux nœuds sub-7 nm ont démontré que la mobilité électronique plus faible ($8500 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$) avait un impact très faible sur les performances des transistors [48].

Le développement du procédé a été réalisé parallèlement à l'avancée des études spécifiques des modules de la technologie. L'intégration et l'imbrication de l'oxyde de grille et des contacts alliés au

sein du procédé étaient également explorées. Ces allers-retours ont permis de produire des solutions technologiquement viables.

Le procédé proposé est schématisé en Figure V-1, et est inspiré de celui développé au sein de l'équipe lors des précédents travaux de thèse de HAN Xiang-Lei et GUERFI Youssouf [39], [86] sur la réalisation de transistors 3D à base de nanofils verticaux en silicium. Bien que la philosophie et l'ordre des étapes soient similaires à ces travaux, le développement d'un procédé III-V compatible avec les technologies MOS a demandé des innovations technologiques. La nécessité d'intégrer les matériaux III-V nanostructurés sur Si, l'incompatibilité des matériaux III-V avec des agents chimiques oxydants (HNO_3 , bain piranha), l'utilisation d'un oxyde de grille obtenu par dépôt ou l'utilisation d'alliage à base de matériaux III-V sont autant de challenges qu'il a fallu relever lors de l'élaboration de ce procédé.

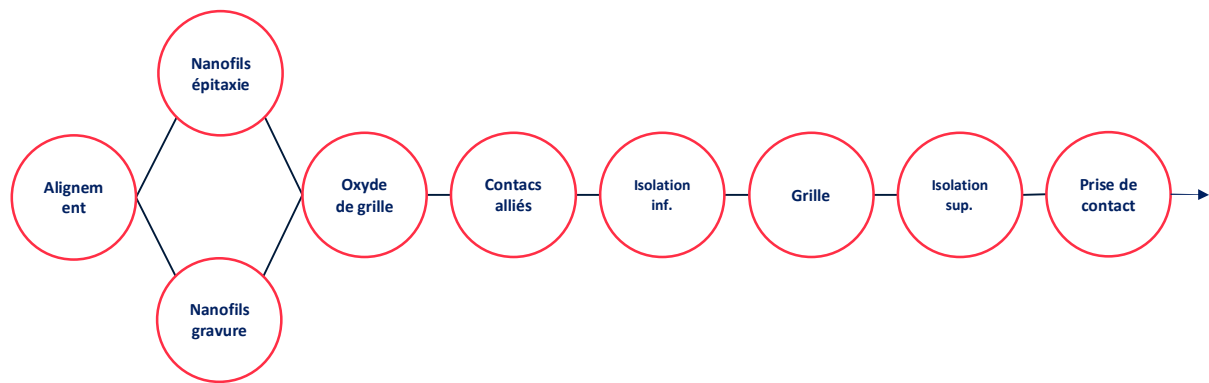


Figure V-1 : Procédé générique de fabrication de transistors 3D à base de nanofils verticaux de matériaux III-V obtenues aussi bien par voie descendante et ascendante.

L'objectif du procédé proposé en Figure V-1 est d'intégrer les différentes structurations de matériaux présentées dans les chapitres 2, 3 et 4 tout en permettant l'intégration de nanofils obtenus par la voie descendante (GaAs) ou ascendante (InAs). L'organisation générale de l'échantillon est présentée en Figure V-2, le jeu de masque utilisé pour évaluer le procédé de fabrication a été imaginé dans l'optique de caractériser les propriétés intrinsèques statiques des transistors ainsi que les réponses en fréquence. Sur ce schéma, les zones A, B et C contiennent les transistors dans différentes configurations (Figure V-3) :

- (A) La zone des dispositifs dits statiques, comprenant des transistors dont les caractérisations permettront d'obtenir les caractéristiques propres de ces dispositifs : rapport I_{ON}/I_{OFF} , transconductance, tension (V_{TH}) et pente sous le seuil (SS), courant de fuite. 112 dispositifs sont présents dans cette zone afin de tester l'influence du nombre de nanofils (de 1 à 225) ainsi que celle du diamètre (de 30 nm à 80 nm) sur les différentes caractéristiques visées.

- (B) La zone de caractérisation en fréquence. Celle-ci a été confectionnée avec l'équipe MODEL de l'IMS de Bordeaux spécialisée dans la caractérisation radio-fréquence des dispositifs électroniques. La géométrie des dispositifs est compatible avec l'utilisation de pointes coplanaires en 50 Ω utilisées dans ces caractérisations. L'objectif est de réaliser un modèle petit signal avec lequel il sera possible de mieux comprendre le fonctionnement général des transistors et de cibler les faiblesses de celui-ci pour optimiser le procédé de fabrication et le choix des matériaux. Elle comprend 56 dispositifs où le diamètre des nanofils et leur nombre varient et 16 structures de calibration pour les mesures prévues.
- (C) La zone des structures CMOS. Cette zone est implémentée pour préparer la co-intégration future de dispositif *N* et *P*. Celle-ci comprend 18 dispositifs avec variation de diamètre et nombre de nanofils.

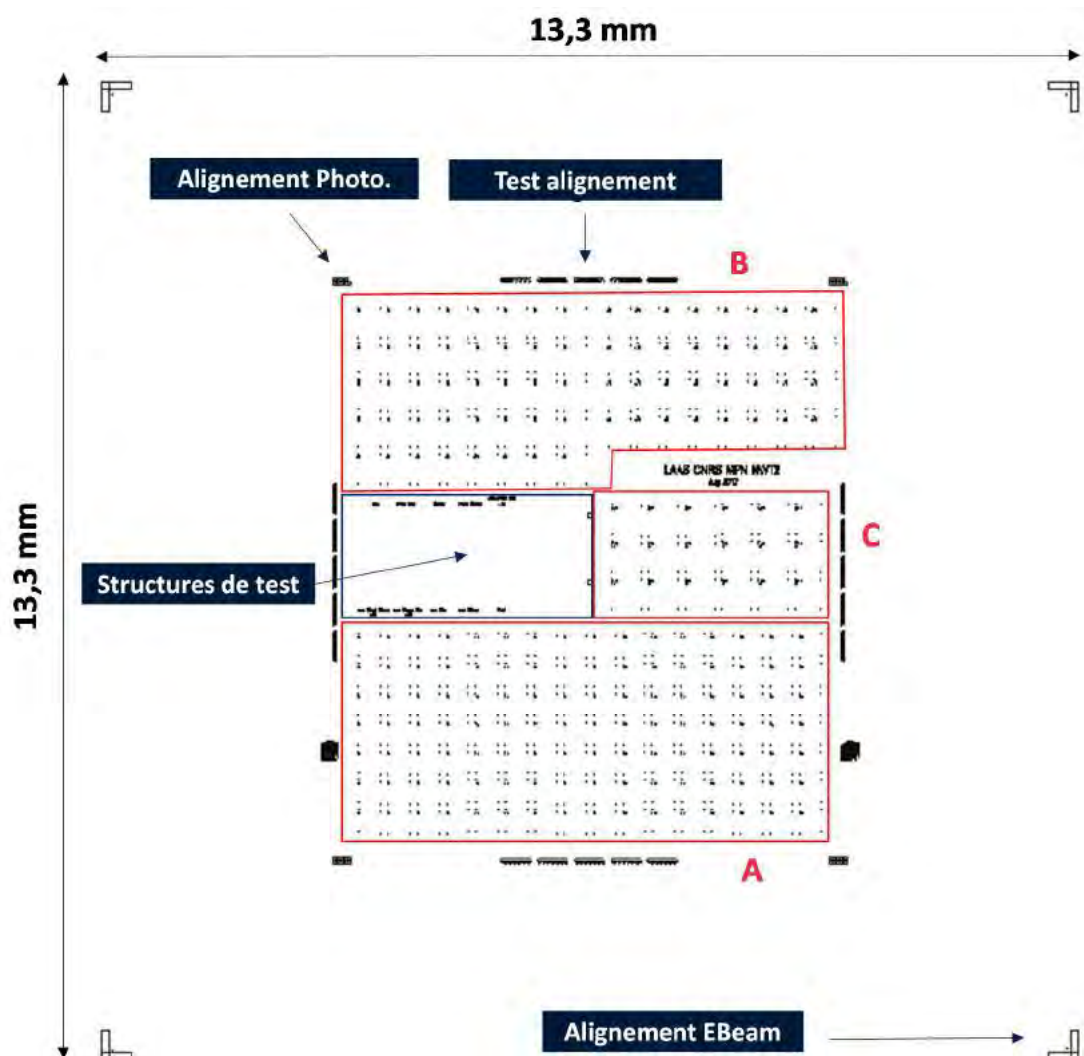


Figure V-2 : Masque d'alignement utilisé pour la réalisation de dispositifs à base de nanofils verticaux de matériaux III-V. Les zones A, B et C en rouge délimitent les dispositifs. Les autres structures sont liées à l'alignement des masques et aux tests liés aux différentes étapes technologiques.

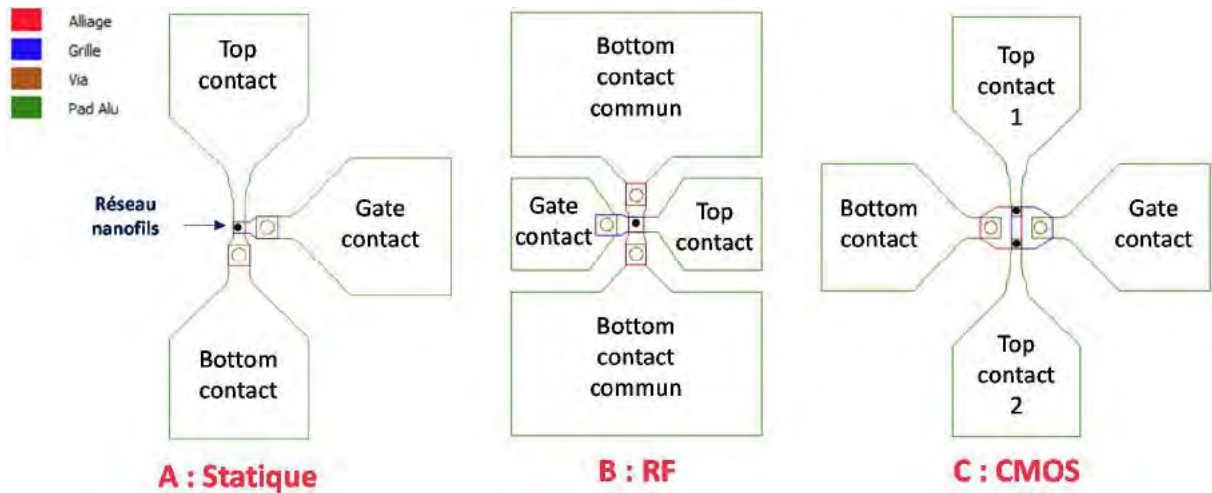


Figure V-3 : Structures des dispositifs présents dans les zones A, B et C. Chacune de ces zones est dédiée à la caractérisation du fonctionnement du transistor. Elles sont définies par photolithographie. La zone B présente également des "Gate contact commun" et des "Top contact commun" ayant la même architecture.

Le paragraphe suivant décrit le procédé de fabrication des transistors ainsi que les étapes déjà optimisées et celles ayant nécessité un développement technologique qui seront détaillées par la suite.

2. Intégration des briques précédemment développées

i - Généralités du procédé

Les étapes de lithographie du procédé sont toutes réalisées à l'aide d'une résine positive, l'ECI (AZ® ECI 3012), compatible avec les technologies CMOS. Son enduction est effectuée avec une vitesse de 3600 tour/min, une accélération de $5000 \text{ tour} \cdot \text{min}^{-1} \cdot \text{s}^{-1}$ et pendant 30 s. Cela permet de travailler avec une épaisseur d'environ $1.1 \mu\text{m}$. L'insolation est effectuée à l'aide d'un aligneur de masque SUSS Microtec MA6 Gen. 4 avec une dose de $200 \text{ mJ} \cdot \text{cm}^{-2}$. Le développeur utilisé est le MF-CD-26, à base de TMAH. Sur Si, le HMDS (Bis[triméthylsilyl]amine) est utilisé comme promoteur d'adhérence. Deux méthodes sont utilisées pour éliminer la résine ECI résiduelle :

- Si l'échantillon est compatible avec un plasma O_2 , la résine est éliminée par rinçage acétone suivi d'un plasma O_2 effectué pendant 5 min à 800 W en présence d'une cage de Faraday.
- Si l'échantillon n'est pas compatible avec l'utilisation d'un plasma O_2 (GaAs ou métaux sensibles à l'oxydation), la résine est éliminée dans un bain chimique de DMSO à 85°C pendant 30 min.

Un procédé de fabrication utilisant des structures à l'échelle nanométrique se heurte à des problématiques qui ne sont pas présentes à de plus grandes échelles. Par exemple, le rinçage et le séchage des échantillons doivent être plus rigoureux pour s'assurer de l'élimination des produits non désirés. Également, la taille des structures est telle que les forces de capillarité ne peuvent être négligées [163], [164] comme présenté en Figure V-4.

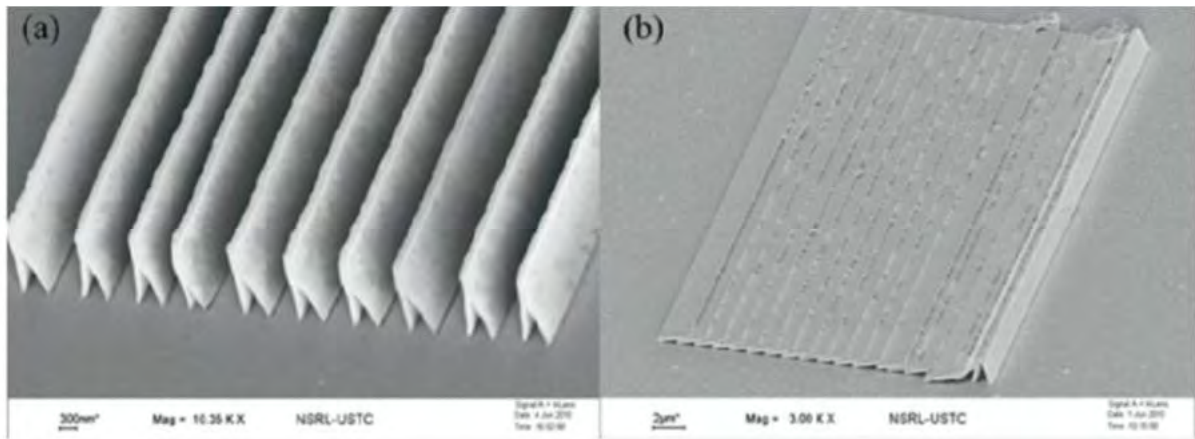


Figure V-4 : Images MEB de lignes de PMMA effondrées après un séchage N_2 . (a) Lignes de $2.5\ \mu\text{m}$ de haut et $150\ \text{nm}$ de largeur dont les sommets ont adhéré entre eux. (b) En augmentant l'aspect ratio de ces lignes, on observe l'effondrement des structures [164]

Ce phénomène a également été reporté sur les piliers de HSQ et les nanofils de Si [1] (Figure V-5). La formation de grappes de nanofils a été expliquée par Han X. L. par des forces capillaires lors de l'évaporation du solvant. Celui-ci s'évapore plus rapidement à l'extérieur du réseau, entraînant alors une différence de pression capillaire entre les faces du nanofils. Les paramètres géométriques (hauteur, diamètre, densité) ainsi que la tension de surface du solvant utilisé ont un effet sur ce phénomène qui peut alors conduire à la déformation, élastique ou plastique. Les nanofils se réunissent alors par grappe ou s'effondrent totalement (Figure V-6).

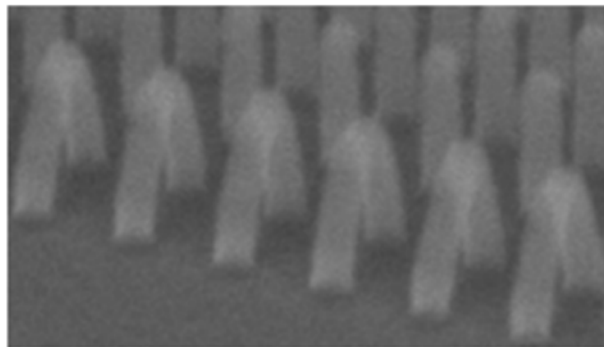


Figure V-5 : Image MEB de plots de résine HSQ de $90\ \text{nm}$ de hauteur et $30\ \text{nm}$ de diamètre adhérents les uns aux autres suite à un séchage N_2

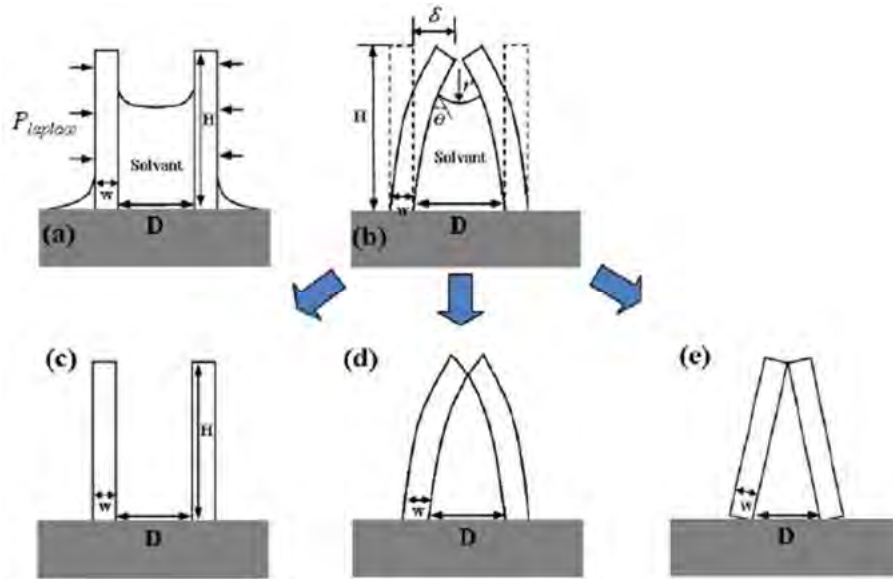


Figure V-6 : Mécanisme d'effondrement de nanofils lors d'un séchage. (a) Apparition d'une pression dirigée vers l'intérieur du réseau suite au séchage plus rapide à l'extérieur. (b) Déformation des nanofils lors du séchage du liquide intérieur menant à 3 possibilités : (c) si la déformation est totalement élastique, les nanofils reviennent à leur forme d'origine (d) déformation élastique et plastique, menant à la formation d'une grappe (e) déformation plastique, menant au décollement du pied des nanofils [86].

Les forces capillaires sont réduites en diminuant la tension de surface du solvant à éliminer lors du séchage. L'utilisation du méthanol ($\sigma_s = 22.7 \text{ mN.m}^{-1}$ à 20°C) à la place de l'eau déionisée ($\sigma_s = 72.3 \text{ mN.m}^{-1}$ à 20°C) permet donc d'en minimiser l'impact et d'éviter l'effondrement des structures.

La solution apportée pour éviter ces effondrements est le protocole de rinçage + séchage suivant : eau déionisée + méthanol + séchage N_2 . Cette procédure utilisée sur des réseaux de nanofils de matériaux III-V a permis de supprimer le phénomène d'effondrement (Figure V-7).

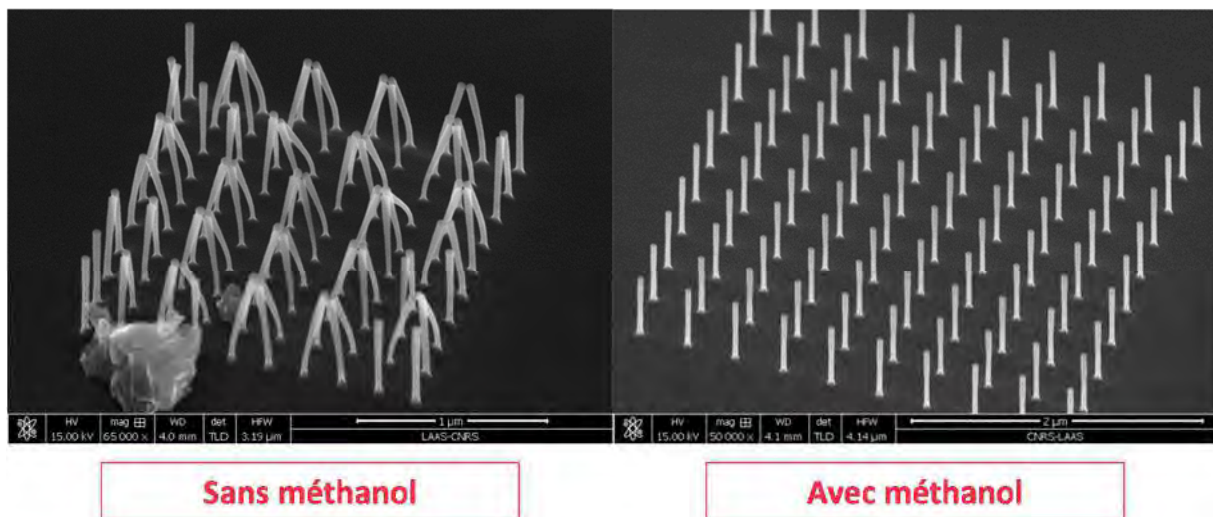


Figure V-7 : Images MEB de grappes de nanofils de GaAs observées lors d'un rinçage sans méthanol. L'utilisation du méthanol permet d'abaisser la tension de surface et d'éviter ce phénomène.

Ces méthodes seront utilisées tout au long du procédé. Les premières étapes du procédé visent à réaliser les nanofils III-V et à les modifier pour y intégrer les contacts et l'oxyde de grille.

ii - Alignement et obtention des nanofils verticaux III-V

L'évolution de la structure de l'échantillon jusqu'à l'intégration de l'oxyde de grille et des contacts alliés est représentée dans la Figure 4.

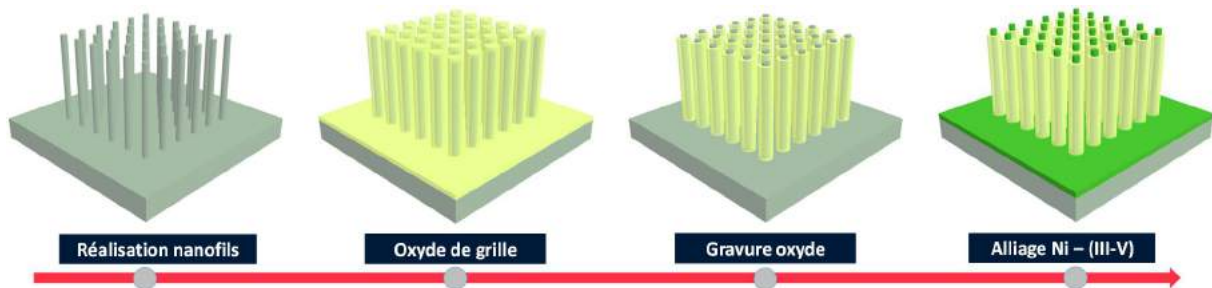


Figure V-8 : Étapes permettant la structuration des nanofils : de leur réalisation à l'intégration de l'oxyde de grille et des contacts alliés.

Le procédé débute par la définition des marques d'alignements par photolithographie et gravure plasma. Lorsque le matériau à graver est du GaAs (voie descendante), la gravure est à base de Cl_2 et les paramètres choisis sont ceux optimisés pour la gravure des nanofils verticaux de GaAs. La gravure du Si étant également possible à l'aide du Cl_2 , une gravure similaire a été développée afin d'obtenir les marques d'alignement dans le Si(111) utilisé pour la croissance des nanofils d'InAs.

Avant d'initier la réalisation des nanofils, un nettoyage par plasma O_2 est effectué pour éliminer les traces de résines organiques utilisées par l'étape de photolithographie. L'oxyde ainsi créé est éliminé par un bain d'acide chlorhydrique (HCl). Les nanofils verticaux de matériaux III-V sont alors réalisés :

- Voie descendante : Les nanofils en GaAs sont obtenus par une étape de lithographie électronique suivie par une gravure à base de Cl_2 (cf. chapitre 2 - B). La résine HSQ est ensuite éliminée par un bain HF 5% suivi par un plasma O_2 .
- Voie ascendante : 17 nm de SiO_2 sont obtenue par recuit thermique. La surface est ensuite structurée par lithographie électronique et gravure plasma. La croissance des nanofils d'InAs est alors effectuée par MBE (cf. chapitre 2 - C).

Une fois cette étape réalisée, les nanofils d'InAs et de GaAs suivront le même procédé.

iii - Intégration d' Al_2O_3 et des contacts alliés en Ni

Comme détaillé dans le chapitre 4, l' Al_2O_3 a été choisi comme oxyde de grille pour les canaux III-V. Afin de diminuer la densité de défauts à l'interface, une préparation de surface est effectuée. Celle-ci consiste en une désoxydation pour éliminer les oxydes naturels de GaAs (bain NH_3) suivie d'une

passivation sulfure de la surface des nanofils (bain $[\text{NH}_4]_2\text{S}$). L'échantillon est ensuite immédiatement chargé dans le bâti de dépôt ALD où 5.5 nm d' Al_2O_3 sont déposés en 51 cycles successifs (cf. chapitre 4 - B).

Afin de créer le contact allié au sommet et au pied des nanofils, il est nécessaire de conserver l' Al_2O_3 uniquement sur les flancs des nanofils. Pour cela, une gravure plasma très directive est employée à partir des gaz Cl_2 et BCl_3 en mode purement capacitif (CCP), c'est-à-dire sans ioniser le plasma préalablement (ICP). Les espèces chargées du plasma sont attirées par l'électrode support et une gravure majoritairement physique et directive est obtenue. Toutefois, ce plasma étant également très efficace pour graver les matériaux III-V, il est nécessaire d'utiliser un échantillon de calibration du temps de gravure grâce au suivi interférométrique (DFA) pour éviter tout phénomène de surgravure. En effet, la détermination à l'aide de la DFA peut durer plusieurs secondes afin de s'assurer que la couche d' Al_2O_3 est bien éliminée or ces secondes de surgravure suffisent à graver jusqu'à 30 nm de GaAs (Figure V-9).

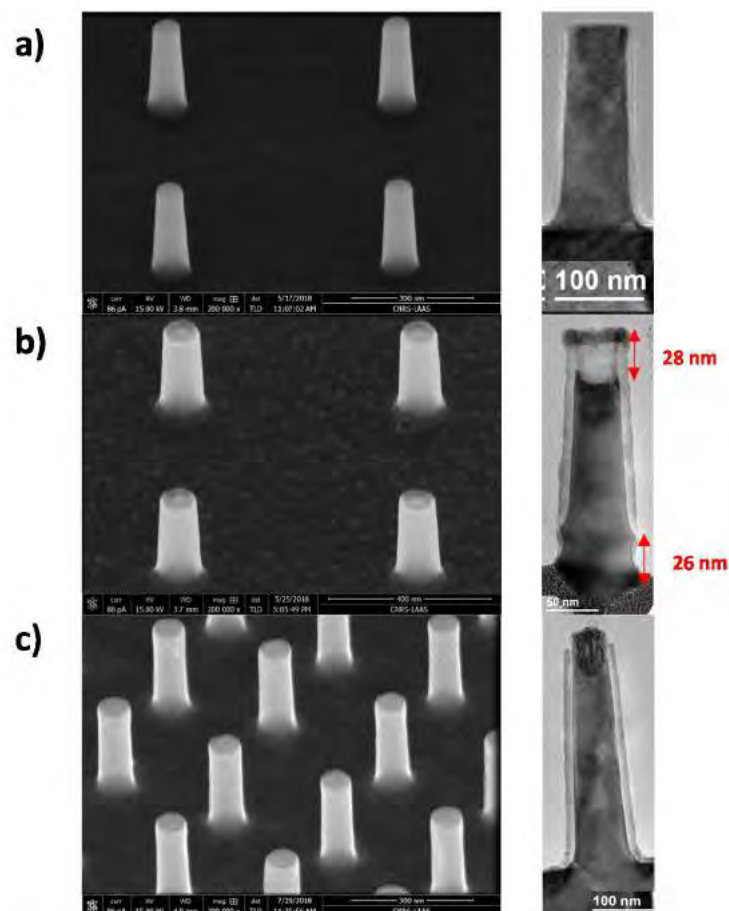


Figure V-9 : Images MEB et TEM de nanofils de GaAs. a) Avant gravure de Al_2O_3 . b) Après gravure d' Al_2O_3 avec une surgravure de 5 s menant à un creux d'environ 30 nm au sommet et au pied du nanofil. c) Après gravure de l'alumine sans surgravure.

Une fois la couche d' Al_2O_3 gravée, les contacts source/drain peuvent être réalisés en déposant 15 nm de Ni par évaporation directive puis en effectuant un recuit thermique rapide à 300°C. L'enchaînement de ces deux étapes permet de proposer pour la première fois des contacts source et drain de même nature sur un transistor à base de nanofils verticaux de matériaux III-V intégrés sur plateforme silicium contrairement aux équipes de recherche travaillant sur le domaine [61], [63], [74] ayant jusqu'à présent proposé des contacts métalliques au sommet des nanofils et des contacts en face arrière du (Figure V-10). Ces contacts en face arrière du substrat ont permis de réaliser des dispositifs de démonstration des performances de tels transistors mais n'est pas réalisable dans un procédé grande échelle. La solution proposée, en réussissant à conserver l' Al_2O_3 sur les flancs du nanofil pendant la gravure, permet de répondre à cette problématique.

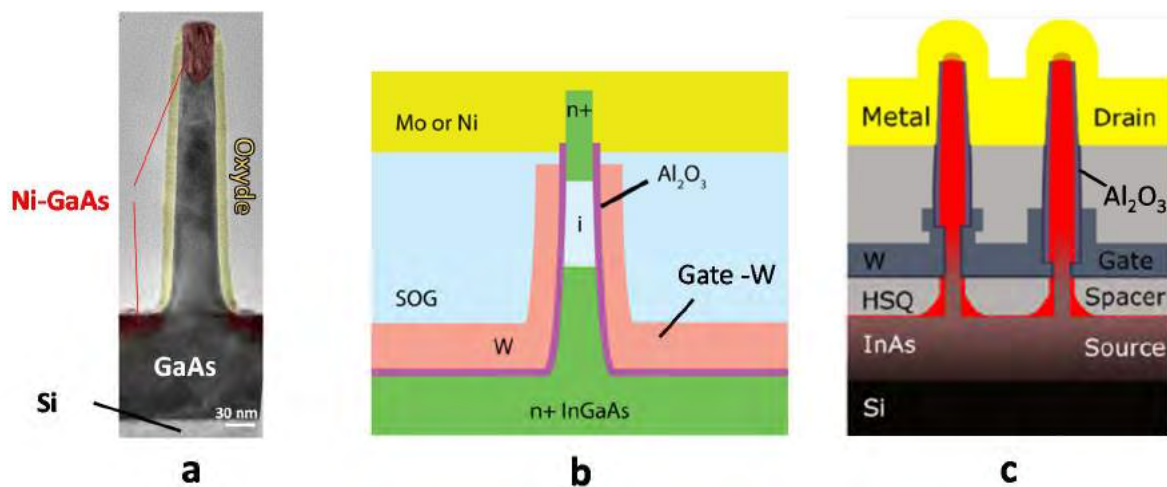


Figure V-10 : Disposition des contacts et de la grille sur les transistors à nanofils verticaux. a) Notre proposition avec des contacts top/bot de même nature grâce à un oxyde présent uniquement sur les flancs. b) Proposition de X. Zhao et c) Proposition de O. P. Kilpi utilisant un contact supérieur métallique et un contact inférieur substrat InGaAs ou InAs [61], [63].

Une fois ces étapes effectuées, il faut désormais enchaîner les étapes permettant le positionnement du niveau de grille à mi-hauteur des nanofils ainsi que celle permettant de définitivement encapsuler le transistor et de créer les connexions permettant d'alimenter le transistor.

3. Positionnement de la grille et finition du procédé

Les étapes suivant l'intégration des briques de base ont été inspirées des travaux effectués sur Si. En effet, le matériau III-V étant totalement recouvert, les prochaines étapes peuvent être transférées d'un procédé à l'autre si tant est que les méthodes soient compatibles avec l' Al_2O_3 et l'alliage Ni-(III-V). L'évolution de la structure de l'échantillon est représentée dans la Figure V-11.

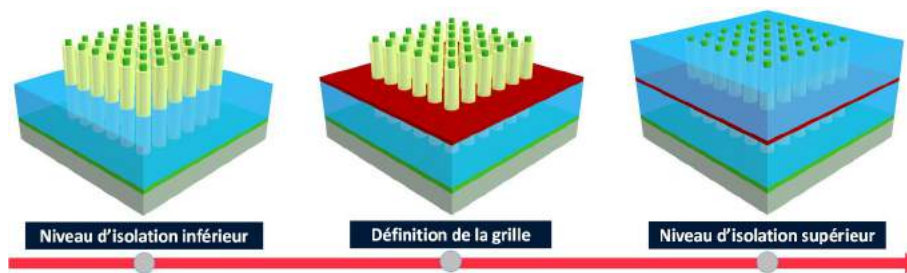


Figure V-11 : Isolation et positionnement vertical de la grille à l'aide de deux niveaux d'isolation.

Pour positionner le niveau de grille à mi-hauteur des nanofils, un oxyde est utilisé afin d'isoler électriquement chacun des pôles du transistor tout en le protégeant physiquement de l'extérieur. Ce matériau doit être isolant avec une constante diélectrique faible pour minimiser les capacités parasites et son épaisseur facilement maîtrisable tout en présentant une surface plane car la grille d'une épaisseur de 20 nm reposera dessus. Pour cela, les résines de lithographie sont des matériaux intéressants car celle-ci sont isolantes et la maîtrise de leur épaisseur avec une précision de 10 nm peut être effectuée par enduction. Les résines organiques étant très sensibles aux solvants utilisés dans le procédé (acétone, éthanol, méthanol) ainsi qu'au plasma O_2 , la résine inorganique HSQ a été choisie pour former les niveaux d'isolation. Celle-ci peut également être enduite à des épaisseurs de quelques dizaines de nanomètres et peut être recuite pour être réticulée et devenir ainsi insensible aux solvants organiques et plasma O_2 .

Le métal de grille choisi est le chrome pour sa stabilité thermique et chimique. En effet, le chrome est un métal extrêmement difficile à graver chimiquement : il est par exemple résistant à l'eau régale contrairement à la majorité des métaux. Cette particularité lui vaut d'être utilisé comme agent anti-corrosif dans les alliages [165]. Le dépôt de celui-ci est effectué par évaporation par faisceau d'électron pour atteindre une épaisseur de 20 nm.

Enfin, le niveau d'isolation supérieur est défini de la même manière que pour le niveau inférieur : à l'aide de HSQ. Ce niveau doit s'arrêter exactement à hauteur des contacts formés aux sommets des nanofils afin de pouvoir les contacter. Cependant, il n'est cette fois pas nécessaire d'avoir une surface plane car les pads métalliques en aluminium auront une épaisseur de 400 nm et seront donc insensibles à la rugosité de surface. Une fois le niveau d'isolation supérieur réalisé, il faut réaliser les vias à l'aide d'une photolithographie et d'une gravure plasma à base de CF_4/CHF_3 pour éliminer la HSQ et libérer un chemin pour prendre contact au pied du nanofils (Ni-GaAs) et à la grille (Cr). Une fois ces vias créés, un dépôt par évaporation d'aluminium de 400 nm permet de créer les pads métalliques sur lesquels les pointes de caractérisations seront posées.

Cet enchaînement d'étape permet à terme la réalisation d'un dispositif caractérisable. Un schéma de la structure finale est présenté en Figure V-12.

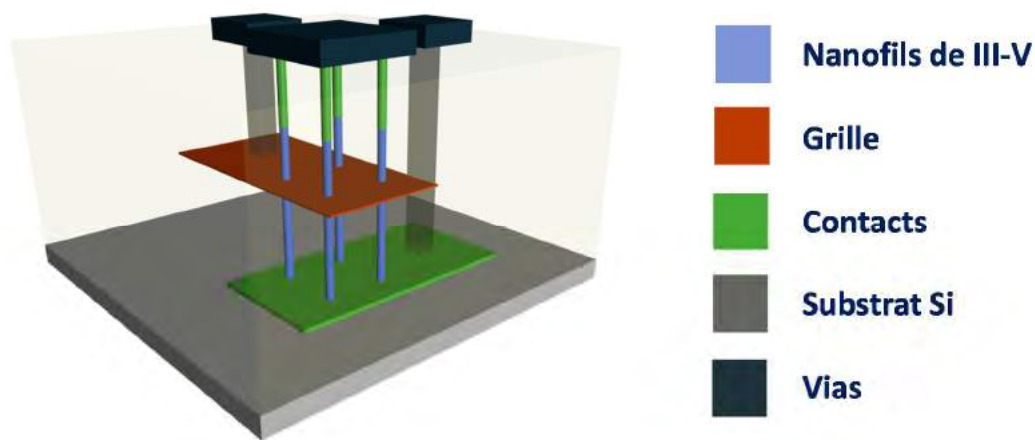


Figure V-12 : Vue 3D d'un transistor à base de nanofils verticaux de matériau III-V.

La suite de ce chapitre va désormais présenter les difficultés technologiques qui se sont présentées lors de la réalisation de ce procédé : la structuration des couches isolantes en HSQ et la structuration des couches métalliques en Ni-(III-V) et Cr.

B. Réalisation des espaceurs d'isolation

1. L'espaceur comme isolant électrique et matériau d'encapsulation

Le rôle de l'espaceur est d'isoler physiquement et électriquement chacun des contacts du transistor. Il a également un rôle d'encapsulation du dispositif permettant de le protéger des éléments externes au transistor. Bien qu'il soit un isolant, sa constante diélectrique doit être faible afin d'éviter les phénomènes de capacités parasites et sa résistance thermique et mécanique doivent être élevées pour remplir son rôle d'encapsulation. Lors de sa structuration en présence de nanofils, il est également important de s'assurer qu'il comble bien tout l'espace sans cavité. Les architectures proposées par le Zhao et al. [61] et Ramesh et al. [74] visent à tirer profit du dépôt au préalable de l'oxyde de grille en Al_2O_3 pour l'utiliser comme espaceur entre la grille et les contacts. Cette facilité au niveau du procédé peut cependant engendrer de fortes capacités parasites, l' Al_2O_3 ayant une forte permittivité électrique (≈ 9.1) et une épaisseur très faible de quelques nanomètres. La Figure V-13 représente les zones à risque sur ces deux propositions. Nous souhaitons proposer une solution alternative permettant de s'affranchir de ces effets parasites en utilisant un espaceur plus épais.

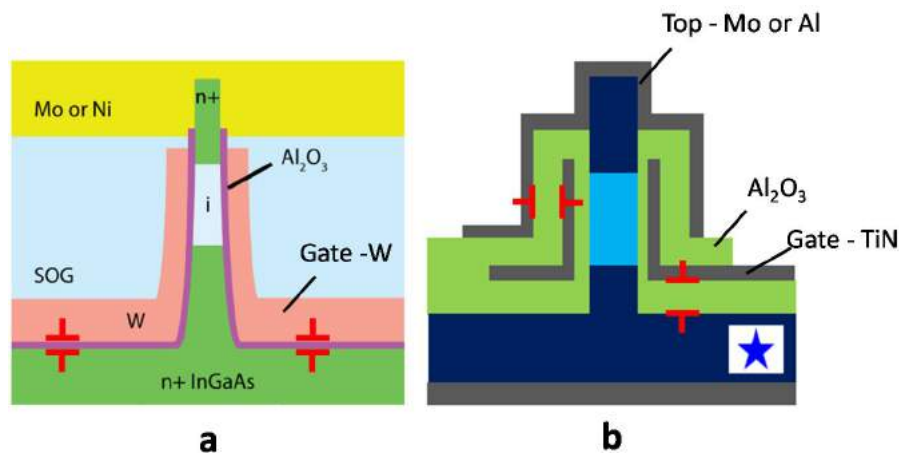


Figure V-13 : Dispositifs présentés par le MIT (a) et l'IMEC (b) sur lesquels les probables capacités parasites sont représentées en rouge. [61], [74]

Parmi les solutions proposées pour réaliser un espaceur autour de nanofils verticaux, l'utilisation de résines de lithographie est un choix pertinent de par leur caractère isolant tout en possédant de bonnes propriétés de structuration, leur enduction étant largement étudiée pour les procédés de lithographie. L'utilisation de résines organiques telles que la S1808 (Shipley), la SC200 (Silecs) et la SU8 (Microchem) a été étudiée [166] mais l'instabilité thermique de celles-ci est un frein à leur intégration dans un procédé présentant des recuits. Les résines organiques telles que la PMMA ont également ces soucis d'instabilité thermique [167]. L'enduction d'oxydes dits « Spin On Glass » (SOG) ou via dépôt par pulvérisation, tels que le SiO_2 [168] ou le nitrure de silicium [169], présentent l'avantage d'un contrôle très précis de l'épaisseur déposée ainsi que de bonnes stabilité mécanique et thermique. Cependant un effet de vague est présent aux pieds des nanofils comme présenté par la Figure V-14 où la HSQ, un oxyde que l'on peut déposer par enduction, a une surépaisseur de plusieurs dizaines de nanomètres au niveau des nanofils [170].

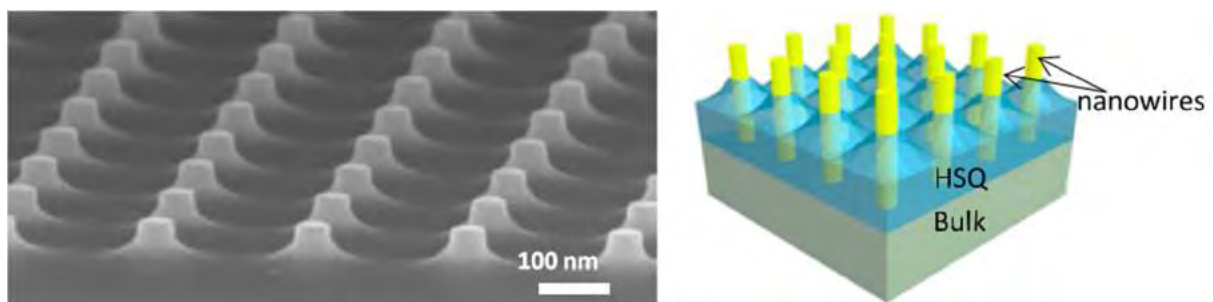


Figure V-14 : Démonstration de l'effet de vague obtenu en enduisant de la HSQ autour de nanofils de Si. [170]

L'obtention d'un espaceur plan et répondant aux critères d'isolation, de stabilité thermique et mécanique nécessite donc une étape de structuration. Le premier niveau d'isolation doit présenter une surface plane, sur laquelle reposera la grille avec une épaisseur que l'on peut moduler avec une précision de l'ordre de la dizaine de nanomètres. En effet, la planéité de cette surface est l'étape

primordiale de notre approche car elle permet de facilement maîtriser la longueur du canal grâce au contrôle nanométrique de l'épaisseur du métal de grille. En comparaison, les travaux des équipes de l'IMEC et du MIT contrôlent la longueur du canal par une différence de dopage au sein des nanofils, ce qui est très difficilement miniaturisable. L'enduction de HSQ est une technique prometteuse de par sa simplicité de mise en œuvre. Cependant, l'effet de vague qui en résulte est néfaste pour le fonctionnement du dispositif : la structuration de cet espaceur a donc nécessité une optimisation.

2. Structuration du premier niveau d'isolation

i - Approche par la gravure chimique

Pour éviter l'effet de vague, l'approche utilisée est d'enduire l'échantillon de HSQ avec une épaisseur supérieure à celle des nanofils afin que la surface de la HSQ soit plane puis de graver celle-ci de manière homogène jusqu'à l'épaisseur désirée. La gravure est effectuée avant recuit de la HSQ car un recuit transforme la structure de la HSQ de manière partielle. En effet, Penaud et al. ont démontré à l'aide de caractérisations par spectroscopie à transformée de Fourier (FTIR) que pour des températures de recuit inférieures à 700°, le taux de conversion de la structure cage à la structure réseau n'est pas de 100% [171]. Ces deux structures ayant des vitesses de gravure par le HF différentes, il en résulte que la surface de la HSQ après gravure est inhomogène et rugueuse (Figure V-15a). Pour effectuer la gravure de la HSQ après enduction, une gravure chimique a été mise en place par Y. Guerfi [39], [170] à base d'une solution diluée de HF (0.2%) dans de l'eau qui permet de graver la HSQ à une vitesse de 130 nm/min environ. Un tensio-actif, le chlorure de benzalkonium, a été ajouté à la solution afin de prévenir la formation de bulles à la surface de l'échantillon qui entraîneraient une variation locale de la vitesse de gravure (Figure V-15).

Cette méthode a permis d'obtenir une couche de HSQ plane, d'une rugosité inférieure à 1 nm et dont la hauteur a pu précisément être positionnée à mi-hauteur des nanofils de Si.

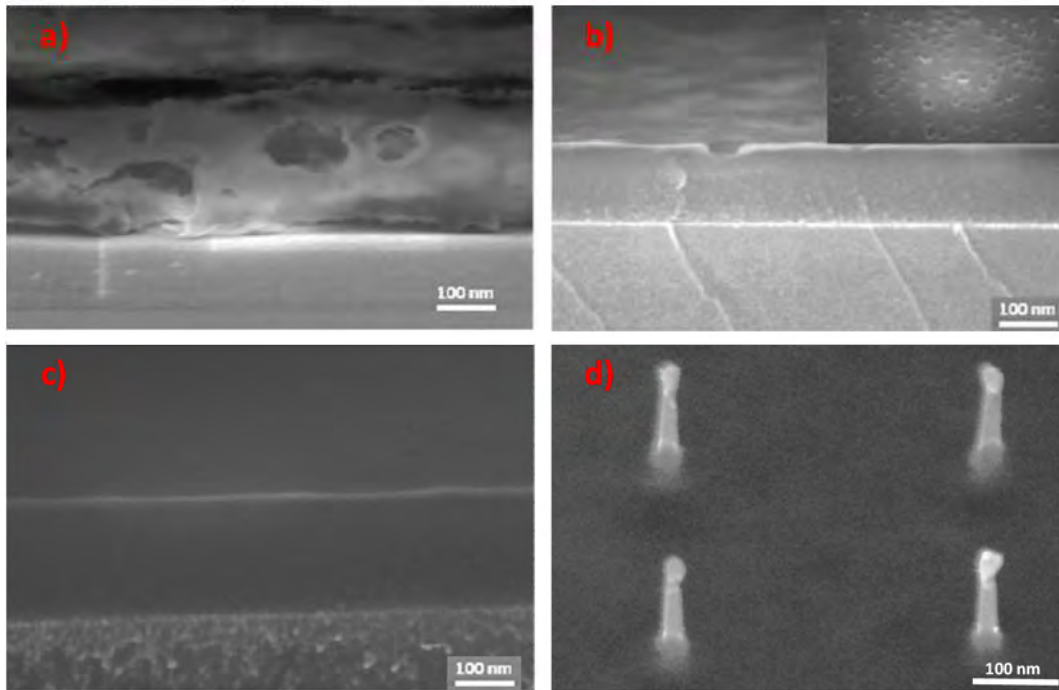


Figure V-15 : a) Images MEB en coupe de la gravure chimique de la HSQ après recuit à 400°C. Les cavités créées sont liées à des inhomogénéités de structure après recuit. b) Image MEB en coupe de la gravure chimique de la HSQ sans tension actif et c) avec tensio-actif. d) Planarisation chimique de la HSQ au milieu de nanofils de Si de 27 nm de diamètre à mi-hauteur (105 nm).

Cette méthode a donc été appliquée telle que décrite sur les échantillons comprenant des nanofils de matériaux III-V au cours de la fabrication des dispositifs. Le résultat, présenté en Figure V-16, est la formation d'une collerette autour des nanofils où la HSQ a été préférentiellement gravée. Pour une gravure de 150 à 200 nm d'épaisseur de HSQ, le cercle formé autour des nanofils a généralement un diamètre compris entre 200 nm et 230 nm.

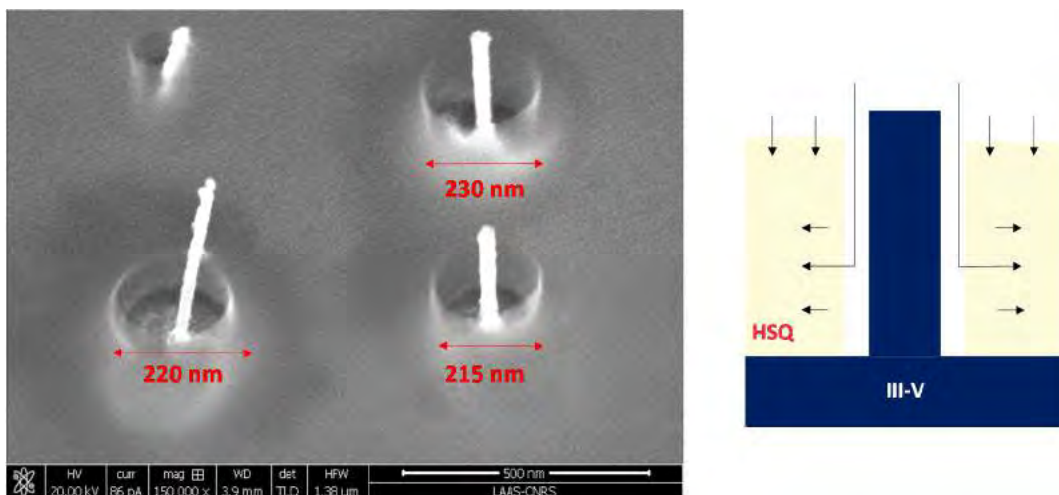


Figure V-16 : A gauche, nanofils d'InAs ayant subi une étape de planarisation chimique de 40 s. On remarque la formation de collerette autour des nanofils. L'épaisseur gravée sur cet échantillon varie entre 150 nm et 200 nm. A droite, représentation schématique de l'hypothèse de la gravure radiale par infiltration de la solution au niveau des flancs des nanofils. Les flèches représentent le sens de gravure.

L'hypothèse émise pour expliquer ce résultat est la gravure préférentielle de la couche d' Al_2O_3 sur les flancs du nanofils, conduisant à l'infiltration de la solution de gravure qui a alors gravé la HSQ de manière radiale sur toute l'épaisseur. Cette hypothèse est également renforcée par le fait que 5 nm d' Al_2O_3 sont effectivement gravé par la solution de planarisation en quelques secondes. Ce phénomène a également été observé sur des échantillons sans présence d' Al_2O_3 sur les flancs (Figure V-17). Dans ces expériences, c'est l'oxyde natif du GaAs qui est gravé préférentiellement et qui conduit à un résultat similaire.

Ce résumé nous démontre que le transfert d'un procédé de la filière silicium à la filière III-V n'est pas immédiat. En effet, la planarisation par voie chimique présente deux défauts :

- La formation d'une zone sans HSQ autour de chacun des fils qui ne permet pas de positionner la grille sur le flanc des fils.
- La gravure n'est pas sélective vis-à-vis de l' Al_2O_3 et impose d'effectuer un nouveau dépôt d'oxyde après la réalisation de celle-ci.

Afin de dépasser ces limitations, une nouvelle manière de façonner la couche de HSQ a été utilisée en utilisant son caractère électro-sensible.

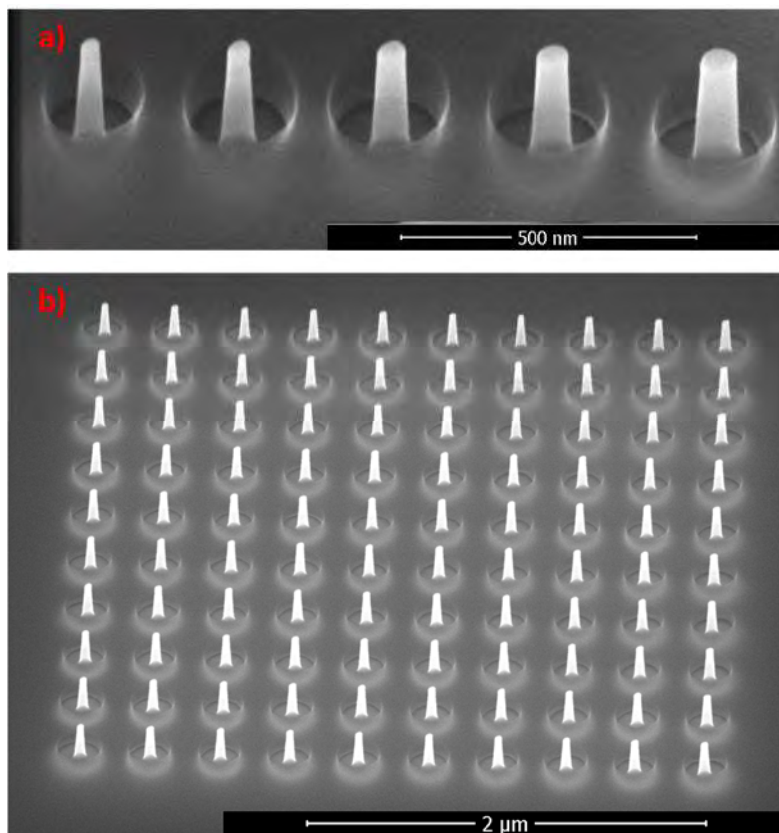


Figure V-17 : Images MEB de nanofils de GaAs de 240 nm de hauteur dont la HSQ a été planarisée chimiquement pendant 30 s. L'effet de collerette est observé sur chaque nanofil sur une distance de 60 à 75 nm. a) De gauche à droite, les diamètres sont: 30 nm, 40 nm, 50 nm, 60 nm et 80 nm. b) Réseau de nanofils de 40 nm de diamètre.

ii - Obtention d'un premier niveau d'isolation plan par insolation électronique.

Memišević et al. ont proposé une autre approche afin de modifier l'épaisseur de la HSQ [172] : en insolant cette dernière à des doses inférieures à la dose normalement requise pour obtenir un plot de résine bien défini, ils ont démontré qu'il était possible de modifier l'épaisseur de HSQ résiduelle après développement au TMAH.

Des essais ont été réalisés afin de reproduire ces résultats. Un substrat de GaAs dopé N a été enduit de manière à obtenir 330 nm de HSQ. Un recuit de 200°C pendant 2 min a été appliqué pour éliminer la totalité du solvant présent lors de l'enduction. Les motifs de tests sont des carrés de 90 µm de cotés. Un balayage en dose appliquée de 20 µC/cm² à 500 µC/cm² est réalisé sur ces motifs. La révélation utilisée est similaire à celle après insolation : 1 min TMAH 25% + 2 min EDI + 1 min méthanol. L'épaisseur de la résine résiduelle est mesurée à l'aide d'un profilomètre mécanique. La variation de l'épaisseur est représentée en Figure V-18. Celle-ci est similaire à celle reportée dans la littérature : elle est très abrupte pour les doses faibles puis atteint une valeur limite d'environ 280 nm. Cette épaisseur correspond à l'épaisseur de la HSQ après recuit à 200°C. A partir de ces résultats, un second balayage de la dose insolée dans la zone abrupte a permis de mettre en évidence la très bonne reproductibilité de cette méthode de structuration de la résine, les différences d'épaisseurs entre les deux balayages pour une même dose étant toujours inférieures à 5 nm.

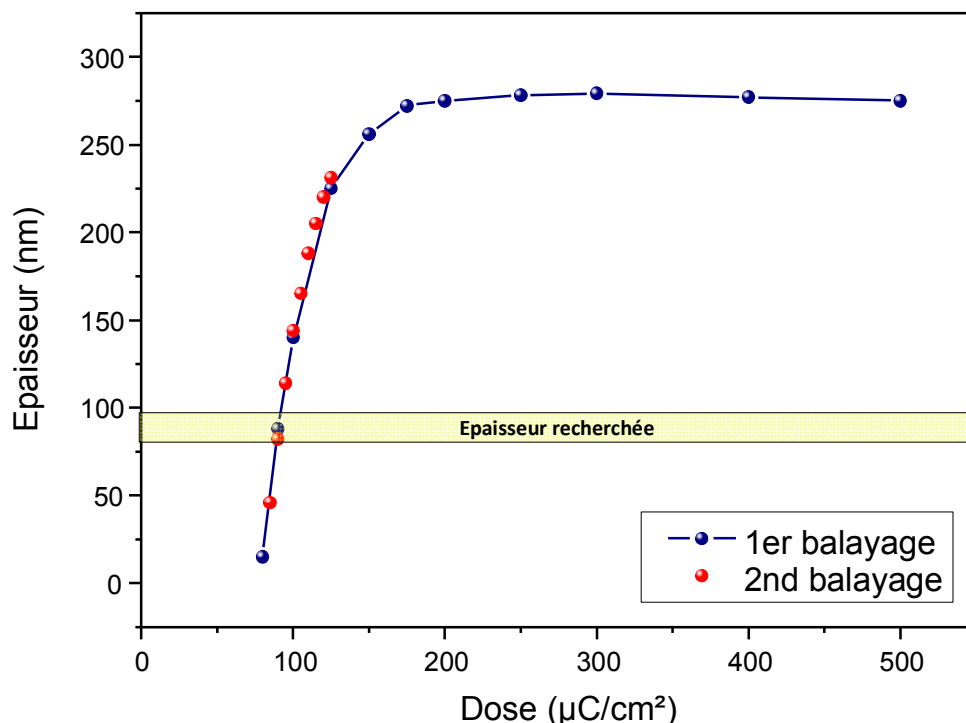


Figure V-18 : Variation de l'épaisseur de HSQ après révélation en fonction de la dose d'électrons reçue. Le deuxième balayage en dose, plus resserré, permet de voir l'excellente reproductibilité de l'expérience dans la zone où le taux d'accroissement est maximal.

La dose à appliquer pour obtenir l'épaisseur désirée est dépendante du substrat utilisé. En effet, lors d'une insolation sur un substrat Si avec une couche de 200 nm de GaAs, un décalage de la dose à appliquer est observé (Figure V-19). Pour une épaisseur souhaitée de 100 nm, il faut alors utiliser une dose de 115 $\mu\text{C}/\text{cm}^2$ au lieu d'une dose de 92 $\mu\text{C}/\text{cm}^2$. Cependant, on ne remarque pas de différence notable de dose à appliquer en présence de moins de 20 nm de matériau en surface, qu'il s'agisse d'un matériau isolant (Al_2O_3) ou conducteur (Ni_3GaAs).

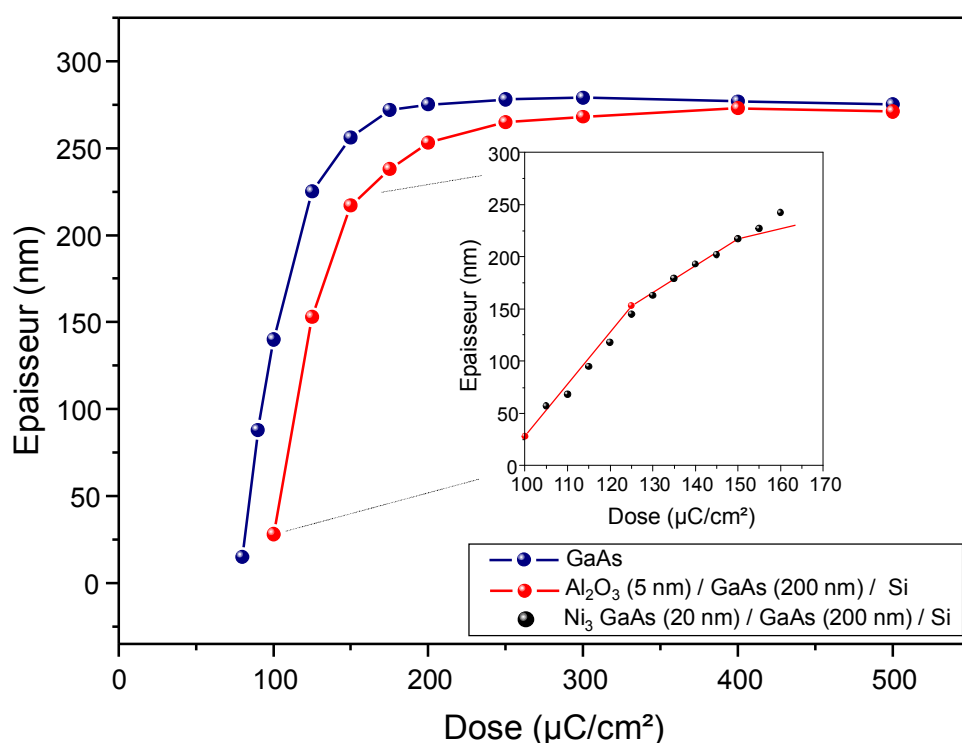


Figure V-19 : Epaisseur de HSQ résiduelle après révélation en fonction de la dose appliquée. Le substrat a un impact sur l'épaisseur obtenue. (insert) Les couches de quelques nanomètres en surface de l'échantillon n'ont pas d'impact sur l'épaisseur finale.

Pour comprendre les mécanismes sous-jacents, il faut s'intéresser de plus près à la modification d'une résine par un faisceau d'électrons. Lors de leur interaction avec la matière, les électrons incidents vont se propager dans le matériau et provoquer divers mécanismes d'interaction menant à l'émission d'électrons de différentes énergies (Figure V-20). Parmi ces électrons, ce sont les électrons secondaires (énergie typique : 5 eV) et les électrons rétrodiffusés (énergie typique : 50 eV) qui participent à l'insolation de la résine. Lors de l'insolation de la résine, le changement de structure de celle-ci nécessite une certaine quantité d'énergie. Typiquement, les résines organiques utilisées pour la lithographie électronique telles que la PMMA nécessitent des énergies de quelques électronVolts [173]–[176] et sont insolées par les électrons secondaires. Les résines inorganiques, dont la HSQ fait partie, nécessitent une énergie de quelques dizaines d'électronVolts et sont donc insolées par les

électrons rétrodiffusés. Ce mode d'insolation par les électrons émis par la surface implique que l'insolation de la HSQ s'effectue de bas en haut.

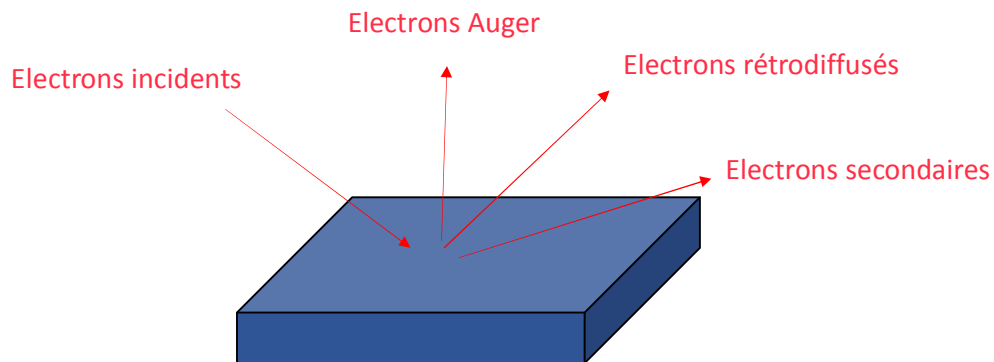


Figure V-20 : Schéma de l'interaction électron - matière montrant la réémission d'électrons suite à la propagation des électrons incidents dans l'échantillon.

Le taux de rétrodiffusion, représentant la quantité d'électrons rétrodiffusés par rapport à la quantité incidente, est lié au matériau sur lequel repose la HSQ. Le logiciel Casino développé par l'université de Sherbrooke [177] permet de simuler le trajet des électrons dans un matériau donné. La Figure V-21 est une représentation graphique de la modélisation de ces trajets. On remarque que les électrons pénètrent bien plus dans le Si (avec un taux de rétrodiffusion de 0.165) contrairement au GaAs (qui présente un taux de rétrodiffusion de 0.296). Ce résultat permet d'expliquer le décalage vers la droite de la courbe obtenue sur substrat Si : l'augmentation de la dose permet d'obtenir le même nombre d'électrons rétrodiffusés que sur le substrat GaAs et conduit à une insolation de la même épaisseur.

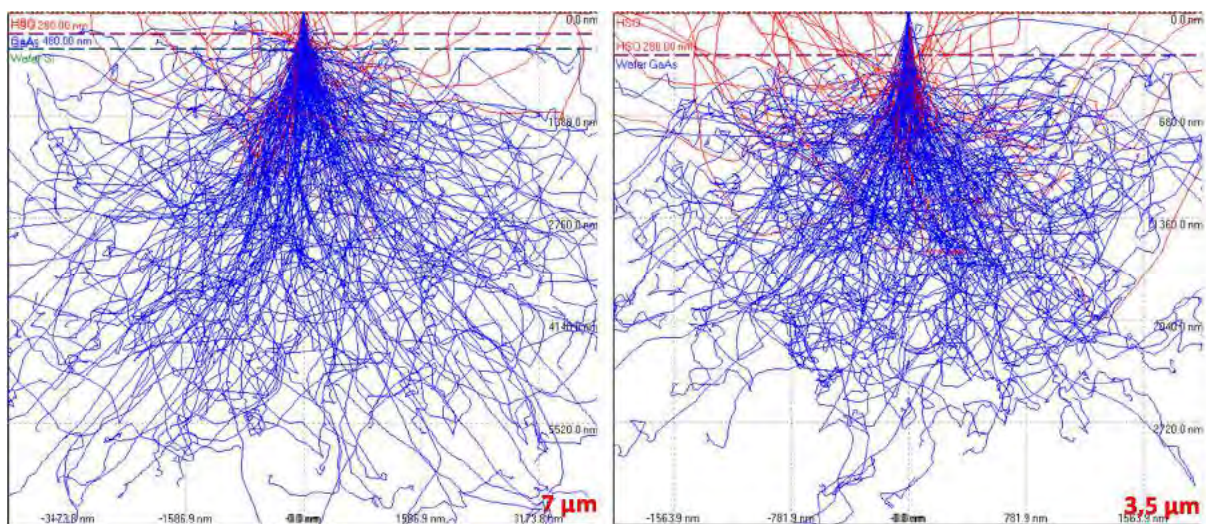


Figure V-21 : Simulation Casino des trajets d'électrons avec une énergie incidente de 30 keV. A gauche, les trajets à travers un empilement HSQ (280 nm)/GaAs (200 nm)/Si avec un taux de rétrodiffusion de 0.165 et une profondeur de pénétration maximale de 7 µm. A droite, les trajets à travers un empilement HSQ (280 nm)/GaAs avec un taux de rétrodiffusion de 0.296 et une profondeur de pénétration maximale de 3.5 µm.

Forts de ces résultats, les planarisations sur nanofils ont été effectuées à l'aide de la méthode par insolation et ont été intégrés dans le cours du procédé (Figure V-22). Un recuit RTA de la HSQ à 300°C permet de densifier la couche HSQ et d'augmenter sa stabilité mécanique. Ce recuit n'impacte pas l'épaisseur finale de la HSQ.

La méthode de planarisation par insolation a permis de contourner une difficulté liée à l'introduction de nouveaux matériaux (III-V, Al_2O_3) par rapport au procédé précédemment développé. A l'aide d'une méthode par insolation électronique, l'épaisseur de la résine HSQ a pu être finement contrôlée de manière reproductible grâce au réglage précis de la dose d'électrons injectés. La surface qui en résulte est plane, sans effet de vague et cette étape s'est avérée extrêmement reproductible ce qui est un avantage non négligeable dans l'optique d'une fabrication grande échelle.

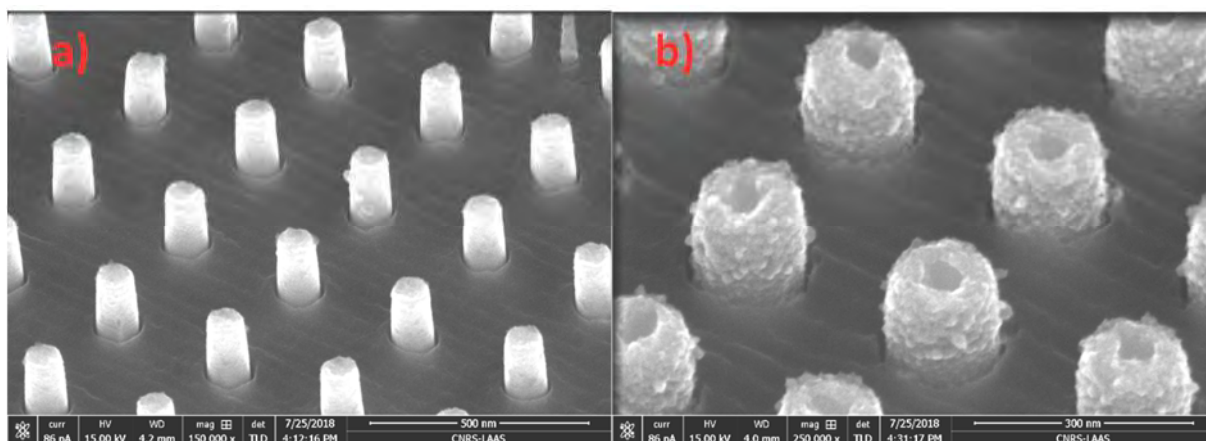


Figure V-22 : Planarisation par insolation de la HSQ effectuée sur deux échantillons différents après l'étape de formation de l'alliage. Nanofils de GaAs sur substrat Si a) d'un diamètre de 60 nm. b) d'un diamètre de 80 nm. L'insolation a été effectuée avec une dose de $110\mu\text{C}/\text{cm}^2$ et permet d'obtenir une épaisseur de 70 nm de HSQ.

3. Gravure du second niveau d'isolation

La gravure du second niveau d'isolation qui doit isoler la grille du contact du sommet des nanofils est une étape moins critique que celle du premier niveau. En effet, les nanofils étant complètement encapsulés dans la HSQ, ils sont protégés d'un effondrement mécanique ou d'une attaque chimique indésirable. De plus, la planéité de la surface n'est plus un critère crucial pour ce niveau. Le seul paramètre important pour cette gravure est de libérer le sommet des nanofils afin de pouvoir les contacter à l'aide d'une couche d'aluminium.

Pour réaliser ce contrôle précis de l'épaisseur éliminée, une gravure plasma est employée. Celle-ci est à base de CF_4/CHF_3 à 50 W avec une pression de réacteur de 50 mTorr et permet la gravure à une vitesse de 17 nm/min. La vitesse lente de gravure permet de graver précisément l'épaisseur souhaitée tout en garantissant de ne pas surgraver et attaquer le contact au sommet du nanofil. Cette stratégie

a été démontrée sur la filière Si (Figure V-23) et a permis de libérer environ 20 à 30 nm du sommet des fils pour pouvoir les contacter.

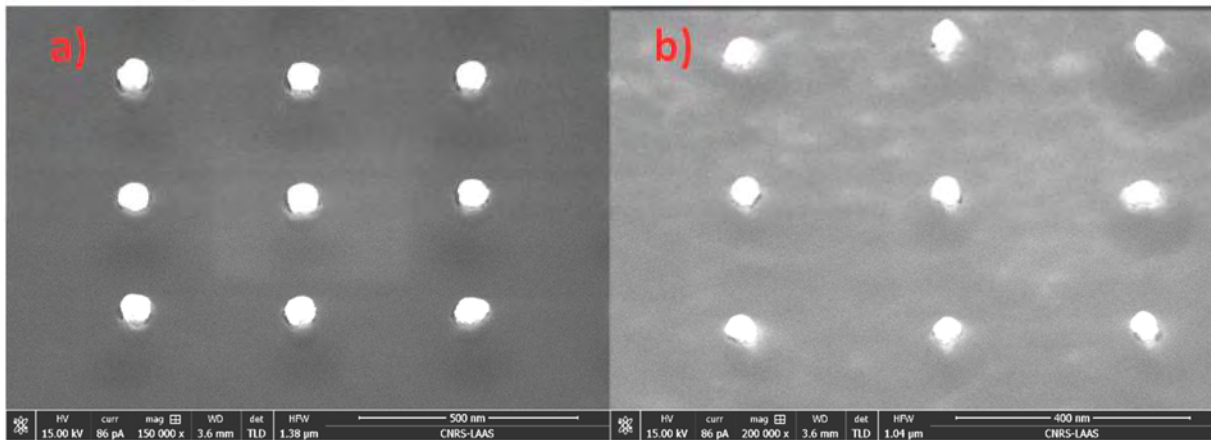


Figure V-23 : Nanofils de Si de a) 40 nm de diamètre et b) 30 nm de diamètre réalisés au cours de ces travaux de thèse. La gravure plasma de la HSQ a permis de libérer le contact du sommet pour pouvoir y déposer de l'aluminium.

Cette méthode est transférable à la filière III-V étant donné que, à ce stade, seule la nature des contacts est différente d'une filière à l'autre. Cependant, cela n'a pu être réalisé dans le temps de la thèse.

Les compétences développées sur la structuration de ces couches isolantes sont valorisables sur d'autres types de technologie. Le contrôle précis de l'épaisseur de l'isolant a, par exemple, été utilisé pour encapsuler et planariser des structures nanométriques utilisées dans des approches alternatives de stockage numérique hyper dense [178].

La structuration des couches isolantes étant explorée, il est désormais nécessaire d'étudier la structuration des différents niveaux métalliques composant le transistor.

C. Structuration des couches métalliques sans « lift-off »

Cette partie se concentre sur la structuration des niveaux métalliques sur les transistors (Figure V-24) :

- Formation des contacts source et drain en Ni-(III-V) aux pieds et sommets des nanofils.
- Structuration du niveau de grille à mi-hauteur des nanofils.
- Dépôt d'aluminium pour créer le lien entre les transistors et les modules de pilotage.

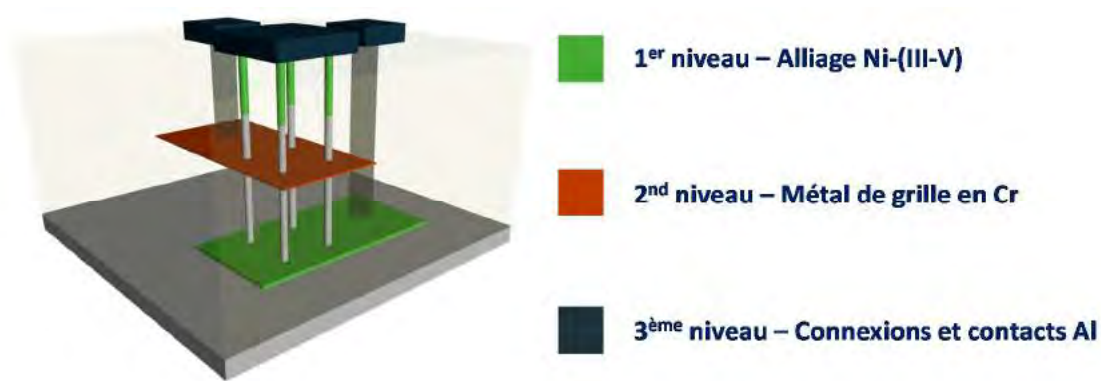


Figure V-24 : Schéma d'un transistor à base nanofils verticaux : emplacements des niveaux métalliques à structurer.

1. Définition des contacts alliés

i - Le procédé « lift-off » non compatible

La formation des contacts Ni-GaAs et Ni-InAs est réalisée par recuit thermique rapide après dépôt de 15 nm de Ni par évaporation anisotrope. Ces contacts doivent être structurés pour isoler chacun des composants les uns des autres. Une méthode de structuration des dépôts métalliques usuellement utilisée par les équipes de recherche est le « lift-off ». Elle consiste à utiliser un premier dépôt d'une couche photosensible qui sera structurée par photolithographie. Le dépôt de métal sera ensuite effectué puis le métal localisé aux positions non voulues sera alors éliminé en dissolvant la couche photosensible (Figure V-25). L'avantage de cette technique est d'être transférable quel que soit le métal utilisé. En effet, contrairement à une étape de gravure (humide ou sèche), l'action d'élimination est ici effectuée sur une couche sacrificielle dont la chimie de gravure est connue. Le succès d'un tel procédé est soumis à la condition d'avoir des flancs de résine rentrants, permettant ainsi une séparation nette du film de métal déposé par évaporation. Si le film déposé est continu, des replis du métal ou le délaquage complet de celui-ci peut être observé.

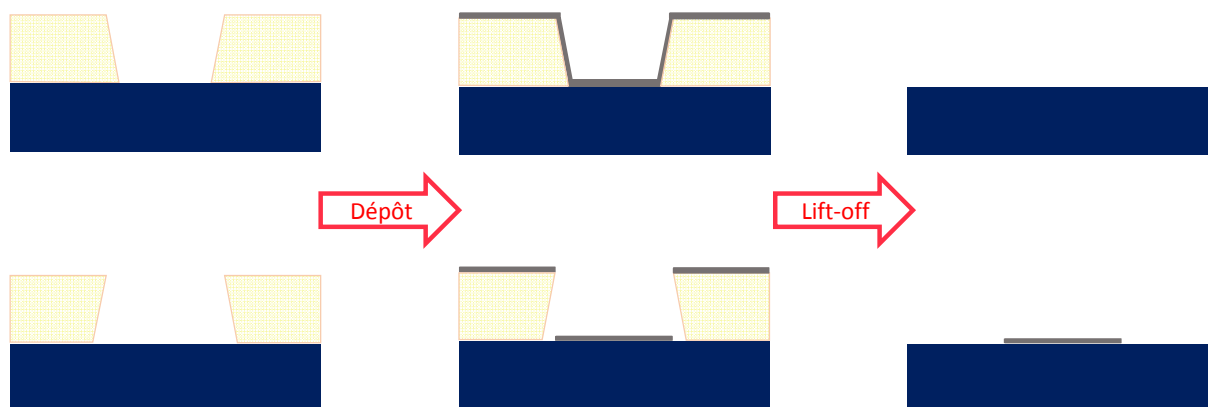


Figure V-25 : Procédé "lift-off" utilisé avec une résine à flancs sortants (en haut) et rentrants (en bas). Dans le cas de flancs sortant, le film métallique est continu et risque d'être totalement éliminé lors de la dissolution de la résine contrairement au cas des flancs rentrants où le film est discontinu.

Cependant, ce procédé présente également quelques défauts :

- (i) L'interface peut être contaminée par des résidus organiques provenant de la résine.
- (ii) Des résidus métalliques peuvent se redéposer lors de la dissolution de la résine.

Une solution plus élégante et en accord avec les procédés grande échelle a donc été développée.

ii - Utilisation de la couche Al_2O_3 comme barrière de diffusion



Figure V-26: Stratégie employée pour éviter un procédé "lift-off". L' Al_2O_3 est structuré par gravure pour bloquer la diffusion du Ni en dehors des contacts.

L'étape précédant la formation des contacts est le dépôt de l'oxyde de grille Al_2O_3 et de sa gravure. Cette couche de 5 nm peut être utilisée comme barrière de diffusion pour empêcher la formation des contacts Ni-(III-V) aux positions non désirées. Pour cela, l'étape de gravure de l' Al_2O_3 qui était auparavant effectuée sur la totalité de l'échantillon doit être révisée. Une étape de photolithographie est réalisée pour permettre la gravure d' Al_2O_3 au niveau des transistors seulement. Une fois la résine éliminée par une solution de DMSO, l'échantillon est alors plongé dans un bain d'HCl à 37% (élimination de l'oxyde) puis chargé dans le bâti d'évaporation. Une fois le Ni déposé, le recuit thermique rapide est effectué afin de former les contacts au pied et sommet des nanofils seulement. Ces étapes sont résumées schématiquement dans la Figure V-26. Afin d'isoler chacun des composants, le nickel non réagi doit être gravé. Cela est réalisable à l'aide de l'acide chlorhydrique, cependant on observe alors que les contacts alliés ne sont plus présents au sommet des nanofils (Figure V-27). Il n'a pas pu être déterminé si la gravure du Ni par cet acide est non sélective vis-à-vis des alliages Ni-(III-V) ou si les alliages formés au sommet des nanofils ont été éliminés par éjection suite à des contraintes mécaniques. Afin de contourner cette difficulté, une photolithographie a été utilisée pour protéger les zones où l'alliage est présent et éliminer par HCl la couche de nickel présente sur l'alumine : pour cette

étape, il suffit d'utiliser une résine avec une polarité négative avec le masque utilisé lors de l'étape de gravure de l' Al_2O_3 .

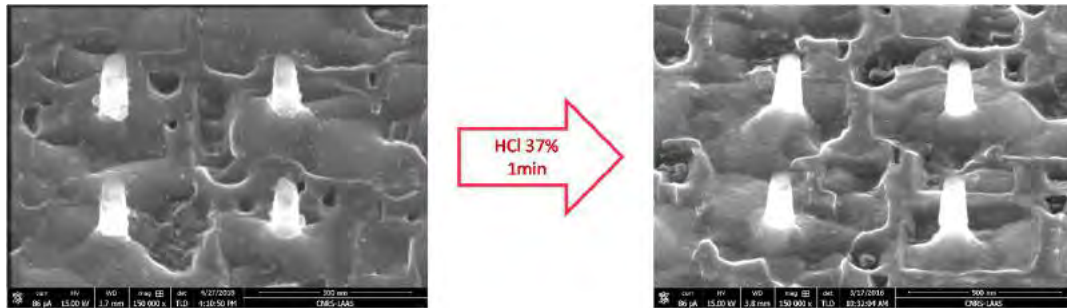


Figure V-27 : Elimination du Ni par solution HCl. Les résidus de Ni sur les flancs des nanofils sont bien éliminés mais le contact au sommet également. L'aspect du substrat est mauvais à cause d'un défaut lors du dépôt du Ni. Les résidus ne sont normalement pas présents également.

En utilisant astucieusement la couche d' Al_2O_3 préalablement présente à la surface de l'échantillon, une méthode adaptée aux procédés grande échelle a été proposée pour structurer la couche d'alliage Ni-(III-V). L'élimination du Ni résiduel a été permise au prix d'une photolithographie supplémentaire.

Le second niveau à structurer est la grille en chrome qui repose sur le premier niveau d'isolation et est en contact avec l'oxyde de grille en Al_2O_3 .

2. Définition de la grille en Cr

Au même titre que pour la structuration des contacts alliés, il est nécessaire de structurer la grille des transistors pour isoler chaque composant. Pour cela, un enchaînement dépôt / photolithographie / gravure humide est proposé car il permet de protéger les nanofils lors de la gravure de la grille.

Pour éviter l'oxydation du Cr lors du dépôt, l'échantillon est introduit dans le bâti d'évaporation à l'aide d'un sas limitant au strict minimum la quantité d'oxygène présent dans la chambre de dépôt. 20 nm de métal sont alors déposés par évaporation. Le dépôt ainsi effectué est conforme et épouse la forme obtenue après planarisation (Figure V-28). Le chrome est également présent au sommet des nanofils mais pas sur les flancs, garantissant ainsi une bonne isolation des deux contacts.

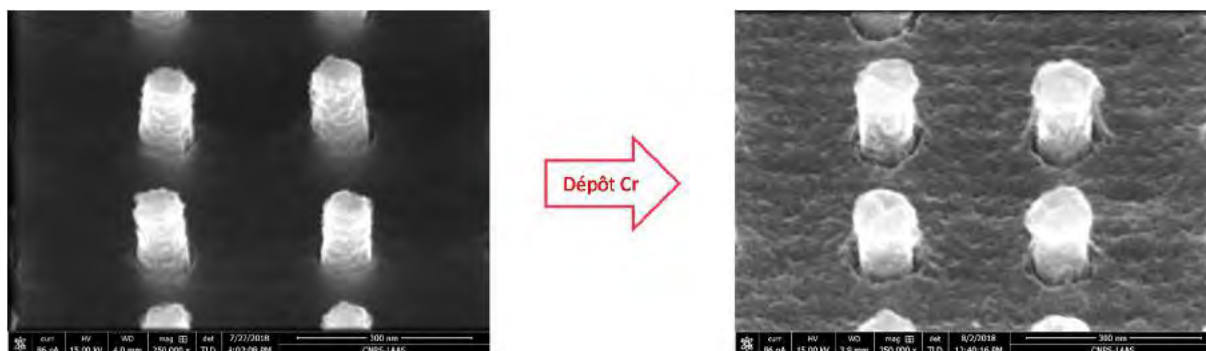


Figure V-28 : Dépôt de Cr sur des nanofils de 60 nm de diamètre. Le Cr se dépose au sommet des nanofils mais pas sur les flancs, permettant ainsi d'éviter un faux contact. Hauteur de la partie libérée des fils : 130 nm à 150 nm.

Le développement de la structuration du chrome s'est avéré complexe à plusieurs niveaux, repris dans la suite de ce paragraphe.

i - Tenue mécanique de la couche de chrome

L'étape de photolithographie est réalisée pour permettre de graver le Cr en dehors des dispositifs. Une première difficulté apparue est que le Cr n'adhère pas à l' Al_2O_3 en surface et l'étape de développement de la résine délamine par endroit la couche de Cr (Figure V-29). Cependant on observe que la couche de chrome présente sur la HSQ n'est pas retirée ce qui est concordant avec les résultats obtenus avec les échantillons à base de nanofils de Si où la HSQ est présente sur l'intégralité de l'échantillon. La gravure chimique du Cr a donc été effectuée sur ces échantillons.

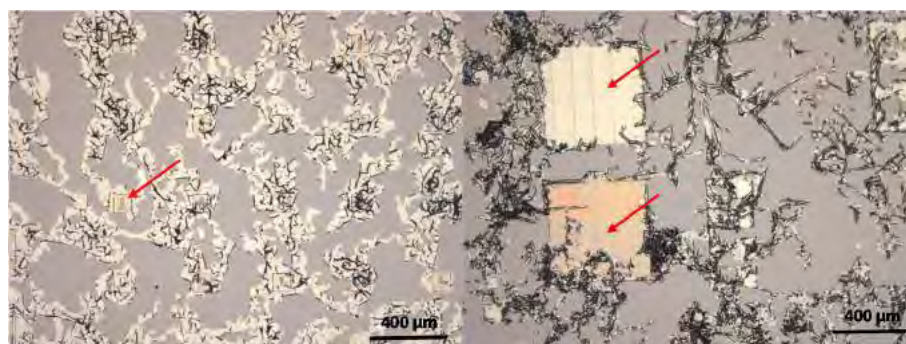


Figure V-29 : Microscopie optique de l'état de surface après développement de la résine ECI. On observe un décollement de la couche de Cr (en blanc) sur l' Al_2O_3 (en gris). Les flèches rouges indiquent les zones où de la HSQ est présente avec une surcouche d'ECI ou non.

ii - Gravure chimique du chrome

La gravure du Cr est rendue possible à l'aide d'un mélange d'acide perchlorique (HClO_4) et de nitrate de cérium et d'ammonium $(\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6$ [179]. Cette solution est notamment utilisée pour la gravure des masques de photolithographie où le Cr sert de masque sombre.

La réaction est la suivante :



Le composé oxydé $\text{Cr}(\text{NO}_3)_3$ est soluble en solution aqueuse et le Cr est ainsi éliminé. Cette gravure est également rendu plus compliquée par l'oxydation du Cr à l'air ambiant formant une couche passivante de Cr_2O_3 qui ralentit la réaction. Lors de l'attaque chimique du chrome, effectuée avec une solution diluée à 20 %, on observe la formation d'une couche brune après 150 s de gravure (Figure V-30). Cette coloration indique qu'il y a eu transformation de la couche en surface de l'échantillon. En effet, la solution de gravure est également incompatible avec le GaAs qui est sensible à tous les oxoacides tels que HNO_3 ou HClO_4 présents dans cette solution. Nous supposons donc que la couche d' Al_2O_3 est attaquée par cette solution qui grave ensuite le GaAs, détériorant ainsi le dispositif.



Figure V-30 : Microscopie optique de la surface de l'échantillon avant et après une gravure de Cr. L'état de la surface en dehors de la HSQ est mauvais et le GaAs sur lequel repose le dispositif est probablement gravé.

iii - Stabilité de la HSQ

Enfin, la HSQ semble également sensible à cette solution. L'aspect du dispositif après gravure est présenté en Figure V-31 et Figure V-32. Sur ces échantillons, le Cr a été gravé puis la résine photosensible ECI retirée pour libérer le contact de grille. La structure en HSQ a été endommagée par cette étape et peut même s'être détruite sur certains dispositifs. On remarque une gravure sous l'édifice en HSQ, probablement du GaAs. Cette gravure est probablement l'origine de contraintes au sein de la HSQ qui induisent des craquelures, notamment dans la zone protégée par la résine. Ces détériorations sont limitantes pour la poursuite du procédé.

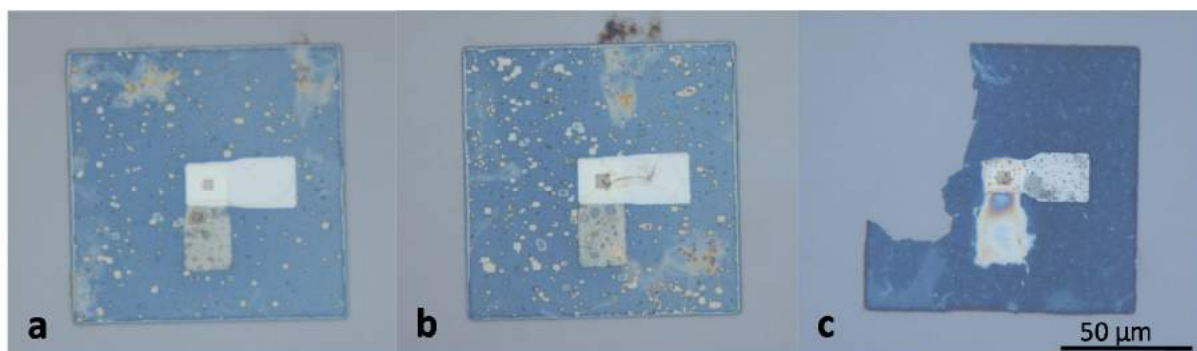


Figure V-31 : Dispositif avec des nanofils de a) 60 nm et b) c) 80 nm de diamètre après une gravure de 35 s dans la solution non diluée. La HSQ est endommagée et s'est parfois décollée. Sur ces images, la grille est à la surface et est horizontale alors que le contact du bas est vertical sous la HSQ.

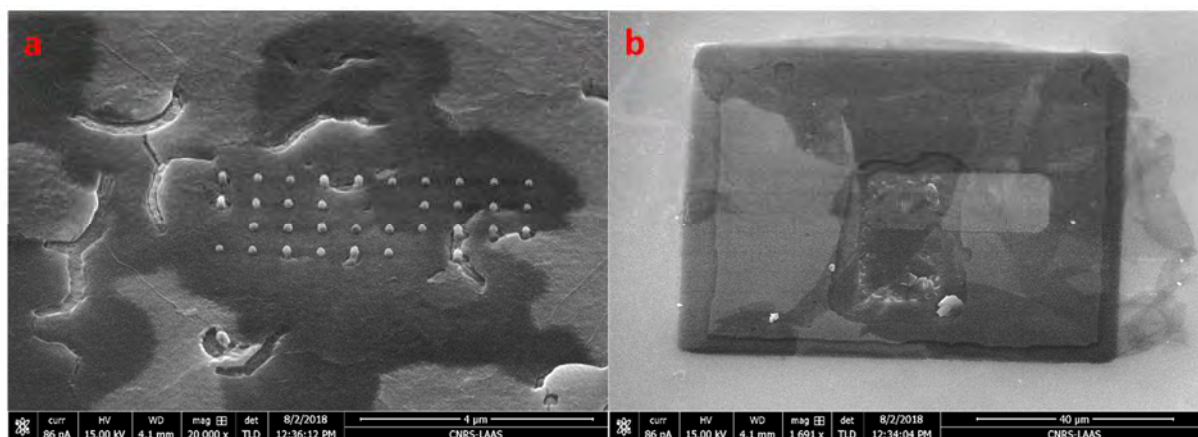


Figure V-32 : Etat du dispositif après attaque du Cr et retrait de l'ECI. (a) La HSQ est craquelé même sous la zone protégée de l'ECI et (b) l'on observe sur les bords du carré une gravure sous l'édifice.

Cette voie de structuration de la grille en Cr n'est pas la solution optimale. Les défauts relevés, à savoir la difficulté de déterminer la fin d'attaque, la gravure du GaAs sous-jacent ainsi que les dommages créés dans l'édifice en HSQ, impliquent un changement de stratégie de structuration.

La gravure sèche du Cr est envisageable à partir d'un plasma à base de composés chlorés et de O_2 [180]. Staaks et al. [181] ont récemment démontré que des vitesses de gravure de l'ordre de 10 nm/min sont atteignables à l'aide d'un mélange O_2/Cl_2 et des températures allant de $-100^\circ C$ à $40^\circ C$. Si la fin d'attaque de cette gravure est indiscernable, il existe un risque de surgraver le contact Ni-(III-V) au sommet des nanofils. Une alternative est donc d'utiliser un autre métal de grille, tel le Ni, pour remplir ce rôle.

La structuration des pads en aluminium a néanmoins été réalisée sur échantillon à base de nanofils de silicium.

3. Prise de contact et formation des bornes du transistor

Afin de relier les contacts et la grille du transistor aux pads en aluminium, il est au préalable nécessaire de créer des vias qui seront ensuite remplis avec l'aluminium. La difficulté de cette étape réside dans l'architecture verticale : contrairement au cas planaire, l'épaisseur de HSQ à graver pour atteindre les niveaux métalliques n'est pas la même : ≈ 150 nm pour atteindre la grille et ≈ 250 nm pour atteindre l'alliage au pied des nanofils (Figure V-33).

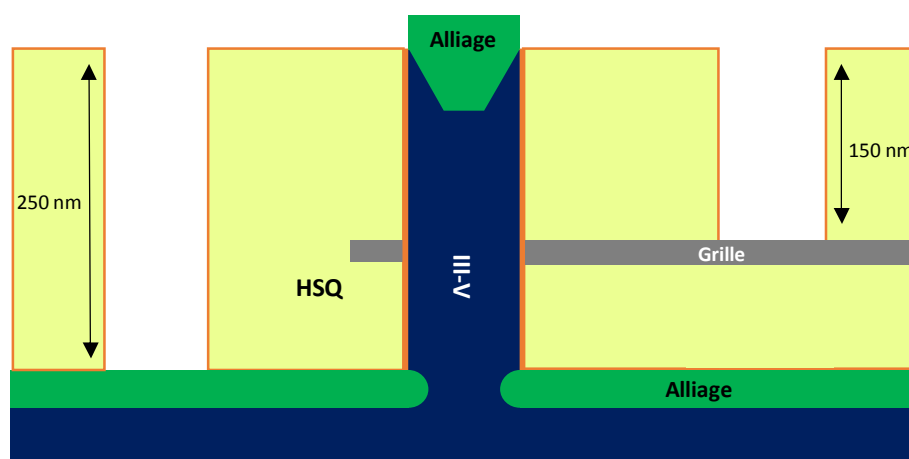


Figure V-33 : Gravure des vias au travers de la HSQ : l'architecture verticale impose deux épaisseurs distinctes à graver.

Une étape de photolithographie est effectuée afin de définir la position des vias puis la gravure de la HSQ est effectuée à l'aide du même plasma CF_4/CHF_3 utilisé pour la gravure du second niveau d'isolation (cf B.3) mais à une puissance de 100 W afin d'augmenter la vitesse de gravure à 35 nm/min. Un suivi interférométrique (DFA) est également utilisé pour détecter la fin de gravure. Ce plasma est particulièrement adapté à la gravure des oxydes de Si et sa sélectivité est très grande vis-à-vis des métaux de grille. De fait, il est possible de graver les 100 nm supplémentaires de HSQ sans endommager le niveau de grille.

Enfin, le dépôt d'aluminium est effectué : 400 nm d'Al sont déposés à 12 nm/min. Une étape de photolithographie est ensuite effectuée suivie d'une gravure chimique à l'aide d'un mélange d'acides nitrique (HNO_3) et phosphorique (H_3PO_4). Ce mélange est incompatible avec le matériau GaAs mais le substrat étant en Si et le GaAs totalement encapsulé dans la matrice HSQ, cette gravure chimique est alors compatible à ce stade du procédé. Cette étape finalise le procédé du dispositif (Figure V-34).

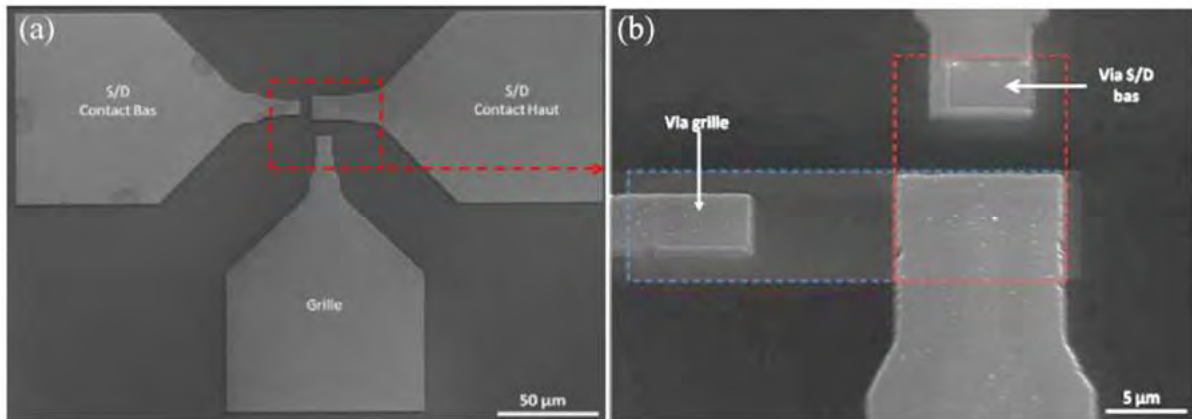


Figure V-34 : Images MEB des pads en aluminium sur lesquels reposeront les pointes. Le réseau de nanofils se trouve sous le pad "S/D Contact Haut". a) Vue éloignée de l'intégralité du dispositif. b) Vue rapprochée montrant la position des vias ainsi que du métal de grille (en bleu) et de l'alliage au pied des nanofils (rouge).

D. Conclusion

Ce chapitre a permis de proposer un procédé, avec une optique d'intégration à grande échelle, de fabrication de transistors à base de nanofils verticaux de matériaux III-V. L'originalité de cette proposition réside dans l'utilisation de matériaux III-V directement intégrés sur une plateforme silicium conventionnellement utilisée. De plus, des contacts de nature symétrique sont proposés ainsi qu'une longueur de canal aisément modifiable à l'aide d'un dépôt métallique par évaporation.

Un jeu de masques permettant l'élaboration de dispositifs statiques et de dispositifs caractérisables en fréquence a été imaginé en amont de la réalisation du procédé. Celui-ci débute par l'intégration des étapes clés évoquées dans les chapitres précédents : réalisation de nanofils verticaux de matériaux III-V, dépôt d'un oxyde de grille à forte permittivité et présentant peu de défauts d'interface sur les flancs des nanofils et réalisations de contacts alliés symétriques faiblement résistifs aux extrémités des nanofils.

Des méthodes de structuration de couches métalliques et d'espaceurs ont été présentées en détail. La structuration de la HSQ a été réalisée à l'aide d'une exposition électronique à dose réduite pour permettre l'obtention d'un niveau plan, dont l'épaisseur est contrôlée à 5 nm près. Les techniques d'enduction et de gravure développées ont également été valorisées sur d'autres projets requérant de la nanostructuration de couche isolante. La définition du contact du bas utilise le dépôt précédent d' Al_2O_3 comme barrière de diffusion afin de s'affranchir d'une étape de « lift-off ». La structuration de la grille, en chrome, a été explorée par voie chimique. Les résultats n'étant pas concluants, une voie par gravure sèche est proposée mais n'a pu être mise en œuvre dans le cadre de ces travaux. Enfin, la prise des contacts à l'aide d'un dépôt d'aluminium a été effectué sur des échantillons à base de nanofils de Si dont la grille, en Ni, avait pu être correctement structurée.

Les efforts à venir doivent se concentrer sur la structuration de la grille, dernière étape à résoudre pour réaliser des dispositifs fonctionnels. Une fois ce verrou levé, la caractérisation des dispositifs permettra alors de présenter les caractéristiques des transistors ainsi réalisés, d'optimiser le procédé de réalisation et de valider ou non les choix qui ont été faits pour obtenir ces résultats.

Ce travail s'est concentré sur l'intégration de transistors à base de nanofils verticaux III-V. Il revêt néanmoins un aspect plus global car les solutions apportées, telles que le contrôle de l'épaisseur de la HSQ par insolation, et les voies explorées sont des évolutions qui sont applicables également sur le procédé de réalisation de nanofils verticaux de Si précédent développé au sein de l'équipe.

Conclusion et perspectives

Ces travaux de thèse ont permis de proposer un procédé de fabrication de transistors à base de nanofils verticaux à canal en matériau III-V. La conceptualisation de ces dispositifs a pour but de répondre aux problématiques rencontrées par les transistors actuels. En effet, la miniaturisation des dimensions entraîne des effets de canaux courts néfastes au bon fonctionnement du composant en parasitant le contrôle électrostatique de la grille. La morphologie nanofil à grille totalement entourante permet de renforcer ce contrôle électrostatique et de dépasser ces effets néfastes. De plus, la stratégie verticale employée permet à la fois d'augmenter la densification des composants au sein d'une puce tout en réduisant la consommation, répondant ainsi à une problématique énergétique actuelle.

La première partie de cette thèse s'est concentrée sur l'obtention de nanofils verticaux en matériaux III-V intégrés sur substrat Si. Les deux voies usuellement pratiquées en nanostructuration, les voies descendante et ascendante, ont été explorées. Chacune propose ses avantages que l'on peut résumer en une intégration facilitée et classique pour la voie descendante et une plus large gamme de matériaux accessibles pour la voie ascendante avec une meilleure qualité structurale. La voie descendante a permis d'obtenir des nanofils verticaux de GaAs sur substrat Si orienté (100) présentant un rapport de forme de 20 à partir de couche dopée obtenues par épitaxie MOVPE. Pour obtenir ces nanofils avec un diamètre pouvant atteindre 16 nm, il a été nécessaire de combiner des techniques de lithographie électronique, gravure plasma et d'amincissement par gravure séquentielle. L'obtention de nanofils verticaux d'InAs a été réalisée par croissance MBE. Une première étape de préparation de surface à l'aide d'un maillage en SiO₂ impropre à la croissance a permis la localisation des nanofils sur le substrat en Si orienté (111). La croissance MBE des nanofils a été étudiée dans un sujet de thèse effectué en parallèle de celle-ci au sein de l'équipe MPN (Daya DHUNGANA et Sébastien PLISSARD). Les paramètres du maillage en SiO₂ ont été optimisés pour obtenir un taux de verticalité supérieur à 80 %. Cette croissance a permis d'obtenir des nanofils de 20 à 50 nm de diamètre, avec un rapport de forme pouvant atteindre 60.

La seconde partie de ces travaux a concerné la réalisation d'études structurales et électriques des deux briques fondamentales liées à l'introduction de canal III-V : l'obtention de contacts compatibles avec les technologies MOS faiblement résistifs et l'intégration d'un oxyde de grille à forte permittivité présentant le moins de défauts d'interface. La formation des contacts source/drain suit une philosophie similaire à ceux actuellement développés sur Si : formation d'un alliage à partir d'un métal. Dans notre cas, le nickel a été préféré au palladium au vu de ses meilleures performances électriques

et de sa meilleure stabilité thermique. La résistivité de contact mesurée est de l'ordre de $2.10^{-4} \Omega.cm^2$. Son intégration au sein d'un nanofil a été démontrée et les analyses au TEM ont permis de révéler un profil de diffusion suivant la direction (111) dans le nanofil. Grâce aux caractérisations structurales, l'obtention de ce profil a été expliquée à l'aide d'arguments cristallographiques et de différences de vitesse de diffusion à l'interface avec l'oxyde de grille. Cette méthode de réalisation permet d'obtenir des contacts de nature symétrique sur des nanofils verticaux en III-V ce qui n'est pas le cas des transistors similaires présentés dans la littérature. L'obtention d'un oxyde de grille a été réalisée en déposant de l' Al_2O_3 par ALD. Avant ce dépôt, deux préparations de surface ont été appliquées. Une première, avant chargement et mise sous vide, consiste à la passivation de surface à l'aide de l'élément soufre pour limiter la formation d'oxydes natifs créant les défauts à l'interface. La seconde, effectuée in situ, consiste en l'élimination d'oxydes natifs résiduels par le précurseur d'aluminium utilisé. La mise en place de ce procédé a permis d'obtenir des densités de défauts de l'ordre de $10^{12} eV^{-1}.cm^{-2}$ en bordure de bande du GaAs et de $10^{13} eV^{-1}.cm^{-2}$ en milieu de bande. Ce procédé permettant d'obtenir des résultats au niveau de l'état de l'art a également permis d'intégrer cet oxyde sur nanofils. Une très bonne uniformité du dépôt est obtenue sur les flancs des nanofils indépendamment du diamètre.

Les précédents modules développés ont ensuite été intégrés au sein d'un procédé compatible avec les technologies CMOS. Ce procédé a été élaboré dans l'esprit d'une production grande échelle. Pour cela, un jeu de masque a été confectionné pour permettre l'intégration de nanofils issus de la voie ascendante ou descendante. Ce jeu de masque a pour but la caractérisation des transistors dans un fonctionnement statique mais une zone a également été réservée pour les caractérisations en fréquence. L'intégration des contacts à la suite du dépôt de l'alumine a été réalisée par un procédé similaire à ceux employés par les fondeurs, le procédé « salicide ». En effet, en utilisant Al_2O_3 comme barrière de diffusion du Ni, la formation des alliages Ni-(III-V) est auto-alignée. Afin de compléter le transistor, il est nécessaire de créer un espaceur isolant entre les différents pôles du transistor. La résine HSQ a été sélectionnée et sa structuration a été réalisée de manière très précise et reproductible à l'aide de la lithographie électronique. Enfin, la structuration de la grille en Cr et du métal de contact en Al a été explorée. Par une contrainte de temps, le transistor électriquement fonctionnel n'a pu être démontré à cause de la structuration de la grille en Cr par voie chimique qui n'a pas mené aux résultats escomptés. Cette structuration pourra aisément être contournée en employant un autre métal de grille tel que le nickel.

Les faits marquants sont les suivants :

- Première réalisation de nanofils verticaux en GaAs sur Si(100) par gravure plasma [16 nm de diamètre].
- Réalisation de nanofils d'InAs verticaux sur Si(111) par MBE avec une localisation précise.
- Première intégration de contacts alliés symétriques faiblement résistifs sur architecture verticale à matériau III-V.
- Mise en évidence des mécanismes de diffusion de nickel dans le GaAs au sein d'une structure unidimensionnelle.
- Dépôt d'Al₂O₃ par ALD de haute qualité avec une densité de défauts d'interface à l'état de l'art.
- Développement d'un procédé grande échelle et compatible CMOS pour la réalisation de transistors à base de nanofils verticaux de matériau III-V.

Ces résultats encourageants appellent à de futurs travaux sur ce sujet. Voici quelques pistes d'améliorations :

- Terminer la confection d'un transistor en utilisant une grille en Ni. Cela permettra d'obtenir des premières caractérisations d'un transistor à base de nanofils verticaux en GaAs. De plus, les mesures fréquentielles permettront l'élaboration d'un modèle petit signal servant à l'optimisation du transistor.
- Travailler à nouveau sur la diminution de la résistance de contact. L'utilisation d'alliage à base de Ni a permis l'intégration de contacts source/drain symétriques mais la résistivité de contacts est encore haute comparativement à celles présentées sur Si ($\approx 10^{-8} \Omega \cdot \text{cm}^2$).
- L'utilisation de canaux à forte mobilité de trous permettra l'élaboration de convertisseurs CMOS prévus par le jeu de masque. De tels nanofils peuvent être obtenues par croissance (InSb, GaSb) mais aussi par gravure avec des premiers essais de GaSb sur Si ont été entrepris par le LTM. Ces épitaxies de couches pourraient ouvrir la voie vers un P-MOSFET.

Parmi les avancées technologiques développées durant cette thèse, certaines peuvent être mise en valeur dans d'autres dispositifs que les MOSFETs :

- La gravure anisotrope permettant l'obtention de nanostructures en III-V peut être exploitée. Par exemple, l'arséniure de galium est un matériau également utilisé pour les applications photoniques et sa nanostructuration peut amener à de nouvelles exploitations de cet effet.
- La nanostructuration de la HSQ permet la création d'un espaceur à des positions localisées sur le substrat. Cet effet à déjà été mise en œuvre pour l'encapsulation de structures pour la

caractérisation spectroscopique mais peut également être utilisé pour l'empilement de structures et le développement de l'intégration 3D.

- Les informations obtenues sur la formation de l'alliage Ni-GaAs dans un milieu contraint permettent une meilleure compréhension sur les mécanismes de formation et la structure de cet alliage. Comme cela a été le cas sur le Ni-Si, une meilleure connaissance de cet alliage peut mener à de meilleures performances, notamment à la réduction de la résistance de contact.

Bibliographie

- [1] A. S. Tanenbaum and A. S. Woodhull, *Operating systems : Design and Implementation*. Pearson Prentice Hall, 2009.
- [2] A. Litty, "de transistors MOSFET haute tension en technologie avancée SOI (Silicon-On-Insulator) To cite this version : HAL Id : tel-01280101 Conception , fabrication , caractérisation et modélisation de transistors MOSFET haute tension en technologie avancée SOI (Silicon-On-Insulator)," 2016.
- [3] A. Khakifirooz et al., "Extremely thin SOI for system-on-chip applications," *Proc. Cust. Integr. Circuits Conf.*, pp. 7–10, 2012.
- [4] IEEE, "INTERNATIONAL ROADMAP FOR DEVICES AND SYSTEMS 2016," 2016.
- [5] Qualcomm, "World's Only 10nm Server Processor Family Delivers Exceptional Throughput Performance, Performance-Per-Watt and Performance-Per-Dollar," 2017. [Online]. Available: <https://www.qualcomm.com/>.
- [6] K. Roy et al., "Leakage Current Mechanisms and Leakage Reduction Techniques in Deep-Submicrometer CMOS Circuits," *Trans. IEEE*, 2003.
- [7] O. Semenov et al., "Impact of gate induced drain leakage on overall leakage of submicrometer CMOS VLSI circuits," *IEEE Trans. Semicond. Manuf.*, vol. 15, no. 1, pp. 9–18, 2002.
- [8] M. M. Hussain, *Advanced Nanoelectronics: Post-Silicon Materials and Devices*. Wiley, 2018.
- [9] K. P. Cheung, "On the 60 mV/dec @300 K Limit for MOSFET Subthreshold Swing," in *International Symposium on VLSI TEchnology*, 2010.
- [10] E. P. Gusev et al., "Advanced high- κ dielectric stacks with polySi and metal gates: Recent progress and current challenges," *IBM J. Res. Dev.*, vol. 50, no. 4.5, pp. 387–410, 2006.
- [11] M. M. Frank et al., "Scaling the MOSFET gate dielectric: From high-k to higher-k? (Invited Paper)," *Microelectron. Eng.*, vol. 86, no. 7–9, pp. 1603–1608, 2009.
- [12] R. H. Yan et al., "Scaling the Si MOSFET: From Bulk to SOI to Bulk," *IEEE Trans. Electron Devices*, vol. 39, no. 7, pp. 1704–1710, 1992.
- [13] J. P. Colinge, "The new generation of SOI MOSFETs," *Rom. J. Inf. Sci. Technol.*, vol. 11, no. 1, pp. 3–15, 2008.
- [14] J. T. Park and J. P. Colinge, "Multiple-gate SOI MOSFETs: Device design guidelines," *IEEE Trans. Electron Devices*, vol. 49, no. 12, pp. 2222–2229, 2002.
- [15] C. W. Lee et al., "Device design guidelines for nano-scale MuGFETs," *Solid. State. Electron.*, vol. 51, no. 3, pp. 505–510, 2007.
- [16] I. Ferain et al., "Multigate transistors as the future of classical metal-oxide-semiconductor field-effect transistors," *Nature*, vol. 479, no. 7373, pp. 310–316, 2011.
- [17] J. P. Colinge et al., "Nanowire transistors without junctions," *Nat. Nanotechnol.*, vol. 5, no. 3, pp. 225–229, 2010.

- [18] L. Ansari et al., "Simulation of junctionless Si nanowire transistors with 3 nm gate length," *Appl. Phys. Lett.*, vol. 97, no. 6, 2010.
- [19] Y. Cui et al., "Diameter-controlled synthesis of single-crystal silicon nanowires," *Appl. Phys. Lett.*, vol. 78, no. 15, pp. 2214–2216, 2001.
- [20] Y. Cui et al., "High Performance Silicon Nanowire Field Effect Transistors," *Nano Lett.*, vol. 3, no. 2, pp. 149–152, Feb. 2003.
- [21] J. Appenzeller et al., "Dual-gate silicon nanowire transistors with nickel silicide contacts," *Tech. Dig. - Int. Electron Devices Meet. IEDM*, pp. 2–5, 2006.
- [22] W. Tang et al., "Ultrashort channel silicon nanowire transistors with nickel silicide source/drain contacts," *Nano Lett.*, vol. 12, no. 8, pp. 3979–3985, 2012.
- [23] J. Y. Oh et al., "Nano-bridge Enabled Three-Dimensional Gate-all-around Field Effect Transistors," in *ICECE*, 2014, pp. 675–678.
- [24] S. C. Rustagi et al., "CMOS Inverter Based on Gate-All-Around Silicon-Nanowire MOSFETs Fabricated Using Top-Down Approach," *Ieee Electron Device Lett.*, vol. 28, no. 11, pp. 1021–1024, 2007.
- [25] K. D. Buddharaju et al., "Si-nanowire CMOS inverter logic fabricated using gate-all-around (GAA) devices and top-down approach," *Solid. State. Electron.*, vol. 52, no. 9, pp. 1312–1317, 2008.
- [26] Y. Song et al., "Performance breakthrough in gate-all-around nanowire n- and p-type MOSFETs fabricated on bulk silicon substrate," *IEEE Trans. Electron Devices*, vol. 59, no. 7, pp. 1885–1890, 2012.
- [27] H. Lee et al., "Sub-5nm All-Around Gate FinFET for Ultimate Scaling," *2006 Symp. VLSI Technol. 2006. Dig. Tech. Pap.*, vol. 25, no. 9, pp. 58–59, 2006.
- [28] S. D. S. D. Suk et al., "High performance 5nm radius Twin Silicon Nanowire MOSFET (TSNWFET) : fabrication on bulk si wafer, characteristics, and reliability," *IEDM Tech. Dig.*, vol. 00, no. c, pp. 28–31, 2005.
- [29] C. Dupré et al., "15nm-diameter 3D Stacked Nanowires with Independent Gates Operation: PhiFET," no. c, pp. 4–7, 2008.
- [30] T. Ernst et al., "3D multichannels and stacked nanowires technologies for new design opportunities in nanoelectronics," *Proc. - 2008 IEEE Int. Conf. Integr. Circuit Des. Technol. ICICDT*, pp. 265–268, 2008.
- [31] E. Dornel et al., "Hydrogen annealing of arrays of planar and vertically stacked Si nanowires," *Appl. Phys. Lett.*, vol. 91, no. 23, pp. 88–91, 2007.
- [32] H. Takato et al., "High Performance CMOS Surrounding Gate Transistor (SGT) for Ultra High Density LSIs," in *International Technical Digest on Electron Devices Meeting*, 1988.
- [33] K. Sunouchi et al., "A surrounding gate transistor (SGT) cell for 64/256 Mbit DRAMs," *Int. Tech. Dig. Electron Devices Meet.*, vol. 3, pp. 23–26, 1989.
- [34] V. Schmidt et al., "Realization of a silicon nanowire vertical surround-gate field-effect transistor," *Small*, vol. 2, no. 1, pp. 85–88, 2006.
- [35] J. Goldberger et al., "Silicon vertically integrated nanowire field effect transistors," *Nano Lett.*,

vol. 6, no. 5, pp. 973–977, 2006.

- [36] B. Yang et al., “Vertical silicon-nanowire formation and gate-all-around MOSFET,” *IEEE Electron Device Lett.*, vol. 29, no. 7, pp. 791–794, 2008.
- [37] Yujia Zhai et al., “High-Performance Vertical Gate-All-Around Silicon Nanowire FET With High-k /Metal Gate,” *IEEE Trans. Electron Devices*, vol. 61, no. 11, pp. 3896–3900, 2014.
- [38] Y. Guerfi and G. Larrieu, “Vertical Silicon Nanowire Field Effect Transistors with Nanoscale Gate-All-Around,” *Nanoscale Res. Lett.*, vol. 11, no. 1, pp. 1–7, 2016.
- [39] Y. Guerfi, “Réalisation et caractérisation de transistor MOS à base de nanofils verticaux en silicium,” Université Toulouse Paul Sabatier, 2015.
- [40] A. Hellemans, “Ring around the nanowire [News],” *IEEE Spectr.*, vol. 50, no. 5, pp. 14–16, 2013.
- [41] D. Yakimets et al., “Vertical GAAFETs for the Ultimate CMOS Scaling,” *IEEE Trans. Electron Devices*, vol. 62, no. 5, 2014.
- [42] A. V. Thean et al., “3-3 (Invited) Vertical Device Architecture for 5nm and beyond : Device & Circuit Implications T26 T27,” vol. 3, pp. 26–27, 2015.
- [43] R. G. Dreslinski et al., “Near-threshold computing: Reclaiming moore’s law through energy efficient integrated circuits,” *Proc. IEEE*, vol. 98, no. 2, pp. 253–266, 2010.
- [44] S. Natarajan et al., “A 32nm Logic Technology Featuring 2 nd -Generation High-k + Metal-Gate Transistors , Enhanced Channel Strain and 0.171 m² SRAM Cell Size in a 291Mb Array,” in *IEDM*, 2009, pp. 3–5.
- [45] M. Chu et al., “Strain : A Solution for Higher Carrier Mobility in Nanoscale MOSFETs,” *Annu. Rev. Mater. Res.*, vol. 39, no. 1, pp. 203–229, 2009.
- [46] S. Suthram et al., “Piezoresistance Coefficients of (100) Silicon nMOSFETs Measured at Low and High (~ 1 . 5 GPa) Channel Stress,” *IEEE Electron Device Lett.*, vol. 28, no. 1, pp. 58–61, 2007.
- [47] G. Sun et al., “Hole mobility in silicon inversion layers : Stress and surface orientation Hole mobility in silicon inversion layers : Stress and surface orientation,” *J. Appl. Phys.*, no. October 2007, 2014.
- [48] S. Oktyabrsky and P. D. Ye, *Fundamentals of III-V Semiconductor MOSFETs*. Springer, 2010.
- [49] H. Hahn et al., “A Scaled Replacement Metal Gate InGaAs-on- Insulator n-FinFET on Si with Record Performance,” in *IEDM*, 2017, pp. 425–428.
- [50] R. Chau et al., “Benchmarking Nanotechnology for Logic Transistor Applications,” *IEEE Trabsaction Nanotechnol.*, vol. 4, no. 2, pp. 153–158, 2005.
- [51] A. Leuther et al., “20 NM metamorphic HEMT WITH 660 GHZ FT,” in *IPRM 2011*, 2011.
- [52] S. Nadar et al., “Field effect transistors for terahertz detection – silicon versus III – V,” *Opto-Electronics Rev.*, vol. 18, no. 3, 2010.
- [53] K. Tomioka et al., “Selective-area growth of III-V nanowires and their applications,” *J. Mater. Res.*, vol. 26, no. 17, pp. 2127–2141, 2011.
- [54] K. Tomioka et al., “Vertical In_{0.7}Ga_{0.3}As Nanowire Surrounding-Gate Transistors with High-k

Gate Dielectric on Si Substrate 06131663.pdf," vol. 1, no. 111, pp. 773–776, 2011.

- [55] D. Cutaia et al., "Vertical InAs-Si gate-all-around tunnel FETs integrated on Si using selective epitaxy in nanotube templates," *IEEE J. Electron Devices Soc.*, vol. 3, no. 3, pp. 176–183, 2015.
- [56] S. Johansson et al., "High-Frequency Gate-All-Around Vertical InAs Nanowire MOSFETs on Si Substrates," *IEEE Electron Device Lett.*, vol. 35, no. 5, pp. 518–520, 2014.
- [57] J. Svensson et al., "III–V Nanowire CMOS Monolithically Integrated on Si," *Nano Lett.*, p. acs.nanolett.5b02936, 2015.
- [58] X. Zhao and J. A. Del Alamo, "Nanometer-scale vertical-sidewall reactive ion etching of ingaas for 3-D III-V MOSFETs," *IEEE Electron Device Lett.*, vol. 35, no. 5, pp. 521–523, 2014.
- [59] W. Lu et al., "Alcohol-Based Digital Etch for III-V Vertical Nanowires with Sub-10 nm Diameter," *IEEE Electron Device Lett.*, vol. 38, no. 5, pp. 548–551, 2017.
- [60] K. Tomioka et al., "A III – V nanowire channel on silicon for high-performance vertical transistors," *Nature*, vol. 488, no. 7410, pp. 189–192, 2012.
- [61] X. Zhao et al., "Sub-10 nm diameter InGaAs vertical nanowire MOSFETs," *2017 IEEE Int. Electron Devices Meet.*, pp. 17.2.1–17.2.4, 2017.
- [62] A. Jonsson et al., "A self-aligned gate-last process applied to All-III-V CMOS on Si," *IEEE Electron Device Lett.*, vol. 39, no. 7, pp. 935–938, 2018.
- [63] O. P. Kilpi et al., "Sub-100-nm gate-length scaling of vertical InAs/InGaAs nanowire MOSFETs on Si," *Tech. Dig. - Int. Electron Devices Meet. IEDM*, pp. 17.3.1–17.3.4, 2017.
- [64] M. D. Thompson et al., "Low Leakage-Current InAsSb Nanowire Photodetectors on Silicon," *Nano Lett.*, vol. ASAP, p. acs.nanolett.5b03449, 2015.
- [65] J. Appenzeller et al., "Band-to-Band Tunneling in Carbon Nanotube Field-Effect Transistors," *Phys. Rev. Lett.*, vol. 93, no. 19, p. 196805, 2004.
- [66] K. Tomioka et al., "Integration of III-V nanowires on Si : From high-performance vertical FET to steep- slope switch," in *IEDM*, 2013, pp. 88–91.
- [67] K. Jansson et al., "Performance evaluation of III-V nanowire transistors," *IEEE Trans. Electron Devices*, vol. 59, no. 9, pp. 2375–2382, 2012.
- [68] A. Meunier, "EPITAXIE DE SYSTEMES METALLIQUES SUR Si (001) : Croissance du cuivre et structures à anisotropie magnétique perpendiculaire (Cu / Ni et FePd)," Université Grenoble I - Joseph Fourier, 2005.
- [69] F. Glas, "Critical dimensions for the plastic relaxation of strained axial heterostructures in free-standing nanowires," *Phys. Rev. B - Condens. Matter Mater. Phys.*, vol. 74, no. 12, pp. 2–5, 2006.
- [70] E. Ertekin et al., "Equilibrium limits of coherency in strained nanowire heterostructures," *J. Appl. Phys.*, vol. 97, no. 11, 2005.
- [71] R. Cipro, "Epitaxie en phase vapeur aux organométalliques et caractérisat," Université Grenoble Alpes.
- [72] E. Russo-Averchi et al., "High yield of gaas nanowire arrays on si mediated by the pinning and contact angle of Ga," *Nano Lett.*, vol. 15, no. 5, pp. 2869–2874, 2015.

- [73] Y. Y. Cao and G. W. Yang, "Vertical or horizontal: Understanding nanowire orientation and growth from substrates," *J. Phys. Chem. C*, vol. 116, no. 10, pp. 6233–6238, 2012.
- [74] S. Ramesh et al., "Record performance Top-down InGaAs vertical nanowire FETs and vertical nanosheets," *2017 IEEE Int. Electron Devices Meet.*, pp. 17.1.1–17.1.4, 2017.
- [75] A. W. Dey et al., "Single InAs/GaSb nanowire low-power CMOS inverter.," *Nano Lett.*, vol. 12, no. 11, pp. 5593–7, 2012.
- [76] M. Ek et al., "Diameter Limitation in Growth of III-Sb Containing Nanowire Heterostructures," *ACS Nano*, vol. 7, no. 4, pp. 3668–3675, 2013.
- [77] T. Tanaka et al., "Vertical Surrounding Gate Transistors Using Single InAs Nanowires Grown on Si Substrates," *Appl. Phys. Express*, vol. 3, no. 2, p. 025003, 2010.
- [78] K. Tomioka et al., "Selective-Area Growth of InAs Nanowires on Ge and Vertical Transistor Application," *Nano Lett.*, vol. 15, no. 11, pp. 7253–7257, 2015.
- [79] K. Tomioka et al., "Control of InAs nanowire growth directions on Si," *Nano Lett.*, vol. 8, no. 10, pp. 3475–3480, 2008.
- [80] K. Tomioka and T. Fukui, "Recent progress in integration of III–V nanowire transistors on Si substrate by selective-area growth," *J. Phys. D. Appl. Phys.*, vol. 47, no. 39, p. 394001, 2014.
- [81] M. Borg et al., "Vertical III-V nanowire device integration on Si(100)," *Nano Lett.*, vol. 14, no. 4, pp. 1914–1920, 2014.
- [82] M. Borg et al., "Mechanisms of template-assisted selective epitaxy of InAs nanowires on Si," *J. Appl. Phys.*, vol. 117, no. 14, pp. 1–8, 2015.
- [83] R. Alcotte et al., "Epitaxial growth of antiphase boundary free GaAs layer on 300 mm Si (001) substrate by metalorganic chemical vapour deposition with high mobility Epitaxial growth of antiphase boundary free GaAs layer on 300 mm Si (001) substrate by metalorganic chemi," vol. 046101, no. 001, 2016.
- [84] H. Namatsu et al., "Nano-patterning of a hydrogen silsesquioxane resist with reduced linewidth fluctuations," *Microelectron. Eng.*, vol. 41–42, pp. 331–334, 1998.
- [85] Y. Guerfi et al., "High resolution HSQ nanopillar arrays with low energy electron beam lithography," *Microelectron. Eng.*, vol. 110, pp. 173–176, Oct. 2013.
- [86] X.-L. Han, "Réalisation et caractérisation de dispositifs MOSFET nanométriques à base de réseaux denses de nanofils verticaux de silicium," Université de Lille 1, 2011.
- [87] K. Chen et al., "GaAs Nanowires Fabricated Using Colloidal Lithography and Dry Etching," vol. 5, no. 1, pp. 5–7.
- [88] L. Jalabert et al., "High aspect ratio GaAs nanowires made by ICP-RIE etching using Cl₂/N₂chemistry," *Microelectron. Eng.*, vol. 85, no. 5–6, pp. 1173–1178, 2008.
- [89] N. Dhindsa et al., "Highly ordered vertical GaAs nanowire arrays with dry etching and their optical properties," *Nanotechnology*, vol. 25, no. 30, 2014.
- [90] C. Lee and M. A. Lieberman, "Global model of Ar, O₂, Cl₂, and Ar/O₂ high-density plasma discharges," *J. Vac. Sci. Technol. A Vacuum, Surfaces, Film.*, vol. 13, no. 2, pp. 368–380, 1995.

- [91] H. Kazumi et al., "Radical and Ion Compositions of B C l 3 / C l 2 Plasma and Their Relation to Aluminum Etch Characteristics," *Jpn. J. Appl. Phys.*, vol. 36, no. Part 1, No. 7B, pp. 4829–4837, 1997.
- [92] T. Senga, "Chemical dry etching mechanisms of GaAs surface by HCl and Cl₂," *J. Vac. Sci. Technol. B Microelectron. Nanom. Struct.*, vol. 14, no. 5, p. 3230, 1996.
- [93] Y. H. Park et al., "N₂ effect on GaAs etching at 150 mTorr capacitively-coupled Cl₂/N₂ plasma," *Microelectron. Eng.*, vol. 87, no. 4, pp. 548–552, 2010.
- [94] S. Bouchoule et al., "Sidewall passivation assisted by a silicon coverplate during Cl₂–H₂ and HBr inductively coupled plasma etching of InP for photonic devices," *J. Vac. Sci. Technol. B Microelectron. Nanom. Struct.*, vol. 26, no. 2, p. 666, 2008.
- [95] M. Volatier et al., "Extremely high aspect ratio GaAs and GaAs/AlGaAs nanowaveguides fabricated using chlorine ICP etching with N₂-promoted passivation," *Nanotechnology*, vol. 21, no. 13, 2010.
- [96] X. L. Han et al., "Modelling and engineering of stress based controlled oxidation effects for silicon nanostructure patterning," *Nanotechnology*, vol. 24, no. 49, 2013.
- [97] J. Lin et al., "A novel digital etch technique for deeply scaled III-V MOSFETs," *IEEE Electron Device Lett.*, vol. 35, no. 4, pp. 440–442, 2014.
- [98] J. A. del Alamo, "Nanometre-scale electronics with III–V compound semiconductors," *Nature*, vol. 479, no. 7373, pp. 317–323, 2011.
- [99] G. C. DeSalvo, "Wet Chemical Digital Etching of GaAs at Room Temperature," *J. Electrochem. Soc.*, vol. 143, no. 11, p. 3652, 1996.
- [100] D. A. Allwood et al., "Characterization of oxide layers on GaAs substrates," vol. 364, pp. 33–39, 2000.
- [101] N. A. Torkhov, "Formation of a Native-Oxide Structure on the Surface of n -GaAs under Natural Oxidation in Air," vol. 37, no. 10, pp. 1177–1184, 2003.
- [102] D. S. Dhungana et al., "Controlling nanowire nucleation for integration on silicon," *Nanotechnol. Mater. Devices Conf. NMDC 2016 - Conf. Proc.*, pp. 1–2, 2016.
- [103] T. Cerba, "Intégration de matériaux III-V à base d 'arséniures et d'antimoniures pour la réalisation de transistors TriGate et NW à haute mobilité," Grenoble, 2018.
- [104] G. Larrieu, "De l ' ingénierie de contacts métalliques aux transistors 3D à grille entourante : Architectures alternatives pour MOS nanométriques To cite this version : Habilitation à Diriger des Recherches De l ' ingénierie de contacts métalliques aux transistors," 2016.
- [105] C. A. Mead and W. G. Spitzer, "Fermi Level Position," *Phys. Rev.*, vol. 134, no. 3A, p. 21, 1964.
- [106] A. J. Bard et al., "The Concept of Fermi Level Pinning at Semiconductor/Liquid Junctions. Consequences for Energy Conversion Efficiency and Selection of Useful Solution Redox Couples in Solar Devices," *J. Am. Chem. Soc.*, vol. 102, no. 11, pp. 3671–3677, 1980.
- [107] A. . Baca et al., "A survey of ohmic contacts to III-V compound semiconductors," *Thin Solid Films*, vol. 308–309, pp. 599–606, 1997.
- [108] M. Murakami, "Development of ohmic contact materials for GaAs integrated circuits," *Mater.*

Sci. Reports, vol. 5, no. 5, pp. 273–317, 1990.

- [109] P. Macháč and V. Peřina, “Role of reactive metals in Ge/Pd/GaAs contact structures,” *Microelectron. Eng.*, vol. 65, no. 3, pp. 335–343, 2003.
- [110] M. Ogawa, “Alloying reaction in thin nickel films deposited on GaAs,” *Thin Solid Films*, vol. 70, no. 1, pp. 181–189, 1980.
- [111] R. Guérin and A. Guivarc’h, “Metallurgical study of Ni/GaAs contacts. I. Experimental determination of the solid portion of the Ni-Ga-As ternary-phase diagram,” *J. Appl. Phys.*, vol. 66, no. 5, pp. 2122–2128, 1989.
- [112] A. Guivarc’h et al., “Metallurgical study of Ni/GaAs contacts. II. Interfacial reactions of Ni thin films on (111) and (001) GaAs,” *J. Appl. Phys.*, vol. 66, no. 5, pp. 2129–2136, 1989.
- [113] T. Sands et al., “Ternary phases in the Pd-GaAs system: Implications for shallow contacts to GaAs,” *Mater. Lett.*, vol. 3, no. 9–10, pp. 409–413, 1985.
- [114] J. O. Olowolafe et al., “Contact reactions in Pd/GaAs junctions,” *J. Appl. Phys.*, vol. 50, no. 2, pp. 955–962, 1979.
- [115] A. Kobayashi et al., “An atomistic study of the GaAs-Pd interface,” *J. Appl. Phys.*, vol. 59, no. 10, pp. 3448–3453, 1986.
- [116] J. A. Del Alamo et al., “Nanometer-scale III-V MOSFETs,” *IEEE J. Electron Devices Soc.*, vol. 4, no. 5, pp. 205–214, 2016.
- [117] Ivana et al., “CoInGaAs as a novel self-aligned metallic source/drain material for implant-less In_{0.53}Ga_{0.47}As n-MOSFETs,” *Solid. State. Electron.*, vol. 78, pp. 62–67, 2012.
- [118] E. Y. J. Kong et al., “Investigation of Pd-InGaAs for the formation of self-aligned source/drain contacts in InGaAs metal-oxide-semiconductor field-effect transistors,” *Solid. State. Electron.*, vol. 85, pp. 36–42, 2013.
- [119] L. Czornomaz et al., “CMOS compatible self-aligned S/D regions for implant-free InGaAs MOSFETs,” *Solid. State. Electron.*, vol. 74, pp. 71–76, 2012.
- [120] R. Chen and S. a Dayeh, “Size and Orientation Effects on the Kinetics and Structure of Nickelide Contacts to InGaAs Fin Structures,” *Nano Lett.*, vol. 15, no. 6, p. 3770–3779, 2015.
- [121] S. H. Kim et al., “Self-aligned metal Source/Drain In_xGa_{1-x}As n-MOSFETs using Ni-InGaAs alloy,” *Tech. Dig. - Int. Electron Devices Meet. IEDM*, pp. 596–599, 2010.
- [122] S. Mehari et al., “Measurement of the Schottky barrier height between Ni-InGaAs alloy and In_{0.53}Ga_{0.47}As,” *Appl. Phys. Lett.*, vol. 101, no. 7, pp. 1–5, 2012.
- [123] R. Oxland et al., “An ultralow-resistance ultrashallow metallic source/drain contact scheme for III-V NMOS,” *IEEE Electron Device Lett.*, vol. 33, no. 4, pp. 501–503, 2012.
- [124] M. El-Boragy and K. Schubert, “On the mixtures PdZn_{sub}(M)Ge_{sub}(N), PdAl_{sub}(M)Si_{sub}(N), PdGa_{sub}(M)Si_{sub}(N), PdAl_{sub}(M)Ge_{sub}(N) and PdGa_{sub}(M)As_{sub}(N),” *Zeitschrift für Met.*, vol. 72, p. 279, 1981.
- [125] A. Lahav et al., “Interfacial reactions between Ni films and GaAs,” *J. Appl. Phys.*, vol. 60, no. 3, pp. 991–1001, 1986.

- [126] T. Sands et al., "Structure and composition of NixGaAs," *Appl. Phys. Lett.*, vol. 48, no. 6, pp. 402–404, 1986.
- [127] S. Rabhi et al., "Phase formation between Ni thin films and GaAs substrate," *Scr. Mater.*, vol. 141, pp. 28–31, 2017.
- [128] F. M. Smits, "Measurement of Sheet Resistivities with the Four-Point Probe," *Bell Syst. Tech. J.*, vol. 37, no. 3, pp. 711–718, 1958.
- [129] X.-Y. Zheng et al., "Phase equilibria of Ga-Ni-As at 600 °C and the structural relationship between Ni and GaAs and T-Ni/GaAs," *Mater. Sci. Eng. B*, vol. 5, no. 1, pp. 63–72, 1989.
- [130] Y. C. Lin et al., "Growth of nickel silicides in Si and Si/SiO_x core/shell nanowires," *Nano Lett.*, vol. 10, no. 11, pp. 4721–4726, 2010.
- [131] Y. Chen et al., "Kinetic competition model and size-dependent phase selection in 1-D nanostructures," *Nano Lett.*, vol. 12, no. 6, pp. 3115–3120, 2012.
- [132] J. Perrin Toinin et al., "Origin of the first-phase selection during thin film reactive diffusion: Experimental and theoretical insights into the Pd-Ge system," *Scr. Mater.*, vol. 122, pp. 22–25, 2016.
- [133] M. Collet et al., "Large-scale assembly of single nanowires through capillary-assisted dielectrophoresis," *Adv. Mater.*, vol. 27, no. 7, pp. 1268–1273, 2015.
- [134] P. J. King, "Hafnium oxide-based dielectrics by atomic layer deposition," University of Liverpool, 2013.
- [135] G. Hollinger et al., "Oxides on GaAs and InAs surfaces: An x-ray-photoelectron-spectroscopy study of reference compounds and thin oxide layers," *Phys. Rev. B - Condens. Matter Mater. Phys.*, vol. 49, no. 16, 1994.
- [136] B. E. Deal, "Standardized Terminology for Oxide Charges Associated with Thermally Oxidized Silicon," *IEEE Trans. Electron Devices*, vol. 27, no. 3, pp. 606–608, 1980.
- [137] D. K. Schroder, *Semiconductor Material and Device Characterization*, 2nd editio. Wiley Interscience, 1998.
- [138] M. L. Huang et al., "Surface passivation of III-V compound semiconductors using atomic-layer-deposition-grown Al₂O₃," *Appl. Phys. Lett.*, vol. 87, no. 25, pp. 1–3, 2005.
- [139] M. M. Frank et al., "HfO₂ and Al₂O₃ gate dielectrics on GaAs grown by atomic layer deposition," *Appl. Phys. Lett.*, vol. 86, no. 15, pp. 1–3, 2005.
- [140] C. H. Chang et al., "Interfacial self-cleaning in atomic layer deposition of HfO₂ gate dielectric on In_{0.15}Ga_{0.85}As," *Appl. Phys. Lett.*, vol. 89, no. 24, pp. 48–51, 2006.
- [141] C. L. Hinkle et al., "GaAs interfacial self-cleaning by atomic layer deposition," *Appl. Phys. Lett.*, pp. 3–5, 2008.
- [142] A. Callegari et al., "Unpinned gallium oxide/GaAs interface by hydrogen and nitrogen surface plasma treatment," *Appl. Phys. Lett.*, vol. 54, no. 4, pp. 332–334, 1989.
- [143] C. Merckling et al., "Defect density reduction of the Al₂O₃/GaAs(001) interface by using H₂S molecular beam passivation," *Surf. Sci.*, vol. 605, no. 19–20, pp. 1778–1783, 2011.

- [144] M. Fusi et al., "Al₂O₃ stacks on InGaAs substrates : In situ investigation of the interface," *Microelectron. Eng.*, vol. 88, no. 4, pp. 435–439, 2011.
- [145] R. K. Bhan et al., "Conduction, dielectric and interface properties of Al₂O₃films on GaAs deposited by the e-beam evaporation technique," *Semicond. Sci. Technol.*, vol. 24, no. 9, 2009.
- [146] J. Frascaroli et al., "Surface passivation for ultrathin Al₂O₃ layers grown at low temperature by thermal atomic layer deposition," *Phys. Status Solidi Appl. Mater. Sci.*, vol. 210, no. 4, pp. 732–736, 2013.
- [147] J. Kolodzey et al., "Electrical conduction and dielectric breakdown in aluminum oxide insulators on silicon," *IEEE Trans. Electron Devices*, vol. 47, no. 1, pp. 121–128, 2000.
- [148] Y. C. Chang et al., "Effective reduction of interfacial traps in Al₂O₃/GaAs (001) gate stacks using surface engineering and thermal annealing," *Appl. Phys. Lett.*, vol. 97, no. 11, pp. 11–13, 2010.
- [149] G. Brammertz et al., "Characteristic trapping lifetime and capacitance-voltage measurements of GaAs metal-oxide-semiconductor structures," *Appl. Phys. Lett.*, vol. 91, no. 13, pp. 67–70, 2007.
- [150] K. Martens et al., "On the Correct Extraction of Interface Trap Density of MOS Devices With High-Mobility Semiconductor Substrates," *IEEE Trans. Electron Devices*, vol. 55, no. 2, pp. 547–556, 2008.
- [151] L. Lamagna et al., "Effects of surface passivation during atomic layer deposition of Al₂O₃ on," *Microelectron. Eng.*, vol. 88, no. 4, pp. 431–434, 2011.
- [152] E. Ciani et al., "Phase Stabilization of Al:HfO₂ Grown on InGaAs Substrates via Trimethylaluminum-Based Atomic Layer Deposition," *Appl. Mater. Interfaces*, pp. 1–7, 2014.
- [153] W. H. Lim et al., "Reduction in the Interfacial Trap Density of Al₂O₃/GaAs Gate Stack by Adopting High Pressure Oxidation," *ECS J. Solid State Sci. Technol.*, vol. 3, no. 12, pp. Q232–Q235, 2014.
- [154] C. Barbos et al., "Al₂O₃ thin films deposited by thermal atomic layer deposition : Characterization for photovoltaic applications T," *Thin Solid Films*, vol. 617, no. Part B, 2016.
- [155] A. S. Shulakov et al., "Interface of an Al₂O₃/Si Interface," *Phys. Solid State*, vol. 46, no. 10, 2004.
- [156] E. H. Nicollian and J. R. Brews, *MOS (Metal Oxide Semiconductor) Physics and Technology*. Wiley-Interscience, 1982.
- [157] T. Yang et al., "Inversion capacitance-voltage studies on GaAs metal-oxide-semiconductor structure using transparent conducting oxide as metal gate," *Appl. Phys. Lett.*, vol. 92, no. 25, 2008.
- [158] S. R. Hofstein and G. Warfield, "Physical Limitations on the Frequency Response of a Semiconductor Surface Insersion Layer," *Solid State Electron.*, vol. 8, pp. 321 – 341, 1965.
- [159] Y. Xuan et al., "Capacitance-Voltage Characterization of Atomic-Layer-Deposited Al₂O₃/InGaAs and Al₂O₃/GaAs Metal-Oxide-Semiconductor Structures," *ECS Trans.*, vol. 3, no. 3, pp. 59–69, 2006.
- [160] H. Huff and D. Gilver, *High Dielectric Constant Materials*. Springer, 2005.
- [161] D. R. Lide, *CRC Handbook of Chemistry and Physics*. Boca Raton: CRC Press, 2005.

- [162] M. D. Groner et al., "Electrical characterization of thin Al₂O₃ films grown by atomic layer deposition on silicon and various metal substrates," *Thin Solid Films*, vol. 413, no. 1–2, pp. 186–197, 2002.
- [163] H. Namatsu et al., "Supercritical drying for nanostructure fabrication without pattern collapse," *Microelectron. Eng.*, vol. 46, no. 1, pp. 129–132, 1999.
- [164] G. Liu et al., "Auxiliary drying to prevent pattern collapse in high aspect ratio nanostructures," *Nanotechnology*, vol. 22, no. 30, 2011.
- [165] O. Gharbi et al., "Chromate replacement: what does the future hold?," *npj Mater. Degrad.*, vol. 2, no. 1, p. 12, 2018.
- [166] A. C. E. Chia and R. R. Lapierre, "Contact planarization of ensemble nanowires," *Nanotechnology*, vol. 22, no. 24, 2011.
- [167] T. Y B et al., "Vertically aligned p-type single-crystalline GaN nanorod arrays on n-type Si for heterojunction photovoltaic cells," *Nano Lett.*, vol. 8, no. 12, pp. 4191–5, 2008.
- [168] H. T. Ng et al., "Single crystal nanowire vertical surround-gate field-effect transistor," *Nano Lett.*, vol. 4, no. 7, pp. 1247–1252, 2004.
- [169] C. Rehnstedt et al., "Electrical characterization of InAs nanowires on Si," in *Electrical characterization of InAs nanowires on Si*, 2007.
- [170] Y. Guerfi et al., "Thin-dielectric-layer engineering for 3D nanostructure integration using an innovative planarization approach," *Nanotechnology*, vol. 26, no. 42, 2015.
- [171] J. Penaud et al., "Transformation of hydrogen silsesquioxane properties with RIE plasma treatment for advanced multiple-gate MOSFETs," *Appl. Surf. Sci.*, vol. 253, no. 1 SPEC. ISS., pp. 395–399, 2006.
- [172] E. Memišević et al., "Thin electron beam defined hydrogen silsesquioxane spacers for vertical nanowire transistors," *J. Vac. Sci. Technol. B, Nanotechnol. Microelectron. Mater. Process. Meas. Phenom.*, vol. 32, no. 5, p. 051211, 2014.
- [173] D. Pooley, "F-centre production in alkali halides by electron-hole recombination and a subsequent [110] replacement sequence: a discussion of the electron-hole recombination," *Proc. Phys. Soc.*, vol. 87, no. 1, pp. 245–256, 1966.
- [174] P. J. Feibelman and M. L. Knotek, "Ion Desorption by Core-Hole Auger Decay," *Phys. Rev. Lett.*, vol. 40, no. April, p. 964, 1978.
- [175] W. Langheinrich and H. Beneking, "The Resolution of the Inorganic Electron Beam Resist LiF(AlF₃)," *Microelectron. Eng.*, vol. 23, p. 287, 1994.
- [176] F. Carcenac et al., "High voltage electron beam nanolithography on WO₃," *J. Vac. Sci. Technol. B*, vol. 14, no. 6, p. 4283, 1996.
- [177] H. Demers et al., "Microscopy Microanalysis Simulating STEM Imaging of Nanoparticles in Micrometers-Thick Substrates," pp. 795–804, 2010.
- [178] P. R. Wiecha et al., "Pushing the limits of optical information storage using deep learning," *Nat. Nanotechnol.*, 2019.
- [179] P. Walker and W. H. Tarn, *Handbook of Metal Etchants*. CRC Press, 1991.

- [180] H. M. Naguib et al., "Planar plasma etching of chromium," *Vacuum*, vol. 33, no. 5, pp. 285–290, 1983.
- [181] D. Staaks et al., "Low temperature dry etching of chromium towards control at sub-5 nm dimensions," *Nanotechnology*, vol. 27, no. 41, 2016.

Liste des communications scientifiques

Revue internationale

Pushing the limits of optical information storage using deep learning

Peter R. Wiecha, Aurélie Lecestre, Nicolas Mallet and Guilhem Larrieu
Nature Technology, 2019

Congrès internationaux

Integration of technological steps into a CMOS-compatible process toward the realization of Gate-All-Around GaAs transistors on vertical nanowires

Mallet N., Pezard J., Lecestre A., Scheid E., Cristiano F., Baron T., Fanciulli M., Larrieu G.
Oral (non présenté) à l'EMRS Fall , Varsovie (Pologne), 2018

Vertical gate-all-around transistors with symmetrical silicided S/D contacts for high performance p-FET devices

G. Larrieu, N. Mallet, Y. Guerfi, F. Cristiano, J. Pezard, A. Lecestre,
Oral à SSDM, Tokyo (Japon), 2018

Toward the development of CMOS compatible technological steps for vertical GaAs nanowire transistors for sub-5nm technology node.

Mallet N., Pezard J., Lecestre A., Scheid E., Cristiano F., Baron T., Fanciulli M., Larrieu G.
Oral à l'EMRS Fall , Varsovie (Pologne), 2017

Controlling nanowire nucleation for integration on silicon

Daya S. Dhungana, Nicolo Sartori, Nicolas Mallet, Filadelfo Cristiano, Guilhem Larrieu, Anne Hemeryck, Sébastien R. Plissard
Oral à IEEE NMDC, Toulouse (France), 2016

Fabrication of GaAs nanowires and GaAs-Si axial heterostructure nanowires on Si (100) substrate for new applications

A. Lecestre, N. Mallet, M. Martin, T. Baron, G. Larrieu
Oral à IEEE NMDC, Toulouse (France), 2016

Développement d'architectures 3D à base de transistors MOS à canal nanofil III-V

Ce sujet de thèse s'inscrit dans la course à la miniaturisation des technologies CMOS, où l'apparition d'effets néfastes (canaux courts) sur le comportement électrique des dispositifs a poussé l'exploration, ces dernières années, d'architectures non planaires de transistors ainsi que d'autres innovations au niveau matériau. Cette thèse propose une architecture 3D à base de nanofils verticaux III-V pour la réalisation de transistors MOS, présentant ainsi des challenges tant architecturaux qu'au niveau du matériau de canal.

La thèse débute par la réalisation de nanofils verticaux sur plateforme Si suivant deux approches différentes. Une première voie descendante a permis, en combinant lithographie électronique et gravure plasma, d'obtenir de manière reproductible des nanofils verticaux de GaAs dont les diamètres atteignent 30 nm. Des nanofils verticaux d'InAs ont également été obtenus par voie ascendante. Une structuration de surface a permis de faire croître ces nanofils par MBE de manière localisée, permettant de contrôler leur positionnement pour la réalisation d'un dispositif.

Deux études détaillées ont été effectuées afin de traiter les verrous liés aux matériaux III-V. La première a pour sujet la qualité de l'interface oxyde de grille/semiconducteur. Celle-ci possède naturellement une forte densité d'état d'interface menant au verrouillage du niveau de Fermi. Pour diminuer cet effet, la combinaison d'une préparation de surface et du dépôt de l' Al_2O_3 par ALD a été mise en place. Les caractérisations structurales et électriques démontrent une interface atomiquement abrupte associée à une densité de défauts du même ordre de grandeur que l'état de l'art ($10^{12} \text{ eV}^{-1} \cdot \text{cm}^{-2}$). La seconde porte sur l'obtention de contacts Source-Drain faiblement résistifs compatibles avec les technologies CMOS. Ceux-ci ont été réalisés par la formation d'un alliage ternaire avec un métal par diffusion thermique. À l'aide de l'étude cristallographique et des caractérisations électriques, l'alliage ternaire à base de nickel a été retenu pour la réalisation de contacts optimaux. Enfin, l'implémentation de ces solutions sur les nanofils verticaux a été réalisée avec succès.

Finalement, un procédé de fabrication respectant les approches technologiques industrielles a été mis en place. La réalisation des nanofils verticaux suivie par l'intégration de l'oxyde de grille et des contacts alliés démontré avec succès. Une technique de planarisation du matériau isolant permettant le positionnement vertical du niveau de grille a également été développée. Afin de terminer le procédé, une méthode de gravure de la grille ainsi que la prise des contacts aux 3 bornes du transistor restent à démontrer.

Development of 3D architecture for MOS transistors based on III-V nanowires channel

The purpose of this work is to pursue the miniaturization of MOS transistors since the emergence of harmful effects (short channel effects) over the electrical response of devices has motivated the research about non planar architecture as well as some innovative materials. This PhD introduces a 3D architecture based on III-V vertical nanowires for the making of MOS transistors which overcomes several materials and architectural challenges.

To begin, the realization of vertical nanowire on Si substrates is presented using two kinds of techniques. Firstly, the top-down approach using ebeam lithography and plasma etching is a reproducible way to obtain vertical GaAs nanowires with diameter down to 30 nm. Secondly, InAs vertical nanowires were obtained using a bottom-up approach. Surface structuration prior to the molecular beam epitaxy allows to localize precisely the nanowires over the surface which is necessary for device processing.

Two detailed studies were conducted to address technological challenges linked to III-V channels. The first one focus on the quality of the gate oxide/semiconductor interface. It has naturally a high density of states leading to Fermi level pinning. Unpinning has been achieved by surface preparation and atomic layer deposition of Al_2O_3 . Structural and electrical characterizations showed an abrupt interface with reduction of density of states close to the state of the art values ($10^{12} \text{ eV}^{-1} \cdot \text{cm}^{-2}$). The second study aims to develop CMOS compatible low resistivity source-drain contacts. Those were achieved by the use of ternary alloy formed by thermal diffusion of a metal. Crystallographic study and electrical characterizations revealed that nickel-based alloy was suited to create optimal low resistive contacts on GaAs and InAs. Finally, the integration of those solutions was demonstrated on vertical nanowires.

Lastly, a fabrication process with respect to industrial practices has been designed. Vertical nanowires followed by the deposition of dielectric gate and formation of alloyed contacts has been successfully integrated. A novel technique was developed to planarize a spacer in order to position the gate level at middle height. To conclude the process, a way to etch the metal gate and to contact the transistor remains to be demonstrated.