



Qualité de protection des circuits intégrés contre les décharges électrostatiques

Mouna Mahane

► To cite this version:

Mouna Mahane. Qualité de protection des circuits intégrés contre les décharges électrostatiques. Energie électrique. Université Paul Sabatier - Toulouse III, 2020. Français. NNT : 2020TOU30323 . tel-03222666v2

HAL Id: tel-03222666

<https://hal.laas.fr/tel-03222666v2>

Submitted on 23 Jun 2022

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



THÈSE

En vue de l'obtention du DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par l'Université Toulouse 3 - Paul Sabatier

Présentée et soutenue par
Mouna MAHANE

Le 10 décembre 2020

**Qualité de protection des circuits intégrés contre les décharges
électrostatiques**

Ecole doctorale : **GEET - Génie Electrique Electronique et Télécommunications :**
du système au nanosystème

Spécialité : **Composants et Systèmes de gestion de l'Energie**

Unité de recherche :

LAAS - Laboratoire d'Analyse et d'Architecture des Systèmes

Thèse dirigée par
David TREMOUILLES

Jury

M. Olivier LATRY, Rapporteur

M. Arnaud BOURNEL, Rapporteur

Mme Louise TRAVE-MASSUYES, Examinatrice

Mme Hélène FREMONT, Examinatrice

M. Frédéric MORANCHO, Examineur

M. Fabrice ROQUETA, Examineur

M. David TREMOUILLES, Directeur de thèse

M. Emilien BOUYSSOU, Encadrant industriel

Mme Marise BAFLEUR, Invitée

Résumé

Les travaux de cette thèse s'inscrivent dans un contexte concurrentiel, où les concepteurs de systèmes électroniques exigent que les solutions de protection contre les décharges électrostatiques (ESD) soient les plus performantes possibles. Dans ces travaux, les critères qui définissent la qualité de protection sont détaillés et de nouvelles méthodes de test sont développées. Nous exposons les critères associés à la conception d'un dispositif de protection complet (dimension, robustesse, efficacité et transparence). Une nouvelle approche de conception est donc proposée. Elle vise à adresser une large gamme d'applications en s'appuyant sur une technologie de protection « flexible ». L'idée est d'exploiter les compromis géométriques et technologiques existants, en se basant sur des outils d'apprentissage machine et de simulation physique. In fine, l'objectif est d'obtenir des pistes d'optimisation rapides, avec un maximum de flexibilité durant la phase de conception.

Mots-clés : Décharge électrostatique (ESD), qualité de protection, simulation physique, apprentissage machine.

Abstract

This work has been done in a highly competitive context, where electronic-system designers require electrostatic discharge (ESD) protection devices providing high performance levels. The purpose of protection devices is to make circuits robust against ESD events, while being totally invisible to the system during normal operation. In this work, several aspects of ESD protection device are discussed, and new testing methods are proposed. An overview of design issues related to the several aspects of ESD protection is outlined. A new design approach is proposed which aims to address a large range of applications and is based on a «flexible» technology of protection. We achieve this challenge using machine learning tools and physical simulations to explore and yield profit from the existing compromises between designs and process parameters. The final goal is to allow maximum design flexibility, while providing guidance to easily adapt ESD protection to the targeted application-requirements.

Key words: Electrostatic discharge (ESD), quality of protection, physical simulation, machine learning.

Remerciements

Ce travail de thèse s'inscrit dans le cadre d'une convention CIFRE subventionnée par l'Association Nationale de la Recherche Technique (ANRT), en collaboration entre le groupe d'Intégration de Systèmes de Gestion de l'Énergie (ISGE) au Laboratoire d'Architecture et d'Analyse des Systèmes (LAAS-CNRS) et la société STMicroelectronics.

A ce titre, je tiens à remercier Messieurs Jean Arlat et Liviu Nicu, directeurs successifs du LAAS-CNRS, ainsi que Monsieur Alain Cazarré et Madame Maria Pietrzak-David directeurs successifs de l'école doctorale GEET pour m'avoir accueillie au sein de leur unité de recherche.

Je tiens à remercier Patrick Galloy pour m'avoir permis d'effectuer mes travaux au sein de la société STMicroelectronics. J'adresse mes remerciements les plus sincères à Eric Bernier, directeur du département R&D, pour avoir accepté de m'accueillir dans son service, ainsi que pour son support et ses encouragements qui ont grandement contribué à l'aboutissement de ces travaux.

Je tiens à remercier les membres du jury pour le temps et l'attention portée à ce travail : merci à Monsieur Olivier Latry Professeur à l'université de Rouen et Monsieur Arnaud Bournel Professeur à l'université Paris-Sud qui, en qualité de rapporteurs, se sont impliqués dans la relecture et l'évaluation de ce mémoire. Merci aux examinatrices, Madame Louise Travé-Massuyès, directrice de recherche au LAAS-CNRS et Madame Hélène Frémont Professeur à l'université de Bordeaux pour l'intérêt qu'elles ont porté à ces travaux de recherche. Un grand merci à l'expert CAD Fabrice Roqueta, en sa qualité d'examineur pour sa relecture méticuleuse et ses conseils avisés. Merci à Monsieur Frédéric Morancho Professeur à l'université Paul Sabatier de Toulouse, en sa qualité d'examineur et de président du jury. Un grand merci également à Marise Bafleur qui a accepté de co-diriger cette thèse et qui, bien que partie à la retraite, m'a fait l'honneur de faire le déplacement pour assister à ma soutenance.

Je remercie infiniment mon directeur de thèse, David Trémouilles, qui par ses qualités pédagogiques, son champ de compétences et son questionnement curieux et pointilleux, a rendu ce travail de recherche agréable et passionnant. Je ne le remercierai jamais assez pour sa patience, sa bienveillance et la confiance qu'il a su m'accorder durant toutes ces années. Un grand merci également à Marianne Diatta et Emilien Bouyssou qui m'ont si bien accueillie dans l'équipe WLR, une première fois comme stagiaire et une seconde fois comme thésarde. Ils ont successivement assuré l'encadrement côté industriel et je les en remercie.

Je tiens à adresser un profond remerciement à Christine Anceau pour m'avoir acceptée dans son équipe à la fin de mon contrat CIFRE et pour son implication dans mon embauche au sein du laboratoire de caractérisation. Dans ce sens, je réitère mes remerciements à mon encadrant de thèse

Emilien Bouyssou qui m’a aidé à mettre en avant mon travail, ainsi qu’à mes collègues du laboratoire de Caractérisation qui m’ont chaleureusement accueillie.

Je pense aussi à mes collègues de STMicroelectronics qui ont participé à ces travaux de recherche. Je remercie en premier lieu Benjamin Thon, inventeur du banc “pulse-sweep”, avec qui j’ai eu la chance de travailler et dont les compétences techniques et les qualités humaines ont beaucoup contribué à la réalisation de ce travail. Dans le même esprit, je remercie l’expert CAD, Lionel Jaouen pour sa disponibilité et son précieux support en simulation TCAD. Je remercie plus généralement toutes les personnes qui ont contribué de près ou de loin à l’orientation et à l’avancement de ces travaux : merci à Agnes Prunet pour l’animation des réunions projets, qui au fil du temps m’ont aidé à comprendre la problématique de développement des protections ESD. Je remercie également les experts de la R&D et en particulier Patrick Poveda pour ses critiques objectives, ainsi que Françoise Lauron pour toutes ses explications sur la codification et la gestion des lots. Je remercie également les designers, Denis Berthiot et Eric Laconde pour leur collaboration et pour m’avoir aidé à comprendre les contraintes inhérentes à la conception des circuits de protection. J’adresse un remerciement spécial à Denis Jurado pour son aide dans la relecture du manuscrit et j’élargis mes remerciements à tous mes collègues de la CAD, du Produit et de l’ASE, que j’ai pu côtoyer au cours de ma thèse et qui ont contribué à enrichir cette expérience. Un grand merci à mes collègues du marketing qui m’ont si chaleureusement accueillie dans leur service et dont je garderai un très bon souvenir.

J’en profite également pour remercier le personnel administratif de l’école doctorale GEET et de STMicroelectronics, en particulier Marie Estruga et Marie Pascale-Cavelier pour leur sympathie et leur réactivité. Je remercie également Bertrand Debusne et Rodolphe Pillet pour leur support et leur efficacité.

Je remercie chaleureusement mes collègues du laboratoire de WLR et de Caractérisation avec qui j’ai eu le plaisir de travailler et de partager de bons moments au quotidien.

Une pensée aux stagiaires, doctorants et post-doctorants du groupe ISGE et de STMicroelectronics, que j’ai croisé au cours de ma thèse et avec qui j’ai eu la joie de discuter et d’échanger. Une pensée également pour mes amis de l’ENSA et du GSAT que j’ai eu le plaisir de revoir pendant la période de thèse et ce malgré la distance. J’en profite aussi pour remercier mon Professeur Monsieur Moulay Tayeb Belghiti qui a su nous inculquer sa passion pour la science et la recherche.

Enfin, je remercie très affectueusement ma famille et mes proches pour leur soutien inconditionnel et la confiance qu’il m’ont toujours témoignée.

Merci à toutes les personnes que j’aurais oubliées de citer et qui ont contribué de près ou de loin à ce travail.

Table des matières

Introduction générale.....	9
Chapitre 1 Généralités sur les protections ESD	11
1. Type de perturbations et origines des ESD	11
2. Modélisation des décharges ESD	14
2.1. Normes au niveau composant	15
2.2. Normes au niveau système.....	18
3. Outils de caractérisation ESD industriels.....	25
3.1. Test TLP.....	25
3.2. Test VF-TLP et corrélation avec les tests de qualification	27
4. Stratégies de protection ESD.....	28
4.1. Types de protections	28
4.2. Classification des protections	30
4.3. Caractéristiques électriques et composants de base des protections.....	32
5. Qualité de la protection ESD.....	38
5.1. Critères de qualité	38
5.2. Outils graphiques d'évaluation	40
6. Conclusion.....	42
Chapitre 2 Qualité de protection du dispositif DTSCR.....	45
1. Descriptif du dispositif de protection DTSCR	45
1.1. Structure	46
1.2. Principe de fonctionnement	47
1.3. Caractéristique Courant-Tension	48
2. Caractéristiques électriques du DTSCR.....	48
2.1. Enjeux industriels.....	49
2.2. Point de maintien	50
2.3. Rapidité et temps de déclenchement	66
3. Compromis : Efficacité, Transparence et Robustesse	78
3.1. Transparence	80
3.2. Efficacité	81

3.3. Robustesse.....	84
3.4. Bilan.....	84
4. Compromis : Performances électriques et dessin technologique.....	84
4.1. Structure.....	85
4.2. Performances électriques.....	85
4.3. Bilan.....	86
5. Conclusion.....	87
Chapitre 3 Prédiction de la qualité de la protection par la simulation physique.....	89
1. Environnement de simulation.....	89
2. Déroulement du projet.....	92
3. Génération de la structure de test.....	93
3.1. Chargement du masque.....	93
3.2. Description du procédé technologique.....	93
3.3. Simplification de la structure.....	94
3.4. Maillage de la structure.....	96
4. Simulation électrique et électrothermique.....	98
4.1. Conditions aux limites.....	98
4.2. Choix des modèles physiques.....	98
5. Résultats et discussions.....	100
5.1. Prédiction de la transparence de la protection.....	101
5.2. Prédiction de l'efficacité de la protection.....	106
5.3. Prédiction de la robustesse de la protection.....	120
6. Bilan des résultats.....	126
7. Conclusion.....	128
Chapitre 4 Prédiction et optimisation de la qualité de protection par l'apprentissage machine ...	131
1. Introduction à l'apprentissage automatique.....	131
2. Problématique.....	132
3. Objectif de l'étude.....	136
4. Environnement de développement.....	136
4.1. Outils de développement Python.....	136
5. Collecte des données.....	137

5.1.	Choix des motifs	138
5.2.	Choix des caractéristiques électriques de sortie.....	139
5.3.	Choix des paramètres physiques d'entrée.....	140
6.	Prétraitement des données.....	144
6.1.	Jeu de données initial	144
6.2.	Nettoyage des données.....	145
6.3.	Données d'apprentissage et données de test	148
6.4.	Visualisation des données	149
7.	Choix du modèle d'apprentissage	150
7.1.	Régression linéaire.....	152
7.2.	Régression polynomiale.....	156
7.3.	Forêts aléatoires	158
8.	Optimisation.....	164
8.1.	Paramètres d'entrée avec contrainte	165
8.2.	Définition de la fonction de coût	165
8.3.	Algorithme d'optimisation.....	166
9.	Conclusion et perspectives	171
Conclusion générale		172
Bibliographie.....		175
Liste des publications		185

Introduction générale

Le risque de décharges électrostatiques (ESD, *ElectroStatic Discharge*) est omniprésent tout au long du cycle de vie du composant. Pour protéger les systèmes électroniques des ESD, les concepteurs placent des protections dans les zones les plus exposées de leurs circuits. Ces protections servent à absorber les décharges et éviter qu'elles n'atteignent les circuits intégrés. Avec l'évolution numérique, les contraintes imposées aux protections discrètes sont de plus en plus nombreuses. En effet, avec le développement de l'internet des objets et des systèmes intelligents, les appareils électroniques sont de plus en plus connectés, le volume et le partage des données évoluent et la liste des fonctionnalités se rallonge d'année en année. A titre d'exemple, dans le marché de l'économie numérique, l'engouement autour du smartphone et l'évolution de ce dernier donnent une vision sur les nombreuses contraintes à considérer dans la conception des produits de protection. En effet, le smartphone intègre désormais de nombreuses fonctionnalités, comme l'internet mobile (4G, 5G ...), la géolocalisation (GPS), les applications multimédia, les communications courtes distance (NFC, Bluetooth...) et les applications de monétisation (RFID). Toutes ces fonctionnalités requièrent un débit de données plus important, une autonomie de batterie plus longue et un spectre de radiofréquences plus large. Au niveau système, cela se traduit par une multitude de puces et de circuits qui engendrent un encombrement plus conséquent. Pour réduire la complexité, le coût et l'encombrement du système, les concepteurs développent des circuits RF multistandards et des interfaces haut-débit universelles, qui assurent à la fois l'alimentation, l'échange de données et la transmission du flux audio et vidéo. Dans le contexte ESD, la tendance « nomade » de ce type d'appareils, associée à leurs nombreuses fonctionnalités, les rend particulièrement exposés aux décharges. En termes de qualité de protection, cela se traduit par des exigences ascendantes sur les performances de robustesse et d'efficacité. Face à cela, les limitations de l'encombrement requièrent une miniaturisation extrême des protections, avec des boîtiers réduits et des fonctionnalités bidirectionnelles et multilignes. D'un autre côté, les contraintes associées à la consommation d'énergie et à l'extensibilité du spectre de fréquences engendre une sensibilité accrue du système vis-à-vis des perturbations externes, ce qui exige une transparence maximale au niveau de la qualité de protection. A toutes ces considérations, se rajoutent celles du coût et des possibilités technologiques dont il faut tenir compte lors de la conception des produits de protection.

Dans ce contexte, il s'avère essentiel de repousser les limites technologiques des dispositifs de protection actuels, en proposant des solutions technologiques innovantes ou en améliorant les méthodologies de conception usuelles de manière à se recentrer sur la qualité de protection globale. Dans ces travaux de recherche, nous avons opté pour la seconde approche afin d'évaluer différentes pistes d'optimisation permettant d'améliorer les performances électriques d'un dispositif de protection de type *Diode Triggered Silicon Controlled Rectifier* (DTSCR). Le travail présenté dans ce manuscrit se divise en quatre chapitres :

Le premier chapitre présente un état de l'art des décharges électrostatiques et des moyens industriels mis en place pour les modéliser. Il décrit également les stratégies déployées dans la protection des circuits électroniques et précise sur les différents aspects qui définissent la qualité de la protection ESD.

Le second chapitre se focalise sur l'étude de la qualité de protection pour une solution à retournement de type DTSCR. Une description de son mode de fonctionnement et de ses paramètres limitants y est détaillée et de nouvelles méthodes de tests sont proposées pour mieux les caractériser. Enfin, les résultats d'une étude comparative réalisée sur un échantillon de composants de protections illustrent les difficultés associées à la conception d'un produit optimal, à la fois en termes de transparence, de robustesse et d'efficacité.

Le troisième chapitre s'inscrit dans une optique d'optimisation des performances électriques du DTSCR à l'aide de la simulation TCAD. On y décrit les méthodes déployées pour simuler les différents aspects de la qualité de protection ESD et la procédure d'étalonnage utilisée pour aboutir à un jumeau numérique du dispositif étudié. Les points forts et les limitations de cette approche sont donnés en conclusion.

Le dernier chapitre s'inscrit également dans une approche d'optimisation du DTSCR, mais, cette fois-ci, en adoptant une nouvelle approche basée sur l'apprentissage machine. L'idée est de mettre à profit l'ensemble des connaissances acquises tout au long du développement de la technologie de protection. Pour cela, la démarche consiste à exploiter les différents compromis existants entre les paramètres géométriques et technologiques de la protection, afin d'aboutir à des solutions optimales adaptées au cahier des charges ciblé.

Chapitre 1

Généralités sur les protections ESD

Au quotidien, les décharges électrostatiques passent souvent inaperçues et se manifestent parfois sous la forme d'une étincelle ou d'un picotement ressenti par la personne impliquée. Dans l'industrie du semiconducteur, ces mêmes décharges peuvent endommager les composants électroniques et entraîner des coûts importants. Ce chapitre dresse un état de l'art sur l'origine des décharges électrostatiques (ESD) et les moyens de caractérisation mis en place pour l'analyse et la qualification des composants. Il s'ensuit une présentation des stratégies de protection mises en œuvre pour améliorer la robustesse des circuits électroniques. En dernière partie, une attention particulière est accordée aux différents aspects servants à définir la qualité d'un composant de protection.

1. Type de perturbations et origines des ESD

Une ESD correspond à un transfert de charges entre deux corps ayant des potentiels électrostatiques différents. A grande échelle, le phénomène le plus connu est la foudre. A plus petite échelle, les décharges se manifestent sous la forme d'un arc électrique, comme lorsqu'une personne chargée touche la poignée d'une porte (figure 1.1).

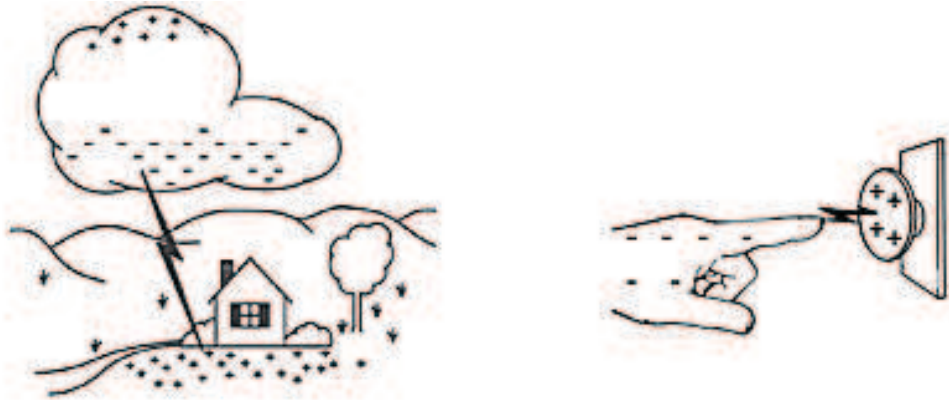


Figure 1.1: L'ESD à l'échelle atmosphérique (foudre) [Adaptée de [DAN 90]], et l'ESD à l'échelle humaine (arc électrique)

Dans la famille des surcharges électriques EOS (*Electrical Overstress*), les décharges électrostatiques sont les événements les plus rapides et les moins énergétiques (figure 1.2).

En microélectronique, il existe deux mécanismes majeurs à l'origine des ESD :

- › *Electrification par triboélectricité* : un transfert de charges peut se produire lorsque deux matériaux différents sont mis en contact puis séparés. C'est le cas d'un composant qui glisse dans une barrette de transport, ou d'une personne qui accumule des charges en frottant ses chaussures contre le sol (figure 1.3-a).

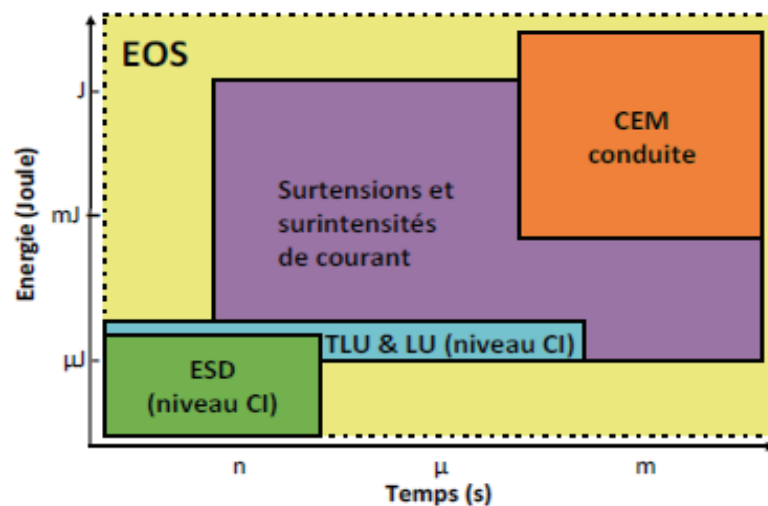


Figure 1.2: Illustration des gammes de temps et d'énergie pour différentes surcharges électriques, EOS (Electrical overstress) [BAF 18]

- › *Electrification par induction* : une séparation de charges se produit dans un objet électriquement neutre, soumis à l'influence du champ électrique émis par un objet chargé, se trouvant à proximité. C'est le cas par exemple lorsqu'un papier ou un gobelet en polystyrène sont chargés électriquement et placés à proximité d'un composant (figure 1.3-b) [BAF 18].

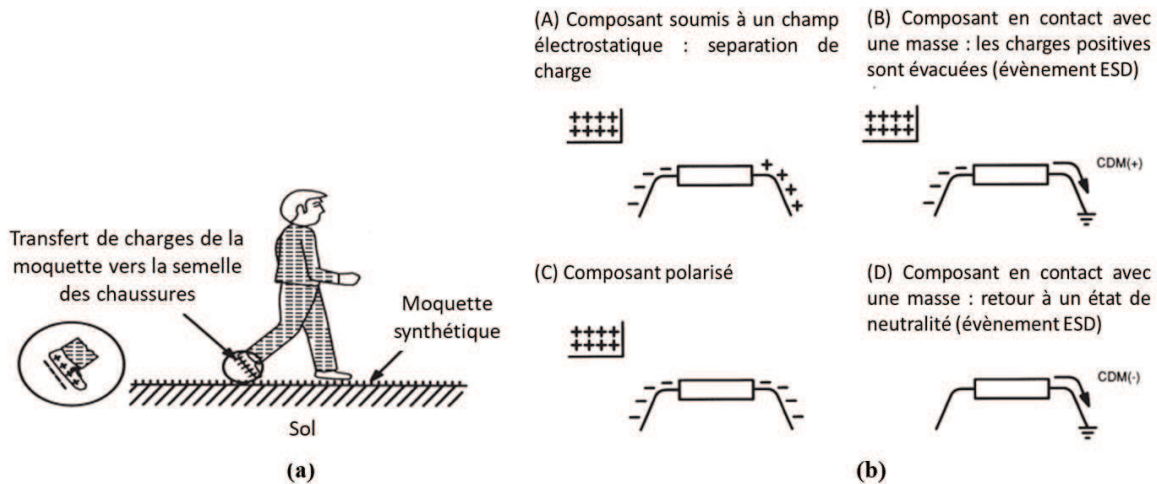


Figure 1.3: Electrification par triboélectricité [Adaptée d'après [DAN 90]] (a), électrification par induction [Adaptée d'après [VIN 98]] (b)

Le risque d'ESD étant omniprésent tout au long du cycle de vie du composant, différentes approches ont été développées pour s'en prémunir. La première consiste à réduire le risque dans les lignes de fabrication. Cela se traduit par la mise en place de zones dites EPA (*ESD Protected Area*), où plusieurs précautions sont prises pour minimiser la génération et l'accumulation de charges (figure 1.4). La seconde approche consiste à accroître la robustesse des circuits électroniques en y intégrant des protections, ainsi ils deviennent moins sensibles aux décharges électrostatiques. Dès lors, pour évaluer la vulnérabilité des circuits face à ce type de perturbations, plusieurs modèles ont été développés pour reproduire les décharges électrostatiques en laboratoire.

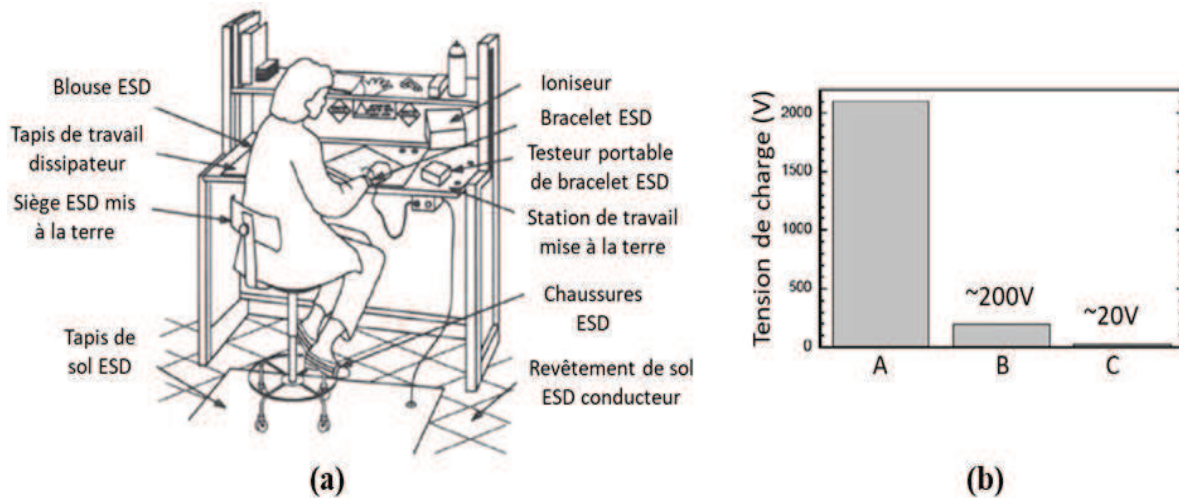


Figure 1.4: (a) : zone de protection ESD [Adaptée d'après [DAN 90]], et (b) : impact des différentes méthodes de contrôle ESD sur la tension de charge d'une personne dans un environnement industriel : sans contrôle ESD (A), avec un revêtement de sol ESD (B), et avec des chaussures ESD (C) [Adaptée d'après [VAS 14]]

2. Modélisation des décharges ESD

Les modèles de décharges électrostatiques servent à reproduire les perturbations rencontrées par le composant dans son environnement de fabrication ou d'utilisation. Chaque modèle se caractérise par une forme d'onde de courant spécifique, dont les caractéristiques sont décrites dans des documents normatifs, définis par plusieurs comités dont les principaux sont : JEDEC (*Joint Electron Device Engineering Council*), l'IEC (*International Electrotechnical Commission*), l'ANSI/ESD (*American National Standards Institute*) et MIL-STD (*United States Military Standard*).

La partie qui suit liste les principaux modèles de décharges utilisés pour définir la robustesse des protections dans les documentations techniques. Ces modèles sont listés et groupés selon deux catégories :

- Les tests destructifs qui obéissent à des normes bien définies et qui sont déployés dans la qualification des composants et des systèmes dans les domaines ESD et EOS.
- Les tests de caractérisation alternatifs qui sont moins bien normés et communément utilisés pour comprendre le fonctionnement des protections face à des décharges ESD.

2.1. Normes au niveau composant

2.1.1. Modèle d'une personne chargée (HBM)

Le modèle HBM (*Human Body Model*) simule la décharge d'une personne électriquement chargée lorsqu'elle touche du doigt un composant électronique connecté à la masse. Le testeur HBM s'apparente à un circuit RLC, composé d'une capacité de 100 pF en série avec une résistance de 1.5 k Ω (figure 1.5).

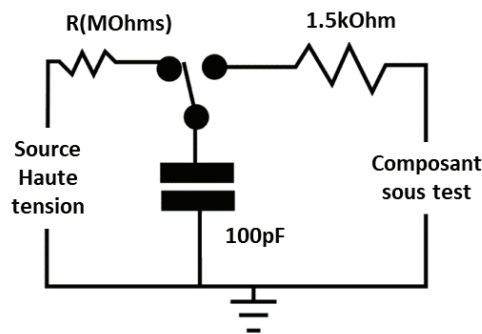


Figure 1.5: Schéma électrique du modèle de test HBM [Adaptée d'après [ESD 10]]

La figure 1.6 illustre une forme d'onde HBM standard. Elle se caractérise par un temps de montée allant de 2 ns à 10 ns, suivit d'une décroissance exponentielle du courant qui s'étend sur une centaine de nanosecondes. L'amplitude du courant varie en fonction de la tension de précharge appliquée. Pour la qualification d'un composant électronique, les niveaux de tenue HBM généralement requis pour immuniser les composants électroniques lors des étapes de fabrication sont de 1 kV à 2 kV [ESD 16].

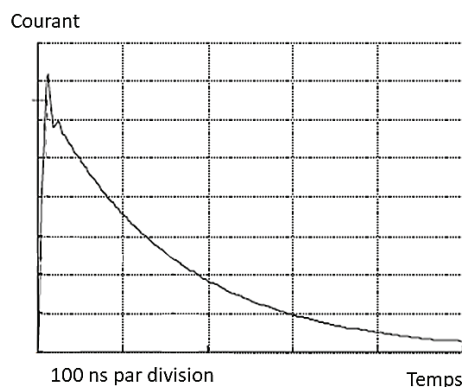


Figure 1.6: Forme d'onde typique du courant de décharge HBM sur un court-circuit [Adaptée d'après [ANS 14]]

2.1.2. Modèle d'un équipement chargé (MM)

Le modèle MM (*Machine Model*) reproduit la décharge d'une machine électriquement chargée qui vient au contact d'un composant électronique relié à la masse. Son schéma électrique est un circuit RLC comparable à celui du modèle HBM. Sa forme d'onde est caractérisée par des oscillations sinusoïdales qui montrent un amortissement dans le temps. Toutefois, cette forme d'onde dépend fortement de l'équipement, ce qui pose un problème de reproductibilité d'un testeur à l'autre et rend la qualification difficile et le test MM de plus en plus obsolète [IND 10].

2.1.3. Modèle d'un composant chargé (CDM)

Le modèle CDM (*Charged Device Model*) simule la décharge d'un composant au contact d'un objet ou d'une surface connectée à la masse. Contrairement aux tests MM et HBM où le stress est initié par une source externe, le stress CDM résulte du composant lui-même. Ce dernier accumule des charges par induction ou frottement lors des différentes étapes de fabrication, de stockage et de transport. La décharge du composant est modélisée par un circuit RLC dont les valeurs sont faibles et fortement dépendantes du type de boîtier, de ses dimensions, du chemin de décharge et des conditions de test (figure 1.7) [GOE 05] [SAL 05].

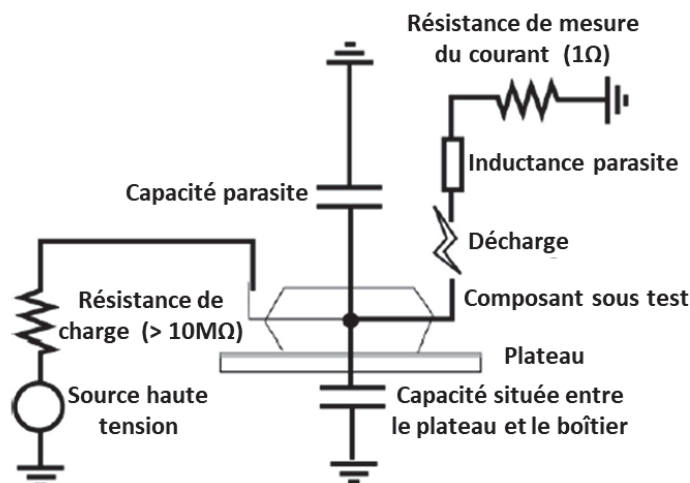


Figure 1.7: Schéma électrique du modèle de test CDM [Adaptée d'après [ESD 10]]

La forme d'onde associée au test CDM est illustrée dans la figure 1.8. Elle se caractérise par des oscillations fortement amorties, avec un temps de montée très court et un pic de courant très important (une dizaine d'ampères).

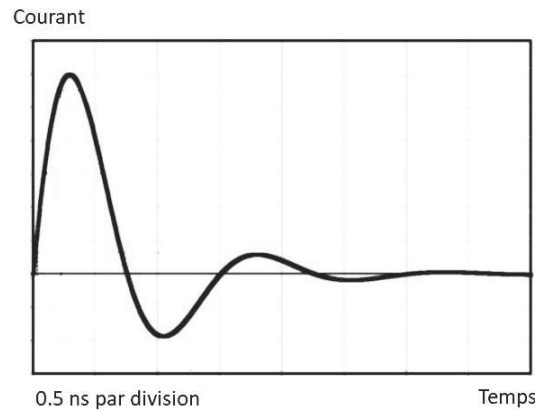


Figure 1.8: Forme d'onde typique du courant de décharge CDM [Adaptée d'après [ANS 18]]

Comparé aux tests HBM et MM, le stress CDM est moins énergétique, avec une signature de défaillance qui se traduit principalement par un claquage des diélectriques (figure 1.9).

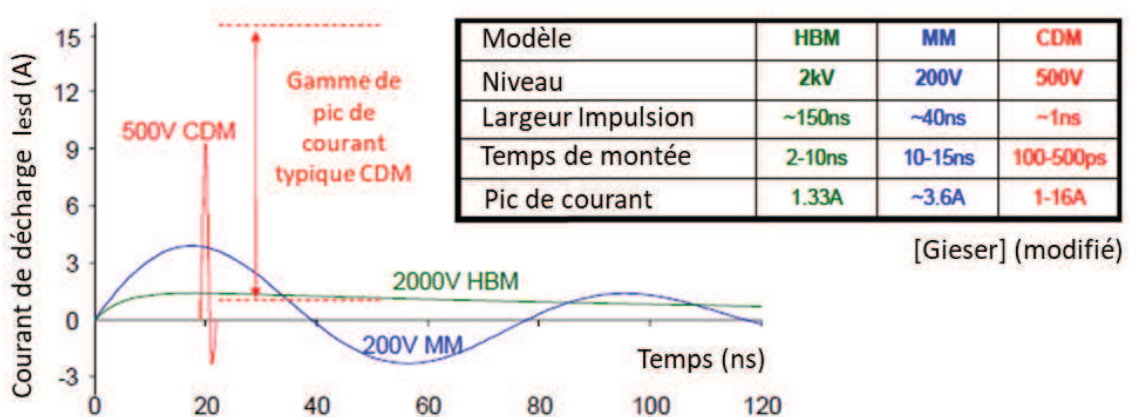


Figure 1.9: Comparaison des allures des formes d'ondes en courant de décharge HBM (2 kV), CDM (500 V) et MM (200 V) [IND 09]

Pour la qualification des composants électroniques, le niveau de tenue CDM minimum généralement recommandé est de 250V [ESD 16] (figure 1.10). Toutefois, les spécifications des industriels ne font pas état des tests CDM de manière systématique, étant donné la complexité de ces mesures et des coûts associés [GUI 02].

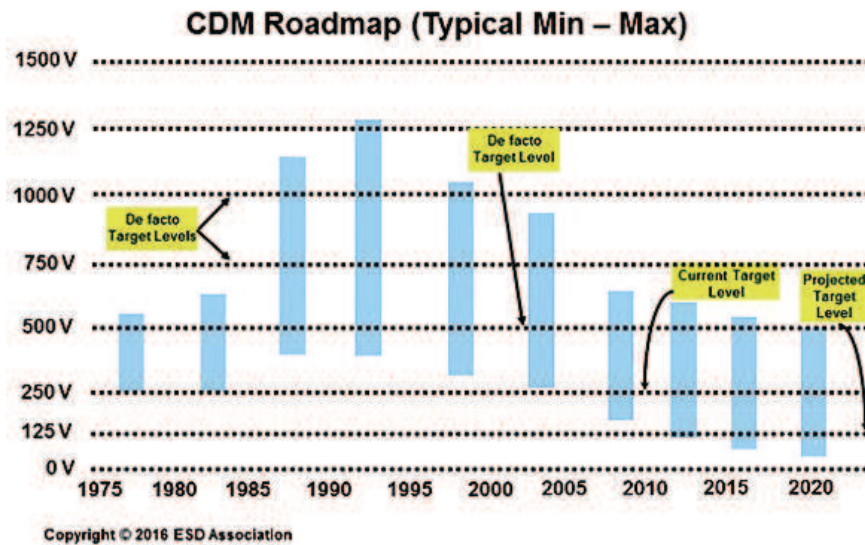


Figure 1.10: Evolution du niveau de tenue CDM des composants électroniques [ESD 16]

2.2. Normes au niveau système

Dans les sous-sections suivantes nous allons décrire les normes : IEC61000-4-2, HMM et IEC61000-4-5.

2.2.1. Modèle IEC61000-4-2

Le modèle IEC61000-4-2 simule la décharge d'une personne dans un système à travers un objet métallique. Cette décharge est reproduite avec un pistolet ESD, composé d'une source haute tension qui charge une capacité de 150 pF à travers une résistance de plusieurs megaohms. Cette capacité se décharge ensuite par l'intermédiaire d'un relais à travers une résistance de 330 Ω (figure 1.11).

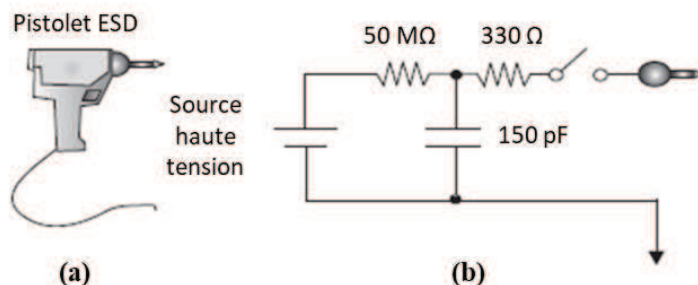


Figure 1.11: Pistolet IEC61000-4-2 (a), et schéma électrique équivalent (b) [Adaptée d'après [VOL 16]]

La norme IEC61000-4-2 spécifie la forme d'onde standard à respecter (figure 1.12 – tableau 1.1). Celle-ci se caractérise par deux pics de courant successifs. Le premier peut atteindre une dizaine d'ampères, avec un temps de montée très court (≤ 1 ns). Il est souvent à l'origine des claquages d'oxyde dans les circuits intégrés [VAS 14]. Le second est relevé à 30 ns, il s'étale sur une dizaine de nanosecondes, avec un niveau de courant plus bas et une quantité d'énergie plus importante. Pour protéger efficacement un système électronique contre ce type de décharges, le dispositif de protection doit s'amorcer très rapidement pour écrêter le premier pic, tout en ayant le niveau de robustesse requis pour supporter la quantité d'énergie injectée par le second pic, qui correspond aux niveaux de tension ciblés.

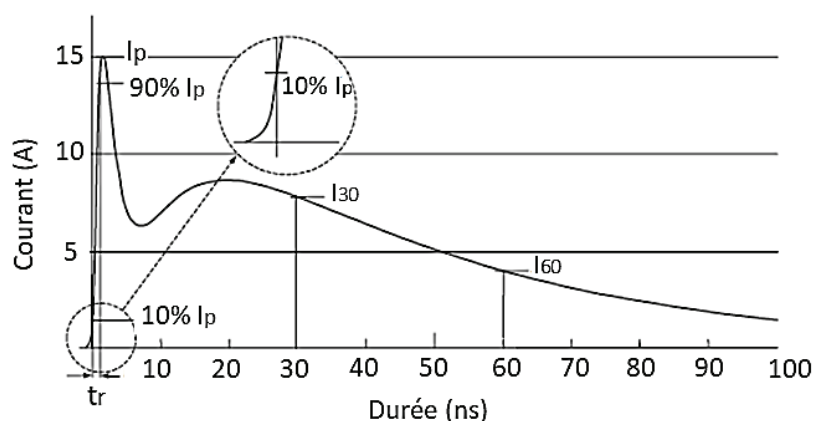


Figure 1.12: Forme d'onde du courant de décharge IEC61000-4-2 au contact à 4 kV dans une impédance équivalente à 2Ω [Adaptée d'après [IEC 08]]

Tension de charge (kV)	Courant 1 ^{er} pic $I_p \pm 15 \%$ (A)	Temps de montée $t_r \pm 25 \%$ (ns)	Courant à 30 ns $I_{30} \pm 30 \%$ (A)	Courant à 60 ns $I_{60} \pm 30 \%$ (A)
2	7,5	0,8	4	2
4	15		8	4
6	22,5		12	6
8	30		16	8

Tableau 1.1: Paramètre de la forme d'onde de courant de décharge IEC61000-4-2 au contact [Adaptée d'après [IEC 08]]

La robustesse exigée par la norme IEC61000-4-2 est répertoriée selon quatre niveaux décrits dans le tableau 1.2. Ces niveaux sont différents selon la méthode de test appliquée : « en contact » ou

« dans l'air » (figure 1.13). Les deux méthodes donnent généralement une robustesse similaire, voire supérieure lorsqu'il s'agit de décharges « dans l'air » [NEX 18].

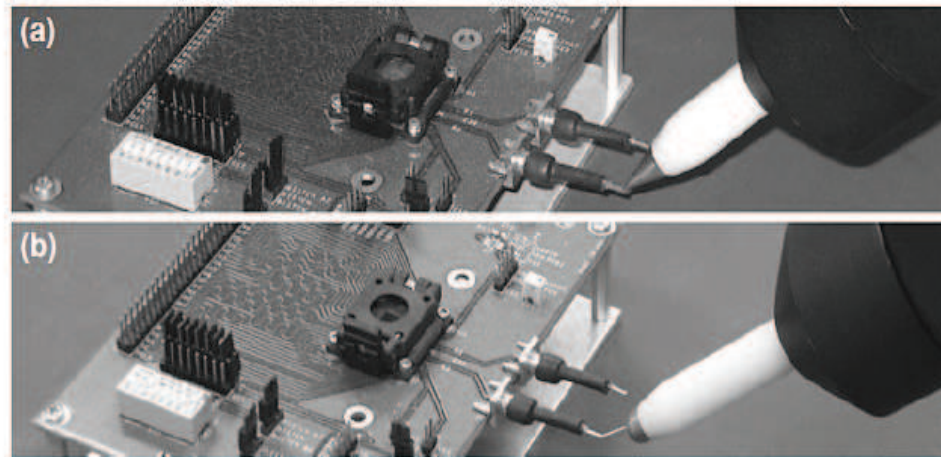


Figure 1.13: Exemple de décharges au pistolet ESD : au contact (a) et dans l'air (b) [VAS 14]

Niveaux ESD	Tension de décharge IEC61000-4-2 au contact (kV)	Tension de décharge IEC61000-4-2 dans l'air (kV)
1	2	2
2	4	4
3	6	8
4	8	15

Tableau 1.2: Niveaux de conformité ESD selon la norme IEC61000-4-2

Pour produire des résultats répétables, la norme IEC61000-4-2 spécifie les équipements, les procédures d'étalonnage et les conditions de tests à respecter. Toutefois, ces spécifications concernent uniquement les tests appliqués au système, or la demande des concepteurs se focalise désormais sur le test du composant lui-même, l'idée étant que sa robustesse est garante de la tenue du système qu'il protège. Pour standardiser le test des composants en configuration système, une nouvelle norme appelée HMM a été mise en place par l'association ESDA [ANS 09].

2.2.2. Modèle HMM

Le modèle HMM (*Human Metal Model*) permet d'appliquer une décharge système de type IEC61000-4-2 directement au niveau du composant. A l'origine, la norme IEC ne concerne que les

mesures système. Or la nécessité d'effectuer ces caractérisations sur des produits discrets a poussé les industriels à développer leurs propres solutions de test, en se basant sur des boîtiers et des cartes spécifiques, l'objectif étant de garantir la conformité de l'onde IEC au plus près du composant [ANS 09] (figure 1.14).

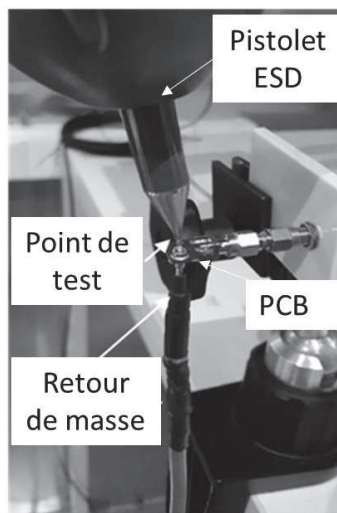


Figure 1.14: Mesure IEC61000-4-2 au niveau composant

La complexité de ce type d'approche et son manque de reproductibilité a nécessité la mise en place d'un standard HMM qui normalise la procédure de test et facilite son application aux composants discrets. Deux configurations de test HMM sont envisageables :

2.2.2.1. Configuration HMM avec pistolet ESD

Cette approche consiste à utiliser un pistolet ESD conformément aux spécifications IEC61000-4-2. Dans cette approche, la pointe du pistolet vient au contact d'un point de décharge du circuit imprimé sur lequel se trouve le composant à tester. L'ensemble est monté sur une plaque métallique horizontale, connectée au retour de masse du pistolet [VAS 14] (figure 1.15). L'autre approche consiste à réaliser le montage HMM avec une plaque métallique verticale qui fait office de bouclier contre les perturbations électromagnétiques émises par le pistolet pendant la décharge ESD [VAS 14] [BAF 18].

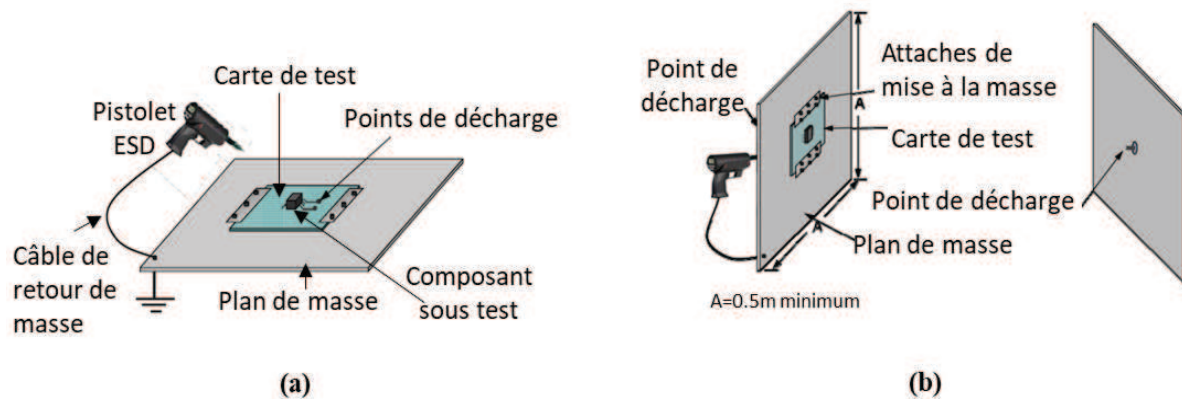


Figure 1.15: Configurations de test HMM avec pistolet ESD : simplifiée (a) et verticale (b) [Adaptée de [ANS 09]]

2.2.2.2. Configuration HMM adaptée 50 Ω

Dans cette configuration, le pistolet ESD est remplacé par un générateur d'impulsion, d'impédance 50 Ω de type TLP (figure 1.16-a). Il s'agit d'une alternative de test qui permet d'améliorer la reproductibilité des mesures, tout en s'affranchissant des radiations électromagnétiques du pistolet ESD. Elle offre également la possibilité de réaliser des mesures sous-pointes pour évaluer la robustesse des composants durant la phase de conception. Le problème des testeurs « HMM-50 Ω » réside dans les phénomènes de réflexion résultant de la désadaptation d'impédance liée à la charge. Ces réflexions peuvent être à l'origine de perturbations au niveau du générateur d'impulsions, ce qui peut mener à une divergence de résultats par rapport au pistolet ESD (figure 1.16-c) [VAS 14]. Les testeurs type « HMM-IEC » se basent sur un circuit de décharge type IEC61000-4-2 avec une impédance de 330 Ω similaire à celle du pistolet ESD (figure 1.16-b) [VAS 14]. Les tests HMM s'effectuent alors aussi bien sous pointes qu'en boîtier.

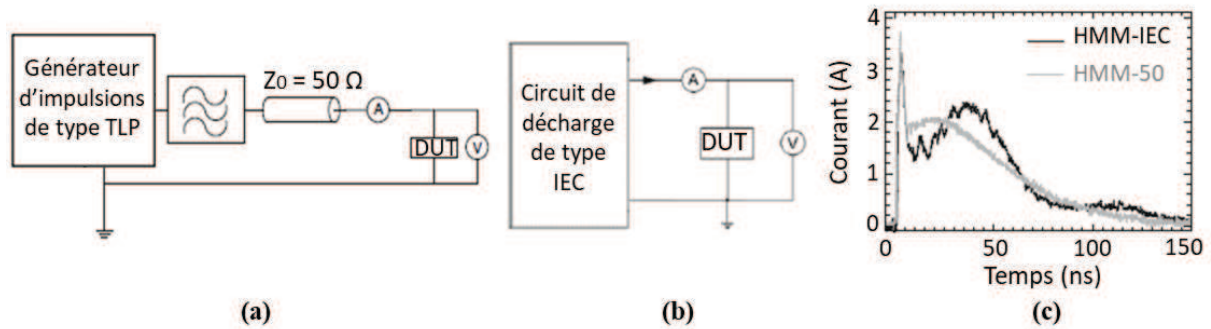


Figure 1.16: Schéma de principe du testeur HMM-50Ω (a) et HMM-IEC (b) pour une configuration de test sous-pointes. Comparaison des formes d'ondes en courant sur un court-circuit, pour un niveau de décharge HMM équivalent de 1 kV (c) [Adaptée de [VAS 14]]

La robustesse exigée par la norme HMM est répertoriée selon quatre niveaux décrits dans le tableau 1.3.

Niveaux HMM	Tension de décharge IEC61000-4-2 équivalente (kV)
I	1
II	2
III	4
IV	6
V	8
X	Spécial

Tableau 1.3: Niveaux de conformité ESD selon la norme HMM [Adaptée de [ANS 09]]

2.2.3. Modèle IEC61000-4-5 (Norme EOS)

Le modèle IEC61000-4-5 reproduit des surcharges électriques plus lentes et plus énergétiques que les décharges IEC61000-4-2. Ces surcharges sont attribuées à des phénomènes transitoires comme les surtensions dans le système d'alimentation, qui résultent de défauts de court-circuit, de commutations ou de variations de charges. Le circuit permettant de modéliser les décharges IEC61000-4-5 est composé d'une source haute tension qui charge une capacité C_c à travers une résistance R_C . Cette capacité se décharge ensuite à travers un circuit R_L composé d'une résistance d'adaptation d'impédance R_m , une résistance R_S et une inductance L_r qui contrôlent respectivement la durée et le temps de montée de la forme d'onde générée [VAS 14] (figure 1.17).

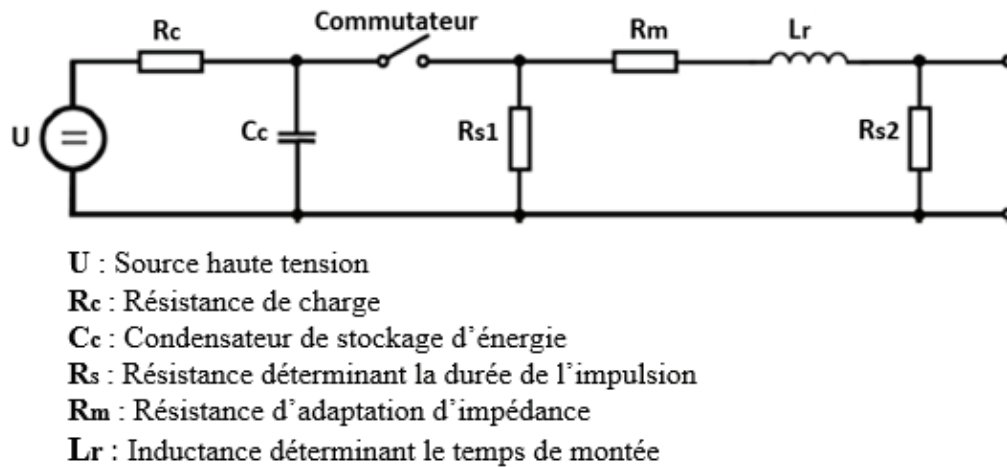


Figure 1.17: Schéma de principe simplifié du circuit du générateur d'ondes IEC61000-4-5 [Adaptée de [IEC 17]]

La forme d'onde générée par le circuit IEC61000-4-5 est illustrée dans la figure 1.18 en régime faible impédance et forte impédance (configurations court-circuit et circuit-ouvert). La durée et le temps de montée de la forme d'onde résultante sont respectivement de 8/20 μ s et 1.2/50 μ s, avec un pic de courant pouvant aller de 250 A à 2 kA [VAS 14].

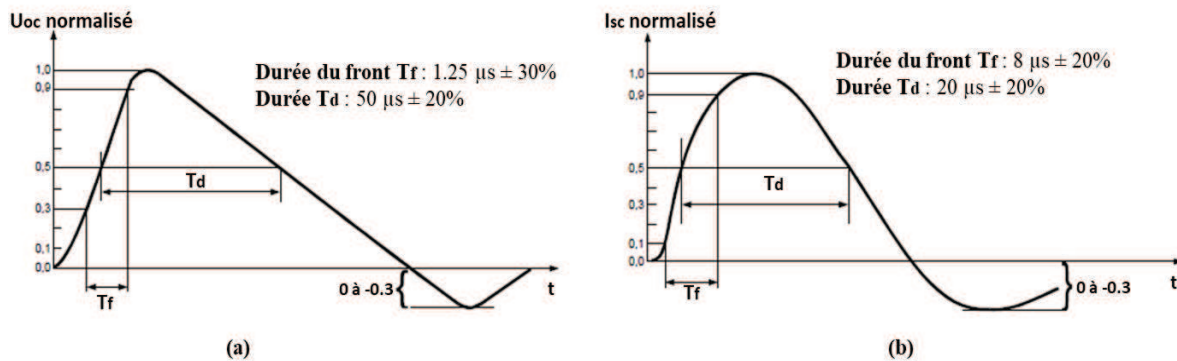


Figure 1.18: Formes d'onde de tension en circuit ouvert (1.2/50 μ s) (a), et forme d'onde du courant de court-circuit (8/20 μ s) (b) [Adaptée de [IEC 17]]

La robustesse exigée par la norme IEC61000-4-5 est répertoriée selon quatre niveaux décrits dans le tableau 1.4

Classe	Environnement	Niveau de tension
0	Environnement électrique bien protégé, souvent celui d'une salle spéciale.	25 V
1	Environnement électrique partiellement protégé	500 V
2	Environnement électrique pour lequel les câbles sont bien séparés, même sur des parcours de faible longueur.	1 kV
3	Environnement électrique pour lequel le parcours des câbles est parallèle.	2 kV
4	Environnement électrique pour lequel les interconnexions se font par des câbles extérieurs, à côté des câbles d'énergie et pour lequel les câbles sont utilisés à la fois pour des circuits électroniques et des circuits électriques.	4 kV
5	Environnement électrique pour du matériel électronique relié à des câbles de télécommunications et à des lignes électriques aériennes d'une zone qui n'est pas très peuplée.	Niveau d'essai 4
X	Conditions particulières stipulées dans les spécifications de produit.	-

Tableau 1.4: Classification et niveaux de tension correspondants selon la norme IEC61000-4-5

[Adaptée d'après [IEC 17] [STM 13]]

3. Outils de caractérisation ESD industriels

Dans les sous-sections suivantes nous allons décrire les outils de caractérisation déployés dans l'étude du fonctionnement des produits de protection : TLP et VF-TLP.

3.1. Test TLP

Les tests ESD comme l'HBM et le CDM sont des tests destructifs de type « go / no go ». Ils servent dans la qualification et l'évaluation de la robustesse d'un composant électronique. Pour autant, ces tests ne permettent pas d'analyser le comportement du composant face à des décharges ESD. Or l'étude des mécanismes qui gèrent son fonctionnement en régime fort courant peut s'avérer nécessaire dans la conception et l'optimisation des solutions de protection. Pour remédier à cette limitation, le test TLP (*transmission line pulse*) applique des impulsions carrées dont l'énergie est comparable à celle d'une décharge HBM (figure 1.19). Le caractère « quasi-statique » des tests TLP se traduit par une durée d'impulsion limitée, à la fois courte pour éviter les phénomènes d'échauffement et suffisamment longue pour permettre une stabilisation des courants-tensions dans le composant.

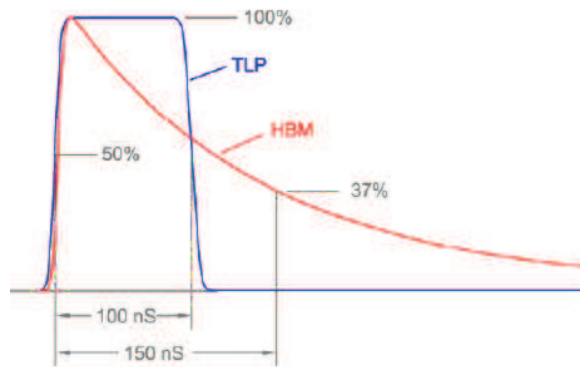


Figure 1.19: Comparaison des formes d'onde TLP et HBM [BAR 15]

Le schéma de principe du banc TLP est illustré dans la figure 1.20. Le testeur est composé d'une ligne de transmission 50Ω , qui se charge via une alimentation haute tension. La fermeture du relais permet de décharger la ligne de transmission dans le composant de test. La durée de l'impulsion et son temps de montée sont ajustés via la longueur du câble coaxial et un filtre passe-bas. La propagation de l'impulsion le long des lignes de transmission entraîne des phénomènes de réflexion, qui dépendent de la variation d'impédance du composant au bout de la ligne. Un oscilloscope permet la mesure simultanée de l'onde incidente et réfléchie. La superposition des deux permet d'obtenir les réponses en tension et en courant du composant.

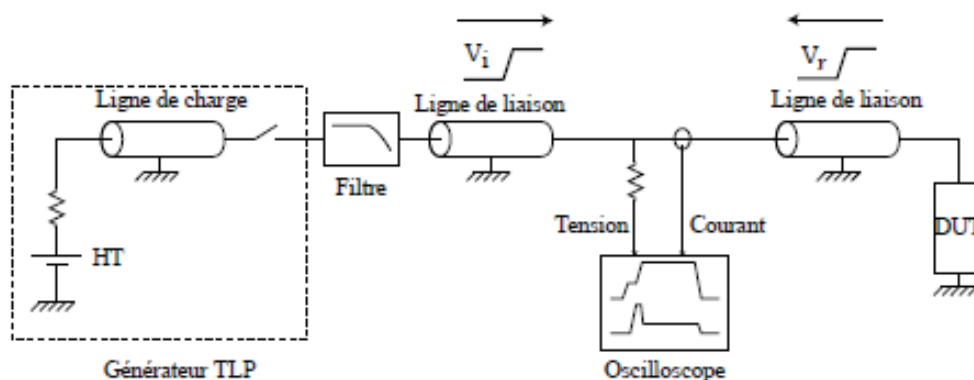


Figure 1.20: Schéma de principe du testeur TLP [BAF 18]

La procédure de test TLP consiste à appliquer une succession d'impulsions carrées, décorrélées les unes des autres et d'amplitude croissante. La durée d'une impulsion standard est de 100 ns avec un temps de montée variable, allant de 300 ps à 10 ns. A chaque impulsion TLP, les réponses en

tension et en courant sont moyennées dans la partie stable des courbes, suivant une fenêtre de temps prédéfinie (figure 1.21). Les moyennes des courants et tensions obtenues permettent de tracer point par point la caractéristique I-V du composant. Celle-ci est associée à une mesure de courant de fuite à la fin de chaque impulsion TLP, pour vérifier l'état de dégradation du composant.

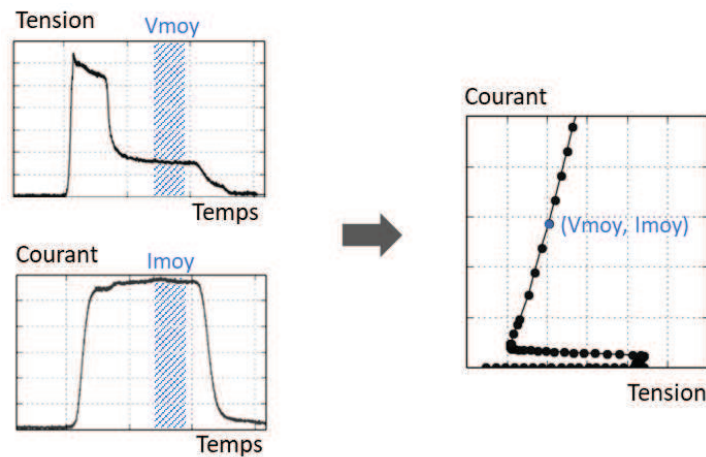


Figure 1.21: Reconstruction point par point de la caractéristique I-V quasi-statique, à partir des formes d'ondes dynamiques en courant et en tension

3.2. Test VF-TLP et corrélation avec les tests de qualification

Le VF-TLP (*Very Fast TLP*) est un outil de caractérisation qui vise à étudier le comportement des composants face à des perturbations rapides comme le CDM. Pour ce faire, les impulsions appliquées sont de courtes durées, avec un temps de montée d'une centaine de picosecondes (figure 1.22).

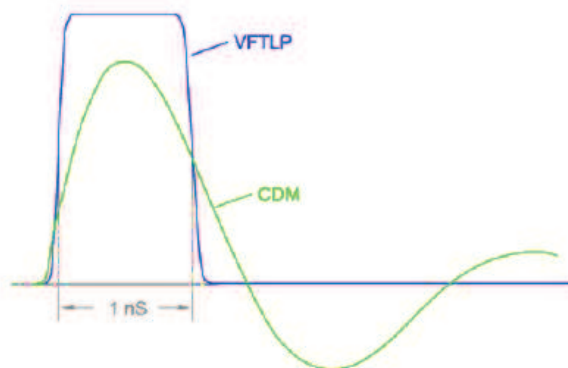


Figure 1.22: Comparaison des formes d'onde VF-TLP et CDM [BAR 15]

Pour générer ce type d'impulsions, le testeur se base sur un montage TLP avec une longueur de câble réduite, pour diminuer les largeurs d'impulsions. Le montage est également optimisé de sorte à limiter les éléments parasites et augmenter la bande passante du système d'acquisition (sondes et oscilloscope).

La mesure VF-TLP permet de tracer la courbe I-V du composant, pour en extraire les paramètres dynamiques et le courant de destruction. Toutefois, aucune correspondance ne peut être établie entre les niveaux de défaillances CDM et VF-TLP. En effet, pour ce dernier, l'impulsion est appliquée entre deux broches d'entrée/sortie, tandis qu'en CDM, l'impulsion est générée par le composant lui-même tout en tenant compte de la contribution du boîtier. Le composant se décharge ensuite à travers l'une des broches connectées à la masse. Pour contourner les limitations du VF-TLP, une nouvelle méthode de caractérisation appelée CC-TLP (*Capacitively coupled TLP*) a été développée [WOL 05]. Elle permet de prendre en compte l'effet du boîtier, tout en affichant une bonne corrélation avec les signatures de défaillance et les courants de pic CDM [BAF 18].

4. Stratégies de protection ESD

Dans les sous-sections suivantes, nous allons décrire deux types de protections : internes et externes. Leurs modes de fonctionnement unidirectionnel et bidirectionnel dans l'application seront également présentés. Nous allons décrire ensuite quelques composants de base pour les produits de protections, dont les dispositifs à effet thyristor qui feront l'objet de cette étude.

4.1. Types de protections

4.1.1. Protections internes

Le risque ESD est présent tout au long du cycle de vie du composant, du fondeur à l'utilisateur final. Pour neutraliser les agressions ESD et éviter d'éventuelles dégradations du composant, les concepteurs ajoutent des protections dites « on-chip » dans le masque de conception du circuit intégré (figure 1.23). Ces protections sont placées à l'extérieur de la puce, aux niveaux des plots de connexion et d'alimentation. L'objectif est d'orienter le courant ESD vers la masse et éviter qu'il n'atteigne le cœur du circuit intégré.

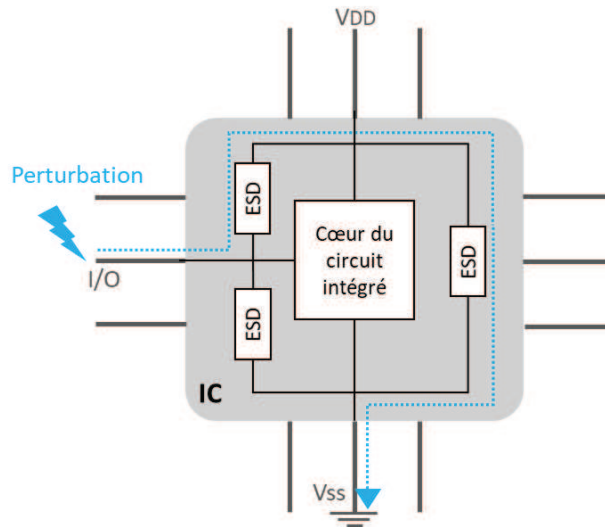


Figure 1.23: Illustration simplifiée d'un réseau de protections internes du circuit intégré

4.1.2. Protections externes

Un système électronique est généralement composé de plusieurs circuits imprimés, ayant chacun un niveau de tolérance ESD différent [VIN 03]. Lorsqu'une perturbation ESD se produit, elle peut aussi bien provoquer une défaillance matérielle que fonctionnelle dans le système. La stratégie de protection consiste alors à augmenter la robustesse de ce dernier, en y ajoutant des protections externes, comme illustré dans la figure 1.24.

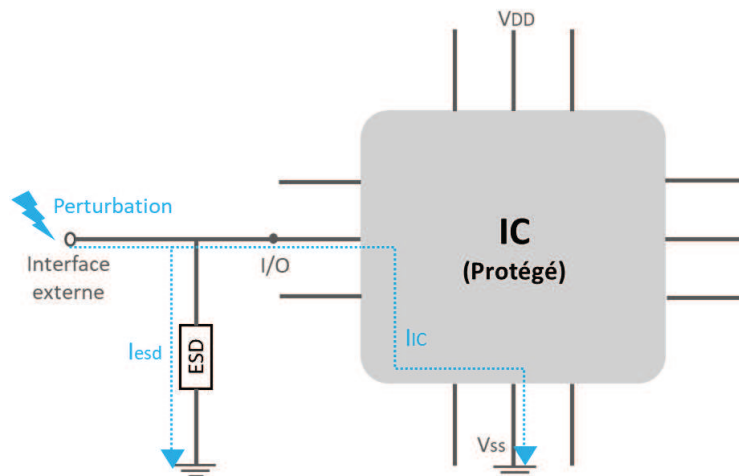


Figure 1.24: Illustration simplifiée d'une stratégie de protection externe

Cette combinaison entre les stratégies « on-chip » et « off-chip » est largement employée et pour cause, l'optimisation des performances du circuit intégré se fait parfois au détriment de sa tenue ESD [QIA 13]. De plus, le niveau de robustesse requis sur les entrées/sorties des composants électroniques est désormais inférieur aux 2kV-HBM usuels et ce niveau de tenue ESD est appelé à baisser pour les futures générations de protections internes selon l'association ESD (figure 1.25) [ESD 16]. Ainsi, les protections externes rajoutées aux entrées/sorties des systèmes électroniques permettent d'évacuer la majeure partie du courant de décharge et garantir un niveau de robustesse ESD global.

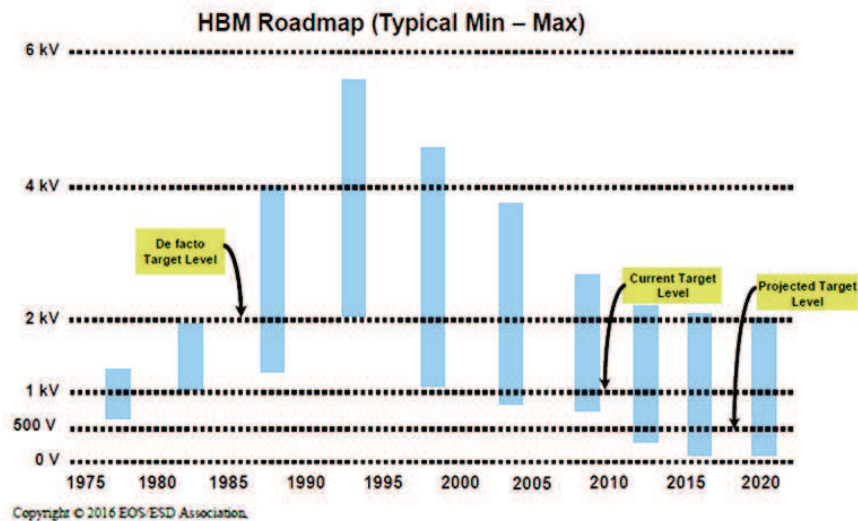


Figure 1.25: Evolution du niveau de tenue HBM des composants électroniques [ESD 16]

4.2. Classification des protections

La configuration de la protection dépend du type d'application à protéger : unidirectionnelle ou bidirectionnelle.

4.2.1. Protections unidirectionnelles

Une protection unidirectionnelle conduit dans un sens et écrête dans l'autre. Même si le terme « unidirectionnel » peut prêter à confusion, ce dernier fait référence à la direction du signal applicatif [DUV 15]. Sur le plan électrique, la caractéristique I-V de la protection est asymétrique, avec une tension de seuil inverse proche de 0 V (figure 1.26-a). Dans l'application, les protections unidirectionnelles sont destinées à protéger des lignes unipolaires dont la tension nominale est

positive (e.g. : $0\text{ V} < V_{\text{signal}} < 5\text{ V}$). Elles peuvent également s'employer pour protéger les lignes bipolaires, à condition de les monter tête-bêche pour symétriser la structure.

4.2.2. Protections bidirectionnelles

Une protection bidirectionnelle écrête dans les deux sens, quelle que soit la polarité du stress ESD. Sur le plan électrique, elle se caractérise par une courbe I-V symétrique, avec une tension d'avalanche qui peut être identique pour les deux modes de fonctionnement direct et inverse (figure 1.26-b). Sur le plan applicatif, les protections bidirectionnelles protègent les lignes unipolaires dont la tension varie en positif (ex : $0\text{ V} < V_{\text{signal}} < 5\text{ V}$). Elles protègent également les lignes bipolaires qui alternent à la fois des valeurs de tensions nominales positives et négatives (ex : $-5\text{ V} < V_{\text{signal}} < 5\text{ V}$) [INF 19]. L'inconvénient majeur de ce type de protections réside dans le ratio performances/surface, qui se traduit par une robustesse réduite et un encombrement plus important dans le circuit [TEX 19] [LIM 13] [COU 15].

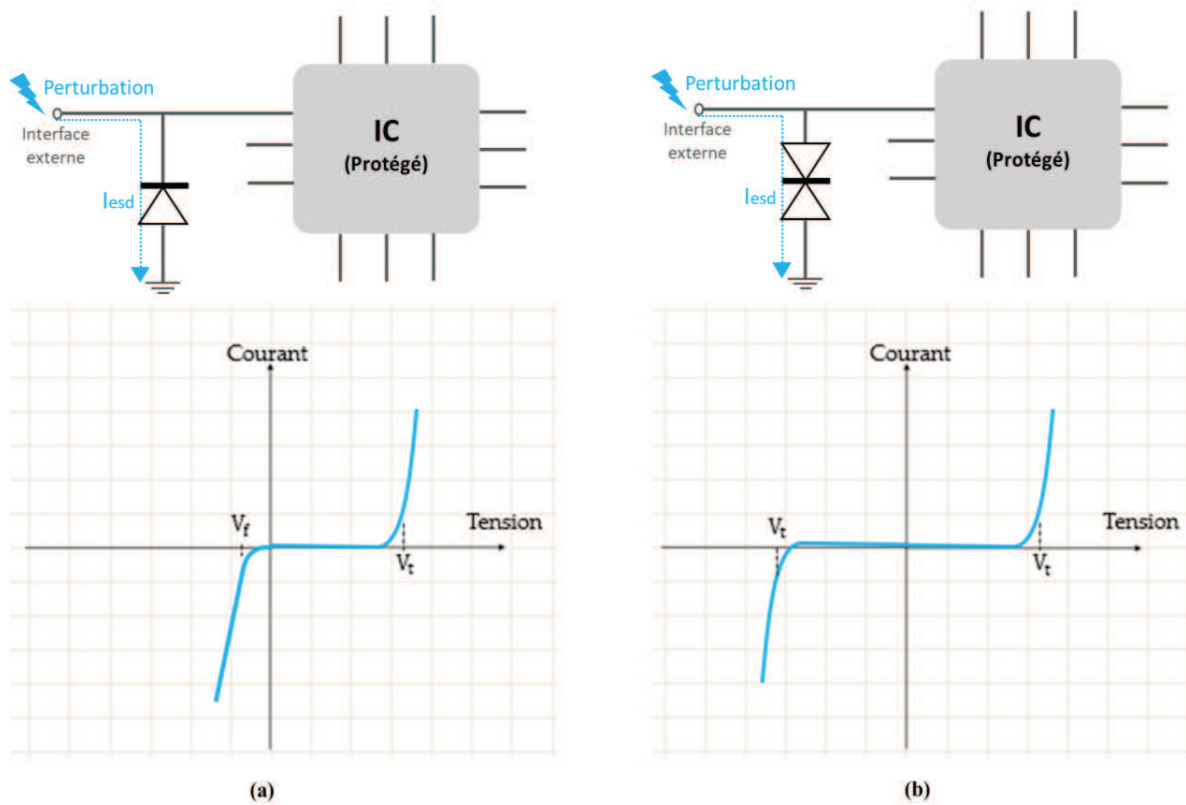


Figure 1.26: Schéma applicatif et caractéristique I-V d'un dispositif de protection : unidirectionnel (a) et bidirectionnel (b)

4.3.Caractéristiques électriques et composants de base des protections

Le choix d'un dispositif de protection dépend de sa caractéristique électrique et de sa conformité vis-à-vis des spécifications du circuit à protéger. La figure 1.27 illustre les allures typiques des caractéristiques courant-tension, qui résument les différentes possibilités de protections externes : le premier cas (a) correspond à une protection « type-diode », avec une caractéristique I-V de type diode. Ses principaux paramètres sont : la tension d'avalanche (V_t), la résistance passante (R_d), la tension d'écrêtage (V_{cl}) et le courant de destruction (I_{t2}). Les cas (b) et (c) correspondent à des protections de « faible » et « fort » retournement, avec une caractéristique I-V de type-S. Les paramètres clés dans ce cas sont : les points de déclenchement et de maintien, la résistance passante et le courant de destruction.

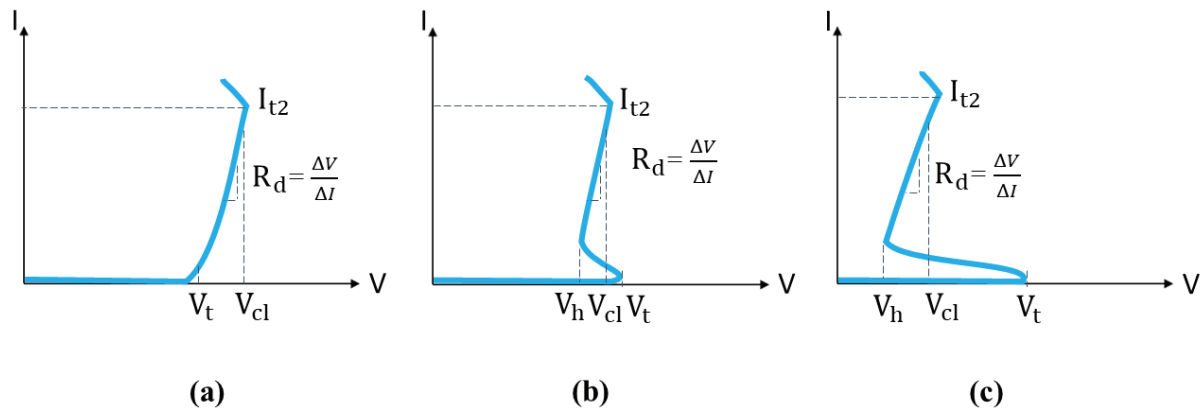


Figure 1.27: Allures typiques des caractéristiques I-V des protections externes : type-diode (a), faible retournement (b) et fort retournement (c) [Adaptée de [INF 19]]

Les avantages et les domaines d'application de chacune des trois caractéristiques ci-dessus sont donnés dans le tableau récapitulatif 1.5.

Caractéristique I-V	Avantages	Type d'applications
Type-diode	› Fonctionnement simple, facile à utiliser › Bonnes performances de protection › Ecrêtage des surtensions	› Applications nécessitant un déclenchement rapide › Applications polyvalentes et faible débit : boutons, interrupteurs, audio, GPIO, ...

Faible retournement	› Performances de protection optimisées (V_{cl}) › Faible capacité parasite (C_L) › Bon compromis entre la tension maximale de fonctionnement (V_{WM}) et la tension d'écrêtage (V_{cl})	› Même applications que pour les protections type-diode, en plus des applications RF et haut-débit.
Fort retournement (Thyristor)	› Meilleures performances de protection toutes catégories confondues (V_{cl}) › Faible capacité parasite (C_L)	› Applications RF › Applications avec plus d'exigences sur le V_{cl} : - Applications haut-débit, LVDS (Transmission différentielle basse-tension) - Technologies avancées des systèmes-sur puces SoC (nm)

Tableau 1.5: Récapitulatif des caractéristiques et des applications pour les différentes possibilités de protections externes [INF 19]

Dans la famille des protections externes, on trouve cinq principaux types de composants : les diodes polarisées en direct, les diodes polarisées en inverse, les composants à effet thyristor et dans certains cas les varistances [GRA 98]. A noter qu'une combinaison sur silicium de plusieurs de ces composants semi-conducteurs est également possible ; il s'agit généralement de technologies brevetées [GRA 98]. Dans ce qui suit nous décrivons certains de ces composants et leurs principales caractéristiques.

4.3.1. Diode TVS

Une diode TVS (*Transient Voltage Suppressor*) est assimilée à une diode Zener optimisée, avec un temps de réponse rapide et une capacité parasite réduite qui convient aux applications RF [VIN 03]. Il s'agit du composant le plus connu du marché de la protection, bien qu'il soit commercialisé sous plusieurs appellations : Transil pour STmicroelectronics, TranZorb pour Vishay, ou encore TVS pour NXP [BEN 10]. Une illustration de la caractéristique I-V de la diode TVS est donnée dans la figure 1.28.

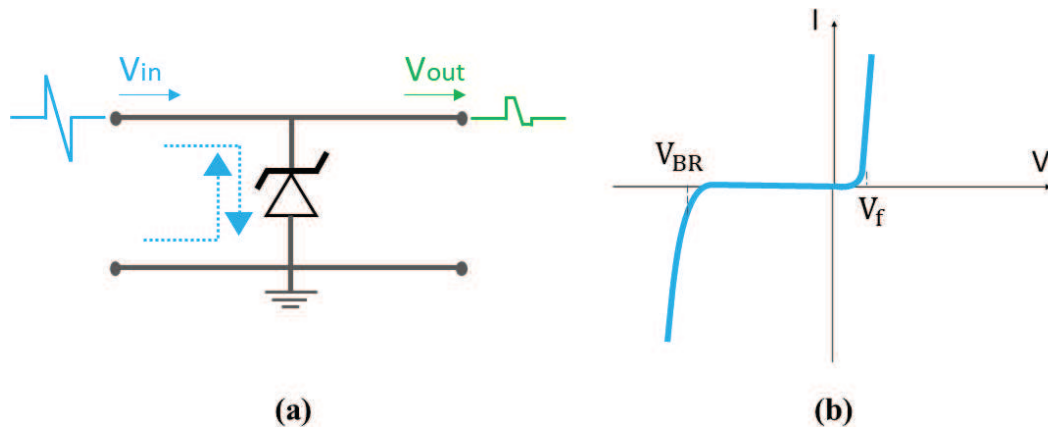


Figure 1.28: Impulsion résiduelle (V_{out}) résultante de la tension d'écèlement de la protection unidirectionnelle TVS (a), et caractéristique I-V unidirectionnelle correspondante (b)

Le caractère unidirectionnel des diode TVS se traduit par un fonctionnement en mode inverse, avec une tension d'avalanche supérieure à la tension nominale du circuit à protéger. Pour les applications bidirectionnelles, deux diodes TVS sont placées tête-bêche dans un même boîtier, afin de symétriser la caractéristique I-V du dispositif (figure 1.29).

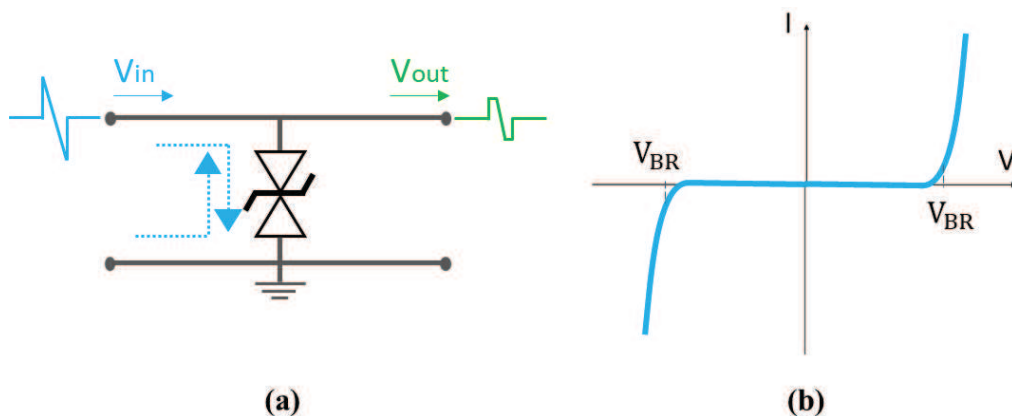


Figure 1.29: Impulsion résiduelle (V_{out}) résultante de la tension d'écèlement de la protection bidirectionnelle TVS (a), et caractéristique I-V bidirectionnelle correspondante (b)

4.3.2. Varistance

Une varistance est une résistance variable, non linéaire, qui dépend de la tension appliquée à ses bornes [GRA 93]. Il s'agit d'un composant bidirectionnel avec une caractéristique I-V symétrique,

qui s'étend sur une grande plage de courant et de tension. A l'état bloqué, la varistance oppose une impédance élevée qui chute très rapidement au-delà d'une certaine tension de seuil (figure 1.30).

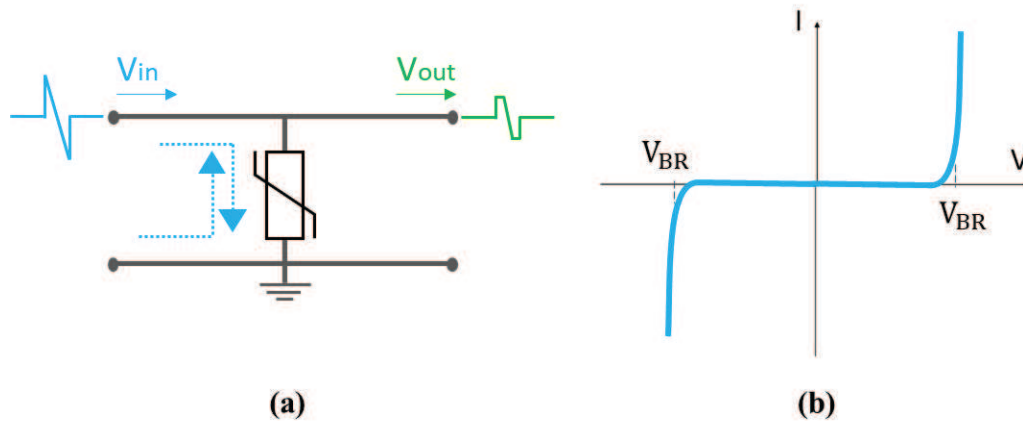


Figure 1.30: Impulsion résiduelle (V_{out}) résultante de la tension d'écrêtage de la protection bidirectionnelle MOV (*Metal Oxide Varistor*) (a), et caractéristique I-V bidirectionnelle correspondante (b)

A l'origine, les varistances sont conçues pour limiter les surtensions transitoires, dans les applications moyennes et hautes tensions (ex : protection contre la foudre) [GRA 93]. La commercialisation d'une nouvelle technologie de varistances multicouches MLV (*Multi-layer varistor*) a permis d'étendre l'utilisation de ce type de protections aux applications basse tension [EAT 17] [LIT 16]. Ainsi, la variation de certains paramètres géométriques de la varistance, comme la surface et l'épaisseur, permet d'augmenter l'énergie de décharge absorbée par cette dernière, tout en diminuant sa tension de seuil. De plus, la miniaturisation des varistances a permis de réduire les dimensions des boîtiers, ce qui facilite leur implantation dans les circuits électroniques qui requièrent un encombrement réduit [EAT 17] (figure 1.31). Dans les applications à hautes fréquences, l'utilisation de la varistance se limite à la protection des bus d'alimentation, en raison de la capacité parasite non négligeable, qui entraîne une déformation des signaux sur les lignes de données haut-débit [BEN 10] [VIN 03].

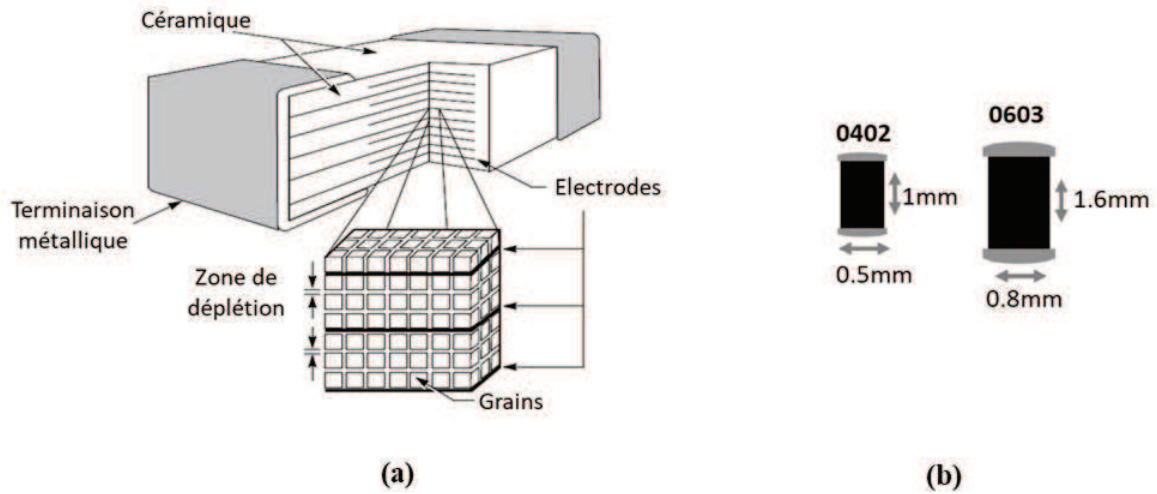


Figure 1.31: Structure d'une varistance (MLV) (a) [Adaptée de [LIT 16]], et dimensions des boîtiers proposés pour ce type de protections (b) [Adaptée de [LIT 10]]

4.3.3. Dispositifs à effet thyristor

Le thyristor ou *Silicon Controlled Rectifier* (SCR) est un composant bipolaire unidirectionnel, utilisé à la base comme interrupteur commandé en électronique de puissance. Son concept a été repris et adapté au domaine de la protection ESD, en raison de ses performances en termes de robustesse, courant de fuite, capacité parasite et résistance à l'état passant [BAF 18].

D'un point de vue technologique, le thyristor est un composant multicouche, formé par une succession de zones alternativement dopées (P-N-P-N) (figure 1.32). Ces quatre zones forment au total trois jonctions, dont une « centrale » polarisée en inverse. La mise en avalanche de cette jonction permet l'amorçage du thyristor. Des circuits auxiliaires de déclenchement peuvent être associés à la structure SCR au niveau de ses gâchettes GP et GN (figure 1.32).

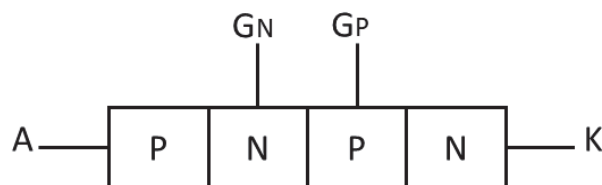


Figure 1.32: Structure de base d'un dispositif SCR

Ces circuits permettent entre autres d'ajuster la tension de déclenchement du thyristor en fonction du type d'application à protéger. Cela donne lieu à de nouvelles technologies de protection (figure 1.33), comme le DTSCR qui fait l'objet de cette étude.

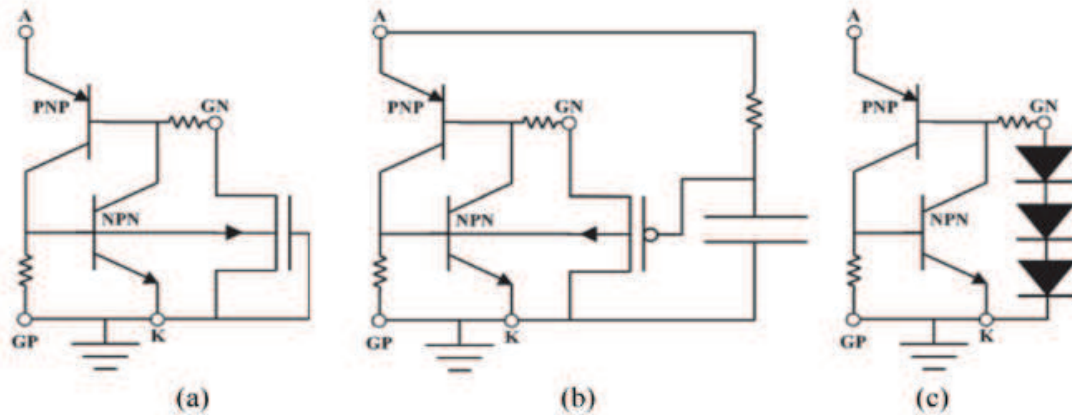


Figure 1.33: Protections ESD à base d'une structure SCR, déclenchée à l'aide d'un : GGNMOS (a), PMOS déclenché par un circuit RC (b), et d'une chaîne de diodes (c) [BAF 18]

Le thyristor présente une caractéristique I-V à retournement. Une fois amorcé, il présente une tension de maintien bien en dessous de sa tension de déclenchement (figure 1.34). Ce mode de fonctionnement est favorable pour la tenue aux ESDs de la protection car il permet de supporter des courants plus forts comparés aux dispositifs sans retournement [NOL 05]. Ce mode de fonctionnement présente toutefois un inconvénient majeur lié au risque de verrouillage indésirable du dispositif lors d'un fonctionnement normal du circuit (en d'autres termes, la protection reste enclenchée).

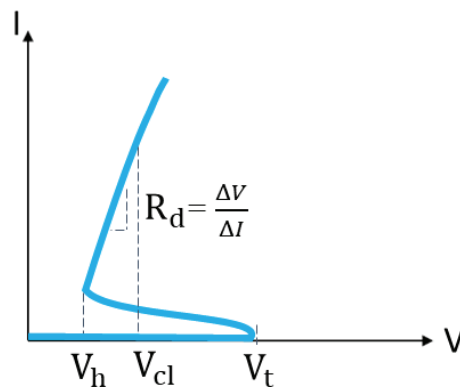


Figure 1.34: Caractéristique I-V d'une protection ESD à base d'une structure SCR

5. Qualité de la protection ESD

Dans les sous-sections suivantes, nous allons décrire les différents critères servant à définir la qualité de protection et les outils graphiques d'évaluation correspondants.

5.1. Critères de qualité

La qualité de la protection ESD est définie dans ces travaux selon trois critères : robustesse, efficacité et transparence (la rapidité étant considérée comme un critère d'efficacité dans ces travaux) [AME 02].

5.1.1. Robustesse

Pour un modèle de décharge donné, la robustesse ESD est définie par la tension de précharge correspondant au stress maximal que peut supporter la protection sans défaillir. Elle dépend du critère de défaillance choisi et du type de stress ESD appliqué. Pour améliorer la robustesse du composant vis-à-vis des décharges ESD, il convient de tenir compte de son dessin et de sa technologie. Cependant, toute amélioration dans ce sens ne va pas sans dégrader d'autres performances comme l'efficacité, la transparence ou encore la miniaturisation. Ainsi une protection avec un fonctionnement vertical est plus favorable à la dissipation d'énergie qu'une structure latérale. De plus, la robustesse est souvent proportionnelle à la taille de la structure. En d'autres termes, si la densité de courant maximale supportée par une structure est de $10 \text{ mA}/\mu\text{m}$, alors une largeur de puce de $200 \mu\text{m}$ serait nécessaire pour tenir un courant de 2 A , soit une robustesse de 3 kV HBM . Toutefois, cette approche ne va pas toujours dans le sens de la miniaturisation des produits de protection, où les dimensions sont de plus en plus réduites.

5.1.2. Efficacité

L'efficacité de la protection définit sa faculté à écrêter les surtensions à ses bornes et les maintenir à des niveaux de tension suffisamment bas et sans danger pour le circuit à protéger. Pour garantir ce critère, la caractéristique I-V de la protection doit être placée dans une fenêtre de conception, dont les marges sont délimitées par les tensions d'alimentation et de destruction du circuit. Les tensions de déclenchement et de maintien de la caractéristique I-V doivent se trouver entre ces deux limites pour prévenir, d'une part la dégradation du circuit et d'autre part le déclenchement intempestif ou le verrouillage indésirable de la protection (à noter que ces deux critères pourraient également être considérés comme des critères de transparence de la protection vis-à-vis de

l'application). La résistance à l'état passant doit également être minimisée pour réduire les niveaux de tensions écrêtées et prévenir tout risque de dégradation à plus forts niveaux de courant.

Pour juger de l'efficacité de la protection, il faut également tenir compte de sa rapidité de déclenchement. Ainsi, lorsqu'une perturbation ESD se produit, la protection doit se déclencher quasi-instantanément pour évacuer le courant de décharge et limiter les surtensions aux bornes du circuit. Ce critère prend toute son importance lorsqu'il s'agit d'évacuer des courants de décharge de type HMM par exemple, où le pic de courant est très important avec un temps de montée très court, pouvant entraîner une dégradation du circuit.

5.1.3. Transparence

La transparence de la protection définit son aptitude à ne pas interférer avec le fonctionnement normal du circuit lorsqu'elle se trouve à l'état bloqué. En effet, le comportement de la protection n'est pas celui d'un interrupteur parfait. Lorsqu'elle ne conduit pas, la protection présente une matrice d'éléments parasites résistifs, inductifs et capacitifs, qui entraînent des perturbations dans le système, en particulier à hautes fréquences (au-delà du gigahertz). Certains de ces aspects parasites sont décrits ci-dessous :

Courant de fuite : c'est le courant qui traverse la protection à l'état « Off ». Il est donné en fonction de la tension d'alimentation de l'application. Ce courant doit être minimisé afin de limiter la consommation de la protection et éviter certaines dégradations comme les pertes en autonomie de batterie dans les systèmes mobiles.

Capacité parasite : lorsqu'elle ne conduit pas, la protection présente une capacité parasite entre la ligne et la masse du circuit applicatif (figure 1.35-a). Dans certaines conditions, cette capacité peut altérer le fonctionnement normal du circuit et modifier l'allure générale des signaux transmis (retard, atténuation, distorsion). A hautes fréquences, la capacité parasite de la protection agit comme un court-circuit et une partie du signal transmis est dérivé vers la masse [LIM 13]. Cela entraîne une perte de puissance et une atténuation du signal qui se traduit par une réduction de la bande passante dans le circuit. Il est donc primordial dans le choix du dispositif de protection que sa perte d'insertion soit acceptable pour la bande passante de l'application choisie. Sa capacité parasite doit être suffisamment faible aussi pour ne pas affecter les fronts de montée des signaux transmis (figure 1.35-b) et éviter une désadaptation d'impédance à l'entrée du circuit (figure 1.35-c) [LIM 13] [MER 13].

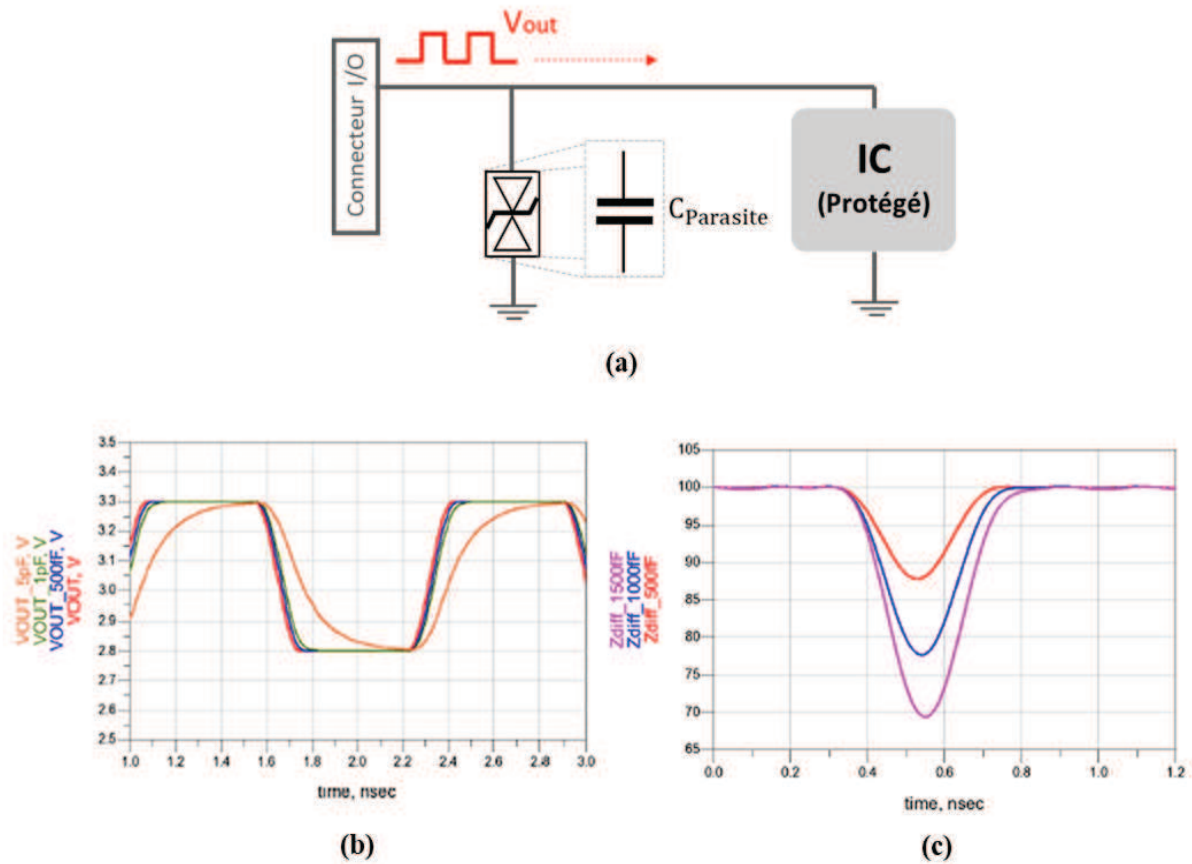


Figure 1.35: Schéma applicatif d'une protection ESD assimilée à une capacité parasite en l'absence de décharge ESD (a). Simulation pour une ligne d'une paire différentielle d'un port HDMI (b), et Simulation avec lignes différentielles adaptées 100 Ω (c) [Adaptée de [MER 13]]

5.2. Outils graphiques d'évaluation

Le choix d'une stratégie de protection repose sur un cahier des charges propre aux spécificités de chaque application. Pour garantir la qualité de la protection, les concepteurs ont souvent recours à un outil graphique appelé « fenêtre de conception ». Cette fenêtre délimite un intervalle de courant-tension, dans lequel la caractéristique I-V de la protection peut évoluer sans perturber ou dégrader le circuit à protéger (figure 1.36).

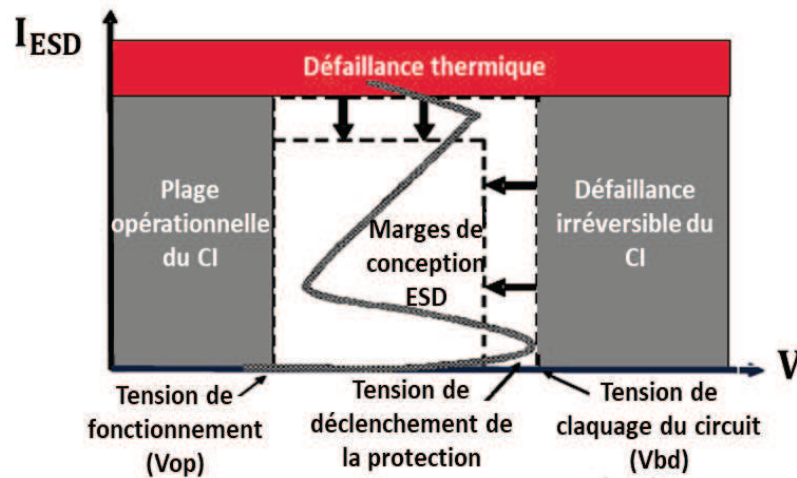


Figure 1.36: Fenêtre de conception des protections ESD [Adaptée de [IND 09]]

Dans une fenêtre de conception, figurent la caractéristique électrique de la protection, les plages de fonctionnement et de destruction du circuit, ainsi que le niveau de robustesse ESD souhaité. Les paramètres électriques évalués dans ce graphique sont la résistance à l'état passant et les couples courant-tension relatifs aux différents points de déclenchement, de destruction et de maintien pour les structures à retournement. Ces paramètres, bien que représentatifs des performances de la protection, ne donnent qu'une vue parcellaire de sa qualité. En effet, plusieurs autres paramètres liés à la transparence et l'efficacité ne figurent pas dans ce type de graphique (temps de déclenchement, capacité parasite, courant de fuite, etc.). Or ces différents paramètres de la protection sont de plus en plus critiques, en particulier pour les applications qui demandent à la fois une faible consommation, une fréquence de fonctionnement élevée et un encombrement réduit. Dans le cadre de ces travaux, un nouvel outil graphique appelé « radar des performances » a été mis en place, afin de compléter la description donnée par la fenêtre de conception et obtenir une vue globale et complète de la qualité de protection ESD. Un exemple de ce type de graphique est donné dans la figure 1.37. Outre la description de la qualité de protection, cet outil est également déployé pour comparer les performances électriques de plusieurs dispositifs de protections.

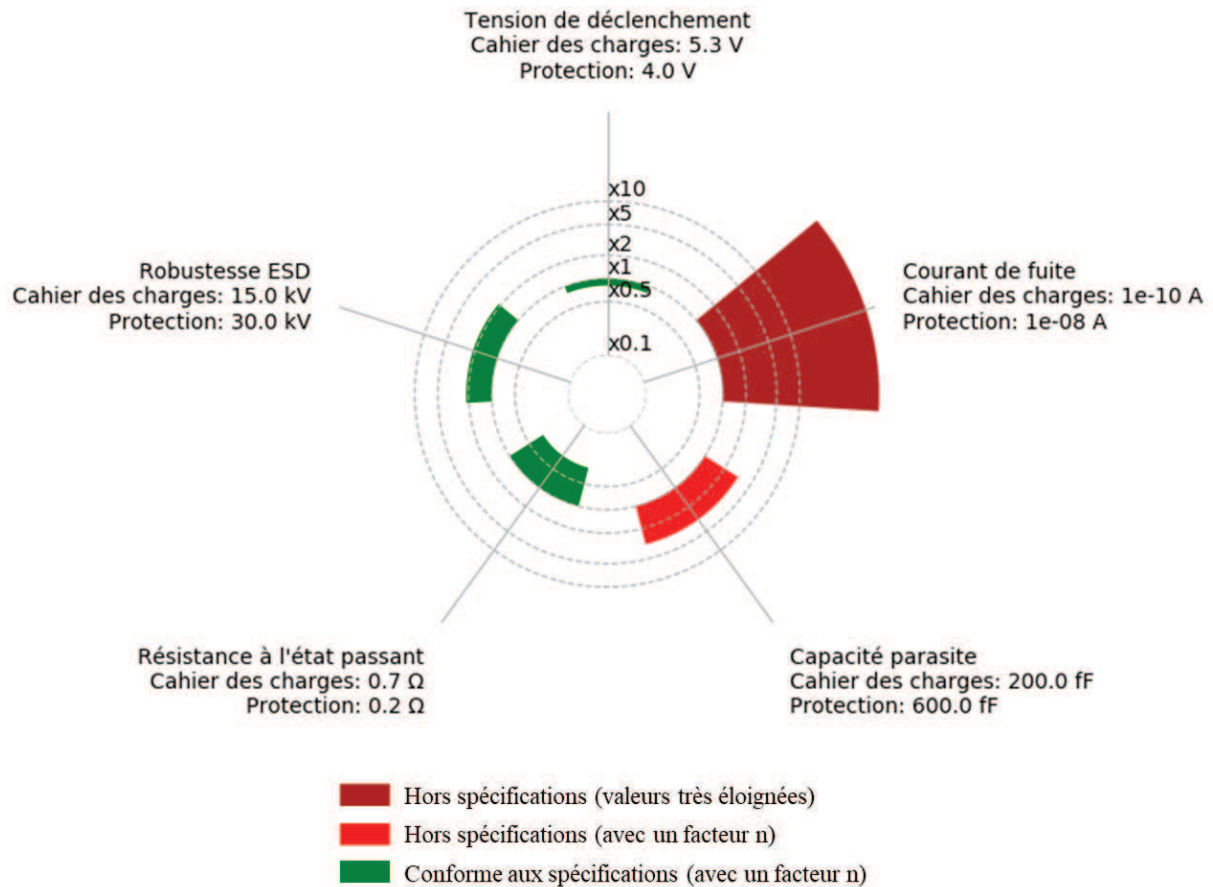


Figure 1.37: Représentation type « radar » des performances électriques de la protection par rapport aux exigences du cahier des charges

6. Conclusion

Les décharges électrostatiques peuvent induire des défauts prématurés et irréversibles dans les circuits électroniques. Dans ce chapitre, nous avons présenté les principaux mécanismes à l'origine des décharges ESD, ainsi que les moyens mis en place pour s'en prémunir. Ces solutions vont de l'aménagement de zones EPA à l'amélioration de la robustesse des composants. Dans ce contexte, des protocoles de tests ont été développés pour évaluer la vulnérabilité des circuits face aux décharges ESD. Ces tests dits de « qualification » se divisent en deux catégories, ceux appliqués aux composants, comme l'HBM et le CDM et ceux appliqués aux systèmes, comme l'IEC61000-4-2. Comme il s'agit de tests destructifs, ils ne permettent pas d'étudier les mécanismes menant à la défaillance du circuit. Pour contourner cette limitation, des tests complémentaires comme le TLP

sont réalisés pour obtenir la caractéristique I-V du composant et en extraire les paramètres électriques nécessaires à son optimisation.

Dans la suite de ce chapitre, nous avons exploré les différentes stratégies de protection. Celles-ci peuvent être internes au circuit intégré ou externes à ce dernier, on parle alors de protections système. Le mode d'écrêtage unidirectionnel ou bidirectionnel des dispositifs de protection est dicté par le mode de fonctionnement de l'application ciblée (signaux unipolaires ou alternatifs). Dans l'ensemble, les applications imposent un certain nombre d'exigences vis-à-vis des dispositifs de protection, que cela soit en termes de coût, d'encombrement ou de performance. Dans ces travaux, la qualité de protection est définie selon trois critères, l'efficacité, la robustesse et la transparence. Nous avons choisi de réunir ces trois critères dans un radar de performance, qui donne une vue d'ensemble des paramètres électriques du dispositif étudié. Les notions présentées dans ce chapitre serviront de base pour l'étude de cas présentée dans le chapitre suivant, qui porte sur la qualité de protection d'une structure à retournement de type DTSCR.

Chapitre 2

Qualité de protection du dispositif DTSCR

Dans l'étude de la qualité de la protection ESD, le choix s'est porté sur une solution à retournement de type *Diode Triggered Silicon Controlled Rectifier* (DTSCR). Une description de son mode de fonctionnement et de ses caractéristiques électriques est réalisée dans la première partie de ce chapitre. L'étude se focalise ensuite sur la pertinence des méthodes de test pour certains des paramètres clés du dispositif. La qualité de la protection et ses axes d'amélioration sont ensuite comparés, au moyen d'une étude comparative, sur une sélection de produits à retournement.

1. Descriptif du dispositif de protection DTSCR

Dans la famille des protections à retournement, le DTSCR est souvent utilisé pour immuniser les circuits haute fréquence contre les décharges électrostatiques [MER 03]. En effet, à l'état bloqué, le DTSCR se caractérise par une faible capacité parasite. Celle-ci limite l'interférence de la protection avec le circuit à protéger, lorsque ce dernier est en fonctionnement normal (en l'absence de perturbations ESD). A l'état passant, le DTSCR se replie et affiche une résistance série et une tension de maintien réduites. Cela a pour effet de diminuer la puissance dissipée dans le dispositif et le rend plus robuste aux décharges électrostatiques [WON 05]. Dans ce qui suit, nous décrivons la structure du DTSCR et son principe de fonctionnement

1.1. Structure

La figure 2.1-a donne une vue schématique du dispositif de protection étudié. Il s'agit d'une protection unidirectionnelle, composée d'une structure DTSCR pour le fonctionnement en direct et d'une diode antiparallèle pour le fonctionnement en inverse. La structure DTSCR est formée par un thyristor et un circuit auxiliaire de déclenchement. Ce circuit est composé d'une diode Zener en série avec la base du transistor PNP. Une fois en avalanche, la diode injecte un courant de gâchette qui commande le déclenchement du thyristor complet.

La figure 2.1-b donne une vue en coupe de la structure DTSCR. Celle-ci est composée d'un empilement de quatre couches alternées et réalisé sur un substrat fortement dopé de type P. Cet empilement est décrit selon les trois composantes suivantes :

- Le transistor NPN : composé d'un émetteur de type N fortement dopé et diffusé dans le caisson de base P. Ce dernier est implanté dans la couche d'épitaxie N- qui forme la région collectrice.
- Le transistor PNP : son émetteur est formé par le caisson P et partage sa jonction base-collecteur avec le transistor NPN.
- La diode Zener verticale est formée par une couche enterrée fortement dopée de type N et un substrat fortement dopé de type P, afin de réduire sa tension d'avalanche.

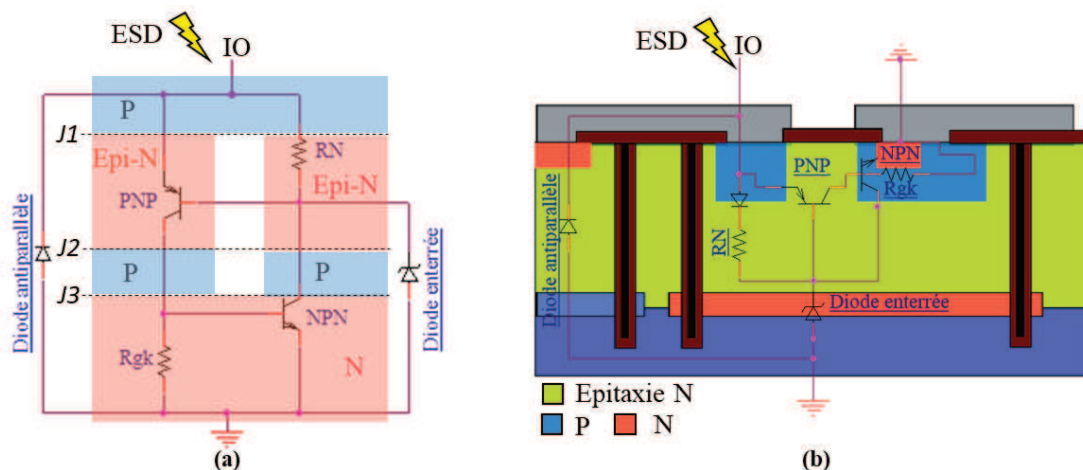


Figure 2.1: Vue en coupe (a) et schématique (b) du dispositif de protection DTSCR

1.2.Principe de fonctionnement

1.2.1. Fonctionnement en direct

Lorsqu'une impulsion ESD positive est appliquée au niveau de l'anode du DTSCR (figure 2.2), les jonctions $J1$ et $J3$ sont polarisées en direct, tandis que la jonction $J2$ est polarisée en inverse. Dans ce cas, la zone de charge d'espace s'étend principalement dans la couche d'épitaxie et seule la jonction $J2$ du transistor NPN tient la tension aux bornes du DTSCR. En polarisation inverse, lorsque la diode enterrée se met en avalanche, un courant est injecté dans la base du transistor PNP. Ce dernier se met à conduire et son courant collecteur vient polariser la base du transistor NPN, qui finit par s'amorcer. Son courant collecteur s'ajoute alors au courant de gâchette pour polariser la base du transistor PNP et accroître ainsi son courant collecteur.

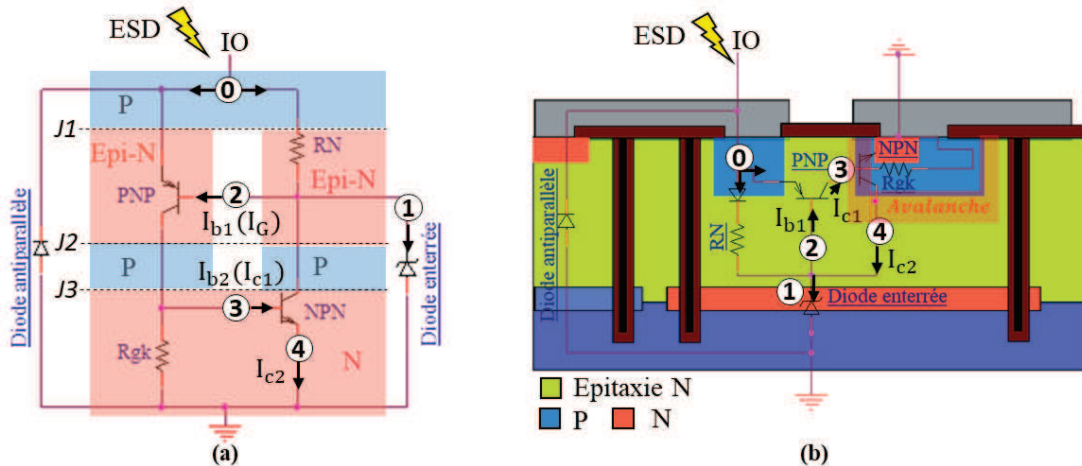


Figure 2.2: Principe de fonctionnement du DTSCR

Lorsque la contribution réciproque aux courants de polarisation des deux transistors est suffisante pour maintenir ce dernier à l'état passant (auto-entretien), le champ électrique à ses bornes diminue et la tension minimale à ses bornes est égale à une tension de maintien. Cette tension correspond à la somme des potentiels des deux jonctions ($J1$, $J3$) polarisées en direct. Le DTSCR forme alors un chemin de décharge de faible impédance pour évacuer l'ESD, ce qui limite la tension aux bornes de la protection et préserve ainsi la partie fonctionnelle du circuit à protéger. La structure DTSCR repasse à l'état bloqué lorsque le courant de décharge qui la traverse devient inférieur à son courant de maintien.

1.2.2. Fonctionnement en inverse

Lorsqu'une impulsion ESD négative est appliquée au niveau de l'anode du DTSCR, les jonctions $J1$ et $J3$ sont polarisées en inverse, tandis que la jonction $J2$ est polarisée en direct. L'injection d'un courant de gâchette ne permet donc pas d'amorcer le thyristor et la décharge est évacuée par la diode antiparallèle, qui dans ce cas est polarisée en direct (~ 1 V).

1.3. Caractéristique Courant-Tension

La caractéristique courant-tension du dispositif de protection est illustrée dans la figure 2.3. Elle est donnée sur deux quadrants, en fonctionnement direct et en fonctionnement inverse.

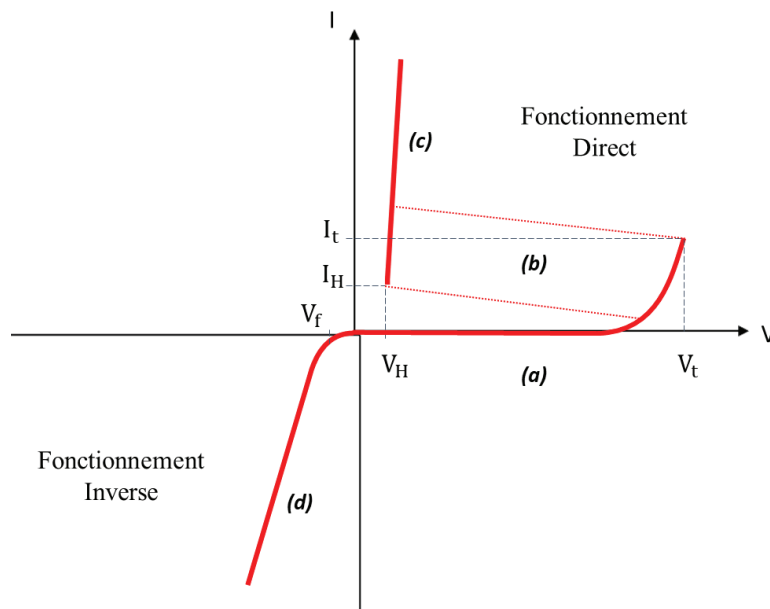


Figure 2.3: Caractéristique courant-tension du dispositif de protection

La région (a) de la caractéristique I-V correspond à l'état bloqué du DTSCR en fonctionnement direct. La « sensibilité du thyristor » définit le point de déclenchement de la structure noté (V_t, I_t) . La courbe I-V présente ensuite une résistance négative de type « S », avec un état instable et un temps de commutation lié au temps d'installation des charges (région (b)). L'amplitude de repliement entre le point de déclenchement et le point de maintien (V_H, I_H) dépend du gain en courant des deux transistors qui composent le thyristor. A l'état passant (région (c)), le thyristor peut être approximativement comparé à une diode PIN [ARN 92].

En fonctionnement inverse, le DTSCR reste bloqué, tandis que la diode antiparallèle est en polarisation direct ; sa tension de seuil est notée V_f (région (d)).

2. Caractéristiques électriques du DTSCR

Dans les sous-sections suivantes, nous allons décrire les enjeux industriels liés aux performances électriques des protections à retournement et les caractéristiques électriques critiques dans le cas du DTSCR : point de maintien et temps de déclenchement.

2.1. Enjeux industriels

Pour une stratégie de protection externe ou « off-chip », les développeurs de circuits électroniques doivent sélectionner un dispositif qui protège efficacement les systèmes électroniques, sans perturber leur fonctionnement. Ainsi, en plus de sa robustesse, la protection doit garantir un certain niveau de transparence et d'efficacité. Ces deux critères sont d'autant plus importants que le marché des interfaces à haut-débit connaît un fort développement (figure 2.4).

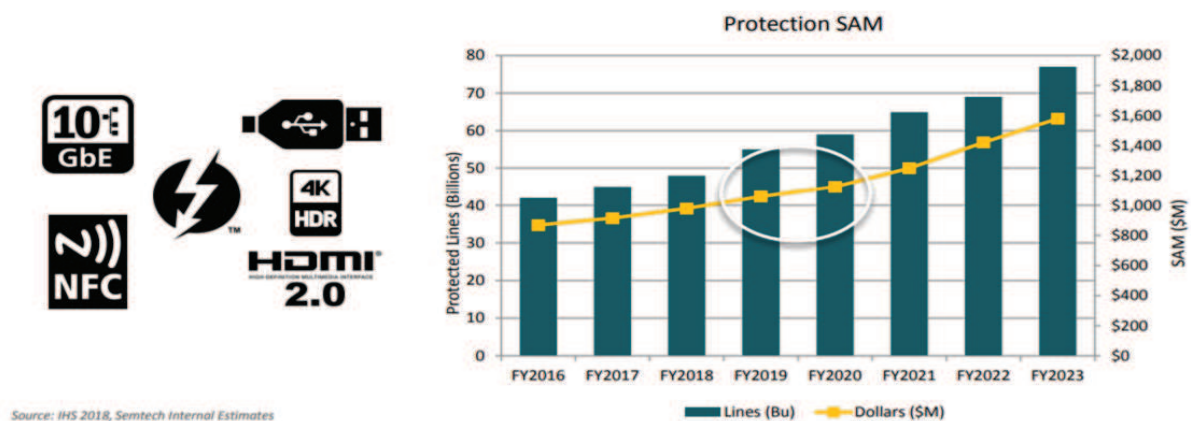


Figure 2.4: Evolution du marché de la protection pour les interfaces à haut-débit [SEM 18]

En effet, la montée en débit de données dans les bus de transmission impose des contraintes de plus en plus fortes aux composants de protection [MER 13]. Dans ce contexte, les dispositifs de protection à retournement s'avèrent de bons candidats, de par leur faible capacité parasite et leur faible tension d'écroûtage [INF 19]. Certaines limitations subsistent toutefois pour ce type de structures, notamment en termes de temps de déclenchement et de risque de verrouillage indésirable. En effet, la tension de maintien des dispositifs à retournement est souvent inférieure à la tension d'alimentation des circuits haut-débit, comme l'*USB3.x*, le *SATA* et le *DisplayPort*. Il est donc primordial d'obtenir une bonne approximation du point de maintien du dispositif durant la phase de conception. L'objectif est de s'assurer qu'à une tension de maintien donnée, le courant

injecté par l'application dans la protection ne permet pas de maintenir cette dernière enclenchée. Dans ce cas, la méthode de caractérisation est un critère essentiel, qui doit se rapprocher au mieux des conditions de fonctionnement de la protection dans l'application.

2.2. Point de maintien

Le point de maintien (V_H , I_H) définit un couple tension-courant minimal, pour lequel une structure à retournement reste amorcée. Dans ce cas, la structure en question se désenclenche en courant, il faut donc déterminer avec précision le courant de maintien pour s'assurer que le courant injecté par l'application n'est pas suffisamment important pour maintenir la structure enclenchée.

2.2.1. Méthodes d'extraction du point de maintien

Les deux méthodes proposées dans la littérature pour extraire le point de maintien d'une structure à retournement à partir de sa caractéristique I-V sont données ci-dessous :

- › **Méthode 1** : cette méthode consiste à rechercher la tangente verticale ($dV/dI=0$) au niveau de la zone coudée de la caractéristique I-V [TRO 86]. La tension de maintien V_H correspond à l'intersection de la tangente verticale et de l'axe des abscisses (figure 2.5-a).
- › **Méthode 2** : dans ce cas le point de maintien (V_H , I_H) est situé dans la zone à résistance négative. Il correspond au dernier point mesurable, au plus bas de la caractéristique I-V, après le retournement de la structure (figure 2.5-b) [FAN 84].

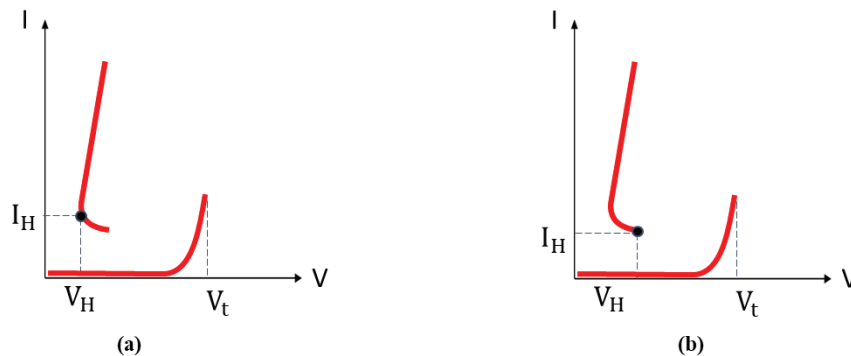


Figure 2.5: Méthodes d'extraction du point de maintien

2.2.2. Evaluation du risque de verrouillage indésirable : généralités

Pour évaluer le risque de verrouillage indésirable ou « latch-up » de la protection dans l'interface à protéger, celle-ci est remplacée par un circuit linéaire simplifié. Ce circuit est composé d'un

générateur de tension et d'une résistance série [ONS 12]. La droite de charge résultante, passe par la tension à vide du circuit et par son courant de court-circuit (figure 2.6).

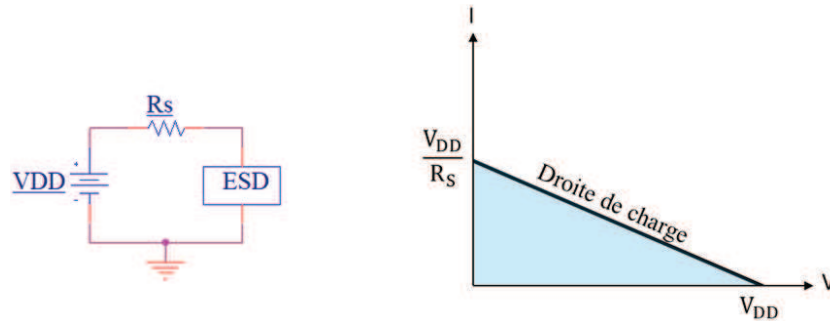


Figure 2.6: Circuit de base et représentation graphique de la droite de charge

Pour identifier les différents scénarios de verrouillage indésirable, on doit d'abord définir le point de fonctionnement de la protection dans le circuit. Cela revient à déterminer sur un graphique la tension aux bornes de la protection et le courant qui la traverse. Pour cela, on croise dans un même repère la caractéristique I-V de la protection et la droite de charge du circuit à protéger (figure 2.7).

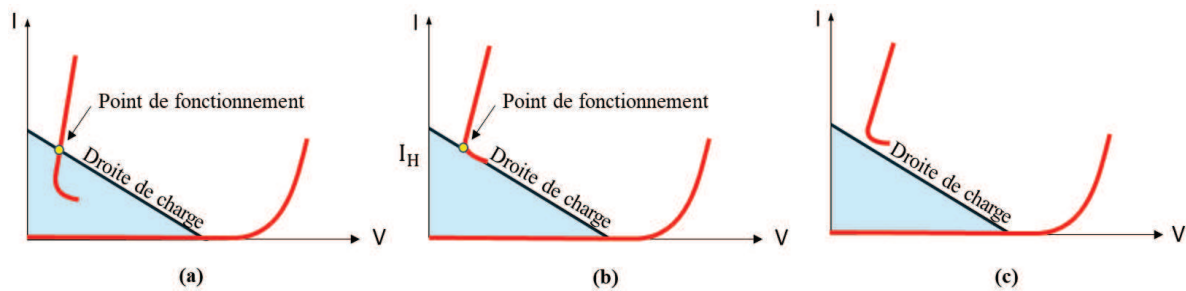


Figure 2.7: Scénarios de verrouillage indésirable de la protection ESD

- › **Scénario (a) :** le point de maintien se situe dans la plage de fonctionnement de l'application. Le courant et la tension à ses bornes sont supérieurs aux valeurs du couple (V_H , I_H). Le verrouillage indésirable se produit.
- › **Scénario (b) :** le point de maintien est équivalent au point de fonctionnement de la protection. Il y a risque de verrouillage indésirable.
- › **Scénario (c) :** le point de maintien se situe en dehors de la plage de fonctionnement de l'application. La structure se désamorce lors d'un fonctionnement normal du circuit.

2.2.3. Evaluation du risqué de verouillage indésirable : application USB2.0

L'USB, comme son nom l'indique, est un bus de connexion série normalisé. Il utilise deux lignes d'alimentation (Vcc et GND) et deux lignes de transmission de données D+ et D-. Dans sa version 2.0, la spécification USB utilise trois modes de fonctionnement selon la vitesse de transfert tolérée par le périphérique connecté en amont :

- Mode HS : mode vitesse haute (*High Speed*) de 480 Mbit/s.
- Mode FS : mode pleine vitesse (*Full Speed*) de 12 Mbit/s.
- Mode LS : mode vitesse basse (*Low Speed*) de 1.5 Mbit/s.

La figure 2.8 présente une architecture simplifiée de l'interface USB2.0, ainsi que sa stratégie de protection. Le circuit est composé d'un ensemble de drivers et de terminaisons, auxquelles se rajoutent des dispositifs de protection ESD. Ces dispositifs sont placés au niveau des lignes de transmission pour protéger contre les phénomènes de surtension.

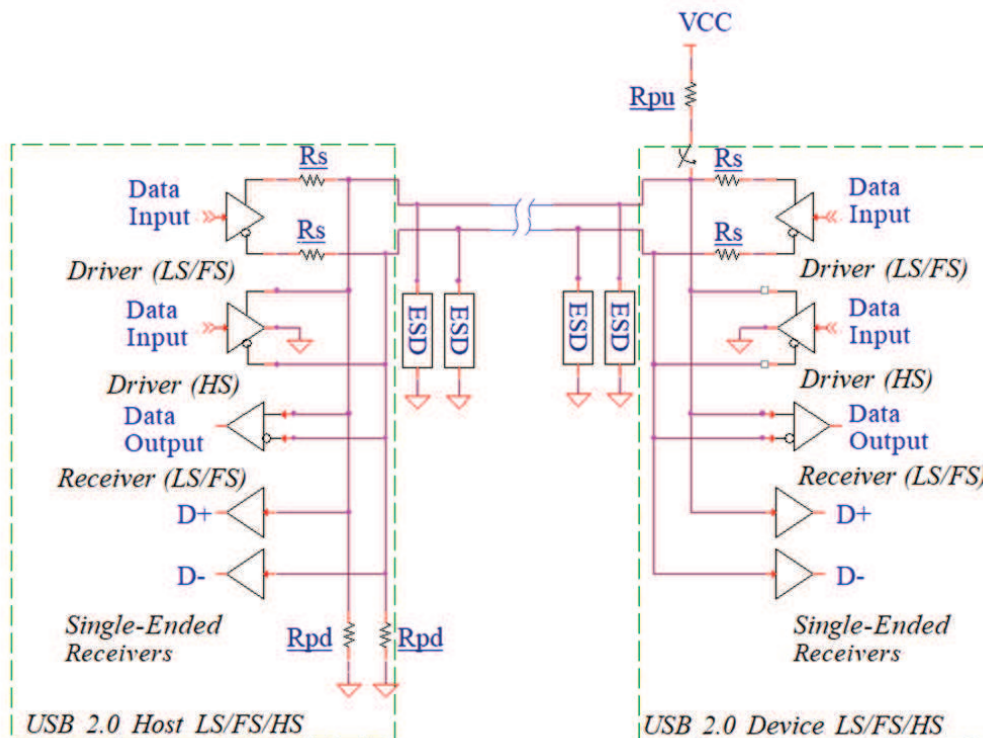


Figure 2.8: Interface haut-débit USB 2.0 avec des protections ESD intégrées [Adaptée de [UNI 00] [AND 01]]

Pour basculer entre les différents modes FS, LS et HS, l'interface USB doit d'abord identifier la vitesse de fonctionnement du périphérique connecté à son port. Pour cela, l'hôte USB doit déceler la connexion ou la déconnexion d'une résistance de tirage R_{pu} (pull-up de $1.5\text{ k}\Omega$), sur l'une ou l'autre des lignes de données D+ et D-. Côté hôte, une résistance de rappel R_{pd} (pull-down de $15\text{ k}\Omega$) est placée sur chacune des lignes D+ et D-, comme le montre la figure 2.9.

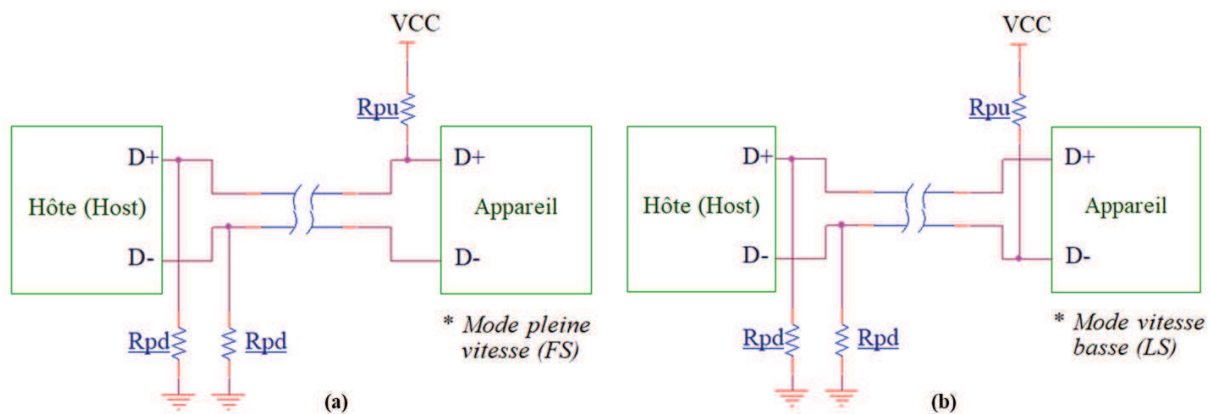


Figure 2.9: Modes de fonctionnement pleine vitesse (a) et basse vitesse (b) [ACQ 05]

La linéarisation de l'étude et l'analyse de la droite de charge statique du circuit à protéger permet de déterminer les limites de fonctionnement du système complet. Pour ce faire, Il faut définir le schéma équivalent du circuit de transmission USB en fonction de la vitesse de transfert choisie. En mode HS, la résistance de tirage R_{pd} est déconnectée et le driver HS agit comme une source de courant pour transmettre le signal différentiel sur les lignes de données D+ et D-. Pour garantir l'équilibre d'impédance et s'affranchir des phénomènes de réflexion, le bus HS utilise les drivers FS/LS comme terminaison différentielle de $90\ \Omega$ grâce à deux résistances série ($45\ \Omega$), connectées aux lignes de transmission D+ et D-. Le reste des terminaisons inactives est maintenu à haute impédance et omis sur le schéma équivalent. En appliquant le théorème de Thevenin, on obtient le schéma équivalent du circuit de transmission USB pour les deux modes de fonctionnement LF/FS et HS (figure 2.10).

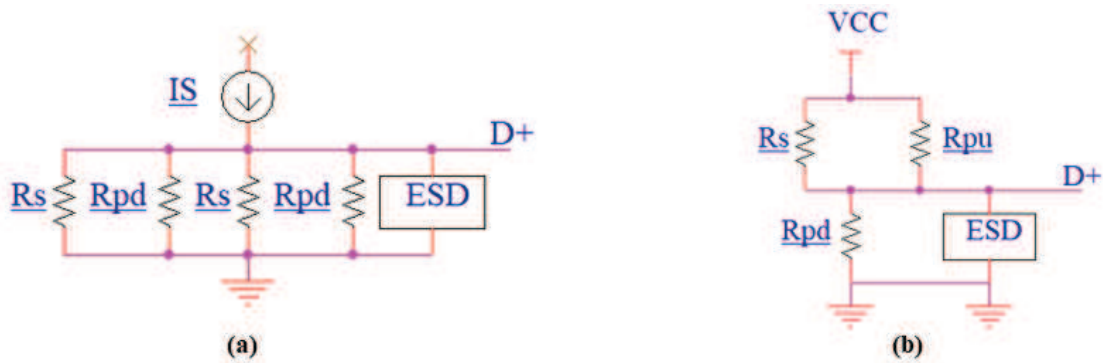


Figure 2.10: Circuits équivalents pour les modes de fonctionnement HS (a) et LS/FS (b) [ONS 12] [AND 01]

Le tableau 2.1 donne les valeurs des éléments du circuit équivalent pour les modes de fonctionnement LF/FS et HS. Ces valeurs sont calculées à partir de la spécification USB2.0 [UNI 00].

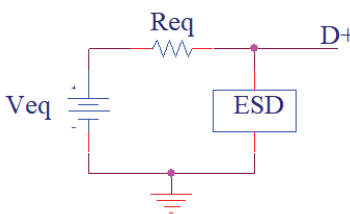
Circuit équivalent	Mode	Req (Ω)	Veq (V)	Ieq (mA)	Risque de verrouillage indésirable de la protection
	LS/FS	27,4	3,6	131	Important (Pire cas)
		42,7	2,8	65	Faible (Meilleur cas)
	HS	24,6	0,48	19	Nul (Faible Veq)

Tableau 2.1: Valeurs typiques des éléments du circuit équivalent de l'USB2.0, selon les différents modes de fonctionnement

En traçant les droites de charge à partir du tableau 2.1, on remarque dans la figure 2.11 que le mode LS/FS est celui qui présente le plus de risques en termes de verrouillage indésirable de la protection.

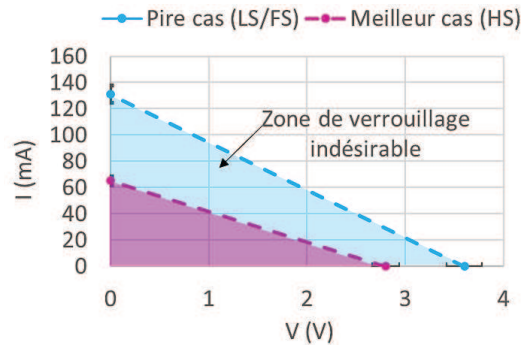


Figure 2.11 : Droites de charge équivalentes pour l'USB 2.0, selon les modes de fonctionnement LS/FS et HS

Pour se prémunir de ce phénomène, il faut pouvoir approximer le véritable point de maintien du dispositif et le confondre avec la droite de charge statique de circuit à protéger. Dans ce cas, le courant de maintien minimal requis par l'application, pour garantir le désamorçage de la protection, est calculé à partir de l'équation ci-dessous (figure 2.12).

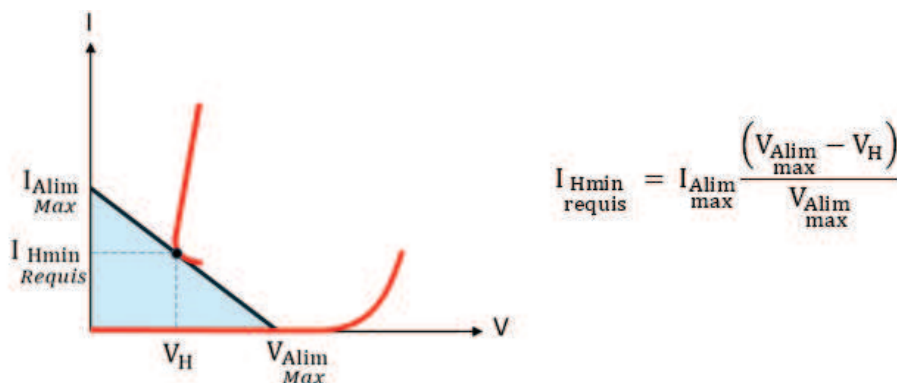


Figure 2.12: Condition limite de désamorçage de la protection ESD dans l'application

2.2.4. Méthode de caractérisation du point de maintien

Dans cette partie, nous évaluons la pertinence des méthodes usuelles de caractérisation du point de maintien. Une nouvelle méthode de test est proposée ensuite pour se rapprocher des conditions de fonctionnement de la protection dans l'application.

2.2.4.1. TLP-50Ω

Le TLP standard est une technique de caractérisation communément utilisée pour extraire les caractéristiques de maintien des structures à retournement [CHE 08]. Dans ce qui suit, les mesures

TLP sont réalisées avec des impulsions positives de 100 ns, un temps de montée de 5 ns et des tensions de précharge allant jusqu'à 2000 V (figure 2.13).

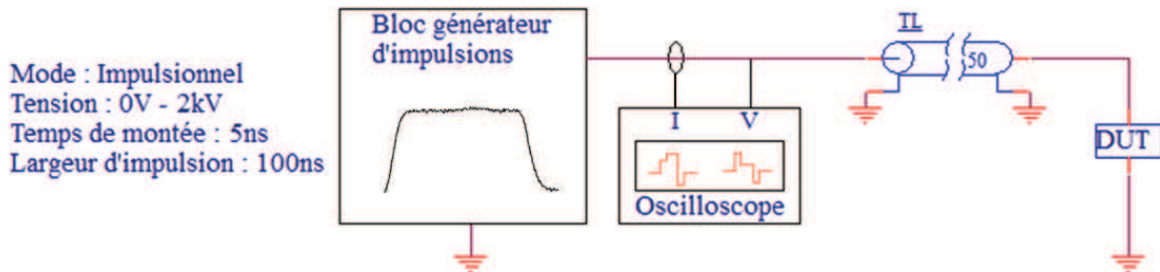


Figure 2.13: Schéma électrique et paramétrage du générateur TLP-50Ω

A l'amorçage, le DTSCR entre dans un état de conduction et présente à ses bornes une tension de maintien de 2,1 V (figure 2.14). Cette tension est donnée par l'intersection de la tangente verticale avec l'axe horizontal.

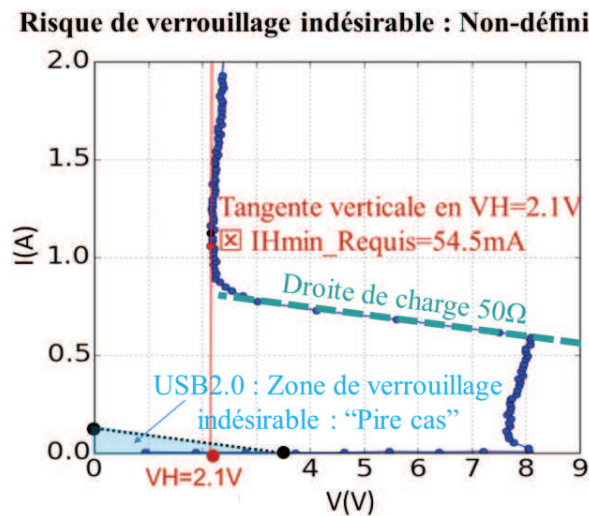


Figure 2.14: Extraction du point de maintien de la protection (TLP-50Ω), et évaluation du risque de verrouillage indésirable

Pour ce type de test, seule la méthode d'extraction « 1 » de la [section 2.2.1](#) est possible. En effet, le TLP standard possède une impédance interne de 50Ω . Or, la caractéristique I-V de la protection présente une zone de repliement, dont la résistance négative $-R$ est inférieure à celle du TLP-50Ω. Par conséquent, le courant de maintien de la protection est caché par la faible impédance du banc

de test et ce dernier ne permet donc pas de mesurer un courant I_H inférieur au courant de déclenchement I_t . La tension de maintien, quant à elle, reste accessible par une extrapolation de la tangente verticale de la caractéristique I-V dans la zone $dV/dI=0$.

2.2.4.2. TLP-HiZ (526 Ω)

Pour contourner la limitation de mesure du TLP standard, le système HiZ-TLP-526 Ω pour « *High impedance transmission line pulse* » est utilisé en raison de sa forte impédance (526 Ω) en fin de ligne. La description du montage et les conditions de tests sont décrites dans la figure 2.15.

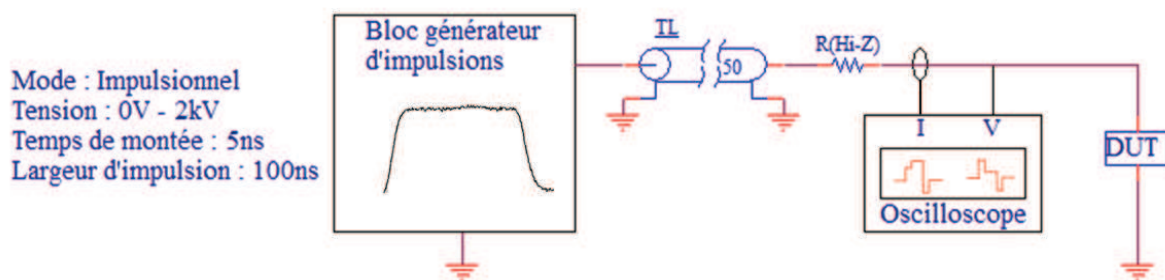


Figure 2.15: Schéma électrique et paramétrage du générateur TLP-526 Ω

En traçant la caractéristique I-V dans la figure 2.16, on relève une tension de maintien de 2,1 V.

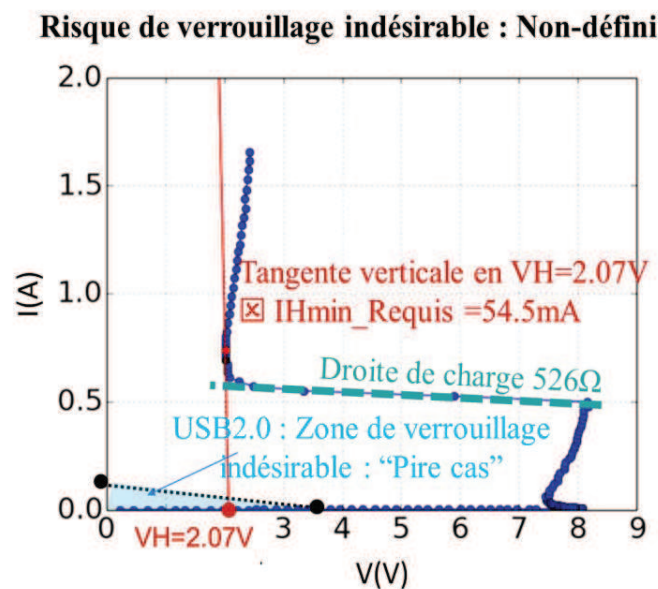


Figure 2.16: Extraction du point de maintien de la protection (TLP-526 Ω), et évaluation du risque de verrouillage indésirable

On remarque que la droite de charge résultante est 10 fois plus faible que celle du TLP-50 Ω mais la pente reste tout de même supérieure à celle de la zone à résistance négative de la protection. Le TLP-HiZ permet donc tout juste d'extraire un courant proche du I_t dans la zone de maintien mais ne permet pas de mesurer le courant I_H effectif de la protection.

2.2.4.3. *Traceur de courbes*

A l'aide du traceur de courbes, une tension sinusoïdale est appliquée aux bornes de la protection (figure 2.17).

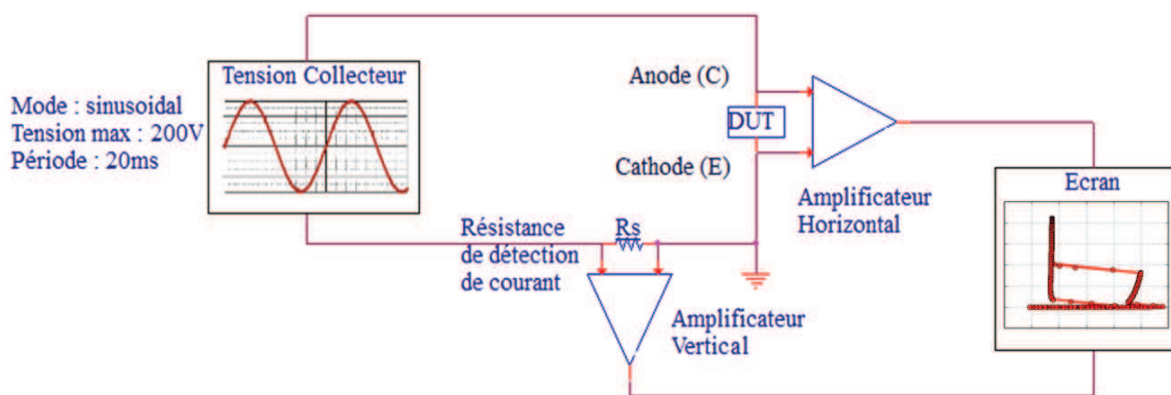


Figure 2.17: Représentation schématique du traceur de courbe, et du paramétrage de la forme d'onde appliquée

Ce balayage en tension permet le passage d'un état "bloqué" à un état "passant" et vice versa.

La caractéristique I-V mesurée au traceur permet l'extraction du point de maintien avec les deux méthodes précédemment discutées ([section 2.2.1](#)). Les valeurs relevées pour la tension et le courant correspondant sont représentés dans la figure 2.18. Dans les deux cas, le point de maintien se trouve dans la zone de verrouillage indésirable et, par conséquent, la protection ne répond pas aux exigences de désamorçage imposées par l'application :

- › Méthode 1 : le courant de maintien minimum requis $I_{Hmin}=80$ mA, pour un $V_H=1,4$ V.
- › Méthode 2 : le courant de maintien minimum requis $I_{Hmin}=69$ mA, pour un $V_H=1,7$ V.

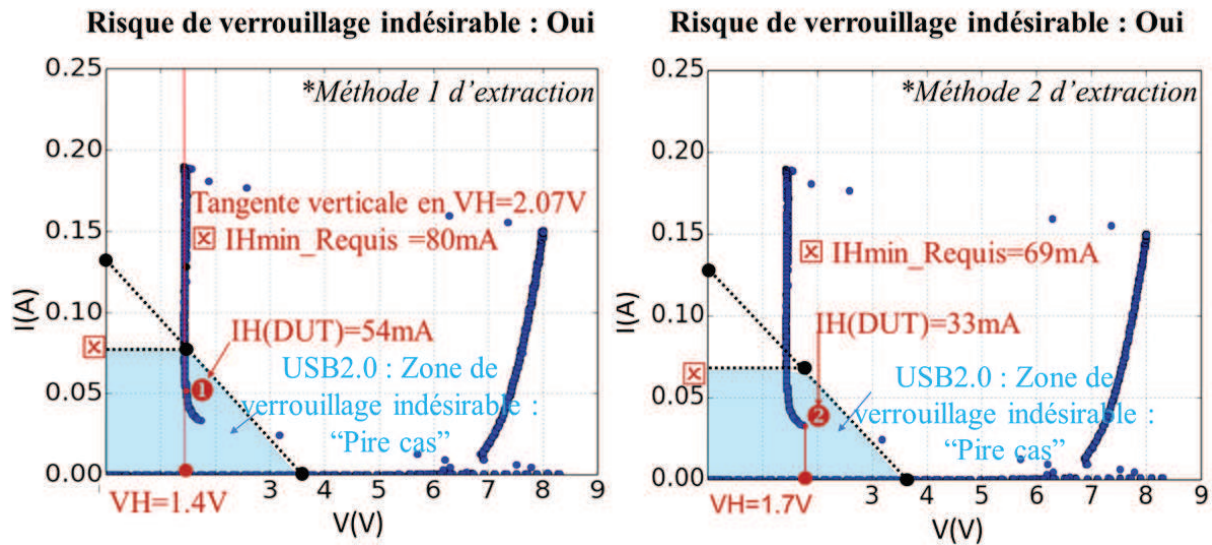


Figure 2.18: Extraction du point de maintien de la protection (traceur) à température ambiante, et évaluation du risque de verrouillage indésirable

On remarque également que les valeurs de la tension de maintien obtenues au traceur sont légèrement plus faibles, comparées à celles relevées au banc TLP. Cette baisse s'explique par la tension alternative aux bornes du composant qui, contrairement à la tension impulsionnelle, entraîne une dissipation d'énergie plus importante et un échauffement croissant dans la structure. La figure 2.19 montre les caractéristiques I-V mesurées au traceur pour une gamme de températures allant de 30 °C à 150 °C sur un produit de protection de la même technologie DTSCR. Les résultats montrent une diminution de 32 % sur le I_H et de 22 % sur le V_H lorsque la température augmente.

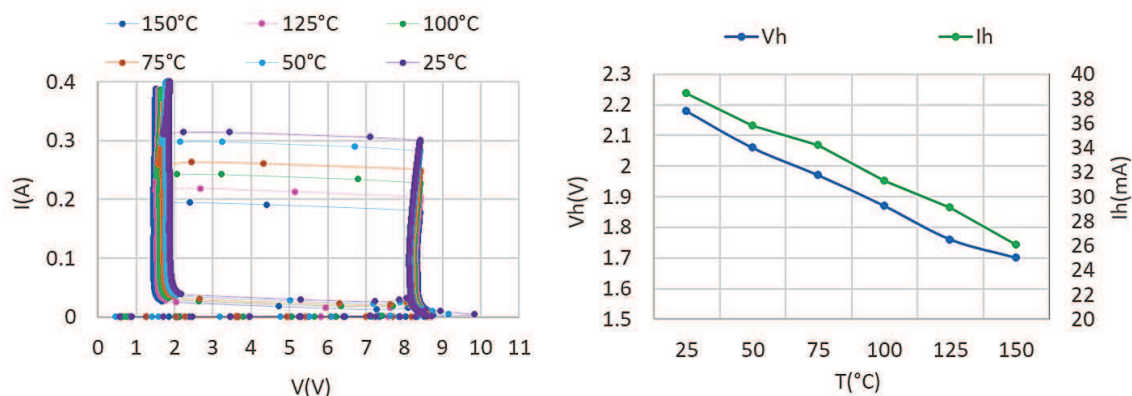


Figure 2.19: Variation du point de maintien de la protection ESD en fonction de la température

Le point de maintien étant un paramètre sensible à la température [SEN 87], les mesures au traceur conduisent à une évaluation pessimiste de sa valeur. Il est donc primordial que les conditions de la mesure soient compatibles avec les conditions de fonctionnement de la protection dans l'application.

2.2.4.4. Banc "Pulse-Sweep"

En pratique, lors d'une surtension, la protection ESD s'amorce pour évacuer le courant de décharge et protéger le circuit d'application. A la fin de la surtension, la protection repasse en mode bloqué (à la tension d'alimentation du circuit). Pour reproduire ces conditions de fonctionnement et mesurer avec précision le courant de maintien, la protection est déclenchée en impulsionnel puis désenclenchée en continu grâce à une unique rampe de courant décroissante. Dans ce cas, le courant initial est réduit au maximum pour minimiser les phénomènes d'échauffement dans le composant.

› **Mesure et schéma électrique**

Pour mesurer le couple (V_H , I_H), on utilise un générateur d'impulsion qui produit une tension de plusieurs dizaines de volts pour déclencher le dispositif de protection. Au même moment, la caractéristique I-V résultante est tracée point par point, en appliquant une rampe de courant décroissante et en relevant la tension à l'aide d'une SMU (*Source Meter Unit*). Le descriptif du montage et les étapes de mesures sont donnés dans la figure 2.20.

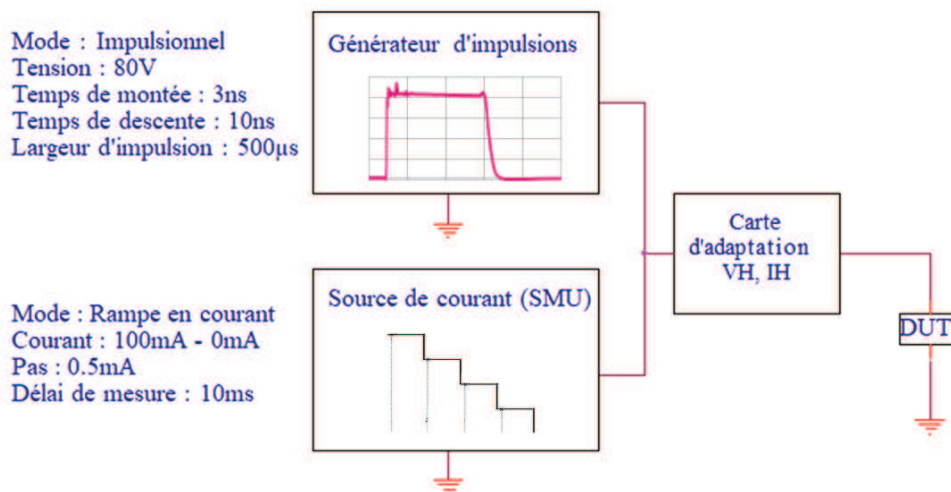


Figure 2.20: Représentation schématique du banc "pulse-sweep", et de la forme d'onde appliquée

› Extraction du couple (VH, IH)

Comme pour le traceur, les deux méthodes d'extraction de la [section 2.2.1](#) sont envisageables pour extraire le couple (VH, IH), à partir de la caractéristique I-V du banc "pulse-sweep". Les valeurs relevées sont reportées dans la figure 2.21. Deux scénarios de verrouillage sont alors possibles, selon la méthode d'extraction utilisée : risque de verrouillage indésirable (Méthode 1) et occurrence du verrouillage indésirable (Méthode 2).

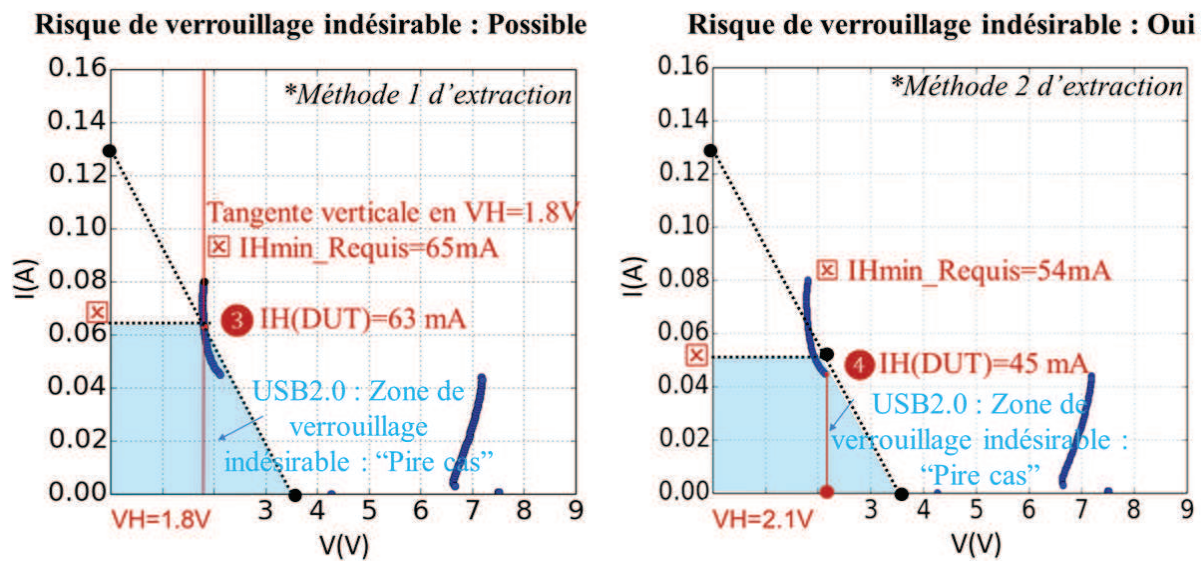


Figure 2.21: Extraction du point de maintien de la protection (Banc "pulse-sweep"), et évaluation du risque de verrouillage indésirable

› Evaluation du risque de verrouillage indésirable

Pour évaluer la pertinence de la nouvelle solution de test dans l'approximation du point de maintien de la protection, nous avons étudié le déclenchement et le désenclenchement du dispositif dans quatre exemples d'applications. Le schéma électrique est donné dans la figure 2.22.

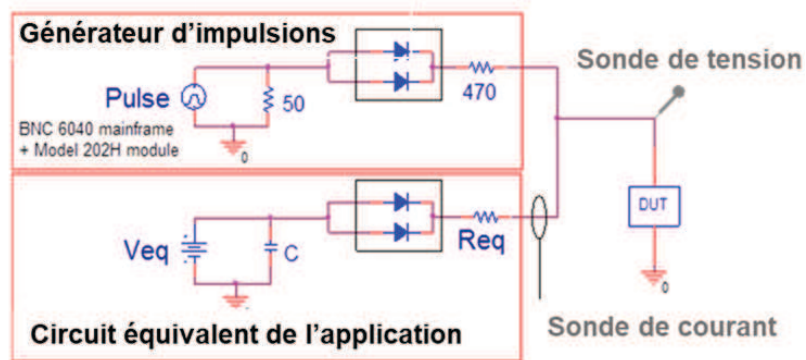


Figure 2.22: Schéma électrique du circuit applicatif pour l'évaluation du risque de verrouillage indésirable

Le principe du test consiste à polariser la protection en continu (dans cet exemple à l'aide d'une alimentation DC de 3,6 V) et appliquer une impulsion à ses bornes avec le générateur d'impulsions. En variant la résistance série du circuit, on varie sa droite de charge et les conditions de verrouillage correspondantes (figure 2.23).

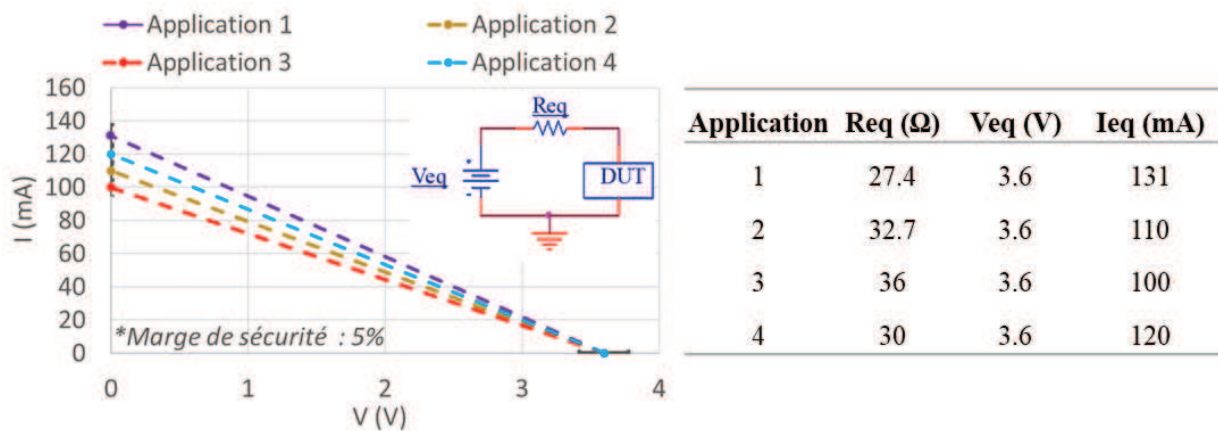


Figure 2.23: Droites de charge équivalentes pour quatre exemples d'applications

La figure 2.24 présente les oscillogrammes des courants et des tensions mesurées pour chacune des applications. A la détection de l'impulsion, la protection limite la tension à environ 8 V et bascule en mode faible impédance. La tension à ses bornes est alors de 1,7 V. A la fin de l'impulsion de 500 μs, trois types de comportement sont observés :

- Application 3 : la protection se désamorce et retrouve la tension d'alimentation à ses bornes.

- Application 2 : la protection reste enclenchée environ 100 μ s avant de passer en mode forte impédance.
- Application 1 et 4 : la protection reste enclenchée avec une tension de 1,7 V à ses bornes.

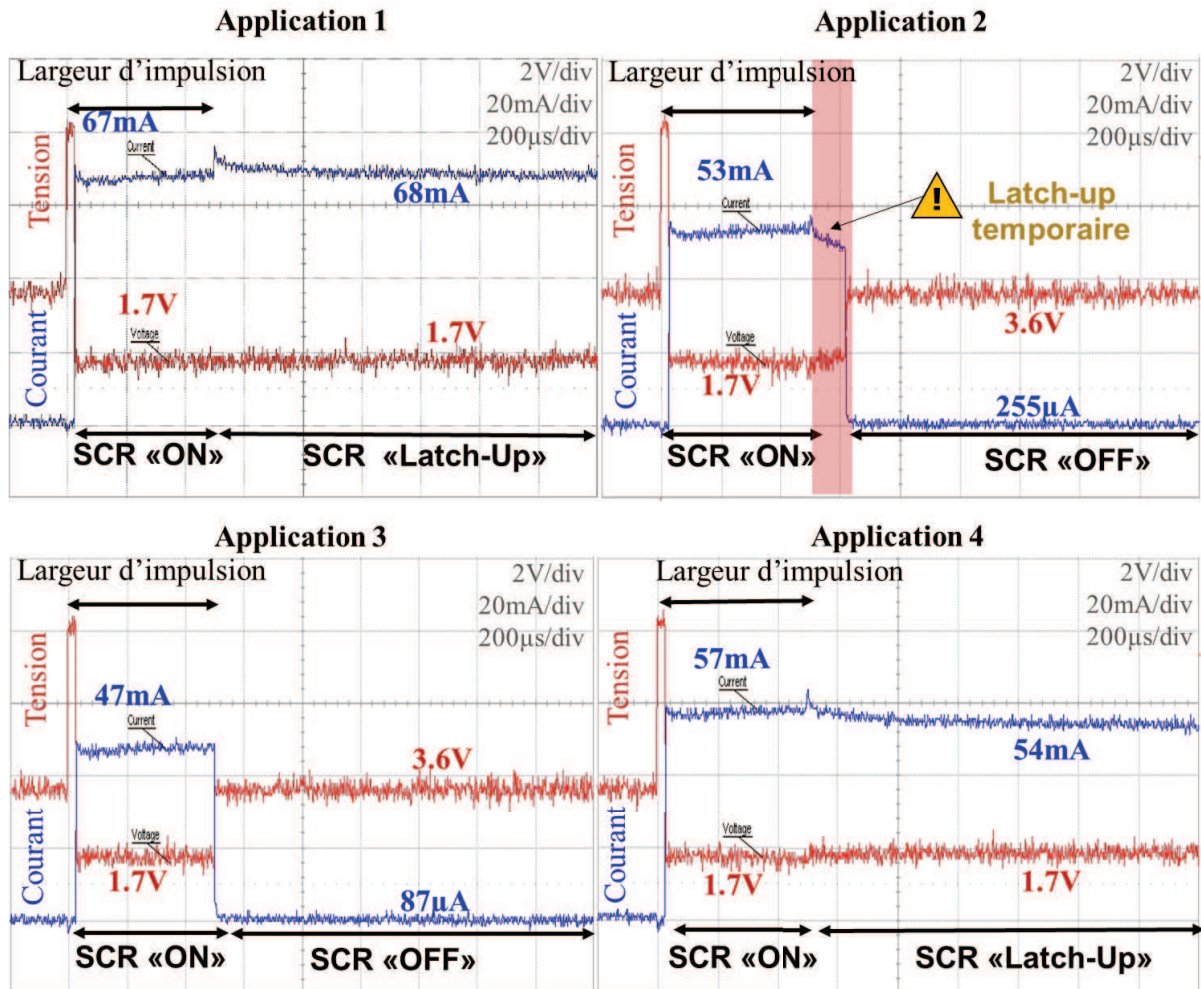


Figure 2.24: Evaluation du risque de verrouillage indésirable pour les quatre exemples d'applications

Dans la figure 2.25, les droites de charge des quatre applications étudiées (figure 2.23) sont superposées aux caractéristiques I-V obtenues au traceur et au banc « pulse-sweep ». On remarque que la zone de repliement au traceur est plus importante que celle du banc « pulse-sweep » en raison des phénomènes d'échauffement dans la structure. Il en résulte une différence au niveau de

l'extraction du point de maintien et de ses coordonnées par rapport à la plage de fonctionnement de chaque application.

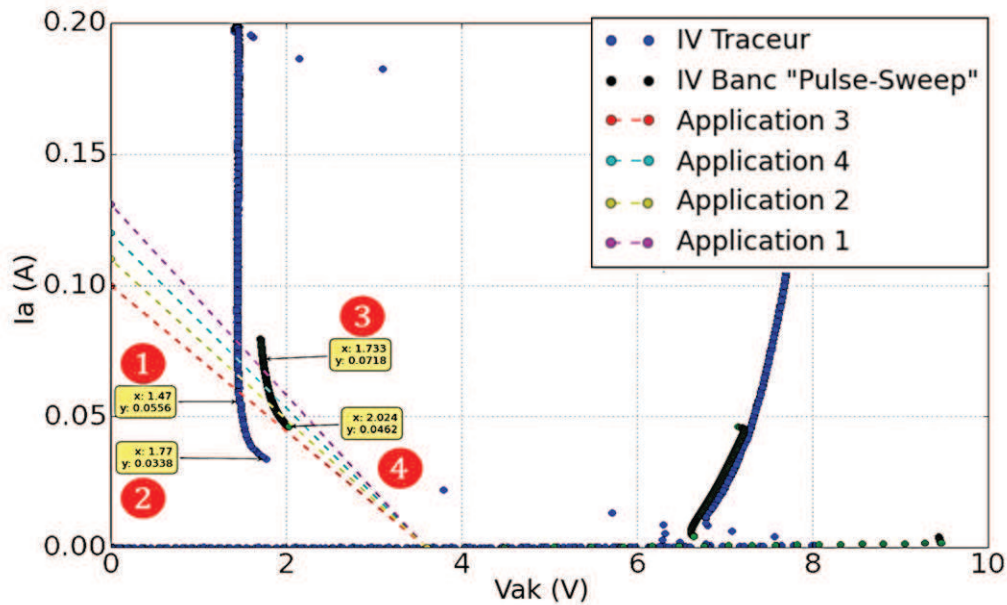


Figure 2.25: Extraction du point de maintien de la protection suivant deux méthodes de tests et deux méthodes d'extractions

La comparaison entre la prédiction du verrouillage indésirable (mesure) et de son occurrence dans l'application sont reportées dans le tableau 2.2. D'après ces résultats, le traceur de courbes donne une estimation basse du point de maintien. Il en résulte une prédiction erronée du risque de verrouillage (Application 3). La mesure avec le banc "pulse-sweep" est plus réaliste par rapport aux conditions de fonctionnement de l'application. Dans ce cas, le point de maintien correspond au dernier point mesurable de la courbe I-V avant le désamorçage de la structure (Application 4).

2.2.5. Bilan des résultats

Contrairement au banc TLP, le banc de test « pulse-sweep » permet de mesurer à la fois le courant et la tension maintien de la protection ESD. Il permet également de s'affranchir des phénomènes d'échauffement inhérents au traceur grâce à l'amorçage impulsionnel de la structure. Cela permet de donner une meilleure caractérisation du point de maintien, dans des conditions de fonctionnement semblables à l'application.

Application	Mesure		Prédiction : occurrence du verrouillage indésirable		Occurrence du verrouillage indésirable dans l'application
	Banc de Mesure	Méthode d'extraction	Typique	Marge de sécurité (5 %)	
Application 1	Traceur de courbe	❶ $dV/dI=0$	Oui	Oui	Oui
		❷ $Inf(V_h, I_h)$	Oui	Oui	
	Pulse-Sweep	❸ $dV/dI=0$	Non	Risque	
		❹ $Inf(V_h, I_h)$	Oui	Oui	
Application 2	Traceur de courbe	❶ $dV/dI=0$	Oui	Oui	Oui / Non
		❷ $Inf(V_h, I_h)$	Oui	Oui	
	Pulse-Sweep	❸ $dV/dI=0$	Non	Non	
		❹ $Inf(V_h, I_h)$	Oui	Oui	
Application 3	Traceur de courbe	❶ $dV/dI=0$	Oui	Oui	Non
		❷ $Inf(V_h, I_h)$	Oui	Oui	
	Pulse-Sweep	❸ $dV/dI=0$	Non	Non	
		❹ $Inf(V_h, I_h)$	Non	Oui / Non	
Application 4	Traceur de courbe	❶ $dV/dI=0$	Oui	Oui	Oui
		❷ $Inf(V_h, I_h)$	Oui	Oui	
	Pulse-Sweep	❸ $dV/dI=0$	Non	Non	
		❹ $Inf(V_h, I_h)$	Oui	Oui	

Tableau 2.2: Récapitulatif de la prédiction et de l'occurrence du verrouillage indésirable

2.3. Rapidité et temps de déclenchement

Le temps de déclenchement est l'un des paramètres limitatifs pour les protections à retournement comme les structures DTSCR. En effet, un temps de déclenchement relativement long (plusieurs nanosecondes) entraîne une surtension aux bornes du circuit à protéger qui peut lui être fatale [GAU 09]. Actuellement, on ne dispose pas d'une méthode normalisée pour évaluer la vitesse d'amorçage du DTSCR lors d'une décharge ESD. Une telle méthode serait nécessaire pour comparer efficacement les performances des composants de protection.

2.3.1. Définition du temps de déclenchement

Le temps de déclenchement (t_{on}) est le temps requis par le composant SCR pour atteindre un retournement complet après son déclenchement [BAK 09]. Le t_{on} peut être défini comme la somme de trois composantes : temps de délai, temps de montée et temps d'installation des charges.

- Durant le temps de délai (t_d), le courant d'anode augmente jusqu'à 10 % de sa valeur finale.
- Le temps de montée (t_r) est le temps nécessaire pour que le courant d'anode passe de 10 % à 90 % de sa valeur finale.
- Durant le temps d'installation des charges (t_s), la zone primaire d'amorçage se propage sur toute la jonction de la cathode qui devient alors conductrice et le courant d'anode passe de 90 % à une valeur constante (régime établi) [SIV 10] [ARN 92].

2.3.2. Etat de l'art des méthodes de mesure du temps de déclenchement

Pour mesurer le temps de déclenchement d'une structure SCR, deux méthodes basées sur les caractérisations TLP sont proposées [HUO 08] [MER 03] :

› Méthode 10 %-90 % appliquée aux courbes $V(t)$

Dans ce cas, le temps de déclenchement est extrait à partir de la réponse temporelle en tension de la protection ESD. Ce temps est compris entre 10 % et 90 % de la valeur maximale de la tension. Toutefois cette approche présente certaines limitations [HUO 10], d'une part à cause de l'écrtage de la courbe en tension par l'oscilloscope de mesure et d'autre part à cause des distorsions qui altèrent la forme d'onde $V(t)$, en raison des inductances parasites des pointes de test TLP.

› Méthode 10 %-90 % appliquée aux courbes $I(t)$

Pour s'affranchir des problèmes de mesure des courbes $V(t)$, une deuxième approche consiste à utiliser la réponse temporelle en courant au point de maintien de la protection. Dans ce cas, le temps

de déclenchement est défini entre 10 % et 90 % de la valeur du courant en régime établi. Pour appliquer cette méthode au DTSCR, nous avons utilisé un testeur TLP pour générer des impulsions de 100 ns, avec un temps de montée de 5 ns. L'acquisition de la réponse temporelle en tension et en courant de la protection s'effectue à l'aide d'un oscilloscope 4 GHz. La figure 2.26-a représente la caractéristique I-V obtenue. L'amorçage progressif de la protection est illustré à travers les formes d'onde en tension et en courant de la figure 2.26-b. Ces courbes sont extraites à partir de la caractéristique I-V dans les deux zones suivantes : zone de maintien (correspondant aux tensions de précharge TLP de 50 V, 60 V, 70 V et 80 V) et la zone précédant le déclenchement (avec une tension de précharge TLP à 20 V).

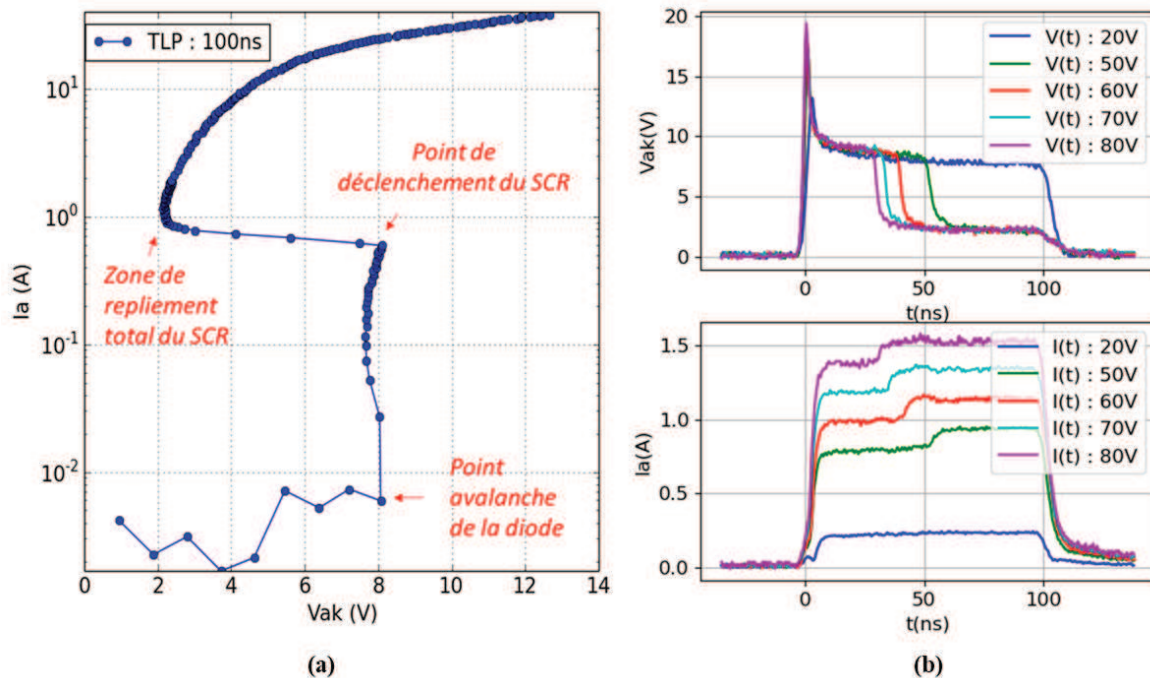


Figure 2.26: Caractéristique I-V de la protection DTSCR (a), et réponses temporelles en courant et en tension pour différents niveaux de précharge TLP (b)

La réponse en courant de la protection pour une tension de précharge de 70 V est utilisée pour calculer le temps de déclenchement de la protection à l'état passant. Les résultats de la figure 2.27 montrent qu'il existe deux fenêtres d'extraction possibles, en raison du bruit qui affecte la mesure et qui entraîne une incertitude dans l'application de la règle « 10 % - 90 % ». Dans ce cas, l'erreur liée à la méthode d'extraction du t_{on} est importante (plus de 200 %).

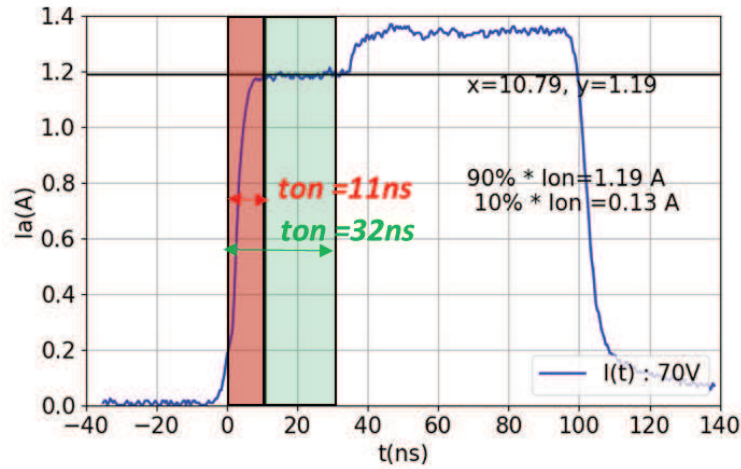


Figure 2.27: Extraction du temps de déclenchement du DTSCR par la méthode 10 %-90 %, à partir de la réponse temporelle en courant du DTSCR (TLP-pchV=70 V) : deux fenêtres d'extraction possibles

2.3.3. Investigation de nouvelles méthodes de caractérisation du temps de déclenchement

Pour pallier les erreurs d'extraction du temps de déclenchement, nous avons étudié deux autres approches basées sur la compréhension des phénomènes physiques mis en jeu lors du processus d'amorçage du SCR.

2.3.3.1. 1ère Approche : basée sur la conductance

En fonctionnement normal, le DTSCR présente une impédance élevée et n'interfère donc pas avec le fonctionnement du circuit à protéger. Lors d'un stress ESD et lorsque la tension aux bornes de la protection dépasse sa tension de seuil, le SCR se déclenche et passe d'un état haute impédance (état OFF) à un état faible impédance (état ON). Dans la figure 2.26-a, la structure DTSCR se déclenche à 8 V et sa résistance série passe à $0,2 \Omega$. L'évolution de la conductance du DTSCR au cours du temps traduit ce passage de l'état « bloqué » à l'état « passant » de la protection. Dans la figure 2.28, la conductance est calculée à partir de la réponse en courant et en tension du DTSCR, pour une tension de précharge TLP de 70 V.

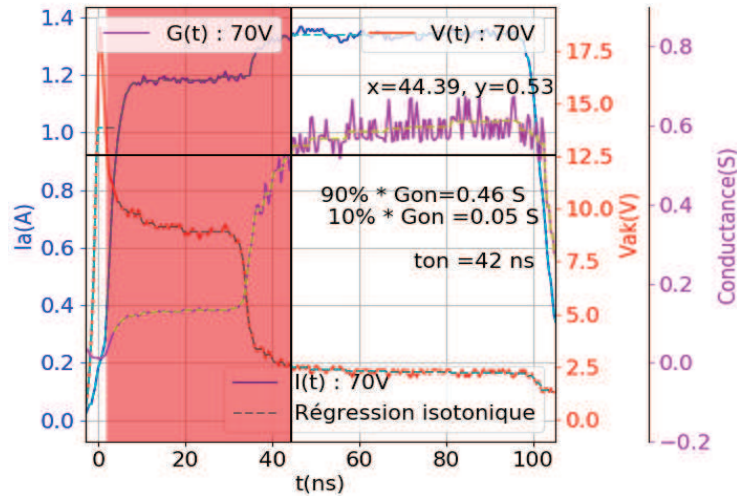


Figure 2.28: Extraction du temps de déclenchement par la méthode 10 %-90 %, à partir de la réponse temporelle en conductance du DTSCR (TLP-pchV=70 V)

Pour filtrer le bruit de la mesure, nous lui appliquons une régression isotonique (disponible dans la bibliothèque Python Scikit-Learn). Ce traitement permet à la manière de la méthode des moindres carrés pondérés, de lisser les résultats de mesure $G(t)$, avec une contrainte de monotonie supplémentaire [BOM 16]. La fenêtre d'extraction est définie entre 10 % et 90 % de la conductance moyenne (en rose). Le temps de déclenchement relevé dans ce cas est de 42 ns. Bien que la régression isotonique minimise l'erreur d'extraction, on remarque que les résultats obtenus sont différents des valeurs de t_{on} extraites dans la figure 2.27.

2.3.3.2. 2ème Approche : basée sur la quantité de charge

La deuxième méthode de caractérisation est inspirée du concept de la quantité de charge critique. Dans cette approche, le thyristor bascule d'un état bloqué à un état passant lorsque la charge des porteurs minoritaires stockée dans ses bases dépasse une charge critique notée Q_{cr} [SHU 06].

2.3.4. Caractérisation du temps de déclenchement à partir des mesures TLP

Pour calculer la quantité de charge requise pour initialiser l'amorçage du DTSCR, on applique la méthode d'intégration trapézoïdale aux réponses temporelles en courant de la protection. Ces réponses sont extraites au niveau de la zone de maintien de la caractéristique TLP (figure 2.26-a). L'intégration s'effectue alors entre deux points, en partant de l'origine de la courbe $I(t)$, jusqu'au point à partir duquel on note une croissance importante du courant. Les zones grisées de la

figure 2.29 représentent la quantité de charge minimale stockée (Q) et le temps de déclenchement t_{on} correspondant.

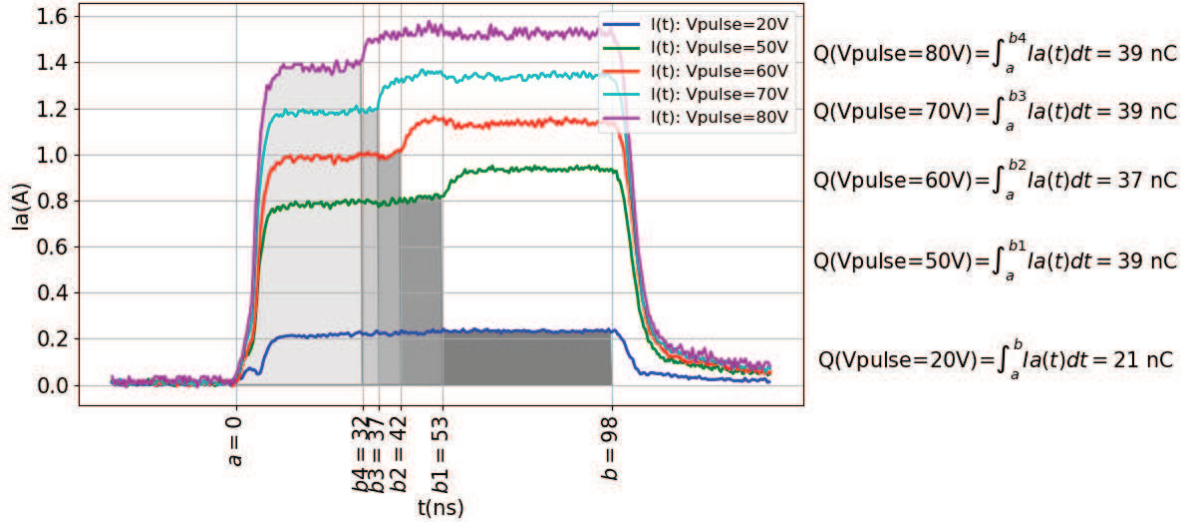


Figure 2.29: Extraction de la quantité de charge stockée du DTSCR, à partir des réponses temporelles en courant, pour différents niveaux de précharge TLP

Bien que le temps de déclenchement diffère en fonction du niveau du V_{pulse} appliqué, la quantité de charge minimale permettant d'initialiser l'amorçage total du DTSCR reste la même. En effet, lorsque la quantité de charge stockée dans les bases N et P du SCR est inférieure à une quantité de charge minimale $Q_{cr} \approx 39 \pm 2$ nC, le thyristor reste bloqué et un courant vertical constant circule dans la structure DTSCR (fonctionnement vertical).

2.3.5. Extraction du temps de déclenchement à partir des mesures IEC

La quantité de charge critique requise pour le déclenchement du SCR est un paramètre intrinsèque dans l'évaluation de la sensibilité du thyristor [SHU 06]. Pour évaluer cela, la structure DTSCR est soumise à un stress HMM conforme à la forme d'onde IEC61000-4-2. L'extraction de la charge minimale stockée (Q) s'effectue comme décrit précédemment, à partir de la réponse temporelle en courant, pour un niveau de stress ESD de 1,5 kV (figure 2.30).

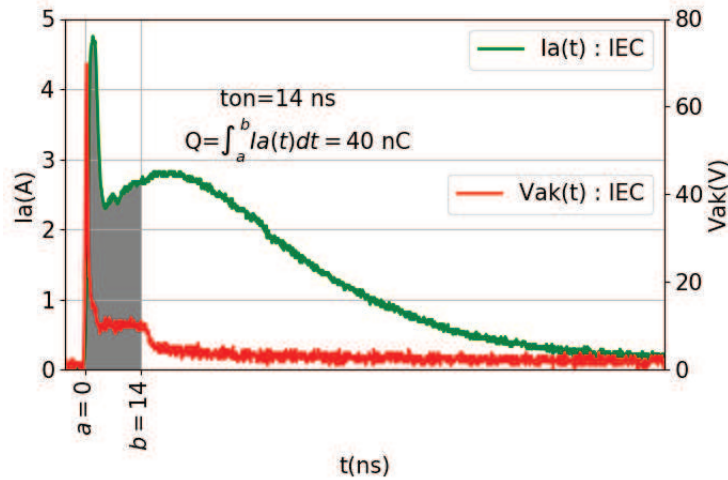


Figure 2.30: Extraction de la quantité de charge stockée du DTSCR, à partir des réponses temporelles en courant, pour un niveau de stress IEC de 1,5 kV

A partir d'une quantité de charge Q_{cr} de 40 nC, on observe un amorçage de la structure qui se traduit par une diminution de la tension à ses bornes. La quantité de charge relevée est comparable à celle obtenues avec les mesures TLP. Il en résulte que la quantité de charge critique Q_{cr} est un paramètre spécifique du composant testé et indépendant de l'impédance caractéristique du testeur utilisé (IEC, TLP, ...).

2.3.6. Simulation TCAD : Extraction du temps de déclenchement à partir des résultats TLP

Pour évaluer l'influence de la quantité de charge sur le temps de déclenchement de la protection, nous avons étudié - de manière qualitative - les mécanismes physiques mis en jeu lors du déclenchement de la protection. Pour cela, une simulation 2D du DTSCR avec un premier étalonnage est réalisée sur l'outil *TCAD-Sentaurus* (nous reviendrons plus en détail sur ce modèle de simulation dans le chapitre suivant). Un stress TLP conforme à l'expérimental est appliqué à la structure pour extraire sa réponse en courant. Les résultats du t_{on} en fonction de la charge minimale stockée (Q) sont retranscrits dans la figure 2.31.

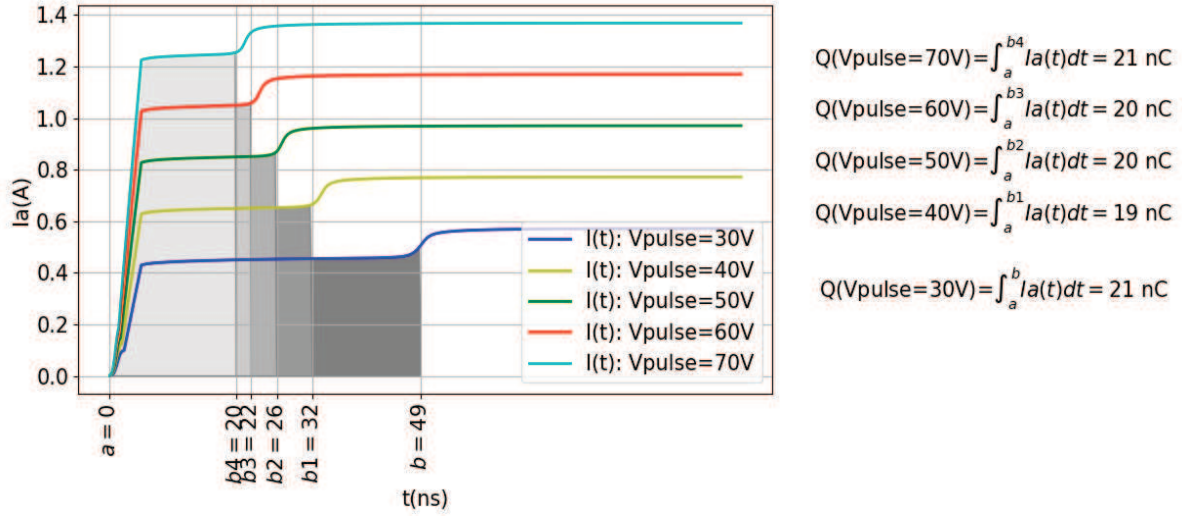


Figure 2.31: Extraction de la quantité de charge stockée du DTSCR, à partir des réponses temporelles en courant simulées, pour différents niveaux de précharge TLP

En observant les résultats de simulation, on retrouve le même scénario d'amorçage que celui observé en expérimental. On note ainsi une diminution du temps de déclenchement en fonction des impulsions croissantes TLP, alors que la quantité de charge stockée demeure quasi-constante ($Q_{cr} \approx 20 \pm 2 \text{ nC}$), tout en étant deux fois plus faible que l'expérimental.

Dans la figure 2.32-a, nous avons analysé les différentes phases d'amorçage, en se référant à la réponse en courant de la protection, pour une tension de précharge donnée. Les diagrammes de la distribution de la charge stockée dans les quatre régions N+, P, N et P+ de la structure DTSCR sont illustrés dans la figure 2.32-b.

A t_0 , une tension de précharge TLP ($V_{pulse}=30 \text{ V}$) est appliquée au DTSCR. Dans ce cas, les jonctions $J1$ (P+-Emetteur/N-Base) et $J3$ (N+-Emetteur / P-Base) sont polarisées en direct, tandis que la jonction centrale $J2$ (P-base / N-base) est polarisée en inverse [BAL 08]. Durant l'intervalle de temps $[t_0, t_4]$, la diode verticale se met en avalanche et injecte un courant de gâchette (électrons) dans la base N du transistor PNP. Ce courant favorise l'introduction d'une quantité de porteurs positifs (trous) de l'émetteur P+ vers la base N (à travers $J1$). Une charge $q_{N, pnp}$ est alors stockée dans la base du transistor PNP. Une partie de ce flux de porteurs est collectée par la base P du transistor NPN, qui se met à son tour en régime de fonctionnement normal. L'émetteur N+ injecte alors des porteurs minoritaires (électrons) via la jonction $J3$, favorisant ainsi l'installation d'une

charge notée $q_{N,npn}$ dans la base du transistor NPN. Cette quantité de porteurs minoritaires continue à croître, jusqu'à ce qu'une partie de la jonction centrale $J2$ soit saturée ($t4$). Un emballement « local » se produit alors dans une partie de la jonction $J2$, à travers laquelle des électrons s'engouffrent sous l'effet d'un champ électrique important (jonction polarisée en inverse), pour arriver à la base N. Ce courant de base supplémentaire dans le transistor PNP permet le passage d'un courant collecteur et, ipso facto, la circulation d'un courant de base supplémentaire pour le transistor NPN [BAL 08]. Ce dernier se met à injecter un courant collecteur plus important et le système se met en boucle. Les bases N et P sont alors inondées par un flux de porteurs minoritaires, alimentés par les courants collecteurs des deux transistors NPN et PNP.

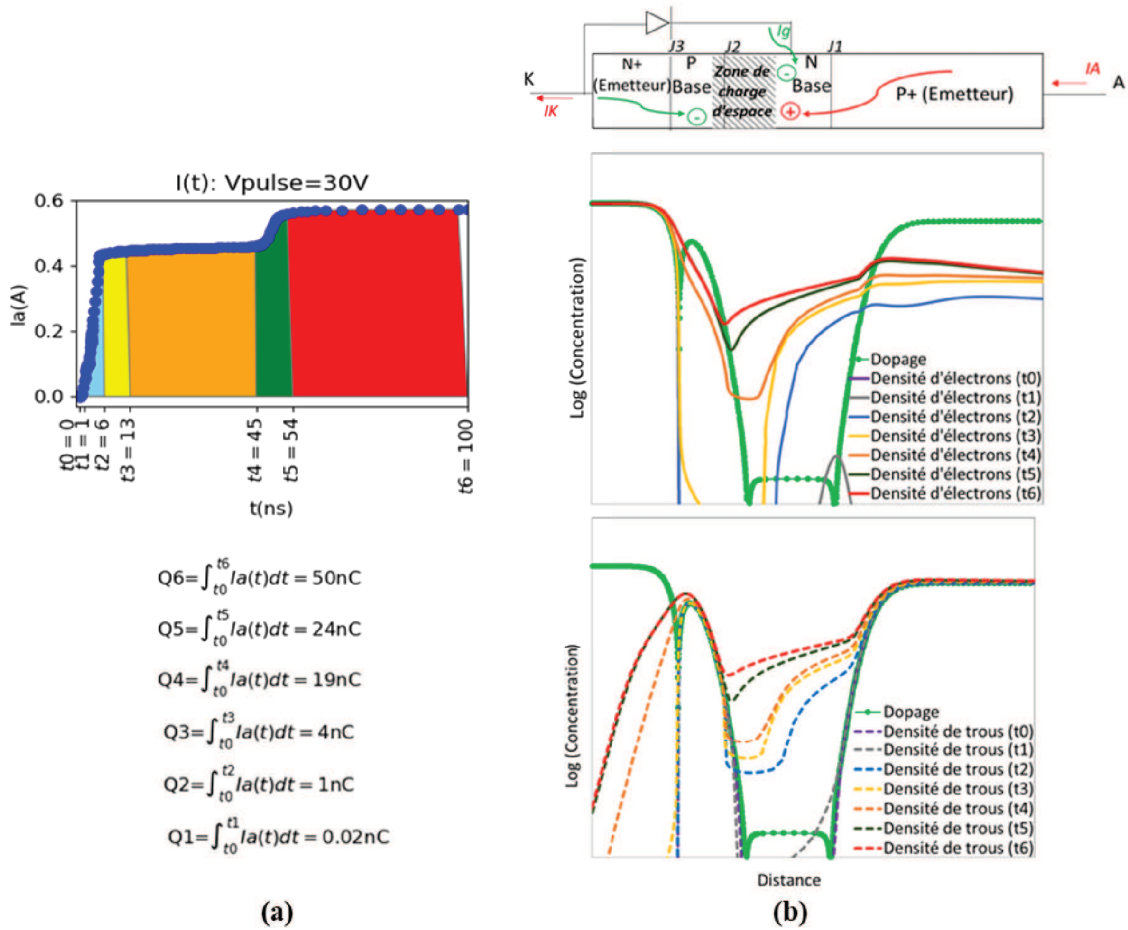


Figure 2.32: Extraction de la quantité de charge à partir de la réponse temporelle en courant pour un TLP-pchV=30 V (a). Evolution de la densité des porteurs minoritaires durant la phase d'amorçage du DTSCR pour un TLP-pchV=30 V (b).

En se basant sur le modèle de contrôle de charge [BLI 76], la variation du courant d'anode pendant la phase de déclenchement est donnée par :

$$J_A(t) \propto J_G (e^{\sqrt{\frac{t}{t_{B,npn} \cdot t_{B,pnp}}}} - 1) \quad (4)$$

Avec J_A la densité de courant d'anode et J_G la densité de courant de la gâchette.

Le temps de montée de 0 à 90 % est proportionnel à la constante de temps [BLI 76] :

$$t_{on} \propto \sqrt{t_{B,pnp} t_{B,npn}} \quad (5)$$

En observant les chronogrammes de la figure 2.31, on remarque que le temps de déclenchement du DTSCR varie en fonction du niveau de polarisation appliqué, tandis que la charge critique minimale reste constante. Dans cette configuration, la tenue en tension est assurée principalement par la jonction J_2 , dont la zone de déplétion s'étend sous l'effet du champ électrique appliqué dans la région faiblement dopée (Base N) [BAL 11]. Cela a pour effet de réduire le temps de transit des porteurs minoritaires et d'augmenter la densité du courant émetteur injecté, permettant ainsi d'atteindre plus rapidement la quantité de charge critique et basculer le DTSCR en mode passant dans un temps plus court.

2.3.7. Comparaison des temps de déclenchement des composants en utilisant la méthode d'extraction de charge.

La fermeture du thyristor à partir d'un courant de gâchette s'opère de manière progressive, lorsqu'en un point donné, la densité des porteurs minoritaires atteint une valeur maximale donnée par la quantité de charge critique Q_{cr} [SHU 06] :

$$Q_{cr} = j_R \times t_r \quad (6)$$

j_R représente la densité du courant de fuite de la jonction J_1 . Sa valeur dépend de la durée et de la densité du courant de gâchette à même de déclencher le SCR. Le temps de montée t_r est le temps nécessaire pour que le courant d'anode passe de 10 % à 90 % de sa valeur finale.

Pour passer de 0 à 90 % de la densité maximale du courant d'anode, l'équation (7) donne une estimation grossière du temps d'amorçage, proportionnellement au temps de transit dans les deux bases du SCR [BLI 76] [SZE 81] :

$$t_{on} = t_d + t_r \propto \sqrt{t_{B,pnp} t_{B,npn}} \quad (7)$$

$t_{B,pnp}$ et $t_{B,npn}$ sont respectivement les temps de transit dans les bases N et P et peuvent être approximés comme suit [SZE 81] :

$$t_{B,pnp} = \frac{W_P^2}{2D_N} \text{ et } t_{B,npn} = \frac{W_N^2}{2D_P} \quad (8)$$

D_P et D_N sont respectivement les coefficients de diffusion des électrons dans la base P et des trous dans la base N. W_P et W_N désignent respectivement les largeurs des bases P et N.

A partir de cette approche, on considère que le t_{on} de la protection DTSCR dépend à la fois du dessin technologique et du processus de fabrication. En d'autres termes, le temps de déclenchement du DTSCR peut être réduit en améliorant les temps de commutation des transistors PNP et NPN, ce qui revient à réduire l'épaisseur ou augmenter le dopage des bases N et P.

Dans la figure 2.34, la vitesse de déclenchement du DTSCR est caractérisée pour deux épaisseurs de base différentes. Le premier cas correspond à un transistor PNP à commutation rapide (Base étroite), le second à une commutation plus lente (Base large). Dans chaque cas, le t_{on} du DTSCR est extrait à partir de ses réponses temporelles en courant TLP.

A la lumière de ces résultats, on remarque qu'une quantité de charge minimale Q_{cr} est nécessaire pour déclencher le SCR. Sa valeur dépend de la largeur de base du transistor imbriqué. Elle varie de 4 nC pour une base « mince » à 12 nC pour une base plus large. Ainsi, plus l'épaisseur de base dans le thyristor diminue, plus la charge critique nécessaire à l'amorçage du SCR se réduit. Même constat pour le temps de déclenchement qui, pour une tension de précharge TLP donnée (ici 19 V), passe de 27 ns pour une base « mince » à 87 ns pour une base plus large.

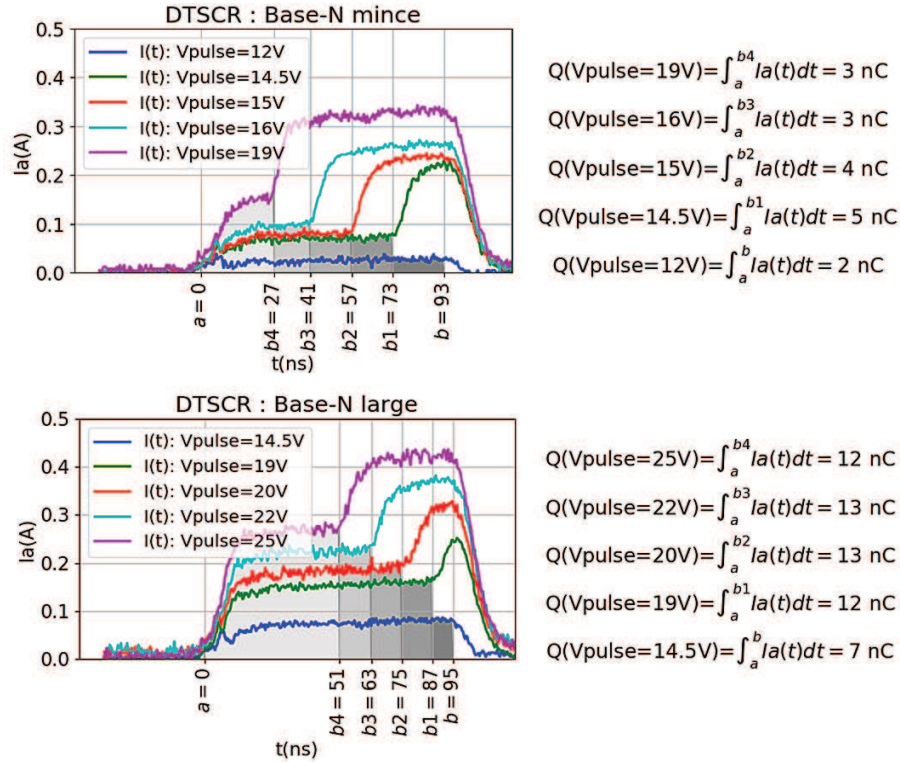


Figure 2.34: Comparaison de la rapidité de déclenchement du DTSCR, par la méthode de la quantité de charge, pour deux largeurs de bases différentes

2.3.8. Bilan et discussion

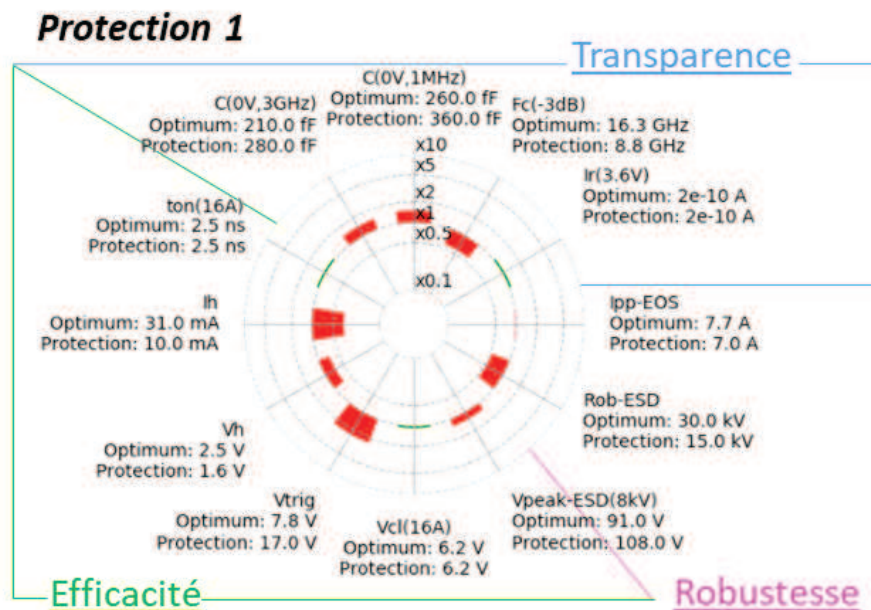
D'après cette étude, le temps de déclenchement extrait à partir de la quantité de charge et de la conductance donne des résultats similaires (tableau 2.3). On constate également que la charge stockée est un paramètre spécifique à chaque structure DTSCR, qui dépend à la fois du dessin technologique et du procédé de fabrication. Ce paramètre est intrinsèque au dispositif étudié, contrairement au temps de déclenchement qui dépend du banc de test et de la manière dont le dispositif est polarisé. A noter également que cette étude a aussi et surtout permis d'étalonner les durées de vie dans le modèle de simulation, que nous allons aborder dans le chapitre suivant.

Méthodes d'extraction	I(t) : 10 % - 90 %	G(t) (lissé) : 10 % - 90 %	Qcr
Ton (ns)	22 ± 11	40 ± 2	38 ± 2

Tableau 2.3: Synthèse des temps de déclenchement du DTSCR obtenus à partir des trois méthodes d'extraction

3. Compromis : Efficacité, Transparence et Robustesse

Le choix de la stratégie de protection dépend des exigences de l'application à protéger. Dans la phase de conception, l'idéal est de développer un produit de protection « générique », capable de couvrir un maximum d'applications. Cela revient à développer une protection ultra rapide, avec une robustesse maximale et des grandeurs comme le courant de fuite, la capacité parasite et le premier pic qui soient extrêmement réduites. Dans les faits, le développement d'une telle protection, optimale en tous points (robustesse, transparence, efficacité), s'avère être une tâche complexe. Pour étayer ce constat, nous avons comparé les performances électriques d'une sélection de produits de protection. Il s'agit de produits à retournement proposés par différents fabricants pour protéger les interfaces « haut-débit ». La protection « idéale » de référence dans la figure 2.35 est virtuelle, elle est constituée de l'assemblage des meilleurs paramètres empruntés aux trois protections. Les performances de ces dernières sont synthétisées dans la figure 2.35. Les grandeurs électriques sont répertoriées selon les trois axes qui définissent la qualité de la protection ESD. Elles sont détaillées dans cette étude comparative.



3. Compromis : Efficacité, Transparence et Robustesse

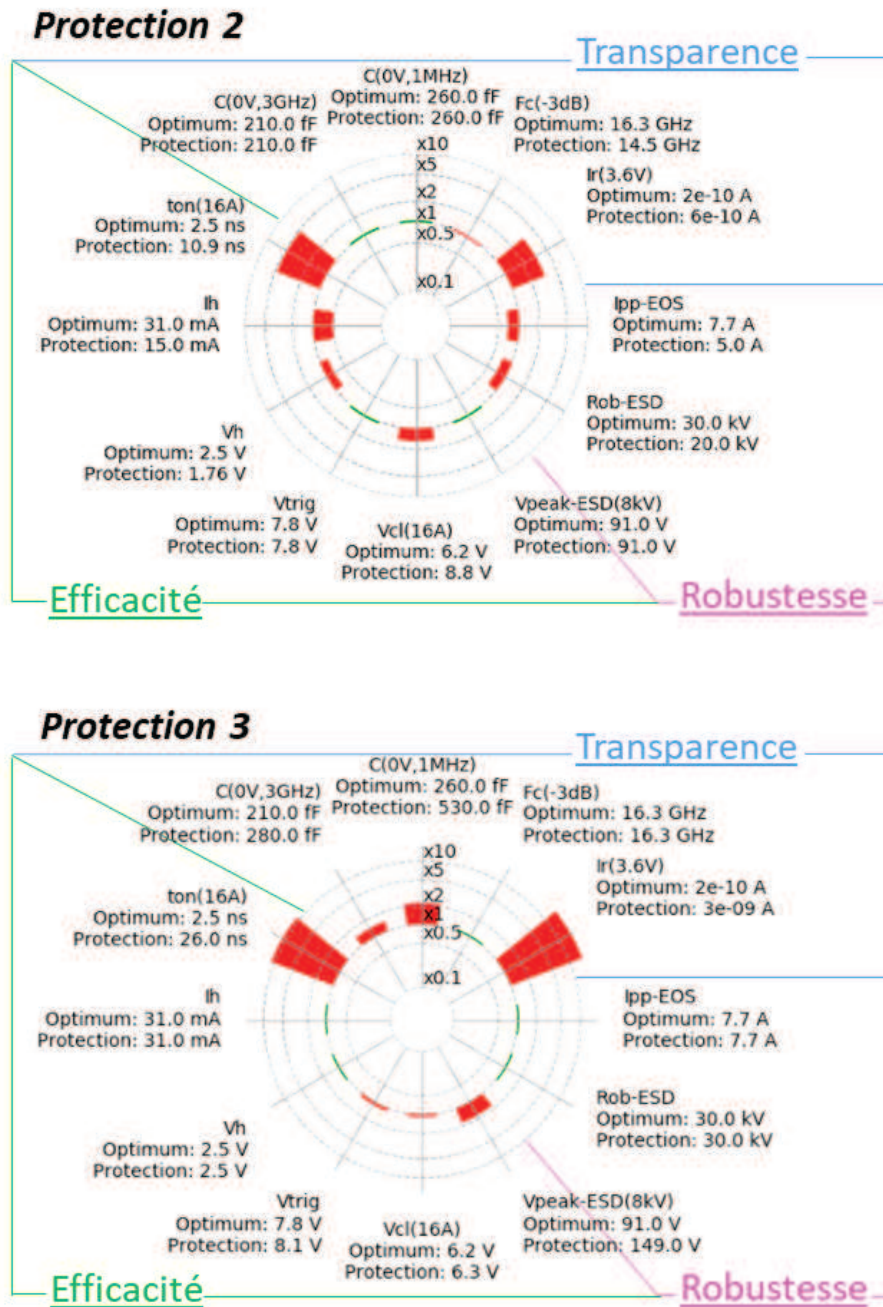


Figure 2.35: Radars comparatifs de la qualité de la protection ESD pour une sélection de trois protections à retournement unidirectionnelles (même boîtier)

3.1. Transparence

Capacité parasite : les trois dispositifs de protection présentent dans l'ensemble une faible capacité parasite à 3 GHz. Cette dernière doit être la plus faible possible pour ne pas interférer avec le circuit à protéger et garantir l'intégrité des signaux de données transmis.

Fréquence de coupure : l'augmentation du débit de données dans les bus de transmission « haut-débit » entraîne une augmentation de la bande passante des signaux et donc un étalement de son spectre fréquentiel vers une gamme de fréquences élevées (plusieurs GHz) [MER 13]. Dans ce cas le dispositif de protection doit présenter une fréquence de coupure haute et supérieure à la bande passante du signal à transmettre. C'est le cas des protections 3 et 2 (figure 2.36).

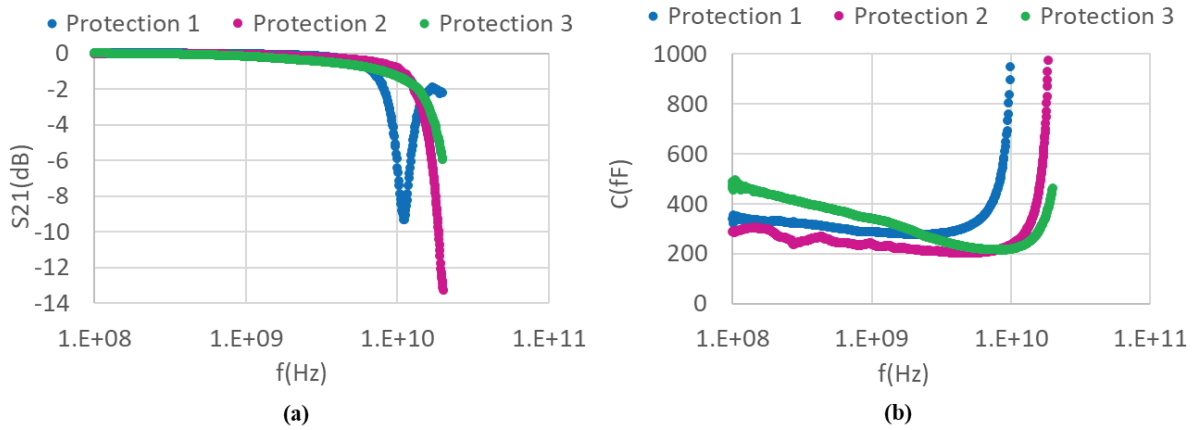


Figure 2.36: Comparaison de la perte d'insertion (a), et de la variation de la capacité parasite en fréquence (b) pour les trois produits de protection

Courant de fuite : le courant de fuite du dispositif de protection doit être le plus faible possible pour limiter la consommation d'énergie de la protection à l'état bloqué. C'est le cas par exemple pour les protections 1 et 2, avec un courant de fuite de l'ordre du nanoampère. La protection 3, en revanche, présente un courant de fuite plus élevé d'un ordre de grandeur.

Sur le plan de la transparence, on ne peut pas identifier une protection générique (idéale) parmi les trois produits étudiés. Ainsi, la protection 3 qui affiche les meilleures performances en RF, à savoir une fréquence de coupure élevée avec une faible capacité parasite à hautes fréquences, est également celle qui a le courant de fuite le plus dégradé. A l'inverse, pour la protection 1, les bonnes performances en courant de fuite se traduisent par une dégradation des performances RF.

3.2.Efficacité

Temps de déclenchement / Surtension : en observant la figure 2.35, on remarque que la protection 3 affiche un temps de déclenchement relativement long, contrairement aux protections 1 et 2 (quelques nanosecondes). Ce retard de déclenchement se traduit par une surtension importante (figure 2.37), qui peut être fatale pour le circuit à protéger (claquage des oxydes) [VAS 14]. A noter que dans le cas de la protection 3, on observe un déclenchement en deux temps, avec un premier palier à 10V au bout de quelques nanosecondes et un déclenchement complet de la protection au bout d'une vingtaine de nanosecondes.

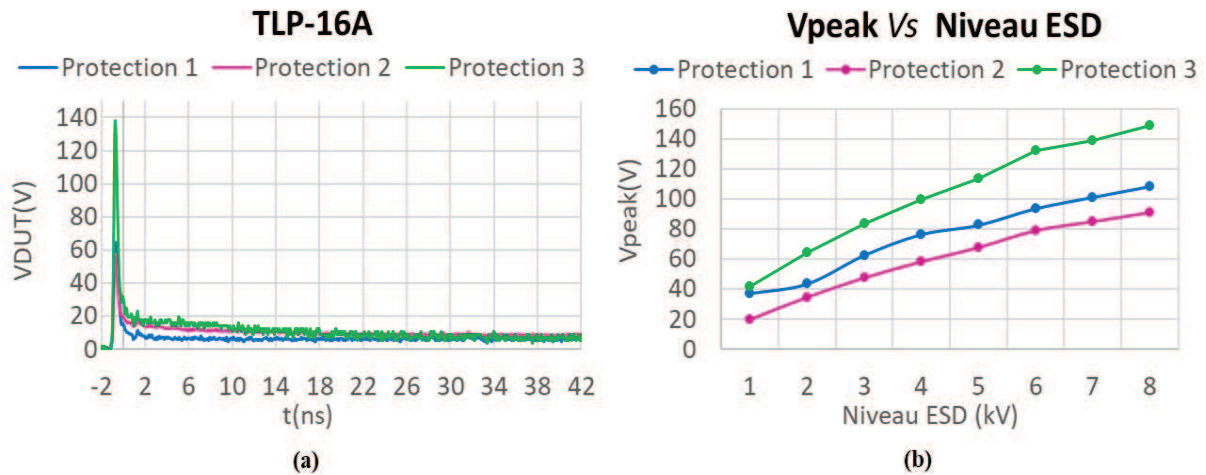


Figure 2.37: Comparaison de la surtension (V_{peak}) pour les trois produits de protection : réponse temporelle en tension pour un niveau TLP-16A (a). Variation de la surtension en fonction du niveau de stress IEC61000-4-2 appliqué (b)

Tension et courant de maintien : le couple courant-tension de maintien des dispositifs étudiés est extrait par la méthode décrite dans la [section 2.2.4.4](#). Les caractéristiques courant-tension au désamorçage des dispositifs sont repris dans la figure 2.38. Pour rappel, afin d'éviter que la protection ne reste enclenchée à la fin du stress ESD, le point de maintien doit se trouver au-dessus de la droite de charge de l'alimentation DC du circuit à protéger.

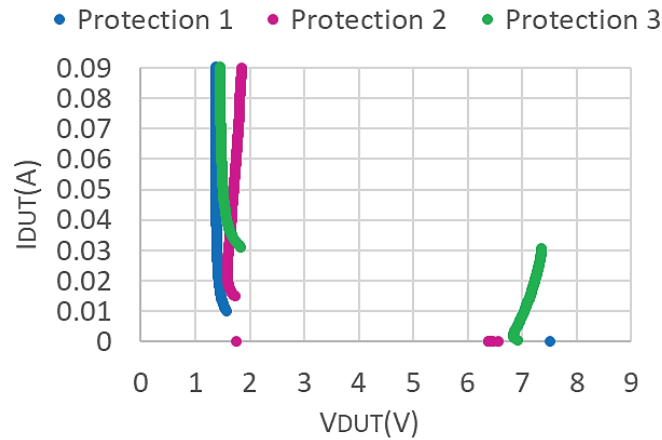


Figure 2.38: Comparaison du point de maintien pour les trois produits de protection

Ainsi en termes de verrouillage indésirable, la protection 3 est celle qui présente le moins de risque, avec un courant de maintien autour de 31 mA. Cela permet de couvrir une large gamme d'applications, contrairement aux protections 1 et 2 (tableau 2.4).

Application	USB2.0	USB 3.1 GEN1	USB3.1 GEN2	HDMI	Display-Port	SATA
Protection 1	NOK	NOK	NOK	NOK	OK	NOK
Protection 2	NOK	NOK	NOK	NOK	OK	OK
Protection 3	NOK	OK	OK	NOK	OK	OK

Tableau 2.4: Comparaison du risque de verrouillage indésirable des dispositifs de protection pour différents types d'applications « haut-débit »

Tension d'écrêtage : la tension d'écrêtage doit être la plus faible possible et inférieure à la tension de destruction du circuit à protéger [INF 19]. Les protections 1 et 2 affichent les tensions d'écrêtage les plus basses. Ces tensions sont données pour un courant TLP de 16 A, équivalent au courant mesuré 30 ns après le début de la surcharge, lors d'un stress ESD de 8 kV, suivant la norme IEC61000-4-2 [INF 14] (figure 2.39).

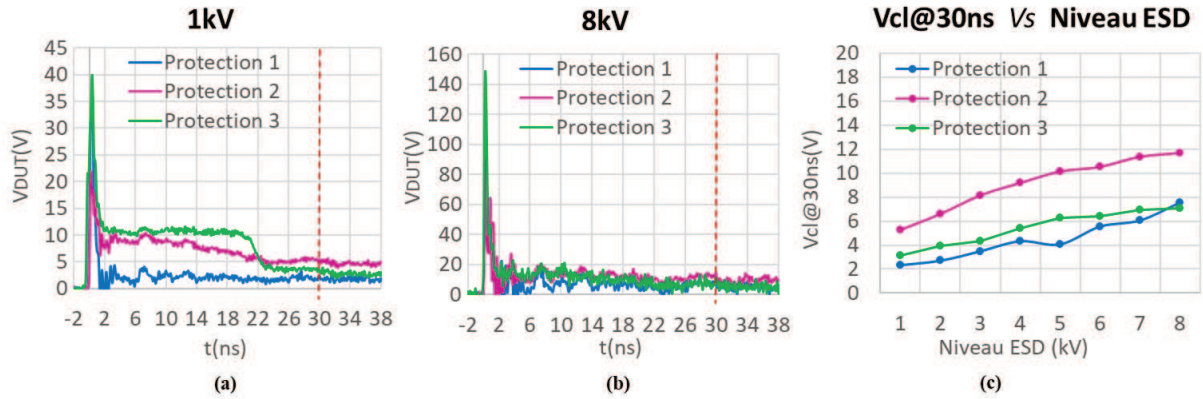


Figure 2.39: Comparaison de la tension d'écrtage (V_{cl} à 30ns) pour les trois produits de protection : réponse temporelle en tension pour des niveaux de stress IEC61000-4-2 de 1 kV (a) et 8 kV (b). Variation de la tension d'écrtage en fonction du niveau de stress IEC61000-4-2 appliqué (c)

Tension et courant de déclenchement : la tension de repliement pour les structures à retournement doit être légèrement supérieure à la tension de fonctionnement nominale du circuit à protéger, le but étant de garantir un déclenchement de la protection hors du domaine de fonctionnement normal de l'application. Pour des interfaces « haut-débit » comme SATA, USB ou HDMI, la tension maximale peut varier de 2,5 V à 5 V. Les protections 2 et 3 sont compatibles avec ce type d'applications, avec des tensions de déclenchement de 7,8 V et de 8,1 V respectivement (figure 2.40).

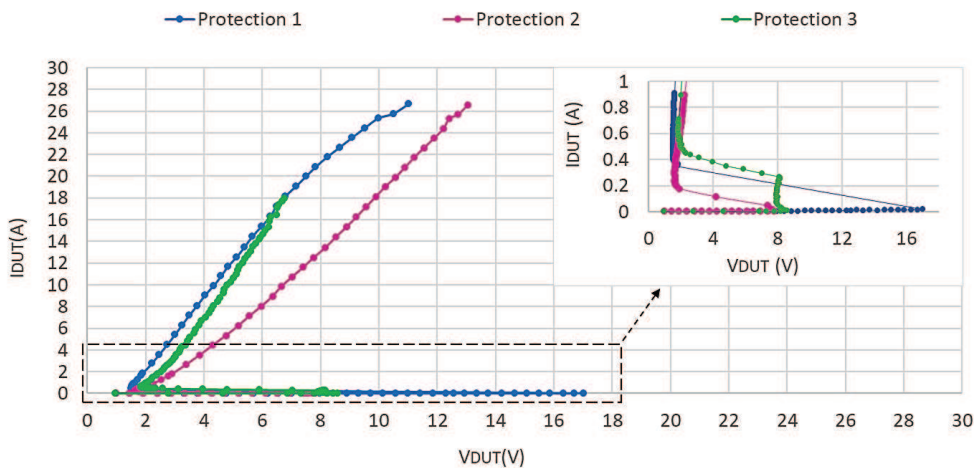


Figure 2.40: Comparaison des caractéristique I-V TLP et de la tension de déclenchement pour les trois produits de protection

3.3. Robustesse

Robustesse ESD : en se référant à la figure 2.35, la protection 3 est la plus robuste contre les décharges ESD de type IEC61000-4-2. Sa tenue est de 30 kV, contre 15 kV et 20 kV pour les protections 1 et 2.

Robustesse EOS : le courant maximal de décharge I_{pp} (*peak pulse current*) présenté dans la figure 2.35 est donné pour une forme d'onde 8/20 μs (conforme à la norme IEC61000-4-5). Ce courant correspond au courant maximal absorbé par la protection avant sa destruction. Un fort courant I_{pp} , comme dans le cas de la protection 3, est un bon indicateur de la robustesse du produit de protection face à des surcharges électriques transitoires de type *EOS* (*Electrical OverStresses*). Ces surcharges sont de l'ordre de la microseconde voire de la milliseconde et peuvent être générées par des surtensions dans le système d'alimentation, comme lors des commutations ou suite à des défauts de masse dans le circuit électronique [VAS 14].

3.4. Bilan

Le bilan des performances électriques observées sur une sélection de produits ESD à retournement montre qu'il est difficile d'allier des performances optimales à la fois en robustesse, en transparence et en efficacité, pour un même produit de protection. Il s'agit très souvent de compromis qu'il va falloir trouver entre les performances électriques visées et la facilité de conception ESD de la technologie souhaitée.

4. Compromis : Performances électriques et dessin technologique

Le succès d'une stratégie de protection dépend de ses performances électriques et de son encombrement dans le circuit à protéger. Ce dernier point suscite un intérêt majeur pour des raisons de coût et d'espace, en particulier pour les applications mobiles et autonomes où la surface d'implantation de la protection est particulièrement réduite. Cette miniaturisation des boîtiers de protection impose une réduction des dimensions technologiques de la puce. Cela se traduit par une diminution des géométries élémentaires comme les espacements et les profondeurs de jonction, ce qui favorise certains mécanismes de défaillances et apporte son lot de problèmes et de compromis que nous allons considérer dans cette partie.

4.1. Structure

Pour évaluer les compromis qui existent entre les performances électriques et le dessin technologique de la protection ESD, nous nous sommes basés sur la structure DTSCR de la figure 2.41.

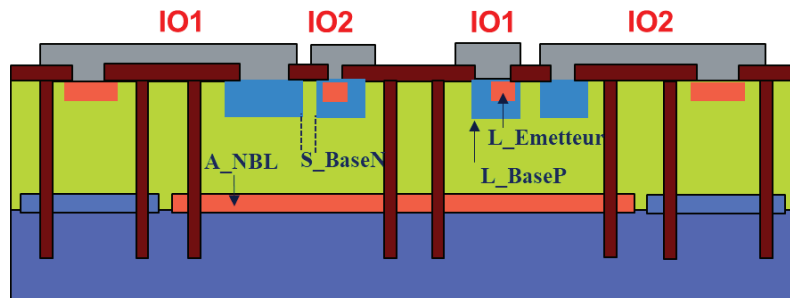


Figure 2.41: Vue en coupe d'un dispositif de protection à retournement DTSCR (bidirectionnel)

4.2. Performances électriques

Le dessin de la figure 2.42 présente une structure avec des dimensions réduites, notamment pour les régions Base/Emetteur. Cette miniaturisation entraîne des performances optimales en RF, en raison de la faible capacité parasite de la structure (315 fF à 3 GHz). En contrepartie, la miniaturisation s'accompagne d'une augmentation de la tension d'écrêtage (environ 8 V) et d'une augmentation du courant de fuite qui atteint des valeurs rédhibitoires (court-circuit). Par conséquent, la structure n'est pas utilisable en pratique. Nous nous en servons cependant ici comme référence pour la conception d'une structure optimale.

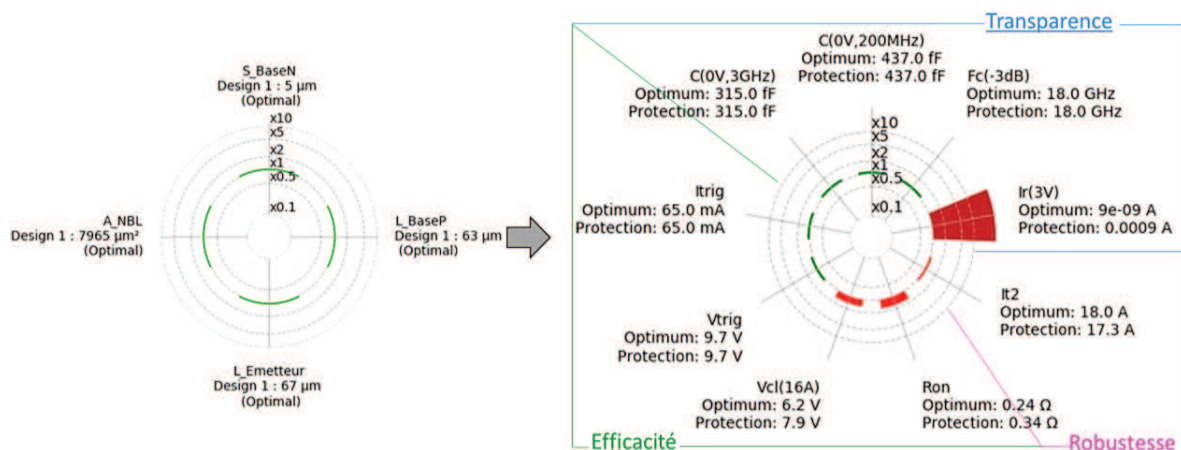


Figure 2.42: Radar compromis dessin technologique vs qualité de protection

En agrandissant les dimensions du dessin (figure 2.43), on augmente la surface de contact au niveau de l'anode et de la cathode. La largeur de base du bipolaire latéral est également plus importante. Il en résulte une diminution du courant de fuite et de la tension d'écroûtage. Le courant de destruction est également plus important car le courant de décharge se répartit sur un plus grand volume à l'amorçage de la protection. D'un autre côté, cette augmentation de surface dégrade les performances RF de la protection, à savoir sa capacité parasite et sa fréquence de coupure.

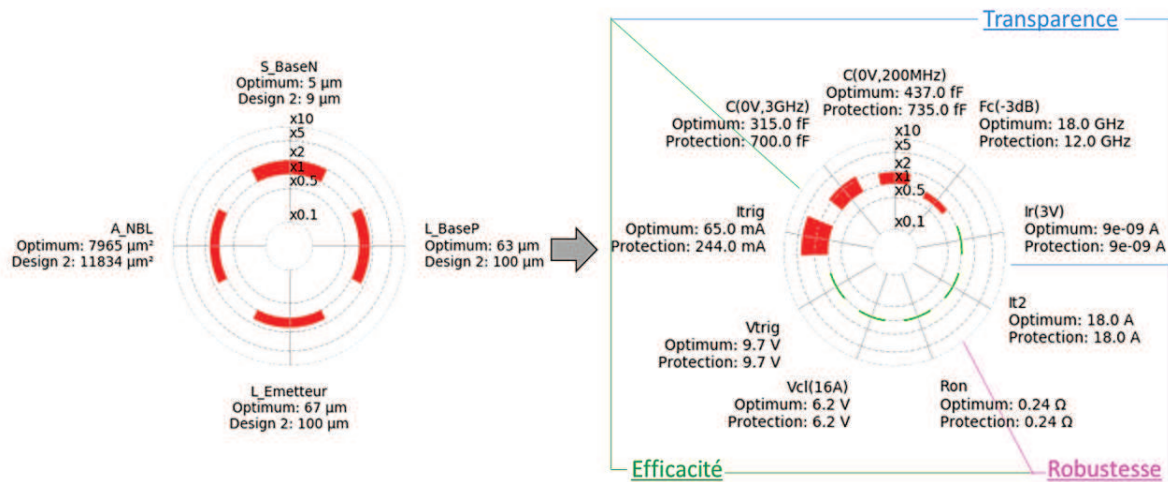


Figure 2.43: Radar compromis dessin technologique vs qualité de protection

4.3.Bilan

Les caractéristiques électriques de l'échantillon de protection étudié montrent qu'il est difficile d'aboutir de façon triviale à un dessin technologique avec des géométries réduites et des performances électriques optimales. Si la miniaturisation réduit l'encombrement et améliore la transparence de la protection dans le domaine de la RF, elle dégrade en contrepartie le courant de fuite et les performances en robustesse et efficacité du dispositif. Il convient donc lors de la conception ESD de disposer d'une structure dont les caractéristiques électriques sont facilement contrôlables, au moyen des paramètres de dessin et de procédé. Ainsi, en s'adaptant au mieux aux besoins du circuit à protéger, on gagne de la marge sur certains paramètres électriques, ce qui offre plus de latitude dans le dimensionnement de la structure. Ces paramètres peuvent ensuite être optimisés au moyen d'outils de simulation TCAD lors du processus de conception.

5. Conclusion

Dans ce chapitre, nous avons décrit le mode de fonctionnement, ainsi que les grandeurs électriques qui définissent la qualité d'une protection à retournement de type DTSCR. Nous avons également proposé deux méthodes de test afin de caractériser deux des paramètres limitatifs du dispositif étudié, que sont le temps de déclenchement et le point de maintien. Pour le premier paramètre, une nouvelle méthode inspirée de la théorie de la quantité de charge critique est proposée. Il s'agit d'un paramètre intrinsèque du thyristor qui, contrairement au temps de déclenchement, varie peu en fonction de la méthode de test et du niveau de polarisation appliqué. Pour le point de maintien, un nouveau banc de test appelé « pulse-sweep » est développé. Son principe repose sur un amorçage impulsif suivi d'un désamorçage statique du composant. Le but est de se rapprocher au mieux des conditions de fonctionnement de la protection dans l'application et obtenir ainsi une approximation réaliste et utile de son point de maintien.

Dans la dernière partie de ce chapitre, nous avons réalisé un benchmark de la qualité de protection sur un échantillon de produits à retournement. Les résultats montrent qu'une qualité de protection globalement optimale (efficacité, robustesse et transparence) n'est pas accessible avec un seul et même produit. Cela s'explique notamment par les compromis qui existent entre les caractéristiques électriques de la protection d'un côté et ses différents paramètres de dessin et de procédé de l'autre. Pour évaluer ces différents compromis, des solutions de simulations TCAD sont envisagées afin de prédire la qualité de la protection pour différents scénarios de conception. La pertinence de cette solution appliquée au cas du DTSCR est discutée dans le chapitre suivant.

Chapitre 3

Prédiction de la qualité de la protection par la simulation physique

L'intérêt de la simulation physique est de limiter le nombre d'essais expérimentaux. Cela permet de réduire la durée de développement, tout en diminuant les coûts liés à la fabrication sur silicium et aux caractérisations électriques et physiques. Pour optimiser le dispositif de protection, il faut tenir compte des interactions entre les grandeurs électriques qui le caractérisent. Pour y arriver, il faudrait dans un premier temps développer un modèle prédictif « complet », capable de fournir une évaluation pour les trois aspects de la protection : efficacité, transparence et robustesse. Le développement de ce modèle prédictif est l'objet de ce chapitre qui s'articule autour de trois parties :

- › Prédiction de la transparence de la protection.
- › Prédiction de l'efficacité de la protection.
- › Prédiction de la robustesse de la protection.

Au cours de cette étude, la dépendance entre les paramètres physiques et les différentes grandeurs électriques de la protection nous permettra d'effectuer un étalonnage progressif de la simulation.

1. Environnement de simulation

Dans le cadre de ce travail, les outils de simulation utilisés sont : TCAD-Sentaurus du groupe Synopsys, Cadence Virtuoso et l'application VLE2DEVICE3D.

> **CADENCE VIRTUOSO**

Cadence est une suite d'outils permettant d'aborder le flot de conception des circuits microélectroniques en partant de la saisie du schéma électrique, jusqu'au dessin des masques [CAD 12].

> **SENTAURUS**

La suite Sentaurus est composée de plusieurs modules dont *SPROCESS* (*Sentaurus Process*), *SDE* (*Sentaurus Devices Editor*), *SVISUAL* (*Sentaurus Visualization*) et *SDEVICE* (*Sentaurus Device*). L'ensemble de ces outils sont gérés via une interface graphique appelée *Sentaurus Workbench* (*SWB*).

- **SProcess** : c'est un simulateur multidimensionnel du procédé technologique de fabrication. Il permet de simuler une suite d'étapes de fabrication des composants (telles que l'implantation, la diffusion, l'oxydation...) [SYN 15a].
L'outil Ligament de SProcess est un outil de programmation graphique qui permet de reprendre les différentes étapes du procédé de fabrication, en utilisant un ensemble de cartes spécifiques aux différentes étapes technologiques, comme l'implantation, le recuit et la gravure [SYN 15b].
- **SDE** : c'est un outil qui permet de construire graphiquement la structure étudiée en 2D et 3D. On y définit notamment les contours et matériaux utilisés, les contacts électriques de la structure, les profils de diffusion et les règles du maillage généré à la sortie de SDE [SYN 15c].
- **SDevice** : c'est un outil de simulation qui permet d'étudier le comportement électrique du composant dans un environnement donné. On y définit entre autres les modèles mathématiques et physiques pour la simulation, le circuit électrique et le type de simulation (transitoire, statique, ...) [SYN 15d].
- **SVisual** : c'est un outil permettant une visualisation des profils 1D et des structures 2D et 3D. Il permet également de visualiser différentes courbes électriques (ex : $I(t)$, $V(t)$, IV , $T(t)$, etc.) et intègre la possibilité de mettre en place des scripts pour extraire automatiquement les grandeurs électriques à partir de ces courbes [SYN 15e].

› **VLE2DEVICE3D**

Il s'agit d'une application développée par l'équipe TCAD de STMicroelectronics Tours, qui joue le rôle d'interface entre Cadence et les outils de simulation TCAD comme Sentaurus. Cette solution facilite la mise en place rapide et sécurisée des simulations électrothermiques des dispositifs 2D et 3D, en générant automatiquement l'arborescence du projet de simulation sous Sentaurus Workbench (SWB) à partir du paramétrage utilisateur. Ce paramétrage inclut notamment les étapes de maillage, les paramètres technologiques, les outils de simulation requis et les grandeurs électriques simulées. Cela permet de simplifier la simulation et de gagner en temps de développement.

Ainsi, l'outil fonctionne comme une passerelle entre l'environnement Cadence Virtuoso, où les motifs sont dessinés et l'environnement TCAD de Synopsys, où le comportement électrothermique de ces motifs est simulé.

L'outil fournit des bibliothèques technologiques configurées par défaut, appelés « Tkits » et ce pour les différentes filières technologiques développées sur le site. Une fois la bonne bibliothèque « Tkit » sélectionnée par l'utilisateur, l'outil se charge de définir les étapes suivantes :

- › Le chargement du procédé technologique par défaut,
- › Les critères de maillage et les boîtes de raffinement localisées en fonction du masque,
- › Les procédures de détection de symétrie et de simplifications du masque,
- › Les configurations par défaut des sections SDevice (File, Electrode, Physics, ...).

Les fichiers de commande générés offrent une notion d'ouverture à l'utilisateur, afin de rapidement et facilement adresser ce que la solution VLE2DEVICE3D ne prévoit pas dans sa conception de base. L'idée étant d'améliorer les résultats sans devoir reprendre une nouvelle simulation depuis le début. Il revient ensuite à l'utilisateur d'adapter les fichiers générés. Dans ce travail, les modifications portent principalement sur les points suivants :

- › L'actualisation des recettes du procédé technologique et des routes qui s'y attachent.
- › L'ajout de couches supplémentaires sur SDE (par rapport à l'étape précédente de SProcess).
- › La modification des tests électriques simulés avec SDevice.

- › L'étalonnage des modèles physiques utilisés pour faire corrélérer la simulation à l'expérimental.

2. Déroulement du projet

La principale difficulté de la simulation réside dans le niveau de précision souhaité. La simulation doit être au minimum descriptive et idéalement prédictive. Pour y parvenir, plusieurs éléments sont à prendre en considération lors de la phase d'étalonnage comme : l'émulation du procédé de fabrication, la géométrie de la structure, la finesse du maillage, sa dimension (1D, 2D, 3D), les modèles physiques utilisés ou encore la nature des tests électriques simulés et leurs niveaux de courants associés. Les résultats obtenus seront dans tous les cas une estimation des résultats expérimentaux.

Les étapes de simulation suivies dans ce travail sont résumées dans la figure 3.1 :

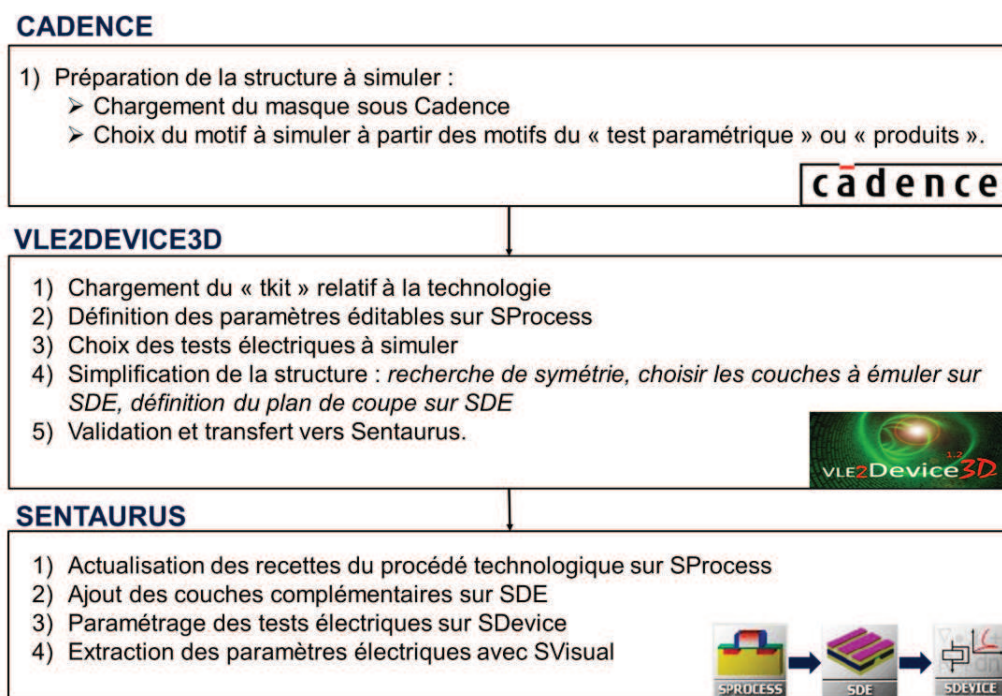


Figure 3.1 : Procédure d'utilisation des outils pour la simulation

3. Génération de la structure de test

3.1.Chargement du masque

Pour les travaux de simulation, nous nous sommes servis d'un jeu de masques préexistants, développés en amont du projet par les équipes de conception de circuits. Le dessin des motifs a été réalisé avec l'outil Virtuoso de l'environnement Cadence. La figure 3.2 donne une vue d'ensemble de la puce produite. Elle est composée de quatre structures de protection DTSCR pour protéger quatre lignes de signal dans l'application. La figure présente également une vue en coupe de l'une des cellules DTSCR sur laquelle va reposer la suite de l'étude.

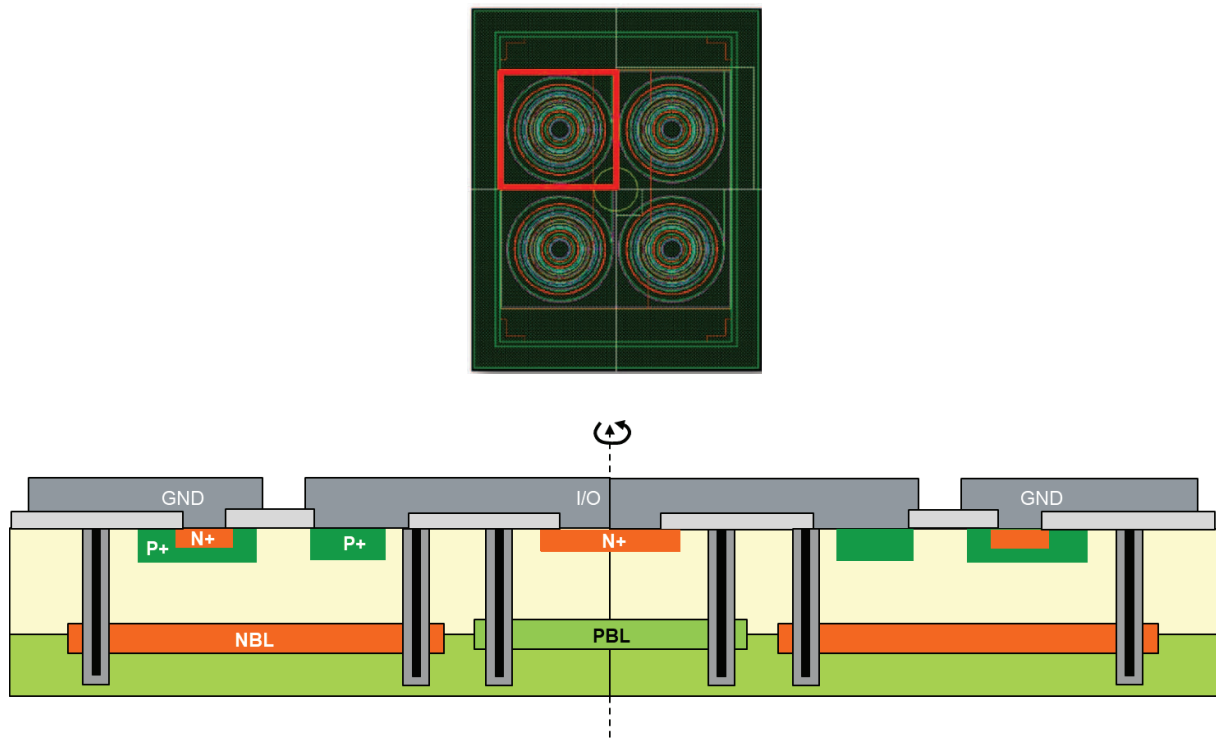


Figure 3.2: Dessin du masque de la puce produit composée de quatre cellules DTSCR, avec une vue en coupe de l'une des cellules.

3.2.Description du procédé technologique

Pour décrire la protection ESD, l'approche la plus économique en termes de temps et de ressources consiste à émuler la structure dans SDE. Dans ce cas, les profils de dopage sont décrits par des équations analytiques, dont les paramètres sont ajustés pour approcher au mieux les profils de dopage réels. Cependant, dans cette étude, l'approche analytique s'avère difficile à appliquer. En

effet, les profils de dopage sont difficiles à ajuster car la protection est en phase de développement et le procédé de fabrication n'est pas encore figé.

L'approche recommandée dans ce cas est la simulation du procédé technologique qui décrit de façon plus réaliste les profils de dopage. La simulation consiste à reprendre les étapes du procédé de fabrication en salle blanche, en ajustant les différentes étapes technologiques (implantation, recuit...) mises à disposition dans l'outil *Ligament* de SProcess. Pour mener à bien cette opération, il est nécessaire de connaître les différentes étapes, les paramètres nécessaires à leur description, ainsi que les incertitudes relatives à chaque étape.

Pour caractériser les profils de dopage actifs, la mesure SRP (*Spreading Resistance Profile*) est effectuée sur des motifs de test paramétrique représentatifs de l'empilement des couches dans le produit final. Les résultats obtenus sont superposés aux profils de dopage relevés dans la simulation suivant les coupes unidimensionnelles, au niveau de l'anode (axe BB') et de la cathode (axe AA'), comme le montre la figure 3.3.

On constate une corrélation entre l'allure des profils mesurés et celle des profils simulés. Cependant, Il est important de noter que plusieurs paramètres influencent la qualité de la mesure SRP, comme la surface de l'échantillon (l'état d'interface), ou encore la pression des pointes et leur écartement.

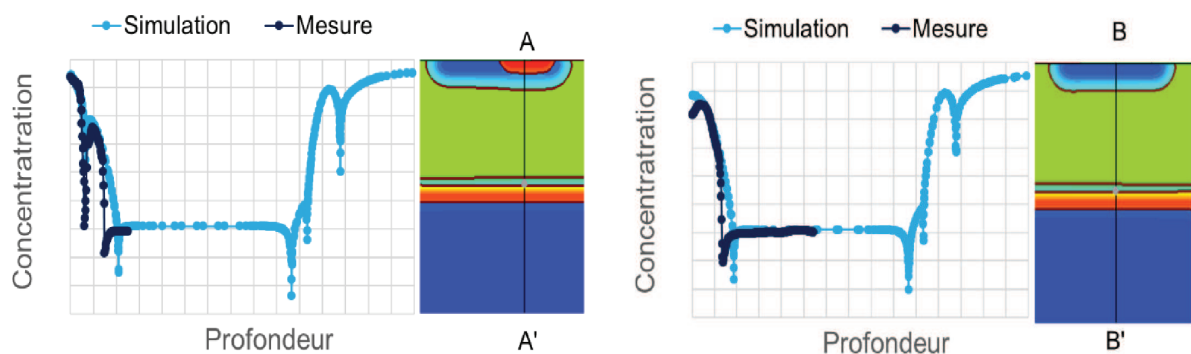


Figure 3.3 : Profil de dopage suivant les axes AA' et BB'

3.3.Simplification de la structure

Pour réduire le temps de simulation, nous avons simplifié la structure en identifiant les symétries exploitables et les étapes technologiques à émuler dans SDE.

3.3.1. Simulation 2D cylindrique

Dans la démarche de conception de la protection ESD, l'objectif est d'ajuster la simulation TCAD de façon à se rapprocher le plus possible de la réalité expérimentale. Il est donc naturel d'opter pour une structure tridimensionnelle afin de prendre en compte tous les phénomènes qui se produisent. Malheureusement avec une telle approche, un maillage complexe est nécessaire, ce qui augmente considérablement le nombre de nœuds, rendant ainsi les temps de calcul prohibitifs (plusieurs semaines).

L'autre alternative consiste à exploiter la symétrie cylindrique de la structure pour reproduire sa géométrie en forme dite de « donut » et d'obtenir des résultats plus rapidement avec une simulation en 2D (figure 3.4). L'axe de rotation est renseigné dans la section *Math* du fichier de commande SDevice avec le mot clé *Cylindrical ()* suivi des coordonnées de l'axe de rotation.

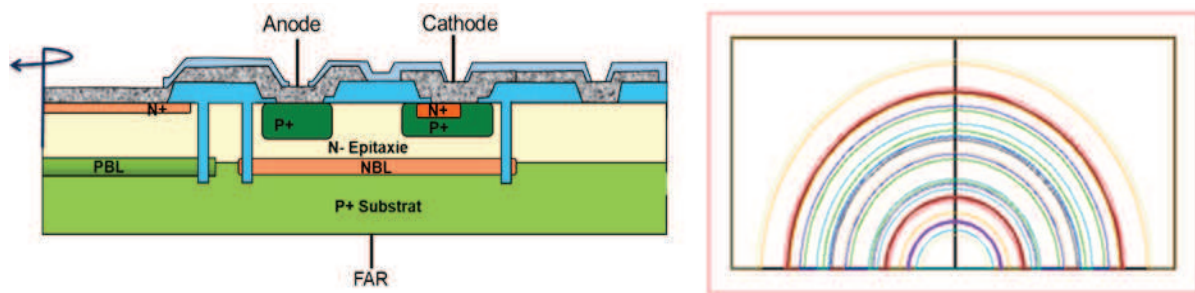


Figure 3.4: Description de la coupe technologique et du dessin du masque DTSCR par rapport l'axe de symétrie

3.3.2. Emulation des couches complémentaires dans SDE

Il est possible de diminuer le temps de simulation en excluant certaines étapes technologiques de SProcess et en les émulant sur l'environnement SDE. La protection ESD étant unidirectionnelle, on s'intéresse uniquement au fonctionnement de la structure DTSCR. Celle-ci est délimitée par les tranchées d'isolation qui permettent d'isoler électriquement la zone active. La réalisation de ces tranchées et des autres éléments externes au dispositif, comme la diode antiparallèle, peuvent être émulsés dans le fichier de commande SDE. Il en est de même pour l'ajustement de l'épaisseur d'oxyde TEOS et la création des contacts métalliques.

3.4. Maillage de la structure

Pour générer la structure dans SProcess, un remaillage doit être réalisé tout au long des étapes du procédé de fabrication. Dans ce cas, la finesse des profils de dopage et la précision des grandeurs physiques dépendent étroitement de la qualité du maillage utilisé. Pour les simulations 2D, les équipes TCAD ont développé un maillage adaptatif associé à la filière technologique étudiée, maillage que nous avons déployé dans cette étude. Il s'agit d'un maillage dynamique qui varie au cours des différents procédés technologiques. Il est régi par des critères essentiellement basés sur la concentration des dopants, son gradient et les champs d'interface. Si, par exemple, la différence de concentration entre deux nœuds voisins est supérieure à la valeur seuil préalablement définie par l'utilisateur, le système procédera à un raffinement de maillage, en divisant le côté entre les deux nœuds pour y insérer un nouveau nœud et obtenir ainsi un pas de maillage progressivement diminué. Cela permet d'obtenir des profils de concentration plus précis et évite les problèmes de divergence de la simulation.

Pour juger de la bonne qualité du maillage dans la structure, il existe certains critères comme les valeurs de la résistance par carrée et de la profondeur de jonction, ou le nombre de points. En l'absence de données expérimentales sur les profondeurs de jonction, seule l'erreur liée à la résistance par carrée est utilisée comme indicateur de la qualité du maillage. Comme illustré dans la figure 3.5-a, la résistance par carrée R_c est calculée sur une coupe verticale dans la profondeur du silicium, au niveau des caissons N⁺, P⁺ et N⁺/P⁺. La commande *SheetResistance* permet d'extraire la valeur de la résistance par carrée au niveau de la zone qui nous intéresse. En observant le figure 3.5-b, on note une bonne correspondance entre les différentes résistances expérimentales et celles obtenues à la sortie du simulateur SProcess.

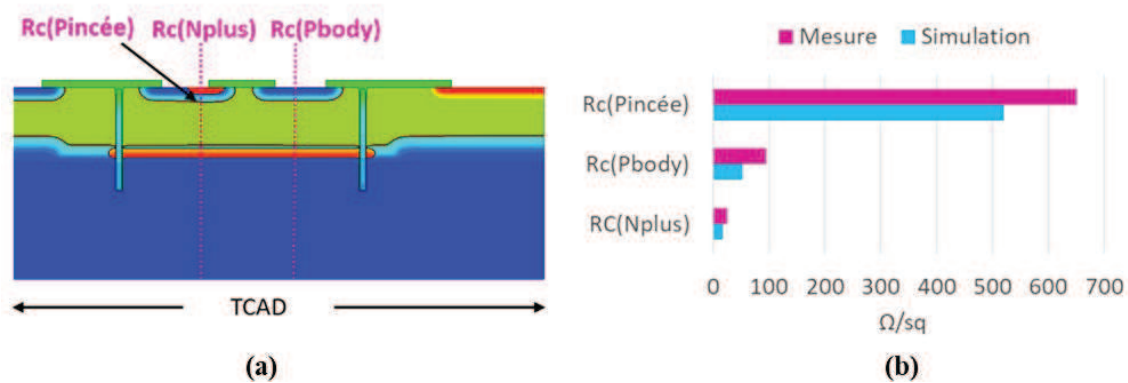


Figure 3.5: Comparaison des résistances par carrée mesurées et simulées (b), extraites à partir des coupes de la structure DTSCR (a)

La structure obtenue à la sortie de SProcess est ensuite remaillée dans SDE en fonction de la nature du test électrique à réaliser. Le maillage est resserré dans les zones électriquement actives et relâché dans le reste de la structure, comme illustré sur la figure 3.6. Prenons l'exemple des jonctions polarisées en inverse, elles sont le siège de champs électriques importants, où le taux de recombinaison et d'ionisation par impact peut être élevé.

Cela a pour effet d'engendrer des niveaux de courant importants et une augmentation de la température. Il est donc nécessaire de remailler très finement au niveau de ces zones « critiques », qui doivent être identifiées au préalable grâce aux données expérimentales et bibliographiques.

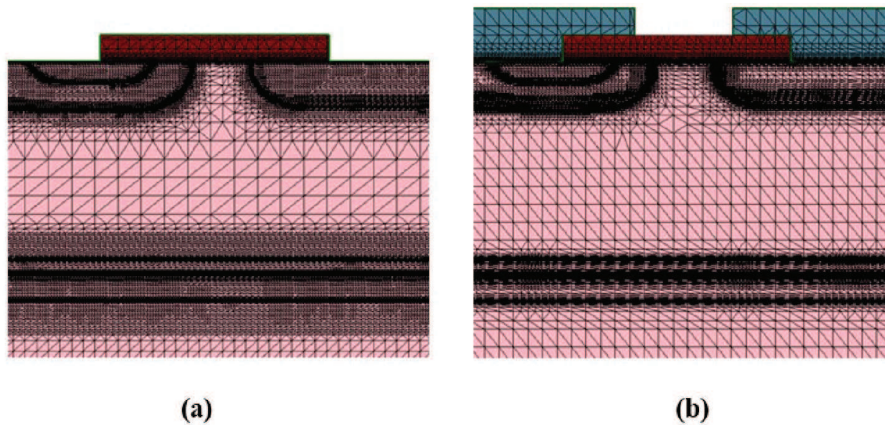


Figure 3.6 : Maillage de la structure en sortie de SProcess (a), et raffinement du maillage de la structure en sortie de SDE (b)

4. Simulation électrique et électrothermique

Les étapes suivant la génération de la structure dans SDE sont la définition des conditions aux limites et le choix des modèles physiques.

4.1. Conditions aux limites

Nous considérons deux types de conditions aux limites (figure 3.7) :

- › Electriques : les électrodes préalablement définies dans SDE, à savoir l'anode et la cathode en face avant et face arrière, sont initialisées à des tensions de polarisation de 0 V.
- › Thermiques : pour les simulations électrothermiques, la thermode est initialisée à 300 K. Il s'agit de la température ambiante du milieu extérieur (air) dans lequel évolue la protection au cours de la simulation.

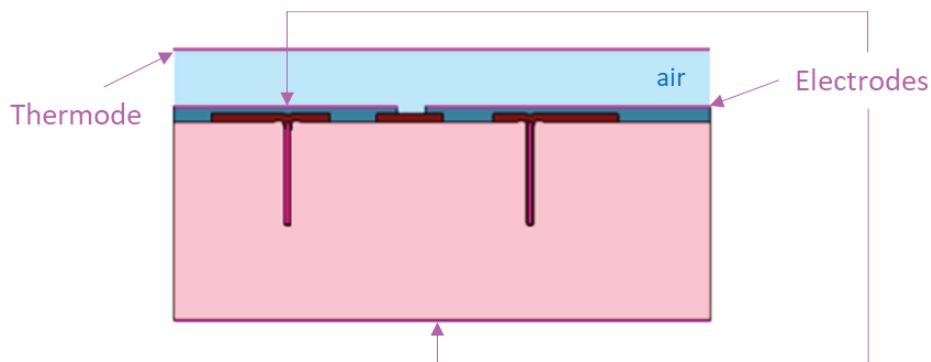


Figure 3.7 : Emplacement des électrodes et de la thermode en simulation

4.2. Choix des modèles physiques

Une fois la structure définie, il faut choisir les modèles physiques à appliquer pour décrire le comportement de la protection suivant ses différents régimes de fonctionnement. Parmi les modèles les plus couramment utilisés, on retrouve : les modèles de mobilité, de génération-recombinaison et de concentration intrinsèque des porteurs. Dans ce contexte, l'outil SDevice propose un large choix de modèles physiques, la principale difficulté consiste alors à sélectionner le jeu de modèles adéquat et d'ajuster ses paramètres pour étalonner la simulation à partir des mesures expérimentales.

Les modèles physiques de mobilité, de génération-recombinaison et de concentration intrinsèque des porteurs utilisés en simulation, en fonction des caractéristiques électriques ciblées, sont respectivement détaillés dans les trois sous-sections suivantes.

4.2.1. Modèle de mobilité

Dans le cas le plus simple, la mobilité des porteurs dans le silicium est considérée comme constante et dépend exclusivement de la température du réseau. En réalité, d'autres phénomènes physiques vont influencer la mobilité des porteurs et la dégrader. Ils doivent donc être pris en compte en simulation.

- › **Modèle de mobilité en fonction du dopage :** dans les zones dopées, la mobilité des porteurs se dégrade en fonction de la concentration en impureté dans le Silicium, qui entraîne des collisions entre les porteurs et les ions du réseau. Ce phénomène est adressé dans SDevice avec le modèle *dopingdependance*.
- › **Modèle de mobilité à fort champ électrique :** dans des conditions électriques extrêmes de fonctionnement, la vitesse des porteurs n'est plus proportionnelle au champ électrique et tend vers une limite appelée vitesse de saturation. Ce phénomène est adressé dans SDevice avec le modèle *HighFieldSaturation*.

4.2.2. Modèle de génération-recombinaison

Les mécanismes de recombinaison des porteurs interviennent lors du passage d'un électron de la bande de conduction à la bande de valence. Dans la simulation, ces mécanismes sont décrits par les modèles SRH et Auger.

- › **Les recombinaisons SRH (Shockley Read Hall)** décrivent le passage « indirect » d'un électron de la bande de conduction, à la bande de valence, via des « centres de recombinaison » appelés aussi centres profonds et situés dans la bande interdite du semi-conducteur. Ces centres sont liés à des défauts qui sont créés lors des étapes d'implantation et peuvent fortement modifier les propriétés de conduction dans la structure. Les options *DopingDependence* et *ExpTempDependence* sont activées dans le modèle *SRH*, pour tenir compte de l'influence du dopage et de la température dans la durée de vie des porteurs [SYN 15d].

- › **Les recombinaisons Auger** décrivent le passage « direct » d'un électron de la bande de conduction à la bande de valence (transition bande à bande). L'énergie qui en résulte est alors transmise à un troisième porteur, qui transite à son tour vers un autre niveau d'énergie. Ce mécanisme de recombinaison est d'autant plus important que la concentration des porteurs dans le semi-conducteur est élevée. C'est le cas pour un fonctionnement à fort niveau d'injection ou pour des niveaux de dopage importants [ESM 03].

Sous l'influence d'un champ électrique important, comme dans la zone de charge d'espace, les électrons se trouvent accélérés et peuvent entrer en collision avec les atomes du réseau cristallin et générer des paires électron-trou, qui peuvent à leur tour générer de nouvelles paires. Ce phénomène de génération par avalanche est caractérisé par un coefficient d'ionisation, calculé en simulation par le modèle *VanOverStraeten* et par le modèle *Unibo*. Le modèle *Unibo* est développé par l'université de Bologne et étalonné pour des gammes étendues de champ électrique (jusqu'à 600 kV.cm^{-1}) et de température (jusqu'à 700K) [SYN 15d].

4.2.3. Modèle de concentration intrinsèque des porteurs

La présence d'un dopage important ($n_{imp} > 10^{17} \text{ cm}^{-3}$) entraîne une diminution de la largeur de la bande interdite [FU 14]. Cela a pour effet de modifier la densité intrinsèque effective des porteurs et, par conséquent, le gain des transistors NPN et PNP qui composent le dispositif de protection. En simulation, ce phénomène est appelé « rétrécissement de la bande interdite » et il est pris en compte par le modèle *BandGapNarrowing (Slotboom)*.

L'impact de la température sur la concentration intrinsèque des porteurs est également pris en compte en mode forte injection avec la fonction de distribution de Fermi-Dirac.

5. Résultats et discussions

Pour s'assurer que les modèles physiques choisis sont bien représentatifs du comportement du DTSCR, il convient de comparer les résultats de la simulation aux résultats expérimentaux pour les trois critères de qualité d'une protection ESD, que nous avons définis dans le premier chapitre : transparence, efficacité et robustesse. L'évaluation du modèle pour chacun de ces aspects permet d'éventuellement l'optimiser en vue de l'utiliser en lieu et place d'expérimentations et obtenir ainsi un jumeau numérique (*digital twin*).

5.1.Prédiction de la transparence de la protection

Pour caractériser la transparence de la protection, nous avons considéré son courant de fuite et sa capacité.

5.1.1. Courant de fuite

La mesure du courant de fuite est réalisée avec une unité de Source et de Mesure (Keithley 2636). Une rampe de tension croissante de zéro à 10 V est appliquée aux bornes du DUT, avec des paliers de 1 V et de 100 ms. Le courant de fuite est mesuré de manière simultanée, avec une précision de 0,1 nA et une limite en courant de 100 mA. Cette configuration de test est décrite dans SDevice suivant la figure 3.8, pour simuler le comportement statique du dispositif pour les trois configurations de test suivantes :

- › SCR (FAV) : la structure est polarisée en face avant (Anode - Cathode) et la face arrière (Substrat) est flottante.
- › Diode Zener enterrée (FAR) : la structure est polarisée en face arrière (Anode - Substrat). La face avant de la structure (Cathode) est flottante.
- › DTSCR (FAV-FAR) : la face-avant (Cathode) et la face-arrière (Substrat) de la structure sont toutes les deux reliées à la masse.

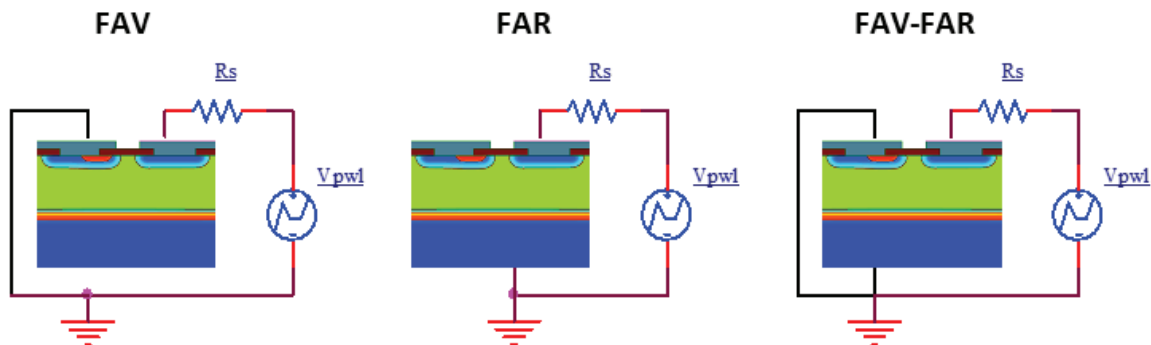


Figure 3.8: Circuit électrique de simulation statique par rampe de tension croissante : fonctionnement latéral (FAV), fonctionnement vertical (FAR), fonctionnement vertical-latéral (FAV-FAR)

Les résultats I-V obtenus sont retranscrits dans la figure 3.9. On remarque que, pour la configuration « FAV », la tension de retournement est bien au-delà des 30 V du fait de la désensibilisation du thyristor (face arrière flottante). On observe également, à travers la

superposition des courbes I-V résultantes, une bonne approximation par la simulation des performances réelles de la protection, en fonctionnement latéral (SCR) et vertical (Diode Zener enterrée).

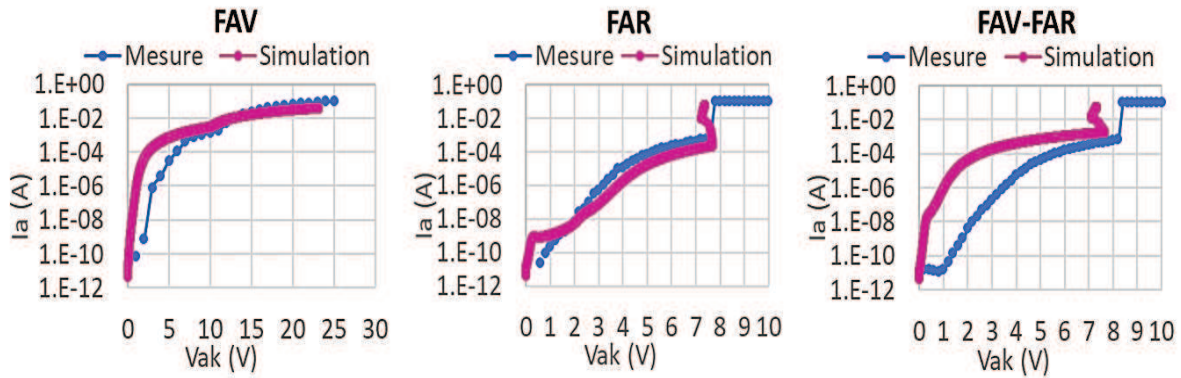


Figure 3.9 : Caractéristique I-V statique du DTSCR : fonctionnement latéral (FAV), fonctionnement vertical (FAR), fonctionnement vertical-latéral (FAV-FAR)

En configuration « DTSCR » en revanche, on note un décalage de plusieurs décades entre les courbes I-V mesurées et simulées (tableau 3.1). Cet écart peut s'expliquer par un phénomène de perçage (*punch-through*) de la base du PNP latéral, figure 3.10. A mesure que la tension de polarisation augmente, la zone de charge d'espace de la jonction $J2$, qui est le siège d'un champ électrique important, s'étend à travers la base du transistor PNP, jusqu'à atteindre la jonction $J1$. La portion de base dépeuplée crée un canal de conduction direct entre l'émetteur et le collecteur du PNP latéral, ce qui entraîne une croissance rapide du courant de fuite avant la mise en avalanche de la jonction $J2$.

Paramètre	Mesure	Simulation
Courant de fuite à 3,3 V (A)	6.10^{-07}	3.10^{-04}
Courant de fuite à 5 V (A)	5.10^{-05}	7.10^{-04}

Tableau 3.1: Mesure et simulation du courant de fuite de la protection en configuration DTSCR

Ce phénomène de perçage pourrait s'expliquer par une largeur de base plus courte que la réalité, liée à une diffusion latérale surestimée au niveau des caissons P+ du PNP latéral.

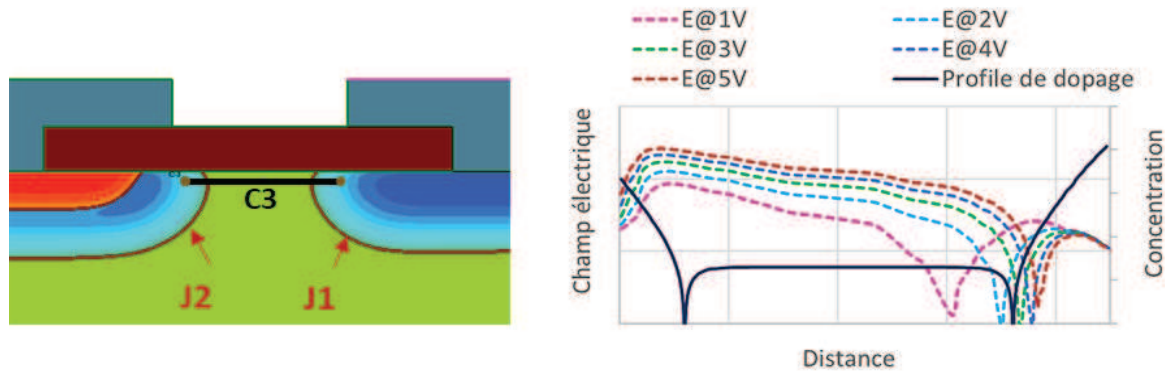


Figure 3.10 : Simulation de l'évolution du champ électrique dans la structure DTSCR au niveau de la base du PNP latéral (Coupe C3)

Pour évaluer la criticité du phénomène de perçage dans le produit étudié, des mesures de la caractéristique I-V pour différentes largeurs de base ont été réalisées sur des structures DTSCR élémentaires. Les résultats obtenus sont retranscrits dans la figure 3.11. Ils démontrent que plus la largeur de base du PNP latéral est petite, plus le courant de fuite augmente (de plusieurs décades), la largeur de base de $7\ \mu\text{m}$ étant une valeur critique dans ce cas, compte tenu du risque de perçage possible.

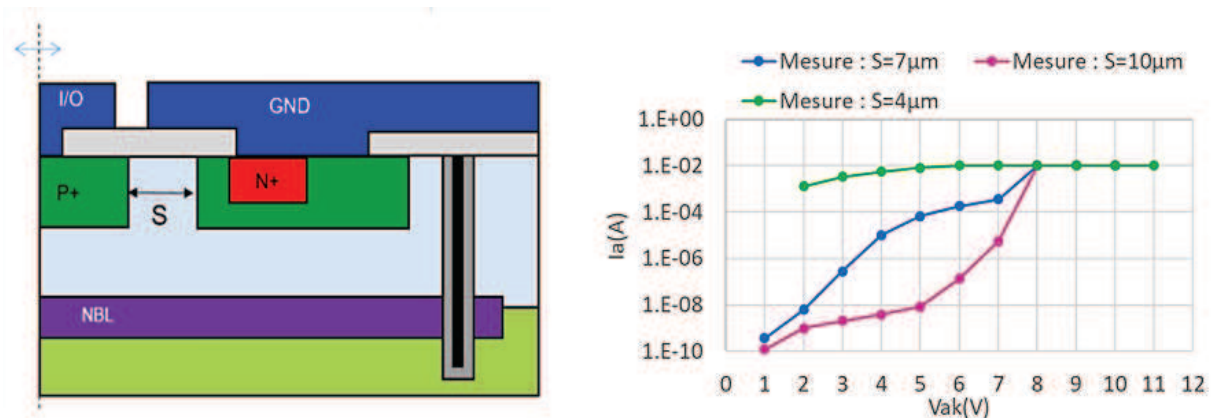


Figure 3.11 : Influence de la largeur de base du PNP latéral (S) sur les niveaux du courant de fuite dans la structure DTSCR

En conclusion, la simulation permet d'approcher le fonctionnement de la protection ESD en mode statique mais n'assure pas la prédiction exacte des niveaux de courant de fuite dans le dispositif.

5.1.2. Capacité parasite

Compte tenu du fonctionnement en régime dynamique de la structure en application, seules les capacités parasites des jonctions polarisées en inverse sont significatives. Dans la figure 3.12, la représentation simplifiée des capacités parasites de la structure tient compte des cinq contributions suivantes :

- › La capacité de jonction associée à la jonction couche-enterrée/substrat ($C_{JNBL/Substrat}$),
- › La capacité de jonction associée à la jonction épitaxie/substrat ($C_{JEpi/Substrat}$),
- › La capacité de jonction associée à la jonction P+/épitaxie ($C_{JP/Epi}$),
- › La capacité MOS associée à l'oxyde de champ (C_{MOS}),
- › La capacité associée aux tranchées d'isolation (C_{Trench}).

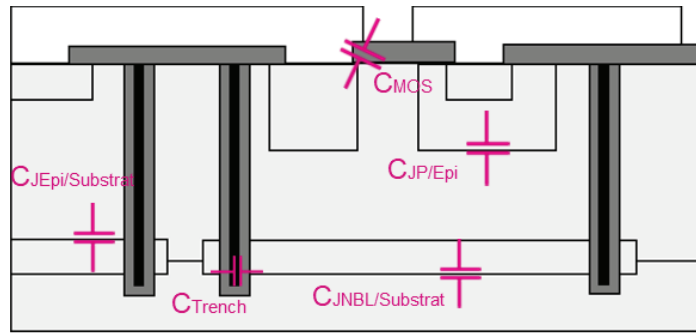


Figure 3.12 : Représentation des composantes de la capacité parasite de la structure du DTSCR

L'évolution de la capacité parasite inhérente à la structure est analysée en fonction de la fréquence d'utilisation. Cette fréquence peut atteindre 3 GHz dans certaines applications. Les mesures sont effectuées à l'aide de l'analyseur d'impédance *Keysight 4991A* et comparées aux résultats de simulation. Le simulateur SDevice analyse la variation en courant qui résulte d'une faible perturbation en tension de 30 mV (petit-signal) appliquée aux contacts du composant. Le simulateur calcule alors la matrice d'admittance Y , pour en extraire la capacité parasite autour d'un point de fonctionnement choisi à 0 V et dans une gamme de fréquences définie entre 1 MHz et 3 GHz [SYN 15d].

$$Y(j\omega) = \frac{\delta i}{\delta v} = G + j\omega C \quad (1)$$

Le dispositif de simulation AC (petit signal) et la variation en fréquence de la capacité parasite totale de la protection sont donnés dans la figure 3.13.

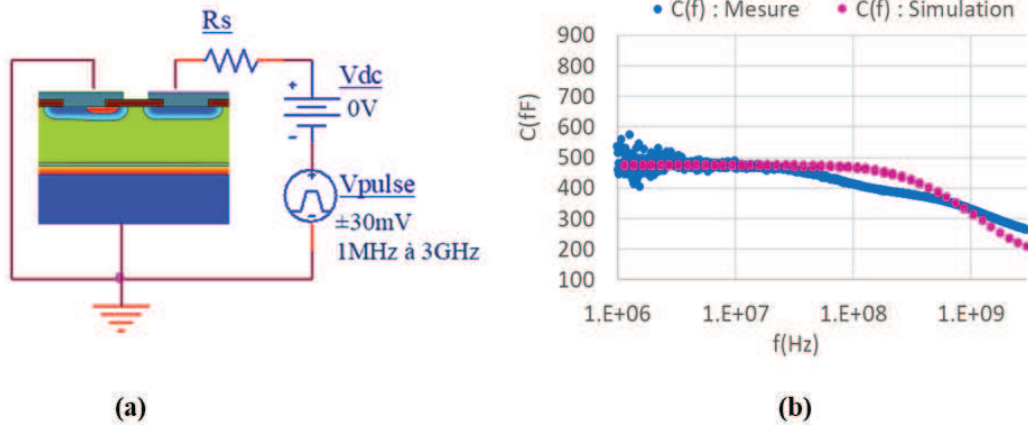


Figure 3.13 : (a) Circuit de simulation AC (petit signal). (b) Variation de la capacité parasite du DTSCR en fonction de la fréquence, et à une tension de polarisation de 0 V : mesure et simulation

La figure 3.13-b montre une diminution graduelle de la valeur de la capacité, à mesure que la fréquence de la tension d'oscillation augmente. A partir d'une fréquence seuil notée f_0 de 2,7 GHz (mesure) et 2,1 GHz (simulation), on observe une diminution de 50 % de la capacité parasite totale de la structure. Ce phénomène s'explique, en partie, par la différence qui se crée entre les délais de recombinaison des porteurs et la fréquence du signal appliqué. En régime AC, la capacité de jonction C_j est modélisée par la somme de deux capacités en parallèle : la capacité de déplétion C_{zce} dépend de la tension de polarisation DC, tandis que la capacité de diffusion C_{diff} dépend de la fréquence du signal AC [LUC 93].

A basse fréquence, les capacités parasites relatives aux jonctions PN tiennent compte à la fois de la contribution des capacités de déplétion et des capacités de diffusion. A noter que, pour un point de polarisation à 0 V, la zone de déplétion est plus mince et, par conséquent, la capacité de diffusion est prédominante. Pour des fréquences supérieures aux fréquences caractéristiques de recombinaison des porteurs de charge, ces derniers ne suivent plus les variations du signal AC et la contribution de la capacité de diffusion devient donc négligeable devant la capacité de déplétion [LUC 93]. Il en résulte une contribution plus faible des capacités de jonction aux très hautes fréquences.

Le tableau 3.2 est un récapitulatif des résultats de variation en fréquence de la capacité parasite totale de la protection en simulation et en expérimental. On remarque que, malgré les différences attendues, compte tenu des approximations retenues pour traiter le problème de simulation, les

résultats montrent une bonne corrélation avec la mesure : à la fois pour les valeurs de capacité à basse fréquence (10 MHz) et à haute fréquence (3 GHz).

Paramètre	Mesure	Simulation
Capacité à 10 MHz (fF)	475	472
Capacité à 3 GHz (fF)	264	209
Fréquence de seuil f_0 (GHz)	2,7	2,1

Tableau 3.2: Mesure et simulation de la capacité parasite totale du DTSCR

On note également sur la figure 3.13-b que la courbe $C(f)$ mesurée présente un « plateau » à haute fréquence, durant la phase de décroissance de la capacité et qu'on ne le retrouve pas en simulation. Il en résulte une différence entre la fréquence de seuil f_0 simulée et expérimentale. La capacité parasite totale étant une combinaison de capacités MOS et de capacités de jonction, plusieurs paramètres peuvent alors être à l'origine de ce « plateau », comme l'épaisseur de la couche d'oxyde, le niveau de dopage dans la zone d'extension, la durée de vie des porteurs ou encore la contribution des états d'interface (défauts électriquement actifs situés à l'interface Oxyde/Silicium). Ces derniers peuvent induire une capacité parallèle à la capacité du semi-conducteur. A noter également que pour les besoins de la mesure RF (compte tenu du fonctionnement à la fois vertical et latéral de la structure), les tests $C(f)$ ont été effectués sur un produit assemblé en boîtier. Cependant, la simulation réalisée ici ne prend pas en compte l'effet inductif des fils d'interconnexion.

5.2. Prédiction de l'efficacité de la protection

Pour caractériser l'efficacité de la protection, nous avons considéré ses points de déclenchement et de maintien, sa résistance série et son temps de déclenchement. Ces grandeurs électriques sont extraites suivant deux modes de caractérisation expérimentale : statiques et quasi-statiques.

5.2.1. Mode statique

Deux points de la caractéristique courant-tension sont particulièrement importants pour caractériser l'efficacité de la protection : le point de déclenchement qui définit la tension maximale aux bornes de la protection et le point de maintien qui donne les conditions de coupure de la protection.

5.2.1.1. Point de déclenchement

Le traceur de courbe est généralement utilisé pour obtenir la caractéristique statique de la protection et approximer les grandeurs électriques de déclenchement et de maintien. Le principe de fonctionnement du traceur consiste à appliquer une tension sinusoïdale aux bornes du composant et mesurer le courant résultant, lequel sera limité par une résistance de charge placée en série dans le circuit. Ce montage est décrit dans SDevice pour simuler le comportement statique du dispositif à l'état passant, comme l'illustre la figure 3.14-a.

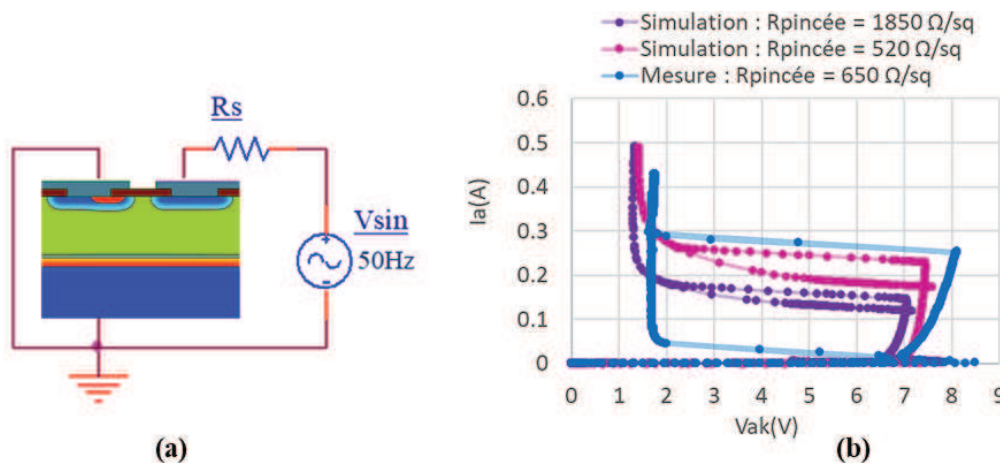


Figure 3.14 : (a) Circuit électrique de simulation statique avec une tension sinusoïdale, (b) Impact de la résistance pincée sur la caractéristique I-V de la protection : mesure et simulation

Lorsque la tension de polarisation est supérieure à la tension de retournement du SCR, la protection passe en mode actif. Cette tension de déclenchement ou de retournement est régie par la résistance pincée qui définit la « sensibilité du thyristor » [LET 01]. Plus la résistance pincée est faible et plus la tension et le courant de retournement sont importants [ARN 92].

En confrontant les caractéristiques expérimentales et simulées, on remarque que, pour une résistance pincée simulée de $1850 \Omega/sq$, correspondant à un maillage adaptatif relâché dans SProcess, l'écart de simulation est de 62 % pour le courant et de 15 % pour la tension de déclenchement (figure 3.14-b). Avec un maillage plus resserré, la résistance pincée est plus proche de la valeur expérimentale ($650 \Omega/sq$) et l'écart diminue pour passer à 3 % pour le courant et 9 % pour la tension de déclenchement (tableau 3.3). Dès lors, on peut déduire que la résistance pincée est un paramètre clé dans l'étalonnage du modèle de simulation. Au vu des résultats obtenus, nous

pouvons considérer que le dispositif simulé permet une bonne représentation du comportement statique de la protection ESD vis-à-vis du point de déclenchement.

Paramètre	Mesure	Simulation
Tension de déclenchement (V)	8,1	7,4
Courant de déclenchement (mA)	225	218

Tableau 3.3: Mesure et simulation de la tension et du courant de déclenchement statiques du DTSCR

5.2.1.2. Point de maintien

On constate un écart important entre le courant de maintien expérimental et celui simulé, figure 3.14-b et tableau 3.4. Cet écart est lié au caractère bidimensionnel de la simulation. En effet, durant le processus de déclenchement, l'avalanche peut être d'abord localisée en périphérie de la jonction Gâchette-Cathode mais, lorsque le courant devient important, il s'étend à toute la jonction et dans toute la zone d'amorçage. Le seuil de déclenchement est donc associé à un phénomène uniforme bien représenté par une simulation 2D. En revanche, lors de l'ouverture du SCR, le courant est localisé et n'est pas uniformément réparti dans la structure comme le suppose la simulation 2D [TRE 04] [SAL 05]. Par conséquent, cela entraîne une erreur importante dans l'estimation du courant de maintien. Pour y remédier, une simulation 3D du dispositif serait nécessaire mais cela peut s'avérer lourd à la fois en temps et en ressources de simulation.

Paramètre	Mesure	Simulation
Tension de maintien (V)	1,7	1,5
Courant de maintien (mA)	54	350

Tableau 3.4: Mesure et simulation de la tension et du courant de maintien statiques du DTSCR

L'extraction des points de déclenchement et de maintien à partir des simulations au traceur a permis de mettre en lumière deux points essentiels à l'étalonnage des résultats de simulation : la résistance pincée et la dimension de la structure. Dans ce qui suit, nous avons évalué la qualité de la prédiction du modèle de simulation mais, cette fois-ci, pour des mesures quasi-statiques, avec des stress de courte durée et des niveaux de courants importants.

5.2.2. Mode Quasi-statique

La simulation du test TLP peut s'effectuer suivant deux méthodes distinctes :

- › La méthode par impulsions carrées de courants.
- › La méthode par rampe moyenne de courant ACS (*Average Current Slope*) [BEN 12].

Méthode par impulsions carrées de courant :

Il s'agit d'une méthode de simulation calquée sur la procédure TLP expérimentale, avec des temps de montée et des durées d'impulsions identiques. Cette méthode impulsionnelle permet d'obtenir des résultats de simulation proches de la réalité expérimentale, en revanche elle nécessite autant de simulations que de points dans la caractéristique TLP souhaitée, ce qui engendre des temps de simulation importants [SAL 05].

Méthode par rampe moyenne de courant ACS :

Il s'agit d'une méthode de simulation transitoire, qui consiste à appliquer une rampe en courant d'une durée similaire à celle du TLP. Son amplitude doit être suffisamment élevée pour obtenir la caractéristique I-V complète de la protection. La méthode ACS permet un gain de temps considérable en termes de durée d'exécution. En revanche, les phénomènes thermiques sont moins bien pris en compte, contrairement à la méthode impulsionnelle [GUI 02].

5.2.2.1. Point de déclenchement

Dans cette étude, la simulation TLP est définie par une source de tension et une résistance de $50\ \Omega$ en série (figure 3.15). Une rampe est paramétrée avec une durée initiale de 100 ns et un niveau de tension équivalent à la tension maximale paramétrée dans le testeur TLP (700 V).

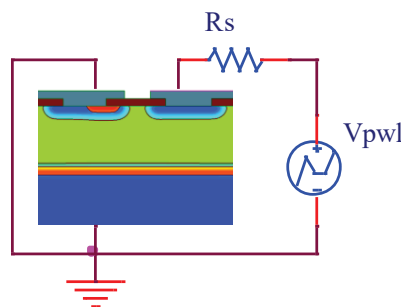


Figure 3.15 : Circuit de simulation par rampe

En observant la figure 3.16-a, on remarque que pour une rampe de 100 ns, la caractéristique I-V de la simulation affiche une tension de déclenchement similaire à l'expérimental. En revanche, le courant de déclenchement est quatre fois plus grand que celui mesuré. Toutefois, plus on augmente

la durée de la rampe en tension appliquée, plus le retournement de la structure est important. La simulation converge alors vers une zone de maintien conforme à l'expérimental.

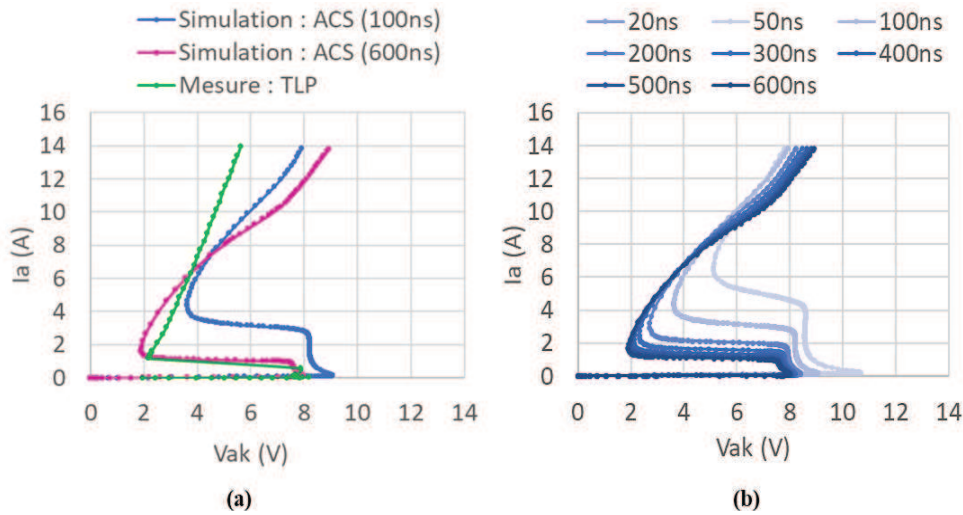


Figure 3.16 : Comparaison des caractéristiques I-V de la mesure et de la simulation (a), caractéristiques I-V simulées avec la méthode ACS en fonction de la durée de la rampe en tension appliquée (b)

D'après les résultats de simulation de la figure 3.16-b, l'allure de la courbe I-V obtenue en variant la durée de la rampe de 20 ns à 600 ns, pourrait s'expliquer par un retournement partiel du SCR. En effet, en observant les résultats expérimentaux de la figure 3.17, on note que pour des durées d'impulsions TLP inférieures à 100ns, l'amorçage du thyristor demeure partiel. Ce phénomène s'explique par le mode de retournement des structures SCR, qui se traduit par un déclenchement successif de deux transistors bipolaires, dont la rapidité est souvent limitée par le temps de transit des porteurs à travers leurs bases. Il en résulte alors un retournement « partiel » du SCR, comme on peut le voir pour des durées d'impulsions de 30 ns et 50 ns. Il est donc important de choisir une durée de rampe suffisamment longue en simulation (~600 ns) pour garantir un retournement complet de la structure (tableau 3.5).

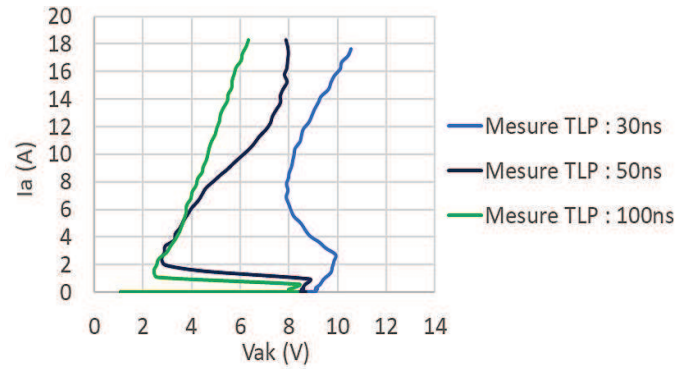


Figure 3.17 : Caractéristiques I-V mesurées en fonction de la durée des impulsions TLP

Paramètre	Mesure TLP	Simulation ACS	
		100 ns	600 ns
Tension de déclenchement (V)	7,9	8,1	7,5
Courant de déclenchement (A)	0,58	2,6	0,91

Tableau 3.5: Mesure et simulation de la tension et du courant de déclenchement quasi-statiques du DTSCR

5.2.2.2. *Résistance série*

La corrélation entre les caractéristiques I-V simulées et mesurées est relativement bonne durant la phase de repliement de la structure, figure 3.18. En revanche, cette corrélation se dégrade à mesure que la protection entre en régime de forte densité de courant. Cette divergence peut être attribuée à des phénomènes physiques, associés à des contraintes électrothermiques, mal pris en compte dans la simulation.

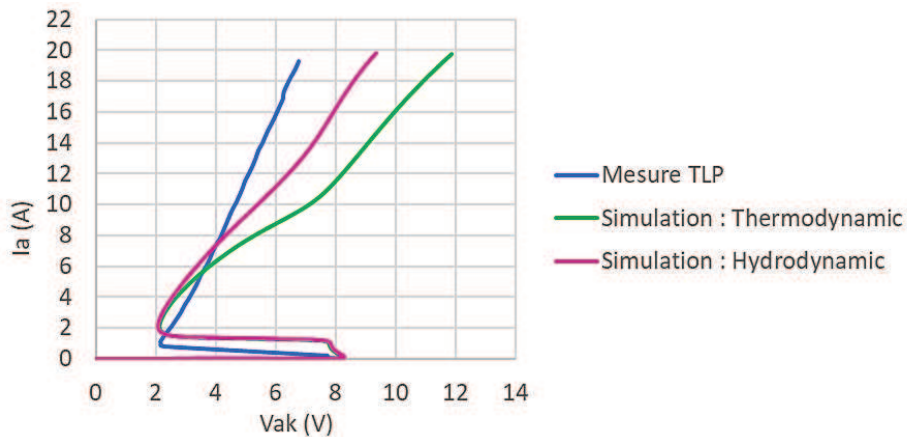


Figure 3.18 : Caractéristiques I-V mesurées et simulées en fonction du modèle de transport utilisé

Pour décrire la dynamique des charges dans les composants semi-conducteurs, le simulateur SDevice propose trois modèles de transport : le modèle *Drift-Diffusion* (par défaut), le modèle *Thermodynamic* et le modèle *Hydrodynamic* [SYN 15d].

Pour tenir compte de l'évolution de la température dans la structure durant le test TLP, la simulation résout l'équation de la chaleur en plus des équations *drift-diffusion*. Le modèle *thermodynamic* est ajouté ensuite pour prendre en compte l'effet de l'agitation thermique sur le déplacement des porteurs, en plus de l'influence de leur gradient de concentration et du champ électrique.

Toutefois, les résultats de simulation de la figure 3.18, montrent un écart important à fort niveau de courant comparé à la courbe I-V expérimentale. Cet écart se réduit en utilisant le modèle *hydrodynamic*. Ce modèle est en effet mieux adapté aux simulations de composants de faibles dimensions, avec des zones actives qui sont parfois le siège de fortes variations de champ électrique [LAC 09] [SYN 15d]. Le modèle *hydrodynamic* est également recommandé en régime de forte injection. Dans ce régime, les porteurs de charge acquièrent une énergie cinétique importante et l'équilibre thermique entre les porteurs et le réseau cristallin n'est pas forcément garanti, comme c'est supposé dans l'approche thermodynamique [SYN 15d]. Le modèle *hydrodynamic* tient compte de ce phénomène en prenant en considération la température des porteurs électrons trous dans la formulation des équations de transport [SYN 15d].

Outre l'incidence de la température sur les phénomènes de transport, d'autres mécanismes peuvent affecter la mobilité des porteurs et, par conséquent, le processus de conduction dans la structure. Dans la figure 3.19, on remarque que le modèle *Unibo*, initialement choisi pour décrire la mobilité des porteurs lors du stress TLP, ne permet pas une bonne corrélation avec l'expérimental pour les fortes densités de courant et ce, bien que ce modèle soit étalonné pour une large gamme de champs électriques et de températures [SYN 15d]. Cette divergence de résultats se traduit par un écart de 100 % avec la résistance série expérimentale. Parmi les paramètres pouvant affecter la mobilité figurent la température, le dopage, mais également les collisions entre porteurs ou avec les impuretés de réseau [SAL 05]. Le modèle de mobilité *Phumob* (*Philips Unified Mobility Model*), proposé par SDevice, permet de prendre en compte ces interactions tout en étant bien étalonné pour des structures de type bipolaire et de type MOS [SYN 15d]. L'utilisation du modèle *Phumob* est donc parfaitement justifiée pour l'étude du dispositif DTSCR. Les résultats de la figure 3.19

montrent en effet une meilleure corrélation avec la courbe I-V expérimentale et un écart de résistance série réduite à 46 %.

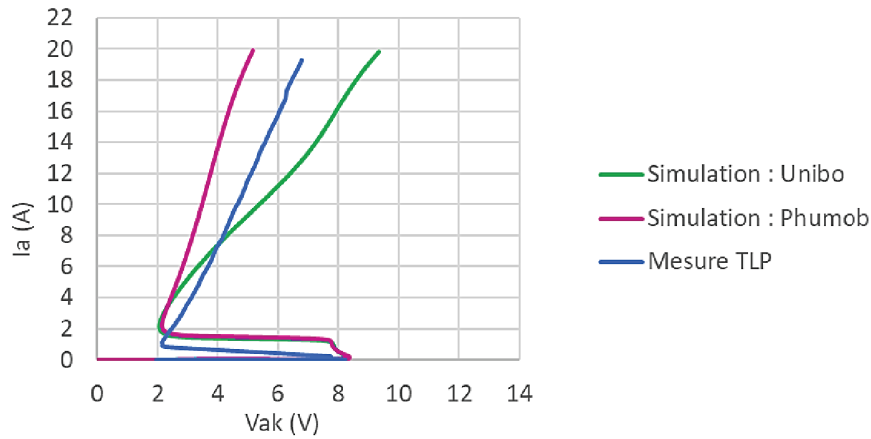


Figure 3.19 : Caractéristiques I-V mesurées et simulées en fonction du modèle de mobilité utilisé

En observant la figure 3.19, on note que la résistance série de la protection à l'état passant est optimiste comparée à l'expérimental (respectivement $0,15 \Omega$ contre $0,22 \Omega$). En effet, la simulation ne tient pas compte de la résistance de contact métal-silicium de la structure. Dans la pratique, cette résistance doit être la plus faible possible et dépend de plusieurs paramètres tels que le type de dopage, sa concentration surfacique, l'adhérence des contacts ou encore le type de métallisation. Pour refléter cette réalité, une résistance ohmique a été rajoutée dans la définition des électrodes du fichier de commande SDevice. Cette résistance est ajustée de manière à faire corrélérer la caractéristique I-V simulée avec celle expérimentale, comme le montre la figure 3.20.

On remarque que pour une résistance de $100 \text{ m}\Omega$, la résistance série définie entre les points 4 A et 16 A présente un écart de 5 % avec l'expérimental (tableau 3.6). Cela représente une bonne approximation des performances réelles de la structure DTSCR en mode quasi-statique.

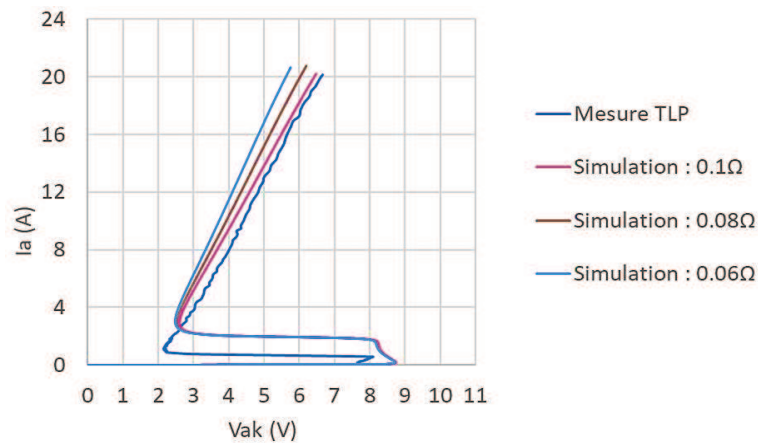


Figure 3.20: Caractéristiques I-V simulées par la méthode ACS en fonction de la résistance de contact

Paramètre	Mesure	Simulation
Résistance série [4A -16A] (Ω)	0,22	0,23
Tension d'écrtage à 16A (V)	5,6	5,5

Tableau 3.6: Mesure et simulation de la résistance série et de la tension d'écrtage

5.2.2.3. *Temps de déclenchement sur une impulsion TLP*

Les mesures TLP et VF-TLP sont parfois utilisées pour quantifier la rapidité de déclenchement des stratégies de protection lors d'un stress ESD. La définition du temps de déclenchement pour les structures DTSCR est détaillée dans le chapitre 2. Pour les besoins comparatifs de la simulation, l'extraction du temps de déclenchement est effectuée avec la méthode de la charge critique, illustrée dans la figure 3.21.

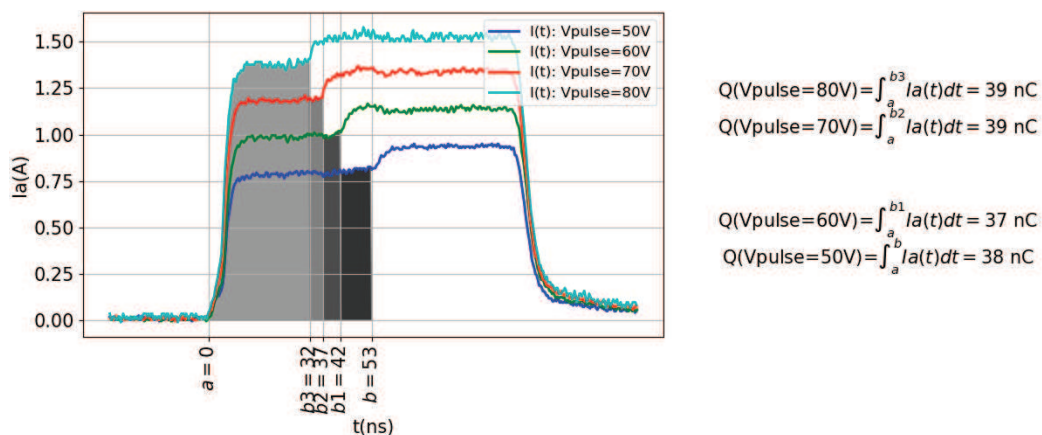


Figure 3.21 : Quantité de charge extraite à partir de la réponse temporelle en courant ; mesure TLP

Le simulateur TLP est représenté dans la figure 3.22 par une résistance de $50\ \Omega$, en série avec une source de tension paramétrée pour générer des impulsions carrées, d'une durée de 100 ns avec un temps de montée de 5 ns.

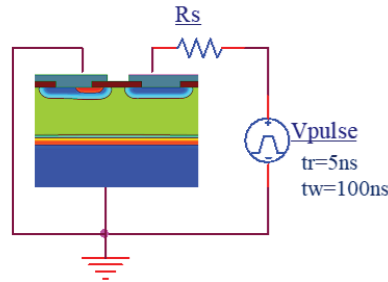


Figure 3.22 : Circuit électrique de simulation TLP par impulsions carrées de tension

La simulation du montage permet d'obtenir les chronogrammes de la figure 3.23. Avant l'amorçage de la structure (figure 3.23-a), le courant et la tension à ses bornes sont légèrement décalés par rapport à la mesure. Au retournement (figure 3.23-b), on observe une meilleure stabilisation de la tension et du courant au niveau de la zone de moyennage (70 ns - 90 ns), avec un retard de déclenchement d'une dizaine de nanosecondes.

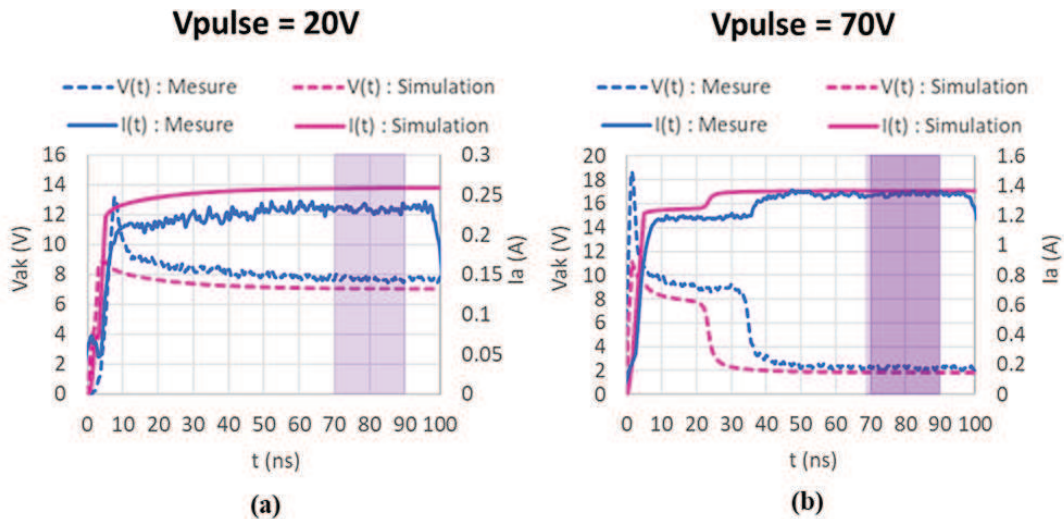


Figure 3.23 : Comparaison de la réponse temporelle en tension et en courant dans la zone de déclenchement (a) et dans la zone de maintien (b) : mesure et simulation TLP

Pour extraire le temps de déclenchement du DTSCR en simulation, on commence par identifier les tensions de précharge TLP associées à la phase de retournement de la protection. Les réponses

temporelles $I(t)$ correspondantes sont ensuite utilisées pour quantifier la quantité de charge critique nécessaire à l'amorçage de la structure (figure 3.24).

On note dans les figures 3.24 et 3.21 que la quantité de charge simulée est deux fois plus faible que celle mesurée. Le temps de déclenchement correspondant est relevé dans la zone de maintien et un écart de 61 % est noté par rapport à l'expérimental (tableau 3.7).

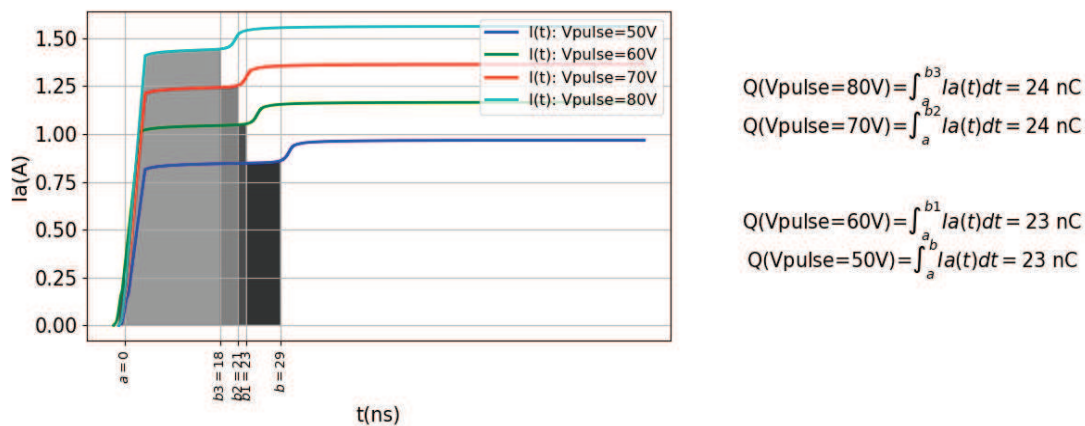


Figure 3.24 : Quantité de charge extraite à partir de la réponse temporelle en courant ; simulation TLP

Paramètre	Mesure	Simulation
Temps de déclenchement à 70V (ns)	37	23

Tableau 3.7: Mesure et simulation du temps de déclenchement du DTSCR en fonctionnement quasi-statique

Pour ajuster le temps de déclenchement simulé à celui mesuré, il faudrait idéalement étalonner le gain en courant des transistors PNP et NPN qui composent le DTSCR [SAL 05]. Cependant, cette approche s'avère difficile à mettre en œuvre à ce stade de l'étude, de par la variabilité du procédé technologique et le manque des motifs élémentaires dédiés à la caractérisation des transistors NPN et PNP. Nous avons donc opté pour une approche plus pratique, qui consiste à utiliser la quantité de charge critique pour étalonner le modèle de simulation.

Nous avons vu à travers les résultats TLP du chapitre 2, que la protection DTSCR étudiée se retourne une fois qu'elle a atteint une certaine quantité de charge critique. Cette grandeur est reliée au temps de déclenchement du SCR par le temps de transit des porteurs dans les deux bases N et P des transistors qui le composent. Parmi les paramètres qui influencent le temps de transit, figurent

la largeur de base des transistors bipolaires et le profil de dopage. Ce dernier a été préalablement pris en compte dans les mécanismes de recombinaison à travers le modèle de *Scharfetter*, qui traduit la dépendance entre la durée de vie des porteurs et la concentration en impuretés [SYN 15d]. Dans ce modèle, la durée de vie des porteurs notée τ_{max} est définie comme suit :

Paramètre	Electrons	Trous
τ_{max} (s)	1×10^{-5}	3×10^{-6}

Tableau 3.8: Valeurs par défaut des durées de vie des porteurs dans le simulateur SDevice [SYN 15d]

Pour observer l'influence de la durée de vie des porteurs sur le temps de déclenchement du DTSCR et sur sa quantité de charge critique, nous avons fait varier les valeurs par défaut de la durée de vie des électrons et des trous de quelques décades. Les résultats de simulation sont reportés dans la figure 3.25.

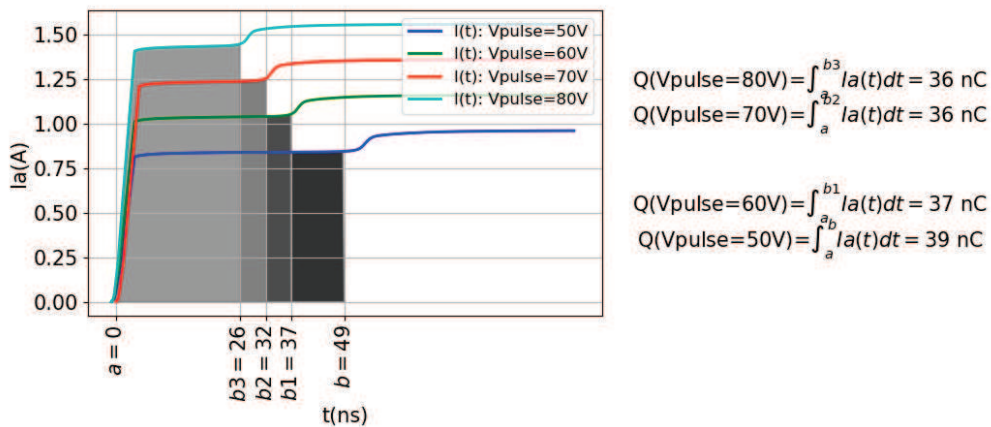


Figure 3.25 : Quantité de charge extraite à partir de la réponse temporelle en courant ; simulation TLP

On note une meilleure corrélation avec l'expérimental pour des durées de vie relativement plus faibles ($\tau_{max_e} = 7 \mu s$ et $\tau_{max_h} = 0,3 \mu s$). En traçant dans la figure 3.26, les courbes de tension et de courant simulées à partir des nouvelles valeurs de τ_{max} , on obtient une meilleure corrélation avec la mesure. Ces résultats s'expliquent par l'augmentation du taux de recombinaison lié à la diminution de la durée de vie des porteurs. Il en résulte une diminution du gain en courant, lequel a une incidence directe sur la sensibilité du SCR [ARN 92]. On observe alors une augmentation des niveaux de tension et de courant durant la phase de retournement, comme le décrit le tableau 3.9.

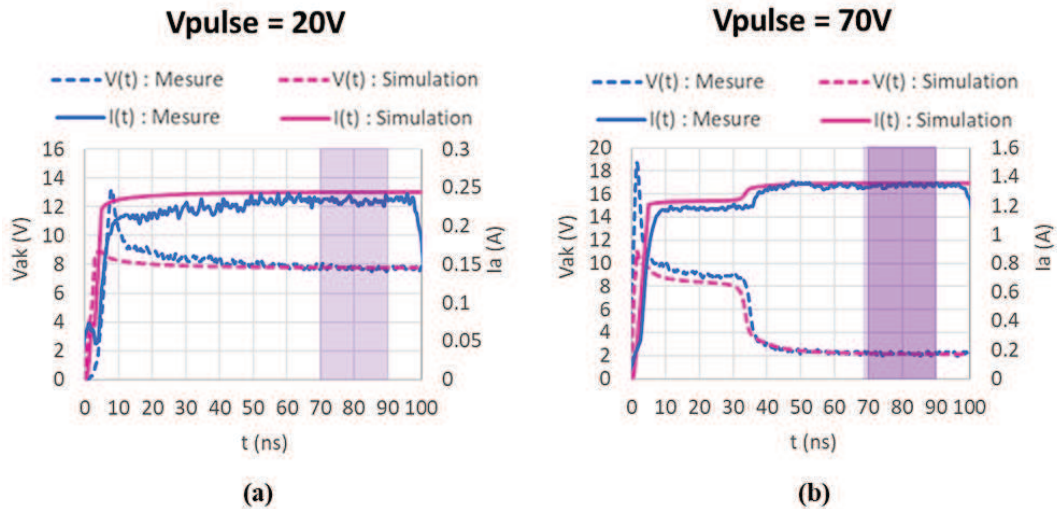


Figure 3.26 : Comparaison de la réponse temporelle en tension et en courant dans la zone de déclenchement (a) et dans la zone de maintien (b) ; mesure et simulation TLP

A noter que la diminution de la durée de vie des porteurs suppose une forte concentration de défauts dans le silicium et inversement. Ces défauts peuvent se former à la suite des étapes d'implantation et de recuits rapides par exemple. La durée de vie des porteurs est donc un paramètre critique dont il convient de tenir compte lors de l'étalonnage de la simulation, pour qu'il soit le plus représentatif possible du procédé technologique étudié.

Paramètre	Mesure	Simulation
Temps de déclenchement à 70V (ns)	37	32

Tableau 3.9: Mesure et simulation du temps de déclenchement en fonctionnement quasi-statique

L'extraction du temps de déclenchement du DTSCR à partir des simulations TLP a permis d'étalonner la durée de vie des porteurs. A partir de ces résultats, nous avons évalué dans ce qui suit la rapidité de la structure simulée, pour des formes d'ondes plus énergétiques de type IEC61000-4-2.

5.2.2.4. Temps de déclenchement pour un stress HMM

Un générateur HMM est utilisé pour stresser le dispositif de protection. Il est basé sur la norme système IEC 61000-4-2. La forme d'onde générée est de très forte puissance, avec une durée d'impulsion similaire à l'HBM et un premier pic nettement plus rapide et plus fort en courant. L'intérêt de la caractérisation HMM réalisée à partir d'un banc de type TLP réside dans la stabilité

et la répétabilité de la mesure par rapport à une décharge au pistolet ESD. Cela permet une bonne extraction de la réponse temporelle de la protection pour chaque niveau de précharge appliqué. Pour étudier le comportement du dispositif en régime IEC, le schéma électrique de la figure 3.27 est utilisé pour reproduire les décharges ESD.

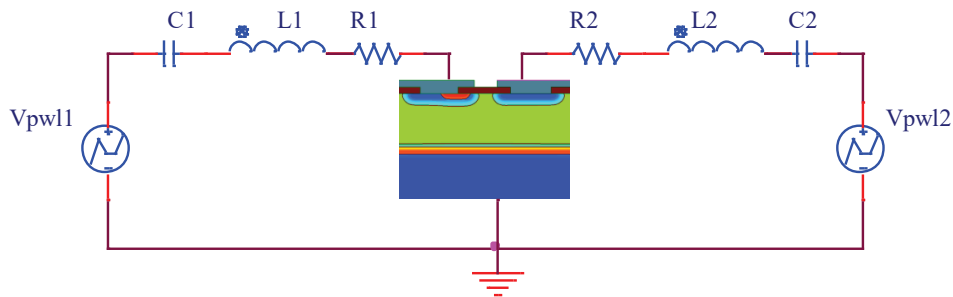


Figure 3.27 : Circuit électrique de simulation IEC61000-4-2

D'après les résultats de la figure 3.28, la réponse en tension du dispositif se superpose à la courbe expérimentale, avec un début d'amorçage à 10 ns. La surtension observée peut être liée au boîtier et à la rapidité de déclenchement de la structure verticale (diode Zener). En effet, cette couche enterrée est relativement sensible au procédé technologique. Cela se traduit par une remontée du substrat durant les étapes de recuit. Ce phénomène est difficile à étalonner en simulation, de par la variabilité du phénomène et la profondeur de la couche enterrée.

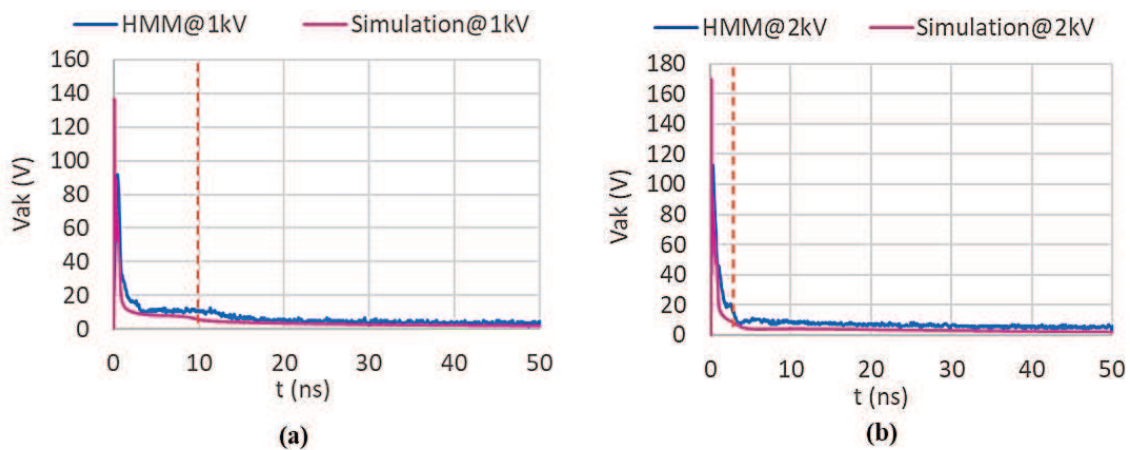


Figure 3.28 : Comparaison de la réponse temporelle en tension à 1 kV (a) et 2 kV (b) : mesure et simulation HMM

Bien que les mesures HMM soient généralement déployées pour évaluer la robustesse des structures de protection, elles permettent également de mieux nous éclairer sur l'efficacité de la protection et la qualité de la simulation. En effet, les simulations HMM nous renseignent sur deux points :

- Les niveaux de surtensions auxquels on pourrait s'attendre avec la structure simulée. Ceux-ci sont environ 50 % plus fort que l'expérimental.
- Le délai d'amorçage de la structure latérale SCR. Dans ce cas, la simulation HMM donne la même tendance que l'expérimental, avec un délai d'amorçage d'une dizaine de nanosecondes à 1 kV et un amorçage quasi-instantané (quelques nanosecondes) pour des niveaux de précharges plus élevés (2 kV).

Dans ce qui suit, nous nous sommes intéressés au niveau de robustesse de la structure simulée, mais cette fois-ci en le comparant au niveau de robustesse expérimental IEC61000-4-2, le but étant de s'affranchir des limitations en tension de précharge du testeur HMM.

5.3.Prédiction de la robustesse de la protection

Outre le fait de protéger efficacement l'application, la protection doit pouvoir supporter des niveaux de tension ESD relativement élevés. Pour évaluer la robustesse du dispositif étudié, nous avons considéré son courant de destruction, extrait à partir des simulations TLP et son niveau de destruction lorsqu'un stress de type IEC61000-4-2 lui est appliqué.

5.3.1. Robustesse TLP : Courant de destruction

Pour évaluer la robustesse du dispositif de protection face aux phénomènes ESD, ce dernier est soumis à différents types de stress ESD : HBM, CDM, IEC61000-4-2. Il s'agit de tests destructifs normés, dont le but est de certifier le niveau de robustesse ESD du composant dans le milieu industriel. Ces tests de qualification n'apportent aucune information quant au comportement du composant avant sa destruction. L'apparition d'une dégradation de type filamentation ou fusion se traduit alors par un court-circuit qui entraîne une augmentation du courant de fuite. Ce critère de défaillance ne peut pas être reproduit en simulation, car le simulateur ne peut pas modifier les propriétés de la structure et donc reproduire les signatures de dégradation [NOL 05]. Il faut donc suivre l'évolution de certaines grandeurs physiques comme la température, pour identifier le courant de défaillance I_{t2} , qui correspond au claquage thermique de la structure.

Dans les travaux de C. Salamero, le critère de défaillance du dispositif de protection repose sur l'évolution des porteurs générés électriquement et thermiquement dans le dispositif, pour différentes valeurs de courant TLP. L'évolution de ces deux paramètres est poursuivie jusqu'à la limite de validité en température des modèles physiques utilisés. L'extrapolation et l'intersection des deux courbes d'évolution définissent ensuite le courant de défaillance I_{t2} [SAL 05]. Malgré l'intérêt de cette méthode, elle est difficilement applicable dans notre cas d'étude car elle nécessite que la structure soit minutieusement étalonnée et préalablement optimisée en termes d'homogénéité de conduction [SAL 05] [NOL 05]. Or nous avons observé dans la [section 5.2.1.2](#) un écart dans l'évaluation de certains paramètres électriques comme le point de maintien, qui est lié, entre autres, à l'inhomogénéité de la zone de désamorçage de la structure.

L'autre méthode de simulation du courant de défaillance I_{t2} pour les composants ESD est basée sur les travaux de K.Esmark [ESM 02]. Il s'agit d'une méthode plus conventionnelle, qui se base sur la caractéristique TLP et sur deux critères de défaillance définis comme suit :

Critère 1 : $T_{max} > T_{fusion\ Silicium}$

Ce critère consiste à suivre l'évolution de la température dans le dispositif de protection, pour différentes valeurs de courant TLP, jusqu'à ce que la température maximale T_{max} dans la structure atteigne la température de fusion du silicium (1693 K).

Critère 2 : Apparition du second repliement

Ce critère consiste à suivre l'évolution de la caractéristique TLP jusqu'au second claquage thermique. Ce dernier se traduit alors par une diminution de la tension aux bornes de la structure et un second repliement de la courbe I-V.

Pour déterminer le courant de destruction du DTSCR, la simulation TLP est réalisée à fort niveaux de courant, en appliquant la méthode ACS. La simulation est poursuivie jusqu'à la tension de précharge maximale du testeur TLP et les résultats sont retranscrits dans la figure 3.29. La caractéristique I-V obtenue ne présente pas de second repliement, annonciateur d'un claquage thermique prématuré. Toutefois, on note une divergence entre la simulation ACS et l'expérimental : durant les phases de déclenchement, au retournement et pour les forts niveaux de courant (au-delà de 32 A).

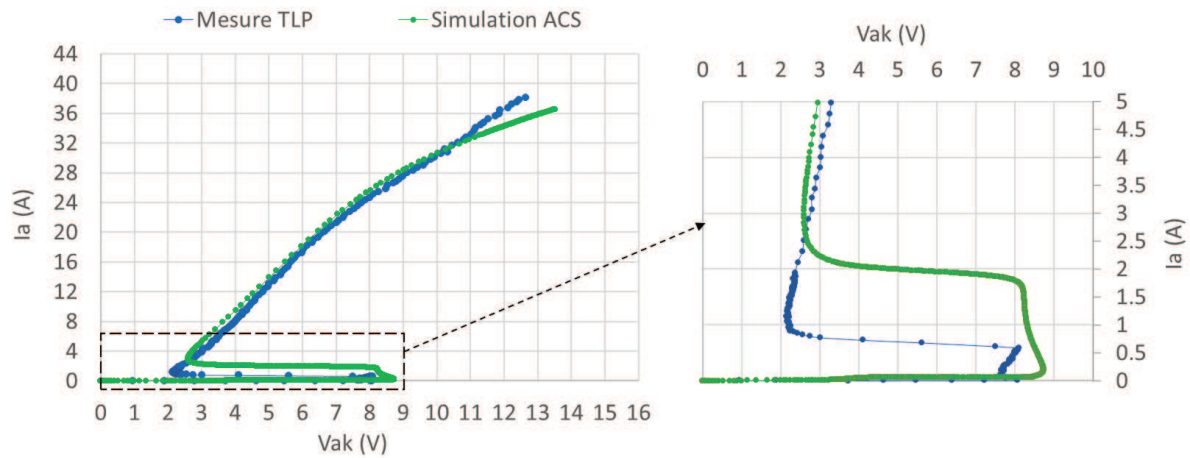


Figure 3.29 : Mesure et simulation TLP par la méthode des impulsions carrées et par la méthode ACS

Cette divergence s'explique par les phénomènes thermiques résultant de la durée de la rampe en tension, en particulier à forts courants. Elle s'explique également par la dynamique de la méthode ACS, la rendant ainsi plus sensible aux phénomènes de surtension. Jusqu'ici, cette méthode nous a permis d'approximer la caractéristique TLP de la structure pour faciliter l'étalonnage du simulateur tout en réduisant les temps de calcul. Pour se conformer à l'expérimental, on applique cette fois-ci des impulsions TLP avec une trentaine de points au total, afin de tracer la caractéristique complète de la structure. Les résultats obtenus sont retranscrits dans la figure 3.30.

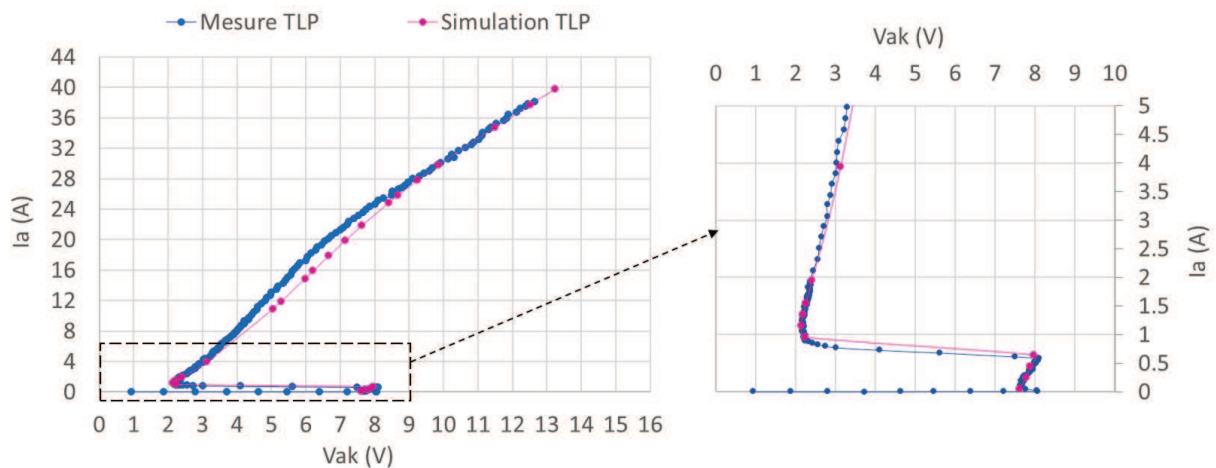


Figure 3.30: Mesure et simulation TLP par la méthode des impulsions carrées

Comme pour l'expérimental, les points servant à tracer la courbe I-V en simulation sont moyennés dans la partie stable des réponses impulsionnelles en courant et en tension. La courbe I-V obtenue corrèle bien avec l'expérimental, à la fois pour les forts courants et pour les phases de déclenchement et de retournement. Au vu de ces résultats, l'extraction des grandeurs électriques à partir de la caractéristique TLP sont résumés dans le tableau 3.10.

Paramètre	Mesure	Simulation
Courant de claquage thermique (A)	> 40	> 39
Résistance série [4A -16A] (Ω)	0,22	0,26
Tension d'écèlement à 16A	5,6	6,3
Tension de déclenchement (V)	8,1	7,9
Courant de déclenchement (mA)	592	640

Tableau 3.10: Mesure et simulation des caractéristiques électriques TLP du DTSCR

Pour ces mesures, l'extraction du courant de destruction est limitée par le testeur. Des mesures supplémentaires ont donc été effectuées sur un autre banc TLP, pouvant délivrer des impulsions de courant jusqu'à 80 A. Les résultats sont illustrés dans la figure 3.31. Le courant maximal supporté par la structure avant sa destruction I_{t2} est donné dans le tableau 3.11.

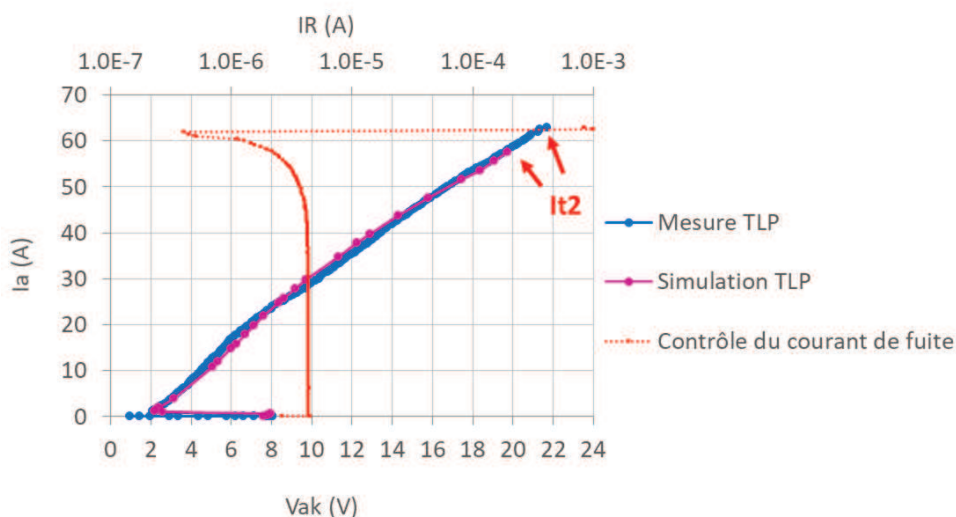


Figure 3.31: Evolution de la caractéristique TLP jusqu'au claquage thermique de la protection

Paramètre	Mesure	Simulation
Courant de claquage thermique (A)	63	56

Tableau 3.11: Mesure et simulation du courant de claquage thermique I_{t2} du DTSCR

En simulation, on utilise comme critère de défaillance la température de fusion du silicium. Le courant de défaillance obtenu est alors proche de la mesure (56 A contre 63 A en expérimental). La localisation des maximums de température à une tension de précharge de 2,9 kV permet d'identifier deux points chauds dans la structure (figure 3.32). Le premier point (727 K) est situé dans la profondeur du substrat, au niveau de la couche enterrée. Le second point (1698 K) est situé à proximité de la surface de la jonction cathode. Ces températures sont bien au-dessus de la limite de validité des modèles physiques utilisés (700 K). Il convient donc d'en tenir compte en considérant le caractère qualitatif des résultats, tout en émettant des réserves sur leur validité.

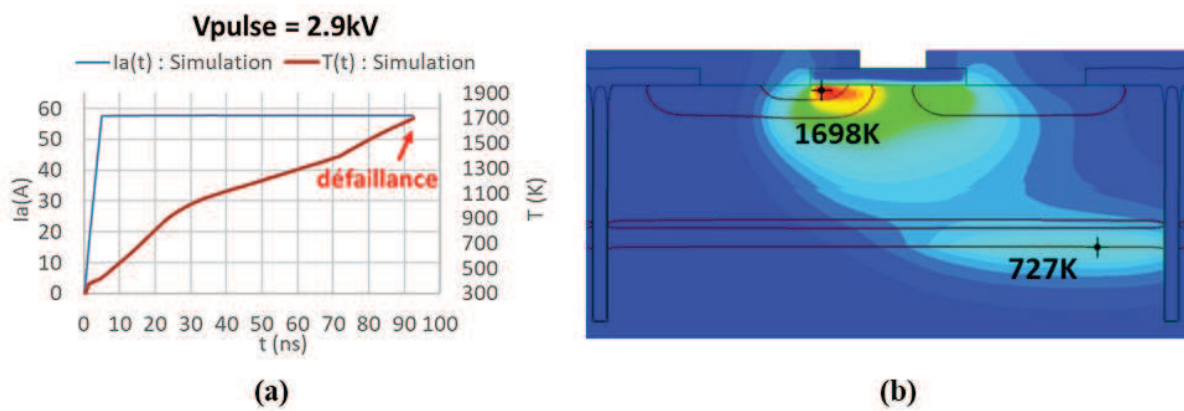


Figure 3.32 : Variation de la température dans le DTSCR pour de forts niveaux de courant TLP (a) et localisation des points chauds dans la structure (b)

Cette distribution de température s'explique par le fonctionnement tout d'abord vertical du dispositif. Ce fonctionnement permet de dissiper la plus grande partie du courant TLP dans le volume, tout en limitant l'échauffement de la structure (figure 3.33). Une fois le retournement atteint, le fonctionnement bascule en mode latéral et la densité de courant se déplace alors vers la surface au niveau de la jonction cathode. La chaleur n'est alors dissipée que dans une seule direction, la surface isolante ayant une faible conductivité thermique. Un point chaud se crée alors, pouvant mener à la destruction du dispositif.

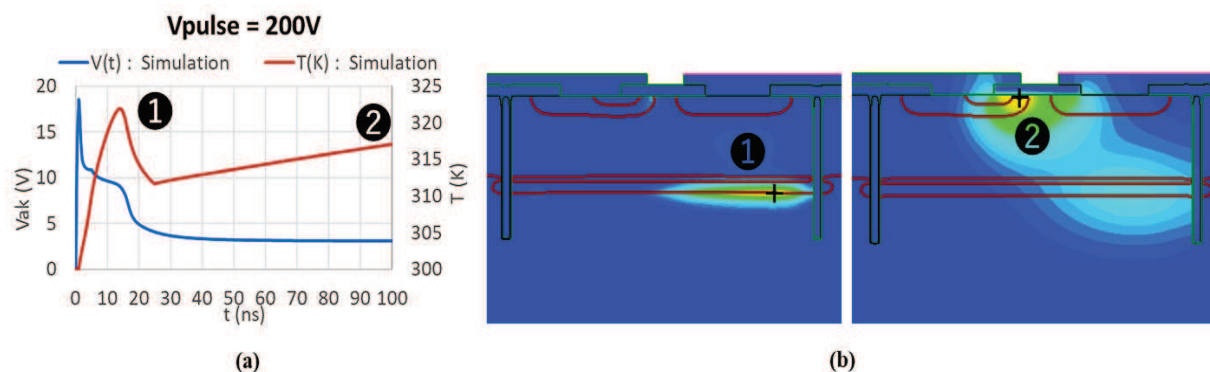


Figure 3.33 : Variation de la température dans le DTSCR pour de faibles niveaux de courant TLP (a) et localisation des points chauds dans la structure (b)

5.3.2. Robustesse HMM : Niveau de tension de destruction

Pour évaluer la robustesse de la structure de protection étudiée, nous avons extrait sa tenue en tension et son niveau de destruction pour des niveaux de précharge de type IEC61000-4-2.

Le schéma électrique utilisé pour reproduire la décharge IEC61000-4-2 est précédemment décrit dans la figure 3.27. Pour déterminer la robustesse du dispositif, nous avons choisi de suivre l'évolution de la température du réseau cristallin pour chaque niveau de précharge appliqué. Pour limiter le temps de simulation, nous avons opté pour des tensions de précharges décroissantes, avec des pas de 1 kV. Lorsque la température maximale dans la structure dépasse la température de fusion de silicium, le niveau de dégradation est considéré comme atteint. Les résultats de simulation sont décrits dans la figure 3.34.

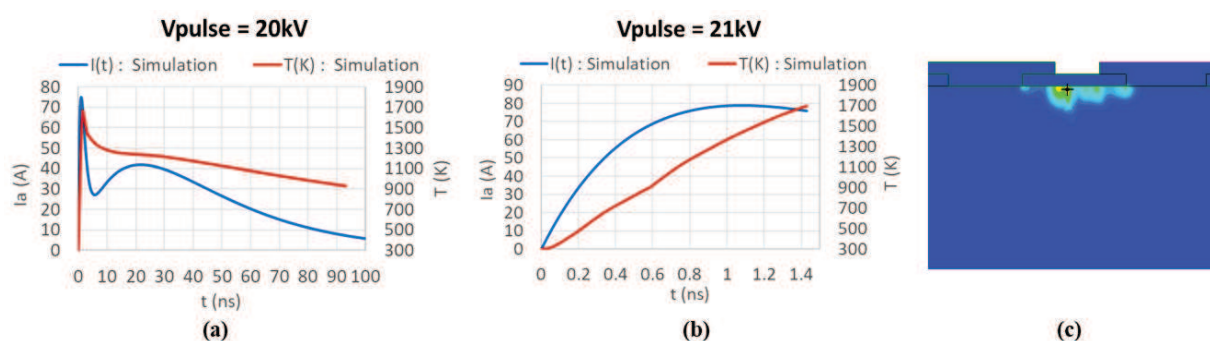


Figure 3.34: Réponse temporelle en courant et en température pour deux niveaux de stress IEC61000-4-2 : avant destruction (a) et après destruction (b), localisation du défaut (c)

Pour les tests IEC61000-4-2, deux types de défaillances sont possibles. Le premier est lié au premier pic de courant et le second est d'ordre énergétique. D'après les résultats de simulation, la défaillance de la structure semble liée au premier pic et initialisée côté cathode. La tension de casse simulée est de 21 kV contre 24 kV mesurée, soit un écart de 14 % (tableau 3.12). Bien que la température soit un critère de dégradation hautement discutable, car incompatible avec la gamme de validité des modèles physiques utilisés [NOL 05], elle donne une bonne indication sur les niveaux de robustesse.

Paramètre	Mesure	Simulation
Robustesse IEC61000-4-2 (kV)	23	20

Tableau 3.12: Mesure et simulation du niveau de robustesse IEC61000-4-2 du DTSCR

6. Bilan des résultats

Le tableau 3.13 dresse une liste non-exhaustive des paramètres électriques du dispositif de protection, ainsi que les méthodes de test correspondantes. Il résume également l'intérêt de ces grandeurs électriques pour l'étalonnage des modèles physiques et des paramètres technologiques qui les conditionnent. Suivant le type de simulation effectuée : statique, quasi-statique, ou dynamique, on remarque que les temps de calcul CPU peuvent s'avérer plus ou moins longs, avec une validité des résultats parfois discutable. C'est le cas par exemple des phénomènes à caractère tridimensionnel et des dispersions relatives à la description du procédé technologique. Ces écarts de simulation sont évalués à travers le radar des performances de la figure 3.35. Ce graphique donne une vue d'ensemble des performances électriques du jumeau numérique développé, par rapport aux performances électriques attendues dans la réalité, en comptant une marge d'erreur acceptable de $\pm 20\%$. On note ainsi que la simulation est pessimiste sur certains paramètres comme le courant de fuite et plus optimiste sur d'autres comme le courant de maintien. Toutefois, dans l'ensemble, la simulation TCAD permet de dégager une tendance générale de la qualité de la protection, qui concorde avec la réalité à la fois en termes d'efficacité, de robustesse et de transparence.

Test électrique	Caractéristiques électriques extraites	Influence sur l'étalonnage TCAD	Durée typique de simulation (SDevice)
IV statique (SMU)	- Courant de fuite	- Largeur de base - Phénomène de perçage - Diffusion latérale - Charges d'interface - Profil de dopage	Temps CPU : ~54 h Nbre de CPU : 8 Mémoire max : 1920 MB
C(f) (Analyseur d'impédance)	- Capacité parasite	- Capacité de jonction - Capacité MOS - Profil de dopage - Epaisseur d'oxyde - Charges d'interface	Temps CPU : ~5 h Nbre de CPU : 1 Mémoire max : 2709 MB
IV statique (Traceur)	- Courant / tension de déclenchement statique - Courant / tension de maintien statique	- Résistance pincée - Effet 2D/3D - Homogénéité de conduction - Profil de dopage	Temps CPU : ~6 h Nbre de CPU : 8 Mémoire max : 1175 MB
IV quasi statique (TLP- ACS)	- Temps de déclenchement sur modèle TLP - Premier pic quasi-statique	- Résistance de contact - Comportement électrothermique	Temps CPU : ~24 h Nbre de CPU : 8 Mémoire max : 4334 MB
V(t) et I(t) pulsé (TLP – Impulsionnel)	- Courant de destruction - Courant / tension de déclenchement quasi-statique - Courant / tension de maintien quasi-statique	- Durée de vie des porteurs - Résistance de contact	Temps CPU : ~38 h Nbre de CPU : 8 Mémoire max : 4319 MB
Stress ESD (IEC61000-4-2 / HMM)	- Temps de déclenchement sur modèle ESD - Premier pic dynamique - Robustesse ESD	- Résistance de ballast - Comportement électrothermique	Temps CPU : ~40 h Nbre de CPU : 8 Mémoire max : 4867 MB

Tableau 3.13: Synthèse des paramètres électriques de la protection DTSCR et leur rôle pour l'étalonnage du modèle numérique

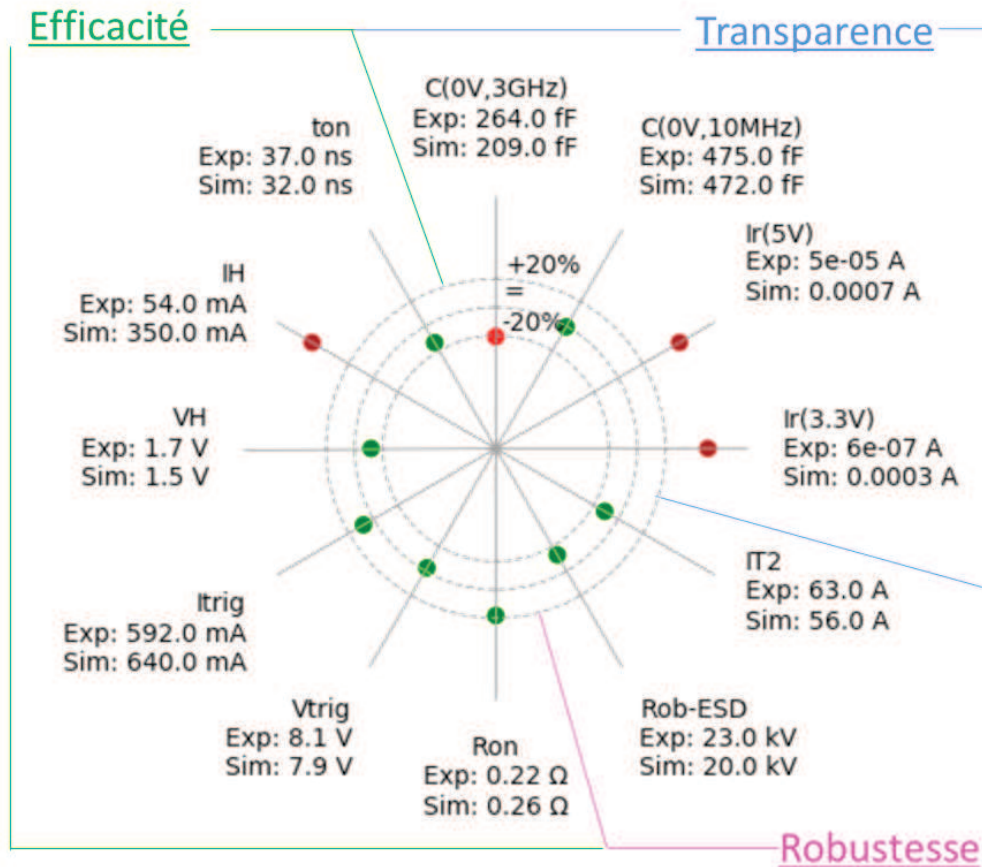


Figure 3.35 : Radar de la qualité de la protection DTSCR mesurée et simulée

7. Conclusion

Au cours de ce chapitre, nous avons utilisé la simulation TCAD pour évaluer la qualité de la protection DTSCR et obtenir un jumeau numérique de cette dernière. Plusieurs tests électriques ont été mis en place et des règles de maillage et de dessin ont été déployées pour simplifier la description de la structure et réduire les temps de calculs. L'étalonnage progressif du flot de simulation proposé s'est focalisé sur la qualité de protection recherchée et les interactions entre ses caractéristiques électriques et les briques technologiques qui les conditionnent. Parmi ces interactions, on trouve l'influence de la résistance pincée sur le point de déclenchement, l'augmentation soudaine du courant de fuite suite au phénomène de perçage et l'étalonnage des durées de vie grâce aux mesures TLP et au concept de charge critique. Ces différentes interactions ont facilité le choix des modèles physiques et leurs paramétrages.

Une fois étalonné, le simulateur nous a permis de déterminer la tendance générale de la qualité de protection. Cette tendance concorde de manière qualitative et quantitative avec la réalité. Cependant, il est important de souligner la complexité de la simulation du dispositif de protection « complet » pour les technologies non figées. Il est donc plus judicieux de s'orienter vers des structures élémentaires du produit pour adapter le procédé technologique et simplifier ainsi le travail d'étalonnage. Il est également important de souligner que le jumeau numérique développé ne suffit pas à lui seul pour aborder la phase d'optimisation du dispositif. En effet, les performances électriques de la protection n'évoluent pas tous dans le même sens, ni dans les mêmes proportions. Par conséquent, si on tient compte des durées de simulation observées pour le procédé technologique et les tests électriques, la simulation de la qualité de protection pour différents scénarios d'optimisation peut s'avérer extrêmement gourmande en temps et en ressources. Nous avons donc opté pour une autre approche d'optimisation basée sur l'apprentissage machine, qui fera l'objet du chapitre suivant. Cette approche consiste à identifier les interactions entre les paramètres dessin et procédé d'un côté et les performances électriques de l'autre. L'idée ensuite est de mettre à profit tous ces compromis pour adapter à moindre coût la qualité de protection aux différents cahiers de charge ciblés.

Chapitre 4

Prédiction et optimisation de la qualité de protection par l'apprentissage machine

Pour optimiser la qualité de protection, il faut identifier des pistes tangibles d'amélioration. Pour cela, l'approche développée dans ce chapitre consiste à utiliser l'apprentissage machine pour mettre à profit l'ensemble des connaissances acquises tout au long du développement de la technologie de protection. Ce chapitre s'articule donc autour de trois parties :

- Présentation de l'environnement de développement.
- Apprentissage du modèle de prédiction.
- Développement de l'optimiseur de la qualité de protection.

1. Introduction à l'apprentissage automatique

Le flux de données produit dans des domaines comme la finance, l'énergie et l'industrie est aussi massif que varié, allant de quelques mégaoctets à plusieurs téraoctets. On parle alors de « big data » ou de « mégadonnées » [LEM 15]. Les techniques permettant de transformer ces données accumulées en informations utiles, sont reprises sous l'appellation « Science des Données » ou « Data Science ». Il ne s'agit pas là d'une nouvelle science mais d'une discipline qui englobe plusieurs domaines, dont l'algorithmique, la statistique et l'apprentissage automatique. Cette notion plus connue sous le nom « d'apprentissage machine », « apprentissage statistique », ou encore

« machine learning » en anglais, est une discipline majeure de l'Intelligence Artificielle. Elle vise à donner la capacité à une machine d'apprendre sans être explicitement programmée [BIE 16].

Dans le secteur de l'industrie par exemple, l'apprentissage automatique combiné à la puissance de calcul informatique, permet d'optimiser les cycles de production complexes et de collecter un ensemble de données directement à partir des équipements. Cela permet une maintenance prédictive afin d'éviter les pannes et le manque à gagner qu'elles génèrent pour l'entreprise.

2. Problématique

Pour comprendre la problématique de développement d'une protection ESD, la figure 4.1 présente de manière succincte les étapes suivies lors de la conception, en partant de la définition du cahier des charges jusqu'au produit final.

Bien que la procédure de développement soit assez simple, le problème ne tarde pas à devenir complexe, en commençant par la définition du cahier des charges. Il s'agit d'une étape clé dans le processus de développement de la technologie. En effet, il faut prédire des années à l'avance les besoins du marché, pour éviter que la technologie développée ne soit obsolète bien avant sa commercialisation [FU 14]. A ce stade, il faut déterminer les champs d'applications de la nouvelle technologie de protection, sachant que, pour chaque domaine d'application (USB, HDMI, DVI, CAN...), il existe des spécificités et des contraintes. Prenons par exemple les interfaces « haut-débit » type USB. Ces interfaces battent aujourd'hui des records de rapidité (figure 4.2). Autrefois, une protection ESD avec une capacité parasite de quelques picoFarads était suffisante pour garantir l'intégrité du signal, pour les débits à 480 Mbps de l'USB 2.0 [VAS 14]. Aujourd'hui, seuls quelques centaines de femtoFarads sont tolérés pour les 10 Gbps de l'USB 3.1 [DUV 15]. Lorsque ces contraintes de transparence viennent s'ajouter à des contraintes de robustesse et de coût, les marges de conception de la protection deviennent de plus en plus serrées et, à défaut d'une approche innovante, tous les compromis possibles (robustesse efficacité, transparence et coût) doivent être pris en compte et exploités dans le processus de développement.

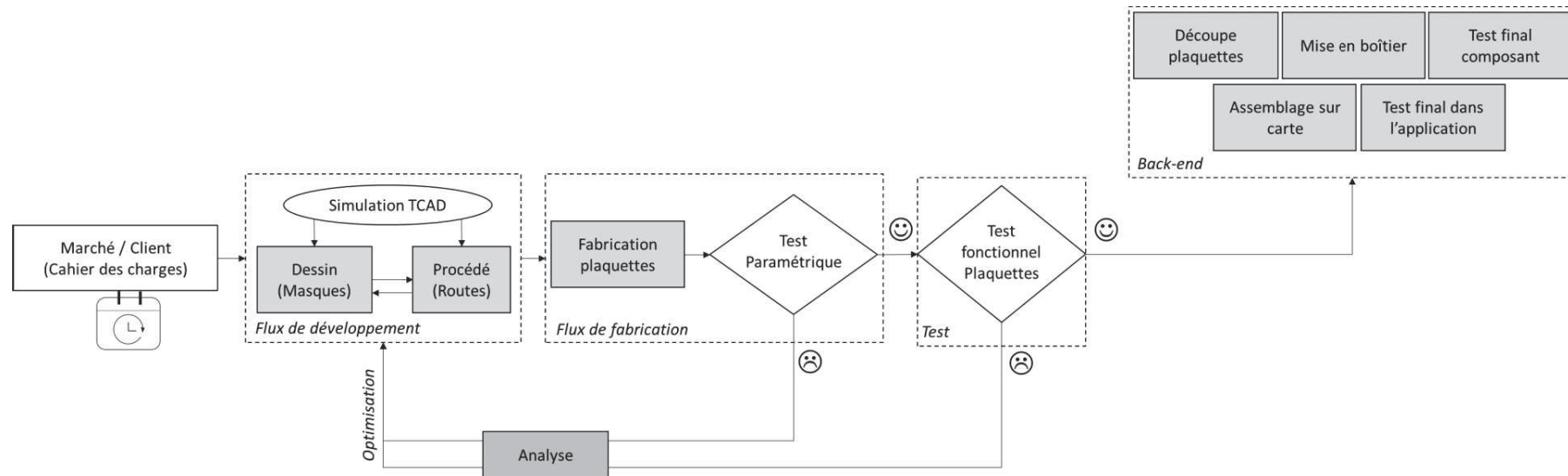


Figure 4.1 : Etapes de développement d'un produit de protection ESD

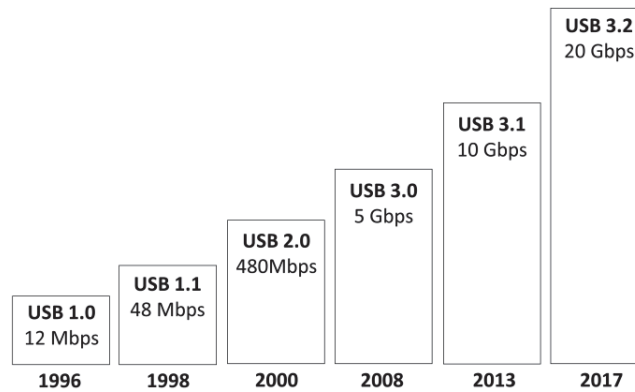


Figure 4.2 : Evolution de la rapidité de l'interface USB

Pour la technologie DTSCR étudiée, nous avons recensé plus de 30 paramètres d'entrée (dessin et procédé) et presque autant de paramètres électriques de sortie qui servent à définir la qualité de la protection ESD. En prenant en considération les différentes combinaisons des paramètres d'entrée et leurs interactions avec les paramètres de sortie, il semble clair qu'une approche traditionnelle de développement, visant à figer un point technologique (procédé) et à apporter des ajustements aux dessin par la suite, va vite s'avérer longue et complexe, à la fois en termes de volume de données à analyser, de temps de développement et d'adaptabilité de la protection à une large gamme d'applications.

Pour trouver une solution à ce problème, nous avons étudié dans ces travaux une approche « Data science », basée sur l'apprentissage automatique. Cette approche est résumée dans la figure 4.3 et ses objectifs sont :

- › Exploiter le gros volume de données qui résulte des caractérisations du test paramétrique et des tests sous pointes.
- › Trouver les corrélations, éventuellement cachées, entre les différents paramètres d'entrée/sortie.
- › Générer un modèle prédictif évolutif pouvant s'adapter à de nouvelles données de caractérisation et de nouveaux paramètres d'entrée/sortie.
- › Prédire une combinaison de paramètres d'entrée optimale, pour répondre à une demande de performances ESD donnée en sortie (spécification d'un nouveau cahier des charges).

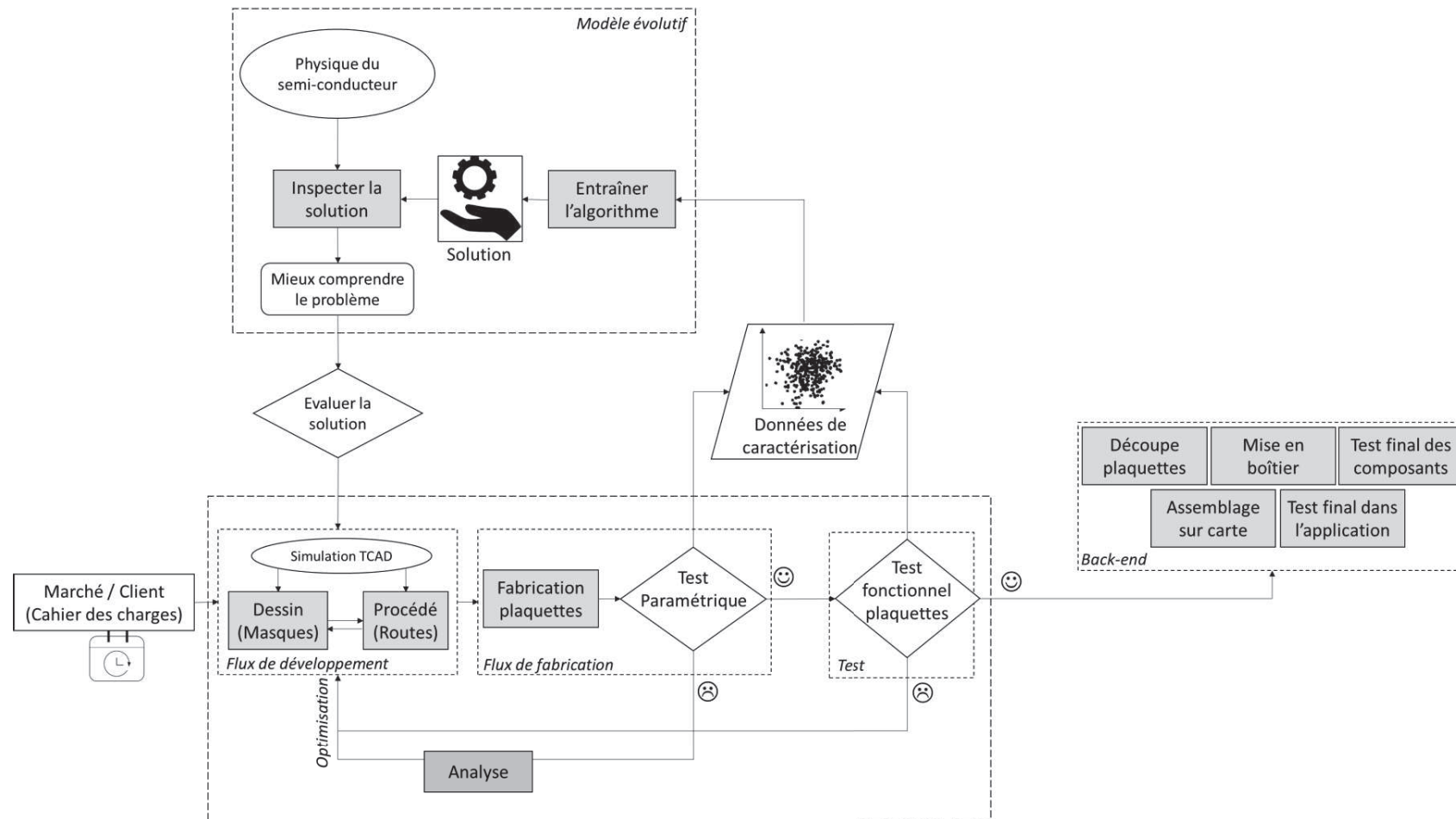


Figure 4.3 : Etapes de développement d'un produit de protection ESD avec l'approche "Data science" proposée

3. Objectif de l'étude

L'objectif de l'étude proposée ici est de mettre en place et d'évaluer l'intérêt des méthodes d'apprentissage automatique, pour la conception d'un optimiseur de la qualité de protection. L'objectif final est d'obtenir les meilleurs compromis des paramètres de dessin et de procédé, afin d'adresser une large gamme de cahiers des charges.

4. Environnement de développement

Parmi les nombreux outils mis à la disposition des analystes figurent des logiciels de statistique propriétaires et pilotables par interface, comme SAS ou SPSS. Il existe également des logiciels libres et « open source », basés sur des langages de programmation comme Python et R. Ces derniers sont largement répandus dans la communauté des « data scientist » [BIE 16]. Ils sont également plébiscités par les industriels, pour des raisons d'économie et de souplesse d'utilisation [BES 19]. Dans le cadre de ce travail de thèse, le développement du modèle prédictif est réalisé avec le langage Python. Ce choix est motivé par la simplicité du langage et son caractère généraliste, qui est très utile pour la création d'interfaces utilisateurs par la suite.

4.1. Outils de développement Python

4.1.1. Distribution Anaconda

Anaconda est une distribution scientifique de Python. Il s'agit d'un ensemble de plusieurs bibliothèques et utilitaires associés au langage Python. Elle possède son propre gestionnaire de paquets « conda » et contient quasiment toutes les bibliothèques utiles en science des données.

4.1.2. Interpréteur IPython

C'est un système qui permet de convertir les lignes de code en instructions machine, pour pouvoir les exécuter de façon interactive.

4.1.3. JupyterLab

JupyterLab, anciennement connu sous le nom de Jupyter Notebook, permet de créer des documents interactifs, composés à la fois de code Python ou autres, de texte formaté (Markdown, HTML et LaTeX) et de graphiques [BON 19].

4.1.4. Librairies Python

La section ci-dessous présente quelques-unes des principales bibliothèques scientifiques, que nous avons utilisées pour l'analyse des données et l'apprentissage automatique.

Pour le Calcul scientifique

Numpy : permet de manipuler des tableaux multidimensionnels et homogènes, ainsi que le calcul numérique qui s'y rapporte.

Scipy : intègre un ensemble de bibliothèques python à usage scientifique (Algèbre linéaire, Statistique, traitement d'image...).

Pandas : permet la structuration et l'analyse avancée de données hétérogènes.

Pour la visualisation

Matplotlib : permet de tracer tous types de courbes en 2D et 3D.

Seaborn : permet une visualisation statistique des données.

Pour l'apprentissage automatique

Scikit-Learn : fournit l'ensemble des algorithmes d'exploration des données et d'apprentissage automatique (Classification, Régression, Clustering, Réduction de dimension...).

5. Collecte des données

A première vue, dans le développement du modèle prédictif de la qualité de la protection ESD, l'idéal serait de commencer par construire une base de données, qui regrouperait tous les résultats de test, pouvant décrire l'impact des paramètres de dessin et de procédé, sur les performances du produit final (Robustesse, transparence et efficacité). Ce travail impliquerait une caractérisation de milliers de motifs d'évaluation pour les paramètres de dessin et une centaine de plaquettes pour les paramètres de procédés. En raison du contexte industriel de ces travaux de recherche et de l'ampleur de la tâche, il serait difficile d'entreprendre de zéro une campagne de tests de ce genre. En effet, à ce stade, ni les équipements de mesure ni les méthodes d'extraction ne sont automatisées.

Nous avons donc fait le choix d'expérimenter l'approche d'apprentissage sur un jeu de données, issu des résultats du test paramétrique. Ce choix est motivé par la masse et la diversité des données déjà existantes. Comparés aux tests fonctionnels sur plaquettes, les tests paramétriques (PT) sont

bien plus limités et se cantonnent à l'extraction de certaines grandeurs statiques (figure 4.4). En revanche, ils se prêtent assez bien à l'exercice de l'apprentissage machine que l'on souhaite évaluer. Les avantages des tests paramétriques sont :

- › Un volume important de données accumulées, qui retrace l'historique des plaquettes à travers les différentes étapes du processus de fabrication,
- › Une extraction automatisée des résultats électriques,
- › Un stockage dans une base de données qui facilite l'accès et le traitement de l'information.

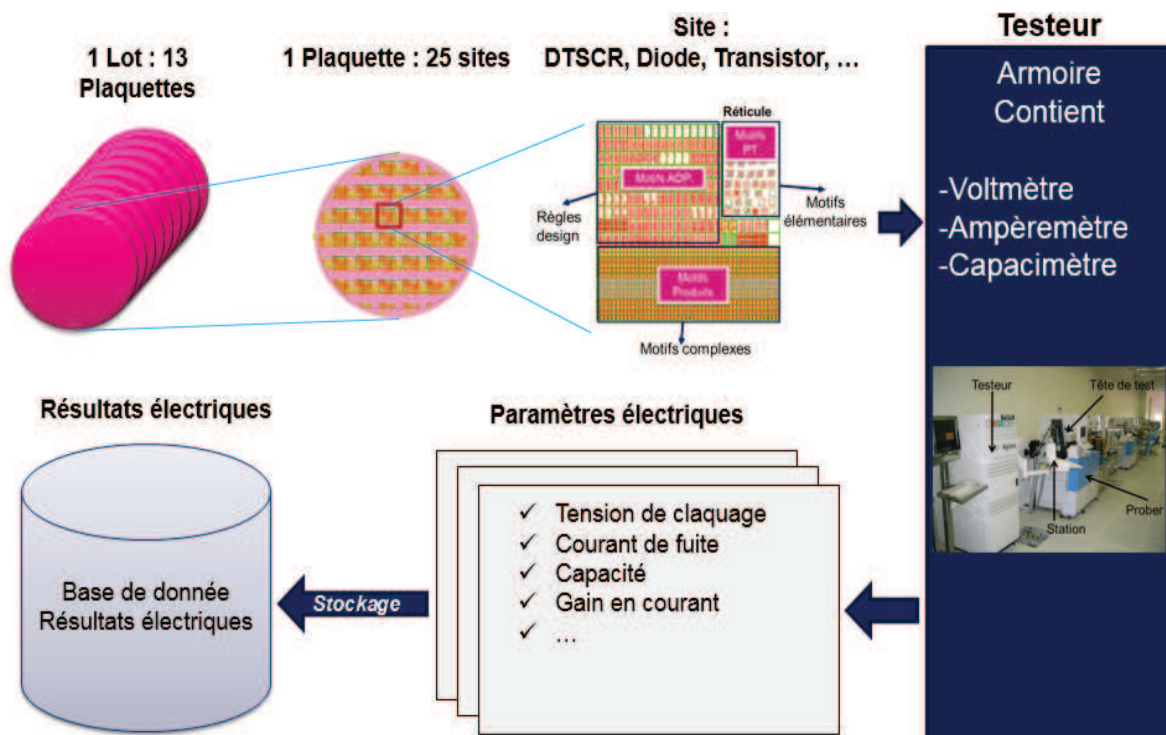


Figure 4.4 : Déroulement du test paramétrique

5.1.Choix des motifs

Le test paramétrique est le premier test électrique réalisé à la fin du processus de fabrication. Il est basé sur des mesures statiques appliquées à différentes structures de test. Ces dernières sont représentatives pour certaines du produit final.

Dans le cadre de cette étude, les structures se divisent en deux familles :

- › **Structures élémentaires** : type résistance, capacité, jonctions PN, transistor, lignes résistives, etc. Ces structures permettent de contrôler les procédés de fabrication, comme le dopage, la diffusion, l'oxydation et la métallisation. Cela s'effectue à travers un ensemble de tests électriques (résistivité, continuité, capacité, courant, tension, ...).
- › **Structures complexes** : type produit DTSCR, garantes des performances statiques du produit final en termes de courant de fuite et de tension de seuil pour l'amorçage.

La méthodologie d'apprentissage qui va suivre est appliquée aux structures DTSCR, illustrées dans la figure 4.5.

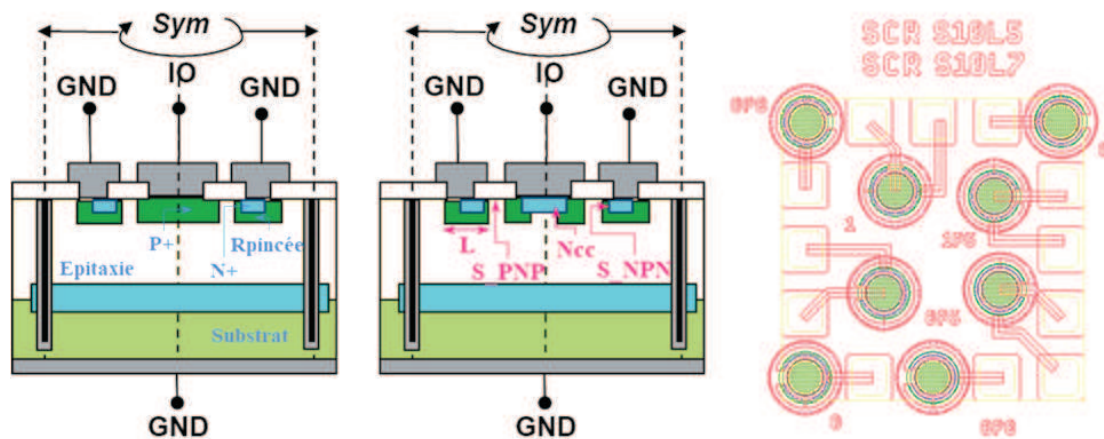


Figure 4.5 : Description de la coupe technologique du DTSCR et du dessin du masque des motifs du test paramétrique étudié, avec les paramètres physiques ciblés

5.2.Choix des caractéristiques électriques de sortie

La première caractéristique électrique à optimiser correspond à la transparence de la protection. Nous avons choisi pour cela la mesure du courant de fuite à une tension V_{RM} de 3,3 V. Il s'agit de la tension aux bornes de la protection lors du fonctionnement normal du circuit. Le courant de fuite à la tension V_{RM} doit être le plus faible possible (de l'ordre du nanoampère).

La seconde caractéristique correspond à la fois à l'efficacité et à la transparence de la protection. Nous avons choisi pour cela la mesure de la tension d'avalanche V_{BO} . Cette tension est mesurée au test paramétrique, à un courant de 100 mA. Pour garantir la transparence de la protection, sa tension d'amorçage doit être supérieure à la tension d'alimentation du circuit à protéger, pour éviter tout déclenchement intempestif de cette dernière lors d'un fonctionnement normal du circuit. Côté

efficacité, la tension d'amorçage doit être inférieure à la tension maximale supportée par le circuit à protéger.

5.3.Choix des paramètres physiques d'entrée

L'exploration des données est effectuée sur les mesures du test paramétrique (PT). La base de données est composée d'un historique de lot de 13 plaquettes, avec 25 sites par plaquette. Les paramètres choisis pour évaluer le comportement électrique des structures de test DTSCR sont des paramètres ayant une influence possible sur les réponses électriques de sortie. Il se divisent en deux catégories : paramètres de procédé et paramètres de dessin.

5.3.1. Paramètres de procédé

Les paramètres de procédé sélectionnés sont :

- › La résistivité du substrat : *SUBSTRAT*
- › La résistance par carrée de la couche d'épitaxie : *RC_EPITAXIE*
- › La résistance pincée formée par les caissons P+ et N+ : *RC_PBODY_NPLUS*

Les mesures des résistances par carré sont effectuées sur les motifs illustrés dans la figure 4.6. Ces résistances sont potentiellement modifiées par les variations du procédé de fabrication, comme la température de recuit et la position des plaquettes dans les fours de recuit.

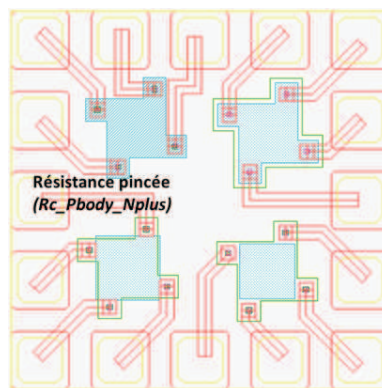


Figure 4.6 : Motifs Rc du test paramétrique

Les variations des valeurs de la résistance pincée entraînent des variations de gain des transistors PNP et NPN. Il en résulte une variation des paramètres électriques de sortie, comme le point de déclenchement et le point de maintien, illustrés sur la figure 4.7.

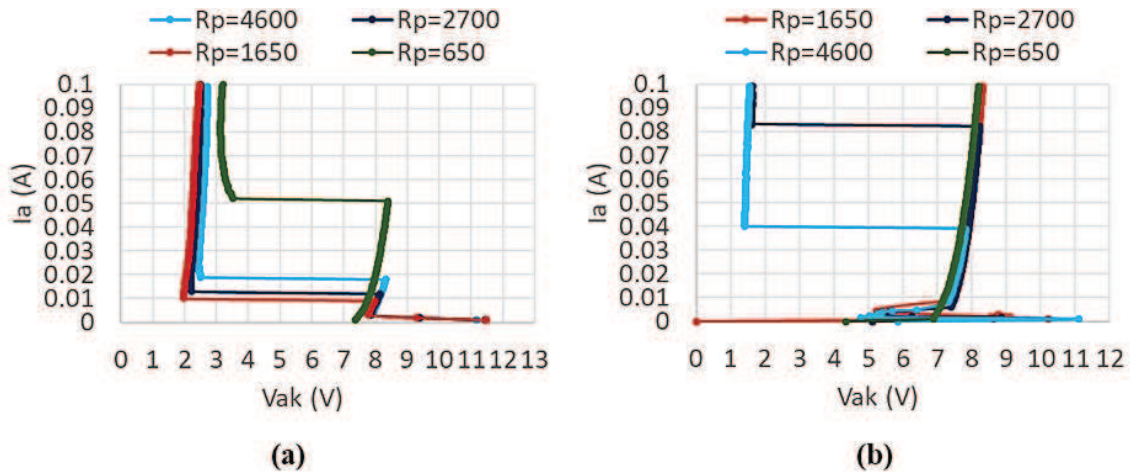


Figure 4.7 : Influence de la résistance pincée sur le point de maintien (a) et de déclenchement (b)

De la même façon, une variation de la résistivité des couches d'épithaxie et du substrat peut entraîner des différences en courant de fuite et en caractéristique I-V, comme illustré dans la figure 4.8.

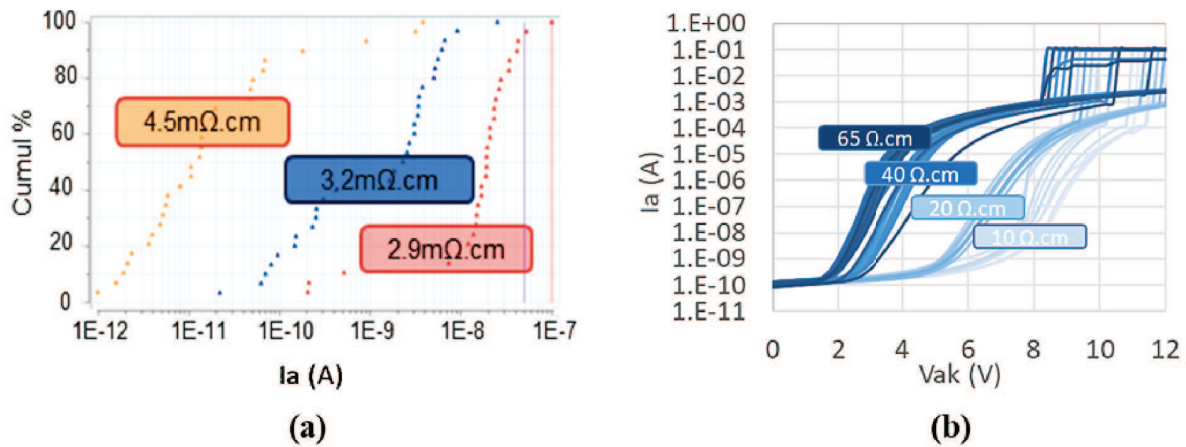


Figure 4.8 : Influence de la résistivité du substrat (a) et de la couche d'épithaxie (b) sur le courant de fuite de la protection

5.3.2. Paramètres de dessin

Pour l'étude des différents compromis, nous avons sélectionné un ensemble de paramètres de dessin, représentés dans les figures 4.9, 4.10 et 4.11. Ces paramètres sont définis comme suit :

- > La longueur d'émetteur (L) : ce paramètre joue principalement sur la zone d'amorçage et, de ce fait, sur le point de maintien.

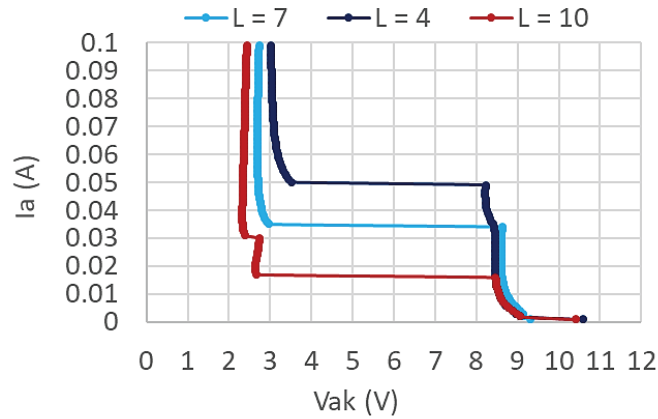


Figure 4.9 : Influence de la largeur d'émetteur sur le point de maintien

- La largeur de base des transistors PNP (S_PNP) et NPN (S_NPN) : ce paramètre joue principalement sur le gain du transistor et, par conséquent, sur le courant de fuite et les points de déclenchement et de maintien, comme illustré dans la figure 4.10.

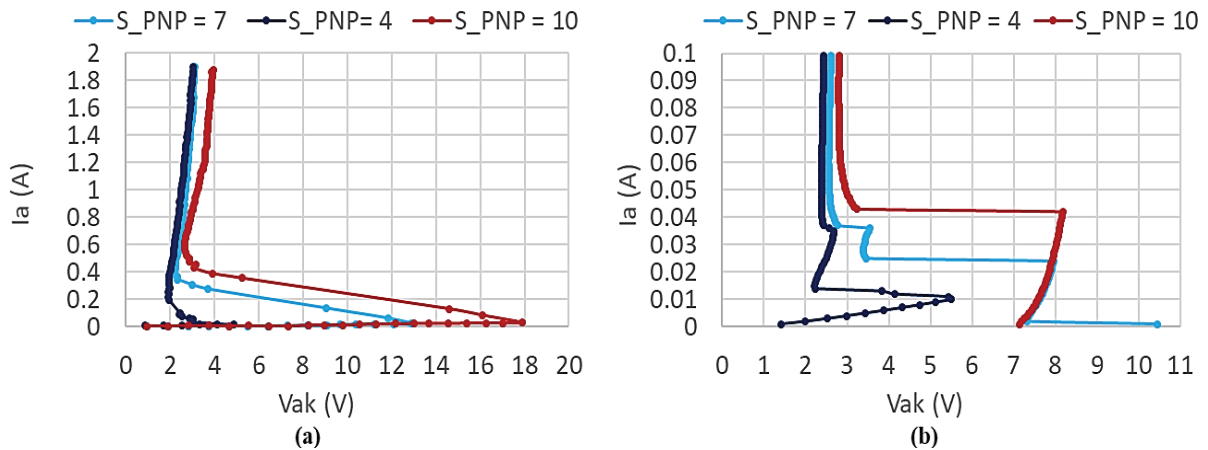


Figure 4.10 : Influence de la largeur de base PNP sur le point de déclenchement (a) et le point de maintien (b)

- Le court-circuit d'anode (Ncc) : ce paramètre joue principalement sur le gain du transistor PNP et, de ce fait, sur le point de déclenchement et sur le courant de fuite (figure 4.11).

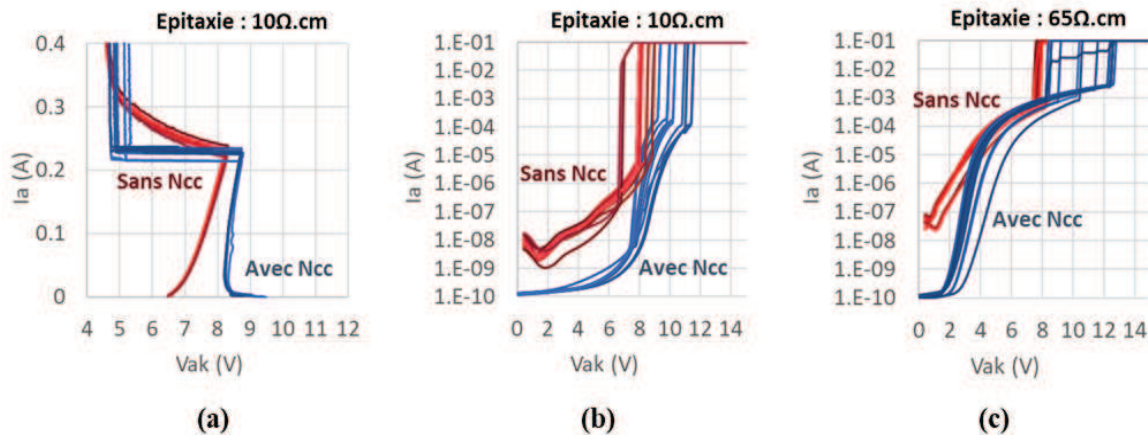


Figure 4.11 : Influence du court-circuit d'anode en fonction de la résistivité d'épitaxie sur le point de déclenchement (a) et le courant de fuite (b et c)

Le tableau 4.1 regroupe de manière sommaire, les éléments technologiques qui conditionnent certaines des performances électriques de la protection DTSCR étudiée.

Performances électriques	Paramètres de contrôle
Courant de fuite (I_R)	○ Largeur de Base PNP ○ Résistivité de la couche d'épitaxie ○ Court-circuit d'anode ○ Résistivité du substrat ○ Dopage et largeur de la couche enterrée NBL
Point de déclenchement (V_t, I_t) Tension d'avalanche (V_{BO})	○ Dopage et largeur de la couche enterrée NBL ○ Court-circuit d'anode ○ Résistivité du substrat ○ Résistance pincée ○ Largeur de Base PNP ○ Résistivité de la couche d'épitaxie
Point de maintien (V_H, I_H)	○ Résistance pincée ○ Longueur d'émetteur

Résistance à l'état passant (RON)	○ Résistivité de la couche d'épitaxie
Temps de déclenchement (TON)	○ Résistance pincée ○ Longueur d'émetteur
Capacite parasite (CPARASITE)	○ Résistivité de la couche d'épitaxie ○ Dopage et largeur de la couche enterrée NBL ○ Court-circuit d'anode

Tableau 4.1: Synthèse des paramètres physiques et leur influence sur les performances électriques de la protection DTSCR

6. Prétraitement des données

6.1. Jeu de données initial

La figure 4.12 permet de visualiser un certain nombre de statistiques descriptives (minimum, maximum, moyenne, nombre de valeurs), pour le jeu de données complet du courant de fuite (IR) et de la tension d'avalanche (VBO).

VBO									
	wafer	site	S_PNP	L	S_NPN		RC_PBODY_NPLUS	VBO	
count	7434.000000	7434.000000	7434.000000	7434.000000	7434.000000		7434.000000	7434.000000	
mean	6.822034	14.765537	8.142857	5.952381	0.819048		673.946441	7.986909	
std	3.780887	8.434347	1.456961	1.557765	0.356754		8.021833	1.692544	
min	1.000000	1.000000	7.000000	5.000000	0.000000	...	647.690000	3.110000	
25%	4.000000	7.000000	7.000000	5.000000	0.500000		668.880000	6.836300	
50%	7.000000	15.000000	7.000000	5.000000	0.800000		675.255000	7.864200	
75%	10.000000	22.000000	10.000000	7.000000	1.000000		679.420000	8.650400	
max	13.000000	29.000000	10.000000	10.000000	1.500000		692.720000	17.201000	

Dim (Matrice VBO) = (7434 x 10)

IR3.3V									
	wafer	site	S_PNP	L	S_NPN		RC_PBODY_NPLUS	IR3P3	
count	7788.000000	7788.000000	7788.000000	7788.000000	7788.000000		7788.000000	7.788000e+03	
mean	6.822034	14.765537	8.227273	5.909091	0.804545		673.946441	2.588598e+16	
std	3.780876	8.434321	1.475093	1.534821	0.354830		8.021809	5.378569e+17	
min	1.000000	1.000000	7.000000	5.000000	0.000000	...	647.690000	3.370800e-13	
25%	4.000000	7.000000	7.000000	5.000000	0.500000		668.880000	2.182325e-10	
50%	7.000000	15.000000	7.000000	5.000000	0.800000		675.255000	2.180100e-09	
75%	10.000000	22.000000	10.000000	7.000000	1.000000		679.420000	2.067550e-08	
max	13.000000	29.000000	10.000000	10.000000	1.500000		692.720000	1.120000e+19	

Dim (Matrice IR3p3) = (7788 x 10)

Figure 4.12 : Récapitulatif des variables numériques pour les bases de données brutes : VBO et IR3P3

6.2. Nettoyage des données

Avant de fournir les données aux algorithmes d'apprentissage, il faut effectuer un premier nettoyage représenté dans la figure 4.13. Ce nettoyage consiste à :

- › Supprimer les lignes de données comportant des observations manquantes.
- › Supprimer les données aberrantes liées aux erreurs et à la précision des équipements de mesure.

VBO									
Dim (Matrice VBO) = (7434 x 8)					Dim (Matrice VBO) = (7434 x 8)				
	S_PNP			VBO		S_PNP			VBO
count	7434.000000			7434.000000		count	7434.000000		7434.000000
mean	8.142857			7.986909		mean	8.142857		7.986909
std	1.456961			1.692544		std	1.456961		1.692544
min	7.000000	...		3.110000		min	7.000000	...	3.110000
25%	7.000000			6.836300		25%	7.000000		6.836300
50%	7.000000			7.864200		50%	7.000000		7.864200
75%	10.000000			8.650400		75%	10.000000		8.650400
max	10.000000			17.201000		max	10.000000		17.201000


Nettoyage
 ✓ Valeurs manquantes

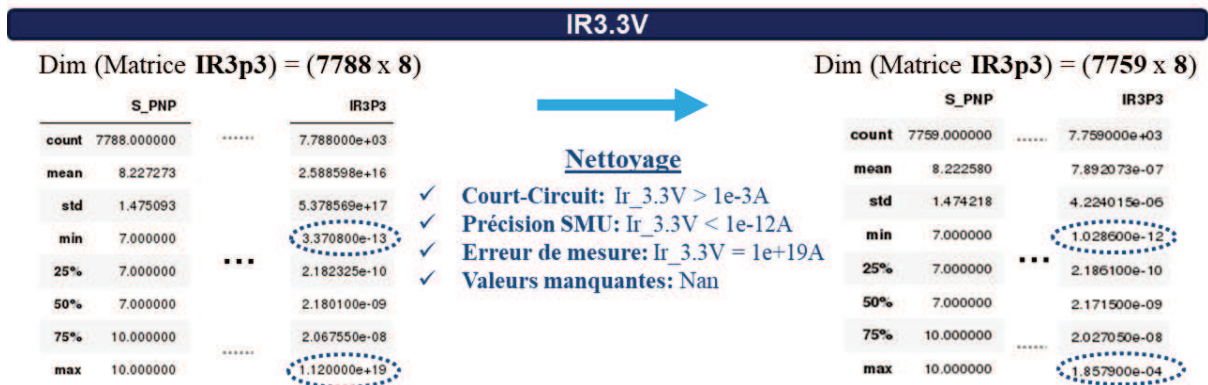


Figure 4.13 : Récapitulatif des variables numériques pour les bases de données post-traitement : VBO et IR3P3

Ce premier nettoyage est complété par un second basé sur le diagramme à moustache (figure 4.14). Ce dernier permet de visualiser la distribution des données par groupes de motifs ayant les mêmes caractéristiques (procédé et dessin). Il permet de visualiser les quartiles des données, la tendance centrale et les valeurs extrêmes des distributions. Ces dernières diffèrent sensiblement des gammes de valeurs pour chaque combinaison de paramètres d'entrée et sont généralement inférieures ou supérieures à 1,5 fois l'écart interquartile [BIE 16]. Il peut s'agir aussi bien de valeurs réelles qui révèlent un comportement particulier de la structure étudiée, que de valeurs aberrantes liées à la précision de la mesure (des pointes mal posées, un problème d'alignement du wafer, etc.). Dans ce cas, ces valeurs peuvent nuire à l'entraînement des modèles d'apprentissage et il est préférable de ne pas en tenir compte dans le jeu d'entraînement. A cet effet, nous avons utilisé le diagramme à moustache pour visualiser les valeurs extrêmes, que nous avons supprimées par la suite du jeu de données. Finalement, ce dernier passe de 7434 à 5670 lignes pour la tension d'amorçage (VBO) et de 7759 à 7127 lignes pour le courant de fuite (IR3P3).

Une fois les valeurs manquantes et aberrantes supprimées, les données préalablement collectées sont réorganisées en format matriciel pour être divisées en deux grandes parties : l'une sert à l'entraînement des modèles d'apprentissage et l'autre à l'évaluation des prévisions.

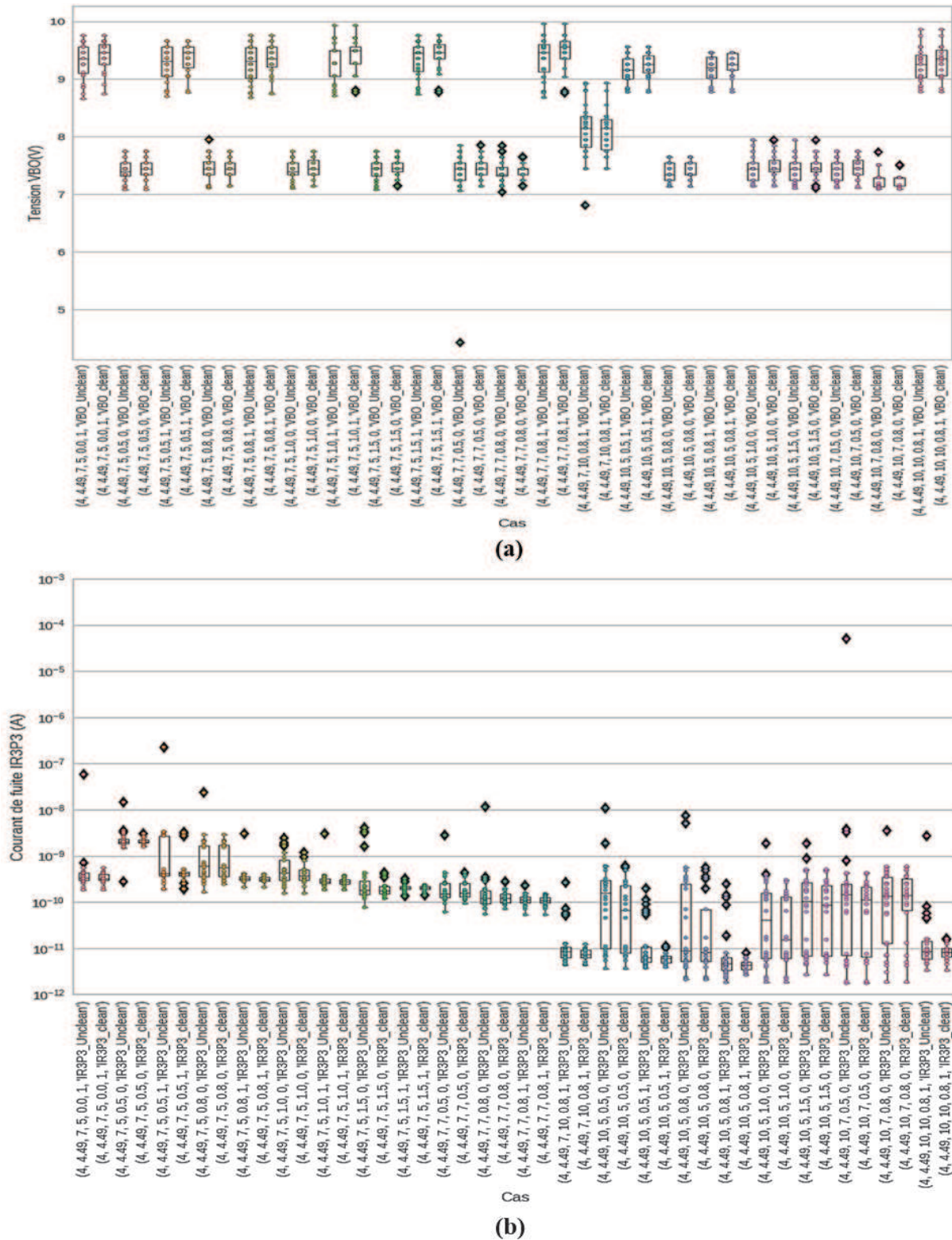


Figure 4.14 : Diagrammes boîtes pour les bases de données VBO (a) et IR3P3 (b) : avec les données bruitées (*Unclean*) et nettoyées (*clean*) pour chaque combinaison de paramètres d'entrée (cas).

6.3. Données d'apprentissage et données de test

En général, l'apprentissage machine consiste à faire de la prédiction et, pour cela, les modèles requièrent un certain nombre de données pour réaliser correctement leur apprentissage et obtenir les meilleurs résultats possibles. Ce nombre varie de quelques milliers d'exemples, pour les problèmes très simples, à plusieurs millions d'exemples pour des problèmes plus complexes comme la reconnaissance vocale ou faciale [GER 17].

Idéalement, la capacité de prédiction et de généralisation des modèles entraînés est évaluée sur des données « fraîches », qui n'ont pas été utilisées dans le processus d'apprentissage et que les modèles entraînés ne connaissent pas encore. Toutefois, ce type de données n'est pas toujours disponible. Une autre approche consiste alors à diviser le jeu de données initial en un jeu d'entraînement et un jeu de test. Le jeu d'entraînement représente généralement 60 % à 90 % du jeu de données initial et sert comme son nom l'indique à l'entraînement des modèles. Les 10 % à 40 % restants du jeu de données initial forment le jeu de test, qui sert à vérifier si le modèle retenu ne surajuste pas les données d'entraînement [RAS 15] [BOS 15]. Cet échantillonnage du jeu de test doit s'effectuer de manière aléatoire pour être représentatif des différentes catégories de la population. A noter que durant le processus d'apprentissage, le jeu d'entraînement est partagé aléatoirement en k sous-ensembles distincts et de tailles égales. La combinaison des $k-1$ échantillons sert à l'apprentissage des modèles, tandis que l'échantillon restant sert à évaluer la prédiction. Cette technique est appelée *validation croisée en k passes* (*k-fold cross-validation*) [BIE 16] [GER 17].

Dans cette étude, le jeu de données initial est divisé en deux groupes : le premier représente le jeu d'apprentissage et correspond à 75 % et 78 % du jeu de données initial (courant de fuite et tension d'avalanche). Ce jeu d'apprentissage est composé d'un jeu d'entraînement et d'un jeu de test. Il est associé à un second groupe appelé jeu d'évaluation qui sert à évaluer la généralisation du modèle d'apprentissage retenu (figure 4.15). Ces ensembles sont décrits comme suit :

- › **Jeu d'entraînement** : 90 % du jeu d'apprentissage est réservé à l'entraînement des modèles.
- › **Jeu de test** : 10 % du jeu d'apprentissage est réservé au test. L'échantillonnage est effectué de manière aléatoire et les données retenues serviront à l'évaluation des performances du modèle entraîné.

- › **Jeu d'évaluation final** : ce jeu représente respectivement 25 % et 22 % du jeu de données initial pour le courant de fuite et pour la tension d'avalanche. Le critère d'échantillonnage dans ce cas est la résistivité d'épitaixie. Ce critère présente deux intérêts majeurs : il influence plusieurs paramètres électriques, en plus d'être sensible aux variations du procédé de fabrication (comme la dispersion plaque à plaque par exemple). Ainsi, les résultats de caractérisation relatifs aux plaquettes ayant une résistivité de 10 Ω .cm ont été retirés du jeu de données initial et ne figurent donc pas dans le processus d'apprentissage. Ces données sont donc « méconnues » du modèle entraîné et permettront de vérifier sa généralisation à des données dites « nouvelles ».

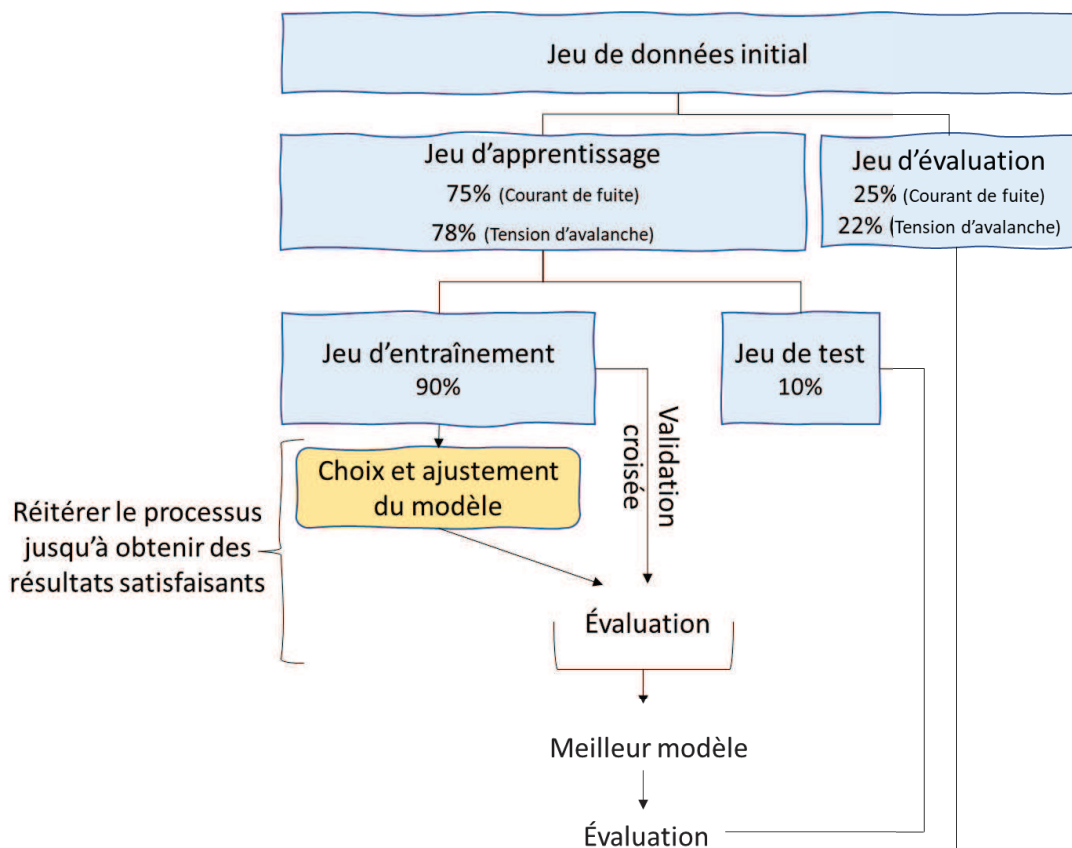


Figure 4.15: Répartition du jeu de données pour l'apprentissage

6.4. Visualisation des données

Une première exploration des données consiste à mesurer les corrélations linéaires entre chaque couple de variables (figure 4.16). Le coefficient de corrélation calculé est compris entre 1 et -1 et renseigne sur la dépendance linéaire entre les variables.

D'après les résultats de la figure 4.16, il existe une corrélation linéaire positive entre le courant de fuite IR3P3 et la résistivité de l'épitaxie RC_EPITAXIE. Cela traduit le fait que le courant de fuite se dégrade lorsque la résistivité de l'épitaxie augmente. Il en est de même pour la tension d'avalanche VBO et le court-circuit d'anode NCC. A l'inverse, on observe une corrélation linéaire négative entre le courant de fuite IR3P3 et les deux paramètres de résistivité du SUBSTRAT et de largeur de base S_PNP. Les dépendances linéaires révélées par la matrice de corrélation concordent bien avec les tendances observées dans la [section 5-3](#) de ce chapitre, ce qui dénote la pertinence des variables explicatives choisies pour la suite de la modélisation. A noter toutefois que derrière un coefficient de corrélation proche de zéro peut se cacher une relation non-linéaire entre les variables [GER 17].

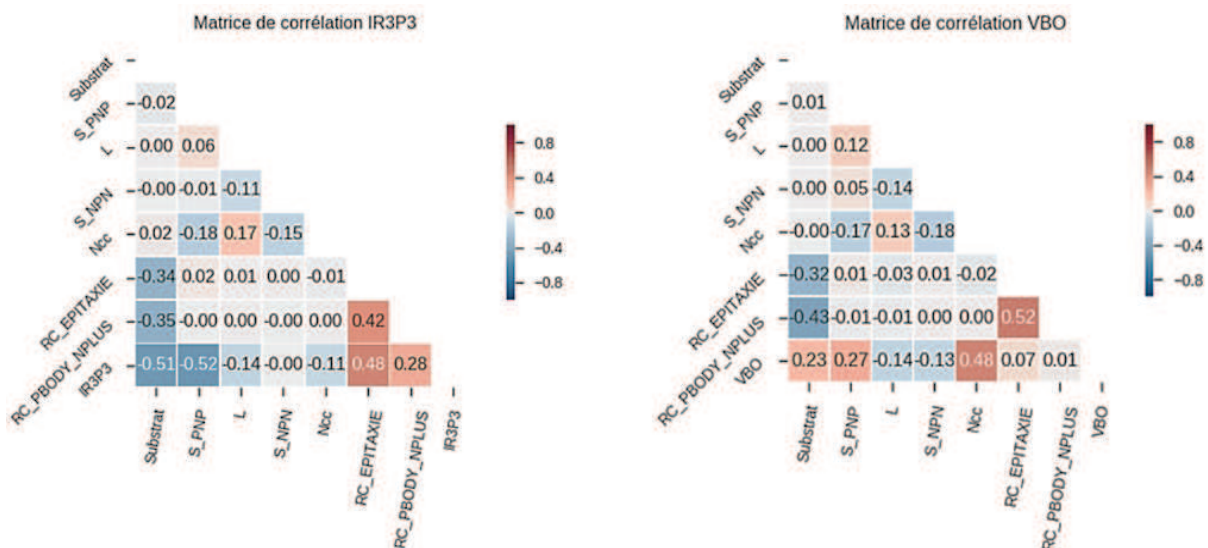


Figure 4.16 : Matrice de corrélation des paramètres électriques et physiques

7. Choix du modèle d'apprentissage

Dans le domaine de la fouille des données, il existe un large éventail de modèles d'apprentissage possibles (linéaire, non-linéaire, arbre de décision, bagging, boosting...). Le choix d'un modèle particulier parmi cet ensemble plus au moins complexe est difficile à opérer. En effet, il n'existe pas de « meilleur » modèle mais chacun est plus ou moins adapté à la problématique de modélisation étudiée [BES 19]. Sur le plan méthodologique, rien n'empêche d'entraîner plusieurs modèles sur le jeu de données et comparer ensuite la qualité de la prévision pour chacune des méthodes déployées. Le modèle le plus pertinent sera ensuite sélectionné.

Dans le cadre de ces travaux, la problématique est d'effectuer la prédiction des valeurs de sortie (paramètres électriques), à partir de variables explicatives d'entrée (paramètres physiques). Il s'agit donc d'un problème de *régression supervisée*.

Chaque modèle dispose d'un ensemble de paramètres, qu'il faudrait ajuster finement en fonction du jeu de données à entraîner. On utilise pour cela la classe « *GridsearchCV* ». Il s'agit d'une recherche par quadrillage et validation croisée ([section 6-3](#)). Cette recherche consiste à faire varier les hyperparamètres¹ du modèle dans des intervalles donnés jusqu'à trouver la combinaison optimale.

Pour évaluer la qualité de prédiction des modèles de régressions entraînés, la recherche par quadrillage utilise par défaut la métrique R^2 [HAR 20]. Ce score permet d'évaluer la capacité du modèle à expliquer la variance totale de la variable de sortie [HAR 20]. En d'autres termes, le coefficient de détermination compare l'erreur quadratique moyenne du modèle à celle obtenue avec une simple moyenne [RIC 15]. Cette idée est formalisée comme suit :

$$R^2 = 1 - \frac{\sum_i (y_i - \hat{y}_i)^2}{\sum_i (y_i - \bar{y})^2} = 1 - \frac{MSE}{VAR(y)} \quad [\text{RIC 15}]$$

- y_i : La réponse y observée pour la $i^{\text{ème}}$ instance,
- $\hat{y}_i$: La réponse y prédite pour la $i^{\text{ème}}$ instance,
- $\bar{y}$: La valeur moyenne de la réponse y .

Le numérateur du R^2 représente la différence entre la réponse observée et la prédiction, tandis que le dénominateur correspond à la différence entre la réponse observée et la moyenne des réponses [MUE 19]. Pour mesurer l'adéquation entre la prédiction du modèle et les données observées, les valeurs du score R^2 varient de zéro à un :

- Un score de 1 : correspond à une prédiction parfaite du modèle qui explique la majorité des données de l'échantillon étudié [RIC 15] [MUE 19].

¹ Les hyperparamètres sont des paramètres de l'algorithme d'apprentissage qui sont fixés avant la phase d'entraînement. Ils contrôlent le flux de modélisation comme par exemple les degrés polynomiaux pour le modèle de régression polynomial. Par opposition, les autres paramètres du modèle d'apprentissage sont calculés à partir du jeu d'entraînement.

- Un score de 0 : le modèle prédit simplement la moyenne des réponses du jeu d'entraînement (modèle constant) [RIC 15].
- Un score négatif : le modèle est particulièrement défectueux et il serait préférable dans ce cas de recourir à une simple moyenne pour la prédiction [RIC 15].

Pour aborder le problème d'apprentissage, il est important de se fixer un « niveau zéro » de performance algorithmique pour la prédiction, en commençant par des modèles simples [BIE 16] [MUE 19]. En d'autres termes, cela revient à avoir un modèle initial de référence auquel seront comparés les performances des autres modèles. Le score initial obtenu doit ensuite être amélioré à travers l'inspection des variables d'entrée, l'optimisation des paramètres du modèle et l'utilisation de nouveaux algorithmes.

Pour commencer, nous avons réalisé l'entraînement sur un modèle basique de régression linéaire. Nous avons introduit par la suite une notion de non-linéarité dans la modélisation en utilisant un algorithme de régression polynomiale. Enfin, pour capturer les interactions non linéaires complexes entre les variables explicatives et les variables de sortie, nous avons opté pour les méthodes ensemblistes² en utilisant le modèle des forêts aléatoires, que nous avons explicité plus loin dans ce chapitre.

7.1.Régression linéaire

Dans l'apprentissage machine, la régression linéaire est en général le premier choix des praticiens lorsqu'il s'agit de construire des modèles et de les comparer ensuite à des solutions sophistiquées [MUE 19]. La méthode de régression linéaire consiste à utiliser une fonction linéaire pour prédire les variables de sortie à partir des différentes variables explicatives du jeu de données. La modélisation s'effectue en trois étapes :

- › Entraînement du modèle
- › Interprétation du modèle
- › Evaluation du modèle

7.1.1. Entraînement du modèle

² Les méthodes ensemblistes se basent sur un ensemble de prédicteurs (classifieurs ou régresseurs) pour obtenir une meilleure prédiction.

Le premier algorithme d'apprentissage évalué et que nous avons entraîné est un modèle linéaire multidimensionnel « *LinearRegression* » de la bibliothèque Scikit-learn.

Mathématiquement parlant, ce modèle cherche à trouver la fonction hypothèse « *h* », qui approximera au mieux les valeurs de sortie à partir des données d'entraînement. Les valeurs de sortie pour chacun des paramètres électriques (courant de fuite et tension d'avalanche) sont représentées par un vecteur *Y* de dimension (*m*, 1). Les données d'entrée sont représentées sous forme d'une matrice *X* de dimension (*m*, *n*), avec « *m* » le nombre de motifs et « *n* » le nombre de variables explicatives « dessin » et « procédé », explicités dans la [section 5-3](#). A noter que les variables discrètes ou continues, comme la longueur d'émetteur et la résistivité du substrat, sont directement insérées dans le jeu de données. En revanche, les variables catégorielles ou porteuses d'une information sur l'état, comme la présence ou pas d'un court-circuit d'anode, sont codées en binaire.

La fonction hypothèse « *h* » se présente sous la forme d'une somme pondérée de variables d'entrée *X*, à laquelle s'ajoute un terme constant (en anglais *intercept*).

La notion d'approximation incite naturellement à calculer une fonction d'erreur induite par la modélisation et appelée fonction de coût « *J* ». L'exercice de modélisation linéaire consiste à utiliser le jeu d'entraînement pour définir les coefficients de pondération qui minimisent la fonction de coût « *J* ». Cette fonction est définie comme suit :

Fonction hypothèse : $h(X) = \theta_0 + \theta_1 X_1 + \theta_2 X_2 + \dots + \theta_n X_n$

Coefficients de pondération : $\theta = (\theta_0, \theta_1, \theta_2, \dots, \theta_n)$

Fonction de coût : $J(\theta) = \frac{1}{2m} \sum_{i=1}^m (h(x_i) - y_i)^2$

Hyperparamètres du modèle utilisé :

Normalize : True

Les variables d'entrée sont normalisées, pour contourner le problème de la différence d'échelle dans la recherche du minima de la fonction de coût [BIE 16].

7.1.2. Interprétation du modèle (poids des variables d'entrée)

Le poids accordé par le modèle linéaire, entraîné à chacune des variables normalisées, pour expliquer les valeurs de sortie *VBO* et *IR3P3*, est donné par les équations ci-dessous :

Modèle linéaire *VBO* : $2,05 \times Ncc + 0,69 \times \text{Substrat} + 0,49 \times S_PNP - 0,38 \times S_NPN - 0,31 \times L + 0,02 \times RC_PBODY_NPLUS + 0,0 \times RC_EPITAXIE - 10$

Modèle linéaire *IR3P3* : $-0,68 \times Ncc - 0,9 \times \text{Substrat} - 0,69 \times S_PNP - 0,21 \times S_NPN - 0,08 \times L + 0 \times RC_PBODY_NPLUS + 0 \times RC_EPITAXIE + 1,36$

Les paramètres d'entrée avec des coefficients de pondération élevés (positifs ou négatifs) sont fortement corrélés à la variable de sortie, comme c'est le cas pour la variable *Ncc* (figure 4.17). En revanche, un coefficient proche de zéro traduit une influence négligeable. Ainsi, selon le modèle de régression linéaire obtenu, la variable *RC_EPITAXIE* n'influence pas les paramètres électriques de sortie *VBO* et *IR3P3*. Ce constat ne semble pas concorder avec les observations de la [section 5-3](#) et la tendance relevée avec la matrice de corrélation. Le modèle ne capture donc pas certaines interactions pourtant attendues entre les variables explicatives et les variables de sortie. Pour s'assurer de la qualité d'ajustement du modèle, une autre approche consiste à examiner ses courbes d'apprentissage sur le jeu d'entraînement et de validation.

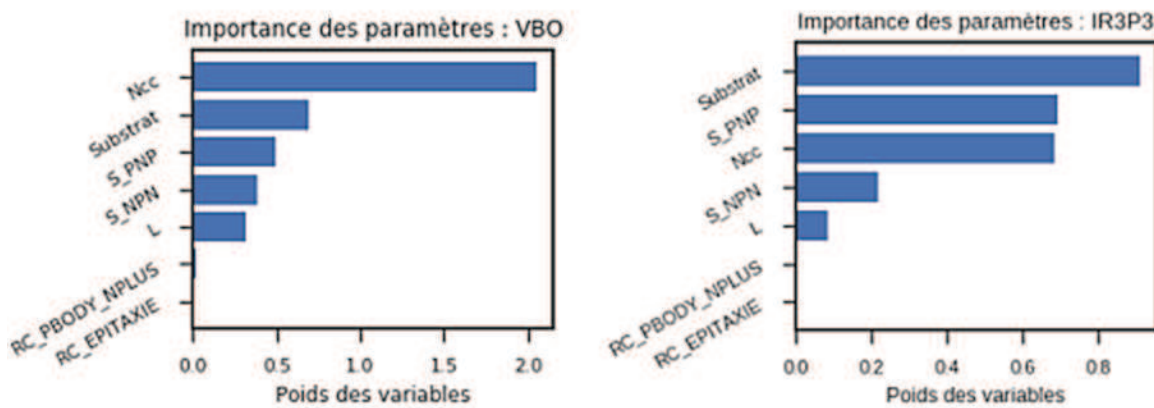


Figure 4.17 : Importance des paramètres procédé et dessin du modèle de régression linéaire

7.1.3. Evaluation du modèle

L'évaluation du modèle consiste à utiliser la validation croisée en k passes de la bibliothèque Scikit-Learn. Dans ce cas, le modèle est évalué en dix passes successives, en réservant à chaque

fois un bloc pour la validation et les neuf blocs restants pour l'entraînement. Les courbes d'apprentissage de la figure 4.18 illustrent les résultats obtenus par le modèle de régression linéaire sur les jeux d'entraînement et de validation, en fonction de la taille du jeu de données utilisé pour chaque point. Dans l'idéal, les courbes d'apprentissage devraient présenter un score différent au départ : plus élevé sur le jeu d'entraînement et plus bas sur le jeu de validation [MUE 19]. Cet écart se réduirait ensuite à mesure que le nombre d'échantillons utilisés dans l'entraînement augmente. Au final, les courbes convergeraient vers un score commun proche de un (prédiction parfaite).

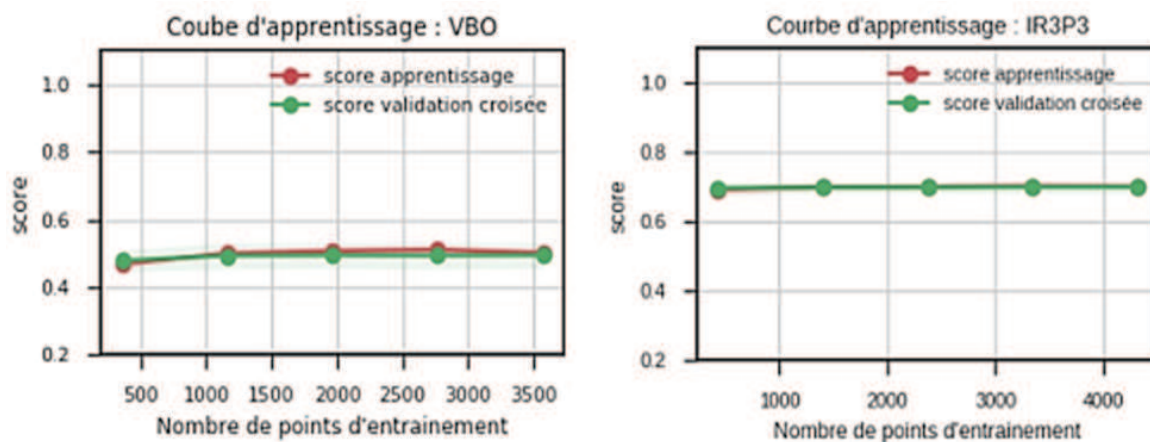


Figure 4.18 : Courbes d'apprentissage avec le modèle de régression linéaire

Dans les diagrammes d'apprentissage de la figure 4.18, on remarque qu'initialement les courbes d'entraînement et de validation se superposent avec un score relativement faible. L'ajout d'une quantité de données supplémentaire par la suite n'améliore pas les performances du modèle. Ce dernier présente une erreur de prédiction élevée, se traduisant par un score médiocre d'entraînement, qui est de 0,5 pour la tension et 0,7 pour le courant. Une telle situation indique que l'algorithme est biaisé et cela se traduit par un sous-ajustement des données lié à la simplicité du modèle choisi. En effet, le modèle de régression linéaire se base sur deux hypothèses :

- La linéarité, puisque le résultat de sortie est une sommation pondérée des paramètres d'entrée. Or très souvent, le résultat de sortie dépend de manière non linéaire des paramètres d'entrée. Certains de ces paramètres agissent en effet comme des obstacles, ce qui entraîne, selon les cas, une augmentation ou une diminution soudaine de la réponse de sortie [MUE 19]. C'est le cas par exemple du courant de fuite et de la largeur de base du transistor, qui

en dessous d'un certain seuil entraîne un phénomène de perçage et, par conséquent, une variation soudaine de la gamme de courant de fuite.

- L'indépendance des variables d'entrée, puisque chaque paramètre est seul dans la sommation de régression, multiplié uniquement par son propre coefficient [MUE 19]. L'effet des combinaisons des paramètres d'entrée n'est donc pas pris en compte. Or on sait que certains paramètres du procédé, comme la résistance par carré de la couche d'épitaxie et la résistance pincée formée par les caissons P+ et N+, peuvent s'influencer mutuellement.

Un des moyens pour remédier au problème de sous-ajustement est de sélectionner un modèle plus complexe comme la régression polynomiale et d'évaluer ensuite ses performances.

7.2. Régression polynomiale

7.2.1. Entraînement du modèle

La régression polynomiale est une extension de la régression linéaire multiple, évaluée dans la section précédente. Elle consiste à transformer les données d'apprentissage initiales en y ajoutant les puissances de chacune des variables explicatives et d'ajuster ensuite le modèle sur le jeu d'entraînement complété [GER 17]. Pour construire cet ensemble de données, la classe *PolynomialFeatures(degree=k)* de la bibliothèque Scikit-Learn génère une matrice composée de toutes les combinaisons polynomiales des variables explicatives jusqu'au degré k.

Hyperparamètres du modèle utilisé :

- *Normalize : True*

Les variables d'entrée sont normalisées (entre 0 et 1) pour contourner le problème de la différence d'échelle dans la recherche du minima de la fonction de coût.

- *Polynomialfeatures_degree : [2, 7]*

Les variables explicatives sont associées à des degrés polynomiaux de 2 à 7. Par exemple, la fonction hypothèse d'un modèle polynomial à deux variables explicatives de degré deux va s'écrire comme suit :

$$h(X) = \theta_0 + \theta_1 X_1 + \theta_2 X_2 + \theta_3 X_1^2 + \theta_4 X_2^2 + \theta_5 X_1 X_2$$

Recherche par quadrillage :

Pour régler les hyperparamètres du modèle avec précision, la recherche par quadrillage est utilisée pour explorer les différentes combinaisons d'hyperparamètres dans des intervalles de recherche préalablement définis. Ainsi, pour chaque combinaison d'hyperparamètres, un modèle sera estimé et évalué à l'aide d'une validation croisée jusqu'à aboutir à un modèle optimal.

7.2.2. Interprétation du modèle

En se référant aux données d'apprentissage, les régressions polynomiales d'ordre cinq pour la tension et quatre pour le courant sont celles qui présentent le meilleur ajustement du modèle. Dans ce cas, les scores obtenus sont de 0,92 pour la tension et 0,88 pour le courant. En présence de variables multiples, la régression polynomiale met en évidence les relations entre ces différentes variables [GER 17]. Ainsi, pour la tension, le modèle se traduit par 792 nouvelles variables qui représentent toutes les interactions possibles entre les sept variables d'entrée initiales. En observant la figure 4.19, on retrouve le développement polynomial suivant : une valeur constante « 1 » suivie des sept variables explicatives du jeu de données (« x0 » à « x6 ») et, ensuite, des combinaisons et des puissances des variables d'entrée jusqu'à un degré donné.

```
Polynomial feature names:
['1', 'x0', 'x1', 'x2', 'x3', 'x4', 'x5', 'x6', 'x0^2', 'x0 x1', 'x0 x2', 'x0 x3', 'x0 x4', 'x0 x5', 'x0 x6',
 'x1^2', 'x1 x2', 'x1 x3', 'x1 x4', 'x1 x5', 'x1 x6', 'x2^2', 'x2 x3', 'x2 x4', 'x2 x5', 'x2 x6', 'x3^2', 'x3
 x4', 'x3 x5', 'x3 x6', 'x4^2', 'x4 x5', 'x4 x6', 'x5^2', 'x5 x6', 'x6^2', 'x0^3', 'x0^2 x1', 'x0^2 x2', 'x0^2
 x3', 'x0^2 x4', 'x0^2 x5', 'x0^2 x6', 'x0 x1^2', 'x0 x1 x2', 'x0 x1 x3', 'x0 x1 x4', 'x0 x1 x5', 'x0 x1 x6',
 ...
 x6^2', 'x3 x4 x5^3', 'x3 x4 x5^2 x6', 'x3 x4 x5 x6^2', 'x3 x4 x6^3', 'x3 x5^4', 'x3 x5^3 x6', 'x3 x5^2 x6^2',
 'x3 x5 x6^3', 'x3 x6^4', 'x4^5', 'x4^4 x5', 'x4^4 x6', 'x4^3 x5^2', 'x4^3 x5 x6', 'x4^3 x6^2', 'x4^2 x5^3',
 'x4^2 x5^2 x6', 'x4^2 x5 x6^2', 'x4^2 x6^3', 'x4 x5^4', 'x4 x5^3 x6', 'x4 x5^2 x6^2', 'x4 x5 x6^3', 'x4 x6^4',
 'x5^5', 'x5^4 x6', 'x5^3 x6^2', 'x5^2 x6^3', 'x5 x6^4', 'x6^5']
```

Figure 4.19 : dépendances des variables explicatives du modèle de régression polynomiale

7.2.3. Evaluation du modèle

Les courbes d'apprentissage du modèle de régression polynomial affichent un meilleur score comparé aux résultats du modèle précédent (figure 4.20). En effet, le modèle polynomial parvient à capturer les relations non linéaires entre les variables contrairement au modèle de régression linéaire. Avec un échantillon initial d'entraînement réduit, on remarque une forte variance du modèle dans la prédiction du courant de fuite. Cette variance se traduit par une grande différence entre le score d'entraînement et de validation.

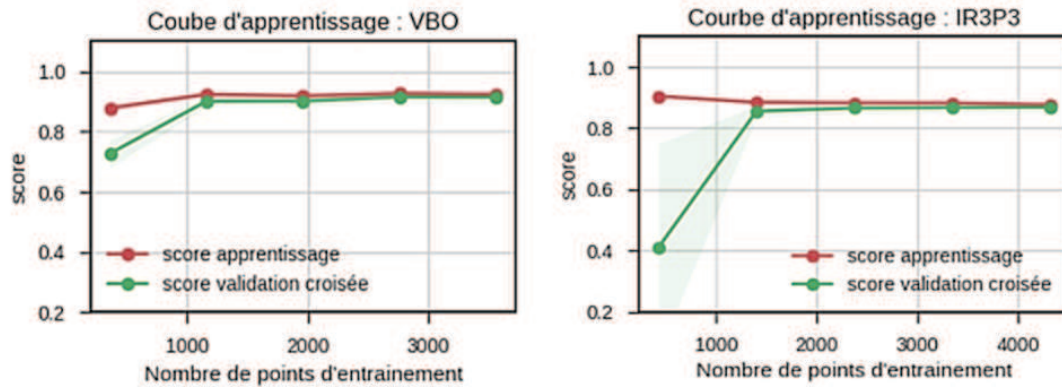


Figure 4.20 : Courbes d'apprentissage avec le modèle de régression polynomiale

A mesure que la taille de l'échantillon injectée augmente, le score de validation s'améliore et les courbes d'apprentissage convergent. A partir d'une taille d'échantillon de 2377 (3ème point), le score atteint un plateau de 0,88. A partir de là, le modèle n'apprend pas d'avantage des échantillons de données ajoutés. Ce manque d'amélioration traduit un biais et, pour y remédier, l'une des solutions consiste à choisir un modèle plus sophistiqué comme les méthodes ensemblistes.

7.3. Forêts aléatoires

Les forêts aléatoires font partie des méthodes dites « ensemblistes ». Ces méthodes se basent sur le principe de l'intelligence collective, ce qui rappelle le fameux proverbe : « deux avis valent mieux qu'un ». Ainsi, au lieu d'avoir un estimateur très complexe, on construit plusieurs estimateurs de moindre qualité, ayant chacun une vision parcellaire du problème. Ces estimateurs sont assemblés ensuite pour fournir une vision globale du problème [BIE 16]. Le modèle des forêts aléatoires consiste donc à entraîner plusieurs arbres de décision pour moyenner ensuite leurs prédictions [GER 17].

7.3.1. Entraînement du modèle

L'utilisation d'un arbre de décision permet une modélisation prédictive. L'arbre se présente graphiquement sous forme d'une structure arborescente (figure 4.21). Il est basé sur un partitionnement récursif du jeu de données en sous-populations appelées « nœuds » de l'arbre. Chaque nœud est défini par une variable explicative et une prédiction de la variable de sortie. Le partitionnement de chaque nœud s'effectue de manière binaire, c'est-à-dire que chaque nœud a deux descendants, à la manière d'un algorithme « si / alors ». Pour le partitionnement de chaque

nœud, l'algorithme choisit à chaque fois une variable explicative capable de minimiser au mieux l'erreur quadratique moyenne de prédiction (MSE) [GER 17] [RAS 15].

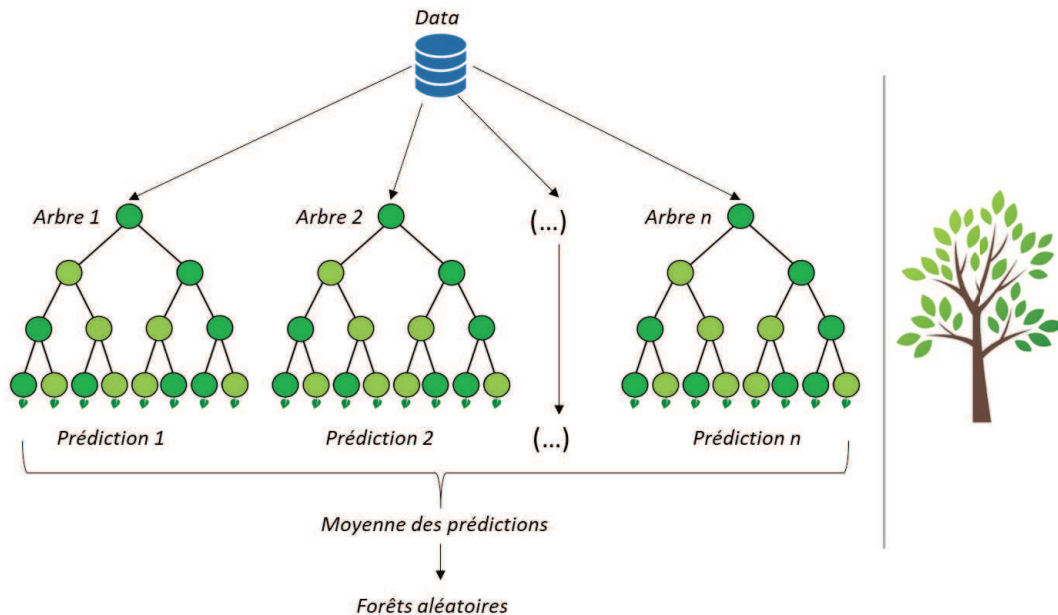


Figure 4.21 : Illustration du modèle des forêts aléatoires

L'opération de partitionnement est interrompue lorsque plus aucune séparation n'est possible ou lorsqu'un critère d'arrêt prédéfini est atteint (nombre d'observations minimal pour chaque nœud, profondeur maximale de l'arbre, ...). Des nœuds terminaux sont alors obtenus (feuilles de l'arbre) et l'ensemble des règles pour les feuilles de l'arbre complet forme un modèle.

Le principal problème avec les arbres de décision est leur tendance au surajustement et, de ce fait, ils sont très sensibles aux petites variations du jeu d'entraînement [MUL17]. Pour remédier à cette instabilité, un autre algorithme plus généraliste, appelé *forêts aléatoires*, est utilisé pour effectuer une moyenne des prédictions d'un ensemble d'arbres de décision.

Les forêts aléatoires sont une méthode ensembliste qui se base sur l'intelligence collective. L'idée étant qu'une combinaison de modèles entraînés donne de meilleurs résultats qu'un modèle individuel complexe. Ainsi, chaque arbre a une vision parcellaire du problème grâce à un tirage aléatoire parmi le jeu d'entraînement et les variables explicatives. Chaque arbre s'affaire ensuite à résoudre le problème avec le sous-échantillon de données dont il dispose. A la fin, l'algorithme agrège les résultats de l'ensemble des arbres pour avoir une vision globale du problème. La

prédiction finale est la moyenne des prédictions de l'ensemble des arbres de décision [MUE 15] [MUL 17].

Hyperparamètres du modèle utilisé :

- *Max depth* : [3, 9]

La profondeur maximale de chaque arbre de décision.

- *N_estimators* : {500, 1000, 1500}

Le nombre d'arbres construits. Plus ce paramètre est important plus le risque de surajustement est faible.

7.3.2. Interprétation du modèle

7.3.2.1. Visualisation d'un arbre de décision unitaire

Bien que le modèle des forêts aléatoires soit une sorte de « boîte noire », il offre la possibilité de visualiser certains des arbres de décision qui le constituent. Dans la figure 4.22 l'arbre choisi permet de visualiser les variables qui interviennent dans la prévision du *VBO* d'un motif présentant les caractéristiques suivantes : *RC_EPITAXIE*=26000 Ω /sq, *L*=5 μ m, *Ncc*=0, *SUBSTRAT*=3 m Ω .cm, *S_NPN*=1 μ m, *S_PNP*=5 μ m, *RC_PBODY_NPLUS*=700 Ω /sq.

Dans ce cas, la profondeur de l'arbre est limitée à trois niveaux pour simplifier la visualisation.

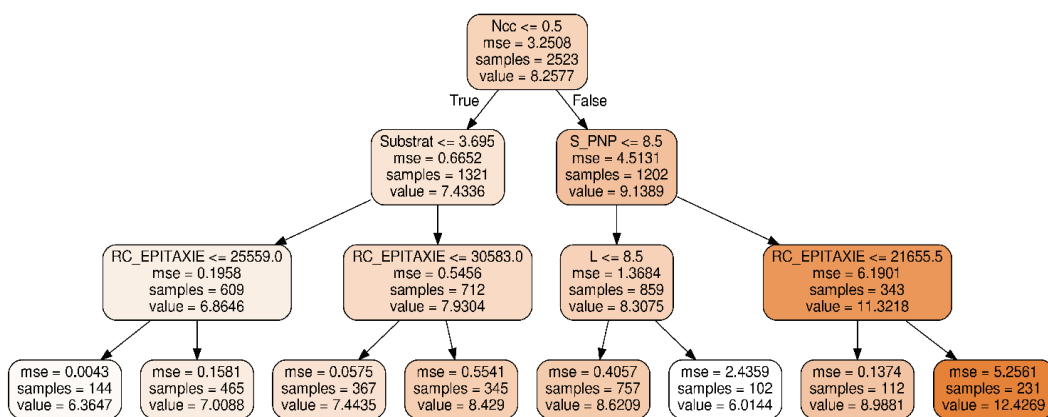


Figure 4.22 : Exemple d'arbre de décision unitaire pour la tension VBO, construit par le modèle des forêts aléatoires

Pour la prédiction, l'algorithme traverse l'arbre en partant de la racine. A la première question $N_{cc} \leq 0,5$, la réponse est « Vraie », puisque $N_{cc} = 0$. L'algorithme passe ensuite à la deuxième question qui est aussi « Vraie », puisque la résistivité du SUBSTRAT $\leq 3,69 \text{ m}\Omega.\text{cm}$. L'algorithme aboutit enfin à la dernière condition $RC_EPITAXIE \leq 25559 \Omega/\text{sq}$ qui est « Fausse ». Par conséquent, l'estimation de la tension VBO pour le motif étudié est de 7 V, comme indiqué dans le nœud terminal de l'arbre unitaire.

A noter que la racine de l'arbre n'est composée que de 2523 échantillons alors que la taille du jeu d'entraînement initial est de 3969 points. Cela est lié au fait que chaque arbre du modèle est entraîné sur une portion aléatoire du jeu d'entraînement total. Notons également que sur les sept variables initialement utilisées, seules cinq sont déterminantes dans la prédiction du VBO . L'algorithme va choisir de façon automatique les plus influentes.

7.3.2.2. Importance des variables

L'importance des paramètres du modèle complet est illustrée dans la figure 4.23. Elle est donnée par la variable « *feature_importances_* ». On peut voir que pour la prédiction du VBO et de l' $IR3P3$, les variables qui apparaissent le plus souvent et au plus « haut » dans les arbres de décision sont le S_PNP et le $RC_EPITAXIE$. En revanche, des variables comme le S_NPN et le RC_PBODY_NPLUS influencent moins les variables de sortie et se retrouvent donc en bas du graphe.

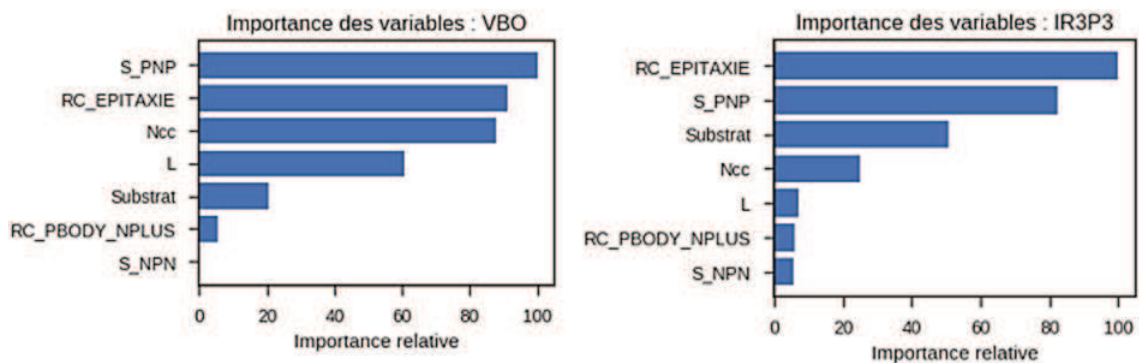


Figure 4.23 : Importance des paramètres de procédé et de dessin du modèle des forêts aléatoires

D'un point de vue métier, ces observations semblent cohérentes, ce qui est plutôt bon signe quant à la qualité du modèle. En effet, certains paramètres de dessin ou de procédé peuvent avoir une influence plus ou moins importante selon la grandeur électrique ciblée. De manière générale, trois

paramètres d'entrée ont été identifiés comme étant critiques : la résistivité de la couche d'épithaxie, la largeur de base du PNP et le court-circuit d'anode ([section 5-3](#)). On sait également que des interactions entre les paramètres d'entrée peuvent exister, ce qui implique qu'un paramètre de dessin ou de procédé peut être déterminant pour certaines combinaisons de paramètres d'entrée. Ainsi, prenons l'exemple d'un court-circuit d'anode, celui-ci n'aura pas la même influence sur le courant de fuite dans le cas d'une faible ou d'une forte résistivité d'épithaxie (figure 4.11). D'autres interactions cachées entre les paramètres d'entrée peuvent également exister, les modèles d'apprentissage se chargent alors de les déceler. Il peut s'agir alors d'une interprétation fondée ou erronée du modèle. C'est le cas, par exemple, de la longueur d'émetteur qui figure comme un paramètre relativement influant dans la prédiction du VBO pour lequel on ne dispose pas de suffisamment d'informations pour évaluer la pertinence de cette interprétation. Dans ce cas, pour s'assurer de la qualité d'ajustement du modèle et savoir si ce dernier ne souffre pas d'une variance ou d'un biais, on visualise les courbes d'apprentissage afin de l'évaluer.

7.3.3. Evaluation du modèle

7.3.3.1. *Courbes d'apprentissage*

Pour obtenir les meilleures performances prédictives, le modèle d'apprentissage doit trouver un compromis entre la simplicité qui génère un biais élevé et donc un sous-ajustement du modèle et la complexité qui implique plus de variance dans les estimations et donc un surajustement du modèle [MUE 19] [HAR 20]. En observant la figure 4.24, on note que le modèle des forêts aléatoires affiche un bon compromis biais/variance, ce qui est un bon indicateur de son ajustement. En effet, au départ les courbes d'apprentissage affichent des scores légèrement différents : plus élevés sur les données d'entraînement que sur les données de validation. En suivant les performances d'apprentissage, on remarque qu'à mesure que le nombre d'instances d'entraînement augmente, le modèle apprend davantage de règles et l'écart entre les courbes d'entraînement et de validation diminue, jusqu'à ce qu'elles convergent vers un score commun de 0,95. Ce score est supérieur à ceux obtenus par les modèles linéaires précédents, avec une valeur proche de un (prédiction parfaite). Ainsi, si de nouvelles données se présentent, on pourrait s'attendre à ce que le modèle soit capable d'expliquer 95 % de la variance du courant de fuite et de tension d'avalanche.

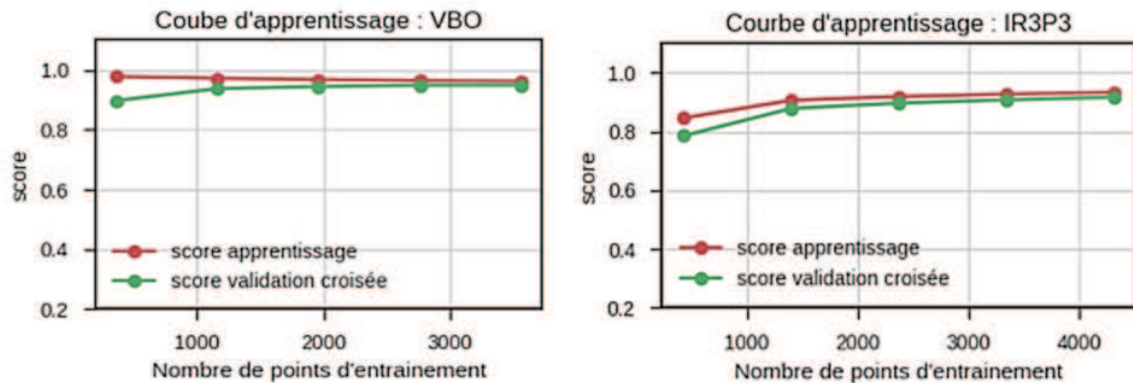


Figure 4.24 : Courbes d'apprentissage avec le modèle des forêts aléatoires

7.3.3.2. *Graphe des résidus*

Pour évaluer les performances du modèle entraîné, celui-ci est appliqué au jeu de test et au jeu d'évaluation préalablement définis ([section 6.3](#)). Les scores de prédiction obtenus pour les différents jeux de données sont résumés dans le tableau ci-dessous.

Jeu	Entraînement	Test	Evaluation
Tension d'avalanche	0,96	0,96	0,99
Courant de fuite	0,94	0,90	0,63

Tableau 4.2: Scores obtenus pour les différents jeux d'entraînement, de test et d'évaluation

On remarque que les scores d'entraînement et de test sont proches pour chacun des paramètres de sortie, avec des valeurs supérieures ou égales à 90 %, ce qui indique un bon ajustement du modèle. Ces observations sont confirmées par le score de 0,99 obtenu sur le jeu d'évaluation final de la tension d'avalanche. En revanche pour le courant de fuite, le modèle se généralise moins bien et son score baisse à 0,63. Cette performance reste néanmoins satisfaisante à ce stade de l'étude, compte tenu du fait qu'une large proportion de la variance totale des « nouvelles » données est expliquée par le modèle.

Pour évaluer les performances, le score de régression est généralement complété par des outils de visualisation [HAR 20]. Nous avons donc opté pour une analyse du graphique des résidus ou « erreurs observées ». Ce dernier permet un contrôle supplémentaire de la validité du modèle entraîné, tout en tenant compte d'une marge d'erreur acceptable de $\pm 10\%$ (figure 4.25).

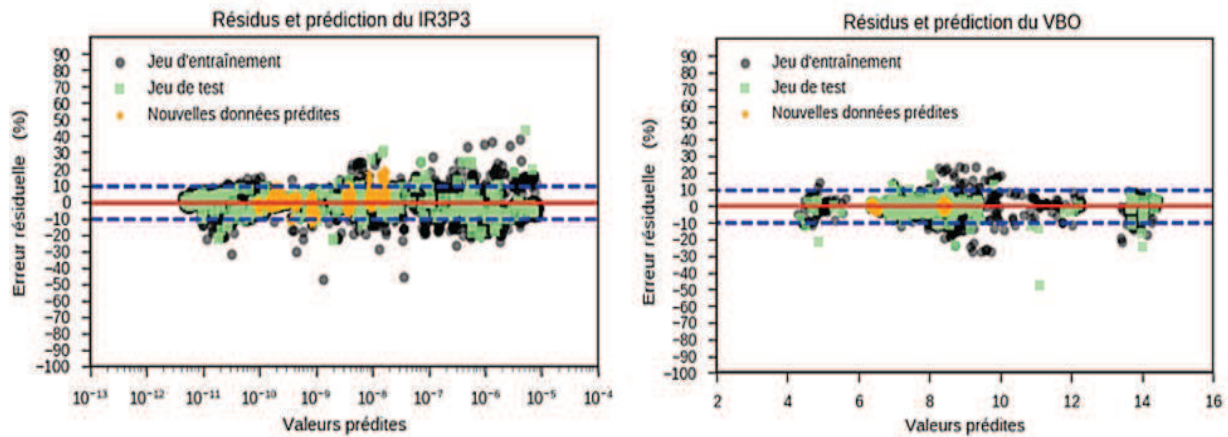


Figure 4.25 : Résidus et prédiction des performances électriques de la protection avec le modèle des forêts aléatoires, en fixant une marge d'erreur acceptable de $\pm 10\%$

Les valeurs prédites sont tracées selon l'axe x , le pourcentage d'erreur entre les valeurs observées et les valeurs estimées par le modèle est représenté selon l'axe y . Dans le cas d'une prédiction parfaite, les résidus sont exactement à zéro mais, dans la pratique, les résidus sont généralement distribués de manière aléatoire autour de la ligne centrale [RAS 15]. Dans le graphique de la figure 4.25, on arrive à déceler une structure particulière qui se dégage pour les plus fortes valeurs du courant de fuite. Il existe également des zones où les points s'écartent significativement de la ligne centrale. Il peut s'agir de points atypiques ou d'observations mal modélisées (sous-estimation ou surestimation). Tous ces éléments peuvent traduire une faiblesse du modèle à capturer certaines corrélations entre les variables d'entrée et les variables de sortie. Toutefois, le modèle affiche des résultats satisfaisants pour la prédiction des faibles valeurs de courants de fuite (gamme du nanoampère) et c'est généralement dans cette gamme de courant que l'on recherche la solution optimale pour la protection des applications. On peut donc déployer le modèle entraîné dans la recherche de solutions optimales pour un cahier des charges donné.

8. Optimisation

Grâce au modèle entraîné, il est possible en variant les paramètres d'entrée, de prédire les résultats de sortie correspondants. Autrement dit, à partir des paramètres technologiques et de dessin, les modèles prédisent chaque paramètre électrique.

Il s'agit maintenant de réaliser l'opération inverse : « *Trouver les paramètres d'entrée optimums, pour obtenir les résultats de sortie souhaités* »

En effet, le cahier des charges auquel doit répondre la protection ESD varie selon l'application à protéger. Cette démarche permet donc de définir le champ d'applications que peut couvrir une protection ESD, moyennant quelques modifications de dessin et de procédé, mais toujours en se basant sur la même base technologique. Nous avons donc ici un problème d'optimisation, qui consiste à trouver le minimum ou le maximum local ou global d'une fonction $f(x)$, dans un domaine prédéfini (*Optimisation avec contraintes*).

Mathématiquement, le processus d'optimisation revient à définir les trois éléments suivants :

- > Les contraintes,
- > La fonction de coût,
- > L'algorithme d'optimisation.

8.1. Paramètres d'entrée avec contrainte

Les contraintes appliquées au problème d'optimisation correspondent aux bornes des paramètres d'entrée (min, max). Il peut s'agir des intervalles de définition des variables tels qu'ils sont établis dans la base de données initiale, comme il peut s'agir d'intervalles plus restreints. Cela permet de rechercher une solution au problème d'optimisation qui soit plus facilement réalisable en termes de dessin et de procédé.

8.2. Définition de la fonction de coût

La fonction de coût à minimiser est choisie comme la somme de la fonction de coût du courant de fuite et de la tension d'avalanche. Elle est définie comme suit :

Fonction de coût globale :

$$f_{cost} = f_{IR3P3_{cost}}(X, IR3P3_{target}, IR3P3_{weight}) + f_{VBO_{cost}}(X, VBO_{target}, VBO_{weight})$$

Fonction de coût du courant de fuite :

$$f_{IR3P3_{cost}} \begin{cases} IR3P3_{weight} * \log\left(\frac{IR3P3_{predicted}(X)}{IR3P3_{target}}\right)^2 & , IR3P3_{predicted}(X) > IR3P3_{target} \\ 0 & , IR3P3_{predicted}(X) \leq IR3P3_{target} \end{cases}$$

Fonction de coût de la tension d'avalanche :

$$f_{VBO_cost} = \begin{cases} VBO_{weight} * \left(\frac{VBO_{predicted}(X)}{VBO_{target}} - 1 \right)^2 & , VBO_{predicted}(X) > VBO_{target} \\ 0 & VBO_{predicted}(X) \leq V_{RM} \\ & , VBO_{predicted}(X) \in]V_{RM}, VBO_{target}] \end{cases}$$

Avec :

$IR3P3_{target}, VBO_{target}$: courant et tension ciblés.

$IR3P3_{weight}, VBO_{weight}$: poids du courant et de la tension ciblés. Cela permet d'accorder plus de poids aux paramètres critiques pour la minimisation de la fonction de coût. En d'autres termes, ces poids permettent aux concepteurs de prioriser certains paramètres de sortie par rapport à d'autres dans le processus d'optimisation.

X : vecteur des paramètres d'entrée ($SUBSTRAT, S_PNP, L, S_NPN, Ncc, RC_EPITAXIE, RC_PBODY_NPLUS$).

$IR3P3_{predicted}, VBO_{predicted}$: courant et tension prédits par les modèles entraînés, pour chaque combinaison de paramètres d'entrée X testée.

V_{RM} : tension d'alimentation du circuit à protéger.

8.3.Algorithme d'optimisation

Le problème d'optimisation dans ce cas consiste à minimiser la fonction de coût. Pour cela, le module *Scipy.optimize* propose deux principaux algorithmes d'optimisation globale que nous avons pu évaluer : *Force Brute*, *Évolution différentielle*.

8.3.1. Force Brute

La recherche de solution par *Force brute* consiste à énumérer de manière exhaustive toutes les combinaisons de paramètres d'entrée possibles, pour minimiser la fonction de coût.

Le module *Scipy.optimize* permet de charger l'algorithme *Force brute* et de l'implémenter comme suit :

```
from scipy.optimize import brute
```

$$brute = f(cost_func, ranges)$$

Avec :

Cost_func : la fonction de coût à minimiser.

Ranges : grille de valeurs d'entrée à parcourir.

Les bornes des performances recherchées sont :

- › Tension : $5\text{ V} < VBO \leq 6\text{ V}$
- › Courant : $IR3P3 \leq 10^{-9}\text{ A}$

La solution trouvée par *Force brute* et qui annule la fonction de coût, est donnée par le point $x = (2.9, 7, 9, 0.5, \text{True}, 21304, 644)$, avec un temps d'exécution total de 1h13min (figure 4.26).

```
cost function values [ 6e-05] vbo [ 6] ir3p3 [ 8.5e-10]
(2.9, 7, 9, 0.5, True, 21304, 644)
Optimization terminated successfully.
    Current function value: 0.000060
    Iterations: 44
    Function evaluations: 227
CPU times: user 1h 11min 16s, sys: 2min 14s, total: 1h 13min 30s
Wall time: 1h 9min 19s
```

Figure 4.26 : Résultat d'optimisation avec la méthode Force brute

Cet algorithme bien que « rigoureux » et simple à implémenter, présente quelques inconvénients [KRZ 18] :

- › Un nombre important de combinaisons testées à chaque itération.
- › Un pas de variation fixe pour chaque variable d'entrée, qui pourrait s'avérer trop fort ou trop faible.
- › Pas d'indication de la direction dans laquelle devraient évoluer les solutions pour minimiser la fonction de coût, ce qui entraîne un gaspillage en temps de calcul et de ressources mémoire.

Une alternative consiste à utiliser des algorithmes évolutionnaires de type algorithme génétique, qui contournent le problème de l'explosion combinatoire des solutions, en n'explorant « délibérément » qu'une partie de l'espace de recherche.

8.3.2. Évolution différentielle

Cette optimisation fait partie des algorithmes évolutionnaires, dont la philosophie repose sur la théorie darwinienne de l'évolution. L'algorithme commence par générer une population initiale composée de solutions suffisamment dispersées dans l'espace de recherche, afin d'avoir une grande diversité génétique [DER 16]. Puis il fait évoluer la population, génération après génération, afin que les solutions qui la composent optimisent une fonction de coût et aboutissent finalement à une solution acceptable.

Malgré le principal inconvénient lié à la précision de la solution, l'évolution différentielle présente des avantages qui s'avèrent intéressants pour ce type de problème :

- › L'optimisation est fondée sur une exploration stochastique qui permet de visiter une partie de l'espace de recherche de manière aléatoire, garantissant ainsi une solution optimale « approchée », en un temps raisonnable [HEL 17]. Cette technique permet de réduire le nombre de combinaisons à évaluer et limiter le piégeage dans les minimas locaux.
- › La fonction de coût peut prendre une forme quelconque, puisque le calcul du gradient n'est pas nécessaire.
- › L'initialisation de l'algorithme s'effectue de manière aléatoire dans l'espace de recherche. Il n'est donc pas nécessaire de disposer d'un « bon » point initial pour débiter les recherches des minimas, comme dans le cas du *Basin-hopping* [FEY 17].

Le module *Scipy.optimize* permet de charger l'algorithme *differential_evolution* et de l'implémenter comme suit :

```
from scipy.optimize import differential_evolution  
  
DE = differential_evolution(cost_func, bounds)
```

Avec :

Cost_func : la fonction de coût à minimiser.

Bounds : les limites (min, max) des intervalles de recherche pour chacune des variables explicatives.

Plus le temps consacré aux calculs est important, plus les chances de convergence de l'algorithme augmentent. Toutefois, cette recherche risque de durer longtemps si l'algorithme ne parvient pas à améliorer la qualité de la solution. Il est donc très important de fixer des règles d'arrêt, en limitant le nombre d'essais ou le temps d'exécution [MUE 17], l'enjeu principal étant de trouver une solution acceptable, en un temps raisonnable.

Comme pour *Force brute*, les bornes des performances recherchées sont :

- › Tension : $5\text{ V} < V_{BO} \leq 6\text{ V}$
- › Courant : $I_{R3P3} \leq 10^{-9}\text{ A}$

La solution trouvée par la méthode d'évolution différentielle et qui annule la fonction de coût, est donnée par le point $x = (4.4, 7, 9, 1.0, \text{True}, 21031, 647)$, avec un temps d'exécution total de 1min30s (figure 4.27).

```
cost function values [ 0.00033] vbo [ 6.1] ir3p3 [ 3.7e-10]
CPU times: user 1min 27s, sys: 2.5 s, total: 1min 30s
Wall time: 1min 25s
(4.4, 7, 9, 1.0, True, 21031, 647)
```

Figure 4.27 : Résultat d'optimisation avec la méthode d'évolution différentielle

L'utilisation des courbes de niveaux et de surface, figure 4.28, permet de visualiser l'évolution de la fonction de coût en 2D et en 3D. Dans les courbes de niveaux, les lignes forment une grille de valeurs pour la fonction de coût globale et sont colorées en fonction de leurs « altitudes ». L'évolution de la recherche est représentée par les couples de vecteurs et de croix, tandis que la solution optimale est représentée par une croix rouge pour une valeur minimale de la fonction de coût.

Il est intéressant de noter que les deux solutions proposées par les algorithmes de *Force Brute* et d'*Évolution différentielle* sont proches (tableau 4.3). On tend donc vers une solution optimale du problème.

De plus en analysant ces résultats de près, il est possible de leur donner une justification « métier ». En effet, pour diminuer le courant de fuite, l'algorithme joue sur deux paramètres importants : la diminution de la résistivité de la couche d'épitaxie et l'ajout d'un court-circuit d'anode. Or, cela a pour effet d'augmenter la tension d'avalanche. Pour y remédier, l'algorithme a fixé la largeur de

base PNP dans sa limite basse, mais sans qu'elle soit trop faible afin d'éviter le phénomène de perçage qui pourrait conduire à un courant de fuite important.

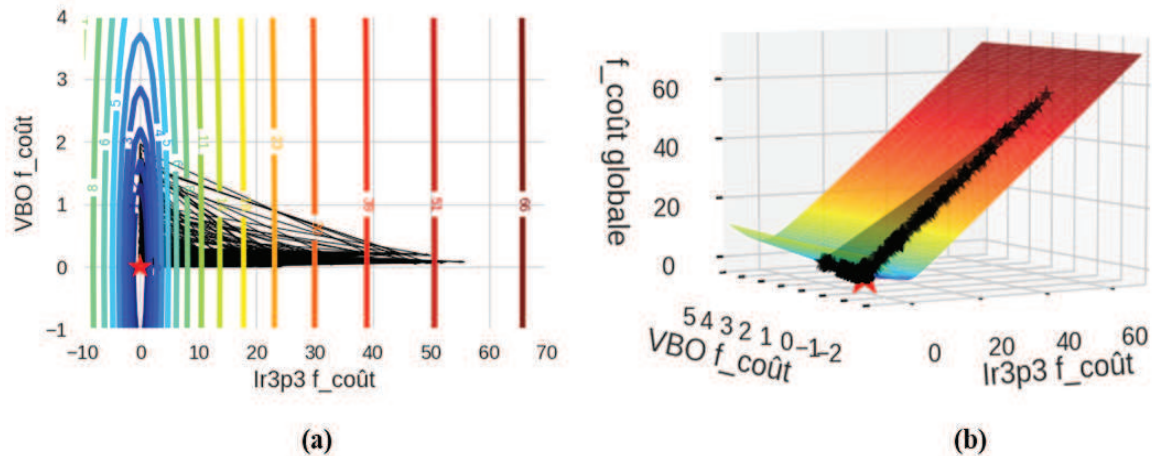


Figure 4.28 : Recherche du minimum (étoile rouge) de la fonction de coût suivi par les courbes de niveaux (a) et de surface (b)

Paramètres		Force Brute	Évolution Différentielle
Procédé	Résistivité du substrat : SUBSTRAT ($m\Omega.cm$)	2,9	4,4
	Résistance par carrée de la couche d'épithaxie : RC_EPITAXIE (Ω/sq)	21304	21031
	Résistance pincée formée par les caissons P+ et N+ : RC_PBODY_NPLUS (Ω/sq)	644	647
Dessin	Longueur d'émetteur : L (μm)	9	9
	Largeur de base du transistor PNP : S_PNP (μm)	7	7
	Largeur de base du transistor NPN : S_NPN (μm)	0,5	1
	Court-circuit d'anode : Ncc	Oui	Oui
Résultats	Tension d'avalanche VBO (V)	6	6,1
	Courant de fuite IR3P3 (A)	8×10^{-10}	4×10^{-10}

Tableau 4.3: Points d'optimisation proposés par les algorithmes « Force Brute » et « Évolution Différentielle »

9. Conclusion et perspectives

Dans ce chapitre, nous avons évalué la capacité de l'apprentissage machine à répondre à la problématique suivante : « Evaluer l'adaptabilité de la protection ESD en fonction des paramètres électriques ciblés ». Cette approche a été expérimentée sur une illustration simplifiée du problème à résoudre : avec sept paramètres d'entrée et deux paramètres de sortie, l'idée étant de maîtriser le processus d'apprentissage de bout en bout avant de le déployer pour le problème de conception dans sa globalité. Celui-ci comprend vingt paramètres électriques de sortie, pilotés par une trentaine de paramètres d'entrée. Cela représente un volume et une diversité de données considérables, qui dépassent de loin les capacités d'une analyse manuelle, d'où l'intérêt de l'approche « *Data science* » qui est proposée ici.

Dans le processus d'apprentissage, les étapes parcourues sont tout d'abord la collecte des résultats du test paramétrique et la transformation des données brutes en données structurées. Arrivent ensuite la sélection et l'entraînement du modèle d'apprentissage. Le choix s'est porté sur l'algorithme des forêts aléatoires, qui se généralise bien aux nouvelles observations. Une fois le modèle final établi, celui-ci est injecté dans un flux d'optimisation, basé sur l'algorithme à évolution différentielle. L'objectif est de trouver la combinaison de paramètres d'entrée optimale, pour les performances électriques ciblées.

L'approche développée dans ce chapitre pourra ensuite être déployée à plus grande échelle, sur des structures ESD de type produit. Le système d'apprentissage devra être raccordé aux sources de données et séquencé de manière à ce qu'il puisse être mené de façon systématique. Pour cela, l'automatisation des mesures sur plaquettes et la structuration des résultats récoltés en bases de données sont essentielles.

Une fois déployé, le système devra être surveillé grâce à une évaluation de ses performances et ce, à intervalles réguliers. Des alertes pourront être déclenchées en cas de dégradation du modèle, ce qui impliquerait un réentraînement avec des données actualisées.

Adopter une approche « *Data science* » dans le processus de conception des protections ESD peut s'avérer avantageux en termes de coût et de temps de développement, ce qui représente un avantage concurrentiel majeur, dans un domaine où le marché est en perpétuelle évolution.

Conclusion générale

Les travaux de cette thèse s'inscrivent dans un contexte concurrentiel, où l'évolution exponentielle des nouvelles technologies de la microélectronique poussent les concepteurs des systèmes à exiger des solutions de protection de qualité optimale, avec des réductions drastiques à la fois sur le coût, les dimensions et les délais de développement.

Dans ces travaux, nous avons défini la qualité de la protection ESD selon trois critères : la robustesse, l'efficacité et la transparence. Pour étudier les difficultés associées à la conception d'un produit de protection optimal, nous avons choisi comme support d'étude une technologie à retournement de type DTSCR. Ce dernier, comme d'autres composants à effet thyristor, est souvent employé dans la protection des circuits haute fréquence. Ce choix s'explique par la faible capacité parasite du dispositif et son niveau de robustesse élevé.

Certaines limitations subsistent toutefois pour ce type de structures. Dans ce travail, deux de ces paramètres limitatifs, à savoir le temps de déclenchement et le point de maintien ont été identifiés et de nouvelles méthodes de test ont été développées pour mieux les caractériser. La première méthode est inspirée de la théorie de la quantité de charge et permet de faire le lien entre le temps de déclenchement et la quantité de charge critique nécessaire à l'amorçage de la structure. La seconde méthode porte sur le point de maintien, avec le développement d'un nouveau banc de test appelé « Pulse-sweep ». Ce dernier permet d'obtenir une mesure réaliste du point de maintien, en se rapprochant au mieux des conditions de fonctionnement de la protection dans l'application.

Le bilan des performances réalisé sur un échantillon de produits de protection, dont le DTSCR, a mis en évidence les difficultés à concilier dans un même produit, des performances optimales à la fois en robustesse, efficacité et transparence. En effet tous ces critères n'évoluent pas dans le même sens et sont souvent régis par de nombreux compromis.

L'approche « traditionnelle », qui consiste à développer un produit de protection qui pourrait couvrir une large gamme d'applications, peut s'avérer difficile et fastidieuse. Pour contourner le problème et réduire les délais de développement, nous avons opté pour une approche de conception basée sur une technologie de protection « flexible », dont les performances électriques seraient facilement adaptables aux exigences du client. L'approche consiste alors à exploiter l'ensemble

des compromis géométriques et technologiques existants, en se basant dans un premier temps sur les outils de simulation TCAD afin d'évaluer les différents compromis. Pour étalonner le simulateur, nous avons adopté une approche progressive, qui se focalise sur les trois critères servant à définir la qualité de protection : robustesse, transparence et efficacité. Nous avons exploité les différentes caractéristiques électriques du dispositif et les briques technologiques qui les conditionnent. Cela a facilité le choix et le paramétrage des modèles physiques. Nous avons également testé une nouvelle approche d'étalonnage, qui vise à ajuster la valeur de la durée de vie des porteurs, en se basant sur les résultats de mesures TLP et le principe de la quantité de charge critique du DTSCR. Tout ceci nous a permis de reproduire un jumeau numérique de la protection étudiée et de donner une tendance générale sur sa qualité de protection. Toutefois, certaines limitations subsistent, comme l'aspect tridimensionnel de certains paramètres électriques, la limite de validité des modèles physiques utilisés et, surtout, la nécessité de « figer » un point technologique avant d'opérer un étalonnage complet du simulateur. Aussi, la démarche consistant à évaluer les différentes pistes d'optimisation de la protection à partir des simulations TCAD s'est avérée à la fois complexe et gourmande en temps et en ressources : d'une part, à cause du nombre de paramètres d'entrées à ajuster et, plus particulièrement, pour les technologies « non-figées » et, d'autre part, en raison de la quantité de paramètres électriques à optimiser, ce qui se traduit par des temps de calcul relativement longs, avec une validité des résultats parfois discutable. Dans le contexte de cette étude, la simulation TCAD peut s'avérer utile dans l'évaluation de la qualité de protection ESD pour des pistes d'optimisation tangibles et prédéfinies.

Pour adapter les pistes d'optimisation au cahier des charges ciblé, nous avons décidé de mettre à profit l'ensemble des connaissances accumulées tout au long du développement de la technologie étudiée. Au total, cela représente une trentaine de paramètres d'entrée (géométriques et technologiques) et presque autant de paramètres de sortie, avec des compromis à trouver pour chacun des paramètres. Dans les faits, cela représente un volume important de données à traiter, ce qui dépasse de loin les capacités d'analyse manuelle. Pour transformer les données accumulées en données utiles, nous avons opté pour une nouvelle approche basée sur les techniques de « l'apprentissage automatique ». Comme il s'agit d'une ébauche dans le domaine de l'ESD, nous avons expérimenté cette approche sur une illustration simplifiée du problème initial. Pour cela, nous nous sommes basés sur un jeu de données issus des résultats du test paramétrique, avec sept paramètres géométriques et technologiques en entrée et deux paramètres électriques en sortie. Dans

le processus d'apprentissage, les données collectées sont nettoyées dans un premier temps et transformées en un jeu de données structuré. Ce dernier est déployé ensuite dans la sélection et l'entraînement des modèles d'apprentissage. Le but est d'aboutir à un modèle performant à la fois dans la prédiction et le temps de calcul.

Dans cette étude, le choix s'est porté sur le modèle des forêts aléatoires qui se généralise bien aux nouvelles observations. Une fois le modèle établi, celui-ci est injecté dans un flux d'optimisation, basé sur des algorithmes à évolution différentielle. Finalement, en mettant à contribution l'ensemble des paramètres géométriques et technologiques de la protection, les algorithmes d'apprentissage convergent bien vers une combinaison de paramètres d'entrée optimale, pour les performances électriques ciblées. A ce stade de l'étude, la solution proposée par les algorithmes d'apprentissage a été validée par une approche « métier ». Dans les perspectives futures, l'approche d'apprentissage abordée dans ce travail pourrait être déployée à plus grande échelle sur des motifs de protection type produits, basés sur des technologies flexibles que l'on adapterait ensuite en fonction de l'application ciblée. Les solutions proposées pourront être affinées grâce à la simulation TCAD, qui servirait alors d'outil de validation pour la qualité du dispositif de protection optimisé. A noter que pour mener à bien cette approche, le système d'apprentissage devra être raccordé aux sources de données et séquencé de manière à être systématiquement déployé. Pour cela, l'automatisation des mesures sur plaquettes et boîtiers, ainsi que l'organisation des données récoltées sous forme de bases de données structurées, constituera une première étape dans la stratégie d'apprentissage à mettre en place.

Bibliographie

- [ACQ 05] Acquier B., " L'USB en bref", available at : <https://acquier.developpez.com/cours/USB/>, Avril 2005.
- [AME 02] Amerasekera E.A., Duvvury C., "ESD in Silicon Integrated Circuits", 2nd Edition, John Wiley & Sons, 2002.
- [AND 01] Anderson D., Dzatko D., "Universal Serial Bus System Architecture", 2nd ed, Addison-Wesley, 2001.
- [ANS 09] ANSI/ESD SP5.6-2009, "Electrostatic Discharge Sensitivity Testing - Human Metal Model (HMM) - Component Level", 2009.
- [ANS 14] ANSI/ESDA/JEDEC JS-001-2014, "Joint Standard for Electrostatic Discharge Sensitivity Testing - Human Body Model (HBM) - Component Level", 2014.
- [ANS 18] ANSI/ESDA/JEDEC JS-002-2018, "Joint Standard for Electrostatic Discharge Sensitivity Testing - Charged Device Model (CDM) - Device Level", 2018.
- [ARN 92] Arnould J., Merle P., "Dispositifs de l'électronique de puissance : volume 2", Hermès, 1992.
- [ARN 92] Arnould J., Merle P., "Dispositifs de l'électronique de puissance : volume 2", Hermès, 1992.
- [BAF 18] Bafleur M., Caignet F., Nolhier N. "Méthodologies de protection ESD: Du composant au système", ISTE Group, 2018.

- [BAK 09] Bakshi U.A., Godse A.P., "Electronic Devices And Circuits", Technical Publications, 2009.
- [BAL 08] Baliga, B.J., "Fundamentals of Power Semiconductor Devices", Springer US, 2008.
- [BAL 11] Baliga, B.J. "Advanced High Voltage Power Device Concepts", Springer, 2011.
- [BAR 15] BARTH J., "TLP and VFTLP Testing of Integrated Circuit ESD Protection", ICAE Conference, Korea, 2015.
- [BEN 10] Ben M'hamed B., "Contribution à l'analyse de la susceptibilité des composants électroniques à des perturbations transitoires : caractérisation et modélisation des éléments de protection", Ph.D Thesis, Université de Limoges, France, 2010.
- [BEN 12] Benoist T., "Conception de protections contre les décharges électrostatiques sur technologies avancées silicium sur isolant", Ph.D Thesis, Université de Grenoble, France, 2012.
- [BES 19] Besse P., "Science des données – Apprentissage Statistique", Institut National des Sciences Appliquées de Toulouse, 2019.
- [BIE 16] Biernat E., Lutz M., "Data science : Fondamentaux et études de cas : Machine learning avec Python et R", Eyrolles, 2016.
- [BLI 76] Blicher A., Thyristor Physics, Springer New York, 1976.
- [BOM 16] Bommarito M., "Isotonic Regressions in scikit-learn", available at : <http://bommaritollc.com/2014/06/08/isotonic-regressions-scikit-learn/>, Juin 2014.
- [BON 19] Bonjour J.-D., "Installation et utilisation de Python et outils associés", EPFL-ENAC-IT, 2019.
- [BOS 15] Boschetti A., Massaron L., "Python data science essentials", Packt Publishing, 2015.
- [CAD 12] Cadence Design Systems, "Virtuoso Platform What s New", version 6.1.5 ISR13, 2012

-
- [CHE 08] Chen W.-Y., Ker M.-D., Huang Y.-J., "Investigation on the Validity of Holding Voltage in High-Voltage Devices Measured by Transmission-Line-Pulsing (TLP)", IEEE Electron Device Letters, vol. 29, no. 7, pp. 762-764, 2008.
- [COU 15] Courivaud B., "Développement et réalisation de nouvelles structures de protection contre les décharges électrostatiques", Ph.D Thesis, Université Paul Sabatier - Toulouse III, France, 2015.
- [DAN 90] Dangelmayer G. T., "ESD Program Management: A Realistic Approach to Continuous Measurable Improvement in Static Control", Springer Science & Business Media, 1999
- [DAV 67] Davies R.L., Petruzella J., "P-n-p-n Charge Dynamics", Proceedings of the IEEE, vol. 55, no. 8, 1967, pp. 1318–1330.
- [DER 16] Deroussi L., "Métaheuristiques pour la logistique (Volume 2)", ISTE Editions, 2016.
- [DUV 15] Duvvury C., Gossner H., "System Level ESD Co-Design", John Wiley & Sons, 2015.
- [EAT 17] Eaton, "Technical Note : Multilayer Varistor Application Notes", United States, 2017.
- [ESD 10] ESD Association, "Fundamentals of Electrostatic Discharge : Part Five -Device Sensitivity and testing", Rome, NY, 2010.
- [ESD 16] ESD Association, " Electrostatic Discharge (ESD) Technology Roadmap ", Rome, NY, 2016.
- [ESM 02] Esmark K., "Device Simulation of ESD Protection Elements", Series in Microelectronics, Hartung-Gorre, Volume 128, 2002.
- [ESM 03] Esmark K., Gossner H., Stadler W., "Simulation Methods for ESD Protection Development", Elsevier Science, 2003.

- [FAN 84] Fang R.C., Moll J.L., "Latchup model for the parasitic path in bulk CMOS", IEEE Transactions on Electron Devices, vol. 31 , pp. 113-120, 1984.
- [FEY 17] Feyel P., "Optimisation de la commande robuste par les métaheuristiques", ISTE editions, 2017.
- [FU 14] Fu Y., Li Z., Tung N., Sin J.K.O., "Integrated power devices and TCAD simulation", CRC Press, 2014.
- [GAU 09] Gauthier R., Abou-Khalil M., Chatty K., Mitra S., Li J., "Investigation of voltage overshoots in diode triggered silicon controlled rectifiers (DTSCRs) under very fast transmission line pulsing (VFTLP)", 2009 31st EOS/ESD Symposium, pp. 1-10, 2009.
- [GER 17] Geron A., "Machine learning avec Scikit-Learn", Dunod, 2017.
- [GOE 05] Goeau C., "Etude de la décharge électrostatique définie par le modèle du composant chargé CDM sur les circuits intégrés CMOS", Ph.D Thesis, Institut National des Sciences Appliquées de Lyon, France, 2005.
- [GRA 93] Graciet M., "Varistances", Techniques de l'Ingénieur, 1993.
- [GRA 98] Graciet M., Pinel J., "Protection contre les perturbations - Composants de protection : utilisation", Techniques de l'ingénieur, 1998.
- [GUI 02] Guillaume A., "Evaluation de la robustesse de circuits intégrés vis-à-vis des décharges électrostatiques", Ph.D Thesis, Institut National des Sciences Appliquées de Lyon, France, 2002.
- [HAR 20] Harrison M., "Machine learning : les fondamentaux : exploiter des données structurées en Python", Éditions First, 2020.
- [HEL 17] Heliodore F., Nakib A., Ismail B., Ouchraa S., Schmitt L., "Métaheuristiques pour les réseaux électriques intelligents (Volume 3)", ISTE Editions, 2017.

-
- [HUO 08] Huo M.X., "Investigation of turn-on speeds of electrostatic discharge protection devices using transmission-line pulsing technique", 2008 2nd IEEE International Nanoelectronics Conference, pp.601-606, 2008.
- [HUO 10] Huo M.X., "Study of turn-on characteristics of SCRs for ESD protection with TDR-O and TDR-S TLPs", 2010 17th IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits, pp.1-8, 2010.
- [IEC 08] IEC, Electromagnetic compatibility (EMC) – Part 4-2: Testing and Measurement Techniques – Electrostatic Discharge Immunity Test, IEC 61000-4-2, Edition 2.0, 2008.
- [IEC 17] IEC, Electromagnetic Compatibility (EMC) - Part 4-5: Testing and Measurement Techniques Surge Immunity Test, IEC61000-4-5, 2017.
- [IND 09] Industry Council On ESD Target Levels, "White Paper 2: A Case for Lowering Component Level CDM ESD Specifications and Requirements", March 2009.
- [IND 10] Industry Council On ESD Target Levels, "White Paper 1: A Case for Lowering Component Level HBM/MM ESD Specifications and Requirements", October 2010.
- [INF 14] Infineon, "ESD/Surge Protection Diodes-Quick Start Guide", Infineon Technologies, 2014.
- [INF 19] Infineon, "Understanding ESD protection device characteristics : basic introduction", Germany, 2019.
- [KRZ 18] Krzyk K., "Coding Deep Learning for Beginners - Linear Regression (Part 3): Training with Gradient Descent", available at: <https://towardsdatascience.com/coding-deep-learning-for-beginners-linear-regression-gradient-descent-fcd5e0fc077d>, Août 2018.
- [LAC 09] Lacheze L., "Etude et simulation physique des effets parasites dans les HEMTs AlGaIn/GaN", Ph.D Thesis, Université de Bordeaux, France, 2009

- [LEM 15] Lemberger P., Batty M., Morel M., Raffaelli J., "Big Data et Machine Learning - Manuel du data scientist", Dunod, 2015.
- [LET 01] Leturcq P., "Composants semi-conducteurs de puissance bipolaires. Partie 2", Techniques de l'ingénieur, 10 Mai 2001.
- [LIM 13] Lim T.F., "Dispositifs de protection contre les décharges électrostatiques pour les applications radio fréquences et millimétriques", Ph.D Thesis, Université de Grenoble, France, 2013.
- [LIT 10] Littelfuse, "Varistor Products Overview", 2010.
- [LIT 16] Littelfuse, "Surface Mount Multilayer Varistors (MLVs) Design Guide", 2016.
- [LUC 93] Lucia M.L., Hernandez-rojas J.L., Leon C., Martil I., "Capacitance Measurements of P-n Junctions: Depletion Layer and Diffusion Capacitance Contributions." European Journal of Physics, vol. 14, no. 2, Mar. 1993, pp. 86–89.
- [MER 03] Mergens, M., et al., "Diode-Triggered SCR (DTSCR) for RF-ESD Protection of BiCMOS SiGe HBTs and CMOS Ultra-Thin Gate Oxides", IEEE International Electron Devices Meeting, 2003, p. 21.3.1-21.3.4.
- [MER 13] Merceron P., Thon B., "Bus haut-débit: contraintes sur les fonctions de protection ESD et de filtrage", Microwave & RF, 2013.
- [MUE 15] Mueller J.P., Massaron L., "Python for Data Science For Dummies", John Wiley & Sons, 2015
- [MUE 17] Mueller J., Massaron L., "Les algorithmes pour les nuls", First Editions, 2017.
- [MUE 19] Mueller J.P., Massaron L., "Le machine learning pour les nuls", Éditions First, 2019
- [MUL 17] Muller A.C., Guido S., "Introduction to Machine Learning with Python: A Guide for Data Scientists", O'Reilly, 2017.

-
- [NEX 18] Nexperia, "ESD Application Handbook: Protection concepts, testing and simulation for modern interfaces", 2018.
- [NOL 05] Nolhier N., Methodologie de conception des protections des circuits intégrés contre les décharges électrostatiques, Ph.D Thesis, Université Paul Sabatier - Toulouse III, France, 2005.
- [ONS 12] ON Semiconductor, "Latch-up Considerations for ESD Protection Devices on High Speed Serial Interface Applications - Application Note", AND9116/D, Rev.0, Semiconductor Components Industries, USA, 2012.
- [QIA 13] Qiang C., "On-chip Electro-static Discharge (esd) Protection For Radio-frequency Integrated Circuits", Electronic Theses and Dissertations, University of Central Florida, 2013.
- [RAS 15] Raschka S., "Python Machine Learning", Packt Publishing, 2015.
- [RIC 15] Richert W., Coelho L.P., "Building Machine Learning Systems with Python", Second Edition, Packt Publishing, 2015
- [SAL 05] Salamero C., "Méthodologie de prédiction du niveau de robustesse d'une structure de protection ESD à l'aide de la simulation TCAD", Ph.D Thesis, Université Paul Sabatier - Toulouse III, France, 2005.
- [SEM 18] Semtech, "Semtech analyst day 2018", SMTTC, New York, 2018.
- [SEN 87] Sen P.C., "Power Electronics", Tata McGraw-Hill, 1987.
- [SHU 06] Shur M., Rumyanstev S., Levinshtein M., "SiC Materials and Devices", vol. 1, World Scientific, 2006.
- [SIV 10] Sivanagaraju, S., Reddy, B.M., Prasad, A.M., "Power Electronics", Prentice-Hall Of India Pvt Limited, 2010.
- [STM 13] STMicroelectronics, "AN4275 - Application note : IEC 61000-4-5 standard overview", August 2013.

- [SYN 15a] Synopsys , "Sentaurus™ Process User Guide", version : K-2015.06, 2015
- [SYN 15b] Synopsys , "Ligament User Guide", version : K-2015.06, 2015
- [SYN 15c] Synopsys , "Sentaurus™ Structure Editor User Guide", version : K-2015.06, 2015
- [SYN 15d] Synopsys , "Sentaurus™ Device User Guide", version : K-2015.06, 2015
- [SYN 15e] Synopsys , "Sentaurus™ Visual User Guide", version : K-2015.06, 2015
- [SZE 81] Sze S.M., "Physics of Semiconductor Devices", 2nd Edition, John Wiley and Sons, New York, 1981.
- [TEX 19] Texas instruments, "Application Report : how to select a Surge Diode", Dallas, January 2019.
- [TRE 04] Tremouilles D., "Optimisation et modélisation de protection intégrées contre les décharges électrostatique, par l'analyse de la physique mise en jeu", Ph.D Thesis, Institut National des Sciences Appliquées de Toulouse, France, 2004.
- [TRO 86] Troutman R.R., "Latchup in CMOS technology: the problem and its cure", Springer US, 1986.
- [UNI 00] Universal Serial Bus specification – Revision 2.0, 27 April 2000.
- [VAS 14] Vashchenko, V.A., Scholz M., "System Level ESD Protection", Springer, 2014.
- [VIN 03] Vinson J.E., Bernier J.C., Croft G.D., Liou J.J., "ESD Design and Analysis Handbook", Springer Science & Business Media, 2003.
- [VIN 98] Vinson, J.E., Liou J.J., "Electrostatic Discharge in Semiconductor Devices: An Overview", Proceedings of the IEEE, vol. 86, no. 2, February 1998, pp. 399–420.
- [VOL 16] Voldman S.H., "ESD Testing: From Components to Systems", John Wiley & Sons, 2016.

-
- [WOL 05] Wolf H., Gieser H., Stadler W., Wilkening W., “Capacitively Coupled Transmission Line Pulsing CC-TLP – A Traceable and Reproducible Stress Method in the CDM-Domain”, Journal of Microelectronics Reliability, Elsevier, volume 45, no. 2, 2005, pp. 279-28.
- [WON 05] Wong B., Mittal A., Cao Y., Starr G.W., "Nano-CMOS Circuit and Physical Design", John Wiley & Sons, 2005.

Liste des publications

REVUE INTERNATIONALE – MICROELECTRONICS RELIABILITY :

“New triggering-speed-characterization method for diode-triggered SCR using TLP”, Mouna Mahane, David Trémouilles, Marise Bafleur, Benjamin Thon, Marianne Diatta, Lionel Jaouen, Microelectronics Reliability, Volumes 76–77, September 2017, Pages 692-697.

CONFÉRENCE INTERNATIONALE – ESREF 2017:

“New triggering-speed-characterization method for diode-triggered SCR using TLP”, Mouna Mahane, David Trémouilles, Marise Bafleur, Benjamin Thon, Marianne Diatta, Lionel Jaouen, Microelectronics Reliability, Volumes 76–77, September 2017, Pages 692-697.

POSTER – IEW2018:

“Improved method for Holding Voltage and Current Measurements for a Snapback ESD Protection”, Mouna Mahane, Benjamin Thon, David Trémouilles, Marise Bafleur, LAAS-CNRS, 12th International Electrostatic Discharge Workshop May 14-18, Belgium, 2018.