

# Table des matières

## 1 Remerciements

## Table des matières

### Liste des figures

### Liste des tableaux

<b>2 Introduction</b>	<b>5</b>
<b>3 Conversion analogique/numérique pour les imageurs</b>	<b>9</b>
3.1 Métriques des ADCs . . . . .	9
3.2 Architectures de convertisseurs . . . . .	14
3.3 ADC colonne pour imageurs . . . . .	26
3.4 Conclusion . . . . .	42
<b>4 Two-step incremental <math>\Sigma\Delta</math></b>	<b>45</b>
4.1 Theorie $I\Sigma\Delta$ . . . . .	46
4.2 Two-step conversion . . . . .	51
4.3 Modélisation des défauts . . . . .	65
4.4 Conclusion . . . . .	70
<b>5 Conception analogique</b>	<b>71</b>
5.1 Approche en $gm/Id$ . . . . .	72
5.2 Intégrateur . . . . .	74
5.3 Additionneur-comparateur . . . . .	83
5.4 Echantillonneur-Bloqueur . . . . .	88
5.5 Bloc de phases non-recouvrantes . . . . .	90
5.6 Schéma de l'ADC . . . . .	91
5.7 Conclusion . . . . .	93
<b>6 Résultats</b>	<b>95</b>
6.1 Inverseur . . . . .	95
6.2 Echantillonneur-bloqueur . . . . .	98

6.3	Intégrateur . . . . .	100
6.4	>Additionneur-comparateur . . . . .	103
6.5	ADC . . . . .	104
<b>7</b>	<b>Conclusion</b>	<b>107</b>
7.1	Contribution . . . . .	108
7.2	Perspectives . . . . .	109

# Liste des figures

2.1	Architecture d'un imageur CMOS [1]	6
3.1	Fonction de transfert d'un convertisseur 3 bits	10
3.2	Erreur d'offset pour une conversion sur 3 bits	11
3.3	Influence du DNL et de l'INL pour une conversion sur 3 bits	12
3.4	Différence des calculs des erreurs dynamiques	13
3.5	Schéma d'un ADC simple rampe[2]	15
3.6	Schéma d'un ADC cyclique[3]	16
3.7	Principe du RSD avec la comparaison 3 niveaux d'un ADC cyclique [4]	17
3.8	Architecture de CAN SAR et exemple de conversion [5]	17
3.9	Influence du sur-échantillonnage sur le bruit dans la bande-passante de l'ADC	19
3.10	Noise shaping d'un modulateur $\Sigma\Delta$ [5]	19
3.11	Architecture d'un ADC $\Sigma\Delta$ du 1 <sup>er</sup> ordre[6]	20
3.12	Topologie d'un modulateur $\Sigma\Delta$ 3 étages [7]	21
3.13	Architecture d'un ADC $\Sigma\Delta$ incrémental du 1 <sup>er</sup> ordre [8]	22
3.14	Architecture d'un ADC hybride	24
3.15	Architecture du modulateur de 2 <sup>nd</sup> ordre [9]	24
3.16	Architecture du DAC de 11 bits segmenté avec les capacités parasites [9]	25
3.17	Schema simplifié d'un ADC SS two-step [10]. Le CDS analogique est réalisé par le transistor $\Phi_{AZ}$	26
3.18	Schema simplifié d'un ADC SS two-step [10]. Le CDS analogique est réalisé par le transistor $\Phi_{AZ}$	28
3.19	Schema simplifié d'un ADC SS two-step [11]	29
3.20	Architecture d'un ADC cyclique 13-bit [12]	31
3.21	Architecture d'imageur utilisant un ADC cyclique de 12-b avec une largeur de 8 pixels [13]	32
3.22	Architecture d'ADC SAR 12 bits avec DAC segmenté en deux parties[14]	34
3.23	Architecture d'ADC SAR 14 bits avec une échelle de tension de références[15]	35
3.24	Architecture d'ADC SAR 14 bits avec une échelle de tension de références[16]	36
3.25	Architecture d'un modulateur $I\Sigma\Delta$ avec des inverseurs [17]	38

---

3.26 Architecture d'un modulateur I $\Sigma$ $\Delta$ two-step [18] . . . . .	40
3.27 (a) High-level view of two-steps architecture, schematic of the sample and hold and (b) the I $\Sigma$ $\Delta$ second order modulator(c) . . . . .	41
3.28 Architecture d'un modulateur I $\Sigma$ $\Delta$ two-step [19] . . . . .	42
3.29 Figure récapitulative de l'état de l'art des ADCs pour imageur de leur résolution en fonction de la fréquence d'échantillonnage . . . . .	43
3.30 Figure récapitulative de l'état de l'art des ADCs pour imageur de leur $FoM_{CIS}$ en fonction de leur résolution . . . . .	44
4.1 Architecture d'un I $\Sigma$ $\Delta$ d'ordre 2 avec intégrateurs en cascade, feed-forward et retour unitaire du DAC . . . . .	46
4.2 (a)Valeur de l'erreur de quantification $e_Q$ et (b) valeur du résidu analogique pour un OSR de 25 . . . . .	48
4.3 Erreur de quantification d'un modulateur d'ordre 2 pour un OSR de 25 . . .	49
4.4 Résolution en fonction de la dynamique d'entrée pour différents OSR d'un ADC $\Sigma\Delta$ avec un modulateur d'ordre 2 et des coefficients d'intégration unitaires . . . . .	50
4.5 Dynamique d'entrée pour différentes architectures de $\Sigma\Delta$ incrémental pour un OSR de 100 . . . . .	50
4.6 Résolutions calculées et idéales pour différentes architectures de $\Sigma\Delta I$ . . . .	51
4.7 (a) Vue haut niveau d'un convertisseur $\Sigma\Delta$ incrémental two-step et (b) architecture du modulateur $\Sigma\Delta$ incrémental de second ordre avec feed-forward	52
4.8 Dynamique maximum du second intégrateur pour différentes valeurs de $a_3$ . .	55
4.9 Dynamique maximum du second intégrateur pour différentes valeurs de $a_4$ . .	55
4.10 Dynamique maximum du second intégrateur pour différentes valeurs de $a_5$ . .	56
4.11 Dynamique du second intégrateur en fonction de la dynamique d'entrée du modulateur . . . . .	56
4.12 Occurence des valeurs $V_1$ et $V_2$ pour différentes valeurs d'entrée pour une entrée balayant toute la dynamique et un OSR= 200 . . . . .	57
4.13 Résolution normée en fonction de $\beta$ . . . . .	58
4.14 Comparaison de l'architecture two step utilisant un modulateur d'ordre 2 et d'architectures $\Sigma\Delta$ classiques . . . . .	59
4.15 Optimisation de $\beta$ pour différentes architectures . . . . .	61
4.16 Résolution de convertisseurs pour différentes architectures . . . . .	62
4.17 DNL et INL idéaux de l'ADC $\Sigma\Delta I2-2$ avec 256k points en entrée . . . . .	64
4.18 SNDR du convertisseur $\Sigma\Delta 2-2$ avec un signal d'entrée de 230 kHz . . . . .	64
4.19 Equivalence entre un intégrateur en temps discret et u intégrateur à capacités commutées . . . . .	65
4.20 ENOB du convertisseur en fonction du gain de l'intégrateur déterminé à partir de l'équation (4.45) . . . . .	66

4.21 ENOB du convertisseur en fonction du GBW pour $F_{CLK}=20$ MHz . . . . .	67
4.22 ENOB du convertisseur en fonction de l'OSR pour différents mismatch de capacités . . . . .	68
4.23 INL et DNL du convertisseur pour des valeurs de coefficients $a_1 = a_2 = 0.5+0.5\%$ avec 256k valeurs d'entrées . . . . .	69
5.1 Architecture haut-niveau retenue de l'ADC . . . . .	72
5.2 Architecture haut-niveau de modulateur $\Sigma\Delta I$ d'ordre 2 . . . . .	72
5.3 Courbes de caractérisation du paramètre $gm$ et $Id$ pour différents $V_{gs}$ . . . . .	73
5.4 Courbe du paramètre $g_m/I_D$ . . . . .	73
5.5 circuit à capacités commutées avec auto-zeroing en : (a) phase d'échantillonnage et (b) phase d'intégration . . . . .	74
5.6 Valeurs du signal de commande $\Phi_1$ , $\Phi_2$ et d'intégrateur sur quatre intégrations avec $V_I = 100$ mV, $C_S = 1$ , $C_I = 2$ et $V_{OFFSET} = 20$ mV . . . . .	76
5.7 Inverseur avec un gain-boosting . . . . .	78
5.8 Fonction de transfert de l'inverseur du gain-boosting dimensionné. Analyse du gain en dB en fonction de l'entrée associée . . . . .	80
5.9 Réponse fréquentielle du gain de l'inverseur autour de son point de fonctionnement . . . . .	81
5.10 Variation de la sortie de l'intégrateur pour une entrée de 750 mV . . . . .	82
5.11 Erreur en fonction du temps d'intégration pour une grande variation en sortie (figure du haut, cas A) et pour une faible variation (figure du bas, cas Bp) . . . . .	83
5.12 Schéma du bloc intégrateur . . . . .	84
5.13 Schéma du bloc sommateur-comparateur . . . . .	85
5.14 Signaux numériques de commande de l'additionneur . . . . .	85
5.15 Schéma de principe d'un comparateur . . . . .	86
5.16 Schéma du comparateur double tail utilisé . . . . .	86
5.17 Analyse Monte-Carlo (process+mismatch sur 200 points) de l'offset et du temps de décision maximum du comparateur . . . . .	87
5.18 Analyse temporelle de l'additionneur pour déterminer l'offset : en haut, le signal d'entrée du comparateur, en bas la sortie du comparateur après décision . . . . .	88
5.19 Schéma de l'échantillonneur/bloqueur utilisé . . . . .	89
5.20 Chronogramme des signaux de commande de l'échantillonneur-bloqueur . . . . .	89
5.21 Schéma du bloc générant les horloges non recouvrantes . . . . .	91
5.22 (a) Schéma complet de l'ADC proposé et (b) signaux de commande associés . . . . .	92
5.23 Analyse fréquentielle de l'ADC, utilisant une FFT sur 256 points . . . . .	93
6.1 Inverseur avec un gain-boosting . . . . .	96
6.2 Layout de l'inverseur avec le gain-boosting . . . . .	96

6.3 Analyse AC de l'inverseur suivant plusieurs entrées compris dans la plage [-5 $\mu$ ;+5 $\mu$ ] . . . . .	97
6.4 Schéma de l'échantillonneur/bloqueur . . . . .	98
6.5 Layout d l'échantillonneur bloqueur . . . . .	99
6.6 Erreur en sortie de l'échantillonneur-bloqueur sur toute la plage d'entrée du convertisseur pour différents corners de simulation et températures (-20°C, 25°C, 85 °C) . . . . .	99
6.7 Schéma du bloc intégrateur . . . . .	100
6.8 Layout de l'integrateur . . . . .	101
6.9 Erreur en fonction du temps d'intégration pour une grande variation en sortie (figure du haut) et pour une faible variation (figure du bas) . . . . .	102
6.10 Layout de l'additionneur . . . . .	103
6.11 Sortie synchrone du bloc intégrateur lorsqu'un rampe est appliquée en entrée	104
6.12 Layout de l'ADC . . . . .	105
6.13 Réponse fréquentielle de l'ADC "fully extracted" . . . . .	105
6.14 Comparaison de cet ADC avec la littérature . . . . .	106

# Liste des tableaux

3.1	Caractéristiques qualitatives des ADCs par intégration . . . . .	15
3.2	Table récapitulative de l'ADC cyclique . . . . .	16
3.3	Table récapitulative des ADCs SAR . . . . .	18
3.4	Table récapitulative de l'ADC $\Sigma\Delta$ incrémental . . . . .	23
3.5	Table récapitulative des ADCs par intégration . . . . .	25
3.6	Table de comparaison des CANs . . . . .	25
3.7	Table récapitulative des ADCs à intégration dans le domaine de l'imagerie . . . . .	30
3.8	Table récapitulative des ADCs cycliques dans le domaine de l'imagerie . . . . .	32
3.9	Table récapitulative des ADCs SAR dans le domaine de l'imagerie . . . . .	37
3.10	Table récapitulative des ADCs $\Sigma\Delta$ dans le domaine de l'imagerie . . . . .	39
3.11	Table récapitulative des ADCs hybrides dans le domaine de l'imagerie . . . . .	41
4.1	Coefficients idéaux d'un modulateur du 2 <sup>nd</sup> ordre pour une utilisation dans un convertisseur two-step . . . . .	56
4.2	Coefficients retenus d'un modulateur du 2 <sup>nd</sup> ordre pour une utilisation dans un convertisseur two-step . . . . .	57
4.3	Notation des différentes architectures two-step . . . . .	59
4.4	Valeurs de $\beta$ pour différentes architectures . . . . .	60
4.5	Valeurs de $\beta$ pour différentes architectures . . . . .	63
4.6	Résumé des paramètres du modulateur . . . . .	69
4.7	Résumé des caractéristiques de l'ADC . . . . .	69
5.1	Régime de fonctionnement d'un transistor NMOS . . . . .	72
5.2	correspondance du paramètre $gm/Id$ et du régime de fonctionnement . . . . .	73
5.3	Condition de régime de fonctionnement des inverseurs . . . . .	76
5.4	Condition de régime de fonctionnement des inverseurs . . . . .	77
5.5	Taille des transistors de l'inverseur avec gain-boosting et leur paramètre $gm/Id$ associé . . . . .	78
5.6	Caractéristiques et spécifications de l'amplificateur développé . . . . .	80
5.7	Caractéristiques et spécifications de l'amplificateur développé . . . . .	81
5.8	Taille des switches CMOS . . . . .	82
5.9	Taille des différents transistors du comparateur . . . . .	85

6.1	Valeurs de GBW pour différentes entrées autour du point de fonctionnement	97
6.2	Caractéristiques de l'inverseur à différents corners pour plusieurs température	97
6.3	Résumé des temps d'intégration du bloc intégrateur pour différents corners	102
6.4	Récapitulatif du layout du comparateur	104
6.5	Récapitulatif des performances de l'ADC I $\Sigma$ $\Delta$ 2-2	106



# Liste des abréviations

ADC	Analog-to-Digital Converter
APS	Active Pixel Sensor
CCD	Charged Coupled Device
CDS	Correlated Double Sampling
CIS	CMOS Image Sensor
CMOS	Complementary Metal Oxyd Semiconductor
CMS	Correlated Multiple Sampling
DAC	Digital-to-Analog Converter
DNL	Differential Non-Linearity
DR	Dynamic Range
ENOB	Effective Number Of Bits
FoM	Figur-of-Merit
FPN	Fixed Pattern Noise
FPS	Frame Per Second
INL	Integral Non-Linearity
LSB	Least Significant Bit
MSB	Most Significant Bit
NTF	Noise Transfer Function
OSR	Oversampling Ratio
PMS	Pseudo Multiple Sampling
RSD	Redundant Signed Digit
SAR	Successive Approximation Register
$\Sigma\Delta$	Sigma-Delta
SFDR	Spurious Free Dynamic range
SNDR	Signal-to-Noise plus Distortion Ratio
SNR	Signal-to-Noise Ratio
SS	Single Slope
STF	Signal Transfer Function



# Chapitre 2

## Introduction

Les systèmes d'imagerie prennent une place de plus en plus importante dans notre vie et deviennent un domaine majeur de l'électronique. Les applications de ces systèmes sont multiples, telles que l'imagerie vidéo, les applications médicales, la détection infrarouge ou ultraviolet ou encore l'imagerie spatiale qui est le domaine auquel on va s'intéresser dans cette thèse.

L'imagerie spatiale s'est énormément développée ces dernières années pour les applications d'observation terrestre [20][21][22], par exemple le suivi météorologique, la surveillance militaire ou la cartographie, ou encore le positionnement satellitaire comme le star-tracking [23][24] [25] et l'observation de l'espace, très utiles pour la compréhension de l'univers. Dans l'imagerie spatiale, deux technologies dominent les systèmes d'imageries, les capteurs d'images CCD (Charged Coupled Device) et les capteurs CMOS (Complementary Metal Oxide Semiconductor).

Le capteur CCD a été introduit en 1969 par Willard Boyle et George E. Smith [26]. Ce détecteur utilise le principe du transfert de charge et a été le premier détecteur à être embarqués sur des satellites. Ces dispositifs sont encore les plus utilisés dans les missions d'imagerie spatiales notamment grâce à leur faible courant de fuite et leur photosensibilité élevée. Cependant d'importants problèmes d'intégration apparaissent entre le CCD et la partie électronique en CMOS, limitant sa gamme d'application.

Aujourd'hui la technologie CMOS, notamment grâce au développement du pixel actif (APS, pour "active pixel sensor") introduit par Noble *et al* [27] en 1968 et démocratisé par E. Fossum [28] en 1993, permet de développer des systèmes appelés CIS (CMOS Image Sensors). Ces systèmes permettant l'intégration en CMOS du pixel et de toute la logique associée sont très compétitifs par rapport aux systèmes CCD. Depuis les années 2000, de nombreuses recherches ont été faites sur les CIS pour les applications spatiales [29] [30] [31] [32]. En effet, grâce à la technologie CMOS, les CIS ont également la possibilité d'intégrer sur une même puce la partie photosensible, l'analogique et le numérique réduisant ainsi la surface du système d'imagerie, la consommation d'énergie et la possibilité d'intégrer du traitement d'image.

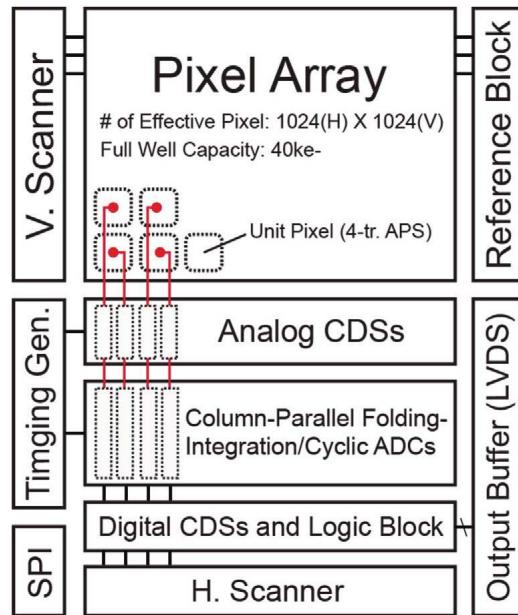


FIGURE 2.1 – Architecture d'un imageur CMOS [1]

De nos jours, avec des contraintes et spécifications grandissantes, telle que la taille croissante des systèmes d'imagerie monolithiques entraînant une augmentation du nombre de pixels ou encore la consommation du système, les imageurs CMOS sont un candidat idéal pour le développement des applications spatiales.

Une architecture d'intégration d'imageurs CMOS est représentée en figure 2.1. Un imageur se compose d'une matrice de pixels pilotées par des signaux de commande pour réaliser l'intégration du flux lumineux et acheminer le signal intégré à l'étage suivant. Cet étage peut intégrer un Correlated Double Sampling (CDS) analogique ou numérique afin de corriger les différences de niveaux de "reset" (ou remise à niveaux) analogiques des pixels, et ainsi réduire le Fixed Pattern Noise (FPN). En revanche, qu'un CDS soit présent ou non, un élément obligatoire est le convertisseur analogique/numérique (Analog-to-Digital Converter, abrégé en ADC) afin de convertir la valeur issue du pixel et la transformer en valeur numérique pour pouvoir transmettre l'image, la traiter ou la compresser.

De nos jours, il y a une forte demande d'imageurs CMOS haute résolution comportant plusieurs millions de pixels. Dans de telles conditions, il apparaît que la gestion de commande des pixels, d'acheminement des données vers la sortie, ou encore la conversion analogique/numérique sont de véritables défis dans les systèmes intégrés. Le convertisseur analogique/numérique est l'un des points limitants de tels systèmes au niveau de la cadence de lecture. Avant, le plus souvent la conversion analogique/numérique était initialement réalisée par un unique convertisseur pour toute la matrice [33]. Avec un seul convertisseur pour une matrice de pixels, la fréquence d'échantillonnage de celui-ci devait alors atteindre

$$F_S = N_L \cdot N_C \cdot \text{FPS} \quad (2.1)$$

où  $N_L$  et  $N_C$  représentent respectivement le nombre de lignes et de colonnes de la matrice

de pixels et FPS le nombre d'images par seconde. Avec le nombre grandissant de pixels, les spécifications requises pour l'ADC au niveau de la fréquence de conversion sont devenues de plus en plus critiques. Des architectures à base d'ADC colonne ont alors été développées afin de relâcher les contraintes de fréquence de conversion sur l'ADC [34][35]. Un ADC est implémenté en bas de chaque colonne pour convertir les pixels de la colonne, créant ainsi une parallélisation de la conversion analogique/numérique. Grâce à la parallélisation des conversions, la fréquence d'échantillonnage nécessaire d'un seul convertisseur devient alors

$$F_S = N_L \cdot FPS \quad (2.2)$$

Ainsi une matrice HD (1920x1080 pixels), la fréquence d'échantillonnage d'un convertisseur colonne est alors divisée par 1920. En revanche, la parallélisation des conversions impose une contrainte spatiale que la largeur d'un ADC ne doit pas dépasser la largeur d'une colonne, soit celle d'un pixel et qui peut varier de 5 à quelques dizaines de  $\mu\text{m}$ .

Dans le domaine des convertisseurs analogique numérique à intégration monolithique dédiés à l'observation terrestre, les nouveaux défis pour les convertisseurs se placent à une résolution de 14 bits et un rafraîchissement de 100 images/s pour une matrice HD. D'après ce rafraîchissement, la fréquence d'échantillonnage de notre convertisseur se situe alors aux alentours des 100 kHz. Les pixels utilisés pour les applications spatiales sont larges du fait de la nécessité de capter des faibles luminosités. Pour notre système, un convertisseur compatible avec une largeur de pixel de largeur de 10  $\mu\text{m}$  est alors choisi. C'est dans ce cadre que s'inscrit notre étude de développement d'une architecture d'ADC colonne haute résolution pour des applications liées à l'observation terrestre.

Dans le premier chapitre, une étude portant sur les principales architectures existantes de convertisseurs analogique/numérique est effectuée ainsi que leurs caractéristiques statiques et dynamiques. De plus, un état de l'art des ADCs développés dans le cadre de l'imagerie est effectué et une comparaison est réalisée afin de s'orienter vers une architecture candidate.

Dans le deuxième chapitre, la théorie du convertisseur incrémental Sigma-Delta ( $\text{I}\Sigma\Delta$ ) est expliquée, ainsi que sa variante qui est la conversion two-step. Une architecture de modulateur  $\text{I}\Sigma\Delta$  est aussi présentée ainsi que son dimensionnement permettant son utilisation dans une conversion two-step.

Dans le troisième chapitre, la conception analogique des différents éléments est abordée, ainsi que les défauts présents dans chacun d'eux.

Enfin, un quatrième chapitre présente les résultats de simulations pré et post-layout avant de conclure par une perspective de travaux futurs.



# Chapitre 3

## Conversion analogique/numérique pour les imageurs

Il existe différents types de convertisseurs analogique/numérique (ADC pour Analog-to-Digital Converter) suivant les applications visées et les spécifications nécessaires. Dans les systèmes d'imagerie, nous avons vu précédemment que les ADCs colonne étaient les candidats idéaux pour le développement de CIS avec une intégration monolithique. Dans ce chapitre, une analyse du principe de la conversion analogique/numérique est d'abord réalisée, avec les influences des défauts statiques et dynamiques ainsi que tous les termes associés à la conversion. Dans un deuxième temps, un balayage des différents types d'ADCs est réalisé. Pour finir un état de l'art des ADCs développés dans le contexte des systèmes d'imagerie est proposé ce qui nous permet d'opter pour une architecture en adéquation avec nos besoins.

### 3.1 Métriques des ADCs

Un convertisseur analogique-numérique convertit une valeur analogique en un mot numérique. Une conversion analogique/numérique est réalisée en deux étapes : l'échantillonnage et la quantification. Dans cette partie, nous expliquons le principe de l'échantillonnage, la quantification et les différentes erreurs liées par exemple à la linéarité.

#### 3.1.1 Caractéristique idéale

La fonction de transfert d'une conversion analogique/numérique est la relation entre l'entrée analogique et le code numérique correspondant. La résolution  $N$  d'un convertisseur analogique-numérique représente le nombre de bits de la sortie numérique. Le nombre de niveaux de quantification dépend du nombre de bits et vaut  $2^N$ . La fonction de transfert d'une conversion analogique/numérique sur 3 bits est montrée figure 3.1.

La largeur d'une marche est appelée le pas de quantification ou quantum,  $q$ , et correspond à la plus petite différence analogique entre deux codes numériques successifs. Le

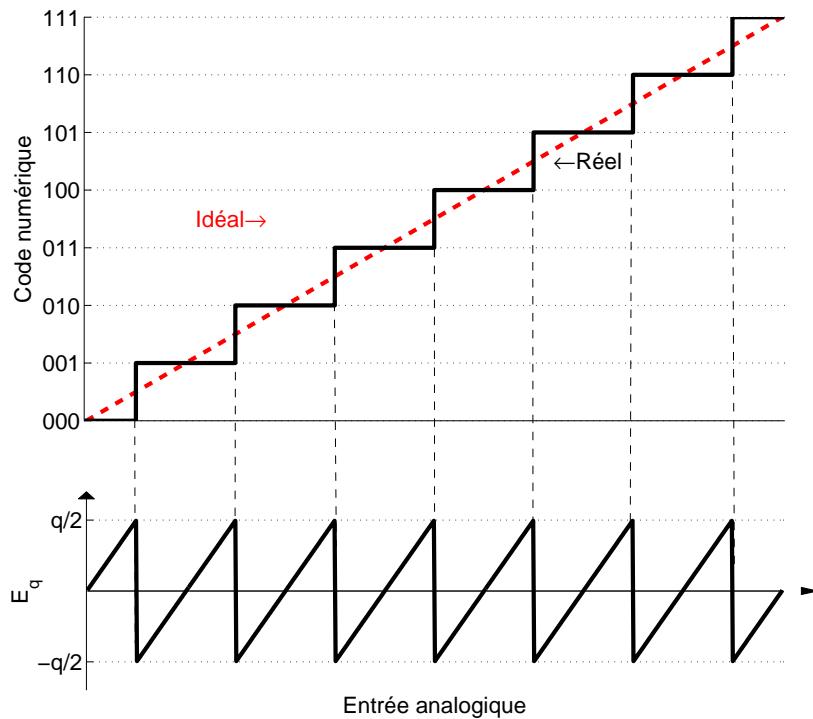


FIGURE 3.1 – Fonction de transfert d'un convertisseur 3 bits

quantum définit le bit de poids faible (LSB pour "Least Significant Bit" du convertisseur tel que

$$q = V_{FS}/2^N \quad (3.1)$$

où  $V_{FS}$  est la valeur Full Scale de la tension d'entrée.

### 3.1.2 Erreur de quantification

L'erreur de quantification est une erreur intrinsèque à la discréttisation d'un signal. Elle représente la différence entre le signal d'entrée et le signal numérique converti. L'allure de l'erreur de quantification pour une conversion sur 3 bits est montrée figure 3.1.

Un bruit de quantification peut être associé à cette erreur. En supposant que l'on peut modéliser ce bruit par un bruit blanc uniforme, la puissance du bruit de quantification peut être définie sur l'intervalle  $[-q/2; q/2]$  par

$$P_q = \int_{-q/2}^{q/2} \frac{1}{q} \cdot x^2 dx = \frac{q^2}{12} \quad (3.2)$$

La valeur moyenne carrée du bruit de quantification peut être considérée égale à  $LSB/\sqrt{2}$  pour des convertisseurs à haute résolution.

### 3.1.3 Métriques statiques

Les erreurs statiques sont les erreurs entre la fonction de transfert idéale d'un convertisseur et la fonction réelle. Les erreurs concernées sont : l'offset, la non-linéarité intégrale (INL pour "integral nonlinearity") et la non-linéarité différentielle (DNL pour "differential nonlinearity"). Elles peuvent être déterminées par un balayage linéaire de la plage d'entrée du modulateur.

#### Offset

L'erreur d'offset est l'erreur constante analogique séparant la courbe théorique de la courbe mesurée. Une erreur d'offset est représentée sur la figure 3.2.

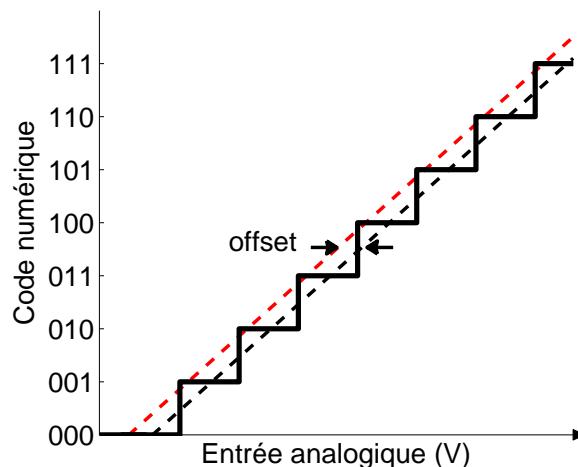


FIGURE 3.2 – Erreur d'offset pour une conversion sur 3 bits

#### Non-linéarité différentielle (DNL)

Le DNL est la différence entre la largeur idéale d'une marche de quantification et sa valeur réelle. A chaque code numérique est associé une valeur de DNL. Elle s'exprime en LSB. Un exemple d'erreur de DNL est représenté sur la figure 3.3. Le convertisseur n'a pas de code manquant si la valeur absolue du DNL est plus petite qu'un LSB. La valeur de la DNL ne peut pas être inférieure à -1.

#### Non-linéarité intégrale (INL)

L'INL est l'écart entre le centre de la valeur réelle d'un code et la valeur mesurée. Elle s'exprime en LSB. Elle représente l'accumulation des erreurs de DNL le long de la fonction de transfert. L'INL est montrée figure 3.3. Il peut s'exprimer comme la somme des DNL du convertisseur.

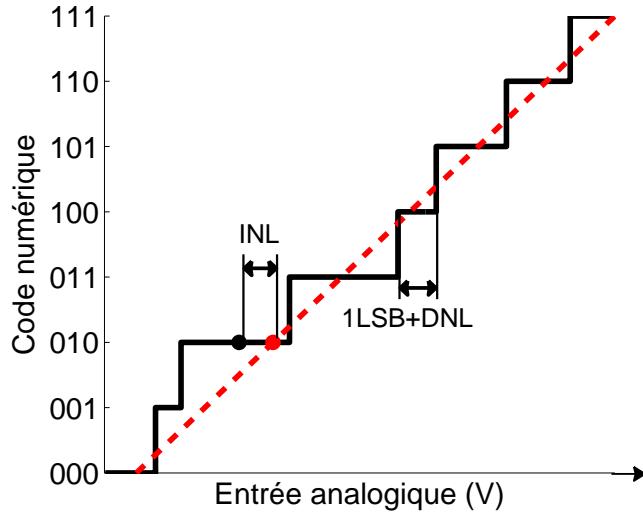


FIGURE 3.3 – Influence du DNL et de l'INL pour une conversion sur 3 bits

### 3.1.4 Métriques dynamiques

Lorsqu'un signal sinusoïdal est appliqué à l'entrée du convertisseur, une étude fréquentielle du signal peut être faite. Cette étude donne des valeurs dynamiques telles que le rapport signal sur bruit (SNR pour "Signal-to-Noise Ratio"), le rapport signal sur bruit avec distorsion (SNDR pour "Signal-to-Noise plus Distortion Ratio" ou encore le "Spurious-Free Dynamic Range" (SFDR).

#### Rapport signal sur bruit (SNR)

Le SNR représente le rapport entre la puissance du signal d'entrée et la puissance du bruit sans tenir compte des harmoniques de distorsion ni de la composante continue. Il s'exprime en dB. La valeur efficace (ou RMS pour Root Mean Square) du signal converti pour une sinusoïde d'entrée est défini par

$$S_{\text{RMS}} = \frac{DR}{2\sqrt{2}} = \frac{2^N q}{2\sqrt{2}} \quad (3.3)$$

avec DR la dynamique d'entrée du convertisseur (ou "Dynamic Range"). La valeur RMS du bruit est définie par

$$Q_{\text{RMS}} = \sqrt{P_q} = \frac{q}{\sqrt{12}} \quad (3.4)$$

Le SNR du signal converti est alors défini par

$$\text{SNR}_{\text{dB}} = 20 \log \left( \frac{S_{\text{RMS}}}{Q_{\text{RMS}}} \right) = 6.02 \times N + 1.76(\text{dB}) \quad (3.5)$$

la résolution N peut être déterminée par l'équation (3.5) à partir du SNR lorsqu'un signal sinusoïdal est converti.

### Signal sur bruit avec distorsion (SNDR)

Le SNDR représente le rapport entre la puissance du signal d'entrée et la puissance de l'erreur totale en tenant compte des différentes harmoniques dues à la distorsion. Ainsi toutes les non linéarités du système ajoutent des harmoniques qui viennent diminuer le SNDR. Le SNDR s'exprime en dB.

### Spurious-Free Dynamic Range (SFDR)

le SFDR représente l'écart en dB entre l'amplitude du signal d'entrée et le pic de l'harmonique la plus élevée. Un résumé de ces différences est représenté dans la figure 3.4

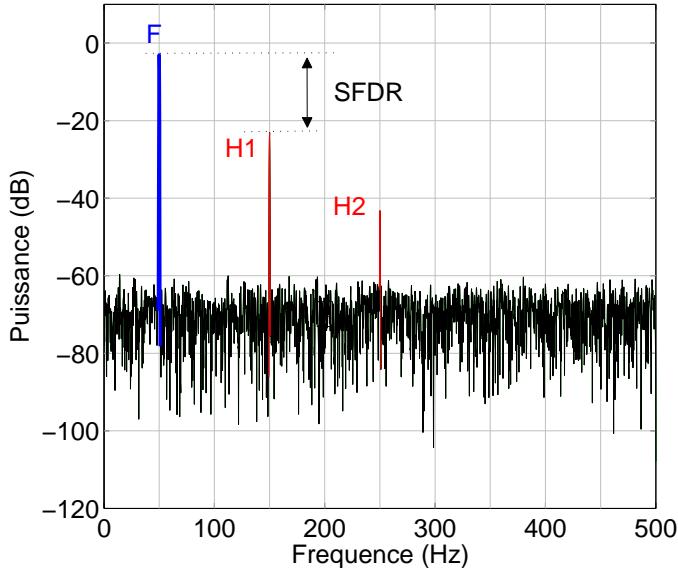


FIGURE 3.4 – Différence des calculs des erreurs dynamiques

### Nombre effectif de bits

A partir des analyses fréquentielles, un nombre effectif de bits (ENOB ou "Effective Number Of Bits"), peut être déterminé. A partir de l'équation (3.5), l'ENOB est défini par

$$\text{ENOB} = \frac{\text{SNDR} - 1.76}{6.02} (\text{bits}) \quad (3.6)$$

Dans les publications, on constate d'ailleurs que l'ENOB est calculé à partir soit du SNR, soit du SNDR. Une attention sera alors portée sur la valeur de l'ENOB annoncée tout au long de l'état de l'art des ADCs, afin de comparer des travaux comparables.

### **3.1.5 Conclusion**

Afin de quantifier un ADC, on peut utiliser soit les valeurs de l'INL et DNL, soit le SNR ou le SNDR. Dans les deux cas, les valeurs mettent en avant les non-linéarités du système de conversion. Dans la suite de cette partie, l'ENOB de chaque architecture se fera sur les métriques dynamiques (SNDR) car ces valeurs sont présentes plus souvent dans les revues. Pour mon étude théorique présentée dans le chapitre suivant, l'analyse du système est aussi faite sur les métriques dynamiques afin de pouvoir comparer les performances de mon système à ceux de la littérature.

## **3.2 Architectures de convertisseurs**

Dans cette partie, plusieurs types d'architecture comme l'ADC simple rampe, l'ADC cyclique, l'ADC SAR et l'ADC  $\Sigma\Delta$  sont expliqués ainsi que leur évolutions.

### **3.2.1 Convertisseur à intégration**

#### **Convertisseur simple rampe**

L'un des ADCs les plus simples à comprendre et à réaliser est l'ADC simple rampe (abrégé en SS, pour "Single Slope"). Le schéma d'un ADC simple rampe est montré sur la figure 3.5. Le circuit est composé d'un intégrateur, d'un comparateur et d'un compteur. Au début de la conversion, la tension du signal d'entrée est stocké dans la capacité. Cette capacité va ensuite se décharger à travers une source de courant. La tension va donc décroître linéairement. Pendant ce temps, le compteur va venir compter le nombre de cycles d'horloge nécessaire pour que la rampe croise la valeur de référence du système, entraînant le blocage du compteur et la fin de la conversion. Le nombre de coups d'horloge nécessaire à la conversion est donc proportionnel à la valeur d'entrée avec

$$T_1 = RC \frac{V_{in}}{V_{ref}} \quad (3.7)$$

où  $RC$  est la constante de temps du système. La sortie numérique  $D$  vaut alors

$$D = T_1 \cdot F_{clk} \quad (3.8)$$

Ce type de convertisseurs est limité en résolution par le générateur d'horloge, la constante  $RC$  de l'intégrateur et la référence du système  $V_{ref}$ . Du fait de leur simplicité d'implémentation, les convertisseurs à simple rampe sont très utilisés dans les applications nécessitant une vitesse de conversion et une résolution moyenne.

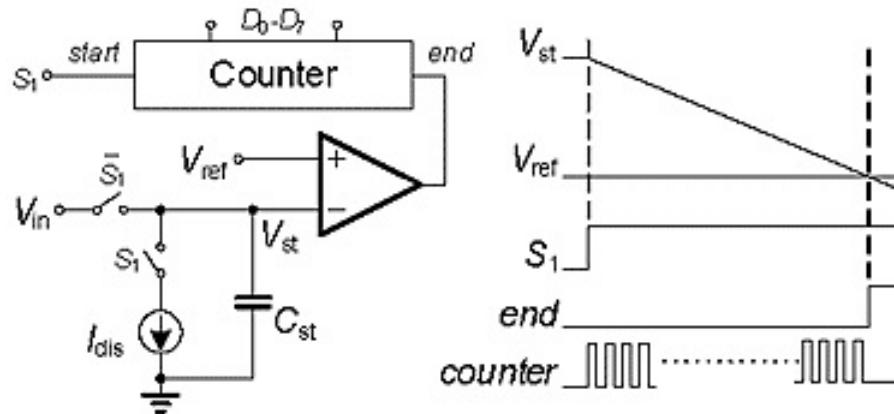


FIGURE 3.5 – Schéma d'un ADC simple rampe[2]

### Convertisseur double rampe

Une architecture plus aboutie et répandue du convertisseur simple rampe est le convertisseur double rampe. Cette conversion se réalise en deux intégrations successives. Une première intégration consiste à charger linéairement la capacité C tout en incrémentant un compteur jusqu'à  $2^N$ , N étant la résolution du convertisseur. Cette phase a une durée  $T_1$ . Durant la deuxième phase, la capacité est déchargée de façon linéaire et le compteur réinitialisé au début de la décharge compte les cycles. Cette phase s'arrête lorsque la tension de l'intégrateur devient nulle (détectée par le comparateur). Cette deuxième phase a une durée  $T_2$  et dépend de la valeur d'entrée. La durée de conversion est alors  $T = T_1 + T_2$ .

Ce type de convertisseur permet de s'affranchir des valeurs exactes de R et C grâce à la double intégration, mais est encore plus lent que le SS ADC dû à la décharge de la capacité.

Un tableau qualitatif résumant les performances de ce type de convertisseur est montré dans le tableau 3.1.

TABLEAU 3.1 – Caractéristiques qualitatives des ADCs par intégration

ADC	Résolution	F (S/s)	Consommation	Taille	Complexité
Simple rampe	-	--	+	+	++
Double rampe	-	o	+	+	+

++ : très bon, + : bon, o : neutre, - : mauvais, -- : très mauvais

### 3.2.2 Convertisseurs cycliques

Le convertisseur cyclique, aussi appelé convertisseur algorithmique, se base sur la comparaison à une référence, puis la génération d'un résidu analogique. Le schéma d'un ADC cyclique est montré sur la figure 3.6. Le déroulement d'une conversion est le suivant : l'entrée est d'abord échantillonnée par un échantillonner-bloqueur. La tension d'entrée

est simultanément comparée à une référence  $\pm V_{Ref}$  et amplifiée par un gain G (typiquement égal à 2). La valeur amplifiée et le résultat de la comparaison sont alors soustraits modifiant ainsi le résidu analogique qui est appliqué à nouveau à l'entrée du comparateur et ainsi de suite.

Cependant à cause des erreurs de désappariement des capacités, la valeur du gain G est théorique et le moindre écart par rapport à cette valeur entraîne une diminution de résolution car :

- le résidu ne balaie pas la totalité de la plage de sortie de l'amplificateur (cas où  $G < 2$ )
- il y a un risque de saturation de l'amplificateur entraînant une perte d'information (cas où  $G > 2$ )

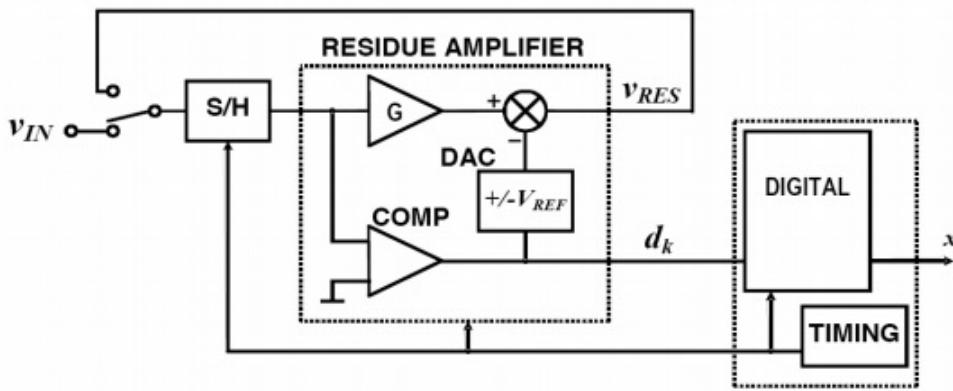


FIGURE 3.6 – Schéma d'un ADC cyclique[3]

### cyclic RSD ADC

Afin de palier aux deux problèmes d'amplifications provoqués par une imperfection dans le niveau de comparaison, la technique du *Redundant Signed Digit* a été développée par Ginetti [36]. L'architecture est identique à la précédente sauf que la comparaison va s'effectuer avec deux comparateurs et les niveaux de transitions sont  $-V_{ref}/4$  et  $+V_{ref}/4$  comme le montre la figure 3.7. La sortie passe alors du binaire à un trio de valeurs -1, 0, 1 correspondant respectivement à  $V_{in} < -V_{ref}/4$ ,  $-V_{ref}/4 < V_{in} < +V_{ref}/4$  et  $V_{in} > +V_{ref}/4$ . De part le résultat sur 3 niveaux, cette architecture est communément appelée architecture à 1.5 bit/étage. cette architecture tolère des offsets allant de  $-V_{ref}/4$  à  $+V_{ref}/4$ , ce qui est bien moins contraignant.

Un résumé des performances des ADCs cycliques est montré dans le tableau 3.2.

TABLEAU 3.2 – Table récapitulative de l'ADC cyclique

ADC	Résolution	F (S/s)	Consommation	Taille	Complexité
Cyclique	o	++	-	+	+

++ : très bon, + : bon, o : neutre, - : mauvais, - - : très mauvais

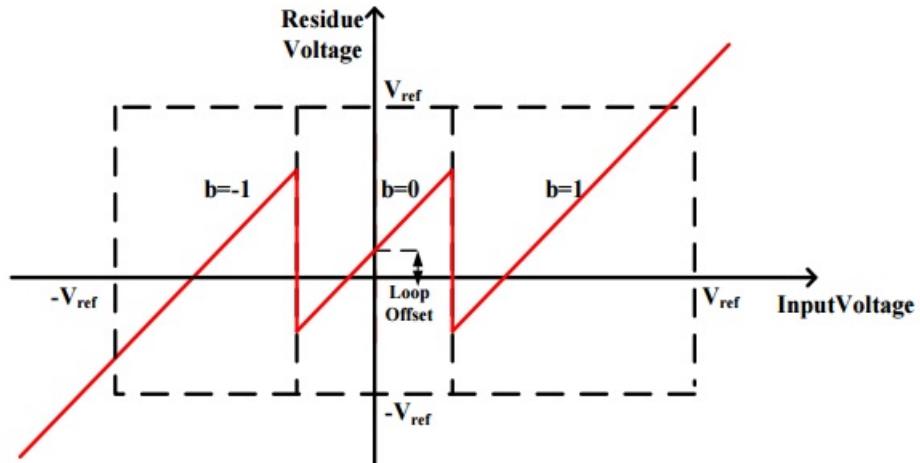


FIGURE 3.7 – Principe du RSD avec la comparaison 3 niveaux d'un ADC cyclique [4]

### 3.2.3 Convertisseurs SAR

Un CAN à approximation successive (SAR) compare le signal d'entrée, tension à convertir, à une référence ajustée à chaque cycle de la conversion. Pour effectuer une conversion avec une résolution de  $N$  bits, le CAN SAR a besoin de  $N$  cycles d'horloge. L'architecture et le principe de fonctionnement d'un CAN SAR sont représentés sur la figure 3.8.

Un CAN de type SAR se compose d'un échantillonneur/bloqueur (S/H), d'un comparateur, d'un DAC et d'un bloc logique fonctionnant sur le principe de dichotomie pour contrôler le DAC.

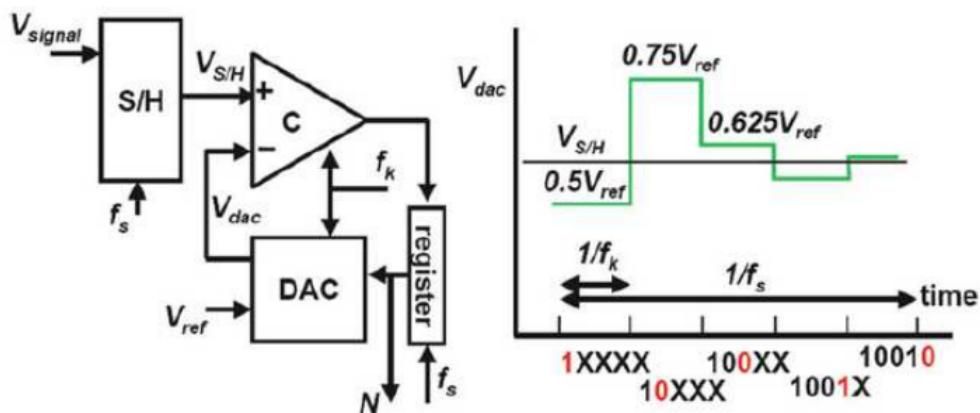


FIGURE 3.8 – Architecture de CAN SAR et exemple de conversion [5]

Au début de la conversion, le signal d'entrée est échantillonné sur l'échantillonneur et la tension  $V_{dac}$  initialisée à  $0.5V_{ref}$ . Le premier bit  $D_0$  est donné par le comparateur et va venir modifier le registre logique et le DAC. Après modification de la valeur  $V_{DAC}$ , la même opération est réitérée donnant ainsi le bit suivant  $D_1$  et ce, jusqu'à  $D_N$ . La tension de référence  $V_{dac}$  au cours de la conversion est définie par

$$V_{dac} = \sum_{i=1}^N \left( D_i \cdot \frac{V_{ref}}{2^i} \right) \quad (3.9)$$

avec  $D_i$  le  $i$ -ème bit de la conversion.

Il existe plusieurs implémentations du bloc DAC dont la méthode la plus répandue est le DAC utilisant une matrice de capacités. Cette méthode s'appuie sur le principe du transfert de charges entre capacités pour modifier la valeur  $V_{DAC}$ . Elle a été introduite par McCreary [37] en 1975 et largement utilisée depuis pour les applications nécessitant une résolution et une vitesse de conversion moyennes. Les ADCs SAR ont une faible consommation car ils ne possèdent pas d'amplificateurs. En revanche leur taille est très importante car les puissances de deux du convertisseur sont implémentées avec des capacités, pouvant aller jusqu'à  $2^N C_U$ ,  $C_U$  étant la capacité unitaire. Ainsi les performances des ADCs SAR sont résumées dans le tableau 3.3.

TABLEAU 3.3 – Table récapitulative des ADCs SAR

ADC	Résolution	F (S/s)	Consommation	Taille	Complexité
SAR	o	++	++	--	o

++ : très bon, + : bon, o : neutre, - : mauvais, -- : très mauvais

### 3.2.4 Convertisseurs $\Sigma\Delta$

Les ADCs de type  $\Sigma\Delta$  utilisent le principe de sur-échantillonnage qui leur permet d'atteindre des résolutions très élevées au prix d'une diminution de la vitesse de conversion. Dans cette section, le principe du sur-échantillonnage et du "noise shaping" est abordé, puis l'architecture du  $\Sigma\Delta$  est expliquée avec les améliorations qui lui ont été apportées, dont le  $\Sigma\Delta$  incrémental. Nous allons ensuite expliquer le  $\Sigma\Delta$  incrémental, qui est un dérivé du  $\Sigma\Delta$  classique.

#### Sur-échantillonnage

Les ADCs Sigma-Delta (ou  $\Sigma\Delta$ ) font partie de la famille des ADC à sur-échantillonnage. Au lieu d'échantillonner à la fréquence de Nyquist, l'échantillonnage se fera à une fréquence  $F_s = OSR \times F_{nyq}$ , OSR étant le facteur de sur-échantillonnage (ou *Over Sampling Ratio* en anglais). Lorsque l'on suréchantillonne un signal, le bruit est réparti fréquenciellement de façon uniforme sur la bande de conversion comme le montre la figure 3.9. Comme le bruit présent dans la bande passante de l'ADC a diminué, le SNR augmente permettant une meilleure conversion. Le facteur de sur-échantillonnage correspond alors à un compromis entre la vitesse et la résolution d'une conversion.

#### Noise Shaping

En plus du sur-échantillonnage, dans le  $\Sigma\Delta$ , une mise en forme du bruit est réalisée et une partie du bruit est rejetée dans les hautes fréquences comme le montre la figure

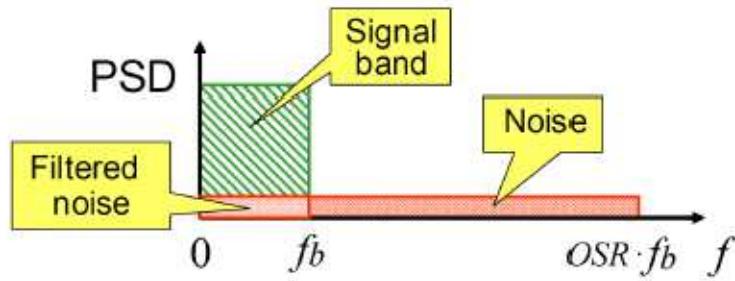


FIGURE 3.9 – Influence du sur-échantillonnage sur le bruit dans la bande-passante de l'ADC

3.10. Cette mise en forme du bruit est réalisée par le modulateur du  $\Sigma\Delta$ , élément indispensable du convertisseur et expliquée dans la suite. Par exemple, pour un modulateur du 1<sup>er</sup> ordre, le SNR s'améliore de 9 dB lorsque l'OSR double. Une architecture utilisant le sur-échantillonnage et le noise shaping est le modulateur  $\Sigma\Delta$ .

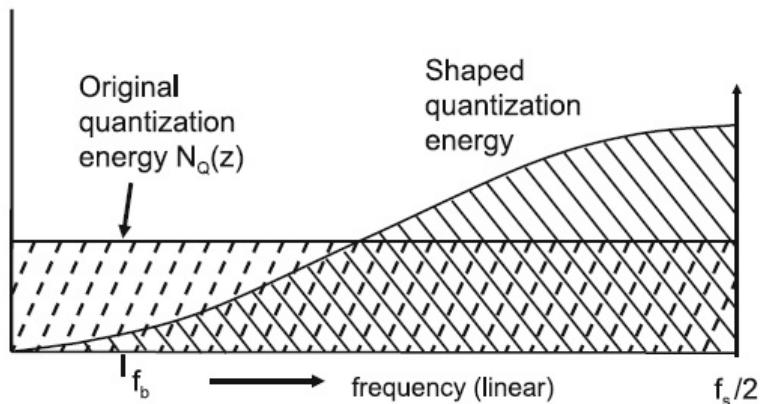


FIGURE 3.10 – Noise shaping d'un modulateur  $\Sigma\Delta$  [5]

### Principe du $\Sigma\Delta$

Le principe de la modulation  $\Sigma\Delta$  est apparu dans les années 60 [38], mais son utilisation en tant que convertisseur analogique/numérique est apparue au cours des années 70 [39]. Cette architecture utilise un modulateur de premier ordre, comme montré sur la figure 3.11. Elle se compose d'un modulateur analogique et d'un filtre de décimation numérique pour obtenir un résultat sur un nombre de bits N élevé. Le modulateur minimise l'erreur entre l'entrée X et le retour du DAC, et ainsi diminue l'erreur entre la moyenne du signal d'entrée et la moyenne du signal converti.

Afin de modéliser l'effet de la quantification introduite par le comparateur, celui-ci peut être modélisé par une approche linéaire composée d'un additionneur avec le résidu et un bruit blanc E, donnant une sortie D. Ainsi, la fonction de transfert Y(z) d'un modulateur du 1<sup>er</sup> ordre peut se décomposer en deux parties : une fonction de transfert du signal (STF pour Signal Transfer Function) STF(z) et une fonction de transfert du bruit

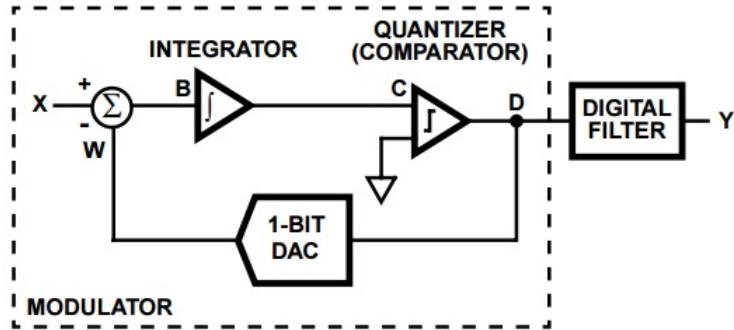


FIGURE 3.11 – Architecture d'un ADC  $\Sigma\Delta$  du 1<sup>er</sup> ordre[6]

(NTF pour Noise Transfer Function)  $NTF(z)$ . Cette fonction de transfert  $Y(z)$  s'écrit alors sous la forme

$$Y(z) = STF(z)X(z) + NTF(z)E(z) \quad (3.10)$$

$$STF(z) = \frac{H(z)}{1 + H(z)} = \frac{z^{-1}}{1 + z^{-1}} \quad (3.11)$$

$$NTF(z) = \frac{1}{1 + H(z)} = 1 - z^{-1} \quad (3.12)$$

avec  $H(z)$  la fonction d'intégration. Le principe de la conversion  $\Sigma\Delta$  a été étendu à des applications passe-bande avec d'abord des circuits à capacités commutées [40], puis avec des filtres à temps continu [41]. Les architectures utilisant un modulateur d'ordre 1 ont l'inconvénient de nécessiter beaucoup de coups d'horloge pour réaliser une conversion. De nombreuses solutions ont été étudiées en augmentant le nombre d'intégrateur dans le modulateur.

### Architecture avec modulateur d'ordre élevé

Des architectures avec des modulateurs d'ordre plus élevés [42], des topologies feed-forward [43] ou encore des architectures en cascade, ou MASH pour multistage noise shaping, à 2 ou 3 étages ont été étudiées, permettant d'accroître le noise shaping du  $\Sigma\Delta$  [44][45]. Lorsque la caractéristique de transfert du SNR en fonction de l'OSR pour un modulateur d'ordre 1 a une pente de 9 dB/octave, cette pente est augmentée de 6 dB/octave par ordre du modulateur supplémentaire. Ainsi un modulateur d'ordre 3 aura une pente de 21 dB/octave. Une architecture MASH à 3 étages de  $\Sigma\Delta$  avec un modulateur d'ordre 1 est montrée sur la figure 3.12. Des architectures MSCL (multistage closed-loop), permettant de plus grandes tolérances sur les coefficients du modulateur, ont également été développées [46]. Ce type d'architecture utilise un feedback global pour réduire la sensibilité aux imperfections du circuit. Augmenter l'ordre du modulateur permet de réduire le nombre de cycles nécessaires à une conversion, mais des problèmes de stabilité apparaissent. Des travaux visant l'étude de la stabilité de telles architectures ont été entrepris [47].

Toujours dans le but de réduire le nombre de cycles nécessaires, des architectures avec des convertisseurs multi-bit sont apparues à la même époque [48]. A ce jour, les convertisseurs  $\Sigma\Delta$  sont encore largement étudiés avec des rapports signal sur bruit+distortion (SNDR) pouvant atteindre 120 dB [49], ou des largeurs de bande supérieures à la dizaines de MHz [50][51].

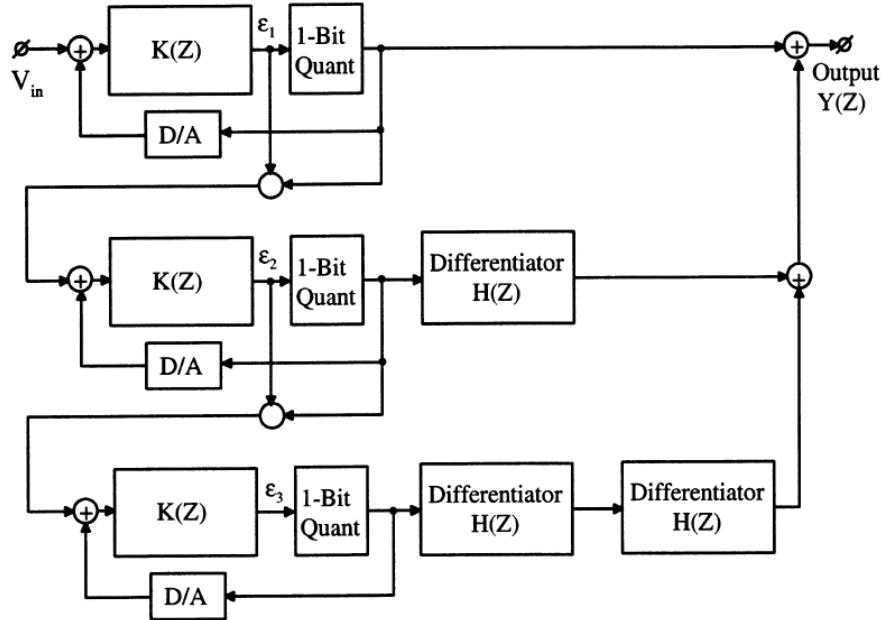


FIGURE 3.12 – Topologie d'un modulateur  $\Sigma\Delta$  3 étages [7]

### 3.2.5 Convertisseurs $\Sigma\Delta$ incrémental

Le convertisseur  $\Sigma\Delta$  incrémental ( $\Sigma\Delta I$ ) a été introduit par Plassche [52] puis étudié plus en profondeur par J. Robert *et al* [53] et Markus [8]. Contrairement au  $\Sigma\Delta$  classique où la conversion d'un échantillon dépend des échantillons précédents (comme c'est le cas pour un signal audio), le  $\Sigma\Delta I$  effectue une remise à zéro au début de chaque conversion, venant ainsi décorrélérer les valeurs des différents échantillons. Ainsi, comme un convertisseur de Nyquist, ce convertisseur est adapté à la conversion de données indépendantes entre elles, comme les données issues de capteurs d'images.

De plus, du fait de la remise à zéro du  $\Sigma\Delta I$  à chaque conversion, l'analyse en régime temporel est plus adaptée. Un exemple de modulateur est représenté sur la figure 3.13. Il est composé d'un intégrateur, d'un comparateur, d'un DAC et d'un filtre numérique.

Lors de la conversion, l'erreur entre l'entrée et le retour du DAC est intégrée et la valeur de l'intégrateur lors de la conversion s'écrit sous la forme

$$V[M] = \sum_{i=1}^M (V_{in}[i] - d_i[i].V_{ref}) \quad (3.13)$$

avec M l'OSR de la conversion. La dernière valeur de la conversion présente sur l'intégrateur

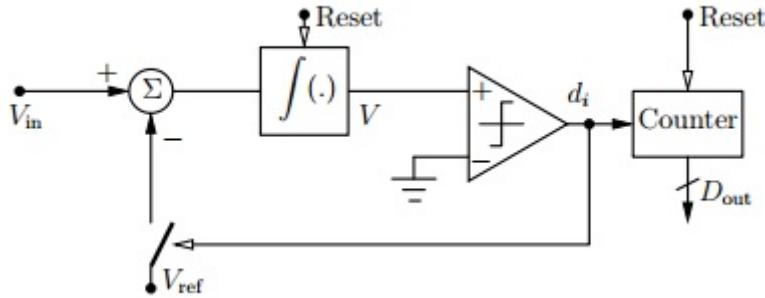


FIGURE 3.13 – Architecture d'un ADC  $\Sigma\Delta$  incrémental du 1<sup>er</sup> ordre [8]

teur, notée  $V[M]$ , est appelée le résidu de la conversion.

Le flot de bits  $d_i$  est alors envoyé à un filtre numérique, qui est en fait un compteur pour un modulateur d'ordre 1. Ce filtre donne alors  $\hat{X}$ , qui est un signal estimé de l'entrée  $V_{in}$ , et peut s'écrire sous la forme

$$\hat{X} = \frac{1}{K} \sum_{i=1}^{M-1} d_i[i] \quad (3.14)$$

avec  $K$  un coefficient dépendant de l'ordre du modulateur utilisé et de l'OSR. Ici, pour un modulateur d'ordre 1 et un OSR de  $M$ ,  $K$  s'écrit

$$K = \sum_{i=1}^{M-1} 1 = M - 1 \quad (3.15)$$

A partir de l'équation (3.13) et (3.14), on peut écrire l'erreur de conversion sous la forme

$$E = X - \hat{X} = \frac{1}{K} V[M] \quad (3.16)$$

A partir de l'équation (3.16), on peut remarquer que le résidu analogique  $V[M]$  et l'erreur de conversion  $E$  sont proportionnels avec un facteur  $K$  dépendant de l'OSR. On s'aperçoit que pour un  $\Sigma\Delta$  d'ordre 1, augmenter l'OSR revient à diminuer l'erreur de conversion, donc à augmenter la résolution du convertisseur. Pour un modulateur d'ordre 1, un OSRT de  $2^N$  est nécessaire pour atteindre une résolution de  $N$  bits. Ce résidu, qui est l'image de l'erreur de conversion, peut aussi être converti à nouveau afin de venir estimer cette erreur de conversion et augmenter ainsi la résolution du convertisseur. Cette idée est développée dans la section suivante.

Comme pour le  $\Sigma\Delta$ , le convertisseur  $\Sigma\Delta$  incrémental est utilisé pour les applications nécessitant une résolution élevée et des architectures avec plusieurs intégrateurs en cascade ont été développées pour réduire le nombre de cycles nécessaires et atteindre des résolutions élevées.

Suivant les besoins des systèmes, les modulateurs sont soit à temps continu, soit à temps discret. Des architectures à temps continu avec des modulateurs d'ordre élevés ont

étés développés pour la réalisation de multiplexage temporel de signaux [54][55]. Pour la réalisation de modulateurs à temps discrets, le  $\Sigma\Delta$  est utilisé pour sa simplicité matérielle, comme le présente Lee *et al* [56] avec un ADC 13-bit pour une application dédiée à la détection d'ions. De son côté, Quiquempoix *et al* [57] a développé un ADC  $\Sigma\Delta$  incrémental 22-bit utilisant un modulateur d'ordre 3.

Un ADC  $\Sigma\Delta$  est composé d'un modulateur et d'un filtre numérique. Indépendamment du modulateur, le filtre numérique utilisé peut influencer sur la conversion et la résolution. C'est pourquoi, afin d'optimiser la conversion, différents travaux sur les filtres numériques de reconstruction du signal ont été réalisés [58][59] [60][61]. De la même façon que le  $\Sigma\Delta$  classique, le  $\Sigma\Delta$  incrémental peut utiliser des architectures multi-bit, toujours dans l'optique d'augmenter la vitesse de conversion [62][63].

Un récapitulatif des ADCs  $\Sigma\Delta$  incrémental est présenté dans le tableau 3.4. Ce type de convertisseur permet d'atteindre des résolutions élevées grâce au suréchantillonnage. Cependant, du fait du nombre élevé d'amplificateurs qui dépend de l'ordre du modulateur, leur consommation et leur complexité est en général plus importante que les ADCs vu précédemment.

TABLEAU 3.4 – Table récapitulative de l'ADC  $\Sigma\Delta$  incrémental

ADC	Résolution	F (S/s)	Consommation	Taille	Complexité
$\Sigma\Delta I$	++	-	o	-	o

++ : très bon, + : bon, o : neutre, - : mauvais, - - : très mauvais

### 3.2.6 Convertisseurs hybrides

Afin d'augmenter la résolution, des architectures hybrides ont été développées. Une architecture d'ADC hybride est montrée figure 3.14. Les ADCs hybrides sont des convertisseurs se servant du résidu du modulateur  $\Sigma\Delta$  incrémental pour effectuer une deuxième conversion et ainsi augmenter la résolution. En effet, les ADCs  $\Sigma\Delta I$  ont l'avantage de présenter un résidu analogique en sortie de leur dernier intégrateur. Ce résidu analogique, proportionnel à l'erreur de conversion du  $\Sigma\Delta I$ , est converti à travers un autre ADC, généralement de type Nyquist (SAR ou cyclic), afin d'augmenter la résolution.

L'ADC  $\Sigma\Delta I$  réalise d'abord une première conversion sur  $N_1$  bits et fournit un résidu analogique  $V[M]$ , proportionnel à l'erreur de conversion. Ce résidu analogique est alors converti par un ADC de type Nyquist sur une résolution de  $N_2$  bits, pour atteindre une résolution totale  $N=N_1+N_2$  bits. Ce type de convertisseur, composé d'un modulateur d'ordre 1 et d'un ADC cyclique, nécessite  $2^M + N$  coups d'horloge, au lieu d'un OSR de  $2^{M+N}$  pour un  $I\Sigma\Delta$  d'ordre 1. Cela permet de réduire significativement le nombre de cycles nécessaires pour réaliser une conversion.

Des architectures composés de  $\Sigma\Delta I$  et de convertisseur cyclique pour convertir le résidu analogique ont été développées. Ainsi Rossi *et al* [64] a conçu un ADC 16 bits en

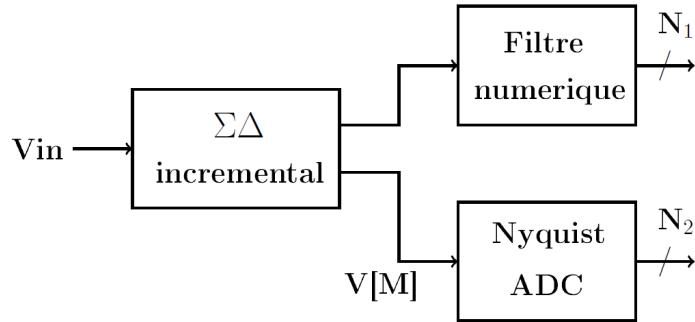


FIGURE 3.14 – Architecture d'un ADC hybride

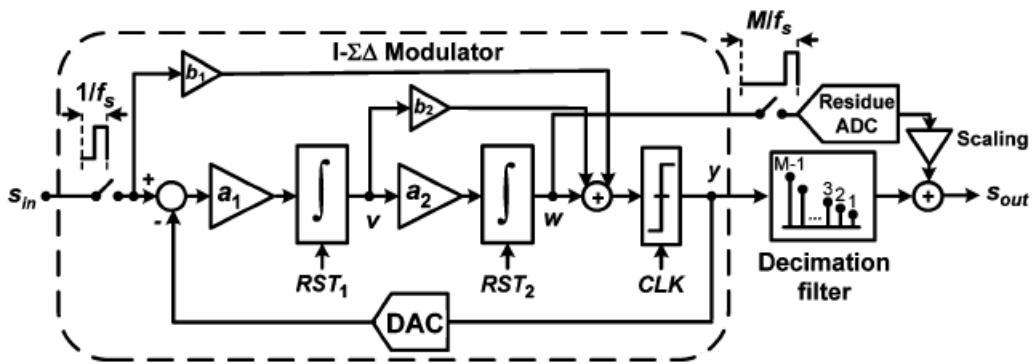


FIGURE 3.15 – Architecture du modulateur de 2<sup>nd</sup> ordre [9]

technologie 0.18  $\mu$ m. Le modulateur du  $\Sigma\Delta$ I est d'ordre 1 et le convertisseur a une résolution totale N répartie de façon suivante :  $N_1$  de 8 bits et  $N_2$  de 8 bits. Ce convertisseur a alors besoin de 271 cycles et atteint un ENOB de 13.4 bits pour une consommation de 150  $\mu$ W et une fréquence d'échantillonnage de 1 kS/s. Une amélioration de cet ADC a été proposée [65] et utilise un  $\Sigma\Delta$ I à MASH afin de réduire le nombre de cycles nécessaires et étudie l'impact des non-idealités du système. Suivant l'erreur commise, la répartition de la résolution entre les deux étages est ensuite donnée pour des architectures allant de 12 à 20 bits.

Des architectures utilisant un ADC SAR pour traiter le résidu ont également été développées par Agah *et al* [9]. Cette architecture utilise un modulateur  $\Sigma\Delta$ I d'ordre 2 et un ADC SAR de 11 bits montré respectivement figure 3.15 et 3.16. Un modulateur de second ordre permet de réduire le nombre de cycles nécessaire à la conversion. L'amplificateur utilisé dans l'intégrateur du modulateur est un folded cascode avec un gain de 92 dB et un produit gain-bande de 370 MHz, afin de réaliser correctement l'intégration. Ce convertisseur a un OSR global de 45 pour une fréquence de conversion de 1 MS/s. Cet ADC atteint un SNDR de 86.3 dB pour une puissance de 33.4 mW.

Cependant, cette faculté à atteindre les hautes résolutions se fait au détriment de la complexité de l'ADC. En effet, et particulièrement dans [9], les dynamiques de sortie et d'entrée du premier et second étage doivent être compatibles. Ce dernier point sera vu plus en détail dans le chapitre suivant. De plus deux logiques de commande différentes

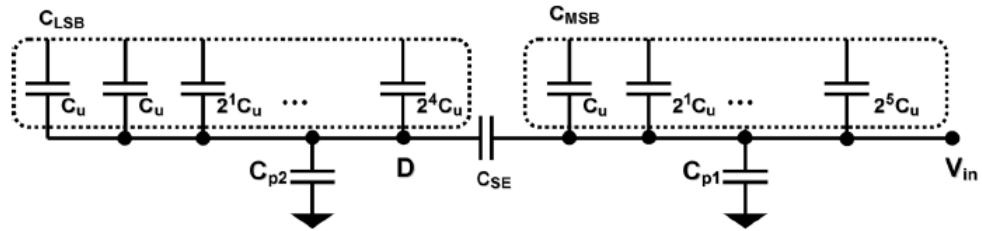


FIGURE 3.16 – Architecture du DAC de 11 bits segmenté avec les capacités parasites [9]

doivent être intégrés pour les deux types d'ADCs.

Un résumé des performances de ce type de convertisseur est montré dans le tableau 3.5.

TABLEAU 3.5 – Table récapitulative des ADCs par intégration

ADC	Résolution	F (S/s)	Consommation	Taille	Complexité
Hybride	++	o	o	-	--

++ : très bon, + : bon, o : neutre, - : mauvais, -- : très mauvais

### 3.2.7 Résumé et comparaison des ADCs

Un résumé des performances des convertisseurs analogique-numérique est montré dans le tableau 3.6. Une extension graphique de ce tableau issue de la base de donnée de Murmann est utilisé pour une meilleure visualisation des performances. Ce récapitulatif est montré sur la figure 3.17. Ce tableau est représentatif des ADCs dans un contexte général. Cependant, ces convertisseurs ne sont pas comparables à ceux utilisés en imagerie, et une seconde étude est alors réalisée.

TABLEAU 3.6 – Table de comparaison des CANs

ADC	Résolution	F (S/s)	Consommation	Taille	Complexité
Simple rampe	-	--	+	+	++
Cyclique	o	++	-	+	+
SAR	o	++	++	--	o
$\Sigma\Delta$ I	++	-	+	+	-
Hybride	++	o	o	-	--

++ : très bon, + : bon, o : neutre, - : mauvais, -- : très mauvais

### Walden FoM

Afin de comparer les différents ADCs entre eux, une figure de mérite ou Figure-Of-Merit en anglais, abrégé en FoM a été introduite par Walden[66] et est définie par

$$FoM_w = \frac{P_D}{2^{\text{ENOB}} \times F_s} \quad (3.17)$$

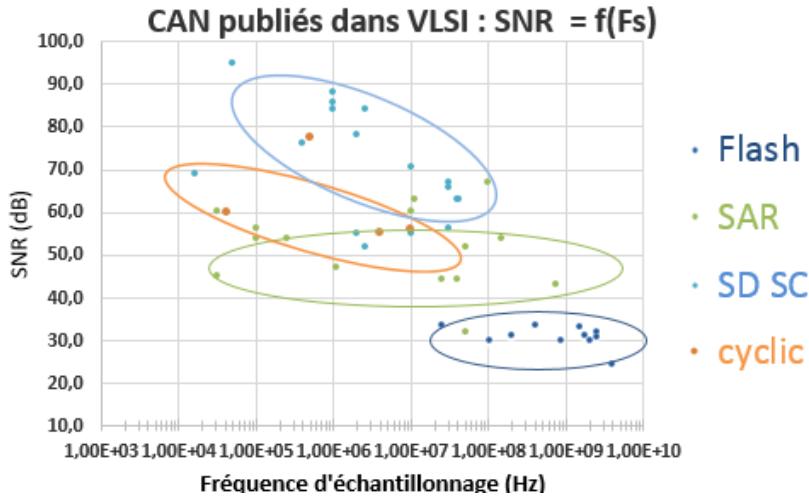


FIGURE 3.17 – Schema simplifié d'un ADC SS two-step [10]. Le CDS analogique est réalisé par le transistor  $\Phi_{AZ}$

où  $P_D$  est la puissance dissipée par l' ADC en Watt et  $F_S$  sa fréquence de conversion en Hz. Ce FoM représente l'énergie consommée pour effectuer une conversion. Il est exprimé en J/conversion. Ce FoM met par exemple en équation le fait que doubler la puissance consommée et en même temps augmenter la résolution d'un bit revient au même d'un point de vue énergétique.

### 3.3 ADC colonne pour imageurs

Après cette présentation des architectures d'ADC typiquement utilisées en imagerie, il s'agit ensuite de focaliser l'état de l'art sur les architectures développées et les réalisations dans ce domaine. Il a été vu précédemment que les ADCs colonne permettaient de relâcher la contrainte de vitesse, permettant ainsi d'adresser des matrices de pixels plus importante. Le principal défi de ces architectures est l'insertion d'un ADC dans la largeur qu'un pixel. En effet, la largeur d'un pixel varie de quelques  $\mu\text{m}$  pour les applications grand public nécessitant une grande densité d'intégration à quelques dizaines de  $\mu\text{m}$  pour les applications spécialisées à faible flux lumineux comme l'aérospatial. Afin de faciliter l'intégration dans la largeur du pixel, des ADCs sont disposés de part et d'autres de la matrice de pixel, permettant ainsi de doubler la largeur disponible de l'ADC pour la même taille de pixel. De part cette intégration colonne, les ADCs pour imageurs ne sont pas comparables aux ADCs d'un autre domaine car ne sont pas soumis aux mêmes contraintes spatiales.

Dans cette partie, une étude des ADCs pour imageurs est réalisée afin de pouvoir la plus prometteuse pour la suite de cette thèse. Cetté étude est portée sur les choix d'architecture les plus populaires et répandues avec dans l'ordre : ADC simple rampe, ADC cyclique, ADC SAR, ADC  $\Sigma\Delta I$ , ADC hybride et ADC  $\Sigma\Delta I$  two-step.

### 3.3.1 Termes liés à l'imagerie

Afin de pouvoir comparer les différents ADCs entre eux dans ce contexte précis, il est nécessaire d'introduire de nouveaux critères et moyens de comparaison.

#### CIS FoM

Les CIS sont des applications très spécifiques pour le monde de la conversion analogique/numérique. Le point le plus restrictif est la largeur de l'ADC qui doit tenir dans une largeur de pixel. Le layout ne doit donc pas dépasser en général une dizaine de  $\mu\text{m}$  de largeur avec une longueur libre, entraînant des complications. Afin de prendre en compte la largeur du pixel, celle-ci est ajoutée au  $\text{FoM}_W$  en  $\mu\text{m}$ . Un  $\text{FoM}_{\text{CIS}}$  adapté peut donc être introduit et est défini par

$$\text{FoM}_{\text{CIS}} = \frac{P_D \times \text{pitch}}{2^{\text{ENOB}} \times F_S} \quad (3.18)$$

où le pitch est la largeur d'un pixel. De ce fait, ce nouveau FoM va dans le sens du "lower is better" en récompensant les pixels avec un petit pitch. Le  $\text{FoM}_{\text{CIS}}$  s'exprime alors en  $\mu\text{m}.\text{pJ}/\text{step}$ .

#### Performances des ADCs

Dans la littérature de l'imagerie, il existe deux types de travaux : la conception d'un ADC ou du système d'imagerie complet. Afin de pouvoir comparer les ADCs de ces différents travaux, il est nécessaire d'introduire des éléments que l'on puisse comparer, notamment sur la consommation/ADC ou la fréquence d'échantillonnage. Pour les systèmes complets d'imagerie sans information sur l'ADC en lui-même, on va introduire des performances systèmes, comme la consommation ou encore la fréquence d'échantillonnage. On va alors extraire les performances de l'ADC des performances globales du système. Nous pouvons alors définir

$$P_{\text{ADC}(\text{sys})} = \frac{P_{\text{sys}}}{\#\text{colonnes}} \quad (3.19)$$

$$F_{\text{S}(\text{sys})} = \frac{\text{FPS}_{\text{sys}}}{\#\text{lignes}} \quad (3.20)$$

où  $P_{\text{ADC}(\text{sys})}$  est la consommation de l'ADC issue du système,  $P_{\text{sys}}$  la consommation totale du système,  $F_{\text{S}(\text{sys})}$  la fréquence d'échantillonnage de l'ADC issue du système et  $\text{FPS}_{\text{sys}}$  le taux de rafraîchissement de la matrice, ou le nombre d'image par seconde.

### 3.3.2 Single-Slope ADC

Les SS-ADCs sont abordés les premiers du fait de leur simplicité d'intégration. De nombreux systèmes d'imagerie ont été réalisés avec des SS-ADCs car il est très facile d'atteindre 10 bits. Par exemple Cho *et al* [67] a développé un ADC simple rampe 11 bits né-

cessitant 2048 cycles pour un imageur VGA ( $640(H) \times 480(V)$ , soit 0.307 Mpixels) avec une fréquence de 30 images/s. Une consommation de l'ADC issue du système peut être déduite et est définie par la consommation totale du CIS divisée par le nombre de colonnes. Dans ce cas, la consommation système est de  $67 \mu\text{W}$ .

Nitta *et al* [10] propose un ADC simple rampe 10-12 bits utilisant un CDS (pour "Correlated Double Sampling") analogique et numérique compatible avec un imageur haute résolution. L'architecture développée est montrée sur la figure 3.18. L'ADC convertit d'abord la valeur de la remise à zéro du pixel (avec  $\Phi_{AZ}$ ), puis l'intégration analogique est effectuée en sommant cette valeur de pixel à la nouvelle valeur du pixel que l'on souhaite convertir. Un CDS numérique est ensuite effectué afin de réduire les différents niveaux de reset entre pixels, appelé "Fixed Pattern Noise" (FPN). L'imageur développé comporte 2,7 Mpixels, a une fréquence de 180 images/s, avec une plage dynamique de 68 dB pour une consommation système de l'ADC de  $300 \mu\text{W}$ .

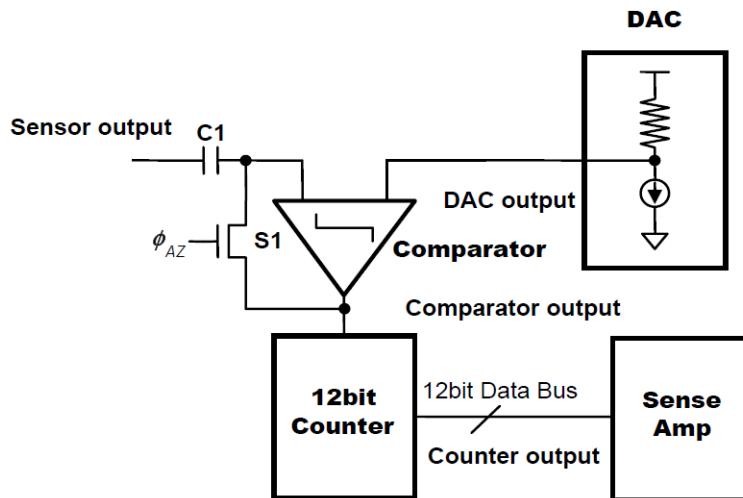


FIGURE 3.18 – Schema simplifié d'un ADC SS two-step [10]. Le CDS analogique est réalisé par le transistor  $\Phi_{AZ}$

Une des limitations des ADCs simple rampe est le bruit lié au pixel et au convertisseur. Afin de diminuer le bruit de l'ADC, Chen *et al* [68] propose un ADC avec une résolution variable de 10-12 bits, utilisant un amplificateur colonne en addition de la méthode CMS ("Correlated Multiple Sampling") qui consiste à effectuer plusieurs échantillonnages. Le CMS permet ainsi de réduire le bruit thermique et le bruit venant du pixel. Des études de bruit dans un CDS d'imageur ont été réalisées par Cheon *et al* [69]. Des analyses de bruit sont réalisées à la fois en régime fréquentiel mais aussi en régime transitoire permettant une estimation plus précise de ce bruit.

Le principal défaut de ces ADCs reste le nombre de cycles nécessaires pour réaliser une conversion ( $2^N$  pour  $N$  bits). Cette limitation pose des problèmes pour les circuits de sortie dont la quantité de données à transiter peut atteindre plusieurs Gb/s, (0.6 Gpixel/s [10], 5 Gpixel/s [70] ou encore 1 Gpixel/s [71]). Même si ces spécifications ne concernent pas nos objectifs, de part ces limitations, l'ADC simple rampe reste limité dans les applica-

tions nécessitant une résolution d'une dizaine de bits.

### Two-step SS ADC

Les SS-ADCs classiques étant très limités en résolution, des améliorations architecturales ont alors été considérées. Leur principal défaut étant leur vitesse de conversion, à savoir  $2^N$  cycles nécessaires pour atteindre une résolution de  $N$ -bits, des architectures two-step ont vu le jour. Ces architectures two-step effectuent une conversion en étapes, permettant ainsi de réduire le nombre de cycles nécessaires de  $2^N$  à  $2^{N_1} + 2^{N_2}$  avec  $N_1$  et  $N_2$  respectivement la résolution de la première et de la deuxième étape.

Lim *et al* [11] a développé en  $0.35\mu\text{m}$  un CIS utilisant un ADC two-step 10 bits compatible avec une largeur de pixel de  $5.6\mu\text{m}$ . Cette architecture, représentée sur la figure 3.19, propose de stocker le résidu de la première conversion sur une capacité et de réutiliser cette valeur comme un offset pour la fin de la conversion. Une correction d'erreur est également proposée permettant encore d'augmenter la résolution. Ce CIS a une DR de 64.8 dB et a une consommation système de  $112\mu\text{W}/\text{ADC}$  pour une fréquence d'échantillonnage de 250 kHz. Hwang *et al* [72] a développé un CIS avec un SS-ADC 10 bits en

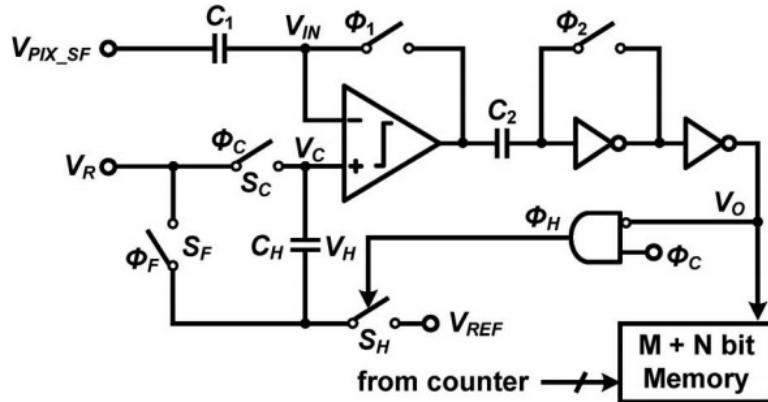


FIGURE 3.19 – Schema simplifié d'un ADC SS two-step [11]

technologie  $0.13\mu\text{m}$  utilisant deux étapes pour réaliser une conversion. La largeur du pixel est de  $2.25\mu\text{m}$ . Cela permet de diminuer le nombre de cycles de 1024 à 64 ( $2^5 + 2^5$ ). Les erreurs induites par le comparateur sont compensées par un CDS hybride. L'utilisation de ce CDS réduit le FPN, permettant à ce CIS atteint une DR de 62 dB. La consommation équivalente système d'un ADC par colonne est de  $109\mu\text{W}$ .

Lee *et al* [73] a développé une architecture en  $0.13\mu\text{m}$  sans capacité mémoire pour stocker le résidu de la première conversion. Cela permet de s'affranchir des capacités parasites pouvant influencer la rampe de la deuxième conversion. A la place, un DAC résistif est utilisé pour cette deuxième conversion. Cette architecture 12 bits occupe une surface de  $11.2\mu\text{m} \times 590\mu\text{m}$  pour une consommation système par colonne de  $112\mu\text{W}$ .

Tous ces systèmes développés permettent en partie de s'affranchir de l'inconvénient du nombre de cycles élevé nécessaires aux ADCs simple rampe pour atteindre des résolu-

lutions élevées. Cependant du fait de la précision requise pour la génération de la rampe, il reste difficile pour ces ADCs d'atteindre des résolutions dépassant 12 bits. Ces ADCs restent donc très utilisés pour les imageurs grands publics ou nécessitant des résolutions moyennes mais sont insuffisants pour atteindre 14 bits.

TABLEAU 3.7 – Table récapitulative des ADCs à intégration dans le domaine de l'imagerie

Ref	Type	Techno ( $\mu\text{m}$ )	Pixel Pitch ( $\mu\text{m}$ )	N (bits)	Fs (kHz)	P ( $\mu\text{W}$ )	Taille ( $\mu\text{m} \times \mu\text{m}$ )	FoM <sub>CIS</sub> ( $\mu\text{m.pJ/step}$ )
[67]	SS	0.13	2.25	11	20*	67*	4.5 $\times$ -	3.7
[10]	SS	0.18	3.63	10-12	260*	300*	3.63 $\times$ -	4.1
[68]	SS	0.18	10	10-12	14-11	390	10 $\times$ -	272
[11]	2S SS	0.35	5.6	10	24	94*	11.2 $\times$ -	21.4
[72]	2S SS	0.13	2.25	10	200	109*	5 $\times$ -	1.2
[73]	2S SS	0.13	5.6	12	153*	112*	11.2 $\times$ 590	1

\* : données système

SS : ADC simple rampe

2S SS : ADC simple rampe two-step

### 3.3.3 ADCs Cycliques pour imageurs

Compte tenu des problèmes de vitesse de conversion des SS-ADCs, les ADCs cycliques sont des candidats idéaux aux applications haute vitesse car ils ne nécessitent que N cycles pour atteindre une résolution de N bits. Comme nous l'avons évoqué précédemment dans la paragraphe 3.2.2, le challenge de cet ADC qui limite la résolution à une douzaine de bits est le gain de l'amplificateur utilisé dans l'intégrateur et la précision de la multiplication par deux. Cependant, l'utilisation du RSD permet à ce convertisseur d'être largement utilisé. En effet, Park *et al* [12] a développé un CIS en 0.18  $\mu\text{m}$  avec un ADC cyclique 13-b single-ended représenté figure 3.20. Un CDS digital est utilisé, ainsi qu'un générateur de référence intégré et une technique de return-to-zero enlevant les erreurs causées par le couplage digital. Cet ADC consomme 300  $\mu\text{W}$  pour une fréquence d'échantillonnage de 435 kHz. Cet ADC occupe une largeur de 5.6  $\mu\text{m}$  et est compatible avec les pixels de taille identique. En suivant le même principe, Furuta [74] a développé un ADC 12 bits compatible avec une largeur de pixel de 20  $\mu\text{m}$ , avec encore une fois l'objectif de diminuer le temps de conversion afin d'atteindre des fréquences d'affichage très élevées de l'ordre de 3500 images/s. Pour cela, il utilise des capacités plus petites pour les LSBs

Mase *et al* [75] a développé en technologie 0.25  $\mu\text{m}$  un système à intégration multiple permettant d'augmenter la résolution avec un ADC 12 bits compatible avec une largeur de pixel de 10  $\mu\text{m}$ . L'ADC utilisé est composé d'un amplificateur, 6 capacités et deux comparateurs pour le RSD. Le partage de composants permet de réduire le bruit du système. La consommation de l'ADC est de 150  $\mu\text{W}$  et sa fréquence d'échantillonnage est de 345 kHz.

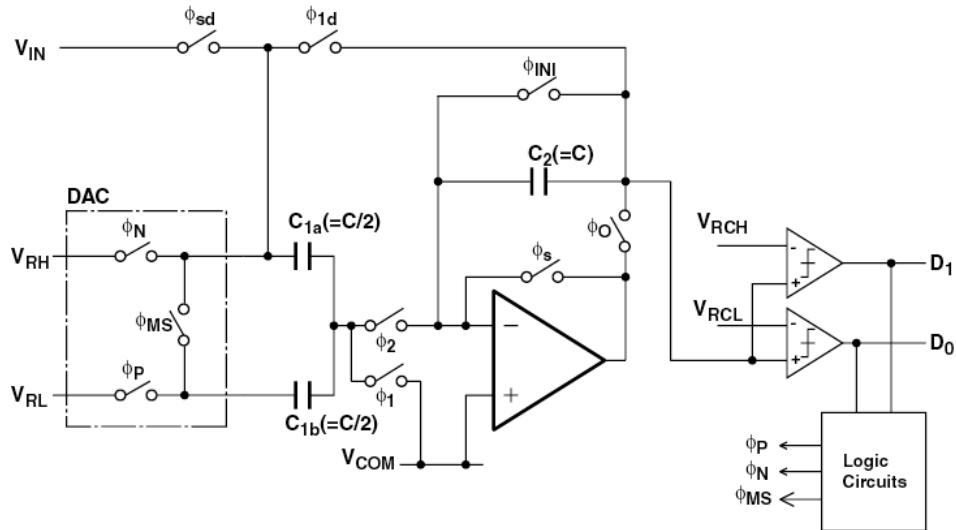


FIGURE 3.20 – Architecture d'un ADC cyclique 13-bit [12]

Malgré cela, les structures classiques d'ADC cycliques, sans tenir compte de l'imageur, sont encore limitées en résolution. Les développements de cet ADC se portent alors plus sur une optimisation de l'intégration colonne ou encore la mise en pipeline d'ADC afin de diminuer encore le temps de conversion.

### ADC partagé

La principale difficulté des ADCs colonne est la nécessité de faire correspondre la largeur d'un ADC à celle du pixel, affectant de manière notable les performances de l'ADC. Afin d'atténuer ce facteur, deux pixels voisins d'une même ligne peuvent partager l'ADC, en plus de l'alternance pixel pair/impair. Lim *et al* [13] a exploité cette idée et conçu en 0.13  $\mu\text{m}$  un ADC cyclique 10 bits partagé entre deux pixels, avec deux ADCs placés l'un au dessus de l'autre. Cela permet à un ADC, comme le montre la figure 3.21, d'avoir une largeur de 8 pixels, relaxant la contrainte due au layout et permettant d'utiliser des pixels plus petits. L'ADC différentiel, composé d'un amplificateur et de 4 capacités identiques consomme 180  $\mu\text{W}$  pour deux colonnes, avec une fréquence d'échantillonnage de 2 MHz pour une surface de 18  $\mu\text{m} \times$  240  $\mu\text{m}$ .

### Two-step ADC

Pour les applications nécessitant une fréquence d'échantillonnage élevée, comme la *ultra-high-definition television* (UDTV) où  $F_S > 500$  kHz, une autre approche est d'utiliser une conversion pipeline à 2 étages. Watabe *et al* [76] a développé un ADC cyclique two-step pipeline 12 bits, décomposé en une première conversion de 4 bits et une deuxième de 8 bits. La consommation est réduite en diminuant la taille des capacités du deuxième étage. Chacune des conversions dure alors 1.92  $\mu\text{s}$ , pour une fréquence d'échantillonnage de 520 kHz. La consommation du système est de 102  $\mu\text{W}/\text{colonne}$  pour un SNR de 39 dB.

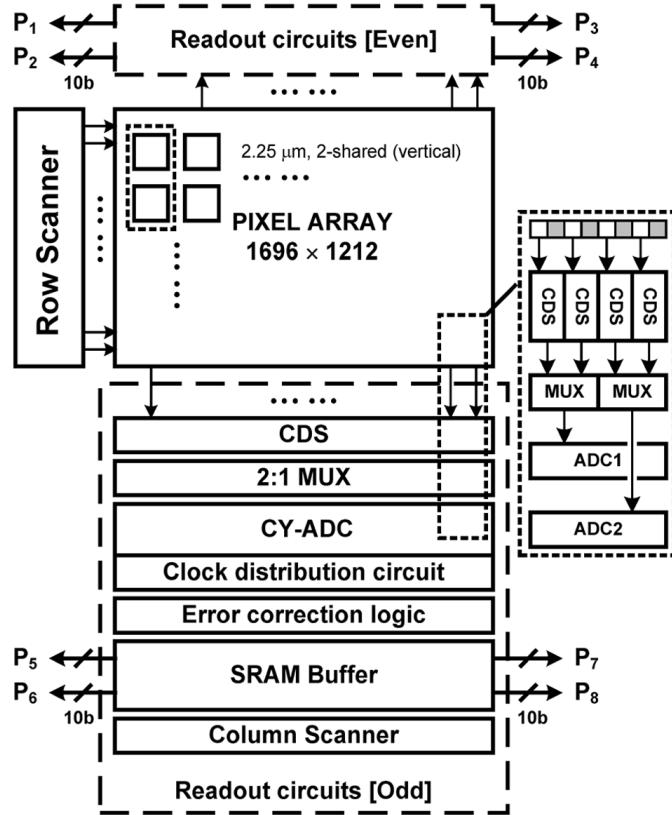


FIGURE 3.21 – Architecture d'imageur utilisant un ADC cyclique de 12-b avec une largeur de 8 pixels [13]

TABLEAU 3.8 – Table récapitulative des ADCs cycliques dans le domaine de l'imagerie

Ref	Type	Techno (μm)	Pixel Pitch (μm)	N (bits)	Fs (kHz)	P (μW)	Taille (μm × μm)	FoM <sub>CIS</sub> (μm.pJ/step)
[74]	Cyc	0.25	20	12	2000	430	40×-	1.05
[75]	Cyc	0.25	10	12	345	150	20×-	1.06
[13]	Cyc-Y	0.13	2.25	10	2000	180	18×240	0.198
[76]	2S Cyc	0.18	2.8	12	520	102*	5.6×-	0.13
[77]	Cyc	0.18	5.6	13	435	300	5.6×-	0.471

\* : données système

Cyc : ADC cyclique

Cyc-Y : ADC cyclique partagé

2S Cyc : ADC cyclique two-step

Un résumé des performances des ADCs cycliques est montré dans le tableau 3.8. Comme les SS-ADCs, les ADCs cycliques ont du mal à atteindre des résolutions allant au-delà de 12 bits. Malgré cela, ils sont largement utilisés dans les applications haute-vitesse mais ne sont pas compatibles avec notre application et les spécifications systèmes requises.

### 3.3.4 SAR ADC pour CIS

Dans la course aux ADCs basse consommation pour des applications qui nécessitent quelques centaines de kHz en fréquence d'échantillonnage, les SAR ADCs sont des candidats idéaux.

Une architecture présentant une intégration colonne avec un ADC SAR intégré est introduite par Zhou [78] et reprise plus tard par Krymski [79]. Dans ce dernier travail, un ADC SAR 10 bits en technologie 0.35  $\mu\text{m}$  compatible avec une largeur de pixel de 7  $\mu\text{m}$  et consommant moins de 300  $\mu\text{W}$  est utilisé. Ce développement précoce a permis de démocratiser la technologie des ADC colonne. Cependant la taille des SAR ADCs, et plus particulièrement leur DAC capacitif, a freiné ce développement pour les applications haute résolution. Il aura fallu attendre la miniaturisation de la technologie et le développement d'architectures dérivées du SAR ADC à DAC classique pour rendre ces architectures attrayantes et compétitives en terme de résolution et de surface occupée.

Il existe plusieurs améliorations du SAR à DAC capacitif qui ont été développées pour les systèmes d'imagerie CMOS. Les améliorations architecturales des ADCs SAR sont les suivantes :

- DAC segmenté
- Echelle de référence de tension (ou voltage reference scaling)
- Conversion en 2 étapes
- Approche système avec conversion massivement parallèle

#### SAR à DAC segmenté

Afin de réduire la taille du DAC capacitif, qui est l'un des inconvénients majeurs du SAR ADC, une solution est de le segmenter, diminuant ainsi la taille des capacités utilisées, comme le montre la figure 3.22. Cette architecture 12 bits a été développée par Quanliang *et al* [14] en technologie 0.18  $\mu\text{m}$ . Le DAC capacitif est différentiel et divisé entre deux sous-DACs de chacun 6 bits, portant la capacité maximale du DAC à  $2^6 \text{ C}_U$  au lieu de  $2^{12} \text{ C}_U$ . Ce travail s'est essentiellement porté sur l'économie d'énergie et la calibration numérique. L'économie d'énergie est réalisée sur la consommation statique des pré-amplificateurs du comparateur, en coupant cette consommation durant les phases où l'ADC est inutilisé. Cette technique permet de diminuer de 32% la puissance statique du système. La surface de l'ADC est donc de 20  $\mu\text{m} \times$  2020  $\mu\text{m}$  et consomme 260  $\mu\text{W}$ , pour un SNDR de 58 dB sans calibration et 64.4 dB avec calibration.

Tsai *et al* [80] a poussé le concept du DAC segmenté plus loin en séparant le DAC en trois parties (4 bits côté MSB, 4 bits intermédiaires et 2 bits côté LSB). Cette séparation pondère les différentes erreurs et mismatchs entre les différents étages et une calibration numérique est alors nécessaire. L'ADC 10 bits a été implémenté en 0.18  $\mu\text{m}$  pour une surface de 10  $\mu\text{m} \times$  490  $\mu\text{m}$  (sans la partie de contrôle numérique). Il consomme 35.4  $\mu\text{W}$

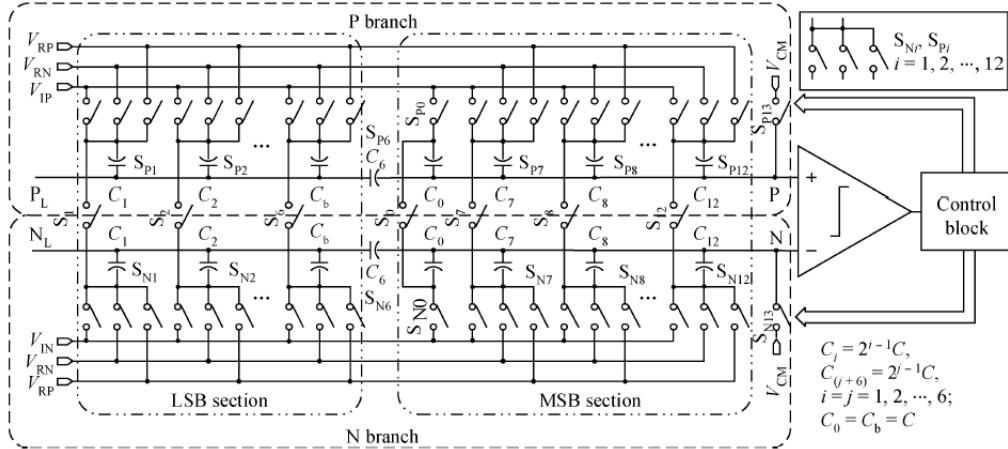


FIGURE 3.22 – Architecture d'ADC SAR 12 bits avec DAC segmenté en deux parties[14]

pour une fréquence d'échantillonnage de 240 kS/s. La calibration numérique améliore l'ENOB de 7.5-bit à 8.22 bits.

Xu *et al* [81][82] a travaillé sur un ADC 10 bits (2 sous-DACs de 5-bits) en 0.18  $\mu\text{m}$  avec du dithering. Il analyse les effets du désappariement des capacités, principal limitant de la résolution des SARs, ainsi que le principe du dithering et de la calibration associée. Grâce au dithering, la moyenne du SNDR des chip testées passe de 49.7 dB à 60.9 dB. La consommation de cet ADC est de 58  $\mu\text{W}$  pour une fréquence d'échantillonnage de 768 kS/s et sa taille est de 15  $\mu\text{m} \times$  710  $\mu\text{m}$ . Xu *et al* [83] a également réalisé un ADC 12 bits sur la même méthode, avec un SNDR de 65 dB, une consommation de 56  $\mu\text{W}$ , une fréquence d'échantillonnage de 411 kS/s pour une surface de 17.4  $\mu\text{m} \times$  744.8  $\mu\text{m}$ .

### Voltage reference scaling

Une autre solution pour réduire la taille du DAC n'est pas de le diviser comme précédemment mais d'utiliser plusieurs tensions de références suivant les différentes tailles de capacités liées aux bits. Par exemple au lieu d'utiliser une capacité deux fois plus petite, la capacité reste inchangée et c'est la référence qui va être divisée par deux.

Matsuo *et al* [15] a développé un CIS en 0.18  $\mu\text{m}$  avec un ADC 14 bits représenté figure 3.23. Cet ADC utilise trois références de tensions,  $V_{ref}$ ,  $V_{ref}/2^2$  et  $V_{ref}/2^4$ . Grâce à ces références, la taille de la capacité du MSB, qui est la plus grosse, passe de  $2^{13}$  à  $2^9$  la capacité unitaire. La surface du DAC est alors de 8.4  $\mu\text{m} \times$  1320  $\mu\text{m}$ . La consommation de cet ADC est de 41  $\mu\text{W}$  pour une fréquence d'échantillonnage de 588 kS/s.

Un ADC 10 bits a été développé par Zhong *et al* [84]. Cette architecture est basée sur un réseau C-2C pour les 4 bits de poids faibles, en puissance de deux pour les capacités restantes et comporte 4 tensions de référence, réduisant la capacité maximale de  $2^9$  à seulement  $2^3$  la valeur de la capacité unitaire. Cette réduction de taille de capacité entraîne une réduction de surface de quasiment un facteur  $2^6$ . L'ADC a été conçu en technologie 0.35  $\mu\text{m}$  et a une surface de 20  $\mu\text{m} \times$  320  $\mu\text{m}$ . Sa consommation simulée est de 9.8  $\mu\text{W}$  pour

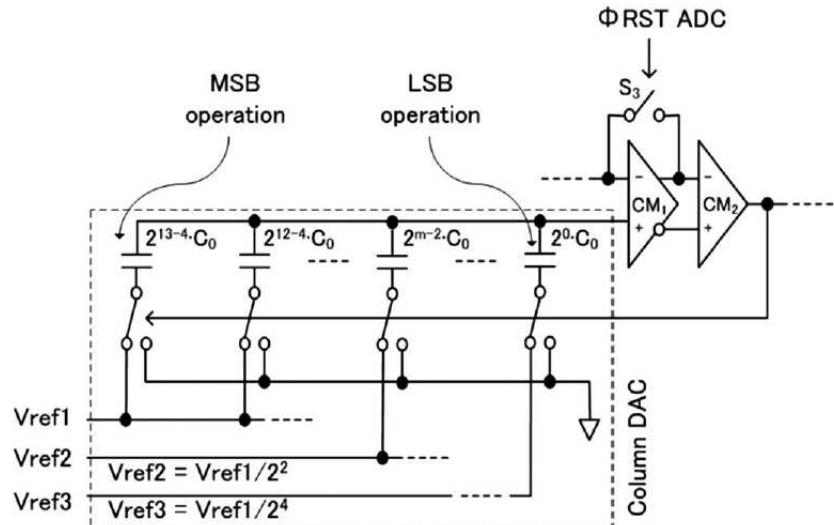


FIGURE 3.23 – Architecture d'ADC SAR 14 bits avec une échelle de tension de références[15]

une fréquence d'échantillonnage de 10 kHz.

### Two-step SAR ADC

Afin d'augmenter la résolution sans augmenter de façon considérable la taille du DAC, une conversion en deux étapes est possible en réutilisant le DAC. Chaque registre associé aux capacités comporte alors 2 bits pour effectuer cette conversion en deux étapes. Cependant, la deuxième étape ne nécessite aucune régénération de la tension d'entrée car le même DAC est utilisé deux fois et les ADCs SAR ne génèrent aucun résidu analogique. De ce fait, la notion de convertisseur SAR en deux étapes diffère de celle introduite dans des architectures à base de  $\Sigma\Delta$  incrémental.

Shin *et al* [16] a développé un ADC 14 bits en technologie 0.13  $\mu\text{m}$ , compatible avec un pixel de 9  $\mu\text{m}$  de largeur. Le DAC segmenté est composé de 3 et 4 bits et utilise des références de tensions différentes pour les deux étapes de la conversion et est représenté en figure 3.24. Un schéma de génération des tensions de référence est proposé. L'ADC permet de réduire drastiquement la consommation d'énergie de commutation qui est seulement de 1.06% de celle du SAR équivalent de référence. Le SNDR est de 73.4 dB sans calibration et de 81.5 dB après calibration.

Kim *et al* [85] a amélioré l'ADC précédent en appliquant un échantillonnage pseudo-multiple (PMS) pour réduire le bruit et atteindre des résolutions élevées par sommation de conversions basse résolution. Cet ADC consomme au total 55  $\mu\text{W}$  pour une résolution théorique de 14 bits, avec un DNL compris entre +0.99/-0.90 LSB. Il occupe une place de 11.2  $\mu\text{m} \times 990 \mu\text{m}$

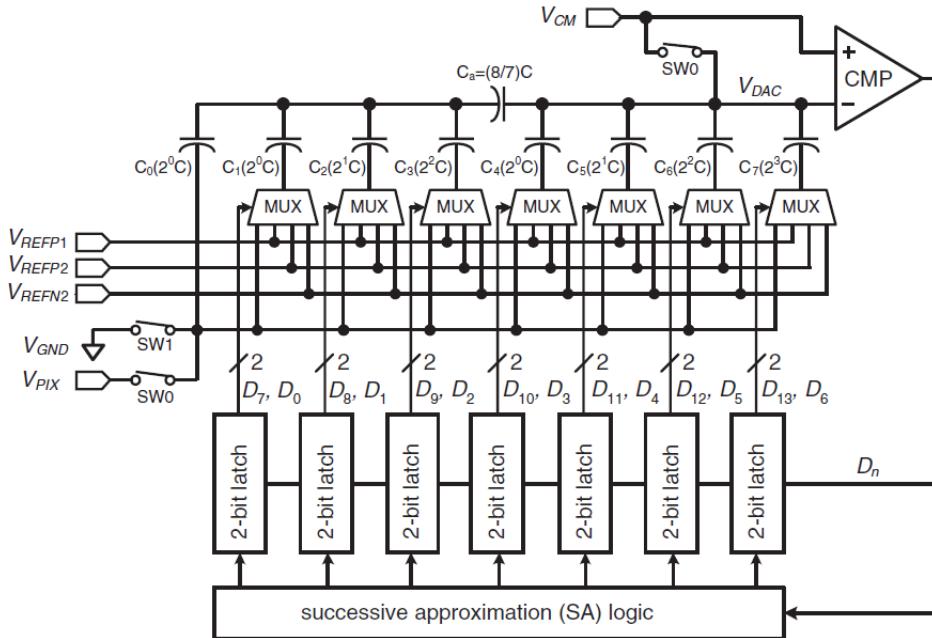


FIGURE 3.24 – Architecture d'ADC SAR 14 bits avec une échelle de tension de références[16]

### Conversion massivement parallèle

Comme les SAR ADCs sont rapides, un partage d'un ADC entre plusieurs colonnes est possible afin de réduire les contraintes dues au layout. Lin *et al* [86] a développé un CIS en 0.13  $\mu\text{m}$  avec un ADC 8 bits partagé entre 16 colonnes. L'effort est mis sur la réduction de la consommation grâce à une procédure de switching minimisant les pertes de charges. Il consomme 330  $\mu\text{W}$  pour une fréquence d'échantillonnage de 16 MHz et atteint un SNDR de 45.16 dB. La taille de l'ADC est de 70  $\mu\text{m} \times$  200  $\mu\text{m}$  et est compatible avec un pixel de largeur 4.375  $\mu\text{m}$ .

Funatsu *et al* [87] a développé un CIS où un ADC est partagé entre 32 colonnes. Ce convertisseur est développé pour des systèmes avec une grande matrice de pixels (15000  $\times$  8700 pixels). L'ADC utilisé a 10 bits et a une fréquence d'échantillonnage de 18 MHz.

### Résumé des ADCs SAR pour l'imagerie

Les performances des ADCs SAR pour imagerie sont résumées dans le tableau 3.9 suivant leurs caractéristiques de DAC. Ces ADCs sont très compétitifs du point de vue de leur  $\text{FoM}_{\text{CIS}}$ . De nouvelles structures permettent de commencer à approcher les 14 bits de résolution en ENOB.

### 3.3.5 $\Sigma\Delta$ incrémental

Des travaux ont exploité les avantages du  $\Sigma\Delta$  incrémental pour concevoir des ADCs ayant des résolutions élevées. Mahmoodi *et al* [88] a étudié la faisabilité en 0.18  $\mu\text{m}$  d'un  $\Sigma\Delta$  d'ordre 1 pour des imageurs CMOS. Ce travail se focalise sur le design analogique de

TABLEAU 3.9 – Table récapitulative des ADCs SAR dans le domaine de l'imagerie

Ref	Type	Techno ( $\mu\text{m}$ )	Pixel Pitch ( $\mu\text{m}$ )	N (bits)	Fs (kHz)	P ( $\mu\text{W}$ )	Taille ( $\mu\text{m} \times \mu\text{m}$ )	FoM <sub>CIS</sub> ( $\mu\text{m.pJ/step}$ )
[14]	seg	0.18	-	12	833	260	20×2020	0.760
[80]	seg	0.18	-	10	240	35.4	10×490	0.710
[81]	seg	0.18	-	10	768	58	15×710	0.055
[83]	seg	0.18	-	12	411	56	17.4×744.8	0.81
[15]	VRS	0.18	4.2	14	588	41	8.4×1320	0.017
[84]	VRS	0.35	-	10	10	9.8	20×320	9.57
[16]	2S	0.13	-	14	-	-	9×-	-
[85]	2S	0.13	5.6	14	58*	55.1	11.2×990	0.325
[87]	mass	0.18	2.45	10	18000	22700*	~156×-	0.302

\* : données système

seg : ADC SAR avec un DAC segmenté

vsr : ADC SAR avec tension de référence mise à l'échelle

2S SAR : ADC SAR two-step

mass : ADC SAR massivement parallèle

l'OTA ainsi que de ses spécifications requises à partir du temps disponible pour effectuer sa conversion. Ce convertisseur a un OSR de 1000 pour un taux d'échantillonnage de 50 kHz et consomme 210  $\mu\text{W}$  pour un SNR de 70 dB.

Afin d'augmenter la sensibilité de l'imageur pour les faibles illuminations, Xhakoni *et al* [89] a développé un modulateur  $\Sigma\Delta$  dont les références dépendent de la valeur d'entrée, permettant ainsi de réduire le bruit thermique ainsi que l'étape de quantification. Cette architecture avec un OSR de 40 permet d'atteindre un niveau de bruit thermique équivalent avec à un  $\Sigma\Delta$  incrémental classique ayant un OSR de 110.

Cependant, dû à la consommation et la taille excessives des modulateurs  $\Sigma\Delta$ , de nouvelles architectures ont été recherchées afin de rendre plus accessible les ADCs  $\Sigma\Delta$ I pour les imageurs. Une des solutions est le modulateur à base d'inverseurs, qui est détaillé juste après.

### Inverter-based modulator

Dans un modulateur  $\Sigma\Delta$ I, les intégrateurs, réalisés par des amplificateurs, sont l'un des points clés à réaliser. La précision de l'intégration dépend directement du gain de l'amplificateur dans le cas d'un modulateur d'ordre 1, en supposant qu'il n'y ait pas d'erreur dynamique de transfert de charge. Cependant, lorsque le modulateur comporte plusieurs intégrateurs en cascade, le gain global nécessaire au convertisseur est le produit du gain de chaque amplificateur. Grâce à la mise en cascade des intégrateurs, le gain de chaque intégrateur peut ainsi être réduit, facilitant le design analogique.

Or l'architecture d'amplificateur la plus simple est un inverseur dont le gain peut atteindre 35 dB, ceux-ci peuvent alors être utilisés pour réaliser les intégrateurs et ainsi réduire la surface utilisée et la puissance consommée par les amplificateurs. Par ailleurs il a été démontré que les caractéristiques des inverseurs, et principalement leur offset, sont très dépendantes du process de réalisation [90]. Or pour pouvoir utiliser l'inverseur dans un intégrateur, il est nécessaire de travailler dans la zone où le gain est le plus élevée, donc autour de leur offset, ou encore leur point de fonctionnement. Dans un circuit, ce maintien autour du point de fonctionnement est effectué grâce à une masse virtuelle sur une des entrées différentielle de l'amplificateur. Cependant les inverseurs, contrairement aux amplificateurs plus classiques (comme le cascode, le folded cascode), n'ont pas de masse virtuel à cause de leur unique entrée. Afin de résoudre ce problème, une technique d'auto-zeroing est utilisé [90], où l'inverseur est ramené à son point de fonctionnement à chaque phase.

A partir de là, des architectures de  $\Sigma\Delta$  ont pu être développés. Ainsi, Chae *et al* [17] a développé en 0.13  $\mu\text{m}$  un ADC utilisant des inverseurs comme amplificateurs, comme le montre la figure 3.25, afin de réduire à la fois la taille et la consommation des ADCs. Une technique d'auto-zéro est utilisée pour compenser l'offset des inverseurs et une séquence de commutation des interrupteurs est proposée pour diminuer le gain requis pour les inverseurs. Pour un OSR de 110, cet ADC consomme l'équivalent de 55  $\mu\text{W}/\text{colonne}$  pour une fréquence d'échantillonnage de 430 kHz et un SNR de 66 dB. Cet ADC occupe une surface de 4.5  $\mu\text{m} \times 600 \mu\text{m}$ .

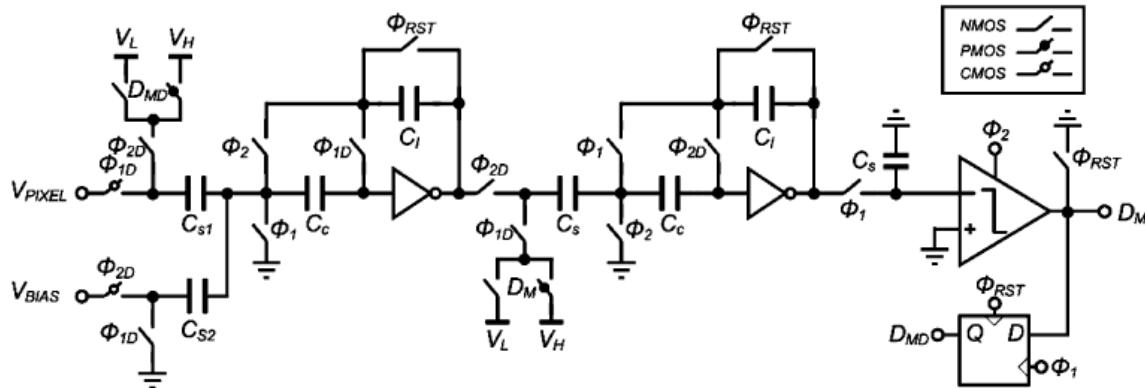


FIGURE 3.25 – Architecture d'un modulateur I $\Sigma$  $\Delta$  avec des inverseurs [17]

Wang *et al* [91] a proposé une architecture 14 bits en technologie 0.18  $\mu\text{m}$ . Afin d'augmenter le gain des inverseurs, des transistors high-threshold sont utilisés. Le dimensionnement des inverseurs a été fait suivant la méthode de  $gm/Id$ . Cet ADC a une fréquence d'échantillonnage de 100 kHz, une consommation de 122  $\mu\text{W}$  et un SNDR maximum de 81.6 dB. La surface estimée de cet ADC est 70  $\mu\text{m} \times 300 \mu\text{m}$ .

Tang *et al* [92] a développé un ADC utilisant un transistor NMOS high-threshold et une séquence d'intégration modifiée avec un switch supplémentaire permettant de limiter la fuite de charges due aux diodes parasites. L'ADC consomme alors 63.7  $\mu\text{W}$  pour un SNDR

maximum de 72.7 dB et une fréquence d'échantillonnage de 100 kHz avec un OSR de 125. La surface de l'ADC est de  $7 \mu\text{m} \times 270 \mu\text{m}$ .

TABLEAU 3.10 – Table récapitulative des ADCs  $\Sigma\Delta$  dans le domaine de l'imagerie

Ref	Type	Techno ( $\mu\text{m}$ )	Pixel Pitch ( $\mu\text{m}$ )	N (bits)	Fs (kHz)	P ( $\mu\text{W}$ )	Taille ( $\mu\text{m} \times \mu\text{m}$ )	FoM <sub>CIS</sub> ( $\mu\text{m.pJ/step}$ )
[88]	$\Sigma\Delta$	0.18	-	10	50	210	-	-
[89]	$\Sigma\Delta$	0.18	10	12	500	200	-	0.97
[17]	$\Sigma\Delta$ IB	0.13	2.25	12	430	55	$4.5 \times 600$	0.07
[91]	$\Sigma\Delta$ IB	0.18	-	14	100	122	$70 \times 300^{**}$	2.6
[92]	$\Sigma\Delta$ IB	0.18	7	12	100	63.7	$7 \times 270$	1.08

\*\* : Valeurs estimées par l'auteur du papier

$\Sigma\Delta$  IB : ADC  $\Sigma\Delta$ I avec des inverseurs comme amplificateur

### 3.3.6 ADCs hybrides

Pour augmenter significativement la résolution sans augmenter de façon considérable le nombre de cycles nécessaires, des architectures hybrides ont été développées. Suivant les besoins de l'imageur, les architectures utilisées sont les ADC  $\Sigma\Delta$ +cyclique et  $\Sigma\Delta$ +SAR. Ces deux architectures sont discutées dans la suite.

#### $\Sigma\Delta$ + cyclic ADC

Ces architectures sont développées dans le but d'optimiser la surface de l'ADC. Les opérations comme l'intégration ou la comparaison sont communs à l'ADC cyclique et  $\Sigma\Delta$ . Kim *et al* [18] a développé un ADC utilisant le même hardware pour les deux ADCs étapes de la conversion, comme montré sur la figure 3.26. Cet ADC a été développé en  $0.13 \mu\text{m}$  avec une résolution variable allant de 12 à 14 bits suivant l'OSR accordé à la première conversion de l' $\Sigma\Delta$ . Le premier étage convertit 3 ou 5-bit et le deuxième étage 9-bit, avec un OSR total respectif de 16 et 40. Afin de minimiser la surface de l'ADC, une réutilisation de tous les composants est effectuée (entre la conversion  $\Sigma\Delta$  et cyclique. Cet ADC a une largeur de  $7.8 \mu\text{m}$  et a une consommation système de  $400 \mu\text{W/colonne}$  pour une résolution de 12 bits.

Seo *et al* [93] a aussi développé un ADC en  $0.18 \mu\text{m}$  à résolution variable, de 13 à 19 bits, composé d'un folding ADC utilisant le principe de correlated multiple sampling (CMS) reconfigurable en ADC cyclique. La conversion se répartit en deux conversions de 1 à 7-bit pour le folding ADC et 12 bits pour la deuxième conversion. Dû à des problèmes de bruit cet ADC ne peut fonctionner avec une fréquence principale de 10 MHz. Afin d'améliorer cet ADC, Seo *et al* [94] a développé un ADC 17-bit basé sur le même principe de fonctionnement avec un folding ADC de 5-bit et un ADC cyclique de 13-bit. Cet ADC est

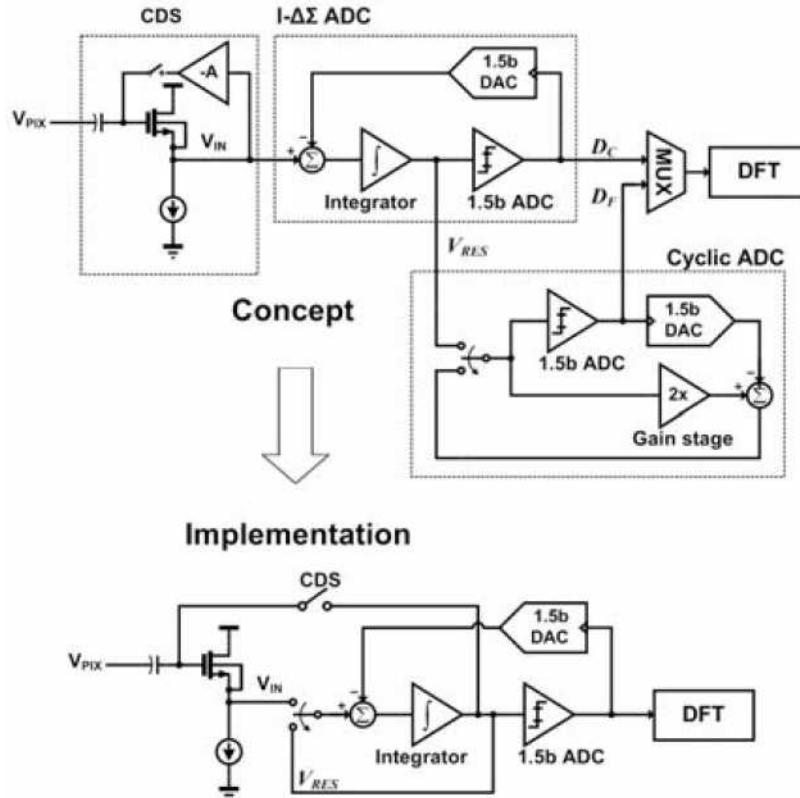


FIGURE 3.26 – Architecture d'un modulateur IΣΔ two-step [18]

compatible avec une largeur de pixel de 7.1  $\mu\text{m}$ , et a une consommation système de 345  $\mu\text{W}/\text{colonne}$ .

Gao *et al* [95] a développé en 0.18  $\mu\text{m}$  un ADC basse consommation pour des applications nécessitant des larges pixels. La résolution de l'ADC est de 5-bit pour l'IΣΔ et de 7-bit pour le cyclique. Le travail est axé sur le design d'un l'OTA de classe AB pour réduire la consommation statique. Cet ADC a une consommation de 13  $\mu\text{W}$ , une fréquence d'échantillonnage de 50 kS/S pour un SNDR de 63 dB. Il occupe une surface de 40  $\mu\text{m} \times$  920  $\mu\text{m}$ .

Zhang *et al* [96] a développé en 0.18  $\mu\text{m}$  un convertisseur avec un modulateur  $\Sigma\Delta$  donnant une résolution de 8 bits avec un OSR de 256 et un ADC cyclique de 7 bits. Les amplificateurs sont des OTA folded cascode triple pseudo différentiel, avec la technique d'auto-zéro vu précédemment afin d'annuler l'offset de ces OTA. Ce convertisseur consomme 220  $\mu\text{W}$ , atteint un SNDR de 84.6 dB pour une fréquence d'entrée de 300 Hz. cet ADC occupe une surface de 50  $\mu\text{m} \times$  750  $\mu\text{m}$ . Cette application visant la détection de rayons-X, un pixel important est nécessaire, ce qui explique la largeur importante de l'ADC.

### IΣΔ + SAR ADC

L'ADC IΣΔ+SAR est utilisé lorsque l'on veut minimiser la consommation au détriment de la surface utilisée. Il existe d'ailleurs peu d'applications dans le domaine de l'imagerie de ce fait. Shin *et al* a développé un ADC hybride [97][98] dont l'architecture globale

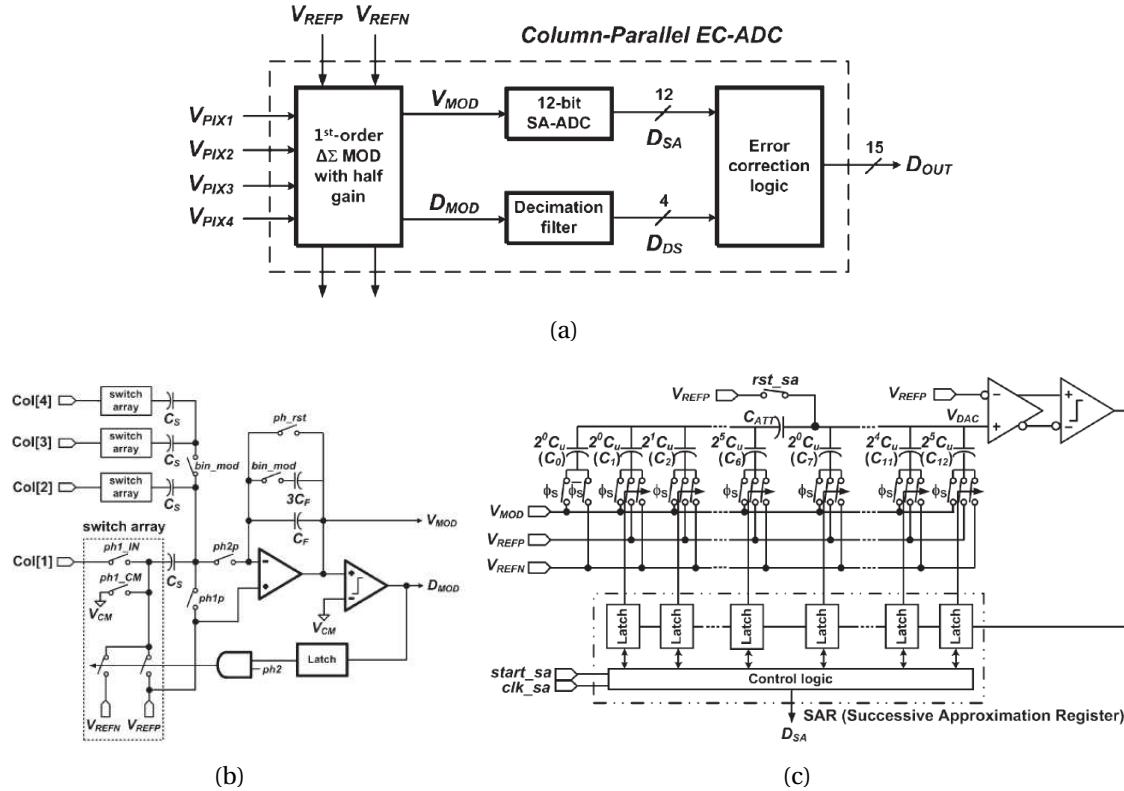


FIGURE 3.27 – (a) High-level view of two-steps architecture, schematic of the sample and hold and (b) the I $\Sigma$ Δ second order modulator (c)

TABLEAU 3.11 – Table récapitulative des ADCs hybrides dans le domaine de l'imagerie

Ref	Type	Techno	Pixel Pitch (μm)	Pixel Pitch (μm)	N (bits)	Fs (kHz)	P (μW)	Taille (μm × μm)	FoM <sub>CIS</sub> (μm.pJ/step)
[18]	$\Sigma\Delta+cyc$	0.13	3.9	3+9	73*	400*	7.8×-		5.2
[18]	$\Sigma\Delta+cyc$	0.13	3.9	5+9	40*	274*	7.8×-		1.6
[94]	$\Sigma\Delta+cyc$	0.18	7.1	17	31*	345*	7.1×-		0.6
[95]	$\Sigma\Delta+cyc$	0.18	40	10.2	50	13	40×920		8.8
[96]	$\Sigma\Delta+cyc$	0.18	50	14	-	220	50×750		-
[97]	$\Sigma\Delta+SAR$	0.35	100	15	150	300	100×1010		6.1

\* = performances des ADC issues des performances systèmes

est montrée figure 3.27. La conversion se divise en 3 bits pour le  $\Sigma\Delta$  et 12 bits pour le SAR. Afin de minimiser la surface du SAR ADC, une architecture à DAC segmenté est utilisée, même si l'application visée sont les détecteurs infra-rouges qui ont besoin d'un large pixel. Afin d'augmenter l'étendue dynamique de l'ADC, une architecture avec un binning analogique est utilisée. L'ADC atteint une résolution de 14.3 bits (20480 codes), avec une fréquence d'échantillonnage de 150 kHz et une consommation de 300  $\mu$ W. La layout a une surface de 100  $\mu$ m × 1010  $\mu$ m.

### 3.3.7 Two-step I $\Sigma$ Δ ADC

Les convertisseurs hybrides vus précédemment utilisait deux types d'ADCs différents. Dans cette partie, la conversion en deux étapes est encore d'actualité mais en utilisant la même architecture de modulateur pour effectuer les deux conversions, en régénérant l'entrée du modulateur par le résidu analogique entre les deux étapes. De la même façon que précédemment, une résolution finale est introduite valant  $2^N$  à  $2^{N_1}+2^{N_2}$ , avec  $2^{N_1}$  la résolution de la première étape et  $2^{N_2}$  la résolution de la seconde étape. A ce jour en imagerie, seulement deux travaux en imagerie ont utilisés la conversion  $\Sigma\Delta$  two-step, avec peu de données ou des applications de compression d'images spécifique, rendant la comparaison difficile. Oike *et al* [19] a développé en 0.15  $\mu\text{m}$  une architecture de CIS utilisant un ADC two-step 12 bits, compatible avec un pitch de pixel de 5.5  $\mu\text{m}$ . Cette architecture est montrée figure 3.28. La conversion est séparée en une première conversion de 8 bits et une seconde conversion de 6 bits. La réutilisation du modulateur implique l'ajout d'un S/H afin de maintenir l'entrée constante lors de la deuxième étape. Cet ADC partagé entre plusieurs colonnes utilise un modulateur d'ordre 1 et chaque ADC est rattaché à un groupe de pixels. Cette répartition des pixels permet de réaliser une compression de l'image pour augmenter le nombre d'images par seconde (de 120 fps sans compression à 1920 fps pour un taux de compression de 1/16) pour une consommation système de 360  $\mu\text{W}/\text{ADC}$ .

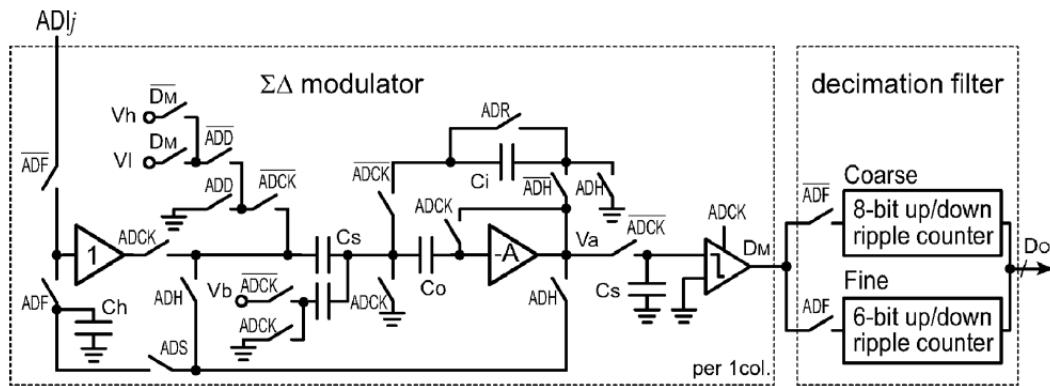


FIGURE 3.28 – Architecture d'un modulateur I $\Sigma$ Δ two-step [19]

Yue *et al* [99][100] a aussi développé en 0.5  $\mu\text{m}$  un CIS de test pour un ADC en deux étapes 15 bits pour des applications de compression. Ce travail porte sur la détection de redondance dans une image et l'utilisation d'une intégration à double échantillonnage "fully floating". L'ADC utilisé consomme 550  $\mu\text{W}$  avec une fréquence d'échantillonnage de 20 kHz, donnant un SNR de 60 dB.

## 3.4 Conclusion

Les différentes architectures développées pour l'imagerie CMOS sont résumées dans la figure 3.29, suivant leur fréquence d'échantillonnage et la résolution atteinte.

Comme vu précédemment, les ADCs SAR et cyclique permettent d'atteindre des fréquences d'échantillonnage élevées, avec des travaux sur des ADCs two-step permettant d'augmenter la résolution tout en limitant le matériel.

Le développement des ADCs  $\Sigma\Delta$  incrémentaux permettent d'obtenir des résolutions plus élevées au dépend de la fréquence d'échantillonnage plus lents. Quant aux ADCs hybrides, la conversion en deux étapes est utilisée pour augmenter la résolution et non pour atteindre une fréquence d'échantillonnage plus importante.

A partir de ce graphique, il apparaît que les ADCs hybrides et  $\Sigma\Delta$  sont des candidats idéaux pour atteindre des résolutions de 14 bits avec des fréquences d'échantillonnage autour de 200 kHz.

En comparant leur figure de mérite  $\text{FoM}_{\text{CIS}}$  sur la figure 3.30, les ADCs SAR et cycliques sont très compétitifs pour les résolutions annoncées allant de 10 à 14-bits. En effet, les ADCs SAR consomment peu mais ont une capacité d'intégration sur des pixels plus larges. En revanche, les ADCs cycliques consomment un peu plus que les ADCs SAR mais sont beaucoup plus facilement intégrables à des pixels étroits, rendant leur  $\text{FoM}_{\text{CIS}}$  comparables.

Les ADCS  $\Sigma\Delta$ I offrent des possibilités pour les architectures avec une résolution autour de 12 bits. Les hybrides ont un  $\text{FoM}_{\text{CIS}}$  assez élevé du fait de leur double architecture, mais restent une solution pour les architectures nécessitant des résolutions élevées.

La solution retenue est d'utiliser les avantages de l'ADC hybride, à savoir la conversion en deux étapes, et de l'ADC  $\Sigma\Delta$ I qui permet d'atteindre des résolutions élevées. Pour cela, une architecture  $\Sigma\Delta$ I en deux étapes est retenue pour la suite de ces travaux. L'ar-

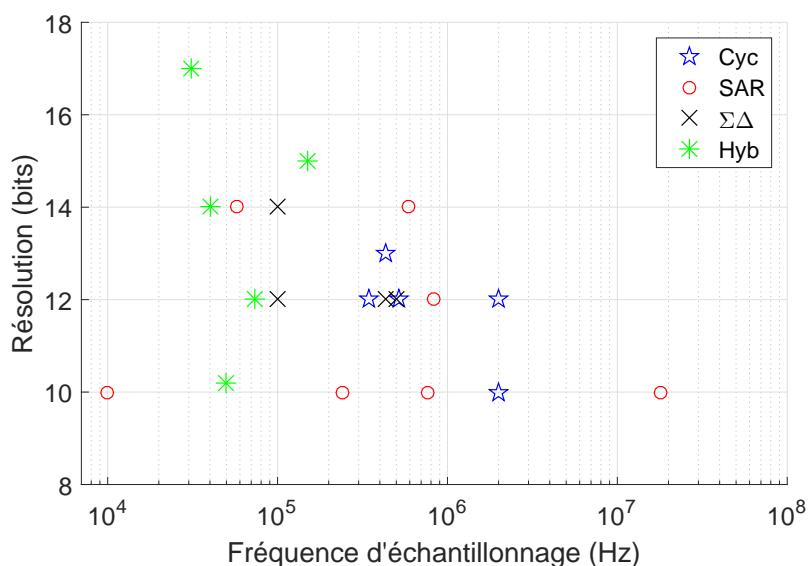


FIGURE 3.29 – Figure récapitulative de l'état de l'art des ADCs pour imageur de leur résolution en fonction de la fréquence d'échantillonnage

chitecture correspondant à l'intersection entre l' $\text{I}\Sigma\Delta$  et les convertisseurs hybrides est le  $\Sigma\Delta$  two-step, où le même hardware est utilisé pour les deux conversions afin de réduire à

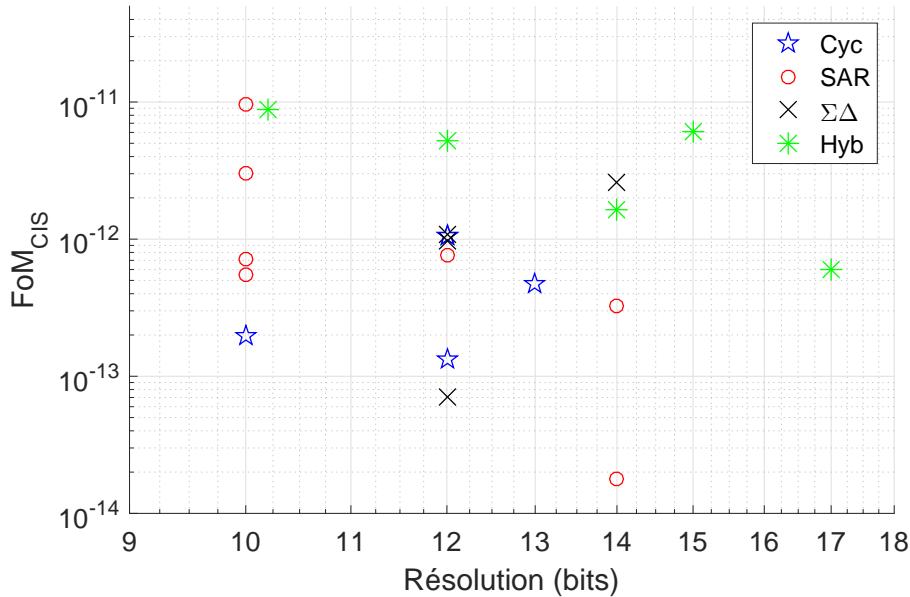


FIGURE 3.30 – Figure récapitulative de l'état de l'art des ADCs pour imageur de leur  $\text{FoM}_{\text{CIS}}$  en fonction de leur résolution

la fois le nombre de cycles d'horloge ainsi que la surface totale du convertisseur.

# Chapitre 4

## Two-step incremental $\Sigma\Delta$

Comme les ADCs  $\Sigma\Delta$  classiques, les ADCs  $\Sigma\Delta$  incrémentaux ( $\Sigma\Delta I$ ) sont capables d'atteindre des résolutions élevées jusqu'à 20 bits [57]. De la même manière que les  $\Sigma\Delta$  classiques, leur vitesse de conversion est limitée du fait du principe de suréchantillonnage. Cependant leur filtre numérique de reconstruction est plus simple à réaliser car souvent un simple compteur/décimateur suffit [58]. Un ADC  $\Sigma\Delta I$  utilise le même modulateur qu'un convertisseur  $\Sigma\Delta$  classique. Cependant, dans un ADC  $\Sigma\Delta I$ , les intégrateurs du modulateur sont remis à zéro à chaque conversion. Il n'y a donc pas d'effet de mémoire d'une conversion à l'autre. Ce principe est bien adapté pour les imageurs pour lesquels on veut justement éviter tout effet de filtrage d'un pixel à l'autre.

Il est possible de reconstituer le signal d'entrée sans erreurs, à partir des informations digitales fournies par le modulateur et la dernière valeur de sortie de son filtre analogique que l'on appelle résidu. Dans le cas incrémental "classique" une erreur est faite car on ne connaît pas le résidu. Traditionnellement on estime sa valeur à partir de la dernière valeur de la sortie digitale, mais on commet une erreur. Une nouvelle approche consiste à convertir ce résidu par un deuxième étage, par exemple de type Flash ou SAR. On peut aussi réutiliser le modulateur, à condition d'échantillonner et bloquer la valeur du résidu. On appelle alors ce convertisseur, convertisseur en 2 étapes, ou two steps converter.

Une architecture avec réutilisation du même hardware et utilisant un modulateur feed-forward d'ordre 2 à intégrateurs cascadés a été développée par Chen *et al* [101] [102]. Entre les deux étapes de la conversion, un intégrateur est basculé en échantillonneur/bloqueur et l'autre est maintenu en tant qu'intégrateur. Le modulateur utilisé fonctionne donc en modulateur du premier ordre pour la deuxième étape. Ce convertisseur atteint un SNDR maximal de 91 dB, pour un OSR total de 192, une consommation de 10.7  $\mu$ W pour une fréquence de conversion de 250 Hz.

Dans ce chapitre, la théorie du  $\Sigma\Delta I$  et de la conversion analogique/numérique en deux étapes est abordée. Différentes architectures haut niveau sont comparées afin de pouvoir sélectionner celle qui est optimale pour nos spécifications. Un dimensionnement du modulateur est ensuite réalisé afin de satisfaire les conditions pour une conversion two-step.

Pour finir, une analyse de l'effet des non-idealités de l'architecture est présentée.

## 4.1 Théorie $I\Sigma\Delta$

### 4.1.1 Modulateur d'ordre 2

Il est facile de montrer qu'un modulateur d'ordre 1 a besoin d'un OSR trop élevé, et donc une conversion trop lente, par rapport au besoin des imageurs. A l'inverse, augmenter trop l'ordre du modulateur coûterait en terme de surface. Nous nous sommes alors portés vers une architecture avec un modulateur de second ordre qui semble être un bon compromis. Cette architecture est représentée sur la figure 4.1. C'est un modulateur de second ordre avec feed-forward au comparateur de l'entrée de l'ADC et du premier intégrateur. Ce type de modulateur permet notamment de minimiser les niveaux des intégrateurs par rapport à d'autres architectures. Le retour du DAC est appelé la référence du modulateur,  $V_{REF}$ , et est considéré unitaire dans un premier temps. Ce choix est discuté plus tard car il est possible d'appliquer une référence plus faible afin d'optimiser le modulateur du convertisseur.

Pour des modulateurs  $\Sigma\Delta$  d'ordre supérieur à 1, des problèmes de linéarité et de saturation des intégrateurs apparaissent, en particulier lorsque le signal d'entrée est trop proche de la référence rebouclée. Ces problèmes peuvent en partie être résolus par les coefficients introduits dans l'architecture. Ce dimensionnement des coefficients sera discuté plus tard.

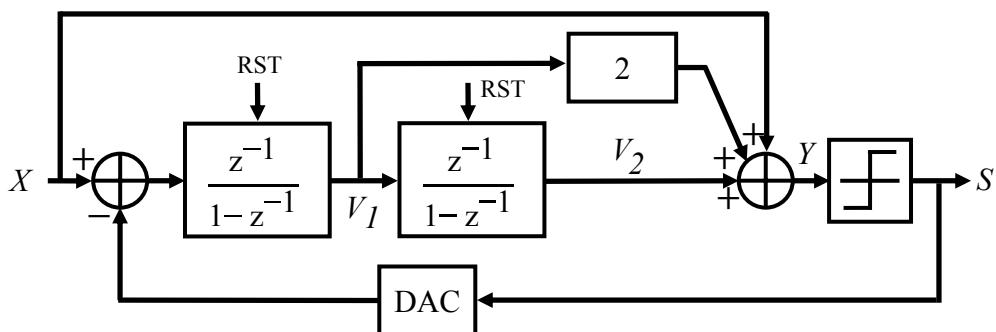


FIGURE 4.1 – Architecture d'un  $I\Sigma\Delta$  d'ordre 2 avec intégrateurs en cascade, feed-forward et retour unitaire du DAC

En considérant les coefficients présents sur la figure 4.1, les valeurs des intégrateurs à la fin d'une conversion après  $M$  cycles sont définies par

$$V_1[M] = \sum_{i=1}^{M-1} (X[i] - S[i]) \quad (4.1)$$

$$V_1[M] = \sum_{i=1}^{M-1} (X[i] - S[i]) \quad (4.2)$$

$$V_2[M] = \sum_{k=1}^{M-1} \sum_{i=1}^{k-1} (X[i] - S[i]) \quad (4.3)$$

et l'entrée du comparateur à chaque instant est définie par

$$Y[i] = X[i] + 2V_1[i] + V_2[i] \quad (4.4)$$

En considérant que l'entrée  $X[i]$  est constante et égale à  $X$  durant la durée de la conversion, ce qui est le cas dans les systèmes d'imagerie, il est possible de développer l'équation (4.3) et de la réécrire sous la forme

$$V_2[M] = \sum_{k=1}^{M-1} \sum_{i=1}^{k-1} X[i] - \sum_{k=1}^{M-1} \sum_{i=1}^{k-1} S[i] \quad (4.5)$$

$$V_2[M] = \frac{(M-1)(M-2)}{2} X - \sum_{k=1}^{M-1} \sum_{i=1}^{k-1} S[i] \quad (4.6)$$

$$X = \frac{2}{(M-1)(M-2)} \sum_{k=1}^{M-1} \sum_{i=1}^{k-1} S[i] + \frac{2}{(M-1)(M-2)} V_2[M] \quad (4.7)$$

Posons

$$X = \hat{X} + e_Q \quad (4.8)$$

où  $\hat{X}$  représente l'estimation de l'entrée, dépendant du flot de bits  $S$ , et  $e_Q$  représente l'erreur générée par la conversion analogique-numérique. Alors, par identification entre les équations (4.7) et (4.8), on peut dire

$$\hat{X} = \frac{2}{(M-1)(M-2)} \sum_{k=1}^{M-1} \sum_{i=1}^{k-1} S[i] \quad (4.9)$$

$$e_Q = X - \hat{X} = \frac{2}{(M-1)(M-2)} V_2[M] \quad (4.10)$$

On peut voir dans l'équation (4.10) que l'erreur générée dépend de l'OSR  $M$  de la conversion et est également proportionnelle à la dernière valeur de la conversion  $V_2[M]$  que l'on appelle le résidu. Dans un convertisseur  $\Sigma\Delta$  classique, et peu importe l'ordre du modulateur, l'erreur de conversion  $e_Q$  est inconnue. Afin de gagner en résolution, des convertisseurs utilisent le dernier bit de la conversion afin de déterminer le signe du ré-

sidu  $V_2[M]$ , soit le signe de  $e_Q$ , afin de gagner un demi bit de précision. Cela est possible car le résidu est proportionnel à l'erreur de conversion réalisée. L'erreur de quantification  $e_Q$  obtenue après conversion est montrée sur la figure 4.2(a) et le résidu analogique  $V_2[M]$  à la fin de la conversion, soit la dernière valeur du second intégrateur de la conversion, sur la figure 4.2(b). On s'aperçoit alors que sur la plage d'entrée du modulateur, le résidu et l'erreur de quantification sont liés.

Or, pour tout convertisseur analogique-numérique, la résolution de celui-ci peut s'écrire sous la forme

$$N = \log_2 \left( \frac{V_{FS}}{V_{LSB}} \right) \quad (4.11)$$

où  $V_{FS}$  est la dynamique d'entrée du convertisseur et  $V_{LSB}$  la valeur analogique équivalente du bit de poids faible. On considère que  $V_{LSB}$  est assimilée à la plus grande erreur de conversion  $e_Q$ , alors on note que l'erreur de conversion augmente de façon considérable à partir d'une certaine valeur de l'entrée, ce qui est la conséquence de l'utilisation d'un modulateur d'ordre supérieur à 1. Sachant que la résolution d'un convertisseur est calculée à partir de l'erreur de conversion, il est donc nécessaire d'associer à une résolution  $N_\alpha$  un couple de valeurs  $[V_\alpha, e_\alpha]$ , représentant respectivement la dynamique d'entrée du modulateur et l'erreur commise dans cet intervalle. Afin d'observer un point particulier, un zoom de la figure 4.2(a) en valeur absolue est effectué afin d'observer la symétrie de l'erreur de conversion du modulateur  $e_Q$ , et le résultat est montré sur la figure 4.3. En se plaçant sur l'avant-dernier pic de l'erreur de conversion, on obtient une dynamique d'entrée

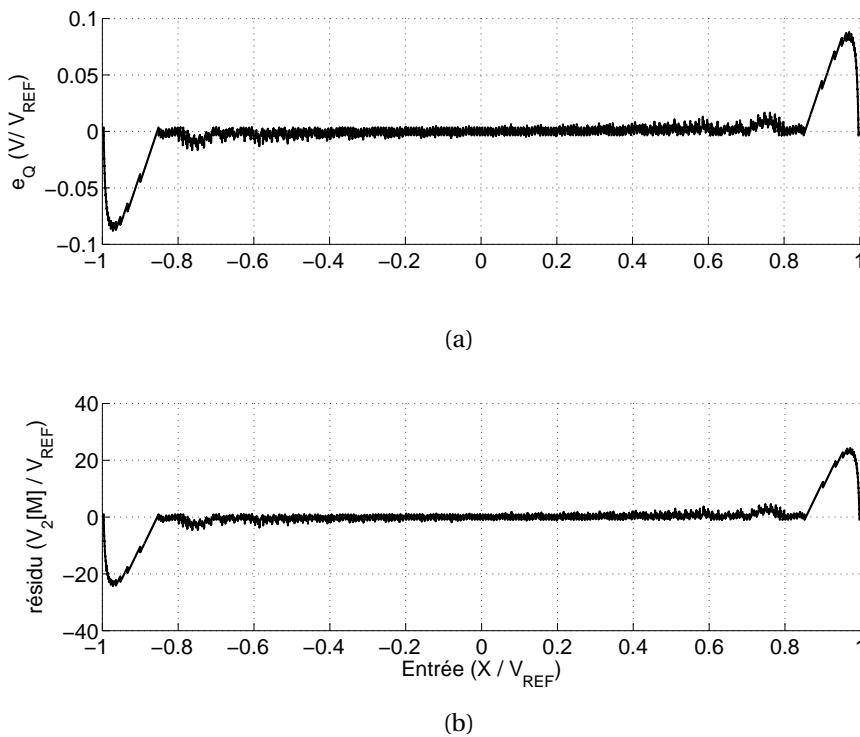


FIGURE 4.2 – (a) Valeur de l'erreur de quantification  $e_Q$  et (b) valeur du résidu analogique pour un OSR de 25

différentielle  $V_\alpha = 2 \times 0.763 \cdot V_{\text{REF}}$  et une erreur de conversion  $e_\alpha = 2 \times |e_\alpha| = 2 \times 16.8e^{-3} \cdot V_{\text{REF}}$  due à la symétrie du convertisseur  $\Sigma\Delta I$ , ce qui donne une résolution  $N_\alpha=5.5$  bits.

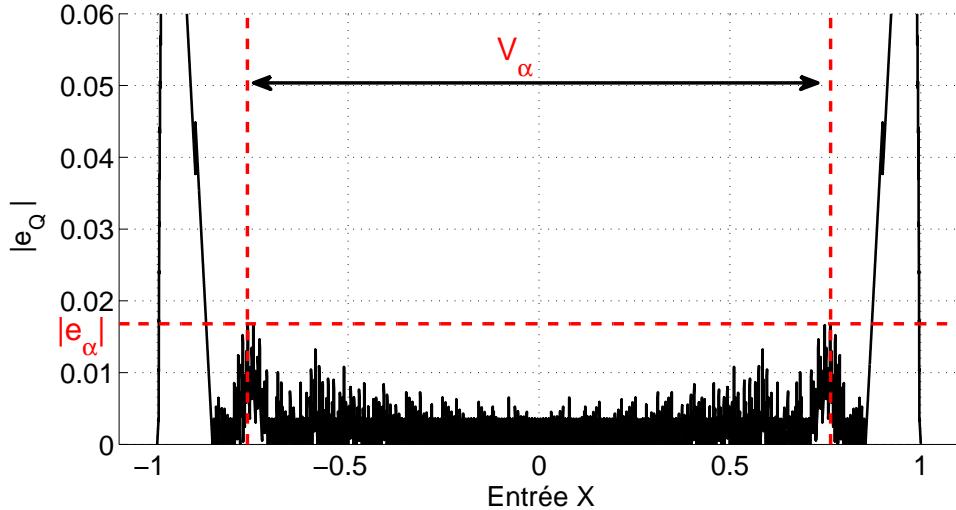


FIGURE 4.3 – Erreur de quantification d'un modulateur d'ordre 2 pour un OSR de 25

Encore une fois, on peut voir que la résolution d'un étage d'un convertisseur  $\Sigma\Delta I$  va dépendre de sa dynamique d'entrée. D'après l'équation (4.11) et avec le même raisonnement que le cas particulier précédent  $N_\alpha$ , la résolution d'un convertisseur  $\Sigma\Delta I$  avec un modulateur d'ordre 2 en fonction de sa dynamique d'entrée et pour plusieurs OSR est montrée sur la figure 4.4.

Il faut alors chercher à maximiser la dynamique d'entrée tout en évitant la chute de la résolution. Pour un modulateur d'ordre 2 avec des coefficients d'intégration et de feed-forward normalisés, on obtient donc une plage d'entrée différentielle  $V_{\text{FS}}$  de  $1.6 \cdot V_{\text{REF}}$  pour un OSR allant jusqu'à 100, soit 80% de la plage totale différentielle

De la même façon, pour un OSR fixé, la plage dynamique d'entrée pour des modulateurs d'ordre 1 et 3 est déterminée. Le résultat de cette simulation est montré sur la figure 4.5. On note que pour un modulateur d'ordre 1, la résolution augmente avec la dynamique d'entrée, donc pour maximiser la résolution, toute la plage d'entrée doit être utilisée. En revanche pour un modulateur d'ordre 3, il y a une chute de résolution lorsque la dynamique d'entrée dépasse 47% de la référence. Ces valeurs sont cependant ajustables suivant les coefficients des intégrateurs et des chemins de feed-forward mais restent utilisables pour cette étude.

Une fois les dynamiques d'entrée maximales définies pour différentes architectures, il est possible, d'après l'équation (4.11), de définir les résolutions associées aux modulateurs pour plusieurs ordres comme suit

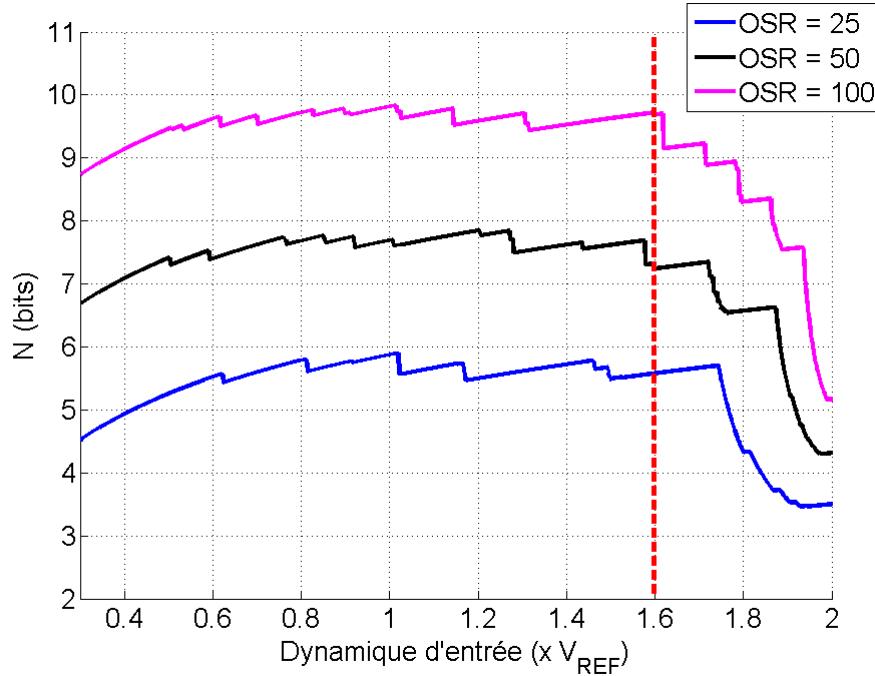


FIGURE 4.4 – Résolution en fonction de la dynamique d'entrée pour différents OSR d'un ADC  $\Sigma\Delta$  avec un modulateur d'ordre 2 et des coefficients d'intégration unitaires

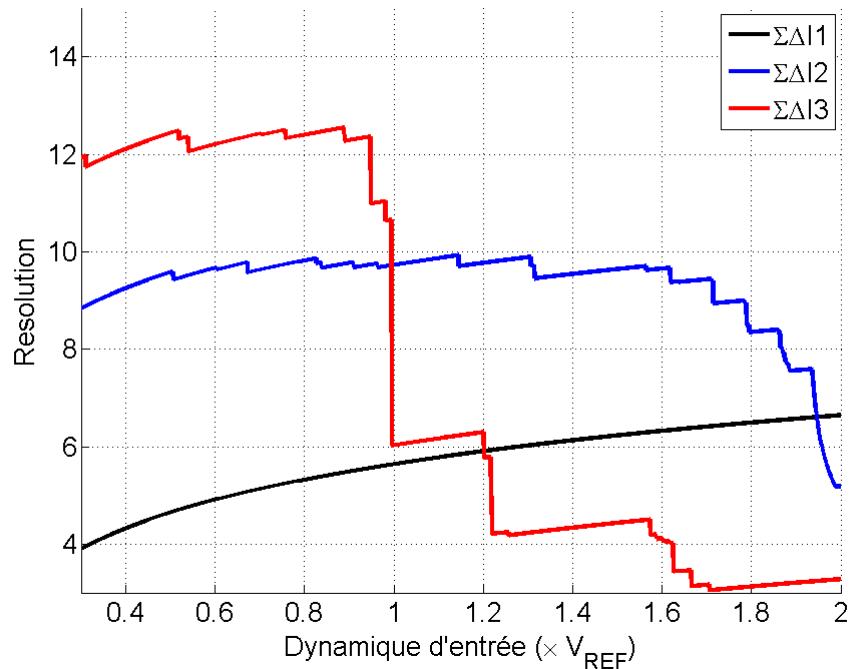


FIGURE 4.5 – Dynamique d'entrée pour différentes architectures de  $\Sigma\Delta$  incrémental pour un OSR de 100

$$N_1 = \log_2 \left( \frac{V_{FS1}}{e_{Q1}} \right) = \log_2 \left( (M-1) \cdot \frac{V_{FS1}}{D_{V_1}} \right) \quad (4.12)$$

$$N_2 = \log_2 \left( \frac{V_{FS2}}{e_{Q2}} \right) = \log_2 \left( \frac{a_1 a_2 (M-1)(M-2)}{2!} \frac{V_{FS2}}{D_{V_2}} \right) \quad (4.13)$$

$$N_3 = \log_2 \left( \frac{V_{FS3}}{e_{Q3}} \right) = \log_2 \left( \frac{a_1 a_2 a_3 (M-1)(M-2)(M-3)}{3!} \frac{V_{FS3}}{D_{V_3}} \right) \quad (4.14)$$

$$(4.15)$$

avec  $a_1$ ,  $a_2$  et  $a_3$  les coefficients des intégrateurs pour les modulateurs d'ordre supérieur à 1,  $D_{V_1}$ ,  $D_{V_2}$  et  $D_{V_3}$  les dynamiques respectives du dernier intégrateur pour un modulateur d'ordre 1, 2 et 3. Il est ainsi possible de tracer la résolution d'un convertisseur  $\Sigma\Delta$  avec une dynamique d'entrée fixe suivant l'OSR pour différentes architectures comme montré sur la figure 4.6. Les résolutions  $N_1$ ,  $N_2$  et  $N_3$  sont définies à partir des équations (4.12), (4.13) et (4.14) et les résolutions idéales sont définies pour chaque architecture par

$$ideal\ N_i = \log_2 \left( \frac{V_{FSi}}{2 \cdot max(X - \hat{X})} \right) \quad (4.16)$$

avec  $i$  variant de 1 à 3 et représentant l'ordre du modulateur. Sur la gamme de résolution observée, les courbes idéales et celle des équations coïncident. Pour un modulateur d'ordre 1, les deux courbes se superposent car la dynamique maximale de  $V_1, D_{V_1}$ , ne dépend pas de l'OSR. En revanche une erreur observée pour les OSR faibles et élevés est due à l'influence du terme  $D_{V_j}$ , avec  $j=2,3$ , qui varie en fonction de l'OSR. En prenant une valeur de dynamique d'intégrateur adaptée pour la gamme d'OSR souhaitée [0, 200], l'erreur est minimisée et les résolutions obtenues concordent

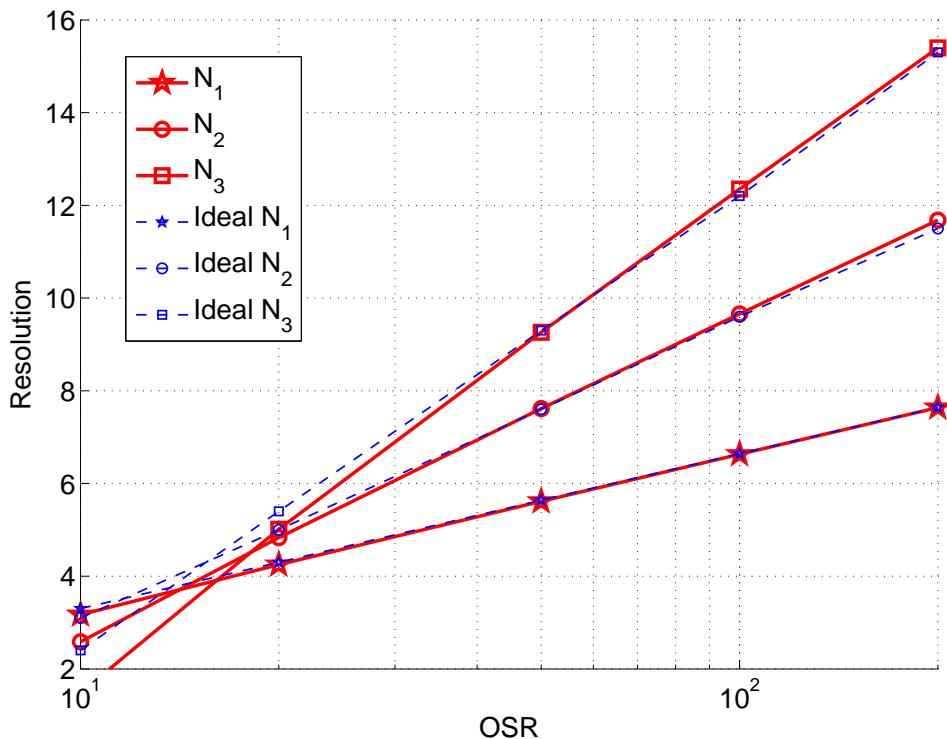


FIGURE 4.6 – Résolutions calculées et idéales pour différentes architectures de  $\Sigma\Delta$

## 4.2 Two-step conversion

La théorie de la conversion  $\Sigma\Delta$  two-step est présentée dans cette partie. Dans un premier temps, nous supposons que le modulateur utilisé est d'ordre 2 pour les raisons indi-

quées précédemment. Cette affirmation sera discutée dans la suite de ce chapitre.

### 4.2.1 Théorie

Le principe de la conversion two-step avec réutilisation de hardware est représenté sur la figure 4.7. Dans un premier temps, le modulateur convertit la valeur du pixel  $V_{PIXEL}$ , qui sera noté  $X_P$  dans la suite, pour donner un flot de bits lié à la première conversion et un résidu analogique  $V_2[M_1]$ . Ce résidu est renvoyé à l'entrée du modulateur pour la seconde étape donnant un flot de bits  $S_2$ . A  $S_1$  et  $S_2$  sont alors associés des signaux de valeurs estimées  $\hat{X}_1$  et  $\hat{X}_2$ . Les valeurs  $M_1$  et  $M_2$  sont le nombre de cycles respectivement de la première et de la seconde étape. Le modulateur utilisé pour la théorie est celui de la figure 4.7(b).

Avec ces notations et d'après l'équation (4.3), la valeur du résidu  $V_2[M_1]$  à la fin de la première étape après  $M_1$  cycles s'écrit

$$V_2[M_1] = a_1 \cdot a_2 \sum_{k=1}^{M_1-1} \sum_{i=1}^{k-1} (X_P[i] - S_1[i]) \quad (4.17)$$

$$V_2[M_1] = \frac{a_1 \cdot a_2 (M_1 - 1)(M_1 - 2)}{2} X_P - a_1 \cdot a_2 \sum_{k=1}^{M_1-1} \sum_{i=1}^{k-1} S_1[i] \quad (4.18)$$

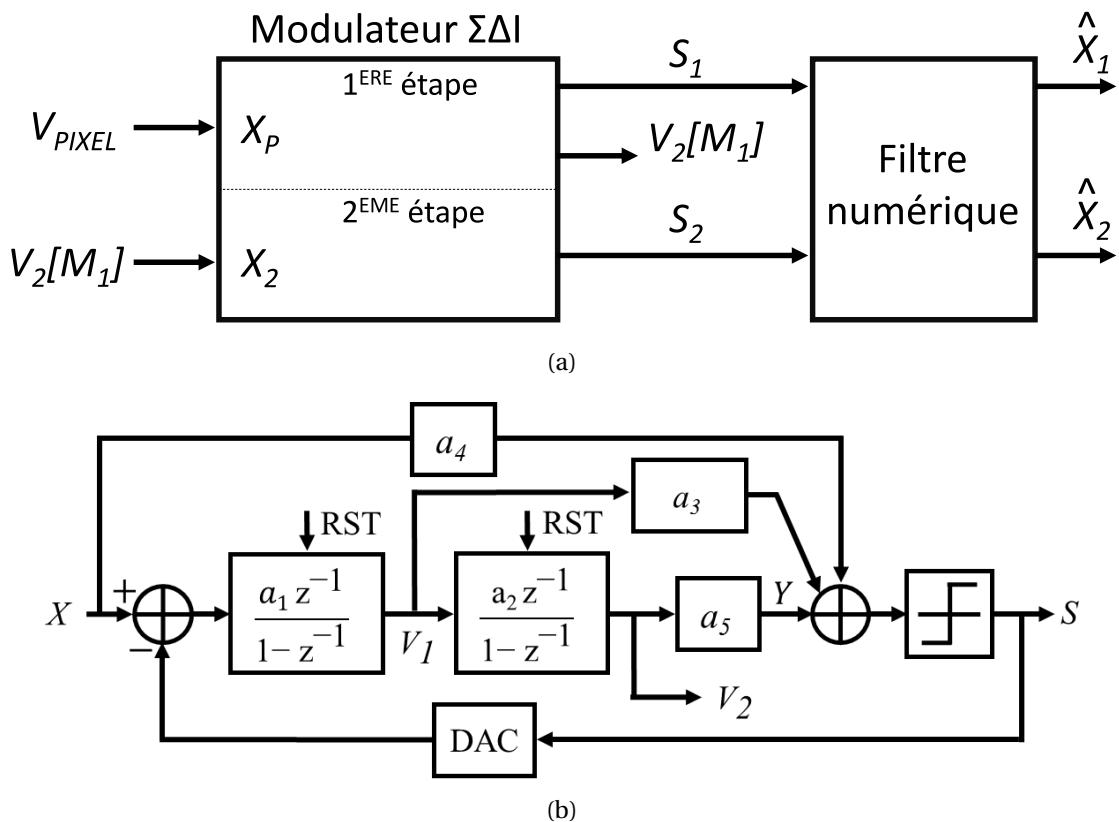


FIGURE 4.7 – (a) Vue haut niveau d'un convertisseur  $\Sigma\Delta$  incrémental two-step et (b) architecture du modulateur  $\Sigma\Delta$  incrémental de second ordre avec feed-forward

De la même façon que pour la première étape, la valeur finale du second intégrateur lors de la seconde étape après  $M_2$  cycles s'écrit

$$V_2[M_2] = a_1 \cdot a_2 \sum_{k=1}^{M_2-1} \sum_{i=1}^{k-1} (X_2[i] - S_2[i]) \quad (4.19)$$

$$V_2[M_2] = a_1 \cdot a_2 \sum_{k=1}^{M_2-1} \sum_{i=1}^{k-1} ((V_2[M_1])[i] - S_2[i]) \quad (4.20)$$

En utilisant (4.18) dans (4.20), la valeur du second intégrateur à la fin de la seconde conversion s'écrit alors

$$V_2[M_2] = a_1 \cdot a_2 \sum_{k=1}^{M_2-1} \sum_{i=1}^{k-1} \left( \left[ \frac{a_1 \cdot a_2 (M_1 - 1)(M_1 - 2)}{2} X_P - a_1 \cdot a_2 \sum_{g=1}^{M_1-1} \sum_{j=1}^{g-1} S_1[j] \right] [i] - S_2[i] \right) \quad (4.21)$$

Sachant que le terme  $V_2[M_1]$  est constant durant la seconde conversion, l'équation de  $V_2[M_2]$  devient

$$\begin{aligned} V_2[M_2] &= \frac{(a_1 \cdot a_2)^2 (M_1 - 1)(M_1 - 2)(M_2 - 1)(M_2 - 2)}{4} X_P \\ &\quad - \frac{(a_1 \cdot a_2)^2 (M_2 - 1)(M_2 - 2)}{2} \sum_{k=1}^{M_1-1} \sum_{i=1}^{k-1} S_1[i] \\ &\quad - a_1 \cdot a_2 \sum_{k=1}^{M_2-1} \sum_{i=1}^{k-1} S_2[i] \end{aligned} \quad (4.22)$$

En isolant l'entrée du convertisseur, l'équation (4.22) devient

$$\begin{aligned} X_P &= \frac{2}{(M_1 - 1)(M_1 - 2)} \sum_{k=1}^{M_1-1} \sum_{i=1}^{k-1} S_1[i] \\ &\quad + \frac{4}{a_1 a_2 (M_1 - 1)(M_1 - 2)(M_2 - 1)(M_2 - 2)} \sum_{k=1}^{M_2-1} \sum_{i=1}^{k-1} S_2[i] \\ &\quad + \frac{4}{(a_1 a_2)^2 (M_1 - 1)(M_1 - 2)(M_2 - 1)(M_2 - 2)} V_2[M_2] \end{aligned} \quad (4.23)$$

D'après l'équation (4.9), on peut introduire  $\hat{X}_{1S}$  et  $\hat{X}_{2S}$ , étant respectivement la valeur estimée pour la première et seconde étape de la conversion, définie par

$$\hat{X}_{1S} = \frac{2}{(M_1 - 1)(M_1 - 2)} \sum_{k=1}^{M_1-1} \sum_{i=1}^{k-1} S_1[i] \quad (4.24)$$

$$\hat{X}_{2S} = \frac{2}{(M_2 - 1)(M_2 - 2)} \sum_{k=1}^{M_2-1} \sum_{i=1}^{k-1} S_2[i] \quad (4.25)$$

et des coefficients  $k_{M_1}$  et  $k_{M_2}$ , respectivement liés à la première et la seconde étape de la

conversion, définis par

$$k_{1S} = \frac{2}{a_1 a_2 (M_1 - 1)(M_1 - 2)} \approx \frac{2}{a_1 a_2 (M_1)^2} \quad (4.26)$$

$$k_{2S} = \frac{2}{a_1 a_2 (M_2 - 1)(M_2 - 2)} \approx \frac{2}{a_1 a_2 (M_2)^2} \quad (4.27)$$

En utilisant les équations (4.24), (4.25), (4.26), (4.27) dans (4.23), la valeur de l'entrée  $X_P$  s'écrit alors

$$X_P = \hat{X}_1 + k_{1S} \hat{X}_2 + k_{1S} \cdot k_{2S} \cdot V_2[M_2] \quad (4.28)$$

On note  $\hat{X}_{A-B}$  et  $E_{A-B}$  représentant respectivement le signal estimé et l'erreur de conversion réalisés par une conversion en 2 étapes utilisant un modulateur d'ordre A pour la première étape et d'ordre B pour la seconde étape. Avec ces notations, on peut alors définir les notations précédentes pour un modulateur d'ordre 2 avec

$$\hat{X}_{2-2} = \hat{X}_1 + k_{1S} \hat{X}_2 \quad (4.29)$$

$$E_{2-2} = k_{1S} \cdot k_{2S} \cdot V_2[M_2] \quad (4.30)$$

où les paramètres  $k_{1S}$  et  $k_{2S}$  dépendent de l'ordre du modulateur, des coefficients des intégrateurs et de l'OSR. La résolution  $N_{2-2}$  du convertisseur two-step utilisant un modulateur d'ordre 2 pour les deux étapes s'écrit alors

$$N_{2-2} = \log_2 \left( \frac{V_{FS}}{E_{2-2}} \right) \approx \log_2 \left( \frac{(a_1 a_2)^2 \cdot (M_1)^2 \cdot (M_2)^2 \cdot V_{FS}}{4 \cdot V_2[M_2]} \right) \quad (4.31)$$

Avant de pouvoir tracer  $N_{2-2}$  en fonction de l'OSR de la conversion, il faut d'abord analyser l'influence des coefficients d'intégration sur la dynamique  $V_2[M_1]$ , ainsi que la répartition des cycles  $M_1$  et  $M_2$  lors de la conversion. Ces deux points sont abordés dans les parties ci-dessous.

### 4.2.2 Dimensionnement modulateur

Dans une conversion en deux étapes, il est très important de faire concorder la dynamique de sortie du premier étage et la dynamique d'entrée du second étage afin de maximiser la résolution atteignable. Dans le cas de cette architecture il faut comparer la dynamique du résidu analogique  $V_2[M_2]$  et la dynamique de l'entrée. On fixe dans un premier temps la dynamique de l'entrée à 75% de la référence, et la dynamique de sortie peut être modifiée grâce aux différents paramètres du modulateur. Nous cherchons dans un premier temps à minimiser la dynamique de  $V_2$  afin de pouvoir déterminer un coefficient multiplicateur pour maximiser la résolution finale. On fixe les coefficients du

feed-forward  $a_3$  et  $a_4$  venant respectivement du premier intégrateur et de l'entrée et  $a_1 = a_2 = 0.5$  et  $a_4 = 1$  pour effectuer un premier balayage de  $a_3$ . Le résultat de la simulation est montré sur la figure 4.8. La dynamique du modulateur est minimale et optimale pour  $a_3 = 2$

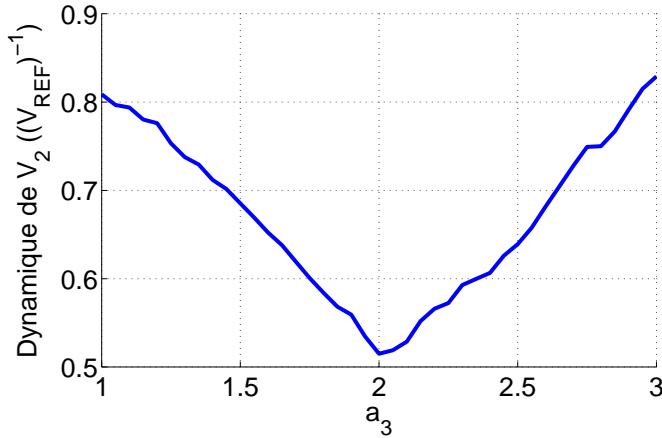


FIGURE 4.8 – Dynamique maximum du second intégrateur pour différentes valeurs de  $a_3$

Avec la valeur précédemment définie de  $a_3$ , le même balayage est effectué pour les paramètres  $a_4$  et  $a_5$  et les résultats sont montrés sur les figures 4.9 et 4.10. D'après les graphiques, les valeurs optimales sont  $a_4=a_5=1$ , cette valeur sera donc gardée.

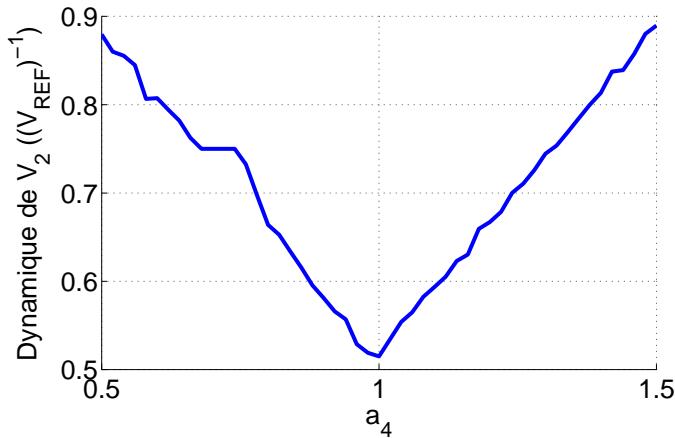


FIGURE 4.9 – Dynamique maximum du second intégrateur pour différentes valeurs de  $a_4$

Une fois les coefficients du modulateur optimisés, la dynamique d'entrée du modulateur choisie arbitrairement est rediscutée. Afin d'optimiser la conversion, il est nécessaire que la dynamique du résidu soit le plus proche possible de la dynamique d'entrée du modulateur, sans toutefois la dépasser. Afin de comparer ces dynamiques, le ratio entre la dynamique d'entrée  $V_{FS}$  et la dynamique du deuxième intégrateur est montré sur la figure 4.11. On s'aperçoit qu'il y a un rapport maximal de 1.5 en se positionnant à la bonne dynamique d'entrée ce qui donne comme coefficients idéaux du modulateur ceux présentés dans la table 4.1

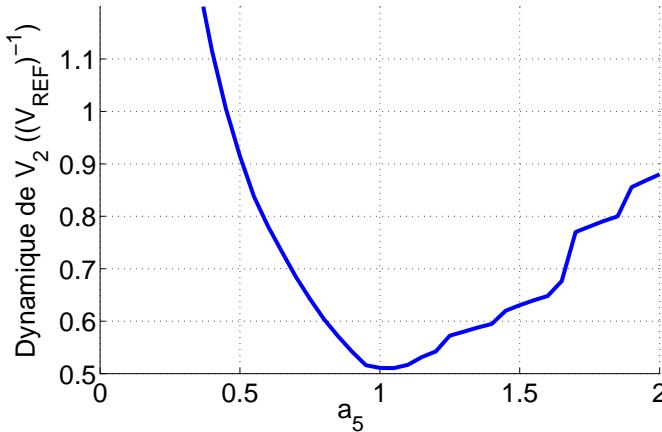
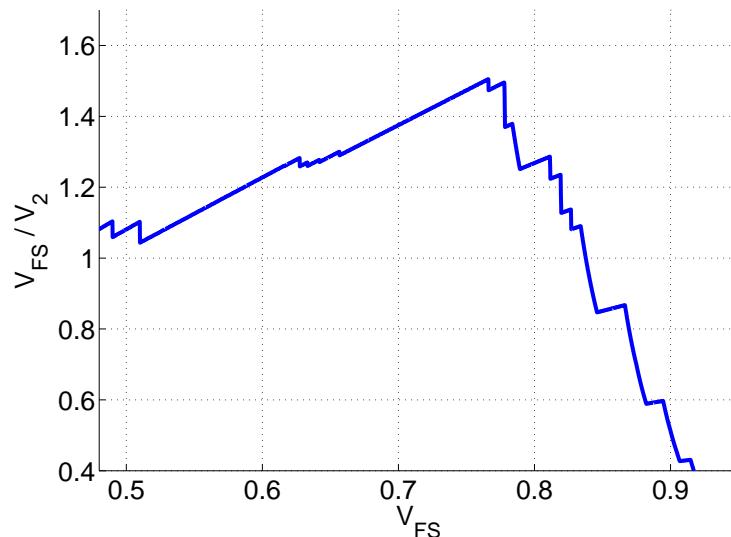

 FIGURE 4.10 – Dynamique maximum du second intégrateur pour différentes valeurs de  $a_5$ 


FIGURE 4.11 – Dynamique du second intégrateur en fonction de la dynamique d'entrée du modulateur

 TABLEAU 4.1 – Coefficients idéaux d'un modulateur du 2<sup>nd</sup> ordre pour une utilisation dans un convertisseur two-step

coeff	valeurs idéales
$V_{FS}$	$0.76 V_{REF}$
$a_1$	0.5
$a_2$	0.75
$a_3$	2
$a_4$	1
$a_5$	$2/3$

Afin de se garder une marge de 10% sur la dynamique des intégrateurs lors du passage au niveau transistor, les coefficients  $a_2$  et  $a_4$  devraient être augmentés par 30%. Afin de faciliter l'implémentation future en ratio de capacités, des coefficients facilement implémentables sont choisis et la dynamique d'entrée du convertisseur est modifiée et aug-

mentée jusqu'à une valeur de  $0.8V_{REF}$  afin d'obtenir une résolution maximale. Ainsi, les caractéristiques finales du modulateur sont montrées dans le tableau 4.2.

TABLEAU 4.2 – Coefficients retenus d'un modulateur du  $2^{nd}$  ordre pour une utilisation dans un convertisseur two-step

coeff	valeurs retenues
$V_{FS}$	$0.8 V_{REF}$
$a_1$	0.5
$a_2$	0.5
$a_3$	2
$a_4$	1
$a_5$	1

La répartition des valeurs des différents intégrateurs est montré sur la figure 4.12. On peut noter que pour une dynamique d'entrée de 80% le maximum, la valeur du résidu analogique est alors bornée 57% de la référence

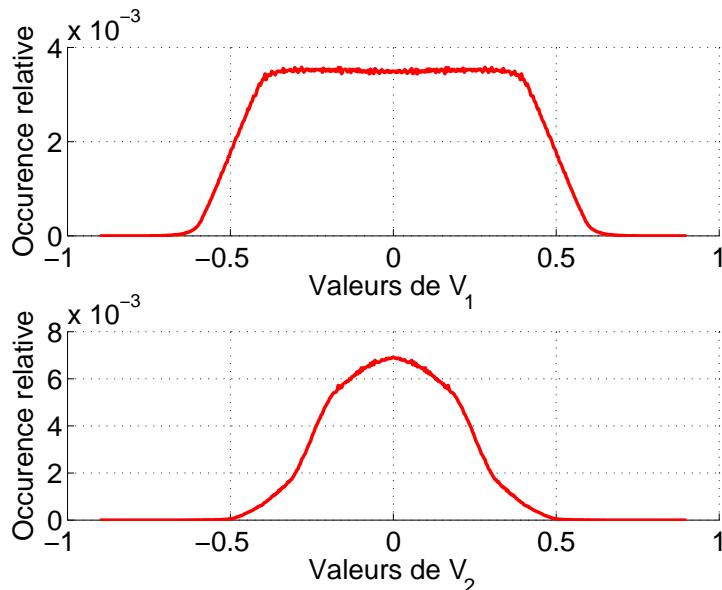
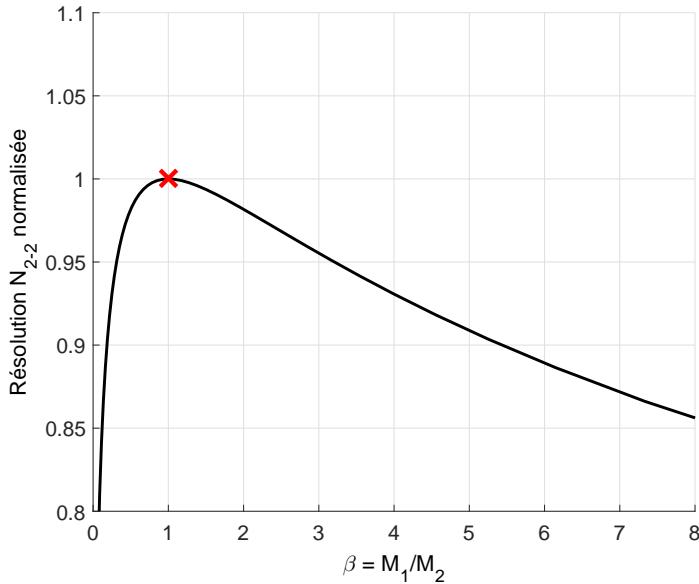


FIGURE 4.12 – Occurrence des valeurs  $V_1$  et  $V_2$  pour différentes valeurs d'entrée pour une entrée balayant toute la dynamique et un OSR= 200

### 4.2.3 Répartition des cycles d'horloge

Jusqu'à maintenant, les nombres de cycles  $M_1$  et  $M_2$  étaient libres. Nous allons montrer que pour un nombre de cycles total, il y a un optimal dans le choix de  $M_1$  et  $M_2$ . Afin d'évaluer la résolution totale du convertisseur après ces deux étapes, il est nécessaire d'analyser la répartition des cycles d'horloge entre les deux conversions. On introduit l'OSR total de la conversion  $M$  défini comme la somme du nombre de cycles de chaque


 FIGURE 4.13 – Résolution normée en fonction de  $\beta$ 

étape et un paramètre  $\beta$  défini comme

$$M = M_1 + M_2 \quad (4.32)$$

$$\beta = \frac{M_1}{M_2} \quad (4.33)$$

En remplaçant (4.32) et (4.33) dans (4.31), et en ne prenant pas en compte les coefficients qui sont des valeurs indépendantes de l'OSR  $M_1$  et  $M_2$ , l'équation de l'erreur de conversion et de la résolution en fonction de  $\beta$  et  $M$  s'écrivent

$$E_{2-2}(\beta) \simeq \frac{(1+\beta)^4}{\beta^2 M^4} \quad (4.34)$$

$$N_{2-2}(\beta) \simeq \log_2 \left( \frac{\beta^2 M^4}{(1+\beta)^4} \right) \quad (4.35)$$

En fixant le nombre de cycles total et en faisant varier  $\beta$ , on obtient la résolution en fonction de  $\beta$ , soit la répartition des cycles entre les deux étapes. Le résultat de l'analyse paramétrique de  $\beta$  est montré sur la figure 4.13. On s'aperçoit que la résolution est maximale pour  $\beta=1$ , ou encore  $M_1=M_2$ , soit une répartition égale des cycles. Avec cette condition, la résolution optimale peut alors être calculée pour différents OSR. La résolution d'un  $\Sigma\Delta I_{2-2}$  est représentée sur la figure 4.14. Une fois encore, on s'aperçoit qu'en choisissant une dynamique de  $V_2$  adaptée, la résolution idéale et celle introduite par l'équation (4.35) concordent. On note également que l'architecture  $I\Sigma\Delta 2-2$  a une réponse en fonction de l'OSR similaire à une architecture  $I\Sigma\Delta$  d'ordre 4, sans subir la contrainte de réduction de plage d'entrée.

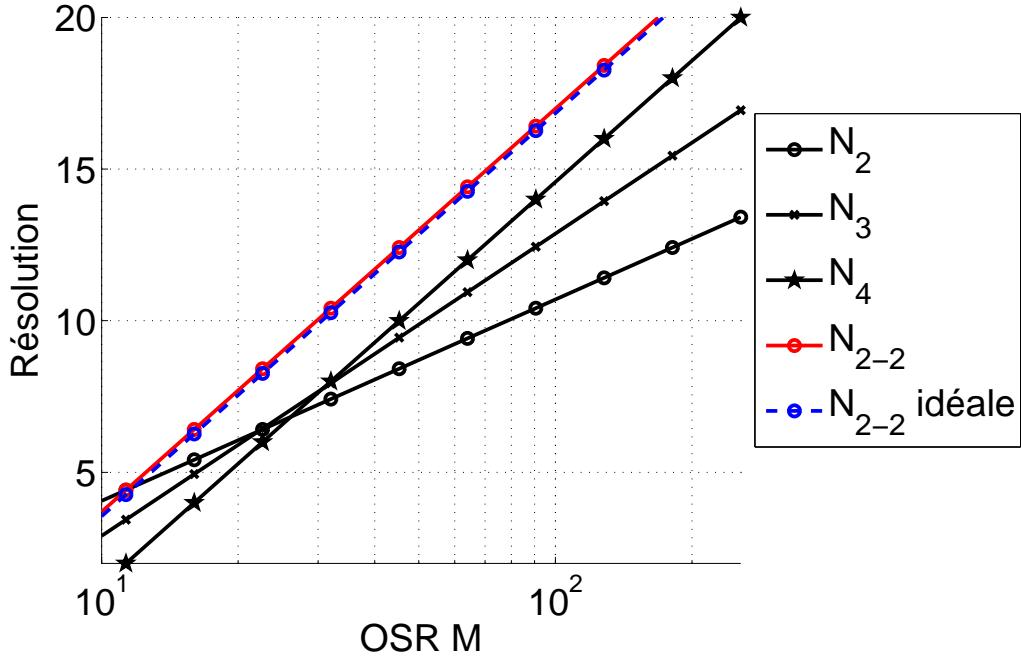


FIGURE 4.14 – Comparaison de l'architecture two step utilisant un modulateur d'ordre 2 et d'architectures  $\Sigma\Delta$  classiques

#### 4.2.4 Evaluation de différentes architectures two-step

Toute la théorie développée jusqu'à présent concernait un convertisseur noté  $\Sigma\Delta$ 2-2 dont l'ordre du modulateur  $\Sigma\Delta$  incrémental, noté  $O_M$ , est 2 pour les deux étapes. Or, des réalisations citées précédemment ont montré qu'un modulateur différent pouvait être utilisé pour les deux étapes de la conversion, à savoir que son ordre pouvait être décrémenté de un. Il est donc nécessaire de comparer ce convertisseur à d'autres architectures dont les notations sont montrées dans la table 4.3. Il n'est pas nécessaire d'aller au delà de l'ordre 3 car l'OSR requis n'est pas très élevé.

TABLEAU 4.3 – Notation des différentes architectures two-step

ordre 1 <sup>ère</sup> étape	ordre 2 <sup>ème</sup> étape	Notation
1	1	I $\Sigma\Delta$ 1-1
2	1	I $\Sigma\Delta$ 2-1
2	2	I $\Sigma\Delta$ 2-2
3	2	I $\Sigma\Delta$ 3-2

Suivant la même méthodologie que pour un modulateur d'ordre 2, la résolution est analysée. Suivant l'équation (4.31), les résolution respectives des convertisseurs  $\Sigma\Delta$ 1-1,  $\Sigma\Delta$ 2-1 et  $\Sigma\Delta$ 3-2 sont définies par

$$N_{1-1} = \log_2 \left( M_1 M_2 \frac{V_{FS1}}{D_{V_1}} \right) \quad (4.36)$$

$$N_{2-1} = \log_2 \left( \frac{([a_1 a_2]_{o2})(M_1)^2 M_2}{2} \frac{V_{FS2}}{D_{V_1}} \right) \quad (4.37)$$

$$N_{3-2} = \log_2 \left( \frac{([a_1 a_2 a_3]_{o3})(M_1)^3}{3!} \frac{([a_1 a_2]_{o2})(M_2)^2}{2} \frac{V_{FS3}}{D_{V_2}} \right) \quad (4.38)$$

où  $[a_1 a_2]_{o2}$  et  $[a_1 a_2 a_3]_{o3}$  représentent respectivement les coefficients des intégrateurs pour un modulateur d'ordre 2 et 3. Afin d'analyser la répartition de l'OSR, à partir de l'équation (4.35) et en utilisant (4.36), (4.37) et (4.38), on peut définir les résolutions dépendantes de  $\beta$  par

$$N_{1-1}(\beta) = \log_2 \left( \frac{\beta M^2}{(1+\beta)} \right) \quad (4.39)$$

$$N_{2-1}(\beta) = \log_2 \left( \frac{\beta^2 M^3}{(1+\beta)^3} \right) \quad (4.40)$$

$$N_{3-2}(\beta) = \log_2 \left( \frac{\beta^3 M^5}{(1+\beta)^5} \right) \quad (4.41)$$

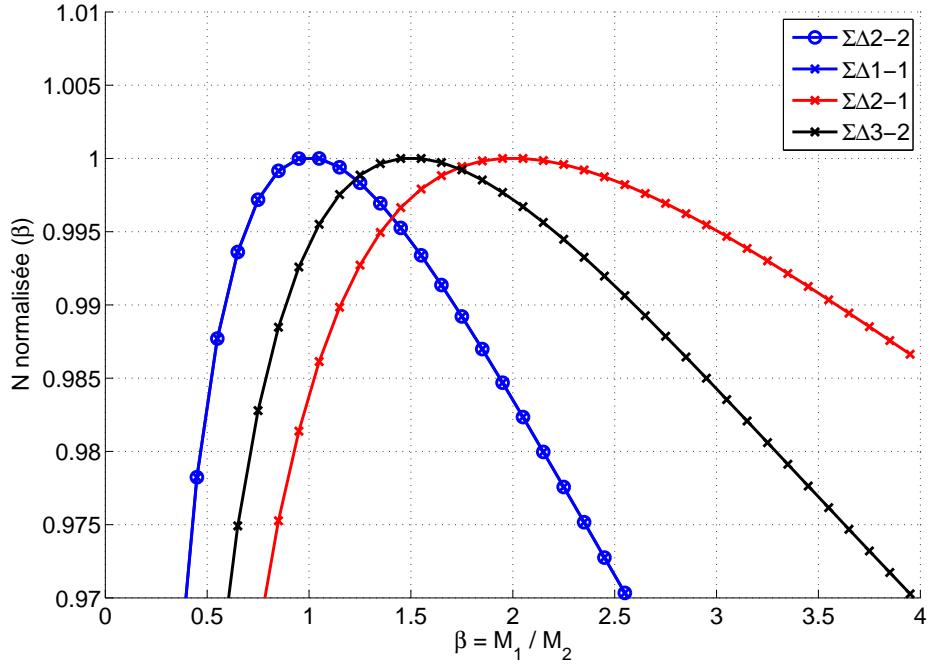
Le résultat de la résolution, normalisée pour obtenir une comparaison sur une résolution unitaire, est alors montré sur la figure 4.15. Dans cette figure, on remarque que les architectures utilisant le même modulateur pour les deux étapes, à savoir  $\Sigma\Delta I1-1$  et  $\Sigma\Delta I2-2$  ont une résolution maximale lorsque  $\beta=1$ , donc que les deux étapes de la conversion doivent être égales. En revanche, pour les architectures avec des modulateurs dont l'ordre change d'une étape à l'autre, la résolution est pondérée par le modulateur de plus haut niveau, c'est à dire que la première étape doit être plus longue. Ces résultats sont résumés dans le tableau 4.4 et seront gardés pour la suite de l'étude. On peut remarquer dans ces exemples que le rapport optimal  $\beta$  est égal au rapport des ordres des deux modulateurs utilisés.

TABLEAU 4.4 – Valeurs de  $\beta$  pour différentes architectures

Architecture	$\beta$
$I\Sigma\Delta 1-1$	1
$I\Sigma\Delta 2-2$	1
$I\Sigma\Delta 2-1$	2
$I\Sigma\Delta 3-2$	1.5

#### 4.2.5 Architecture à étapes multiples

Afin de réduire encore plus le nombre de cycles nécessaires pour une conversion, des architectures avec étapes multiples ont été développées. Caldwell *et al* [103] a développé


 FIGURE 4.15 – Optimisation de  $\beta$  pour différentes architectures

une architecture  $\Sigma\Delta$  à 8 étapes avec un comparateur à 3 niveaux, avec un faible OSR. Il compare également la mise en cascade de modulateur de  $\Sigma\Delta$ I aux convertisseurs pipeline et  $\Sigma\Delta$  ADC. Suivant cette exemple avec un comparateur à 2 niveaux pour minimiser la surface, et en augmentant le nombre d'étapes, la résolution de convertisseurs à étapes multiples s'écrit alors

$$N_{1-1-1} = \log_2 \left( M_1 M_2 M_3 \frac{V_{FS1}}{D_{V_1}} \right) \quad (4.42)$$

$$N_{1-1-1-1} = \log_2 \left( M_1 M_2 M_3 M_4 \frac{V_{FS1}}{D_{V_1}} \right) \quad (4.43)$$

$$N_{2-2-2} = \log_2 \left( \frac{(a_1 a_2)^3 (M_1)^2 (M_2)^2 (M_3)^2}{6} \frac{V_{FS2}}{D_{V_2}} \right) \quad (4.44)$$

où  $N_{1-1-1}$  et  $N_{2-2-2}$  représentent la résolution d'un convertisseur en trois étapes, avec respectivement un modulateur d'ordre 1 et 2 et  $N_{1-1-1-1}$  correspond à la résolution d'une conversion en 4 étapes avec un modulateur d'ordre 1. Par analogie à la répartition de l'OSR dans les conversions, il est possible d'en conclure que pour une conversion utilisant le même modulateur pour toutes ces étapes, les valeurs de  $M_i$  dans les équations (4.42), (4.43) et (4.44) doivent être égales.

Une fois les valeurs de  $\beta$  déterminées et le dimensionnement du modulateur réalisé pour optimiser la résolution d'une conversion en deux étapes, cette résolution est analysée afin de choisir la meilleure structure. Le résultat de cette analyse est montré figure 4.16 avec les architectures  $\Sigma\Delta$ I classiques en bleu, les architectures ayant deux étapes en rouge

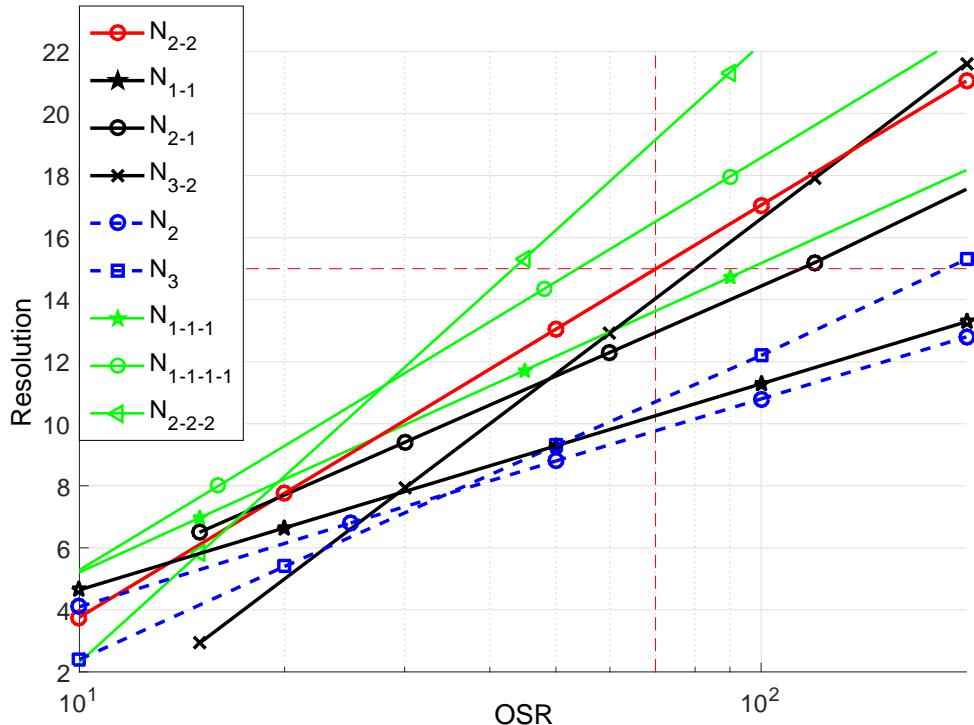


FIGURE 4.16 – Résolution de convertisseurs pour différentes architectures

et en noires et celles possédant trois étapes ou plus en vertes. Parmi les architectures two-step, on note que le convertisseur  $\Sigma\Delta$ I2-2 permet d'atteindre la résolution la plus élevée dans la plage souhaitée (autour de 14 bits), avec une pente de +4 bits/octave. On note aussi que la pente des architectures two-step, par exemple  $\Sigma\Delta$ I2-1 est équivalente à un convertisseur  $\Sigma\Delta$ I3 classique avec une pente de +3 bits/octave. Cette dernière remarque est également validée pour les architectures  $\Sigma\Delta$ I1-1 et  $\Sigma\Delta$ I2. Nous pouvons observer que la pente en bits/octave est égale à la somme des ordres des modulateurs utilisés durant la conversion. Ce point est résumé dans le tableau 4.5. Les architectures avec 3 étapes ou plus, même pour un modulateur d'ordre 1, offre un bon compromis de l'OSR en fonction de la résolution. Cependant l'augmentation du nombre d'étapes pour effectuer une conversion entraîne un effet cumulatif au niveau de l'erreur. Pour un tel système, une calibration doit alors être développée. Sans calibration, la meilleure architecture retenue est le convertisseur  $\Sigma\Delta$ 2-2.

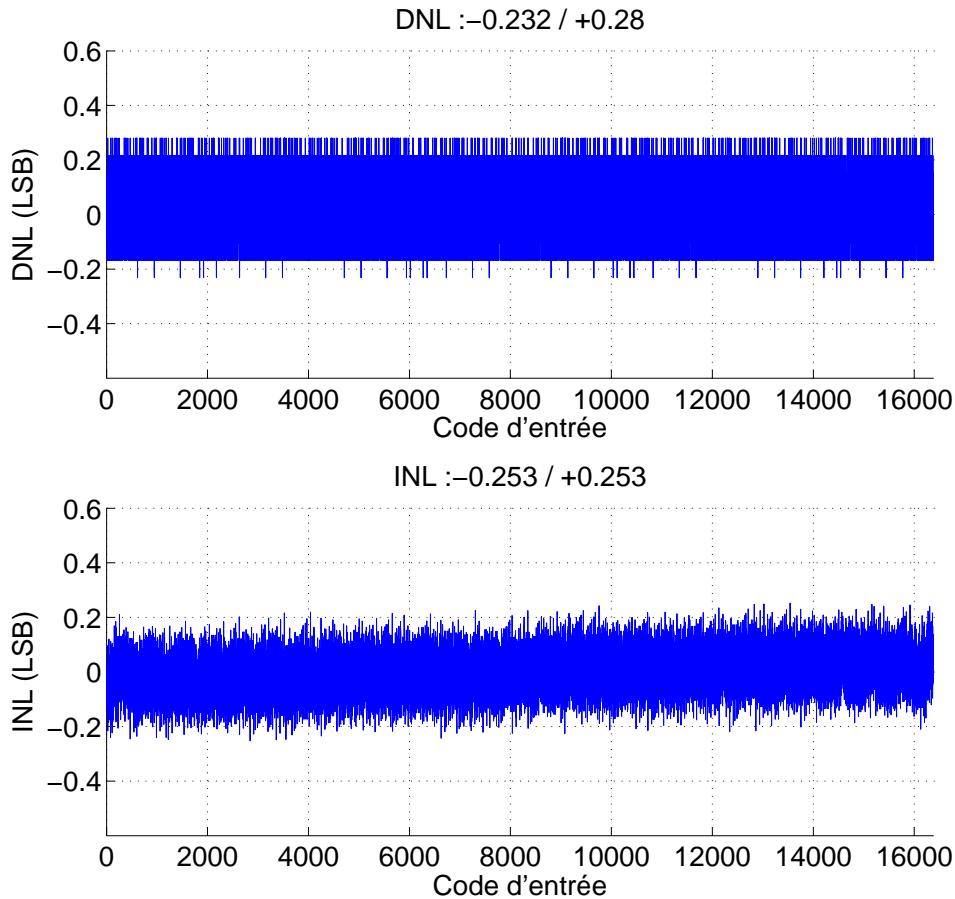
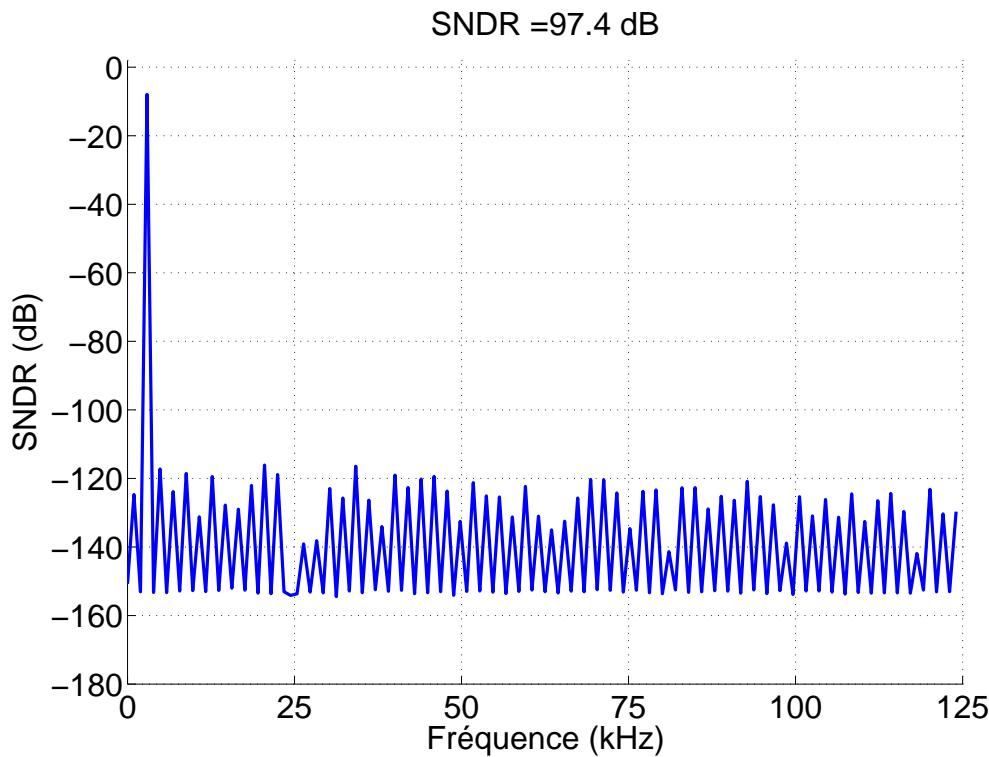
#### 4.2.6 Résultats

Le calcul du DNL et de l'INL nécessitent au moins 10 points/LSB, afin d'avoir une résolution atteignant le dixième. En revanche, pour le calcul du SNDR, beaucoup moins de points sont nécessaires. En choisissant la fréquence d'entrée, le nombre de points et la fréquence d'échantillonnage du signal d'entrée, la fondamentale de ce signal sera alors traitée lors de la FFT. De cette façon, seulement 256 points sont nécessaires pour déterminer le SNDR. Afin de se garder de la marge pour atteindre 14 bits lors du passage au

TABLEAU 4.5 – Valeurs de  $\beta$  pour différentes architectures

Architecture	N (@OSR=70)	pente (bits/octave)
I $\Sigma\Delta$ 2	9.7	2
I $\Sigma\Delta$ 1-1	10.2	2
I $\Sigma\Delta$ 3	10.7	3
I $\Sigma\Delta$ 2-1	13	3
I $\Sigma\Delta$ 1-1-1	13.6	3
I $\Sigma\Delta$ 2-2	15	4
I $\Sigma\Delta$ 1-1-1-1	16.5	4
I $\Sigma\Delta$ 3-2	14	5
I $\Sigma\Delta$ 2-2-2	19.2	6

niveau transistor, un OSR de 70 est choisi pour une résolution initiale de 15-bits. Avec les paramètres définis précédemment, les performances statiques (INL et DNL) sont montrés dans la figure 4.17 et le paramètre dynamique SNDR est montré sur la figure 4.18. Les valeurs de DNL sont comprises entre -0.25 LSB et 0.28 LSB et celles de l'INL entre  $\pm 0.253$ . L'analyse fréquentielle donne un SNDR de 97.4 dB, soit une résolution de 15.8 bits.

FIGURE 4.17 – DNL et INL idéaux de l'ADC  $\Sigma\Delta$ I2-2 avec 256k points en entréeFIGURE 4.18 – SNDR du convertisseur  $\Sigma\Delta$ 2-2 avec un signal d'entrée de 230 kHz

## 4.3 Modélisation des défauts

Dans cette partie, nous allons nous intéresser aux spécifications minimales requises pour les amplificateurs utilisés dans les intégrateurs. L'équivalence entre un intégrateur à temps discret et un intégrateur à capacités commutées est montré sur la figure 4.19. Les intégrateurs ont une erreur statique et une erreur dynamique qui est introduite dans les parties suivantes. L'erreur statique est l'erreur de valeur sur la sortie de l'amplificateur à la fin du transfert de charge. Cette valeur est indépendante du temps d'intégration et elle est déterminée par le gain DC de l'amplificateur. L'erreur dynamique est liée à la vitesse du transfert de charge, et est donc directement liée au temps d'intégration. Cette erreur est déterminée par le produit gain-bande GBW (pour "Gain-BandWidth product") de l'amplificateur. Le circuit étant réalisé avec des capacités commutées, ces valeurs de capacités variant avec la technologie vont influencer sur les coefficients du modulateur. Une étude de ce mismatch est également réalisée dans cette partie.

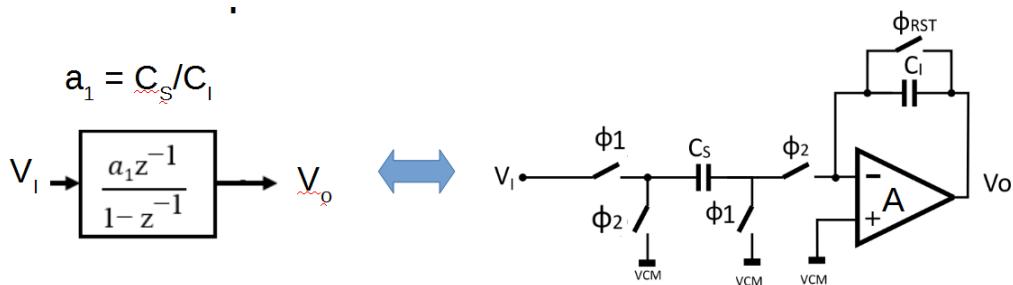


FIGURE 4.19 – Equivalence entre un intégrateur en temps discret et un intégrateur à capacités commutées

### 4.3.1 Pré-requis des OTA

#### Gain de l'intégrateur fini

Pour analyser l'influence de l'erreur statique, il faut analyser le gain DC des amplificateurs. La fonction de transfert d'un intégrateur présentant un gain DC fini s'écrit sous la forme [104]

$$V_O[n] = \frac{1}{1 + \mu(1 + C_S/C_I)} \left( (1 + \mu) \cdot V_O[n-1] + \frac{C_S}{C_I} \cdot V_{IN}[n-1] \right) \quad (4.45)$$

avec

$$\mu = \frac{1}{A}$$

où  $V_O$  et  $V_{IN}$  représentent respectivement la sortie et l'entrée de l'intégrateur,  $C_S$  la capacité d'échantillonnage et  $C_I$  la capacité d'intégration et  $A$  le gain DC de l'intégrateur. Cette fonction de transfert est utilisée pour les intégrateurs du modulateur et la résolution effective (ENOB) du convertisseur est définie par le SNDR, en appliquant en entrée une sinusoïde pleine échelle. Le résultat de la simulation est montré sur la figure 4.20. On

aperçoit une chute d'ENOB de -3 dB/octave pour un gain inférieur à 5000, soit 74 dB, ce qui sera alors la limite minimale souhaitée du gain de l'amplificateur. En comparaison, le gain nécessaire pour une architecture  $\Sigma\Delta$ 2 avec un OSR de 470, est montré, avec un gain minimum de 500, soit 54 dB, avec une pente de -5 bits/octave.

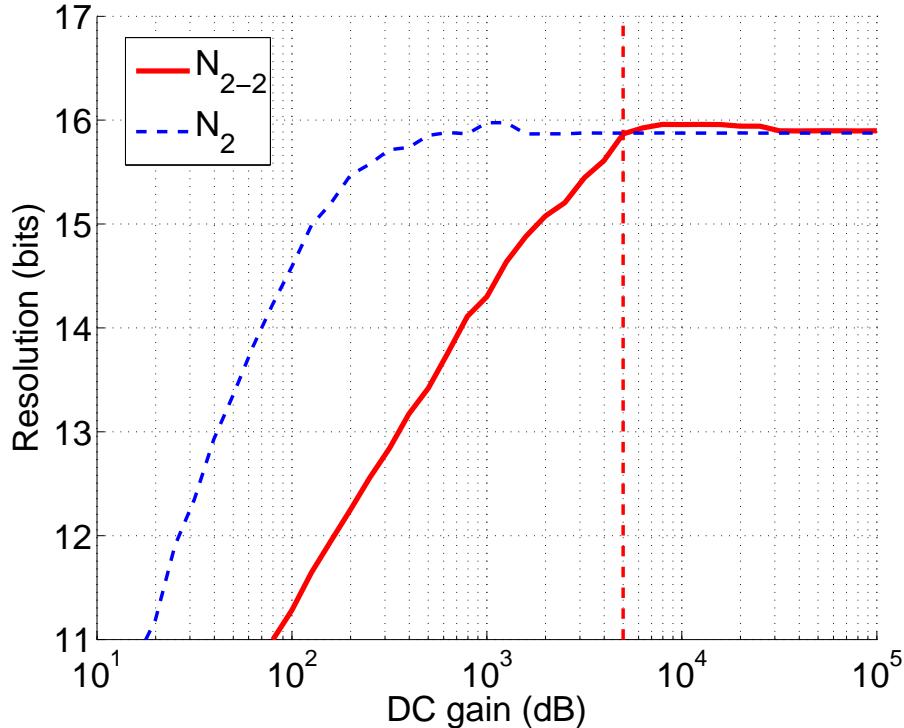


FIGURE 4.20 – ENOB du convertisseur en fonction du gain de l'intégrateur déterminé à partir de l'équation (4.45)

### Produit gain-bande fini

Pour analyser l'erreur dynamique, il faut analyser la vitesse de transfert des charges, défini par GBW. La fonction de transfert d'un intégrateur avec un produit gain-bande fini s'écrit [104]

$$V_O[n] = V_O[n-1] + \frac{C_S}{C_I} \left( 1 - \exp^{-k_1} \left( \frac{C_S}{C_S + C_I} \right) \right) V_{IN}[n-1] \quad (4.46)$$

avec

$$k_1 = \frac{GBW \cdot T}{2} \frac{C_I}{C_I + C_S} \quad (4.47)$$

avec  $T$  la fréquence de l'horloge principale. Avec la fréquence d'échantillonnage visée et l'OSR sélectionné, une horloge principale  $F_{CLK}$  de 20 MHz est nécessaire. La résolution du convertisseur en fonction du ratio  $GBW/F_{CLK}$  est montrée sur la figure 4.21. On observe une chute du GBW à partir de  $GBW/F_{CLK}=3$ . Afin d'assurer une marge, un ratio  $GBW/F_{CLK}=5$  est gardé, ce qui est en général la limite choisie dans le design analogique.

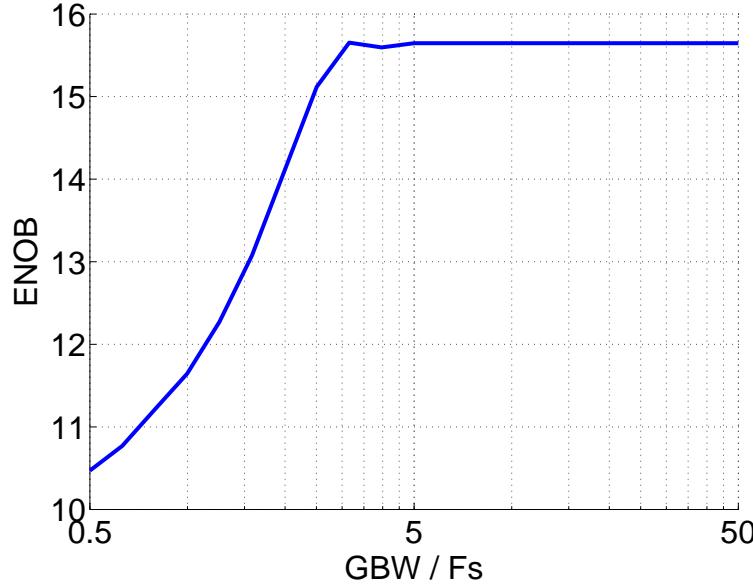


FIGURE 4.21 – ENOB du convertisseur en fonction du GBW pour  $F_{CLK}=20$  MHz

### 4.3.2 Mismatch de coefficients d'intégration

Pour une conversion  $\Sigma\Delta$  incrémental classique, et comme déjà montré précédemment, la valeur d'entrée exacte  $X_1$  provenant du pixel peut s'écrire

$$X = \hat{X}_1 + \frac{K_1}{a_1 a_2} V_2[M_1] \quad (4.48)$$

avec  $\hat{X}_1$  le signal estimé en sortie du filtre numérique,  $K_1$  un coefficient dépendant de l'OSR  $M_1$  et  $a_1$  et  $a_2$  les coefficients d'intégration. avec

$$\hat{X}_1 = K_1 \cdot V_2[M_1] = \frac{1}{M(M-1)} \cdot V_2[M_1] \quad (4.49)$$

On s'aperçoit que la résolution finale ne dépend alors pas des valeurs des intégrateurs, et n'est donc pas sensible aux variations de ces valeurs. Dans une conversion en deux étapes, le résidu  $V_2[M_1]$  est alors converti par la deuxième étape, et l'équation (4.48) devient alors

$$X = \hat{X}_1 + \frac{K_1}{a_1 a_2} \hat{X}_2 + \frac{K_1 K_2}{(a_1 a_2)^2} V_2[M_2] \quad (4.50)$$

avec  $\hat{X}_2$  le signal estimé de la seconde étape en sortie du filtre numérique. Le signal estimé  $\hat{X}$  à la fin de la conversion en sortie du filtre numérique s'écrit alors

$$\hat{X} = \hat{X}_1 + \frac{K_1}{a_1 a_2} \hat{X}_2 \quad (4.51)$$

On peut analyser l'erreur totale de la conversion en fonction du mismatch sur ces valeur de coefficients d'intégration  $a_1$  et  $a_2$ . En effet, dans l'équation (4.50) les valeurs des coeffi-

cents sont sujettes à variation, alors que dans l'équation (4.51) les valeurs des coefficients sont idéales car issues du filtre numérique. L'erreur dûe au mismatch peut alors s'écrire

$$\begin{aligned}\Delta_{\text{Erreur}} &= X - \hat{X} \\ &= K_1 K_2 \left( \frac{1}{a_{1I} a_{2I}} - \frac{1}{a_{1R} a_{2R}} \right) \hat{X}_2 + \frac{K_1 K_2}{(a_{1I} a_{2I})^2} V_2 [M_2]\end{aligned}\quad (4.52)$$

où  $a_{1I}$ ,  $a_{2I}$ ,  $a_{1R}$  et  $a_{2R}$  représentent respectivement les coefficients d'intégration idéaux et réels. On s'aperçoit alors que l'erreur  $\Delta_{\text{Erreur}}$  est composé d'un premier terme, que l'on notera  $\alpha_1$ , où cette variation de valeurs influence l'erreur finale, et un deuxième terme  $\alpha_2$ , servant à déterminer la résolution finale de l'ADC.

Une étude de la variation de ces coefficients et alors réalisée et les coefficients  $a_1$  et  $a_2$ , qui sont formés par des ratios de capacité, sont alors soumis successivement à un mismatch de 0.1%, 0.5% et 1%, une variation de  $3\sigma$  et avec un nombre de 100 points. La valeur moyenne des valeurs de la résolution est alors extraite et montrée sur la figure 4.22. On s'aperçoit que la résolution n'est quasiment pas affectée pour un mismatch de 0.1% de valeurs de coefficients, alors qu'une chute d'un bit sur l'ENOB est observé pour un mismatch de 0.5% à un OSR de 70.

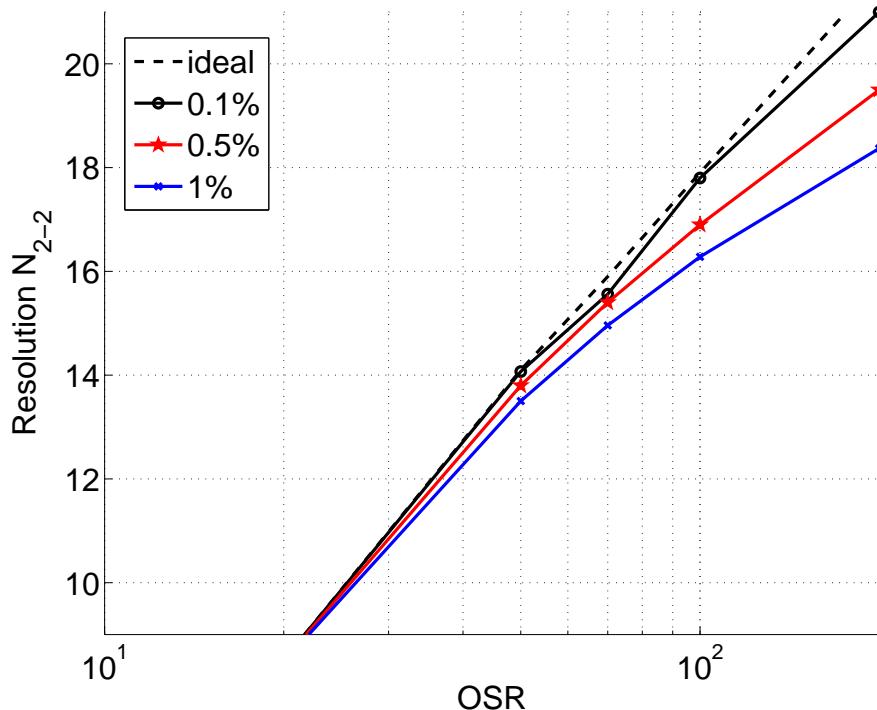


FIGURE 4.22 – ENOB du convertisseur en fonction de l'OSR pour différents mismatch de capacités

En prenant un cas particulier où les deux coefficients  $a_1$  et  $a_2$  sont affectés par un mismatch de 0.5%, les valeurs de DNL et INL sont montrées sur la figure 4.23. Dans ce cas, le DNL passe d'une valeur maximale de +0.28 LSB à +0.56 LSB. Un soin devra donc être apporté sur ces coefficients lors de la conception pour ne pas dépasser 1%.

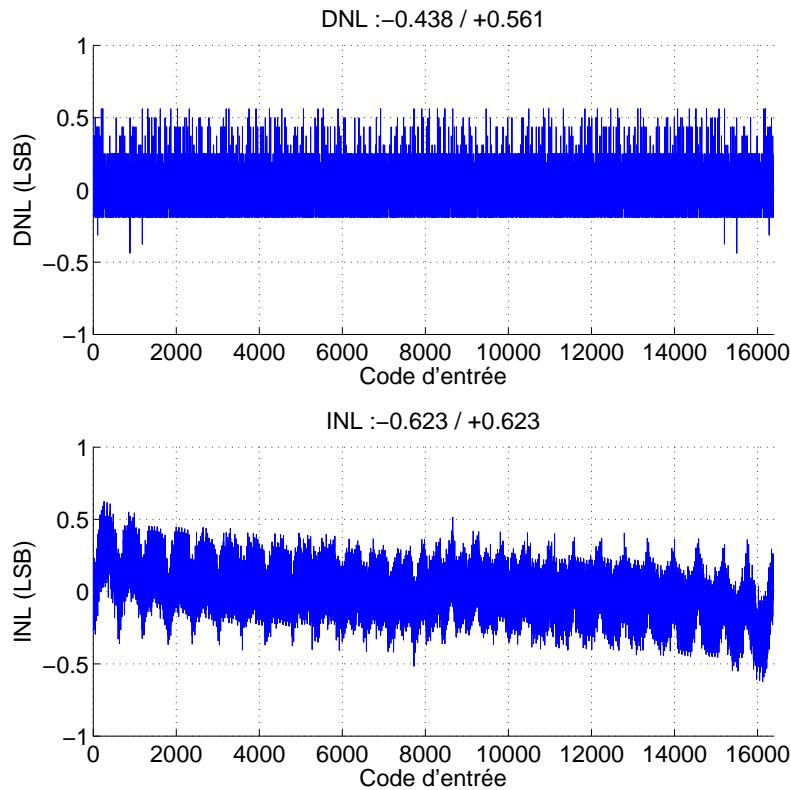


FIGURE 4.23 – INL et DNL du convertisseur pour des valeurs de coefficients  $a_1 = a_2 = 0.5+0.5\%$  avec 256k valeurs d'entrées

TABLEAU 4.6 – Résumé des paramètres du modulateur

Paramètre	Valeur
$V_{FS2}$	$0.8 V_{REF}$
$a_1$	0.5
$a_2$	0.5
$a_3$	2
$a_4$	1
OSR M	70
OSR M1	35
OSR M2	35

TABLEAU 4.7 – Résumé des caractéristiques de l'ADC

Paramètre	Valeur
DC gain (dB)	74
GBW (MHz)	100
DNL (LSB)	-0.23/+0.28
INL (LSB)	-0.25/+0.25
SNDR (dB)	97.4

## 4.4 Conclusion

Dans cette partie, la théorie des convertisseurs  $\Sigma\Delta$  ainsi que le principe de conversion en deux étapes ont été introduits et expliqués. A partir de l'analyse théorique du modulateur  $\Sigma\Delta I2-2$  et des résultats de simulation, les différents paramètres du modulateur, ainsi que des intégrateurs et des amplificateurs, ont été déterminés et sont résumées dans les tableaux 4.6 et 4.7. Une étude de défauts a également été menée, permettant d'analyser la sensibilité de ce convertisseur aux variations technologiques. Une étude, qui n'est pas prévue dans le cadre de cette thèse, pourra alors porter sur la calibration de ce convertisseur afin de minimiser la variation d'ENOB en fonction des valeurs d'intégrateurs.

# Chapitre 5

## Conception analogique

Il existe plusieurs types d'implémentations de modulateurs  $\Sigma\Delta$ . Les modulateurs à temps continu et à temps discret. Pour des raisons de consommation et d'implémentation, les modulateurs à temps discret sont privilégiés dans les imageurs. Les circuits à temps discret sont réalisés avec des circuits à capacités commutées et sont basés sur le transfert de charges entre deux capacités ou plus. Le principe de ces circuits sera développé en premier lieu. Afin de réaliser l'intégration des charges dans le circuit, un intégrateur actif est utilisé utilisant un amplificateur. Dans le contexte de l'imagerie où la largeur de l'ADC est un critère important, une économie de taille sur les amplificateurs est à réaliser. Afin de diminuer la taille des amplificateurs, et donc du modulateur, des architectures avec des inverseurs en tant qu'amplificateurs ont été introduites par Chae [105][17]. En effet, les inverseurs sont les architectures les plus simples composées seulement d'un transistor PMOS et d'un NMOS et sont utilisées en amplificateurs même si leur performances comme leur gain DC ou leur slew-rate varient énormément en fonction de la tension d'alimentation [90].

En imagerie, la technologie  $0.18\mu\text{m}$  est un bon compromis entre taille de transistors et compatibilité optique. En effet, si l'on considère un système qui est en développement pour les systèmes embarqués, une technologie mature est préférée afin de garantir une durée de vie suffisamment grande. C'est pourquoi, la technologie utilisée pour le reste de cette thèse est la technologie XFAB  $0.18\mu\text{m}$ .

Le fonctionnement et le design de ces inverseurs sera abordé, suivant la méthodologie  $gm/Id$  [106]. Cette méthodologie permet de dimensionner rapidement, et suivant des simulations dépendant de la technologie utilisée, les transistors en utilisant par exemple les paramètres de  $GBW$  ou de consommation/courant. Pour finir, l'étude du comparateur du modulateur  $\Sigma\Delta$  ainsi que l'échantillonneur/bloqueur en "front-end" sont abordés.

On rappelle que l'architecture haut-niveau retenue de l'ADC est celle de la figure 5.1 et que le modulateur de second ordre utilisé est celui de la figure 5.2. Le modulateur sera abordé dans un premier temps, ainsi que le dimensionnement de ses composants, et l'échantillonneur/bloqueur sera abordé dans la suite.

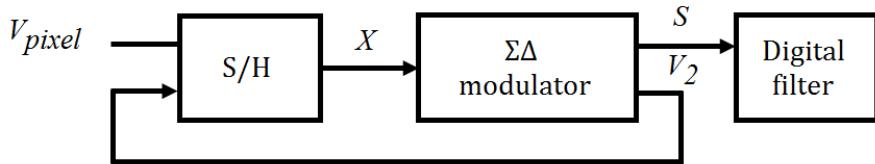
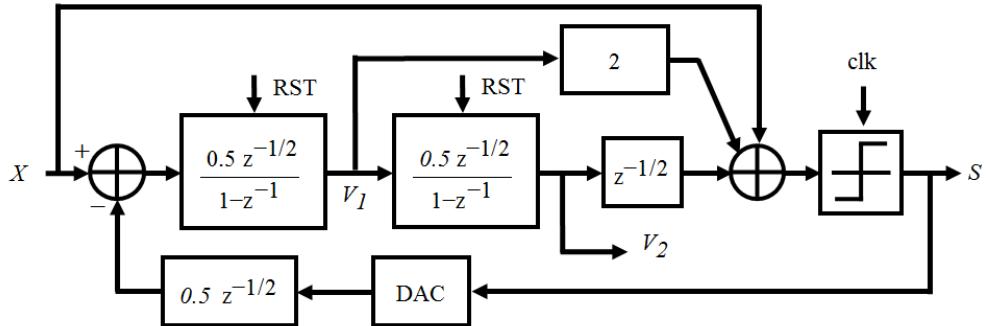


FIGURE 5.1 – Architecture haut-niveau retenue de l'ADC


 FIGURE 5.2 – Architecture haut-niveau de modulateur  $\Sigma\Delta$ I d'ordre 2

## 5.1 Approche en gm/Id

Une approche populaire ces dernières années est l'approche en gm/Id [107]. Cette approche, intimement liée aux performances de la technologie, permet de définir le régime de fonctionnement des transistors et de dimensionner les transistors des amplificateurs. Cette méthodologie est très utilisée dans les applications à basse consommation. De façon générale, les transistors, de type NMOS pour l'exemple, ont différents régimes de fonctionnement qui peuvent être résumés comme dans le tableau 5.1.

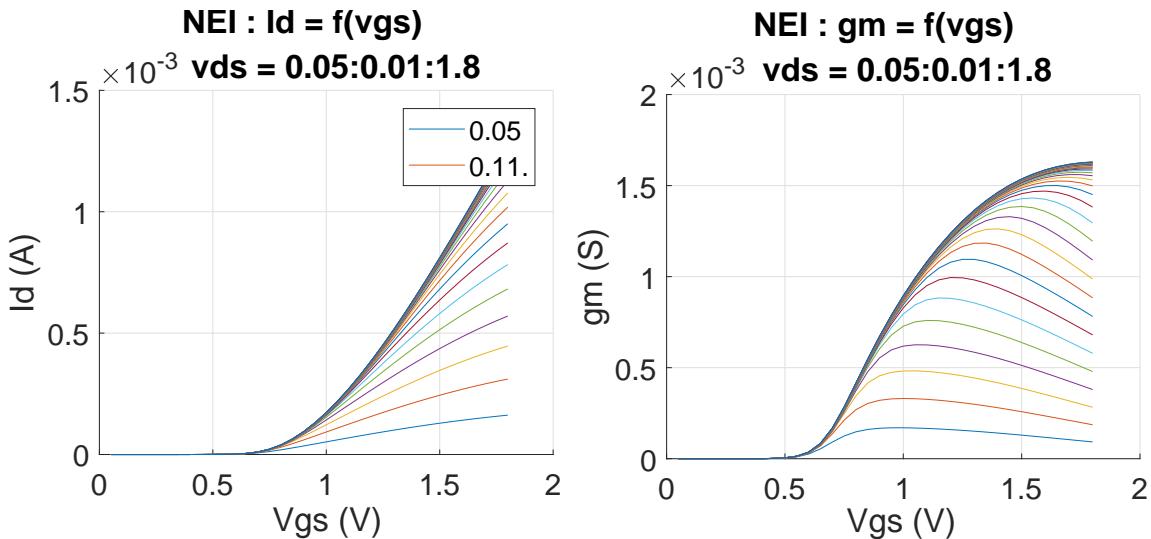
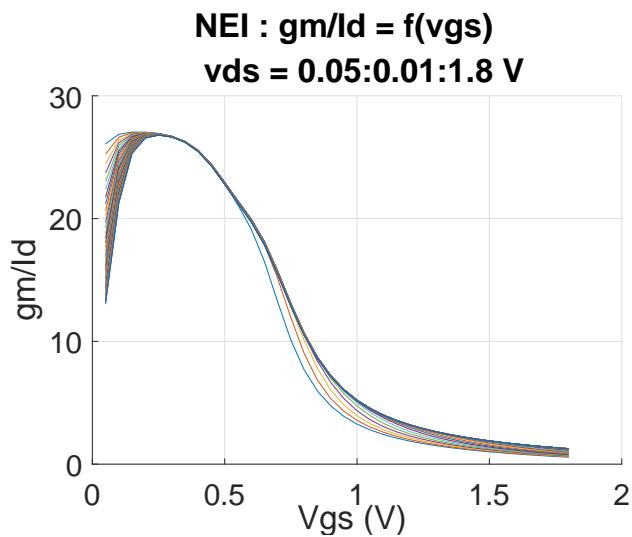
TABLEAU 5.1 – Régime de fonctionnement d'un transistor NMOS

Inversion faible (WI)	$V_{GS} < V_{TH} - 100 \text{ mV}$
Inversion modérée (MI)	$V_{TH} - 100 \text{ mV} < V_{GS} < V_{TH} + 100 \text{ mV}$
Inversion forte (SI)	$V_{TH} + 100 \text{ mV} < V_{GS}$

Dans la technologie XH018 de XFAB, les valeurs de  $I_D$  et de  $g_m$  pour différentes largeurs de canal et pour une longueur donnée de  $3 L_{MIN}$  sont montrées dans la figure 5.3.

Sur ces figures, il est possible de trouver les dimensions adaptées pour satisfaire une transconductance et un courant de drain. A partir de ces deux figures le paramètre  $\frac{g_m}{I_D}$  est introduit et montré sur la figure 5.4.

On s'aperçoit que le paramètre gm/Id a alors une valeur variant, pour cette technologie, entre 2 et 25. De façon commune, on peut résumer les différentes valeurs de gm/Id et les régimes de fonctionnement suivant le tableau 5.2. Le même raisonnement peut ainsi être appliqué aux autres transistors de la technologie. Ces résultats ne sont pas montrés dans ce rapport, le principe expliqué à partir du transistor NE suffit. Au lieu d'une méthode classique de dimensionnement, cette méthode est utilisée pour choisir le régime


 FIGURE 5.3 – Courbes de caractérisation du paramètre  $gm$  et  $Id$  pour différents  $V_{gs}$ 

 FIGURE 5.4 – Courbe du paramètre  $g_m/I_D$ 

des transistors et les paramètres tels que la transconductance et le courant de drain sont regroupés en une seule variable, facilitant le design. Par exemple, une valeur de  $gm/Id$  de 15 pourra être retenue pour les transistors de polarisation car ceux-ci ne nécessite pas un fort courant pour fonctionner, et une valeur autour de 5 pour les transistors d'entrée de l'amplificateur afin de fournir le courant nécessaire au fonctionnement de l'inverseur et pour garder une taille de transistors d'entrée raisonnable.

 TABLEAU 5.2 – correspondance du paramètre  $gm/Id$  et du régime de fonctionnement

Régime de fonctionnement	$gm/Id$
Inversion faible (WI)	>15
Inversion modérée (MI)	5-15
Inversion forte (SI)	<5

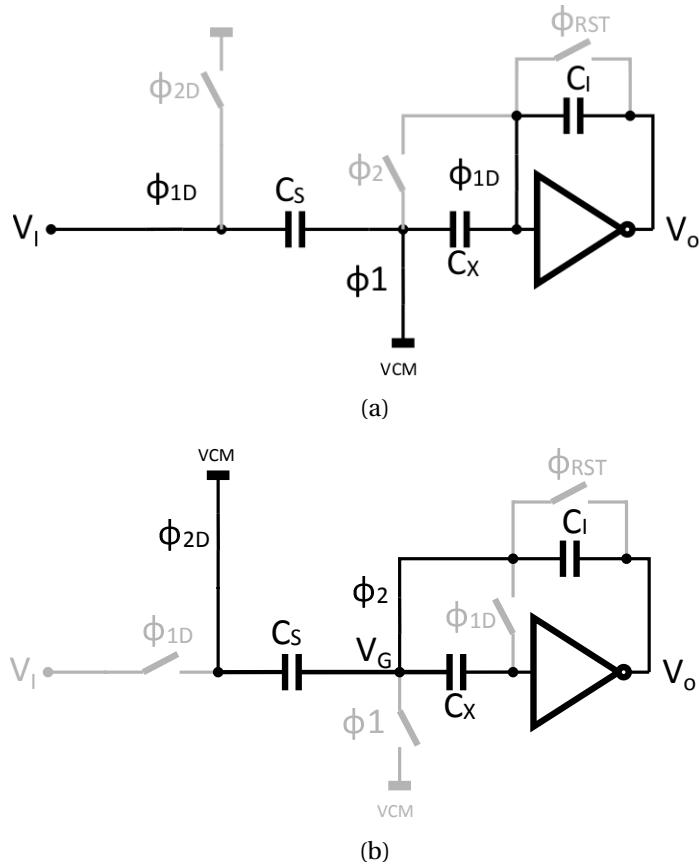


FIGURE 5.5 – circuit à capacités commutées avec auto-zeroing en :[\(a\)](#) phase d'échantillonnage et [\(b\)](#) phase d'intégration

## 5.2 Intégrateur

Un schéma d'intégrateur à capacités commutées et utilisant un inverseur est montré sur la figure 5.5 et utilise le principe de l'auto-zeroing introduit par Nagaraj [108], permettant d'améliorer le transfert des charges pour un même gain d'amplificateur. Le schéma d'intégration est modifié car l'inverseur ne possède qu'une seule entrée et donc pas de masse virtuelle, comparé à un amplificateur classique. Une capacité supplémentaire  $C_X$  est alors ajoutée à l'entrée de l'inverseur, ayant pour rôle de stocker la valeur de l'offset et ainsi de créer une masse virtuelle au point  $V_G$ , permettant de revenir à un schéma d'intégration connu.

Après une phase de reset pour mettre l'inverseur autour de son point de fonctionnement, ces circuits fonctionnent en deux phases : une phase d'échantillonnage, montrée sur la figure 5.5(a) et une phase de transfert figure 5.5(b). Durant la phase d'échantillonnage, la valeur d'entrée du modulateur est chargée sur la capacité d'entrée  $C_S$ , donnant  $V_{C_S} = V_I$ . La valeur d'entrée de l'inverseur, ramenée à son point de fonctionnement lorsque celui-ci est rebouclé, est stockée sur la capacité  $C_X$ . Si cette valeur est chargée par rapport à la tension  $V_{dd}/2$ , cela revient à charger l'offset sur la capacité  $C_X$  et on peut

définir la sortie actuelle  $V_O[n + 1/2]$  par

$$V_O[n + 1/2] = V_O[n] + V_{\text{OFFSET}} \quad (5.1)$$

Durant la phase d'intégration, la capacité d'échantillonnage  $C_S$  est déchargée dans la capacité d'intégration  $C_I$ . De part la nouvelle connection de  $C_X$  avec  $C_S$ , la valeur de l'offset ajoutée à la sortie lors de la phase précédente, montrée dans l'équation (5.1), est compensée en choisissant une valeur de capacité adaptée, en l'occurrence  $C_X = C_I$ . Dans le cas où ces valeurs ne sont pas égales, un offset d'intégration apparaît à chaque cycle. La valeur de l'intégrateur  $V_O[n + 1]$  après la phase d'intégration est alors indépendante de la valeur de l'offset et vaut

$$V_O[n + 1] = V_O[n] + \frac{C_S}{C_I} V_I \quad (5.2)$$

Un exemple d'intégrateur est montré précédemment avec le signal de commande des switches  $\Phi_1$ , avec  $\Phi_2 = \bar{\Phi}_1$ . Comme décrit précédemment, on note les différentes étapes d'intégrations ( $V_O[n]$ ,  $V_O[n+1]...$ ) en fonction de la valeur d'entrée  $V_I$ , mais aussi ce qu'il se passe dans les demi-périodes d'échantillonnage ( $V_O[n-1/2]$ ,  $V_O[n+1/2]...$ ) où une chute  $V_{\text{OFFSET}}$  de la valeur de sortie  $V_O$  précédente est observée. Les signaux en sortie de l'intégrateur étant disponibles seulement une demi-période, cela explique l'utilisation de delay  $z^{-1/2}$  dans l'architecture montrée précédemment dans la figure 5.2.

### 5.2.1 gain-boosted OTA

#### Classe-AB vs classe-C

L'amplificateur est un élément essentiel dans un circuit à capacités commutées dont l'architecture la plus simple est l'inverseur. Cependant les performances d'un inverseur sont très dépendantes de la taille de celui-ci, mais aussi de sa tension d'alimentation. En effet l'amplificateur peut opérer en classe-AB ou en classe-C suivant sa tension d'alimentation. Un amplificateur de classe AB va permettre d'amplifier à la fois les signaux ayant une amplitude faible et élevée avec, dans mon cas de l'inverseur, au moins un transistor qui est en moyenne inversion, ou les deux au niveau du point de fonctionnement. Tandis que pour un amplificateur classe-C, aucun transistor n'est passant au repos car cette tension est inférieure aux tensions de seuil des transistors. Cet amplificateur permet d'amplifier fortement une partie seulement du signal d'entrée, mais possède un taux de distortion élevé. Pour un inverseur, le régime de fonctionnement en fonction de la tension d'alimentation est montré dans le tableau 5.3.

Dans la littérature, il existe plusieurs réalisations d'amplificateur à base d'inverseurs, et on en arrive au fait que le choix de la classe (AB ou C) impose un compromis entre un gain DC élevé et un produit gain-bande (GBW) élevé [92][90]. Les caractéristiques d'un

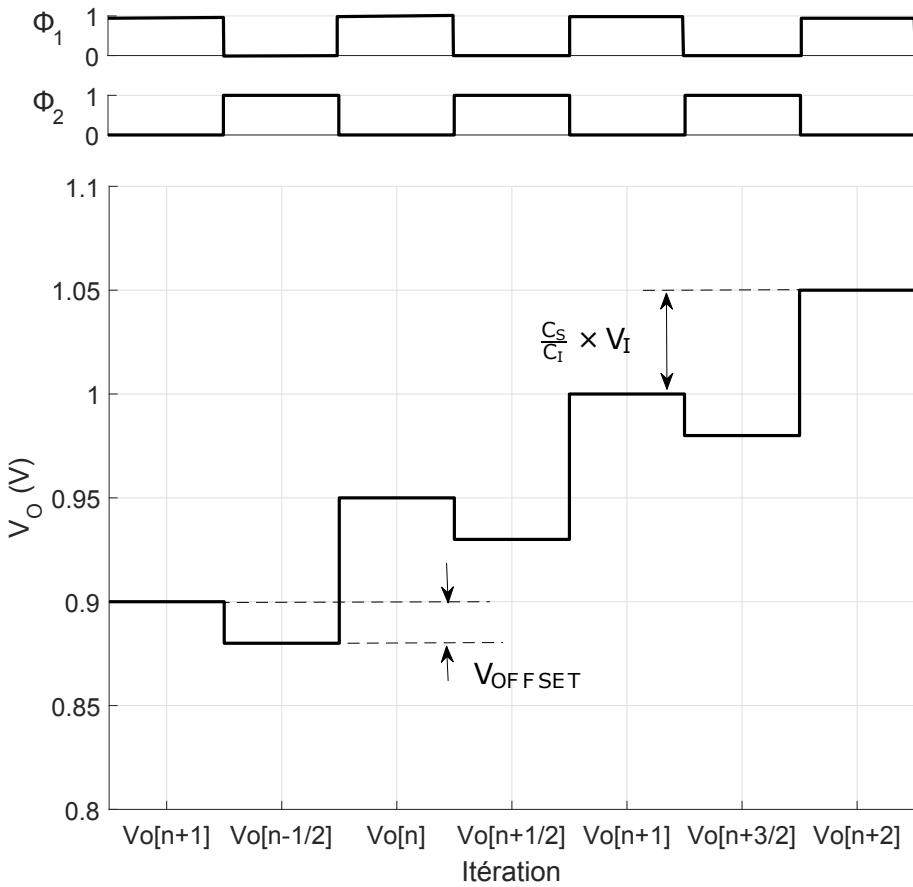


FIGURE 5.6 – Valeurs du signal de commande  $\Phi_1$ ,  $\Phi_2$  et d'intégrateur sur quatre intégrations avec  $V_I = 100$  mV,  $C_S = 1$ ,  $C_I = 2$  et  $V_{OFFSET} = 20$  mV

TABLEAU 5.3 – Condition de régime de fonctionnement des inverseurs

Classe de l'inverseur	Condition
AB	$ V_{THP}  +  V_{THN}  < V_{dd}$
C	$ V_{THP}  +  V_{THN}  > V_{dd}$

amplificateur à inverseurs s'écrivent

$$A_v = (g_{mN} + g_{mP})(r_{oN} // r_{oP}) \quad (5.3)$$

$$GBW = \frac{g_{m(N+P)}}{2\pi C_L} \quad (5.4)$$

$$SR = \frac{I_{out}}{C_L} \quad (5.5)$$

où  $g_{mN}$  et  $g_{mP}$  représentent respectivement la transconductance des transistors d'entrée NMOS et PMOS et  $r_{oN}$  et  $r_{oP}$  leur résistance entre le drain et la source,  $C_L$  la capacité de charge de l'inverseur et  $I_{out}$  le courant de sortie.

Dans un amplificateur classe-C à inverseurs, il n'y a pas de courant statique, ou peu,

car les deux transistors sont en inversion faible ou modérée. De ce fait de larges transistors sont nécessaires afin de fournir un courant élevé. Cependant, dans ce régime de fonctionnement, la valeur de la transconductance  $g_m$  est importante, ce qui entraîne d'après l'équation (5.3) un gain élevé. Dans le cadre d'un amplificateur de classe-AB, c'est le contraire. En régime statique, les transistors sont en inversion modérée ou forte, ce qui donne un courant statique non nul pouvant être important, augmentant la rapidité de l'inverseur. Cependant, en inversion forte, le  $g_m$  des transistors est faible, ce qui a pour conséquence de diminuer le gain de l'amplificateur. Un résumé des performances des amplificateurs à base d'inverseurs est montré dans le tableau 5.4

TABLEAU 5.4 – Condition de régime de fonctionnement des inverseurs

Classe de l'inverseur	gain DC	GBW	SR	Consommation
AB	-	+	+	0
C	+	-	-	+

+ : bon, 0 : neutre, - : mauvais

Dans notre application, un fort courant est requis afin d'assurer un GBW et un slew rate suffisants. Afin d'utiliser une surface minimum pour délivrer ce courant élevé, un amplificateur en classe-AB est donc utilisé. Pour ce type d'inverseurs, il est facile d'obtenir un GBW de 100 MHz, valeur nécessaire afin de satisfaire les contraintes temporelles l'architecture choisie, comme montré dans la partie précédente 4.3.1 en simulation Matlab sur la figure 4.21. En revanche, satisfaire un gain minimum de 80 dB, limite définie aussi précédemment, n'est pas aussi trivial.

On peut voir dans l'équation (5.3) que le gain dépend de la transconductance d'entrée mais aussi de l'impédance de sortie. De la même façon que pour des amplificateurs classiques, il est possible d'utiliser des architectures cascode pour augmenter la résistance de sortie et ainsi le gain de l'amplificateur, mais pas assez pour que cette solution soit utilisée dans notre application. Afin d'augmenter davantage le gain, des architectures cascodes avec gain-boosting sont utilisées, pour satisfaire à la fois les besoins en rapidité mais aussi de satisfaire la précision statique.

## Schematic

Afin d'augmenter le gain, des architectures d'inverseurs cascodes [109] ou encore gain-boosting ont vu le jour [110]. Afin de répondre aux spécifications du dimensionnement du modulateur de l'I $\Sigma$  $\Delta$ , une architecture fonctionnant en classe-AB et utilisant un gain boosting est utilisée. Cette architecture est montrée fig.5.7.

Un premier dimensionnement des transistors est réalisé avec la méthode  $g_m/Id$  en plaçant les transistors d'entrée et cascodes à la limite entre l'inversion forte et modérée, et en plaçant tous les autres en inversion modérée ou faible. Les transistors cascodes M3 et M4 sont choisis légèrement plus grands que les transistors d'entrée M1 et M2 pour ne

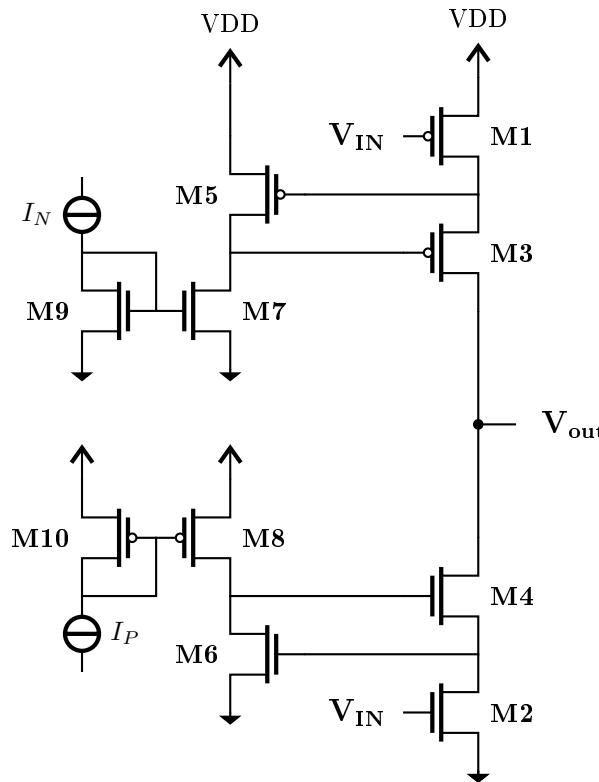


FIGURE 5.7 – Inverseur avec un gain-boosting

pas limiter le courant dans la branche et ainsi limiter la rapidité de l'inverseur. Les transistors utilisés dans le gain-boosting, M5 et M6, sont des transistors "low-Vt" permettant de maximiser la dynamique de sortie qui est un point crucial pour un tel amplificateur. Les deux miroirs de courant réalisés par les paires M7/M9 et M8/M10 laissent respectivement passer un courant de  $I_N = -I_P = 1 \mu\text{A}$ , cette valeur servant comme point de départ au dimensionnement des transistors utilisés dans le gain-boosting. La largeur des transistors est choisie à  $2.L_{min}$ , ce qui représente un compromis entre un rapport W/L pas trop élevé et un courant de sortie suffisant pour remplir les spécifications.

Les tailles de transistors ainsi que le paramètre  $gm/Id$  associé sont résumés dans le tableau 5.5

TABLEAU 5.5 – Taille des transistors de l'inverseur avec gain-boosting et leur paramètre  $gm/Id$  associé

transistor	W / L	gm/Id
M1	20 / 0.36	7
M2	5 / 0.36	7
M3	30 / 0.36	7
M4	7.5 / 0.36	7
M5	8 / 0.36	20
M6	2 / 0.36	20
M7-M9	1 / 0.36	15
M8-M10	3 / 0.36	15

## Résultats statiques

Un amplificateur à base d'inverseur peut être analysé de deux manières différentes. En régime transitoire, lors du transfert de charge, celui-ci fonctionne comme une source de courant chargeant la capacité à sa sortie. En régime statique, une fois les capacités chargées, l'amplificateur peut être considéré comme une source de tension, dont les valeurs finales dépendent de ses caractéristiques statiques, comme le gain. Ayant dimensionné l'inverseur pour fournir un courant suffisant (80  $\mu$ A) pour charger les capacités connectées, nous allons maintenant nous intéresser à l'inverseur en régime statique en tant que source de tension.

Un point important à analyser est la variation maximale de sortie assurant un gain minimum de 80 dB afin de garder de la marge. La fonction de transfert de l'inverseur développé ainsi que le gain en dB est montré sur la figure 5.8. L'axe des abscisses de ces deux résultats correspondant à la variation d'entrée par rapport au point de fonctionnement de l'inverseur, soit VDD/2.

En faisant la correspondance entre le graphique du bas, qui indique une dynamique d'entrée pour laquelle un gain est assuré, et le graphique du haut qui fait le lien avec la sortie, nous obtenons alors une dynamique de sortie, ou plage de linéarité, de  $(1.36 \text{ V} - 0.45 \text{ V}) = 0.91 \text{ V}$ . Avec l'architecture de modulateur choisie, il est nécessaire d'assurer une plage de linéarité de 0.8 V, ce qui est assurée par notre inverseur.

## Résultats fréquentiels

Une fois le régime statique simulé, il reste à analyser le domaine fréquentiel permettant de déterminer la vitesse d'un amplificateur pour atteindre le régime établi, ou passer sous la barre d'une certaine erreur. Pour un inverseur, le GBW peut être défini par [91]

$$\text{GBW} = \frac{g_{m,n} + g_{m,p}}{2\pi C_L} \quad (5.6)$$

avec  $g_{m,n}$  et  $g_{m,p}$  les transconductances des transistors d'entrée et  $C_L$  la capacité de charge de l'inverseur. Le GBW dépend alors des capacités qui vont être chargées. Les capacités unitaires étant de 100 fF, une capacité de charge  $C_L$  de 400 fF est choisie pour définir ce GBW. Une analyse AC est alors réalisée autour du point de fonctionnement de l'inverseur afin de déterminer les paramètres fréquentiels et le résultats est montré sur la figure 5.9. Cette simulation se trouvant au point de fonctionnement de l'inverseur, le gain est maximal et vaut 120 dB. Cependant seul le résultat statique qui est de 80 dB est à garder, cette analyse permet seulement de déterminer le GBW. Une capacité de 400 fF est utilisée car c'est l'ordre de grandeur de la capacité maximale que va voir l'inverseur pendant la phase de transfert. Avec cette capacité, on obtient un produit gain-bande GBW de 380 MHz au point de fonctionnement, ce qui est largement suffisant pour les besoins de notre applications. Une étude plus approfondie du GBW, après extraction post-layout des pa-

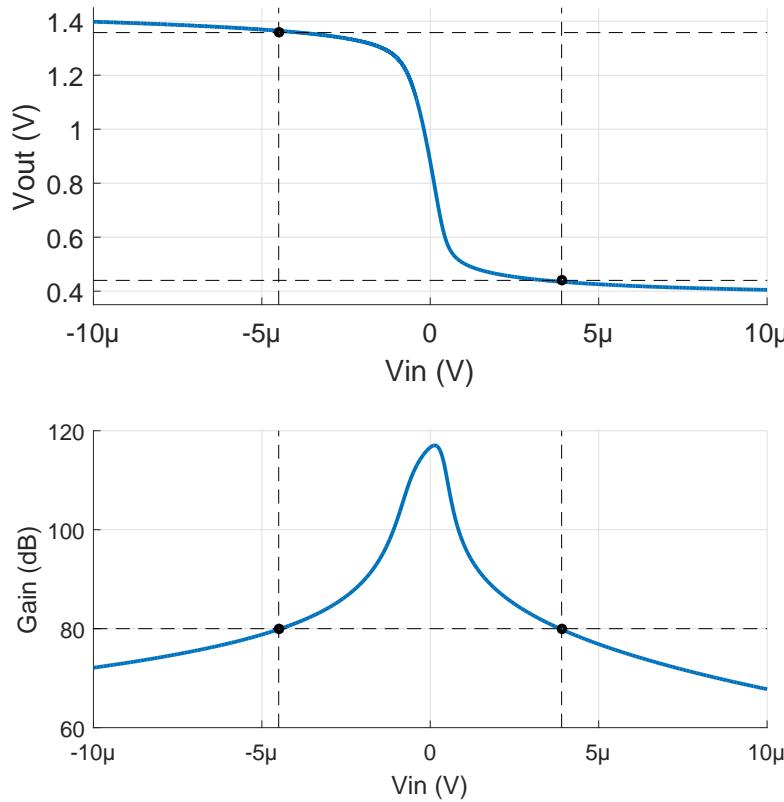


FIGURE 5.8 – Fonction de transfert de l'inverseur du gain-boosting dimensionné. Analyse du gain en dB en fonction de l'entrée associée

ramètres, pour différentes valeurs autour du point de fonctionnement et sera effectuée dans le chapitre suivant.

Avec ces dimensions, les caractéristiques et performances de l'inverseur sont résumées dans la table 5.6.

TABLEAU 5.6 – Caractéristiques et spécifications de l'amplificateur développé

	Valeur
Classe	AB
$V_{dd}$	1.8 V
Courant bias	76 $\mu$ A
Capacité de charge $C_L$	400 fF
Gain DC	80 dB
Plage de linéarité ( $\Delta V$ )	0.90 V
GBW	386 MHz
Consommation	136 $\mu$ W

### Variation des performances de l'amplificateur

Afin de valider le fonctionnement de l'amplificateur dans différents cas, les corners "worse speed" (ws) et "worse power" (wp) sont analysés pour différentes températures

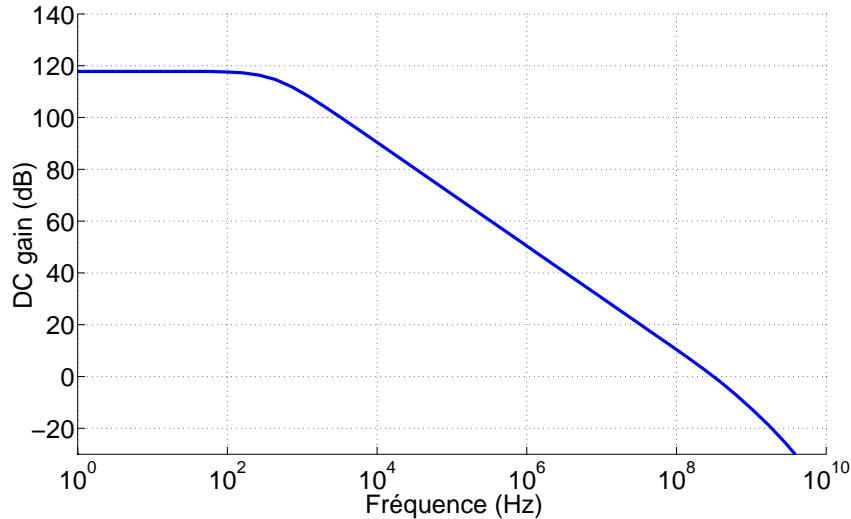


FIGURE 5.9 – Réponse fréquentielle du gain de l'inverseur autour de son point de fonctionnement

et les résultats sont montrés dans le tableau 5.7. On s'aperçoit que quelque soit le cas, la plage de linéarité de sortie ne descend pas sous le minimum requis de  $\Delta V = 0.8$  V et que le produit gain-bande GBW ne descend pas sous 246 MHz, ce qui est largement suffisant pour notre application.

TABLEAU 5.7 – Caractéristiques et spécifications de l'amplificateur développé

Cas	T (°C)	V <sub>OUT-MIN</sub> (V)	V <sub>OUT-MAX</sub> (V)	Δ V <sub>OUT</sub> (V)	GBW (MHz)
Typique	25	0.42	1.37	0.95	386
ws	25	0.438	1.378	0.94	243
wp	25	0.392	1.35	0.96	372
ws	-20	0.457	1.363	0.91	237
wp	-20	0.387	1.396	1.01	456
ws	85	0.436	1.363	0.93	232
wp	85	0.45	1.171	0.72	226

### 5.2.2 Switches

Une partie importante d'un circuit à capacités commutées est le dimensionnement des interrupteurs. En effet, lors de l'ouverture d'un switch les charges présentes dans le canal vont venir se répartir sur les éléments de part et d'autre du switch. Ce phénomène est appelé injection de charges. Afin de minimiser cette injection de charges, des transistors fantômes sont alors ajoutées du côté de la source et du drain, afin de venir absorber cette répartition de charges.

Au vu des niveaux qui doivent transiter dans les switches et pour diminuer cette résistance de canal, des switches CMOS "low-V<sub>t</sub>" sont utilisés. A résistances de canal égales,

ces transistors sont plus petits, permettant une intégration plus facilement. Afin d'obtenir une résistance linéaire sur toute la plage de transmission, les transistors PMOS et dimensionnés plus grands que les transistors CMOS. Les valeurs de ces transistors sont résumés dans le tableau 5.8. Sauf les switchs du feedback, tous les switch utilisés dans la suite auront les mêmes caractéristiques.

TABLEAU 5.8 – Taille des switches CMOS

transistor	W / L
NMOS	440n / 180n
PMOS	1u / 180n

### 5.2.3 Analyse temporelle de l'intégrateur

Nous allons ensuite nous intéresser à la précision du transfert de charges en fonction du temps, pour laquelle deux cas sont analysés :

- cas A : une grande variation en sortie sur la moitié de la dynamique de sortie de l'intégrateur
- cas B : une petite variation proche du point de fonctionnement où les résistances des switchs sont les plus élevées

Le résultat de l'intégrateur est montré sur la figure 5.10. Dans cette simulation, la période de l'horloge a été augmentée à 100 ns afin de bien visualiser le transfert de charge.

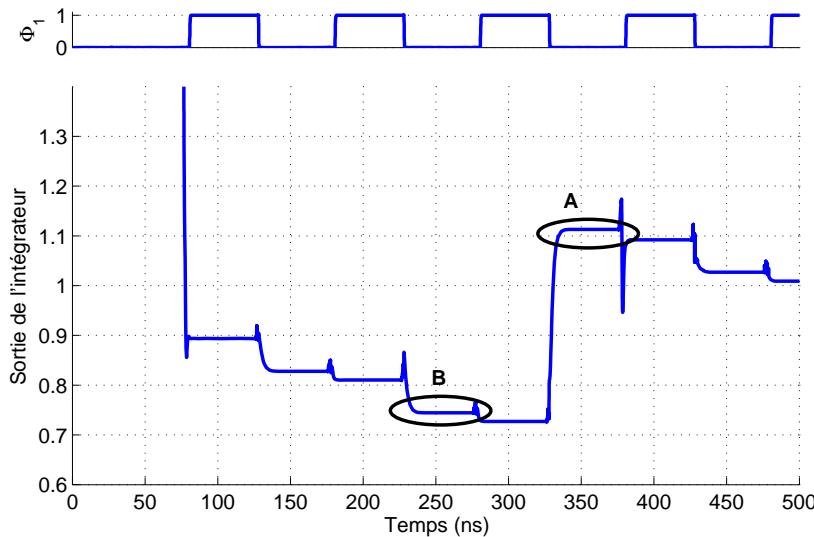


FIGURE 5.10 – Variation de la sortie de l'intégrateur pour une entrée de 750 mV

Dans les deux cas, A et B, l'erreur d'intégration relative entre la valeur d'arrivée et la valeur initiale est analysée. Le résultat de cette simulation est montrée sur la figure 5.11.

Nous pouvons observer sur la figure du haut, pour le cas d'une grande variation en sortie, que pour atteindre une précision de l'ordre de 99%, un peu moins de 10 ns sont

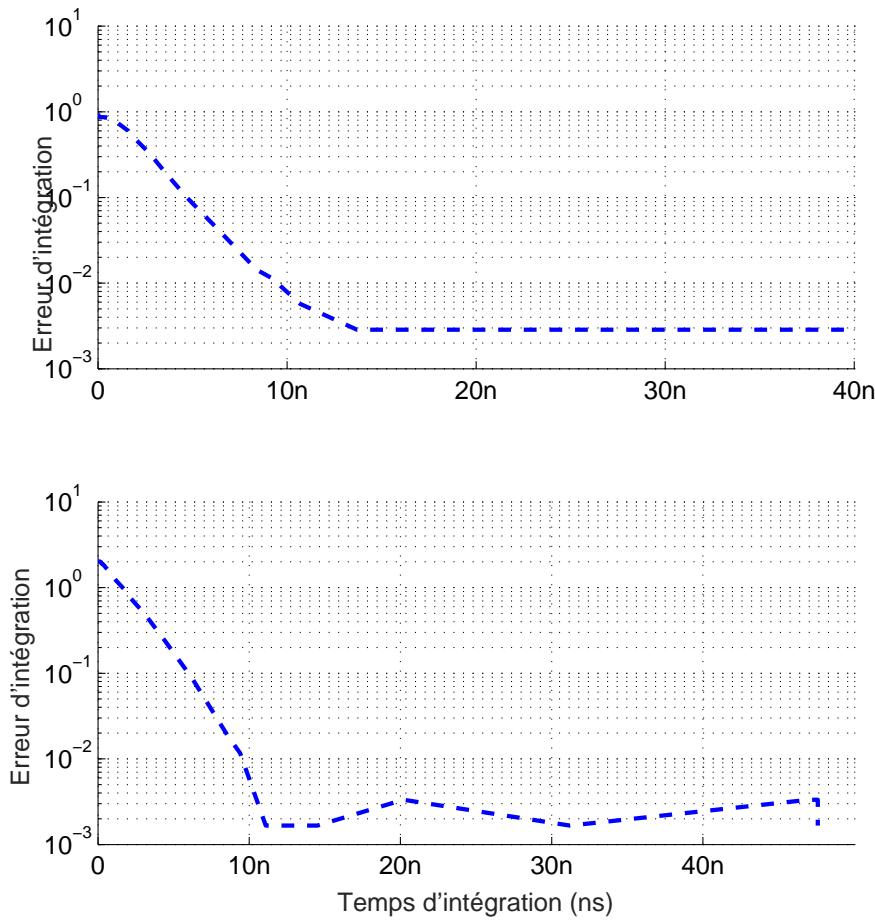


FIGURE 5.11 – Erreur en fonction du temps d'intégration pour une grande variation en sortie (figure du haut, cas A) et pour une faible variation (figure du bas, cas Bp)

nécessaires. Ce temps peut monter jusqu'à 11 ns pour atteindre 99.5%. L'erreur est stable à la fin car les variations sont faibles par rapport à l'amplitude de la variation.

Lorsque l'on regarde l'erreur pour une faible variation en sortie, un temps légèrement inférieur à 10 ns est aussi nécessaire pour atteindre une précision de 99 % et de 99.5%. en revanche, de légères fluctuations sont observées car l'amplitude de la variation est plus faible, augmentant alors l'erreur relative.

Le temps d'intégration pour le schéma répond alors aux exigences d'un transfert de 99.5% en moins de 20 ns, qui correspond à une charge de  $5\tau$  et d'assurer un bon transfert avec une horloge principale de 20 MHz.

### 5.3 Additionneur-comparateur

Dans tout modulateur de second d'ordre avec feed-forward, on retrouve un additionneur passif formé de capacité, de switches suivie d'un comparateur. L'additionneur comporte trois entrées qui proviennent de l'entrée X du modulateur,  $V_1$  la sortie du premier

intégrateur et  $V_2$  la sortie du deuxième intégrateur. Les parties concernées sont montrées sur la figure 5.12.

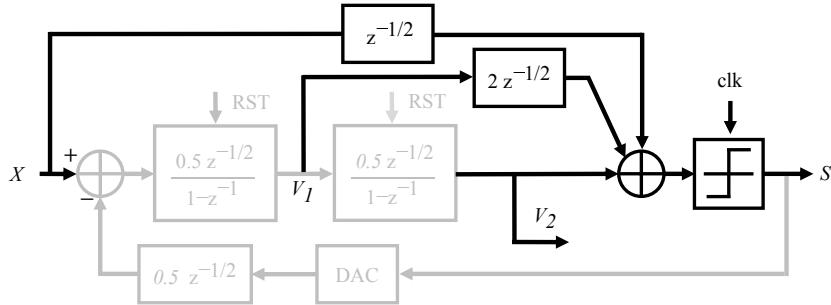


FIGURE 5.12 – Schéma du bloc intégrateur

### 5.3.1 Schéma de l'additionneur-comparateur passif à capacités commutées

Le schéma de cet additionneur-comparateur est montré sur la figure 5.13 et ses quatres signaux numériques de contrôle sont montrés sur la figure 5.14. Au début de la conversion, on retrouve la remise à zéro du système grâce au signal  $\Phi_{RST}$  et  $P2R$ , qui est une combinaison de  $\Phi_{RST}$  et  $\Phi_2$ . Pour des raisons de charges restantes entre deux décisions successives du comparateur, créant un effet mémoire indésirable, un signal  $a_2$  est utilisé au début de la conversion pour réaliser le feed-forward. Le signal  $a_1$  prend ensuite le relais dès le deuxième cycle et ce jusqu'à la fin de la conversion pour réaliser l'opération de l'addition. Pour la même raison que la présence de  $a_2$ , un switch avec le signal  $P2R$  est ajouté en entrée du comparateur afin de décharger toutes les capacités de l'additionneur passif, pour effectuer la prochaine opération.

### 5.3.2 Comparateur

Il existe deux types de comparateurs principalement utilisés dans la littérature : le strong-arm et le double tail. De nombreux travaux portent sur le développement de ces architectures, comme la réduction de l'offset ou diminuer le temps de décision [111] [112] [113]. Afin de diminuer le kickback du comparateur, une architecture double-tail est utilisée. Cette architecture est très utilisée dans les systèmes d'imagerie pour sa faible consommation et ce faible kickback. Le principe de fonctionnement du comparateur est montré sur la figure 5.15. Une prise de décision intervient lorsque l'on ferme le switch M0 du bas pour permettre au courant de traverser la paire d'entrée. Lorsqu'une différence apparaît entre l'entrée  $vin+$  et  $vin-$ , une différence de courant dans les branches se crée, faisant prendre au double inverseur une décision et fixant ainsi la sortie du comparateur.

Afin de minimiser le kickback du comparateur sur les intégrateurs et l'échantillonner

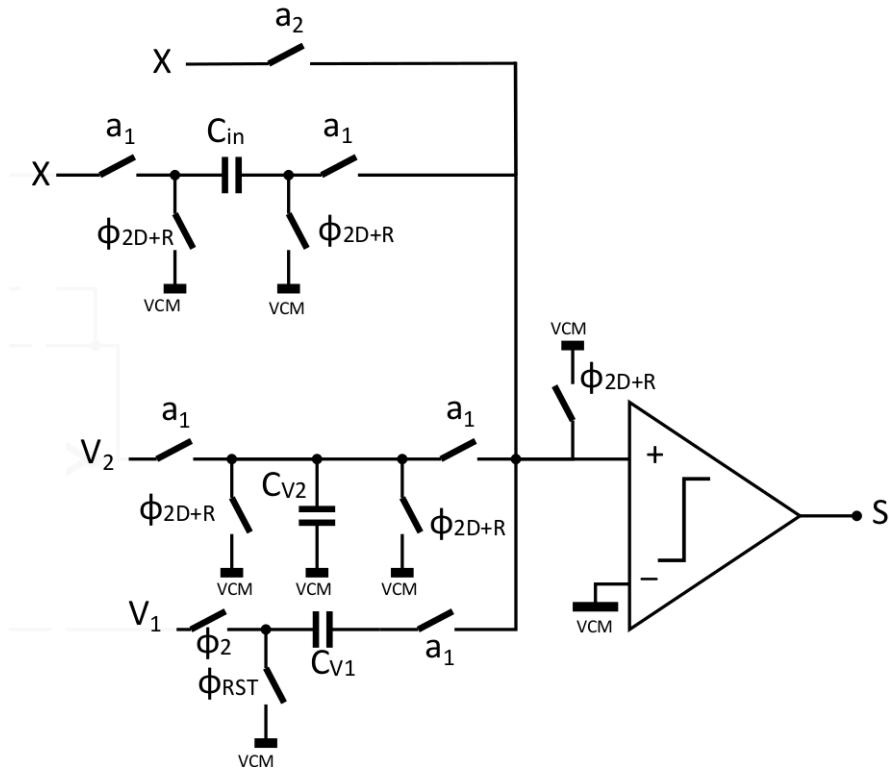


FIGURE 5.13 – Schéma du bloc sommateur-comparateur

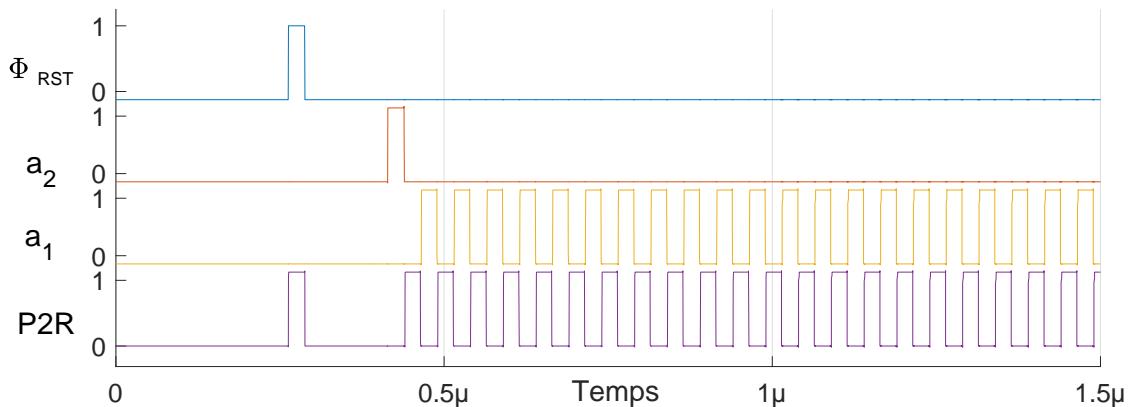


FIGURE 5.14 – Signaux numériques de commande de l'additionneur

TABLEAU 5.9 – Taille des différents transistors du comparateur

transistor	W / L
M1	8 / 0.18
M2	8 / 0.18
M3	1 / 0.18
M4	1 / 0.18
M5 / M7 / M9	0.56 / 0.18
M6 / M8 / M10	0.56 / 0.18

bloqueur, un comparateur double tail est utilisé et son dimensionnement sont respectivement données sur la figure 5.16 et la table 5.9.

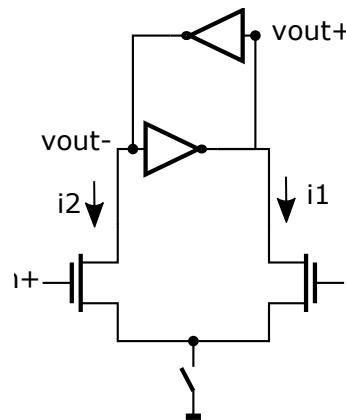


FIGURE 5.15 – Schéma de principe d'un comparateur

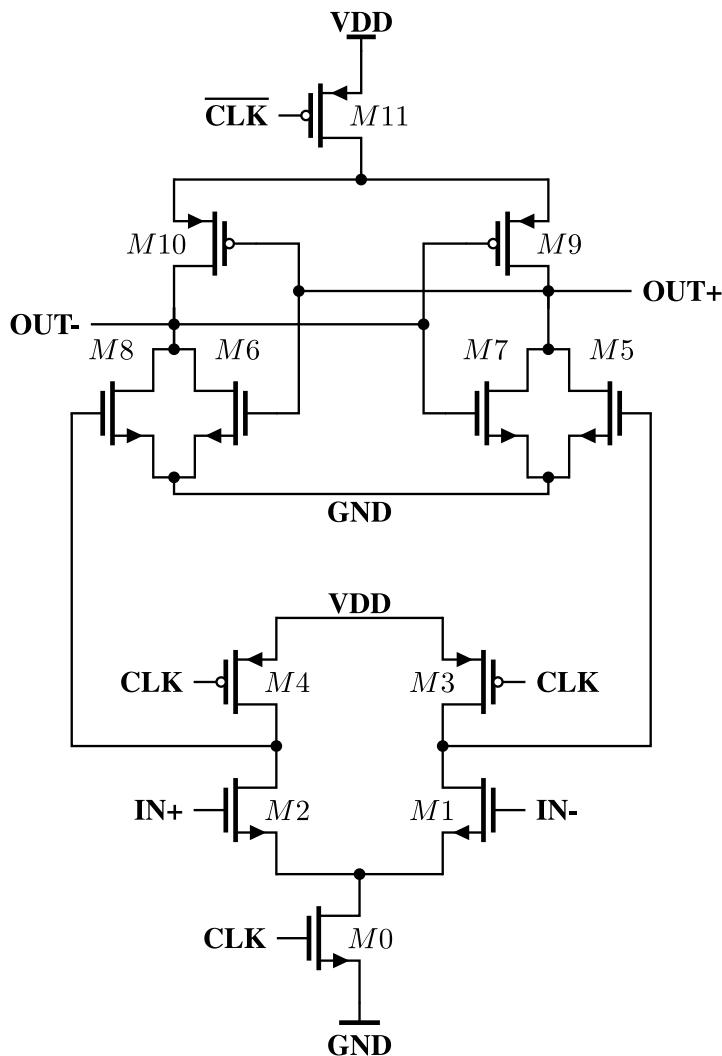


FIGURE 5.16 – Schéma du comparateur double rail utilisé

Pour cette architecture, lorsque le signal CLK est au niveau '0', la paire d'entrée n'a pas de courant qui la traverse et les transistors M3 et M4 sont saturés et la sortie est fixée à une valeur fixe. Lorsque le signal CLK passe au niveau '1', un courant passe dans la paire d'entrée et celle-ci prend une décision suivant les valeurs de IN+ et IN-. Cette décision est ensuite régénérée par une paire d'inverseurs donnant la sortie du comparateur.

### Résultats Monte-Carlo

Les performances du comparateur seul sur une simulation Monte-Carlo sont montrées sur la figure 5.17. La simulation Monte-Carlo porte sur les variations de process et mismatch sur 200 points. Nous pouvons observer que l'offset, non centré sur zéro, à une valeur moyenne de -2.1 mV, pour un écart-type de 4.1 mV. En valeur absolue, cet offset est inférieur à 12 mV, ce qui est bien inférieur au bloc sommateur et donc suffisant. Les performances du comparateur ayant été déterminés à partir du bloc post-layout, la non symétrie de l'offset, qui n'est pas un point critique, s'explique par le design de ce comparateur. Le temps de décision du comparateur est défini par la différence temporelle entre le front montant de l'horloge CLK et le front montant sur une sortie (OUT- ou OUT+). Ce temps de décision est ensuite analysé. Comme dit précédemment, la décision la plus lente se trouve lorsque les deux entrées du comparateur sont les plus proches. Ce cas de figure est alors analysé et le temps de décision maximum du comparateur est de 2.5 ns. Cette valeur sera à prendre en compte lors de la conception du bloc d'horloge non recouvrante.

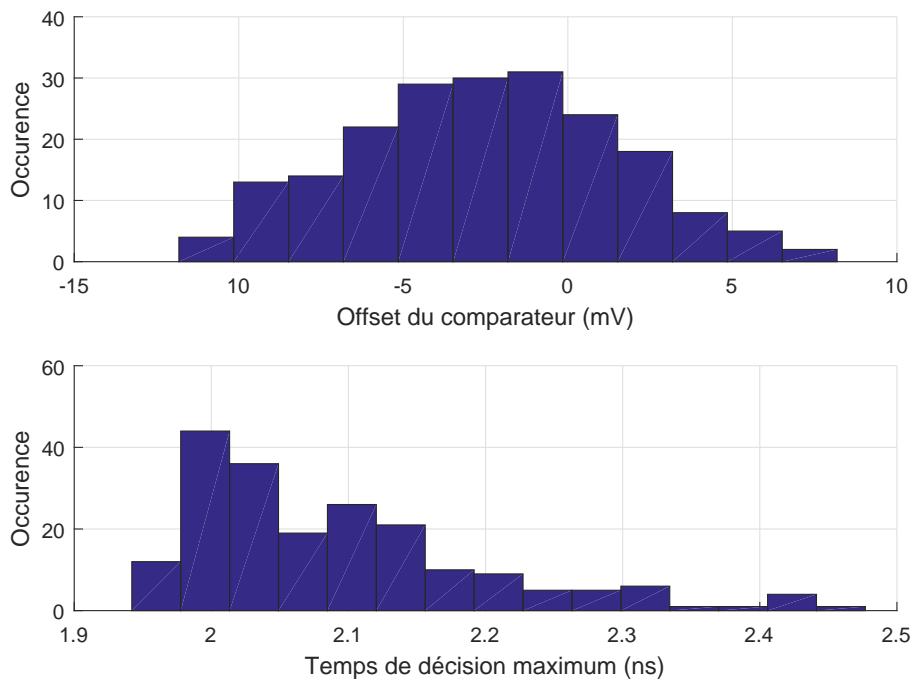


FIGURE 5.17 – Analyse Monte-Carlo (process+mismatch sur 200 points) de l'offset et du temps de décision maximum du comparateur

### 5.3.3 Résultats du bloc sommateur-inverseur

Pour déterminer l'offset, il convient d'analyser l'entrée du comparateur et le niveau de décision pris en sortie, comme montré dans la figure 5.18. Le signal d'entrée sur la figure du haut est une rampe qui varie de façon linéaire et pour déterminer l'offset, nous allons

observer la valeur d'entrée pour laquelle la sortie du comparateur est différente avec une précision de 2.5 mV. Cette analyse est faite pour avoir un ordre de grandeur de l'influence des switches, effet se cumulant au mismatch de la paire d'entrée. Ce design donne alors un offset global de l'additionneur inférieur à 11.5 mV pour une prise de décision du comparateur en moins de 2 ns, ce qui est suffisant pour notre application.

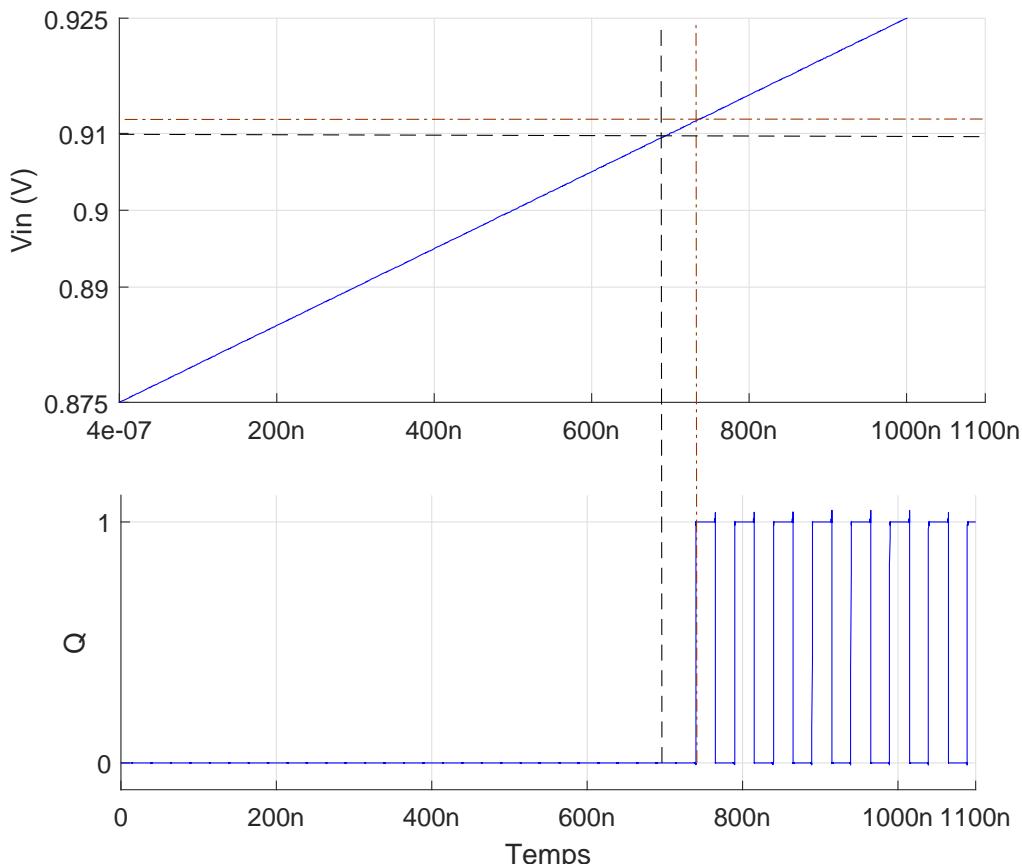


FIGURE 5.18 – Analyse temporelle de l'additionneur pour déterminer l'offset : en haut, le signal d'entrée du comparateur, en bas la sortie du comparateur après décision

## 5.4 Echantillonneur-Bloqueur

### 5.4.1 Principe de fonctionnement

Nous avons vu que les valeurs à l'entrée du modulateur étaient maintenues constantes durant le temps de la conversion. Il faut alors réaliser une première étape de chargement de l'échantillonneur-bloqueur.

L'inverseur conçu pour servir d'intégrateur présente des caractéristiques suffisantes, que ce soit au niveau du gain ou encore du GBW pour être utilisé en S/H. De la même façon que précédemment avec l'intégration utilisant un auto-zeroing pour compenser l'offset, le schéma retenu est basé sur celui de la figure 5.5 mais diffère pour être utilisé

dans un S/H et est montré sur la figure 5.19, avec le chronogramme associé dans la figure 5.20.

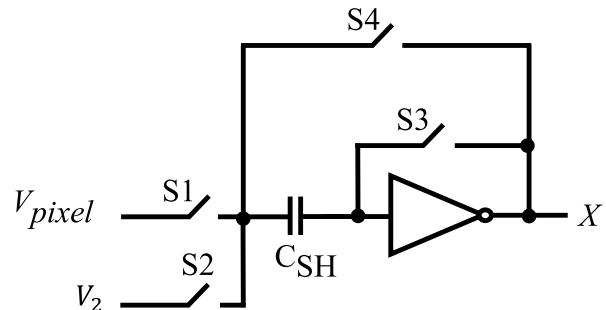


FIGURE 5.19 – Schéma de l'échantillonneur/bloqueur utilisé

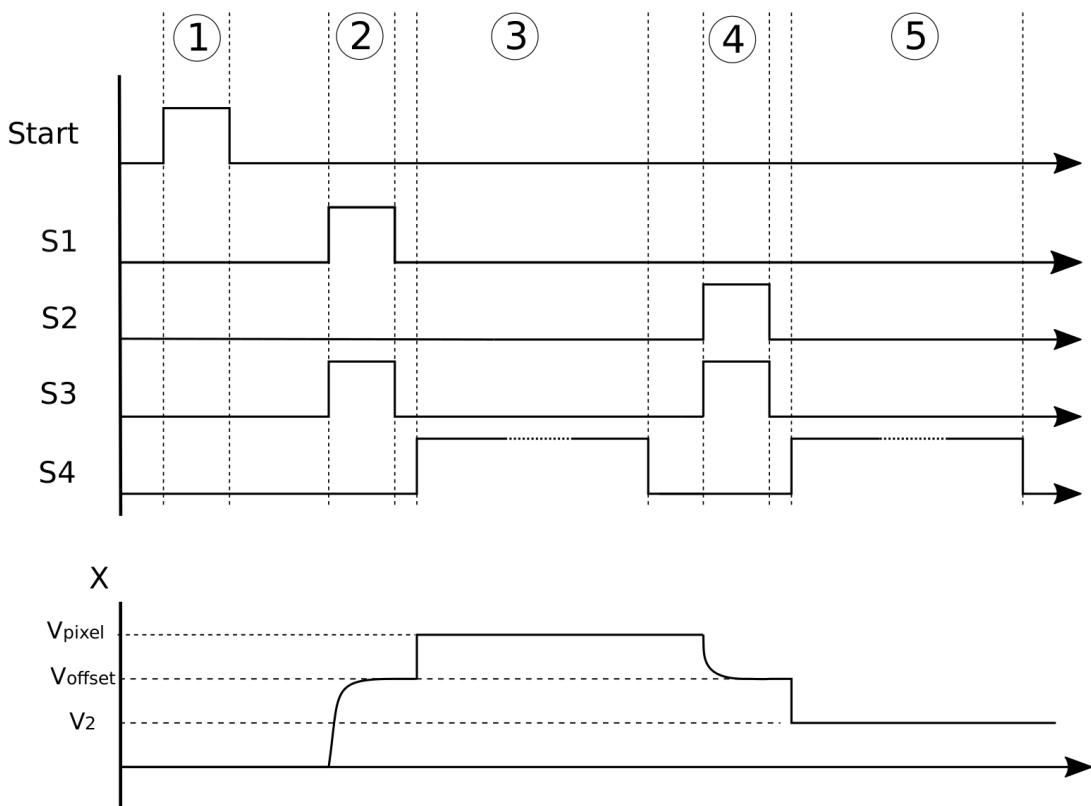


FIGURE 5.20 – Chronogramme des signaux de commande de l'échantillonleur-bloqueur

La conversion est lancée avec un signal start qui passe à '1' (phase 1). Au début de la conversion, la valeur du pixel est chargé sur la capacité  $C_{SH}$  à travers les interrupteurs avec  $S1 = 1$  et  $S3 = 1$  (phase 2). Afin de laisser le temps à cette capacité de charger correctement, plusieurs coup d'horloge peuvent être nécessaires. A la fin de ce chargement,  $S1$  et  $S3$  repassent à 0. Le signal  $S4$  passe alors à l'état haut pour effectuer le rebouclage de l'inverseur et ainsi fixer la sortie de l'inverseur à la valeur du pixel initialement stockée. Le signal  $S4$  reste à l'état haut durant tout le reste de la première étape (phase 3)

A la fin de la première étape, le signal S4 repasse à l'état bas un demi-coup d'horloge avant la dernière intégration, le résultat n'influencant pas le résidu final. Durant le dernier

transfert de charge du deuxième intégrateur, le signal S2 passe à l'état haut et le second inverseur charge à la fois sa capacité d'intégration et la capacité  $C_{SH}$ . De la même façon que lorsque cette capacité chargeait avec S1, Le transfert de charge peut être rallongé afin de charge cette capacité supplémentaire non négligeable (phase 4). Comme pour la première étape de la conversion, le signal S4 reste à l'état haut tout le long de la seconde étape de la conversion (phase 5).

### 5.4.2 Analyse de bruit

Le circuit d'échantillonnage étant à capacités commutées, un bruit thermique venant des interrupteurs vient alors s'ajouter durant le phase d'échantillonnage et d'intégration. La valeur du bruit thermique issue des interrupteurs est définie par

$$\nu_n^2 = kT/C \quad (5.7)$$

Les contraintes sur le bruit de quantification sur le bloc de l'échantillonneur ne sont pas très restrictives. En effet, du fait de la conversion en deux étapes, nous souhaitons que le bruit généré soit inférieur au bruit de quantification de la première conversion, soit l'équivalent d'une conversion sur 8 bits maximum dans notre cas.

A travers le choix de la capacité  $C_{SH}$ , il y a alors un compromis à réaliser entre bruit thermique et ce que l'inverseur sera capable de piloter. En effet, une capacité trop faible permet d'augmenter le courant fourni à l'entrée du modulateur  $\Sigma\Delta$  mais le bruit thermique sera élevé. D'un autre côté, une capacité élevée va réduire le bruit thermique mais la charge présente sur l'inverseur sera trop grande, entraînant une erreur lors que la phase d'échantillonnage à l'entrée du modulateur  $\Sigma\Delta$ .

Un bon compromis est de choisir  $C_{SH} = 300 \text{ fF}$ , ce qui correspond alors à un bruit thermique de  $117 \mu\text{VRMS}$ , ce qui est largement inférieur au LSB requis de la première étape de la conversion.

## 5.5 Bloc de phases non-recouvrantes

Dans un circuit à capacités commutées, les phases  $\Phi_1$  et  $\Phi_2$  ne doivent pas être actives en mêmes temps pour ne pas rendre passants les switches en même temps, et ainsi partager les charges. Une solution communément adoptée est d'utiliser des horloges non recouvrantes avec un léger délai pour contrôler les switches, générées par le schéma de la figure 5.21. Un des problèmes majeurs dans les circuits à capacités commutées est l'injection de charge lors de l'ouverture des switches. Ce problème peut être en partie résolu théoriquement en venant insérer un léger délai lors de la fermeture des switches. Ce bloc de non recouvrement, à partir de l'horloge principale CLK20 va alors générer deux signaux,  $\Phi_1$  et  $\Phi_2$  qui ne se chevauchent pas, ainsi que deux signaux  $\Phi_{1D}$  et  $\Phi_{2D}$  avec un

court délai afin de limiter l'injection de charges.

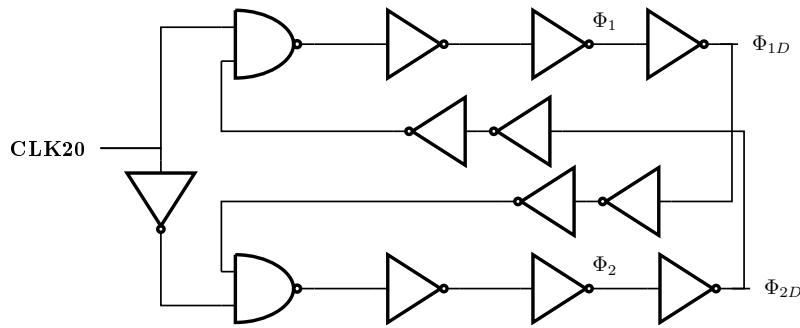


FIGURE 5.21 – Schéma du bloc générant les horloges non recouvrantes

## 5.6 Schéma de l'ADC

Le schéma de l'ADC entier, avec les signaux de commande associés à l'échantillonneur-bloqueur et du modulateur, sont montrés sur la figure 5.22. Les signaux de commande sont montrés pour une conversion sur 70 cycles, valeur déterminée précédemment dans le chapitre 4, divisée en deux étapes de 35 cycles visibles sur la figure 5.22(b). On peut noter que le signal de reset se déclenche lors de l'échantillonnage sur l'échantillonneur-bloqueur lors de la 1ère étape. En revanche, au début de la seconde étape, le second intégrateur charge d'abord l'échantillonneur-bloqueur avant de se réinitialiser. Entre deux conversions, les signaux S2 et S3 peuvent être maintenus à l'état haut plus longtemps pour augmenter la précision de la charge de la capacité de l'échantillonneur-bloqueur.

### 5.6.1 Analyse fréquentielle

Pour caractériser le convertisseur, une évaluation du SNDR est choisie afin de limiter le nombre de points et une analyse synchrone est effectuée. Le principe est de placer la fréquence du signal d'entrée de l'ADC sur un point de calcul de la transformation de fourier. Le signal d'entrée a une fréquence de 234 kHz et une amplitude crête-à-crête de 0.6 V , permettant de réaliser une analyse en seulement 256 points. Le résultat de cette analyse est montré sur la figure 5.23.

Après conversion, tous les bits sont ensuite pondérés afin d'optimiser la conversion, donnant un SNDR de 84.55 dB pour une résolution effective de 13.75 bits. Il consomme 430  $\mu$ W pour une durée de conversion de 3.7  $\mu$ s, soit une fréquence d'échantillonnage de 270 kHz.

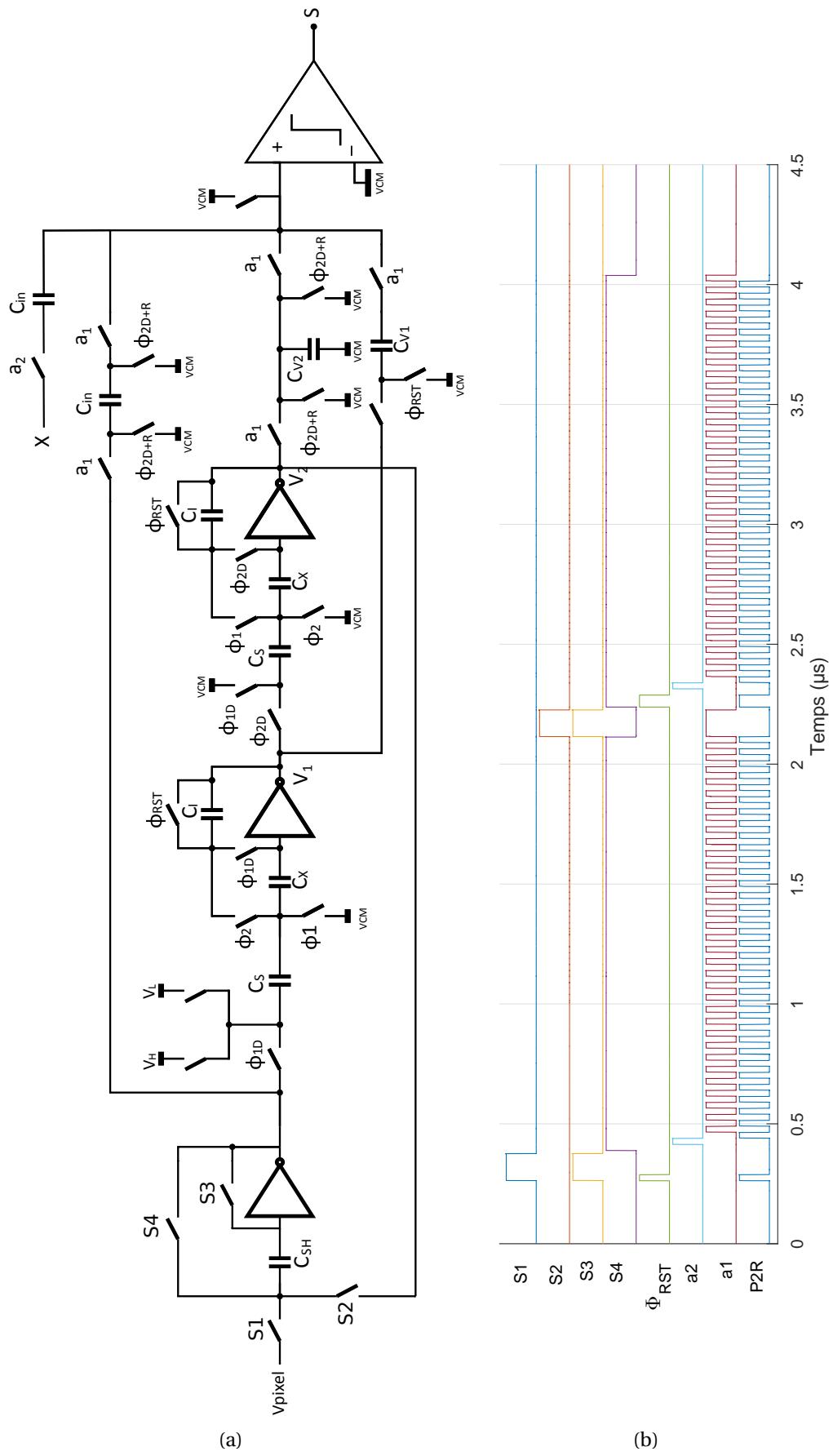


FIGURE 5.22 – (a) Schéma complet de l'ADC proposé et (b) signaux de commande associés

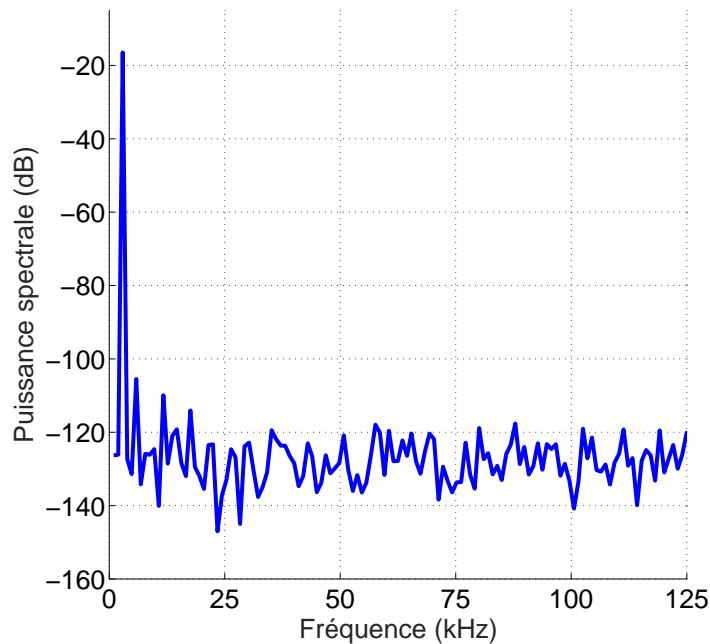


FIGURE 5.23 – Analyse fréquentielle de l'ADC, utilisant une FFT sur 256 points

## 5.7 Conclusion

Dans ce chapitre, la conception analogique d'un convertisseur est étudiée. Dans un premier temps, l'analyse des intégrateurs est réalisée avec l'introduction des intégrateurs à bases d'inverseurs. Les analyses AC et DC des inverseurs ainsi que l'analyse temporelle de l'intégrateur est réalisée. Les différents blocs tel que le sommateur-comparateur et l'échantillonneur-bloqueur sont ensuite passés en revue. L'ADC permet d'atteindre une résolution de 13.7 bits pour une fréquence d'échantillonnage de 270 kHz et une consommation de 430  $\mu$ W.



# Chapitre 6

## Résultats

Dans ce chapitre, les résultats de simulation et analyses post-layout des différents blocs sont discutés. Dans l'ordre, nous allons aborder l'inverseur gain-boosting qui est un des éléments fondamentaux du circuit à capacités commutées. Les blocs utilisant cet inverseur comme l'échantillonneur-bloqueur et l'intégrateur sont ensuite analysés. La partie additionneur est ensuite étudiée, notamment pour l'analyse de l'offset. Pour finir, l'ADC final est caractérisé, par une étude fréquentielle. Dans toute cette partie, la technologie utilisée est XFAB 0.18  $\mu\text{m}$  avec une couche de poly et 5 couches de métaux, afin d'établir une première estimation des performances de ce convertisseur avec cette technologie. De plus les blocs post-layout sont obtenus par une extraction RC pour observer l'influence des deux paramètres sur le circuit.

### 6.1 Inverseur

#### 6.1.1 Layout

Tout d'abord, voici un rappel figure 6.1 du schéma de l'inverseur gain boosting vu précédemment. Le layout de l'inverseur est montré sur la figure 6.2. La contrainte au niveau de la taille a été d'imposer une largeur de 20  $\mu\text{m}$ , afin d'assurer la compatibilité avec un pixel d'une largeur de 10  $\mu\text{m}$ . Le layout a donc une taille de 20  $\mu\text{m} \times 40 \mu\text{m}$ . Des rails d'alimentation ont été placés de part et d'autre de l'inverseur, afin de faciliter la mise en blocs des différents blocs mais également pour faciliter la future mise en parallèle des convertisseurs.

#### 6.1.2 Analyse AC

Dans la partie précédente, l'étude du GBW a été faite au point de fonctionnement, ce qui est bien entendu le cas le plus favorable. Dans cette partie, nous allons également regarder l'influence de la valeur d'entrée sur le GBW pour l'inverseur post-layout. En se plaçant dans un premier temps au point nominal de fonctionnement à 27 °C, la valeur du

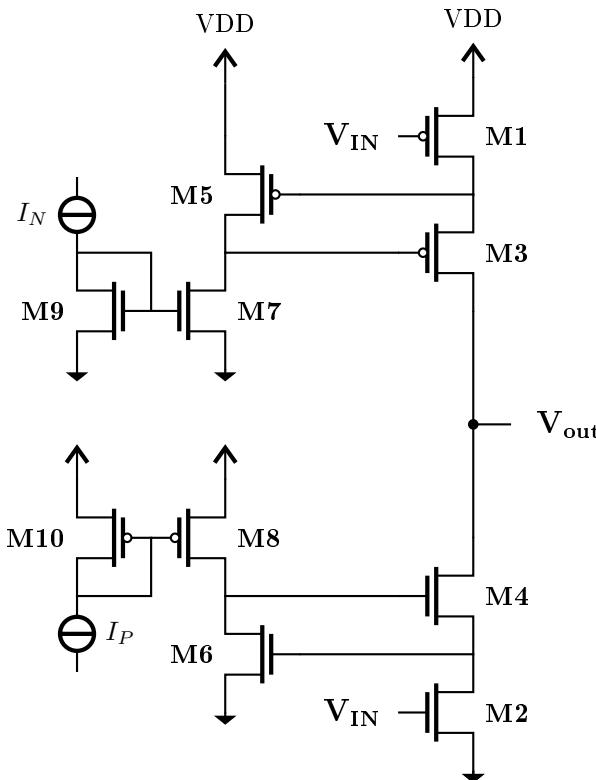


FIGURE 6.1 – Inverseur avec un gain-boosting

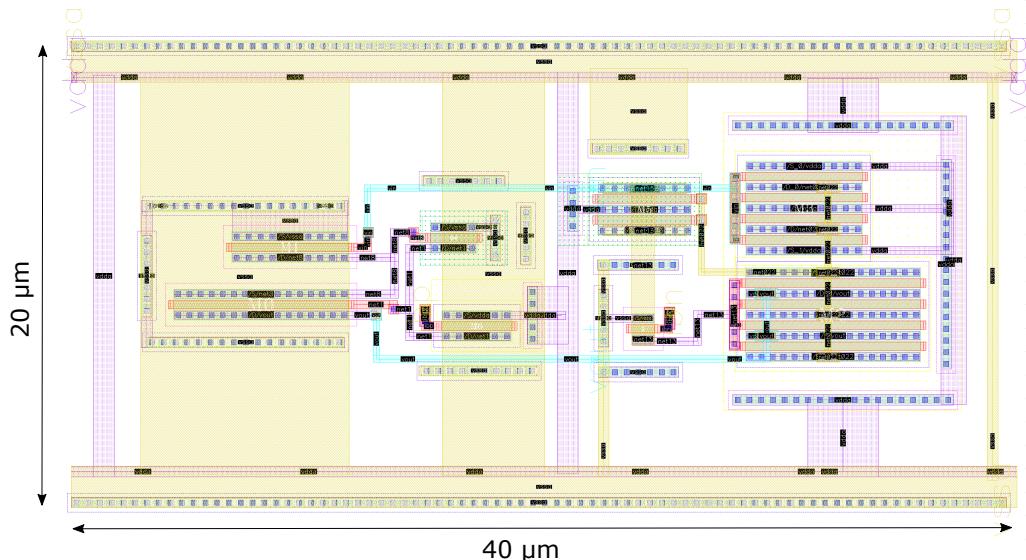


FIGURE 6.2 – Layout de l'inverseur avec le gain-boosting

GBW est analysée pour différentes valeurs d'entrée autour du point de fonctionnement. Le résultat de cette simulation est montré sur la figure 6.3. Les différentes valeurs de GBW pour différentes valeurs d'entrée sont alors résumés dans le tableau 6.1. Mise à part une diminution notable mais acceptable du gain, ce qui est normal car nous nous éloignons du point de fonctionnement, nous pouvons observer que le GBW varie de quelques dizaines de MHz, qui reste une variation très acceptable.

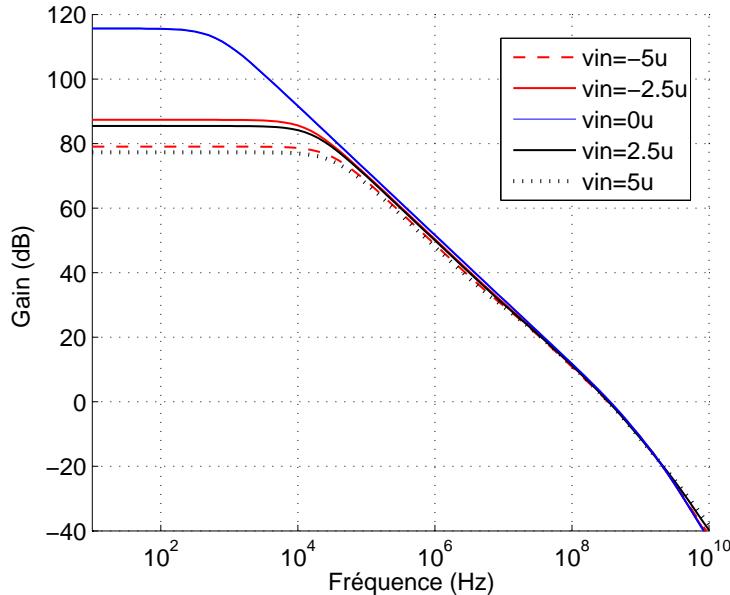

 FIGURE 6.3 – Analyse AC de l'inverseur suivant plusieurs entrées compris dans la plage [-5 $\mu$ ;+5 $\mu$ ]

TABLEAU 6.1 – Valeurs de GBW pour différentes entrées autour du point de fonctionnement

Vin (V)	GBW (MHz)
-5 $\mu$	339
-2.5 $\mu$	347
0	364
2.5 $\mu$	345
5 $\mu$	341

### 6.1.3 Etudes aux corners

Une étude aux corners de l'amplificateur post-layout est effectuée. Dans cette partie, une analyse DC et AC est effectuée, où l'on analyse à la fois la plage de linéarité dans le premier cas, et le GBW dans le second cas. Dans le second cas, le GBW est analysé autour du point de fonctionnement comme les variations autour de ce point-ci étaient raisonnables. Les corners concernés sont les "worse speed" (ws) et "worse power" (wp) pour trois températures (25, -20 et 85 °C). Le résultat des simulations DC et AC est montré dans le tableau 6.2.

TABLEAU 6.2 – Caractéristiques de l'inverseur à différents corners pour plusieurs température

Cas	T (°C)	V <sub>OUT-MIN</sub> (V)	V <sub>OUT-MAX</sub> (V)	Δ V <sub>OUT</sub> (V)	GBW (MHz)
Typique	25	0.419	1.375	0.96	328
ws	25	0.438	1.377	0.94	266
wp	25	0.394	1.357	0.96	397
ws	-20	0.458	1.361	0.90	228
wp	-20	0.388	1.395	1.00	455
ws	85	0.438	1.362	0.92	240
wp	85	0.451	1.173	0.72	232

Nous pouvons apercevoir tout d'abord que pour le cas nominal, le GBW est descendu à 328 MHz, soit une chute de 60 MHz. Après cela, les cas "worse-speed", encore une fois, diminuent le GBW car le courant, et le  $gm$ , sont plus faibles. Le cas contraire se pose pour les cas "worse speed" qui augmentent la vitesse au détriment de la consommation, à l'exception faite du corner "wp85", qui voit sa plage de linéarité réduite ainsi que son GBW associé. Des températures élevées seront donc à proscrire, sinon tous les autres cas répondent aux spécifications.

## 6.2 Echantillonneur-bloqueur

Le schéma de l'échantillonneur bloqueur est rappelé sur la figure 6.4. Une fois l'inverseur post-layout analysé, il va être intégré au bloc échantillonneur-bloqueur avec les transistors CMOS. L'étude des switches n'est pas indépendante et le bloc échantillonneur bloqueur est étudié dans son intégralité.

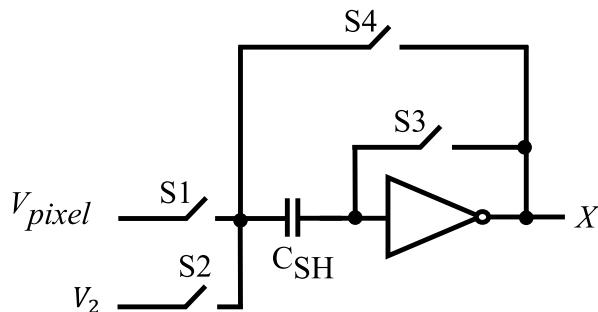


FIGURE 6.4 – Schéma de l'échantillonneur/bloqueur

### 6.2.1 Layout

Le layout de l'échantillonneur bloqueur est montré sur la figure 6.5. Dans ce bloc, on retrouve l'amplificateur à droite, et les switch et la capacité à gauche. Plusieurs switchs sont placés en parallèle afin de diminuer la résistance de contre-réaction, permettant au système un transfert plus rapide. On retrouve les rails d'alimentation prolongés le long des switchs et des capacités permettant l'intégration sur une largeur de pixel. La taille totale de l'échantillonneur-bloqueur est de  $20 \mu\text{m} \times 73 \mu\text{m}$ .

### 6.2.2 Etude post-layout

L'erreur en sortie après commutation des switches pour différents corners est analysée et le résultat est montré sur la figure 6.6. La plage d'entrée de simulation choisie est de  $0.9 \pm 0.4 \text{ V}$ , soit une dynamique légèrement supérieure à la dynamique d'entrée de l'ADC.

L'erreur en sortie de l'échantillonneur-bloqueur est définie par la différence entre la valeur mesurée et la valeur de l'entrée du bloc échantillonneur bloqueur.

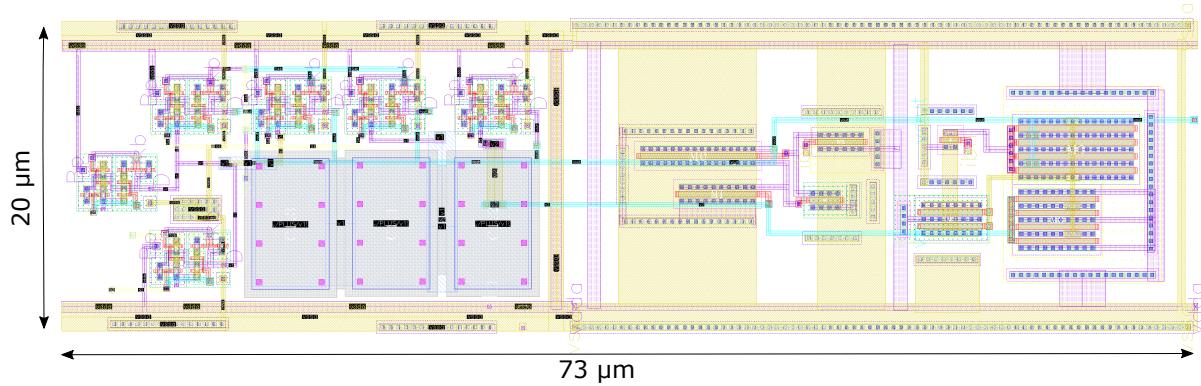


FIGURE 6.5 – Layout d l'échantillonneur bloqueur

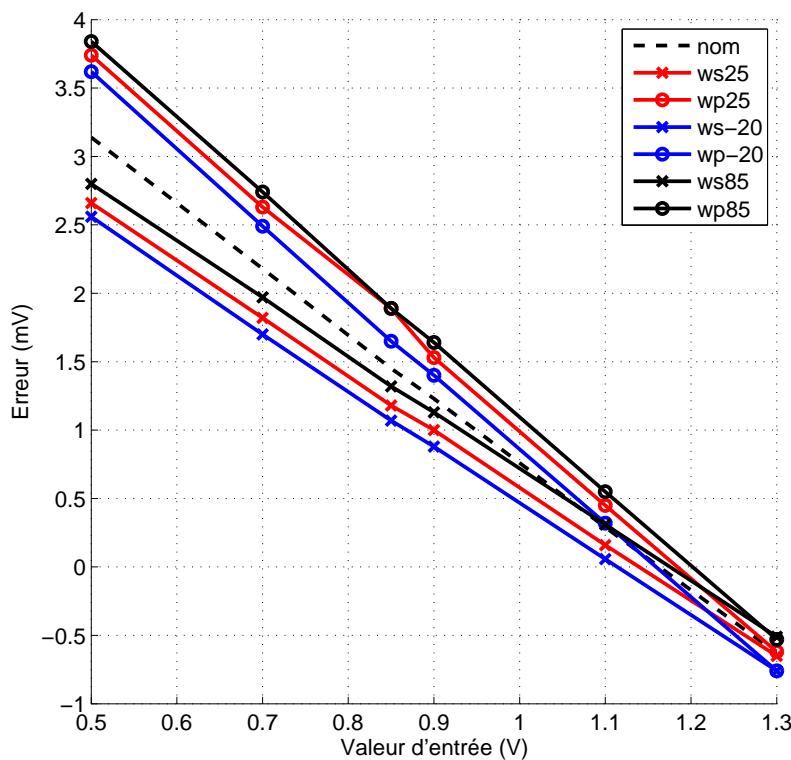


FIGURE 6.6 – Erreur en sortie de l'échantillonneur-bloqueur sur toute la plage d'entrée du convertisseur pour différents corners de simulation et températures (-20°C, 25°C, 85 °C)

Nous pouvons observer une erreur linéaire sur toute la dynamique d'entrée observée, qui peut s'interpréter comme une erreur de gain du bloc échantillonneur-bloqueur. Cette erreur est principalement due aux injections de charges lors de la fermeture des switches et de la mise en rebouclage de la capacité de l'échantillonneur-bloqueur. Pour des faibles valeurs d'entrée, nous pouvons noter que l'erreur est positive, donc que le signal en sortie est plus grand que la valeur théorique. Cela est due à la domination des transistors PMOS dans les switchs CMOS, générant plus de trous que d'électrons. A l'inverse, pour les valeurs d'entrée très élevées, voire proche du maximum, l'erreur est négative, indiquant que les NMOS sont prédominants dans la conductivité. La dysymétrie de la courbe vient de la

non symétrie des transistors PMOS et NMOS dans le switch CMOS.

Cette erreur est accentuée dans le cadre du corner "worse power", indépendamment de la température, qui va venir augmenter le nombre de trous dans le circuit, et ainsi accroître l'erreur créée. L'effet inverse est observé avec les corners *wp*, ou "worse speed", qui limite la conductivité des transistors.

## 6.3 Intégrateur

Le schéma de l'intégrateur est rappelé sur la figure 6.7. Dans cette partie, le signal de feedback n'est pas compris dans le bloc afin de permettre la réutilisation du bloc intégrateur pour les deux intégrateurs du modulateur  $\Sigma\Delta$ . Le bloc intégrateur est analysé en régime transitoire où le temps d'intégration (TI) est observé.

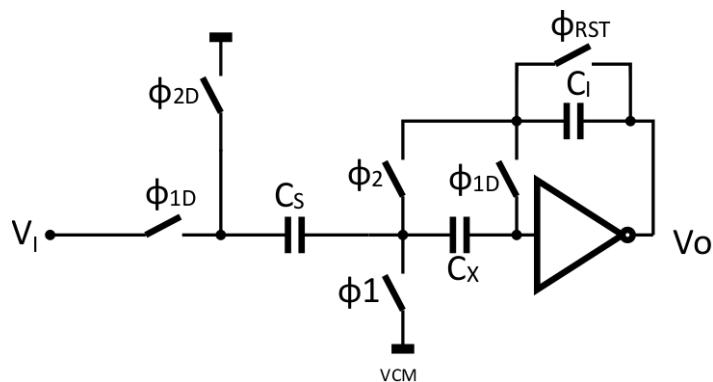


FIGURE 6.7 – Schéma du bloc intégrateur

### 6.3.1 Layout

Le layout du bloc intégrateur est montré sur la figure 6.8 et occupe une surface de  $20 \mu\text{m} \times 83 \mu\text{m}$ . Afin de gagner un peu en surface sans complexifier de façon inconsidérée le layout, des switchs sont placés sous les capacités tout en laissant de la place entre eux. On retrouve la capacité d'entrée  $C_S$  qui est bien deux fois plus petite que les deux autres capacités, qui sont placées le plus proche de l'inverseur pour limiter la longueur des pistes effectuant le rebouclage.

### 6.3.2 Etude post-layout

Deux cas sont analysés :

- une grande variation en sortie sur la moitié de la dynamique de sortie de l'intégrateur
  - une petite variation proche du point de fonctionnement où les résistances des switchs sont les plus élevées

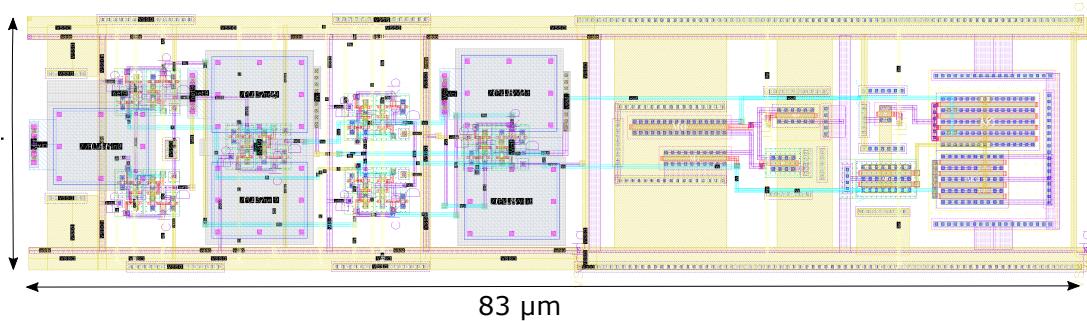


FIGURE 6.8 – Layout de l'intégrateur

La méthodologie est identique à la partie concernant l'étude schéma, avec la même variation en sortie et le résultat de ces deux simulations est montré sur la figure 6.9. Dans cette figure, on montre l'erreur commise, en pourcentage de la valeur finale, lors de l'intégration des charges en fonction du temps d'intégration. Dans cette simulation, le temps d'intégration disponible est de 50 ns afin de complètement laisser le temps au système de se stabiliser. Cependant notre système utilise une horloge de 20 MHZ, laissant, sans tenir compte du non recouvrement des signaux, au maximum 25 ns pour effectuer l'intégration. Cette valeur peut facilement descendre de plusieurs nanosecondes dû au bloc de non recouvrement des horloges. Nous allons alors considérer un temps maximal d'intégration de 20 ns pour la suite.

Nous pouvons apercevoir que dans les deux cas nominaux, une erreur inférieure à 1% est commise pour un temps d'intégration de 10 ns et cette erreur peut descendre sous les 0.3% et s'établir si l'on laisse jusqu'à 15 ns. L'erreur relative commise sur la grande variation est plus faible, dû au fait que l'erreur en sortie représente une variation plus faible que la variation totale en sortie de l'inverseur.

Les corners "worse power" à 25°C et à -20°C, comme remarqué précédemment dans le cas de l'inverseur, sont plus rapides que le cas nominal et offre un temps d'intégration plus faible. En revanche, le cas à 85°C est quasiment le plus lent, ce qui est cohérent avec les résultats de l'inverseur, mais anormal en terme de résultat. Cependant, ce corner reste à la limite de la validité en terme de transitoire avec un temps d'intégration ne dépassant pas les 18 ns, ce qui laisse même un peu de marge pour les horloges du bloc de non recouvrement.

En ce qui concerne les corners "worse speed", pour chaque température, le temps d'intégration maximal à 99.5 % pour les deux simulations varie de 14 ns à 17.5 ns, ce qui est aussi juste sous les spécifications temporelles souhaitées. Tout ces résultats sont résumés dans le tableau 6.3.

TABLEAU 6.3 – Résumé des temps d'intégration du bloc intégrateur pour différents corners

Cas	T (°C)	$\Delta V$ élevé		$\Delta V$ faible	
		TI (ns) (à 99 %)	TI (ns) (à 99.5 %)	TI (ns) (à 99 %)	TI (ns) (à 99.5 %)
Typique	25	9	11	9.4	10
ws	25	12.3	15.5	13.5	15
wp	25	8.1	12.1	7	12.1
ws	-20	12	14	13.5	15
wp	-20	6.6	8.2	7.5	10
ws	85	14	17	13.5	17.5
wp	85	14.5	17.5	13.5	17.5

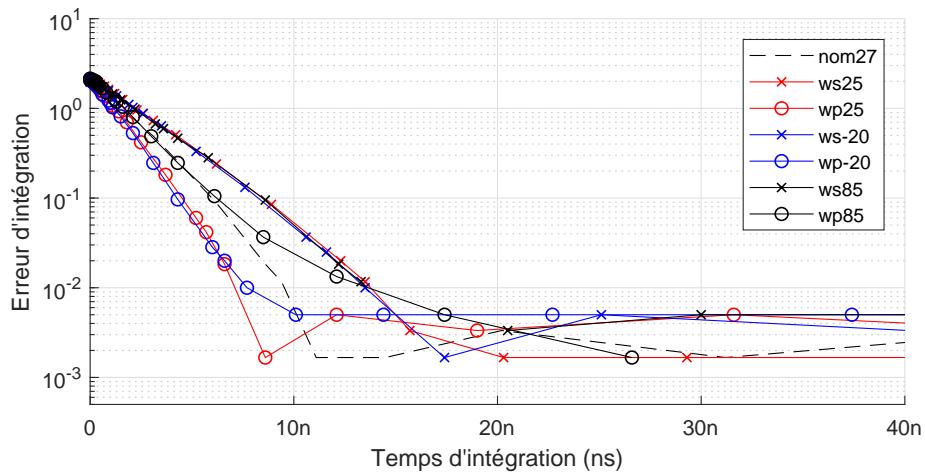
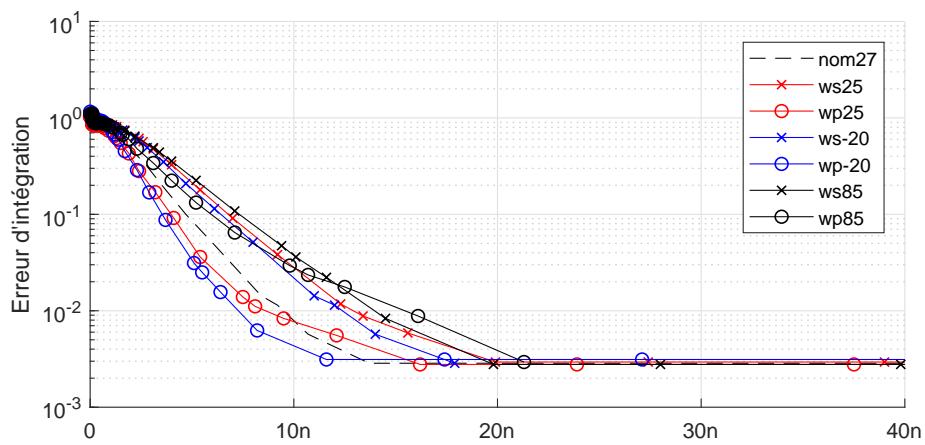


FIGURE 6.9 – Erreur en fonction du temps d'intégration pour une grande variation en sortie (figure du haut) et pour une faible variation (figure du bas)

## 6.4 Additionneur-comparateur

Dans cette partie, les analyses du layout de l'additionneur ainsi que des résultats post-extracted sont effectués. Le comparateur n'a pas de pré-requis particulier en spécifications en ce qui concerne la paire d'entrée car l'offset n'est pas un élément déterminant. Les caractéristiques du comparateur sont montrés dans le tableau 6.4. On a vu précédemment que la taille de la capacité unitaire de l'additionneur était de 75 fF, car seul le signe de la tension étant important, et non la précision finale du transfert de charges.

### 6.4.1 Layout

Le layout de l'additionneur est montré sur la figure 6.10 avec les différentes parties provenant de l'entrée, du premier et du deuxième intégrateur. La taille du layout total de l'additionneur est de  $20 \mu\text{m} \times 63 \mu\text{m}$  et les caractéristiques de l'additionneur et du comparateur sont résumées dans le tableau 6.10

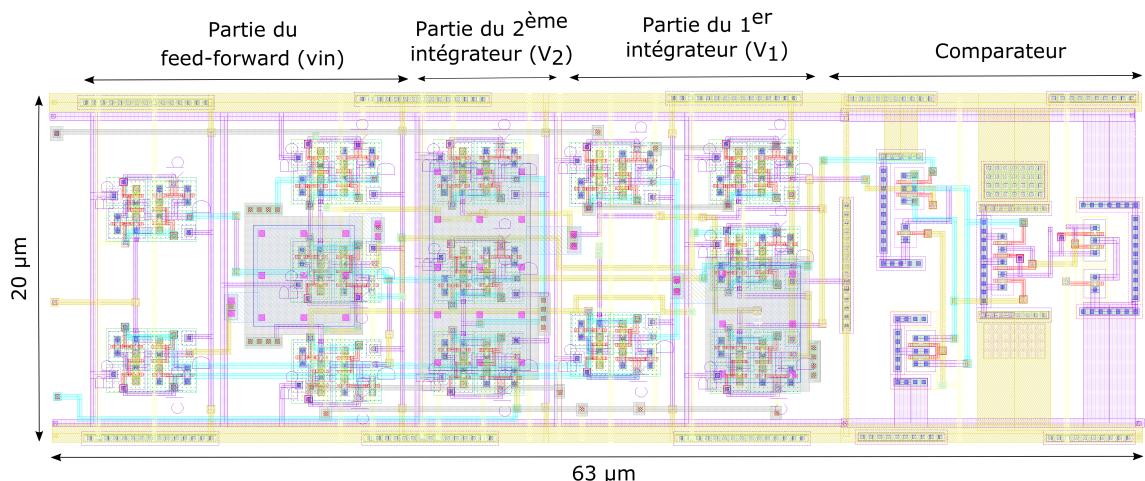


FIGURE 6.10 – Layout de l'additionneur

### 6.4.2 Etude post-layout

De la même façon que précédemment, pour déterminer l'offset du comparateur dans le schéma de l'additionneur, une rampe de tension est appliquée sur une des entrées et on regarde la valeur d'entrée pour laquelle deux valeurs consécutives de la sortie changent, ainsi on obtient une fourchette de l'offset. Le résultat de cette simulation est montré sur la figure 6.11. Dans cette figure, la valeur du bit de sortie change pour une valeur d'entrée de l'additionneur comprise entre 0.919 et 0.921 V, soit un offset inférieur à 21 mV.

Cet offset s'explique par les capacités parasites en entrées du comparateur mais également celles provenant des switches CMOS avec les transistors fantômes. Le temps de décision du comparateur avec les inverseurs en sortie, pour le cas le moins favorable aux

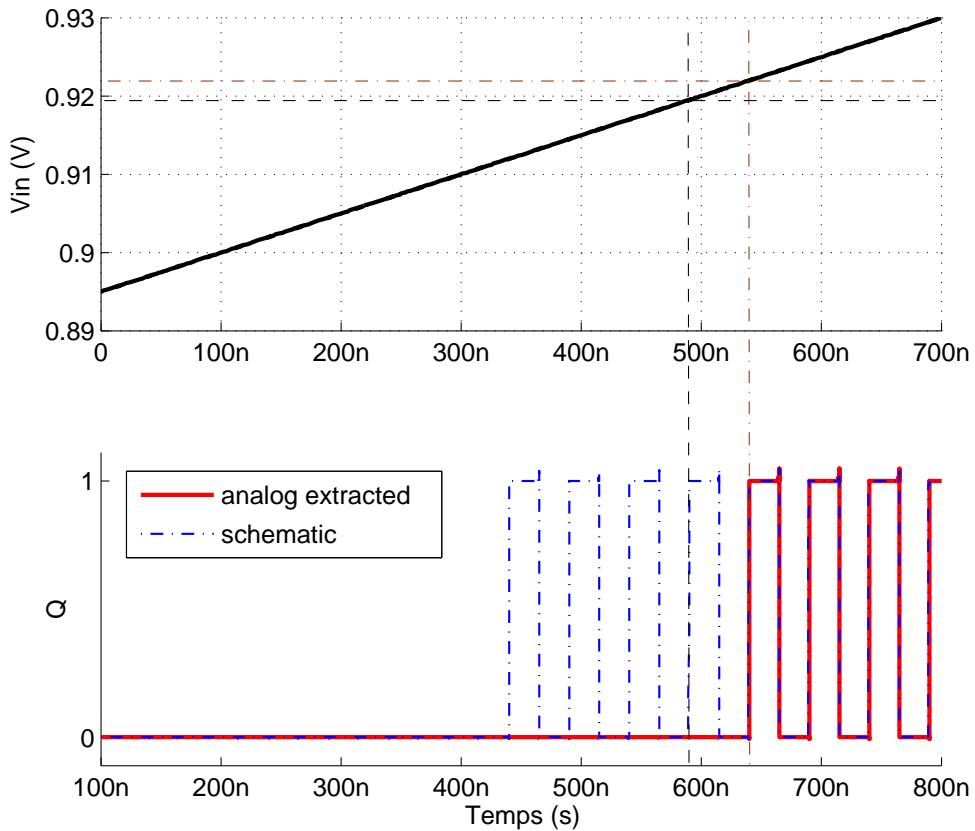


FIGURE 6.11 – Sortie synchrone du bloc intégrateur lorsqu'un rampe est appliquée en entrée

TABLEAU 6.4 – Récapitulatif du layout du comparateur

Offset additionneur	< 21 mV
Temps de réponse	< 1.9 ns
Layout comparateur	20 $\mu$ $\times$ 16 $\mu$
Layout additionneur	20 $\mu$ $\times$ 63 $\mu$

alentours de la valeur d'offset et en cas nominal, est de 1.72 ns, ce qui est suffisant pour les contraintes du bloc de non-overlapping.

## 6.5 ADC

Dans cette partie, l'ADC dans son intégralité, niveau schématique et post-layout sont étudiés.

### 6.5.1 Layout

Tout d'abord, son layout est montré sur la figure 6.12. Il a été routé en technologie 0.18  $\mu$ m de XFAB avec une couche de poly et cinq couches de métaux. Celui-ci mesure 20  $\mu$ m  $\times$  370  $\mu$ m, ce qui est compatible pour une largeur de pixel de 10  $\mu$ m. Celui-ci pos-

sède 2 rails d'alimentation, permettant ainsi une parallélisation facilitée pour des pixels d'une largeur de 10  $\mu\text{m}$ .

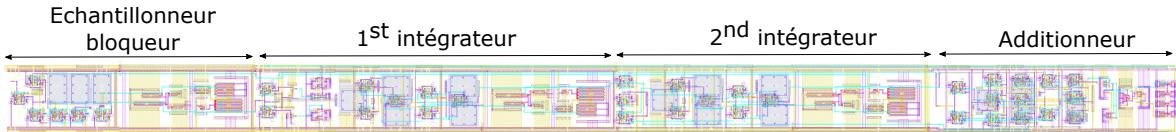


FIGURE 6.12 – Layout de l'ADC

### 6.5.2 Résultats

Comme précédemment, une simulation de l'INL et DNL serait trop longue à effectuer, donc comme dans la partie théorique, une étude fréquentielle est effectuée avec comme résultat un SNR et un SNDR. On choisit d'effectuer plusieurs simulations avec des amplitudes d'entrée différentes sans modifier la fréquence. La réponse fréquentielle de l'ADC est montrée sur la figure 6.13.

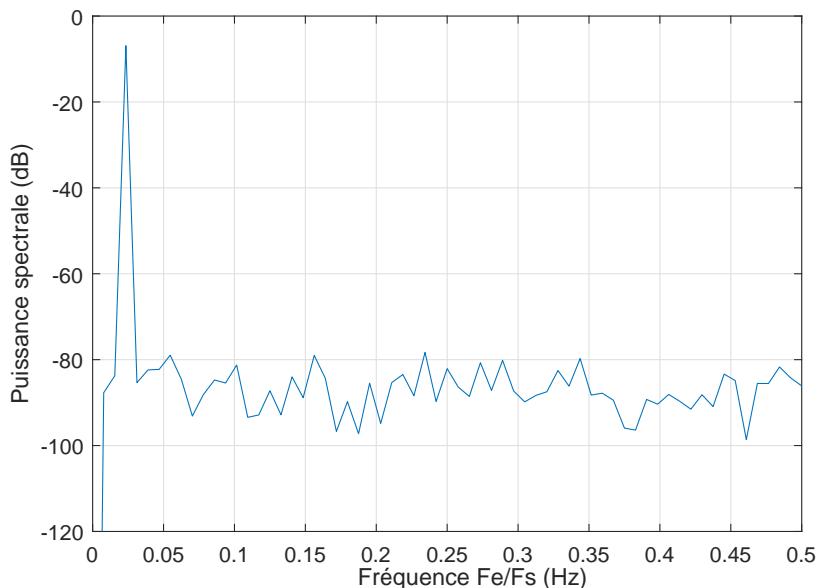


FIGURE 6.13 – Réponse fréquentielle de l'ADC "fully extracted"

Lorsque l'on applique une fréquence d'entrée de 200 kHz, proche de la fréquence de Nyquist, cet ADC est capable d'atteindre un SNDR de 72.8 dB, soit un ENOB de 12.1 bits. Il consomme 450  $\mu\text{W}$  avec une tension d'alimentation de 1.8 V. Les performances de l'ADC sont résumées dans le tableau 6.5.

### 6.5.3 Figure de Mérite

Un FoM a été introduit dans le chapitre 1 pour pouvoir comparer les différentes architectures d'ADC liés à l'imagerie. Avec les résultats obtenus précédemment, nous obtenons  $\text{FoM}_{\text{Walden}}$  de 455 fJ/step, ou encore un  $\text{FoM}_{\text{CIS}}$  de 9.1  $\mu\text{m} \cdot \text{pJ}/\text{step}$ .

TABLEAU 6.5 – Récapitulatif des performances de l'ADC  $\Sigma\Delta$ 2-2

Technologie	0.18 $\mu$ m
Alimentation	1.8 V
Fréquence d'échantillonnage	270 kHz
Puissance	450 $\mu$ W
Surface	25 $\mu$ m $\times$ 370 $\mu$ m
SNDR	72.8 dB
FoM <sub>CIS</sub>	9.1 $\mu$ m.pJ/step

Lorsque l'on compare ce résultat aux autres ADCs de l'imagerie, nous nous apercevons que son FoM est élevé dû l'utilisation de pixel large. Une comparaison de cet ADC est effectuée et montrée sur la figure 6.14 et on remarque que cet ADC se trouve au même niveau que les autres ADCs hybrides de la littérature, validant ainsi cette architecture et l'utilisation d'inverseurs en tant qu'amplificateurs.

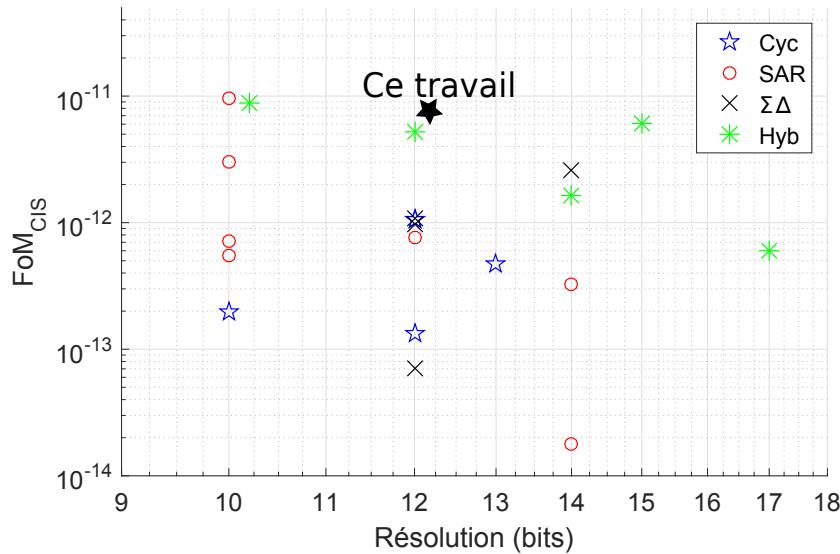


FIGURE 6.14 – Comparaison de cet ADC avec la littérature

# Chapitre 7

## Conclusion

L'objectif principal de cette thèse était l'étude de la conception d'architecture de convertisseur analogique/numérique haute résolution ( $>14$  bits) à 200 kHz pour une intégration monolithique dans le cadre des imageurs CMOS.

Une étude des différentes architectures présentes et répandues dans le domaine de l'imagerie est d'abord réalisée, en analysant leurs avantages et leurs inconvénients. Très vite, il apparaît que l'architecture qui est la plus adaptée pour les hautes résolutions est le convertisseur  $\Sigma\Delta$ . Comme nous travaillons avec des signaux continus issus de capteurs en entrée du convertisseur, le  $\Sigma\Delta$  incrémental ( $\Sigma\Delta I$ ) est retenu. Ce convertisseur qui est analysable en régime temporel, contrairement au  $\Sigma\Delta$  classique, est très adapté pour des applications nécessitant des hautes résolutions et une fréquence d'échantillonnage faible.

Dans le domaine de l'imagerie, les ADCs colonne sont devenus très répandus, permettant ainsi de diminuer la fréquence d'échantillonnage de l'ADC. Cependant, cela se fait au détriment de la parallélisation de ces convertisseurs, et donc de leur largeur individuelle, qui doit pouvoir tenir dans une largeur de pixel. Ce dernier point est très restrictif et vient détériorer les performances des ADCs.

Ce travail discute dans un premier temps du développement et de l'amélioration sur le  $\Sigma\Delta I$  afin de répondre aux spécifications visées, que sont une résolution élevée, une fréquence d'échantillonnage de 200 kHz et une largeur de pixel de 10  $\mu\text{m}$ . Une conversion en deux étapes, utilisant un convertisseur  $\Sigma\Delta I$  de second ordre, est préférée afin de réduire le nombre de cycles nécessaires sans se préoccuper des problèmes de stabilité qui apparaissent pour des ordres de modulateurs supérieurs. Cette solution est rendue possible grâce au fait que la dernière valeur analogique du dernier intégrateur du modulateur, appelé le résidu, est l'image de l'erreur de conversion du premier étage. Cette valeur peut alors être convertie une nouvelle fois pour améliorer la résolution du convertisseur. Une analyse théorique de ce convertisseur utilisant un modulateur de second ordre a montré que c'est la solution la plus adaptée à nos besoins. Cette conversion en deux étapes, en plus de réduire le temps de conversion, est effectuée en réutilisant le même hardware pour les deux étapes. L'utilisation du même hardware pour les deux étapes de la conver-

sion entraîne un gain de place car un seul modulateur est utilisé pour réaliser les deux conversions.

Dans un deuxième temps, l'utilisation d'inverseurs en tant qu'amplificateur est discutée. Pour le design analogique, plusieurs travaux se sont portés sur l'utilisation d'inverseurs dans les intégrateurs du modulateur  $\Sigma\Delta$  afin de gagner de la place. Afin de répondre aux spécifications de gain DC et de GBW, une architecture avec gain-boosting est utilisée. Les inverseurs étant sujets à des variations de process très importantes, un schéma d'intégration avec auto-zeroing est utilisé afin de compenser les variations d'offset. Des études post-layout sont alors réalisées pour voir si les performances DC, AC et temporelles sont respectées.

L'ADC conçu vise une résolution de 14 bits pour une fréquence d'échantillonnage de 200 kHz. Un SNDR maximum de 72.8 dB est obtenu donnant un ENOB de 12.1 bits pour une consommation de 450  $\mu$ W. Le FoM calculé est de 9.1  $\mu$ m.fJ/step , ce qui est dans la fourchette des ADCs two-step de l'imagerie.

## 7.1 Contribution

Les principales contributions de cette thèse sont d'avoir démontré qu'il est possible de développer des ADCs two-step basés sur des architectures  $\Sigma\Delta I$  utilisant des inverseurs pour une implémentation colonne dans le cadre des imageurs CMOS, mais aussi

- Analyse et mise en équation de l'erreur de modulateur  $\Sigma\Delta I$  d'ordre 1 et supérieur, ainsi que l'erreur pour les architectures de conversion en deux étapes, suivant l'OSR et la dynamique d'entrée du modulateur
- Modélisation d'une architecture  $\Sigma\Delta I$  two-step la plus adaptée pour atteindre 14 bits afin de réduire le nombre de cycles nécessaires à une conversion, avec prise en compte des différents défauts liés à l'analogique
- En Imagerie, un échantillonneur bloqueur est systématiquement présent entre le pixel et l'ADC pour effectuer le blocage durant la conversion. Afin de se placer dans une approche systémique, cet échantillonneur-bloqueur peut venir être intégrer à l'ADC. Une architecture two-step  $\Sigma\Delta I$  utilisant un seul modulateur d'ordre 2 pour les deux étapes de la conversion, avec l'ajout d'un échantillonneur bloqueur avant le modulateur pour permettre de stocker le résidu analogique de la première étape, et le rendre disponible à l'entrée du modulateur pour la seconde étape.
- Une architecture  $\Sigma\Delta I$  two-step compatible avec l'utilisation d'inverseur gain-boosting en tant qu'amplificateur pour satisfaire les contraintes de résolution de l'ADC, tout

en utilisant un schéma d'intégration adapté aux inverseurs et à leur fortes variations de process.

## 7.2 Perspectives

Du fait de la demande croissante de convertisseurs analogique-numérique dans le domaine de l'imagerie, beaucoup de travail reste à accomplir pour répondre aux besoins.

Tout d'abord, dans le court terme, plusieurs améliorations peuvent être envisagées, tant au niveau de la modélisation qu'au niveau de la simulation, et sont les suivantes :

- La modélisation sous MATLAB de l'ADC, et plus particulièrement de l'amplificateur et du bloc intégrateur, prend en compte soit le gain DC soit le produit gain-bande GBW. Une modélisation dynamique plus proche de la réalité, par exemple avec le slew-rate permettrait de déterminer au mieux les besoins de l'amplificateur, et donc d'optimiser les performances de celui-ci, notamment en terme de consommation.
- Lors de la conversion avec un convertisseur  $\Sigma\Delta I$ , le dernier bit de cette conversion n'est pas utilisé par le filtre numérique, et donc n'intervient dans le calcul de l'approximation finale de la valeur d'entrée. Or ce bit peut être utilisé pour déterminer le signe du résidu en fin de conversion, permettant ainsi de gagner un demi-bit sur la résolution finale. Cela est modifiable pour la machine à états qui commande les switchs de l'ADC, et plus particulièrement ceux du bloc additionneur.

En ce qui concerne le layout, la réalisation d'un convertisseur ne pose pas de problème, mais la future mise en parallèle de ceux-ci peut entraîner des complications. De ce point de vue, différents axes de recherche sont possibles, dont :

- Différentes méthodes de layout concernant le placement et le routage des composants pourront être envisagées. Le placement linéaire des composants donnant un routage facile, mais imposant un feedback analogique pour le résidu et numérique pour la sortie du comparateur sur plusieurs dizaines de  $\mu\text{m}$ , peut ainsi être revu, afin d'optimiser les paramètres post-extraction.
- La génération des tensions de références et des différents blocs de miroirs de courants nécessaires aux inverseurs peut être analysée. En effet, obtenir une valeur de tension fixe le long d'une piste pouvant mesurer jusqu'à plusieurs millimètres de long peut ne pas être trivial. Les effets de capacités parasites et de la résistance de la piste s'accumulant, cela peut influencer la polarisation des inverseurs le long de la matrice, créant ainsi un gradient de polarisation. Une analyse de différentes mé-

thodes de polarisation pourra alors être envisagée.

- Du point de vue architecturale, une analyse de la répartition du nombre de cycles total et des architectures avec plus d'étapes sont envisageables. Pour ce dernier point, la partie de commande numérique a été développé dans cette optique pour venir tester des architectures à 3 voire 4 étapes à partir du même circuit analogique, pour estimer leurs performances.

Ces travaux de thèse font actuellement le sujet d'une autre thèse qui vient de démarrer en septembre, portant sur la calibration du convertisseur.

- La calibration numérique est un élément essentiel pour venir essayer de corriger de façon post-conversion les défauts de l'analogique, de façon à venir rattraper le nombre de bits effectif de l'ADC. Encore une fois, la parallélisation des convertisseurs est un élément important pour décider de la calibration. On peut venir l'effectuer sur tous les ADCs en parallèle, l'appliquer à un ADC test auquel on appliquera à tous les ADCs les mêmes coefficients, malgré l'apparition de mismatch et/ou gradient entre les différents ADC. Il existe encore de nombreuses méthodes de calibration, à l'aveugle ou non, permettant de calibrer un ADC. Ces points pourront être abordés dans la future thèse.

Et pour finir, sur le plus long terme, une étude de durcissement aux radiations pourra être effectuée. En effet, cet ADC initialement conçu pour être destiné aux systèmes embarqués pour l'avionique/l'espace, des fortes contraintes sont alors ajoutées sur l'électronique dû aux radiations. D'évènement radioactifs ciblés dans le temps à une ionisation lente et régulière détériorant les systèmes, de nombreux cas peuvent alors être analysés et éventuellement testés. Ces travaux pouvant facilement être le sujet à part entière d'une autre thèse.

# Bibliographie

- [1] Min-Woong Seo, Keita Yasutomi, Keiichiro Kagawa, and Shoji Kawahito. [paper] a low noise cmos image sensor with pixel optimization and noise robust column-parallel readout circuits for low-light levels. *ITE Transactions on Media Technology and Applications*, 3(4) :258–262, 2015. , 6
- [2] US Department of transportation. Smart pavement monitoring system. Technical report, Federal Highway Administration Research and Technology, 2013. , 15
- [3] Alvaro Soares Jr Shant Orchanian, Gentian Rrudho. Fundamental blocks for a cyclic analog-to-digital converter. Master’s thesis, Worcester polytechnic institute, 2009. , 16
- [4] Ajith kumar Puppala. Design of a low power cyclic/algorithmic analog-todigital converter in a 130nm cmos process. Master’s thesis, Linköping Institute of Technology, 2012. , 17
- [5] Marcel J.M. Pelgrom. *Analog-to-Digital Conversion*, volume Analog-to-Digital Conversion. Springer, springer edition, 2012. , 17, 19
- [6] A brief introduction to sigma delta conversion, renesas, <https://www.intersil.com/content/dam/intersil/documents/an95/an9504.pdf>, 1995. , 20
- [7] Rudy van de Plassche. *CMOS integrated Analog-to-Digital and Digital-to-analog Converters*. Springer US, 2003. , 21
- [8] János Márkus. *Higher-order Incremental Delta-Sigma Analog-to-Digital Converters*. PhD thesis, Budapest University of Technology and Economics, 2005. , 21, 22
- [9] Ali Agah. A high-resolution low-power incremental sigma-delta adc with extended range for biosensor arrays. *JSSC*, 45(6) :1099–1110, June 2010. , 24, 25
- [10] Y. Nitta, Y. Muramatsu, K. Amano, T. Toyama, J. Yamamoto, K. Mishina, A. Suzuki, T. Taura, A. Kato, M. Kikuchi, Y. Yasui, H. Nomura, and N. Fukushima. High-speed digital double sampling with analog cds on column parallel adc architecture for low-noise active pixel sensor. In *Solid-State Circuits Conference, 2006. ISSCC 2006. Digest of Technical Papers. IEEE International*, pages 2024–2031, Feb 2006. , 26, 28, 30

- [11] Seunghyun Lim, Jeonghwan Lee, Dongsoo Kim, and Gunhee Han. A high-speed cmos image sensor with column-parallel two-step single-slope adcs. *Electron Devices, IEEE Transactions on*, 56(3) :393–398, March 2009. , 29, 30
- [12] Jong-Ho Park, S. Aoyama, T. Watanabe, K. Isobe, and S. Kawahito. A high-speed low-noise cmos image sensor with 13-b column-parallel single-ended cyclic adcs. *Electron Devices, IEEE Transactions on*, 56(11) :2414–2422, Nov 2009. , 30, 31
- [13] Seunghyun Lim, Jimin Cheon, Youngcheol Chae, Wunki Jung, Dong-Hun Lee, Minho Kwon, Kwisung Yoo, Seogheon Ham, and Gunhee Han. A 240-frames/s 2.1-mpixel cmos image sensor with column-shared cyclic adcs. *Solid-State Circuits, IEEE Journal of*, 46(9) :2073–2083, Sept 2011. , 31, 32
- [14] Li Quanliang. A 12-bit compact column-parallel sar adc with dynamic power control technique for high-speed cmos image sensors. *Journal of Semiconductors*, 35(10) :1–8, october 2014. , 33, 34, 37
- [15] S. Matsuo, T.J. Bales, M. Shoda, S. Osawa, K. Kawamura, A. Andersson, Munirul Haque, H. Honda, B. Almond, Yaowu Mo, J. Gleason, T. Chow, and I. Takayanagi. 8.9-megapixel video image sensor with 14-b column-parallel sa-adc. *Electron Devices, IEEE Transactions on*, 56(11) :2380–2389, Nov 2009. , 34, 35, 37
- [16] Kwon O.-K. Shin M.-S. 14-bit two-step successive approximation adc with calibration circuit for high-resolution cmos imagers. *Electronics Letters*, 47(14) :790–791, July 2011. , 35, 36, 37
- [17] Youngcheol Chae, Jimin Cheon, Seunghyun Lim, Minho Kwon, Kwisung Yoo, Wunki Jung, Dong-Hun Lee, Seogheon Ham, and Gunhee Han. A 2.1 m pixels, 120 frame/s cmos image sensor with column-parallel  $\delta\sigma$  adc architecture. *Solid-State Circuits, IEEE Journal of*, 46(1) :236–247, Jan 2011. , 38, 39, 71
- [18] Jae hong Kim, Wun ki Jung, Seung hyun Lim, Yu jin Park, Won ho Choi, Yun jung Kim, Chang eun Kang, Ji hun Shin, Kyo jin Choo, Won baek Lee, Jin kyeong Heo, Byung jo Kim, Se jun Kim, Min ho Kwon, Kwi sung Yoo, Jin ho Seo, Seog heon Ham, Chi young Choi, and Gab soo Han. A 14b extended counting adc implemented in a 24mpixel aps-c cmos image sensor. In *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2012 IEEE International*, pages 390–392, Feb 2012. , 39, 40, 41
- [19] Y. Oike and A. El Gamal. Cmos image sensor with per-column  $\sigma\delta$  adc and programmable compressed. *Solid-State Circuits, IEEE Journal of*, 48(1) :318–328, Jan 2013. , 42
- [20] Lawrence W Fritz. Commercial earth observation satellites. *International Archives of Photogrammetry and Remote Sensing*, 31 :273–282, 1996. 5
- [21] Marc Fouquet and Martin Sweeting. Uosat-12 minisatellite for high performance earth observation at low cost. *Acta Astronautica*, 41(3) :173–182, 1997. 5

- [22] Herbert J Kramer. *Observation of the Earth and its Environment : Survey of Missions and Sensors*. Springer Science & Business Media, 2002. [5](#)
- [23] D.-H. Gwo, S. Wang, K.A. Bower, D.E. Davidson, P. Ehrenberger, L. Huff, E. Romero, M.T. Sullivan, K. Triebes, and J.A. Lipa. The gravity probe-b star-tracking telescope. *Advances in Space Research*, 32(7) :1401 – 1405, 2003. [5](#)
- [24] E. W. Dennison and R. H. Stanton. Ultra-precise star tracking using charge coupled devices (ccds), 1980. [5](#)
- [25] H Le Coroller, J Dejonghe, C Arpesella, D Vernet, and A Labeyrie. Tests with a carlina-type hypertelescope prototype-i. demonstration of star tracking and fringe acquisition with a balloon-suspended focal camera. *Astronomy & Astrophysics*, 426(2) :721–728, 2004. [5](#)
- [26] George E Smith. Nobel lecture : The invention and early history of the ccd. *Reviews of modern physics*, 82(3) :2307, 2010. [5](#)
- [27] Peter JW Noble. Self-scanned silicon image detector arrays. *IEEE Transactions on electron Devices*, 15(4) :202–209, 1968. [5](#)
- [28] Eric R Fossum. Active pixel sensors : Are ccds dinosaurs ? In *IS&T/SPIE's Symposium on Electronic Imaging : Science and Technology*, pages 2–14. International Society for Optics and Photonics, 1993. [5](#)
- [29] Olivier Saint-Pé, Michel Tulet, Robert Davancens, Franck Larnaudie, Bruno Vignon, Pierre Magnan, Jean A Farre, Franck Corbiere, and Philippe Martin-Gonthier. High-performance monolithic cmos detectors for space applications. In *International Symposium on Remote Sensing*, pages 318–327. International Society for Optics and Photonics, 2001. [5](#)
- [30] Olivier Saint-Pé, Michel Tulet, Robert Davancens, Franck Larnaudie, Pierre Magnan, Philippe Martin-Gonthier, Franck Corbiere, and Magali Etribeau. Space optical instruments optimisation thanks to cmos image sensor technology. In *Remote Sensing*, pages 597811–597811. International Society for Optics and Photonics, 2005. [5](#)
- [31] Jerome Goy, Bernard Courtois, Jean Michel Karam, and Francis Pressecq. Design of an aps cmos image sensor for space applications using standard cad tools and cmos technology, 2000. [5](#)
- [32] P. Martin-Gonthier, P. Magnan, F. Corbiere, S. Rolando, O. Saint-Pé, M. Breart de Boisanger, and F. Larnaudie. Cmos detectors for space applications : from r&d to operational program with large volume foundry, 2010. [5](#)
- [33] Kwang-Bo Cho, A. Krymski, and E. R. Fossum. A 3-pin 1.5 v 550 mu;w 176 times; 144 self-clocked cmos active pixel image sensor. In *Low Power Electronics and Design, International Symposium on*, 2001., pages 316–321, 2001. [6](#)

- [34] A Dickinson, S Mendis, D Inglis, K Azadet, and E Fossum. Cmos digital camera with parallel analog-to-digital conversion architecture. In *1995 IEEE Workshop on Charge Coupled Devices and Advanced Image Sensors*, 1995. [7](#)
- [35] E. R. Fossum. Low power camera-on-a-chip using cmos active pixel sensor technology. In *1995 IEEE Symposium on Low Power Electronics. Digest of Technical Papers*, pages 74–77, Oct 1995. [7](#)
- [36] Bernard Ginetti. A cmos 13-b cyclic rsd a/d converter. *JSSC*, 27(7) :957–965, July 1992. [16](#)
- [37] J.L. McCreary and P.R. Gray. All-mos charge redistribution analog-to-digital conversion techniques. i. *Solid-State Circuits, IEEE Journal of*, 10(6) :371–379, Dec 1975. [18](#)
- [38] H. Inose and Y. Yasuda. A unity bit coding method by negative feedback. *Proceedings of the IEEE*, 51(11) :1524–1535, Nov 1963. [19](#)
- [39] J. Candy. A use of limit cycle oscillations to obtain robust analog-to-digital converters. *IEEE Transactions on Communications*, 22(3) :298–305, Mar 1974. [19](#)
- [40] Richard Schreier and M Snelgrove. Bandpass sigma-delta modulation. *Electronics letters*, 25(23) :1560–1561, 1989. [20](#)
- [41] AM Thurston, TH Pearce, and MJ Hawksford. Bandpass implementation of the sigma-delta ad conversion technique. In *Analogue to Digital and Digital to Analogue Conversion, 1991., International Conference on*, pages 81–86. IET, 1991. [20](#)
- [42] S. Tewksbury and R. Hallock. Oversampled, linear predictive and noise-shaping coders of order  $n > 1$ . *IEEE Transactions on Circuits and Systems*, 25(7) :436–447, July 1978. [20](#)
- [43] Wai L Lee. A topology for higher order interpolative coders. In *Proc. IEEE Int. Symp. Circuits Syst.*, pages 459–462, 1987. [20](#)
- [44] Kuniharu Uchimura, Toshio Hayashi, Tadakatsu Kimura, and Atsushi Iwata. Over-sampling a-to-d and d-to-a converters with multistage noise shaping modulators. *IEEE Transactions on Acoustics, Speech, and Signal Processing*, 36(12) :1899–1905, 1988. [20](#)
- [45] Louis A Williams and Bruce A Wooley. Third-order cascaded sigma-delta modulators. *IEEE Transactions on Circuits and Systems*, 38(5) :489–498, 1991. [20](#)
- [46] P Benabes, A Gauthier, and R Kielbasa. New high-order universal sigma delta modulator. *Electronics Letters*, 31(1) :8–9, 1995. [20](#)
- [47] Tapani Ritoniemi, Teppo Karema, and Hannu Tenhunen. Design of stable high order 1-bit sigma-delta modulators. In *Circuits and Systems, 1990., IEEE International Symposium on*, pages 3267–3270. IEEE, 1990. [20](#)
- [48] LE Larson, T Cataltepe, and GC Temes. Multibit oversampled sigma-delta a/d convertor with digital error correction. *Electronics Letters*, 24(16) :1051–1052, 1988. [21](#)

- [49] Yafei Ye, Liyuan Liu, Jiangyuan Li, Dongmei Li, and Zhihua Wang. A 120db snr audio sigma-delta modulator with an asynchronous sar quantizer. In *Circuits and Systems (ISCAS), 2012 IEEE International Symposium on*, pages 2357–2360. IEEE, 2012. [21](#)
- [50] Seung-Chul Lee and Yun+++ Chiu. A 15-mhz bandwidth 1-0 mash sigmadelta adc with nonlinear memory error calibration achieving 85-dbc sfdr. *IEEE Journal of Solid-State Circuits*, 49(3) :695–707, 2014. [21](#)
- [51] Y. Xie, M. Zhang, B. Wei, and X. Fan. High-speed low-power decimation filter for wideband delta-sigma adc. In *2014 IEEE 57th International Midwest Symposium on Circuits and Systems (MWSCAS)*, pages 591–594, Aug 2014. [21](#)
- [52] R.J. van de Plassche. A sigma-delta modulator as an a/d converter. *Circuits and Systems, IEEE Transactions on*, 25(7) :510–514, Jul 1978. [21](#)
- [53] J. Robert, G. C. Temes, V. Valencic, R. Dessoulavy, and P. Deval. A 16-bit low-voltage cmos a/d converter. *IEEE Journal of Solid-State Circuits*, 22(2) :157–163, Apr 1987. [21](#)
- [54] J. Garcia, S. Rodriguez, and A. Rusu. A low-power ct incremental 3rd order /spl sigma//spl delta/ adc for biosensor applications. *IEEE Transactions on Circuits and Systems I : Regular Papers*, 60(1) :25–36, Jan 2013. [23](#)
- [55] R. Schreier, H. Shibata, P. Hendriks, M. Aliroteh, V. Kozlov, H. K. Tong, A. Del Muro, P. Shrestha, T. Caldwell, D. Alldred, W. Yang, D. Paterson, and P. W. Lai. An if digitizer ic employing a continuous-time bandpass delta-sigma adc. In *2012 IEEE Radio Frequency Integrated Circuits Symposium*, pages 323–326, June 2012. [23](#)
- [56] P. C. Lee, W. Y. Chung, and M. A. Te. Incremental delta-sigma a/d converter for ion-sensitive system application. In *2010 IEEE Asia Pacific Conference on Circuits and Systems*, pages 1035–1038, Dec 2010. [23](#)
- [57] V. Quiquempoix, P. Deval, A. Barreto, G. Bellini, J. Markus, J. Silva, and G.C. Temes. A low-power 22-bit incremental adc. *JSSC*, 41(7) :1562–1571, July 2006. [23, 45](#)
- [58] Sam Kavusi. On incremental sigma-delta modelingdulation with optimal filtering. *Transactions and Studies of the College of Physicians of Philadelphia*, 53(5) :1004–1015, may 2006. [23, 45](#)
- [59] S. Maréchal, F. Krummenacher, and M. Kayal. Optimal filtering of incremental first-order sigma-delta modulators with sweep input. In *2010 17th IEEE International Conference on Electronics, Circuits and Systems*, pages 539–542, Dec 2010. [23](#)
- [60] W. Yu, M. Aslan, and G. C. Temes. 82 db snr 20-channel incremental adc with optimal decimation filter and digital correction. In *IEEE Custom Integrated Circuits Conference 2010*, pages 1–4, Sept 2010. [23](#)

- [61] S. Maréchal, F. Krummenacher, and M. Kayal. Optimal filtering of an incremental second-order mash11 sigma-delta modulator. In *2011 18th IEEE International Conference on Electronics, Circuits, and Systems*, pages 240–243, Dec 2011. [23](#)
- [62] A. Mehrabi, M. Ranjbar, and O. Oliaei. Multibit incremental data converters with reduced sensitivity to mismatch. In *2008 IEEE International Symposium on Circuits and Systems*, pages 1436–1439, May 2008. [23](#)
- [63] Y. Liu, E. Bonizzoni, and F. Maloberti. High-order multi-bit incremental converter with smart-dem algorithm. In *2013 IEEE International Symposium on Circuits and Systems (ISCAS2013)*, pages 157–160, May 2013. [23](#)
- [64] L. Rossi, S. Tanner, and P. A. Farine. A 16-bit, 150-uw, 1-ks/s adc with hybrid incremental and cyclic conversion scheme. In *2009 16th IEEE International Conference on Electronics, Circuits and Systems - (ICECS 2009)*, pages 751–754, Dec 2009. [23](#)
- [65] L. Rossi, S. Tanner, and P. A. Farine. Performance analysis of a hybrid incremental and cyclic a/d conversion principle. *IEEE Transactions on Circuits and Systems I : Regular Papers*, 56(7) :1383–1390, July 2009. [24](#)
- [66] R. H. Walden. Analog-to-digital converter survey and analysis. *IEEE Journal on Selected Areas in Communications*, 17(4) :539–550, Apr 1999. [25](#)
- [67] N. Cho, B. Song, K. Kim, J. Burn, and S. W. Han. A vga cmos image sensor with 11-bit column parallel single-slope adcs. In *2010 International SoC Design Conference*, pages 25–27, Nov 2010. [27](#), [30](#)
- [68] Yue Chen, Yang Xu, A.J. Mierop, and A.J.P. Theuwissen. Column-parallel digital correlated multiple sampling for low-noise cmos image sensors. *Sensors Journal, IEEE*, 12(4) :793–799, April 2012. [28](#), [30](#)
- [69] J. Cheon and G. Han. Noise analysis and simulation method for a single-slope adc with cds in a cmos image sensor. *IEEE Transactions on Circuits and Systems I : Regular Papers*, 55(10) :2980–2987, Nov 2008. [28](#)
- [70] S. Okura, O. Nishikido, Y. Sadanaga, Y. Kosaka, N. Araki, K. Ueda, and F. Morishita. A 3.7 m-pixel 1300-fps cmos image sensor with 5.0 g-pixel/s high-speed readout circuit. *Solid-State Circuits, IEEE Journal of*, 50(4) :1016–1024, April 2015. [28](#)
- [71] S. Kleinfelder, SukHwan Lim, Xinqiao Liu, and A. El Gamal. A 10000 frames/s cmos digital pixel sensor. *IEEE Journal of Solid-State Circuits*, 36(12) :2049–2059, Dec 2001. [28](#)
- [72] Yeonseong Hwang, Seongjoo Lee, and Minkyu Song. Design of a cmos image sensor with a 10-bit two-step single-slope a/d converter and a hybrid correlated double sampling. In *2014 10th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME)*, pages 1–4, June 2014. [29](#), [30](#)

- [73] J. Lee, J. Lee, and J. Burm. A cmos image sensor with non-memory capacitor two-step single slope adc for high frame rate. In *2015 International SoC Design Conference (ISOCC)*, pages 333–334, Nov 2015. [29](#), [30](#)
- [74] M. Furuta, Y. Nishikawa, T. Inoue, and Shoji Kawahito. A high-speed, high-sensitivity digital cmos image sensor with a global shutter and 12-bit column-parallel cyclic a/d converters. *Solid-State Circuits, IEEE Journal of*, 42(4) :766–774, April 2007. [30](#), [32](#)
- [75] M. Mase, S. Kawahito, M. Sasaki, Y. Wakamori, and M. Furuta. A wide dynamic range cmos image sensor with multiple exposure-time signal outputs and 12-bit column-parallel cyclic a/d converters. *IEEE Journal of Solid-State Circuits*, 40(12) :2787–2795, Dec 2005. [30](#), [32](#)
- [76] T. Watabe, K. Kitamura, T. Sawamoto, T. Kosugi, T. Akahori, T. Iida, K. Isobe, T. Watanabe, H. Shimamoto, H. Ohtake, S. Aoyama, S. Kawahito, and N. Egami. A 33mpixel 120fps cmos image sensor using 12b column-parallel pipelined cyclic adcs. In *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2012 IEEE International*, pages 388–390, Feb 2012. [31](#), [32](#)
- [77] Jong-Ho Park, S. Aoyama, T. Watanabe, T. Akahori, T. Kosugi, K. Isobe, Y. Kaneko, Zheng Liu, K. Muramatsu, T. Matsuyama, and S. Kawahito. A 0.1e- vertical fpn 4.7e-read noise 71db dr cmos image sensor with 13b column-parallel single-ended cyclic adcs. In *Solid-State Circuits Conference - Digest of Technical Papers, 2009. ISSCC 2009. IEEE International*, pages 268–269,269a, Feb 2009. [32](#)
- [78] Zhimin Zhou, B. Pain, and E.R. Fossum. Cmos active pixel sensor with on-chip successive approximation analog-to-digital converter. *Electron Devices, IEEE Transactions on*, 44(10) :1759–1763, Oct 1997. [33](#)
- [79] A.I. Krymski, N.E. Bock, Nianrong Tu, D. Van Blerkom, and E.R. Fossum. A high-speed, 240-frames/s, 4.1-mpixel cmos sensor. *Electron Devices, IEEE Transactions on*, 50(1) :130–135, Jan 2003. [33](#)
- [80] Shan-Ju Tsai, Yen-Chun Chen, Chih-Cheng Hsieh, Wen-Hsu Chang, Hann-Huei Tsai, and Chin-Fong Chiu. A column-parallel sa adc with linearity calibration for cmos imagers. In *Sensors, 2012 IEEE*, pages 1–4, Oct 2012. [33](#), [37](#)
- [81] Ruoyu Xu, Bing Liu, and Jie Yuan. A 1500 fps highly sensitive 256 x 256 cmos imaging sensor with in-pixel calibration. *Solid-State Circuits, IEEE Journal of*, 47(6) :1408–1418, June 2012. [34](#), [37](#)
- [82] Ruoyu Xu, Bing Liu, and Jie Yuan. Digitally calibrated 768-ks/s 10-b minimum-size sar adc array with dithering. *Solid-State Circuits, IEEE Journal of*, 47(9) :2129–2140, Sept 2012. [34](#)
- [83] Ruoyu Xu, Wai Chiu Ng, Jie Yuan, Shouyi Yin, and Shaojun Wei. A 1/2.5 inch vga 400 fps cmos image sensor with high sensitivity for machine vision. *Solid-State Circuits, IEEE Journal of*, 49(10) :2342–2351, Oct 2014. [34](#), [37](#)

- [84] Shengyou Zhong. A small-area low-power adc array for image sensor applications. In ASICON, editor, *ASICON*, ASICON. IEEE, 2013. [34](#), [37](#)
- [85] Jong-Boo Kim, Seong-Kwan Hong, and Oh-Kyong Kwon. A low-power cmos image sensor with area-efficient 14-bit two-step sa adcs using pseudomultiple sampling method. *Circuits and Systems II : Express Briefs, IEEE Transactions on*, 62(5) :451–455, May 2015. [35](#), [37](#)
- [86] Jin-Yi Lin, Kluang-Han Chang, Chen-Che Kao, Shih-Chin Lo, Yan-Jiun Chen, Pei-Chen Lee, Chi-Hui Chen, Chin Yin, and Chih-Cheng Hsieh. An 8-bit column-shared sar adc for cmos image sensor applications. In *Circuits and Systems (ISCAS), 2015 IEEE International Symposium on*, pages 301–304, May 2015. [36](#)
- [87] R. Funatsu, S. Huang, T. Yamashita, K. Stevulak, J. Rysinski, D. Estrada, Shi Yan, T. Soeno, T. Nakamura, T. Hayashida, H. Shimamoto, and B. Mansoorian. 133mpixel 60fps cmos image sensor with 32-column shared high-speed column-parallel sar adcs. In *Solid- State Circuits Conference - (ISSCC), 2015 IEEE International*, pages 1–3, Feb 2015. [36](#), [37](#)
- [88] A. Mahmoodi and D. Joseph. Optimization of delta-sigma adc for column-level data conversion in cmos image sensors. In *Instrumentation and Measurement Technology Conference Proceedings, 2007. IMTC 2007. IEEE*, pages 1–6, May 2007. [36](#), [39](#)
- [89] Adi Xhakoni. A 132-db dynamic-range global-shutter stacked architecture for high-performance imagers. *Transaction on Circuits and Systems*, 61(6) :398–402, june 2014. [37](#), [39](#)
- [90] Youngcheol Chae and Gunhee Han. Low voltage, low power, inverter-based switched-capacitor delta-sigma modulator. *Solid-State Circuits, IEEE Journal of*, 44(2) :458–472, Feb 2009. [38](#), [71](#), [75](#)
- [91] Biao Wang. A 1.8-v 14-bit inverter-based incremental sd adc for cmos image sensor. In ASICON, editor, *ASICON*, ASICON, IEEE, 2013. [38](#), [39](#), [79](#)
- [92] Fang Tang, Bo Wang, and A. Bermak. 80db dynamic range 100khz bandwidth inverter-based sigmadelta adc for cmos image sensor. In *Circuits and Systems (ISCAS), 2012 IEEE International Symposium on*, pages 3094–3097, May 2012. [38](#), [39](#), [75](#)
- [93] Min-Woong Seo, Sung-Ho Suh, T. Iida, T. Takasawa, K. Isobe, T. Watanabe, S. Itoh, K. Yasutomi, and Shoji Kawahito. A low-noise high intrascene dynamic range cmos image sensor with a 13 to 19b variable-resolution column-parallel folding-integration/cyclic adc. *Solid-State Circuits, IEEE Journal of*, 47(1) :272–283, Jan 2012. [39](#)
- [94] Min-Woong Seo. A low-noise high-dynamic-range 17b 1.3megapixel 30-fps cmos image sensor with column-parallel two-stage folding-integration/cyclic adc. *Transactions on Electron Devices*, 59(12) :3396–3400, november 2012. [39](#), [41](#)

- [95] Cencen Gao, Dong Wu, Hui Liu, Nan Xie, and Liyang Pan. An ultra-low-power extended counting adc for large scale sensor arrays. In *Circuits and Systems (ISCAS), 2014 IEEE International Symposium on*, pages 81–84, June 2014. [40](#), [41](#)
- [96] Z. Zhang, Y. Zhang, M. Fair, M. Zhao, D. Liu, W. Lu, and Z. Chen. A low-power 14-bit hybrid incremental sigma-delta/cyclic adc for x-ray sensor array. In *2016 IEEE International Nanoelectronics Conference (INEC)*, pages 1–2, May 2016. [40](#), [41](#)
- [97] Min-Seok Shin, Jong-Boo Kim, Yun-Rae Jo, Min-Kyu Kim, Bong-Choon Kwak, Hyeyon-Cheon Seol, and Oh-Kyong Kwon. Cmos x-ray detector with column-parallel 14.3-bit extended-counting adcs. *Electron Devices, IEEE Transactions on*, 60(3) :1169–1177, March 2013. [40](#), [41](#)
- [98] M.-S. Shin, J.-B. Kim, and O.-K. Kwon. 14.3-bit extended counting adc with built-in binning function for medical x-ray cmos imagers. *Electronics Letters*, 48(7) :361–363, March 2012. [40](#)
- [99] Mengyun Yue, Dong Wu, and Zheyao Wang. Data compression for image sensor arrays using a 15-bit two-step sigma sigmadelta adc. *Sensors Journal, IEEE*, 14(9) :2989–2998, Sept 2014. [42](#)
- [100] Mengyun Yue, Dong Wu, and Zheyao Wang. A 15-bit two-step sigma-delta adc with embedded compression for image sensor array. In *Circuits and Systems (ISCAS), 2013 IEEE International Symposium on*, pages 2038–2041, May 2013. [42](#)
- [101] C. H. Chen, Y. Zhang, T. He, P. Y. Chiang, and G. C. Temes. A 11 uw 250 hz bw two-step incremental adc with 100 db dr and 91 db snrd for integrated sensor interfaces. In *Proceedings of the IEEE 2014 Custom Integrated Circuits Conference*, pages 1–4, Sept 2014. [45](#)
- [102] C.-H. Chen, Y. Zhang, T. He, P.Y. Chiang, and G.C. Temes. A micro-power two-step incremental analog-to-digital converter. *Solid-State Circuits, IEEE Journal of*, PP(99) :1–13, 2015. [45](#)
- [103] Trevor C. Caldwell. Incremental data converters at low oversampling ratios. *Transactions on Circuits and Systems*, 57(7) :1525–1537, july 2010. [60](#)
- [104] K. Martin and A. Sedra. Effects of the op amp finite gain and bandwidth on the performance of switched-capacitor filters. *IEEE Transactions on Circuits and Systems*, 28(8) :822–829, Aug 1981. [65](#), [66](#)
- [105] Youngcheol Chae, Minho Kwon, and Gunhee Han. A 0.8-  $\mu$ w switched-capacitor sigma-delta modulator using a class-c inverter. In *Circuits and Systems, 2004. ISCAS '04. Proceedings of the 2004 International Symposium on*, volume 1, pages I-1152–5 Vol.1, May 2004. [71](#)
- [106] H Daoud Dammak, S Bensalem, S Zouari, and M Loulou. Design of folded cascode ota in different regions of operation through gm/id methodology. *International Journal of Electrical and Electronics Engineering*, 1(3) :178–183, 2008. [71](#)

- [107] F. Silveira, D. Flandre, and P. G. A. Jespers. A gm/id based methodology for the design of cmos analog circuits and its application to the synthesis of a silicon-on-insulator micropower ota. *IEEE Journal of Solid-State Circuits*, 31(9) :1314–1319, Sep 1996. [72](#)
- [108] K Nagaraj, K Singhal, TR Viswanathan, and J Vlach. Reduction of finite-gain effect in switched-capacitor filters. *Electronics Letters*, 21(15) :644–645, 1985. [74](#)
- [109] Mohamed Atef, Hong Chen, and Horst Zimmermann. 10gb/s inverter based cascode transimpedance amplifier in 40nm cmos technology. In *Design and Diagnostics of Electronic Circuits & Systems (DDECS), 2013 IEEE 16th International Symposium on*, pages 72–75. IEEE, 2013. [77](#)
- [110] H. Luo, Y. Han, R. C. C. Cheung, X. Liu, and T. Cao. A 0.8-v 230-  $\mu$  w 98-db dr inverter-based  $\sigma\delta$  modulator for audio applications. *IEEE Journal of Solid-State Circuits*, 48(10) :2430–2441, Oct 2013. [77](#)
- [111] George Souliotis, Costas Laoudias, and Nikolaos Terzopoulos. An offset cancelation technique for latch type sense amplifiers. *Radioengineering*, 23(4) :1121, 2014. [84](#)
- [112] A Manikandan, J Ajayan, C Kavin, S Karthick, and D Nirmal. A comparative study of high performance dynamic comparators using strained silicon technology. In *Electronics and Communication Systems (ICECS), 2015 2nd International Conference on*, pages 130–135. IEEE, 2015. [84](#)
- [113] Mostafa M Ayesh, Sameh Ibrahim, and Mohamed M Aboudina. Design and analysis of a low-power high-speed charge-steering based strongarm comparator. In *Microelectronics (ICM), 2016 28th International Conference on*, pages 209–212. IEEE, 2016. [84](#)

**Titre :** Etude et conception de CAN haute résolution pour le domaine de l'imagerie

**Mots clés :** CAN, imagerie, sigma delta incrémental, inverter-based

**Résumé :** Cette thèse porte sur la conception et la réalisation de convertisseurs analogique/numérique (ADC) haute résolution dans le domaine de l'imagerie spatiale en technologie 0.18  $\mu\text{m}$ .

Un imageur CMOS est un système destiné à acquérir des informations lumineuses et les convertir en données numériques afin que celles-ci soient traitées. Ce système est composé d'une matrice de pixels, d'ADC, de registres et de blocs de signaux de commande afin de rendre toutes ces données disponibles. Avec la taille grandissante de la matrice de pixels et la cadence d'image par seconde croissante, l'ADC doit réaliser de plus en plus de conversions en moins de temps et est donc devenu l'un des « bottleneck » les plus importants dans les systèmes d'imagerie. Une solution adaptée a donc été le développement d'ADC colonne situé en bout de colonnes de pixels afin de réaliser des conversions en parallèles et c'est ce sujet qui va m'intéresser.

Dans une première partie, n'ayant pas de contraintes sur l'architecture d'ADC à utiliser, une étude de l'état de l'art des ADC pour l'imagerie est réalisée ainsi que les spécifications visées pour notre application. Une architecture sigma-delta incrémental à deux étapes semble la plus prometteuse et va être développée. Ensuite, une étude théorique de l'ADC choisi, et plus particulièrement du modulateur sigma-delta à utiliser est effectuée, afin notamment de déterminer l'ordre de ce modulateur, mais également le nombre de cycles de cette conversions. Une fois les paramètres de modélisation définis, un schéma transistor est réalisé au niveau transistor, avec une particularité au niveau de l'amplificateur utilisé. En effet, afin de gagner en surface qui est l'un des points importants dans les systèmes d'imagerie, un inverseur est utilisé. Une étude de cette inverseur, afin de choisir le plus adapté à notre besoin est effectuée avec des simulations montecarlo et aux « corners ». Pour finir, un routage global de l'ADC est réalisé afin de pouvoir comparer ces performances à l'état de l'art.

**Title :** Design of high resolution analog-to-digital converters for CMOS image sensors

**Keywords :** ADC, image sensor, incremental sigma delta, inverter-based

**Abstract :** This thesis deals with the conception and design of high resolution analog-to-digital converters (ADC) for CMOS image sensor (CIS) applications with the 0.18  $\mu\text{m}$  technology. A CIS is a system able to convert light to digital data to be processed. This system includes a pixel array, ADCs, registers and a set of clocks to acquire and transport the data. At the beginning, a single ADC was used for the whole matrix of pixels, converting the pixel value in a sequential way. With the growing size of the pixel array and the increasing frame rate, the ADC became one of the bottleneck of these system. A solution was found to use column ADC, located at the bottom of each column in order to parallelize the conversions. These

column ADC are going to be my point of interest in this thesis.

First of all, a state of the art of the ADC for CIS is realized in order to determine the best architecture to use. A two-step incremental sigma-delta is chosen and investigated. A theoretical analysis is done, especially on the modulator in order to determine the order of this modulator and the oversampling ratio of the conversion. Then a schematic is realized, with a special feature on the amplifier. Indeed, an inverter is used as amplifier in order to reduce the size of the ADC. A montecarlo and corner studies are then realized on the ADC, a layout is proposed and the ADC is compared to the state of the art of the ADC for CIS.