

Table des matières

Introduction générale.....	1
Références bibliographiques de l'introduction générale.....	3

Chapitre 1- Contexte de l'étude et état de l'art sur les interconnexions coplanaires sur silicium

Introduction	7
1. Problématique du substrat silicium pour des applications passives micro-ondes et millimétriques	7
<i>a- Pertes ohmiques</i>	<i>9</i>
<i>b- Pertes diélectriques.....</i>	<i>10</i>
<i>c- Pertes radiatives</i>	<i>11</i>
2. Etat de l'art sur les solutions technologiques utilisées pour améliorer les performances des circuits passifs sur silicium aux fréquences micro-ondes et millimétriques	12
2.1. Modification du substrat	12
<i>a- Substrat silicium haute résistivité (SiHR).....</i>	<i>12</i>
<i>b- Passivation du substrat silicium haute résistivité.....</i>	<i>12</i>
<i>c- Implantation ionique</i>	<i>14</i>
<i>d- Silicium poreux</i>	<i>15</i>
<i>e- Silicium sur oxyde (SOI)</i>	<i>15</i>
2.2. Micro-usinage du substrat.....	16
2.3. Eloignement du substrat.....	17
2.4. Technologies tridimensionnelles	18
Conclusion.....	21
Références bibliographiques du chapitre 1	23

Chapitre 2- Optimisation des performances des circuits passifs sur silicium basse résistivité pour des applications micro-ondes et millimétriques

Introduction	29
1. Technologie faibles pertes à base de polymère	29
1.1. Lignes de transmission coplanaires sur une couche épaisse organique..	30
1.2. Filière technologique.....	31
1.2.1. Impact du nettoyage du substrat	32
1.2.2. Couche diélectrique organique	34
a- <i>Choix du matériau polymère</i>	34
(i). Les polyimides.....	35
(ii). Polymères photosensibles - BenzoCycloButène	35
b- <i>Comparaison entre des lignes de transmission coplanaires sur polymère et sur polyimide</i>	36
c- <i>Procédé technologique pour le dépôt de BCB</i>	38
1.2.3. Dépôt métallique	39
a- <i>Dépôt électrolytique pleine plaque</i>	40
b- <i>Dépôt localisé dans un moule de résine épaisse</i>	41
1.2.4. Gravure de la couche d'accrochage	41
1.3. Caractérisation des lignes coplanaires sur polymère	42
1.3.1. Impact de la résistivité du substrat silicium sur les performances micro-ondes d'une ligne CPW sur polymère	42
1.3.2. Impact des dimensions coplanaires sur les performances micro-ondes d'une ligne coplanaire sur polymère	44
a- <i>Largeur du conducteur central</i>	44
b- <i>Largeur des fentes coplanaires</i>	45
1.3.3. Impact de l'épaisseur de BCB	47
1.3.4. Comportement des lignes CPW sur BCB en température	51
1.4. Ligne coplanaire dans un milieu quasi-homogène en polymère	51
<hr/> Développement de filières technologiques dédiées à l'intégration de microsystèmes millimétriques sur silicium	

2. Techniques de micro-usinage de surface.....	53
2.1. Lignes CPW avec un micro-usinage de BCB dans les fentes coplanaires	54
2.1.1. Procédé technologique de gravure du BCB	54
a- <i>Masque de gravure RIE du BCB</i>	56
b- <i>Gravure SF₆/O₂</i>	57
c- <i>Gravure CF₄/O₂</i>	58
d- <i>Gravure CHF₃/O₂</i>	58
2.1.2. Caractérisation des lignes CPW avec une gravure de BCB dans les fentes coplanaires	59
2.2. Lignes CPW avec un micro-usinage de surface du BCB et du substrat silicium dans les fentes.....	62
2.2.1. Procédé technologique	62
2.2.2. Caractérisation micro-ondes	64
2.3. Lignes coplanaires sur polymère avec silicium micro-usiné en surface.	66
2.3.1. Impact de la gravure latérale du silicium dans les fentes coplanaires	66
2.3.2. Impact de la profondeur de silicium micro-usiné sur les performances micro-ondes d'une ligne CPW	69
2.3.3. Correspondance entre les performances des lignes CPW micro-usinées et des lignes CPW sur une couche épaisse de BCB sans micro-usinage	71
3. Lignes CPW suspendues sur une membrane BCB	74
3.1. Procédé technologique	75
3.2. Etude de la rigidité mécanique d'une membrane BCB.....	76
3.3. Test de choc et de vibration	77
3.4. Caractérisation micro-ondes des lignes CPW suspendues sur une membrane BCB	77
4. Synthèse générale.....	79

Conclusion	79
Références bibliographiques du chapitre 2	81

Chapitre 3- Application des filières technologiques développées à des filtres et antennes

Introduction	87
1. Application aux filtres passe-bandes coplanaires.....	88
1.1. Méthode de conception utilisée.....	88
1.1.1. Gabarit et topologie choisis du filtre.....	88
1.1.2. Modélisation de discontinuités coplanaires	90
1.1.3. Procédure de conception du filtre	91
1.2. Elaboration du filtre coplanaire à l'aide de la filière technologique sur polymère	92
1.2.1. Bibliothèque de discontinuités coplanaires pour la filière technologique sur polymère	92
1.2.2. Caractérisation du filtre.....	94
1.2.3. Impact des dispersions technologiques.....	96
a- <i>Sur les discontinuités coplanaires</i>	96
b- <i>Sur le filtre coplanaire</i>	97
(i). Discontinuité coplanaire centrale	98
(ii). Discontinuité coplanaire d'entrée-sortie (E/S)	99
1.3. Homogénéisation du milieu de propagation avec une couche de polymère supplémentaire	100
1.3.1. Application aux filtres coplanaires sur polymère	100
1.3.2. Application au filtre coplanaire micro-usiné en surface.....	101
1.4. Comparaison des performances des filtres réalisés sur polymère et silicium massif et sur membrane polymère.....	103
2. Antennes planaires	105

2.1. Antennes sur couche épaisse organique avec et sans micro-usinage de surface du silicium.....	105
2.2. Antennes planaires avec tranchées.....	107
2.3. Antennes planaires suspendues sur une membrane BCB	108
2.4. Impact de la technique de micro-usinage sur les performances des antennes planaires.....	110
Conclusion.....	111
Références bibliographiques du chapitre 3	113

Chapitre 4- Compatibilité de briques technologiques nécessaires à l'intégration monolithique de composants passifs avec des circuits actifs SiGe

Introduction	117
1. Etapes technologiques nécessaires à l'intégration monolithique de circuits suspendus.....	118
2. Impact de la température sur les caractéristiques des transistors TBHs-SiGe	120
2.1. Influence de la température sur les caractéristiques statiques des TBH-SiGe	120
2.2. Impact de la température sur les caractéristiques en bruit basse fréquence (BF).....	122
2.2.1. Mesures préalables des transistors TBHs-SiGe en bruit BF.....	122
2.2.2. Post-mesures des transistors TBHs-SiGe en bruit BF après recuits thermiques	124
3. Développement des interconnexions verticales.....	125
3.1. Procédé technologique	126
3.2. Impact des dimensions des vias métalliques.....	126

4. Impact des étapes technologiques en post-processing sur les performances des circuits actifs	128
4.1. Impact du procédé technologique du BCB	128
4.1.1. Procédé technologique	128
4.1.2. Impact du procédé BCB sur les performances des transistors TBHs-SiGe	129
4.2. Impact du traitement plasma	130
4.3. Impact de dépôt PECVD de nitrule de silicium	132
4.4. Impact de micro-usinage profond du substrat silicium.....	134
4.4.1. Etude de la technique de gravure humide (KOH)	134
a- <i>Choix du masque de gravure: SiN PECVD</i>	134
b- <i>Gravure humide KOH.....</i>	136
4.4.2. Etude de la technique de gravure sèche (DRIE).....	138
4.4.3. Compatibilité de la gravure profonde du silicium	139
4.4.4. Impact du micro-usinage de volume sur les performances des inductances intégrées.....	143
Conclusion.....	145
Références bibliographiques du chapitre 4	147
Conclusion générale	151

Introduction Générale

Introduction générale

Il y a quelques années, les systèmes de communications et détection micro-ondes et millimétriques étaient réservées spécialement aux applications militaires (satellites, radars, systèmes de détection et de guidage...), en utilisant des circuits à base de technologies III-V et plus particulièrement de l'arséniure de gallium (GaAs). Mais avec l'explosion extraordinaire du marché de télécommunications mobiles et l'augmentation permanente des services de communications offerts et donc du nombre d'utilisateurs du spectre fréquentiel, les bandes de fréquences radiofréquences (RF) sont saturées. En conséquence, des bandes de fréquences micro-ondes et millimétriques sont à présent allouées à des applications grand public (télécommunications satellitaires, guidage, systèmes intelligents...) [1]-[5]. A ce stade et face aux enjeux économiques, le coût devient un facteur clé dans la réalisation de microsystèmes. L'utilisation des technologies III-V présente donc un grand handicap pour des applications "bon marché". En conséquence, le développement de technologies innovantes assurant aux circuits intégrés micro-ondes et millimétriques d'excellentes performances, un grand degré d'intégration avec un encombrement et coût réduits, est devenu plus que jamais une priorité pour l'industrie microélectronique.

Dans cette optique, la technologie silicium constitue le candidat idéal pour satisfaire à ces exigences grâce à sa maturité, son faible coût par rapport à son homologue l'arséniure de gallium, sa grande capacité d'intégration et la possibilité de réaliser des circuits intégrés à base de technologies SiGe ou CMOS. Historiquement, le silicium a été proposé pour la première fois par Hyltin en 1965 [6] comme substrat diélectrique pour les circuits planaires micro-ondes. Ensuite, en 1981 le groupe RCA [7] a suggéré l'utilisation du silicium comme substrat pour les circuits intégrés monolithiques à ondes millimétriques (Si-MMICs: Silicon-based Monolithic Millimeter-wave Integrated Circuits). Depuis, les activités de recherche (aux Etats-Unis, en Europe et au Japon) ne cessent de donner d'intérêt à ce matériau semi-conducteur. Cela a été encouragé par les progrès impressionnantes qu'ont connus récemment les dispositifs actifs en particulier les transistors bipolaires à hétérojonctions (TBH) basées sur une technologie silicium-germanium (SiGe) avec une fréquence de transition (f_T) dépassant actuellement 200 GHz [8]. Ceci permet d'envisager l'intégration simultanée des circuits numériques et analogiques sur substrat silicium non plus uniquement aux radiofréquences, mais aussi dans la gamme micro-onde et millimétrique.

Cependant, la forte tangente de pertes et la faible résistivité du silicium standard dégradent fortement les performances des circuits passifs (tels que interconnexions, filtres, inductances et antennes) aux fréquences micro-ondes et millimétriques [9]. Ainsi, plusieurs approches technologiques ont été développées pour minimiser ces effets négatifs, avec l'exploitation des techniques de micro-usinage ou encore l'utilisation de polyimides.

Nos travaux de recherches s'inscrivent dans ce contexte et consistent à développer de nouvelles filières technologiques à hautes performances afin de faciliter l'utilisation du substrat silicium aux fréquences micro-ondes et millimétriques et permettre une intégration monolithique de composants passifs avec des circuits intégrés issus des technologies CMOS ou SiGe pour un coût réduit. Etant donné ce type d'intégration, nos recherches se sont focalisées sur le développement de filière uniplanaire plutôt que micro-ruban.

Dans le premier chapitre de ce manuscrit, nous allons expliquer les mécanismes à l'origine des pertes dans les interconnexions coplanaires sur substrat silicium et nous exposerons par la suite l'état de l'art des différentes approches technologiques proposées pour contourner ces inconvénients.

Dans le second chapitre, nous présenterons les différentes filières technologiques que nous avons développées. La première consiste à intercaler entre les circuits passifs et le silicium une couche épaisse de polymère à faibles pertes. La deuxième approche est basée sur la combinaison de micro-usinage de surface et de polymère. La dernière solution consiste à supprimer totalement le substrat silicium pour suspendre les circuits passifs planaires sur une fine membrane en polymère. Une ligne de transmission coplanaire (CPW) sera utilisée à ce stade comme démonstrateur pour évaluer les potentialités de chacune de ces issues technologiques. Nous conclurons ce chapitre par une synthèse générale des résultats obtenus pour les différentes filières technologiques développées.

Nous procéderons, dans le troisième chapitre, à la mise en application des filières technologiques faibles pertes développées à la réalisation des circuits planaires plus complexes. La première partie sera alors consacrée à la conception et réalisation de filtres passe-bandes coplanaires millimétriques centrés à 60 GHz, tandis que la seconde sera focalisée sur l'élaboration d'antennes planaires fonctionnant dans la bande 24 GHz ISM.

Le quatrième et dernier chapitre de ce mémoire sera consacré à l'intégration monolithique tridimensionnelle (3D) de composants passifs micro-ondes et millimétriques suspendus sur une membrane épaisse en polymère avec des circuits actifs à base d'une

technologie silicium-germanium (SiGe). La première partie de ce chapitre décrira les étapes technologiques nécessaires à une telle intégration à faible coût et à forte densité. La seconde partie se focalisera sur l'étude de la compatibilité des post-procédés technologiques utilisés avec les circuits intégrés MMICs.

Les travaux de recherche présentés dans ce mémoire s'inscrivent dans le cadre du projet IST Européen nommé ARTEMIS et dont le thème portait sur l'élaboration de systèmes d'émission-réception exploitant le micro-usinage de structures Si/SiGe pour application radar à 24 GHz.

Références bibliographiques de l'introduction générale

- [1] H. H. Meinel, "Commercial applications of millimeterwaves history, present status and future trends," IEEE Trans. Microwave Theory Tech., Vol. 43, No. 7, pp. 1639–1653, July. 1995
- [2] H. H. Meinel, "Automotive radar and related traffic applications of millimeterwaves," Millimeterwaves topical symposium, pp. 151-154, July 1997
- [3] J. Wenger, "Automotive mm-wave radar: Status and trends in system design and technolgy," IEE Colloquium on Automotive Radar and Navigation Techniques, pp. 1/1-1/7, Feb. 1998
- [4] I. Gresham, A. Jenkins, R. Egri, C. Eswarappa, F. Kolak, R. Wohlert, J. Bennett, J-P. Lanteri, "Ultra wide band 24 GHz automotive radar front-end," IEEE Radio Frequency Integrated Circuits Symposium, pp. 505-508, June 2003
- [5] F. Giannetti, M. Luise, R. Reggiannini, "Mobile personal communications 60 GHz band survey," Wireless Personal Communications, Vol. 10, No. 2, pp. 207-243, July 1999
- [6] T. M. Hyltin, "Microstrip transmission on semiconductor dielectrics," IEEE Trans. Microwave Theory Tech., Vol. MTT-13, pp. 777–781, Nov. 1965
- [7] A. Rosen, M. Caulton, P. Stabile, A. M. Gombar, W. M. Janton, C. P. Wu, J. F. Corboy, and C. W. Magee, "Silicon as a millimeter-wave monolithically integrated substrate," RCA Rev., Vol. 42, pp. 633–660, Dec. 1981
- [8] J.-S. Rieh, B. Jagannathan, H. Chen, K. T. Schonenberg, S.-J. Jeng, M. Khater, D. Ahlgren, G. Freeman, S. Subbanna, "Performance and design considerations for high speed SiGe HBT's of $f_T/f_{max} = 375$ GHz/210 GHz," Indium Phosphide and Related Materials Int. Conf., pp. 374–377, 2003
- [9] W. Heinrich, J. Gerdes, F. J. Schmückel, C. Rheinfelder, K. Strohm, "Coplanar Passive Elements on Si Substrate for Frequencies up to 110 GHz," IEEE Trans. Microwave Theory and Techniques, Vol. 46, No. 5, pp. 709-712, May 1998

Contexte de l'étude et état de l'art sur les interconnexions coplanaires sur silicium

Chapitre 1- Contexte de l'étude et état de l'art sur les interconnexions coplanaires sur silicium

Introduction

La minimisation des circuits et la montée en fréquence constituent deux importants leitmotive des systèmes de communication du futur. Cela nécessite un haut degré d'intégration, des performances plus élevées et un coût très réduit. Pour satisfaire à ces exigences, l'utilisation d'une technologie planaire alliée au substrat silicium semble être la meilleure solution. En effet, la technologie planaire offre une souplesse de conception, une facilité d'intégration et un coût de développement réduit. Le silicium quant à lui est peu onéreux et présente une grande capacité d'intégration avec une technologie bien maîtrisée. Cependant les pertes importantes que présentent les circuits passifs sur silicium standard ralentissent son utilisation dans les modules de communication hyperfréquences. En effet, dans la chaîne de réception, le niveau de pertes des composants est crucial puisqu'il détériore la sensibilité des récepteurs.

Dans ce chapitre, nous allons décrire tout d'abord les problématiques qui entravent l'utilisation de silicium comme substrat pour les circuits passifs aux fréquences micro-ondes et millimétriques. Nous exposerons par la suite un état de l'art des différentes solutions technologiques proposées dans la littérature afin de surmonter les nuisances de ce matériau semi-conducteur.

1. Problématique du substrat silicium pour des applications passives micro-ondes et millimétriques

Les composants passifs en technologie silicium standard sont victimes de pertes conséquentes dans la gamme de fréquences micro-ondes et millimétriques. La responsabilité en incombe essentiellement à la basse résistivité du substrat silicium qui autorise la création de courants importants par les champs magnétiques radiofréquences. Dans ce premier paragraphe, nous allons décrire brièvement les problèmes de pertes et de couplages parasites liés à l'utilisation du substrat silicium basse résistivité dans des applications micro-ondes et millimétriques. Pour cela, nous avons utilisé la ligne de transmission coplanaire comme exemple.

La ligne de transmission coplanaire, dite aussi guide coplanaire et notée CPW (Coplanar Waveguide), présente un élément incontournable dans la conception des circuits intégrés. Elle a été proposée pour la première fois comme une alternative à la ligne micro-ruban par Wen en 1969 [1]. Elle est constituée de trois rubans métalliques placés sur le même plan à une distance constante du substrat diélectrique. Le conducteur central véhicule le signal micro-onde. Les deux rubans latéraux servent de plans de masse et sont séparés du signal par des fentes coplanaires. La Figure 1.1 représente un schéma d'une ligne de transmission coplanaire sur un substrat silicium. 'W' présente la largeur du conducteur central, 'S' la largeur de la fente coplanaire, 'W_g' la largeur des deux plans de masse, 'H_s' l'épaisseur du substrat et 't' l'épaisseur des conducteurs métalliques. En général, la ligne CPW est isolée du substrat silicium par une couche diélectrique, souvent de l'oxyde, pour éviter les problèmes de courants de fuite dans le substrat semi-conducteur. R_{si} et C_{si} présentent la résistance et la capacité du silicium respectivement, C_{ox} la capacité de l'oxyde entre le ruban métallique et le silicium et C_{air} est la capacité entre le signal et le plan de masse.

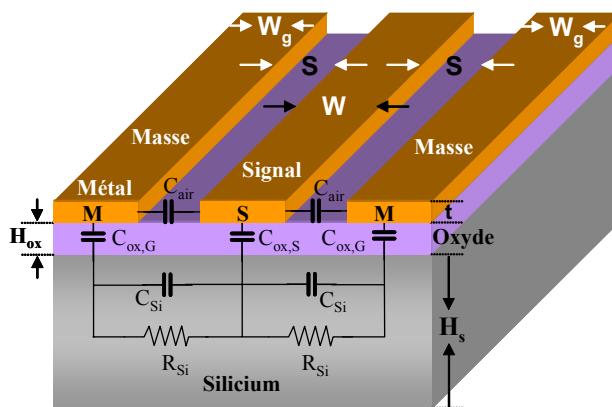


Figure 1.1 : Schéma d'une ligne coplanaire sur silicium et passivation en SiO₂

La ligne de transmission coplanaire présente plusieurs avantages par rapport à la ligne micro-ruban. Elle permet de s'affranchir des procédés technologiques face arrière utilisés pour la réalisation des lignes micro-rubans et donc de réduire le coût de fabrication. Elle présente aussi une souplesse de conception et de réalisation. Elle montre également une facilité d'intégration avec d'autres circuits sans avoir recours aux via métalliques grâce à son caractère uniplanaire. De plus, elle facilite la réalisation des circuits complexes comme les filtres. Grâce à toutes ces qualités, nous avons choisi d'utiliser des interconnexions coplanaires pour l'intégration monolithique des circuits micro-ondes.

Dans les circuits intégrés millimétriques (MMICs), les interconnexions doivent présenter de faibles pertes afin de maintenir un gain fort et un bruit très faible. Il existe trois mécanismes principaux à l'origine des pertes dans une ligne de transmission coplanaire. Les pertes ohmiques dans les conducteurs métalliques, α_c , les pertes diélectriques dans le substrat, α_d , et les pertes radiatives α_r . L'atténuation totale α est donnée donc par la somme de ces trois types de pertes ($\alpha_T = \alpha_c + \alpha_d + \alpha_r$).

a- Pertes ohmiques

Les pertes ohmiques, α_c , dans une ligne coplanaire sont proportionnelles à la résistance, R_s , des conducteurs métalliques. Cette résistance peut être considérée surfacique car elle est essentiellement localisée dans l'épaisseur de peau (δ). Elle est exprimée comme suivant:

$$R_s = \sqrt{\pi \cdot f \cdot \mu \cdot \rho_c} = \frac{1}{\sigma_c \cdot \delta} \quad (1.1)$$

où σ_c est la conductivité du métal, μ sa perméabilité magnétique et δ l'épaisseur de peau traduisant l'épaisseur de pénétration du courant dans le conducteur en fonction de la fréquence.

Dans le cas d'une ligne CPW sur un substrat épais et possédant des plans de masse très larges, α_c est donnée par la formule analytique suivante [2]-[4]:

$$\alpha_c = 4,88 \cdot 10^{-6} \cdot R_s \cdot \epsilon_{\text{eff}} \cdot Z_0 \cdot \frac{P}{\pi \cdot S} \cdot \left(1 + \frac{W}{S}\right) \cdot \left[\frac{1 + \frac{1,25 \cdot t}{\pi \cdot W} + \frac{1,25}{\pi} \cdot \ln\left(\frac{4 \cdot \pi \cdot W}{t}\right)}{\left[2 + \frac{W}{S} - \frac{1,25 \cdot t}{\pi \cdot S} \cdot \left(1 + \ln\left(\frac{4 \cdot \pi \cdot W}{t}\right)\right)\right]^2} \right] \quad (dB/cm) \quad (1.2)$$

où ϵ_{eff} est la permittivité effective, Z_0 l'impédance caractéristique de la ligne et 'P' est un paramètre dépendant de la géométrie de la ligne. Les pertes ohmiques dépendent donc de la géométrie de la ligne et présentent une variation proportionnelle à la racine carrée de la fréquence. Ces pertes prédominent à basses fréquences.

La minimisation de ces pertes ohmiques peut se faire tout d'abord par le choix d'un métal d'excellente conductivité (or ou cuivre) et de forte épaisseur. En effet, α_c diminue avec l'augmentation de l'épaisseur 't' des conducteurs métalliques. Cette diminution devient très peu sensible lorsque cette épaisseur dépasse trois à quatre fois l'épaisseur de peau, comme le montre la Figure 1.2.

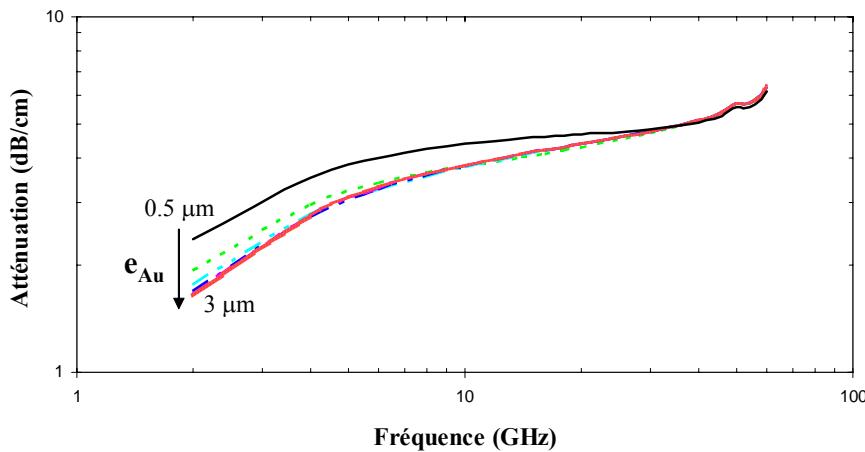


Figure 1.2 : Atténuation simulée d'une ligne coplanaire sur 10 μm de BCB en fonction de l'épaisseur d'or (0.5 μm , 1 μm , 1.5 μm , 2 μm , 2.5 μm et 3 μm)

Afin de minimiser les pertes ohmiques dues aux conducteurs métalliques de nos structures coplanaires, nous avons choisi une épaisseur de métallisation de la ligne coplanaire de 3 μm , largement supérieure à l'épaisseur de peau à 20 GHz ($\delta = 0.556 \mu\text{m}$). Finalement, l'utilisation d'un conducteur central très large mène aussi à une réduction considérable des pertes ohmiques.

b- Pertes diélectriques

En général, un diélectrique est le siège de déplacement des courants (transverse et longitudinal) sous l'excitation d'un champ électrique. Cela se traduit par des pertes diélectriques qui sont liées à la distribution des lignes de champs dans le substrat ainsi qu'aux propriétés diélectriques de celui-ci. Les pertes diélectriques sont exprimées dans le cas d'une ligne coplanaire comme suivant [5]:

$$\alpha_d = \frac{\epsilon_{\text{ref}}(f) - 1}{\sqrt{\epsilon_{\text{ref}}(f)}} \cdot \left\{ A \cdot \text{tg} \delta \cdot f + \frac{B}{\rho_d} \right\} \quad (\text{dB/cm}) \quad (1.3)$$

où ϵ_{ref} est la permittivité effective relative de la ligne, $\text{tg} \delta$ la tangente de l'angle de pertes du diélectrique, ρ_d la résistivité du diélectrique, A et B sont des constantes fonction de la constante diélectrique du substrat (ϵ_r).

Nous pouvons constater que les pertes dans le substrat dépendent fortement des propriétés diélectriques de celui-ci. Elles sont liées à la fois au facteur de pertes ($\text{tg} \delta$) du réseau cristallin du matériau diélectrique et à la résistivité de celui-ci. Dans le cas du silicium standard, les

pertes diélectriques sont très élevées à cause de son facteur de pertes important ($\operatorname{tg}\delta_{(\text{Si})} = 0.018$) et de sa faible résistivité ($\rho_{\text{Si}} < 30 \Omega \cdot \text{cm}$).

A l'équation (1.3), nous pouvons rajouter un terme ' α_i ' traduisant les pertes d'interface, induites par les porteurs de charges à l'interface entre la couche diélectrique isolante (par exemple l'oxyde de silicium) et le matériau semi-conducteur (le silicium). Ce type de pertes est lié aux propriétés de l'oxyde et sont minimales dans le cas d'un oxyde de très bonne qualité qui présente une densité de charges d'interface minimale [6]. Les pertes d'interface dépendent fortement de la tension de polarisation et sont minimales dans la zone de déplétion. Par contre, elles sont très élevées dans les zones d'accumulation et d'inversion en particulier puisque la mobilité des électrons est trois fois supérieure que celle des trous [7].

Comme les pertes diélectriques sont proportionnelles à la fréquence, leur contribution dans les pertes globales est donc prédominante aux fréquences micro-ondes et millimétriques par rapport aux pertes ohmiques ($\alpha f^{1/2}$).

c- Pertes radiatives

Les pertes radiatives, α_r , dans une ligne de transmission coplanaire se manifestent à cause de la dissipation de l'énergie électromagnétique dans le substrat à très hautes fréquences ($f > 200 \text{ GHz}$) [2], [3] et peuvent aussi apparaître localement au niveau de discontinuités [4]. Dans cette gamme de fréquence, les pertes radiatives sont prédominantes, et le coefficient d'atténuation correspondant présente une variation proportionnelle à la fréquence au cube, comme l'exprime l'équation suivante [2]:

$$\alpha_r = 173,6 \left(\frac{\pi}{2} \right)^5 \left\{ \frac{\left(1 - \frac{\varepsilon_{\text{ref}}(f)}{\varepsilon_r} \right)^2}{\sqrt{\frac{\varepsilon_{\text{ref}}(f)}{\varepsilon_r}}} \right\} \frac{(W + 2S)^2 \cdot \varepsilon_r^{3/2}}{c^3 K'(k) K(k)} f^3 \quad (\text{dB / cm}) \quad (1.4)$$

où 'c' est la vitesse de la lumière dans le vide, k ($k = W/(W+2S)$) un paramètre géométrique, $K'(k)$ et $K(k)$ sont les intégrales elliptiques complètes du premier et second type respectivement.

Il reste à noter que dans la gamme de fréquence utilisée dans ce mémoire, la contribution des pertes radiatives est considérée négligeable et le coefficient d'atténuation globale peut être exprimé comme la somme des pertes ohmiques et diélectriques ($\alpha_T \approx \alpha_c + \alpha_d$).

2. Etat de l'art sur les solutions technologiques utilisées pour améliorer les performances des circuits passifs sur silicium aux fréquences micro-ondes et millimétriques

Afin de surmonter les nuisances du silicium basse résistivité et de favoriser son utilisation pour des applications micro-ondes et millimétriques, différentes approches ont été explorées dans la littérature. Elles consistent à modifier, à éloigner ou encore à supprimer le substrat silicium. Dans ce paragraphe, nous allons exposer les solutions mises en œuvre pour réduire voire supprimer les pertes dues au substrat silicium standard.

2.1. Modification du substrat

a- Substrat silicium haute résistivité (SiHR)

Une première solution consiste à utiliser un substrat silicium haute résistivité (SiHR: $\rho > 2000 \Omega \cdot \text{cm}$) pour lequel les pertes diélectriques sont négligeables à hautes fréquences et seules les pertes ohmiques prédominent. Ceci permet d'obtenir une atténuation des lignes de transmission comparable à celles sur GaAs [8]-[11]. Cependant, les lignes coplanaires déposées directement sur le silicium (cf. Figure 1.3) présentent des problèmes de courants de fuite dans le substrat semi-conducteur, ce qui est pénalisant pour les circuits actifs intégrés. De plus, la haute résistivité du silicium peut être détériorée lors d'étapes technologiques à température élevée.

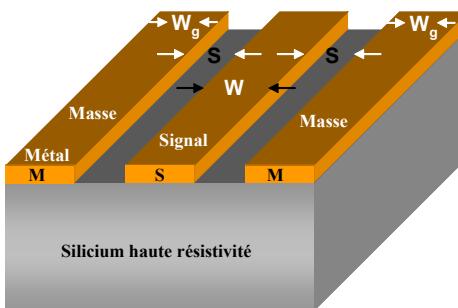


Figure 1.3 : Schéma d'une ligne CPW sur un substrat silicium HR

b- Passivation du substrat silicium haute résistivité

Afin de remédier aux problèmes de courants de fuite dans le substrat, une solution consiste à ajouter une passivation à la surface du silicium, comme l'illustre la Figure 1.4, en utilisant une fine couche d'oxyde de silicium (SiO_2 , $\epsilon_r:3.9$) ou de nitre de silicium (Si_3N_4 , $\epsilon_r:7.5$) entre le substrat et les conducteurs métalliques. Néanmoins, les états de surface dans la couche de passivation peuvent donner naissance à une couche conductrice localisée à la

surface du substrat silicium à cause de l'effet d'inversion (Silicium-P) ou d'accumulation (Silicium-N) de charges. Ceci implique des pertes additionnelles (pertes d'interface) et donc mène à une augmentation considérable des pertes [6], [7], [12]-[16] et une détérioration du facteur de qualité des circuits passifs [9], [16].

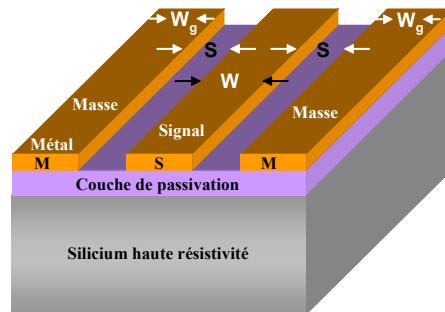


Figure 1.4 : Schéma d'une ligne coplanaire isolée du substrat SiHR par une couche d'oxyde

Afin d'éviter la formation d'une telle couche conductrice, un procédé de passivation de la surface du substrat silicium HR peut être effectué par la formation d'une fine couche de silicium présentant une très grande densité de piéges dans la bande de conduction. Ceci mène à un grand taux de recombinaison et donc à un taux réduit des impuretés ionisantes.

La passivation de la surface du substrat silicium HR par le dépôt d'une fine couche de silicium amorphe (α -Si) s'est avérée être une technique prometteuse pour stabiliser le silicium haute résistivité et donc l'utiliser comme un substrat micro-onde [17], [18]. En effet, cette technique permet une amélioration des performances des circuits passifs. Cependant, elle exige une étape additionnelle dans le procédé technologique des circuits intégrés. Le dépôt d'une fine couche de poly-silicium (non dopé) sur le substrat silicium HR suivi d'une oxydation thermique (cf. Figure 1.5) permet aussi de piéger les charges mobiles et donc de stabiliser la résistivité à la surface du substrat [15].

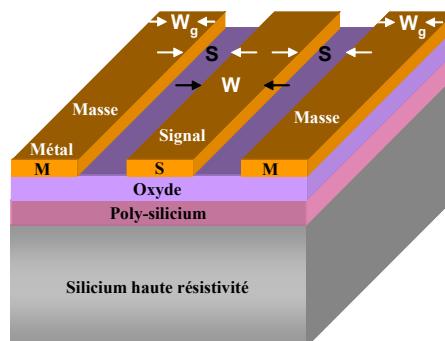


Figure 1.5 : Schéma d'une ligne coplanaire isolée du substrat SiHR par une bicouche oxyde/poly-silicium

Ainsi, une ligne CPW sur une bicouche ($\text{SiO}_2/\text{poly-Si}$) avec une métallisation en aluminium a présenté un coefficient d'atténuation de 0.82 dB/cm à 20 GHz au lieu de 17.4 dB/cm observé à la même fréquence avec la même ligne CPW sur oxyde [15], ce qui présente une amélioration substantielle de l'ordre de 95 %.

Une autre solution consiste tout simplement à graver la couche d'isolation (oxyde) dans les fentes coplanaires (cf. Figure 1.6) afin de préserver une haute résistivité de surface dans ces régions et donc d'obtenir des performances acceptables des circuits passifs à hautes fréquences [9], [14], [15]. En effet, une ligne coplanaire sur oxyde, dont le coefficient d'atténuation est de 17.4 dB/cm à 20 GHz, ne présente plus qu'une atténuation de 2.8 dB/cm à la même fréquence après la gravure de la couche d'oxyde dans les fentes coplanaires [15]. Ceci s'explique par le fait que l'oxyde natif formé après la gravure de l'oxyde dans les fentes donne lieu à une surface en déplétion, laquelle présente moins de charges de surface et donc une contribution dans les pertes globales négligeable devant les pertes ohmiques dans les conducteurs métalliques.

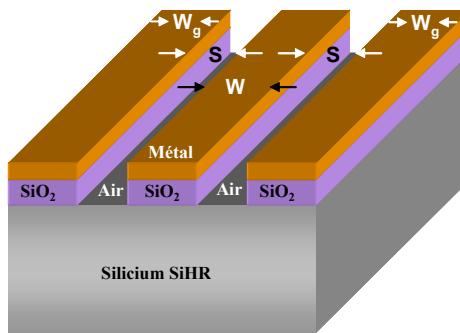


Figure 1.6 : Schéma d'une ligne coplanaire avec une gravure d'oxyde dans les fentes coplanaires

Vu les résultats formidables obtenus avec le substrat silicium HR, ce dernier se présente comme un candidat parfait pour des applications hyperfréquences limitées jusqu'à maintenant à des dispositifs III-V comme l'GaAs. Cependant, son coût reste un handicap pour des applications commerciales 'grand public' (communications mobiles, systèmes intelligents,...). En effet, les substrats de silicium haute résistivité sont relativement plus chers que les substrats de silicium standard.

c- *Implantation ionique*

Une autre solution consiste à utiliser la technique d'implantation ionique (ou protonique) afin de convertir en surface le silicium basse résistivité (SiBR) en un silicium haute résistivité

(SiHR) [21]-[23] ou d'améliorer les performances des circuits passifs sur substrat SiHR. A ce stade, une implantation d'argon a permis une amélioration du coefficient d'atténuation d'une ligne CPW sur silicium HR de l'ordre de 50 % [16].

d- Silicium poreux

Une autre solution consiste à rendre localement le silicium poreux sur une forte épaisseur ($> 20 \mu\text{m}$) à partir d'une électrolyse (cf. Figure 1.7.a) [24], [25]. En effet, la nature très isolante du silicium poreux permet de réduire l'interaction des champs électromagnétiques avec le substrat silicium et donc aboutit à des hautes performances des circuits passifs sur silicium BR [25]-[26].

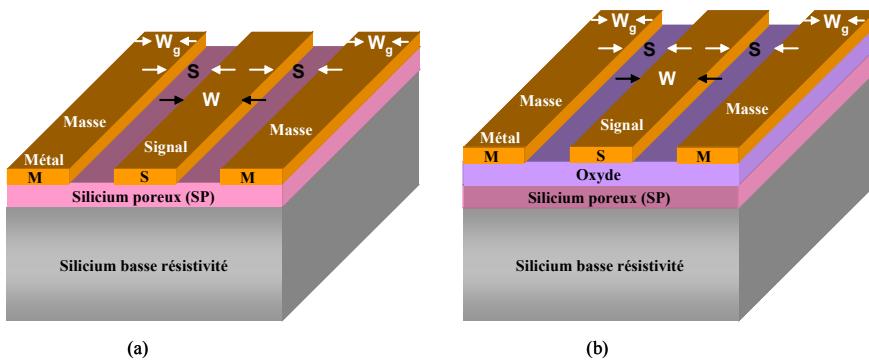


Figure 1.7 : Schémas de lignes coplanaires isolées du substrat silicium BR par (a) une couche épaisse de silicium poreux (SP) et (b) par une couche de silicium poreux oxydé (SPO)

L'oxydation de la couche de silicium poreux (SP) formée sur le substrat silicium SiBR (cf. Figure 1.7.b) permet d'aboutir à des performances des circuits passifs comparables à celles sur GaAs [25]-[27]. Seulement, cette technique nécessite une métallisation face arrière afin de former une couche uniforme de silicium poreux face avant.

e- Silicium sur oxyde (SOI)

Une dernière solution a consisté à utiliser des plaquettes SOI, c'est-à-dire enterrer une fine couche d'oxyde en dessous de la fine couche active de silicium afin de supprimer les phénomènes de “latch-up” observés avec la technologie CMOS. Ceci permet d'obtenir de hautes performances des circuits passifs sur silicium HR à très hautes fréquences et d'améliorer celles sur silicium BR [19]. Cependant, ces techniques sont néanmoins difficiles à mettre en œuvre puisqu'elles exigent un bon contrôle de la densité de charges accumulées à la surface du silicium et donc de la densité de pièges compensateurs implantés.

2.2. Micro-usinage du substrat

D'autres recherches se sont concentrées sur la suppression du substrat silicium. Généralement, nous rencontrons dans la littérature deux types de micro-usinage du silicium. Le premier consiste en un micro-usinage de volume par la face arrière [28]-[31] (cf. Figure 1.8) qui tend à supprimer totalement le substrat silicium sous les circuits, permettant ainsi des propriétés de propagation équivalentes à celles obtenues dans l'air. Cela se traduit par des vitesses de propagation très élevées, une absence de dispersion fréquentielle et des niveaux de pertes très faibles [31]. En effet, un coefficient d'atténuation de l'ordre de 0.45 dB/cm a été obtenu à 20 GHz avec une ligne CPW en or suspendue sur une membrane minérale ($\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$) [28]. Les lignes CPW suspendues sur une membrane diélectrique présentent alors une permittivité effective proche de 1. Ceci implique une longueur d'onde très grande et par conséquent des dimensions coplanaires très grandes. D'un autre côté, cette technique exige des procédés technologiques sur la face arrière du silicium, ce qui n'est pas toujours applicable.

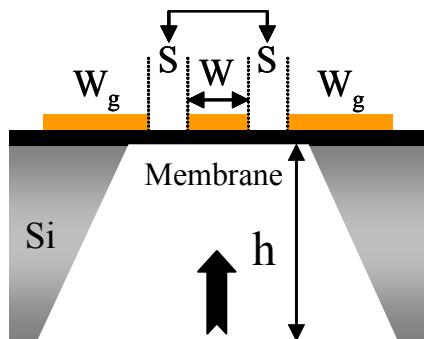


Figure 1.8 : Schéma en coupe d'une ligne coplanaire suspendue sur membrane

La deuxième technique consiste en un micro-usinage localisé en surface du substrat silicium dans les fentes coplanaires où les lignes de champ électrique sont fortement confinées. De cette manière, le silicium dispersif est remplacé par l'air, ce qui réduit l'interaction des lignes de champ électrique avec le substrat et donc apporte une amélioration notable des pertes [32]-[34] et une réduction de la dispersion. Ce type de micro-usinage peut être réalisé par des techniques de gravure sèche (DRIE¹, cf. Figure 1.9.a) ou des techniques de gravure humide (KOH², TMAH³, EDP⁴... cf. Figure 1.9.b) ou même par la combinaison des deux techniques (cf. Figure 1.9.c).

¹ DRIE : Deep Reactive Ion Etching (Gravure ionique réactive profonde)

² KOH : Potassium Hidroxide (Hydroxyde de potassium)

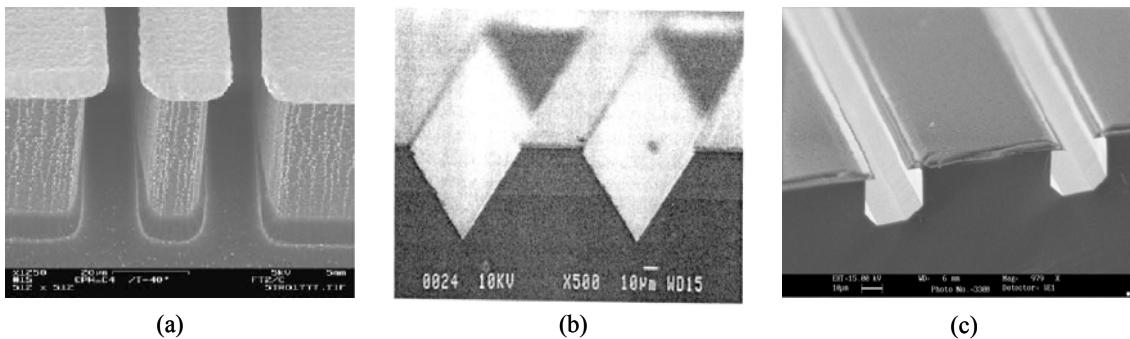


Figure 1.9 : Vue au MEB de lignes coplanaires micro-usinées en surface dans les fentes coplanaires: (a) par voie sèche (DRIE), (b) par voie humide (EDP) et (c) par voie mixte sèche et humide (DRIE + TMAH)

2.3. Eloignement du substrat

Une dernière approche consiste à découpler le substrat silicium standard des lignes de champ électromagnétique en déposant un diélectrique de bonne qualité et de forte épaisseur entre le silicium et les circuits passifs. Différents travaux ont montré effectivement l'intérêt de déposer un oxyde de silicium de forte épaisseur (de l'ordre de quelques dizaines de micromètres) [35]-[37]. Cependant, c'est un procédé technologique qui reste très lent et relativement cher. Une autre solution consiste à intercaler entre le substrat silicium dispersif et les conducteurs métalliques une couche épaisse de polyimide [24], [38]-[40], de résine photosensible (SU-8 dans ces cas [41],[42]) ou de polymère de faible permittivité et surtout de faibles pertes [31], [41]-[44], de telle manière que les lignes de champ électrique soient complètement confinées dans la couche diélectrique. Ceci apporte une atténuation notable [40] et un fort facteur de qualité [41].

Outre l'utilisation d'une couche épaisse de polyimide à faible permittivité, une autre solution consiste à graver cette couche dans les fentes coplanaires, comme le montre la Figure 1.10. Ceci favorise la propagation dans l'air entre le signal et les plans de masse et donc réduit l'interaction des lignes de champ électromagnétique avec le substrat silicium. Par conséquent, une réduction considérable des pertes des lignes CPW a été enregistrée (27 % [20]) avec ce type de techniques [45], [46].

³ TMAH : Tetramethylammonium Hydroxide (Hydroxyde de tetraméthylammonium)

⁴ EDP : Ethylene Diamine Pyrocatechol

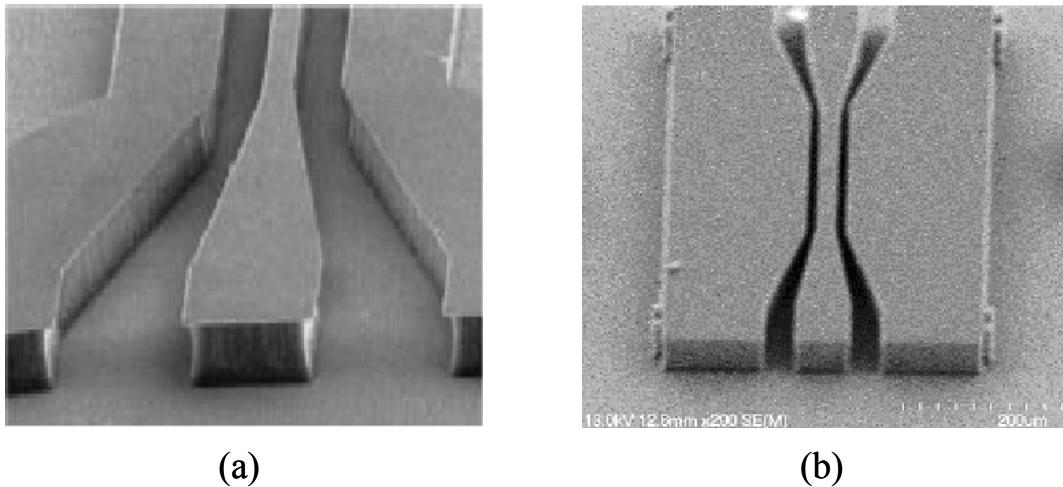


Figure 1.10 : Vue au MEB de lignes CPW sur une couche de (a) polyimide et (b) SU-8, gravées dans les fentes coplanaires

2.4. Technologies tridimensionnelles

Nous pouvons rencontrer également dans la littérature des lignes de transmission coplanaires basées sur des technologies tridimensionnelles (3D), comme le montre la Figure 1.11.

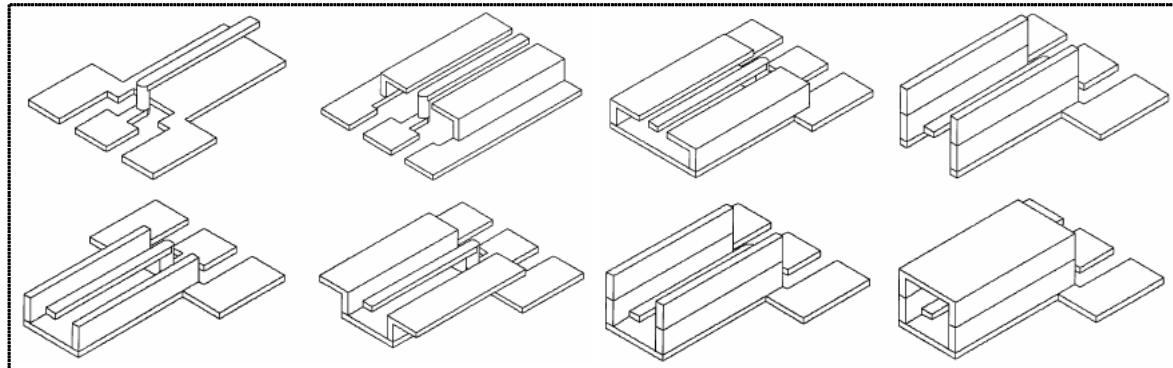


Figure 1.11 : Exemples de différentes topologies de lignes de transmission coplanaires utilisant une technologie tridimensionnelle (3D)

A ce stade, Kwon [47]-[49] a proposé une ligne coplanaire avec le conducteur central élevé (OCPW⁵) ou le plan de masse élevé (IOCPW⁶) ou encore les deux (ECPW⁷) (cf. Figure 1.12). Ceci a permis de maintenir de faibles pertes pour une large plage d'impédance caractéristique (Z_c).

⁵ OCPW: Overlay coplanar waveguide

⁶ IOCPW: Inverted overlay coplanar waveguide

⁷ ECPW: Elevated coplanar waveguide

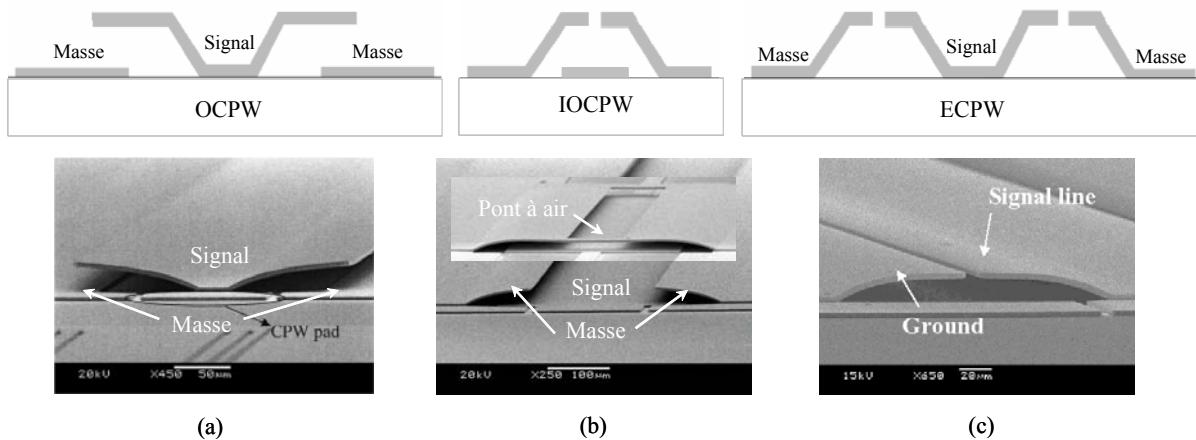


Figure 1.12 : Trois topologies de lignes coplanaires utilisant une technologie 3D: (a) OCPW, (b) IOCPW et (c) ECPW

Des lignes coaxiales (cf. Figure 1.13) ont été proposé également dans la littérature [50], [51], pour surmonter les problème de pertes sur substrat silicium standard. Cependant, cette solution demande plusieurs étapes technologiques additionnelles, ce qui a pour effet d'augmenter le coût de fabrication.

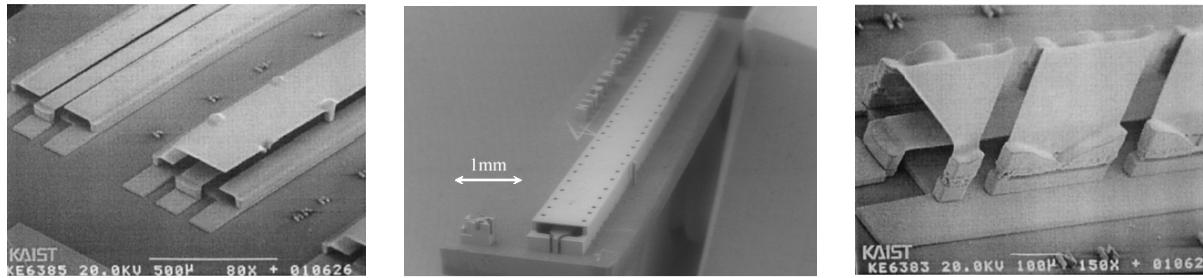


Figure 1.13 : Photographies de lignes coaxiales

Finalement, Happy [43] a proposé une ligne coplanaire blindée sur BCB (cf. Figure 1.14) qui permet de minimiser les pertes sur substrat silicium standard, de supprimer les modes indésirables qui se manifestent en présence de discontinuités et d'élargir la plage de variation de l'impédance caractéristique. De cette manière, une ligne CPW blindée sur une couche de BCB a présenté une amélioration de l'ordre de 20 % à une fréquence de 20 GHz par rapport à une ligne coplanaire classique sur polymère.

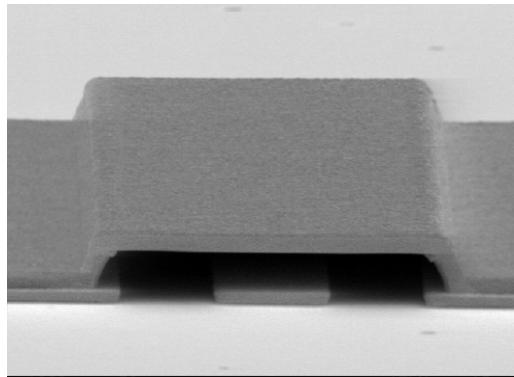


Figure 1.14 : Ligne coplanaire blindée utilisant un capôt métallique

Les Tableaux 1.1 et 1.2 présentent un récapitulatif des meilleurs coefficients d'atténuation des lignes de transmission coplanaires (CPW) sur substrats SiHR et SiBR obtenus dans la littérature avec les différentes techniques décrites dans ce paragraphe.

ρ_{Si} ($k\Omega \cdot cm$)	Type de structure	Diélectrique	Métal	W+2S (μm)	α (dB/cm) @ 20 GHz	Réf
2-4	Métal	Non	Al (3 μm)	---	3.7	[16]
10	Si-haute résistivité	Non	Al (1.25 μm)	150	2.2	[15]
>2	Si-haute résistivité	Non	Au (4 μm)	200	1.32	[26]
2.5	Si-haute résistivité	Non	Au (1.45 μm)	182	0.9	[10]
10	SiO ₂	• SiO ₂ (0.4 μm)	Al (1.25 μm)	150	17.4	[15]
10	SiO ₂ Poly-Si	• Poly-Si + SiO ₂ (0.4 μm)	Al (1.25 μm)	150	0.82	[15]
10	SiO ₂	• SiO ₂ (0.4 μm)	Al (1.25 μm)	150	2.8	[15]
>2	SiO ₂ /Si ₃ N ₄ /SiO ₂ (1.5 μm)	Au (1.7-2 μm)	110	1.8	[29]	
>2	SiO ₂ /Si ₃ N ₄ /SiO ₂	Au (1.7-2 μm)	200	1.05	[29]	
2.5	SiO ₂ /Si ₃ N ₄ /SiO ₂ (1.5 μm) (δ : 12 μm)	Au (1.7-2 μm)	200	0.73	[29]	
4	SiO ₂ (d: 60 μm , δ : 12 μm)	Au (3 μm)	300	0.63	[33]	
2.5	SiO ₂ /Si ₃ N ₄ /SiO ₂ (1.5 μm)	Au (1.7-2 μm)	200	0.45	[29]	
>2	SiO ₂ /Si _x N _y (1.4 μm)	Au (3 μm)	240	0.6	[31]	

Tableau 1.1 : Coefficient d'atténuation pour différentes topologies de lignes coplanaires sur silicium haute résistivité (SiHR)

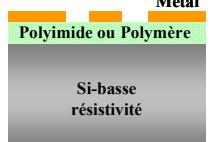
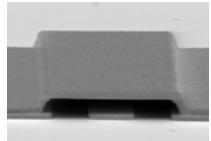
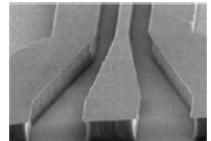
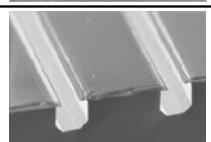
ρ_{Si} ($\Omega \cdot cm$)	Type de structure	Diélectrique	Métal	W+2S (μm)	α (dB/cm) @ 20 GHz	Réf
10 14-21 20		Non	Au (3 μm)	100	30	[43]
		Non	Au (4 μm)	200	18.8	[26]
		Non	Al (1 μm)	46	14.6	[34]
14-21 14-21 15		• Si-poreux (26 μm)	Au (4 μm)	200	11.6	[26]
		• SiO2 /Si-poreux (0.48 μm /26 μm)	Au (4 μm)	200	8.5	[26]
		• Polyimide/Si-P (20 μm /23 μm)	Au (1.45 μm)	90	2.6	[24]
10 1-20 20		• BCB (10 μm)	Au (3 μm)	50	4.6	[43]
		• Polyimide (20 μm)	Au (1.5 μm)	28	2.6	[20]
		• BCB/ SiO2 (20 μm /0.5 μm)	Cu (6 μm)	46	2.4	[44]
10		• BCB (10 μm)	Au (3 μm)	50	3.6	[43]
1-20 7.2		• Polyimide (20 μm)	Au (1.5 μm)	28	1.9	[20]
		• SU-8 (200 μm)	Au (4 μm)	420	0.18	[42]
20		• SiO2 (d: 15 μm , δ : 14 μm)	Al (1 μm)	46	3.75	[34]

Tableau 1.2 : Coefficient d'atténuation pour différentes topologies de lignes coplanaires sur silicium basse résistivité (SiBR)

Conclusion

Dans ce chapitre, nous avons décrit les différents mécanismes qui sont à l'origine des pertes dans les interconnexions coplanaires sur substrat silicium. Ensuite, nous avons exposé les principales solutions technologiques proposées dans la littérature pour minimiser ces pertes en vue des applications micro-ondes et millimétriques.

Compte tenu de ces différentes techniques, nous avons choisi de nous intéresser aux solutions à base de polymères épais pour plusieurs raisons. Cette technologie semble très attractive du point de vue niveau de pertes, tout en alliant facilité de fabrication et faible coût. Le procédé technologique nécessite un faible budget thermique, ce qui le rend compatible avec les technologies MOS et BiCMOS. Notre étude a donc porté sur l'évaluation de cette technologie pour des applications micro-ondes et millimétriques, et à plus long terme son

intégration avec des circuits intégrés MMICs. Ceci justifie l'utilisation de silicium basse résistivité.

Références bibliographiques du chapitre 1

- [1] C. P. Wen, "Coplanar waveguide: A surface strip transmission line suitable for nonreciprocal gyromagnetic device application," *IEEE Trans. Microwave Theory & Tech.*, Vol. 17, No. 12, pp. 1087-1090, December 1969
- [2] C. L. Liao, Y. M. Tu, J. Y. Ke, C. H. Chen, "Transient propagation in lossy coplanar waveguides," *IEEE Trans. Microwave Theory & Tech.*, vol. 44, No. 12, pp. 2605-2611, December 1996
- [3] J. Zhang, T. Y. Hsiang, "Subterahertz attenuation in coplanar waveguides," *IEEE MTT-S International Microwave Symposium Digest*, Long Beach, CA, June 2005,
- [4] K. C. Gupta, R. Garg, I. J. Bahl, "Microstrip lines and slotlines," Artech House, 1979
- [5] G. Ponchak, "RF transmission lines on silicon substrates," *29th European Microwave Conference*, Vol. 1, pp. 158-161, Munich 1999
- [6] W. Zhao, C. Schöllhorn, E. Kasper, "Interface loss mechanism of millimetre-wave coplanar waveguides on silicon," *IEEE Trans. on Microwave theory and Techniques*. Vol.50, N°. 1, January 2002
- [7] C. Schöllhorn, W. Zhao, M. Morschbach, E. Kasper, "Attenuation mechanisms of aluminium millimetre-wave coplanar waveguides on silicon," *IEEE Trans. Electron Devices*, Vol. 50, No. 3, March 2003
- [8] A. C. Reyes, S. M. El-Ghazaly, S. Dorn, M. Dydyk, D. K. Schroder, "Silicon as a microwave substrate," *IEEE MTT-S International Microwave Symposium Digest*, Vol 3, pp. 1759-1762, San Diego, CA, USA 1994
- [9] W. Heinrich, C. Rheinfelder, "Coplanar silicon MMIC'S," *Silicon Monolithic Integrated Circuits in RF Systems, Topical Meeting*, pp. 79-84, September 1998
- [10] G. E. Ponchak, A. N. Downey, L. P. B. Katehi, "High frequency interconnects on silicon substrates," *IEEE Radio frequency integrated circuits. Sym. Dig. Denver*, pp. 101-104, June 1997
- [11] G. E. Ponchak, M. Matloubian, L. P. B. Katehi, "A measurement-based design equation for the attenuation of MMIC-compatible coplanar waveguides," *IEEE. Trans. on Microwave theory and Techniques*. Vol. 47, No. 2, February 1999
- [12] W. Zhao, C. Schöllhorn, E. Kasper, "Bias dependent attenuation of coplanar transmission lines on silicon". -----Stuttgart, Germany
- [13] D. Lederer, J. P. Raskin, "Substrate loss mechanisms for microstrip and CPW transmission lines on lossy silicon wafers," *IEEE MTT-S Int. Microwave Symp. Dig*, pp. 685-688, June 2002
- [14] Y. Wu, H. S. Gamble, B. M. Armstrong, V. F. Fusco, J. A. C. Stewart, "SiO₂ interface layer effects on microwave loss of high-resistivity CPW line," *IEEE Microwave and Guided wave Letters*, Vol. 9, No. 1, January 1999
- [15] H. S. Gamble, B. M. Armstrong, S. J. N. Mitchell, Y. Wu, V. F. Fusco, J. A. C. Stewart, "Low-loss CPW lines on surface stabilized high-resistivity silicon," *IEEE Microwave and Guided wave Letters*, Vol. 9, No. 10, October 1999

- [16] M. Spirito, F. M. De paola, L. K. Nanver, E. Valletta, B. Rong, B. Rejaei, L. C. N. De vreede, J. N. Burghartz, "Surface-passivated high-resistivity silicon as a true microwave substrate," IEEE. Trans, on Microwave theory and Techniques, Vol. 53, No. 7, July 2005
- [17] B. Rong, J. N. Burghartz, L. K. Nanver, B. Rejaei, M. V. Zwan, "Surface-passivated high-resistivity silicon substrates for RFICs," IEEE Electron Device Letters, Vol. 25, No. 4, April 2004
- [18] A. B. M. Jansman, J.T. M. Van Beek, M. H. W. M. Van Delden, A. L. A. M. Kemmeren, A. Den Dekker, F. P. Widdershoven, "Elimination of accumulation charge effects for high-resistivity silicon substrates," Proc. ESSDERC, pp. 3-6, 2003
- [19] M. Dehan, B. Parvais, G. Dambrine, J. P. Raskin, "Intérêts de la technologie CMOS SOI pour les applications micro-ondes faible tension faible consommation," 3^{ème} Journées francophones d'études faible tension faible consommation, Paris, Mai-Juin 2001
- [20] G. E. Ponchak, A. Margomenos, L. P. B. Katehi. "Low- loss CPW on low- resistivity Si substrates with a micromachined polyimide interface layer for RFIC interconnects," IEEE. Trans, on Microwave theory and Techniques. Vol. 49, No. 5, May 2001
- [21] K. T. Chan, C. Y. Chen & al, "40-GHz coplanar waveguide bandpass filters on silicon substrate," IEEE Microwave & Wireless Components Letters, Vol. 12, No. 11, November 2002
- [22] P. Q. Chen, Y. J. Chan, "Improved microwave performance on low-resistivity Si substrates by Si⁺ ion implantation," IEEE. Trans, on Microwave theory and Techniques. Vol. 48, No. 9, September 2000
- [23] K. T. Chan, A. Chin, C. M. Kwei, D. T. Shien, W. J. Lin, "Transmission line noise from standard and proton-implanted Si," IEEE MTT-S Int. Microwave Symp. Dig, pp. 763-766, June 2001
- [24] G. E. Ponchak, I. K. Itotia, R. F. Drayton, "Propagation characteristics of finite ground coplanar waveguide on Si substrates with porous Si and polyimide interface layers," 33rd European Microwave Conference, Munich, pp. 45-48, October 2003
- [25] C. M. Nam, Y. S. Kwon, "High-performance planar inductor on thick oxidized porous silicon (OPS) substrate," IEEE Microwave and Guided wave Letters, Vol. 7, No. 8, August 1997
- [26] R. L. Peterson and R. F. Drayton, "Dielectric properties of oxidized porous silicon in a low resistivity substrate," IEEE MTT-S Int. Microwave Symp. Dig, pp. 767-770, Phoenix, May 2001
- [27] C. M. Nam, Y. S. Kwon, "Coplanar waveguides on silicon substrate with thick oxidized porous silicon (OPS) layer," IEEE Microwave and Guided wave Letters, Vol. 8, No. 11, November 1998
- [28] L.P.B.Katehi, G.M.Rebeiz, "Novel micromachined approaches to MMICs using low-parasitic, high-performance transmission media and environments," IEEE MTT-S Int. Microwave Symp. Dig., Vol. 2, pp. 1145-1148, June 1996
- [29] K. J. Herrick, T. A. Schwarz, L. P. B. Katehi, "Si-micromachined coplanar waveguides for use in high-frequency circuits," IEEE. Trans, on Microwave theory and Techniques. Vol. 46, No. 6, June 1998

- [30] B.Guillon, K.Grenier, P.Pons, J-L.Cazaux, J-C.Lalaurie, D.Cros, R.Piana, "Silicon micromachining for millimeter-wave applications," *Journal of Vacuum Science & Technology*, part A 18(2), pp 743-745, Mars/Avril 2000
- [31] K. Grenier, "Conception, réalisation et caractérisation de structures micro-usinées sur silicium: applications aux micro-systèmes millimétriques," Thèse de doctorat, Toulouse, Novembre 2000
- [32] Z. R. Hu, V. F. Fusco, J. A. C. Stewart, Y. Wu, H. S. Gamble, B. M. Armstrong, N. B. Buchanan, "Characteristics of trenched coplanar waveguide for SiMMIC applications," 1997 IEEE MTT-S Int. Microwave Symp. *Dig.*, Vol. 2, pp. 735-738, June 1997
- [33] K. M. Strohm, F. J. Schmückel, B. Schauwecker, W. Heinrich, J-F. Luy, "Silicon Micromachined CPW Transmission Lines," *Proceedings of the European Microwave Conference*, Milan, September 2002
- [34] L. L. W. Leung, J. Zhang, W. C. Hon, K. J. Chen, "High-performance CMOS-compatible micromachined edge-suspended coplanar waveguides on low-resistivity silicon substrate," *34th European Microwave Conference*, Amsterdam, pp. 45-48, October 2004
- [35] D. W. Kim, I. H. Jeong, J. S. Lee, Y. S. Kwon, "High performance RF passive integration on a Si smart substrate for wireless applications," *ETRI Journal*, Vol. 25, No. 2, April 2003
- [36] B. Kleveland, T. H. Lee, S. S. Wong, "50-GHz interconnect design in standard silicon technology," *IEEE MTT-S Int. Microwave Symp. *Dig.**, Vol. 3, pp. 1913-1916, June 1998
- [37] I. H. Jeong, C. M. Nam, C. Y. Lee, J. H. Moon, J. S. Lee, D. W. Kim, Y. S. Kwon, "High quality RF passive integration using 35 μ m thick oxide manufacturing technology," *IEEE Electronic Components and Technology Conference*, pp. 1007-1011, 2002
- [38] J. Papapolymerou, G. E. Ponchak, E. M. Tentzeris, "A Wilkinson power divider on a low resistivity Si substrate with a polyimide interface layer for wireless circuits," *IEEE MTT-S Int. Microwave Symp. *Dig.**, Vol. 1, pp. 593-596, June 2002
- [39] G. E. Ponchak, A. Margomenos, L. P. B. Katehi, "Low loss, finite ground plane, thin film microstrip lines on Si wafers," *Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, pp. 43-47, April 2000
- [40] G. E. Ponchak, L. P. B. Katehi, "Measured attenuation of coplanar waveguide on CMOS grade silicon substrates with polyimide interface layer," *IEEE Electronics Letters*, Vol.34, No.13, pp. 1327-1329, June 1998
- [41] J. H. Jeon, E. J. Inigo, M. T. Reiha, T. Y. Choi, Y. Lee, S. Mohammadi, L. P. B. Katehi, "The effect of low-k dielectrics on RFIC inductors," *33rd European Microwave Conference*, pp. 53-56, Munich, October 2003
- [42] D. P. Newlin, A. V. H. Pham, J. E. Harriss, "Developement of low loss organic-micromachined interconnects on silicon at microwave frequencies," *IEEE Trans. Components & Packaging Tech.*, Vol. 25, No. 3, September 2002
- [43] H. Happy, G. Six, M. Vanmackelberg, A. Cappy, G. Dambrine, "Ultra low loss transmission lines on low resistivity silicon substrate," *IEEE MTT-S Int. Microwave Symp. *Dig.**, Vol. 3, pp. 1809-1812, June 2000

- [44] L. L. W. Leung, W. C. Hon, K. J. Chen, "Low-loss coplanar waveguides interconnects on low-resistivity silicon substrate," *IEEE Trans. Components & Packaging Tech.*, Vol. 27, No. 3, September 2004
- [45] G. E. Ponchak, A. Margomenos, L .P. B. Katehi, "Low-loss CPW on low-resistivity Si substrates with a micromachined polyimide interface layer for RFIC interconnects," *IEEE Trans. Microwave Theory Tech.* Vol. 49, No. 5, pp. 866-870, May 2001
- [46] K. Elgaid, D. A. McCloy and, I. G. Thayne, "Micromachined SU8 negative resist for MMIC applications on low resistivity CMOS substrates," *Microelectronic Engineering*, Vol. 67-68, pp. 417-421, June 2003
- [47] J. H. Park, C. W. Baek, S. Jung, H. T. Kim, Y. Kwon, Y. K. Kim, "Novel micromachined coplanar waveguide transmission lines for application in millimetre-wave circuits," *Jpn. J. Appl. Phys.* Vol. 39, Part 1, No. 12 B, pp. 7120-7124, December 2000
- [48] Y. Kwon, H. T. Kim, J. H. Park, Y. K. Kim, "Low-loss micromachined inverted overlay CPW lines with wide impedance ranges and inherent airbridge connection capability," *IEEE Microwave and Wireless Components Letters*, Vol. 11, No. 2, February 2001
- [49] H. T. Kim, S. Jung, J. H. Park, C. W. Baek, Y. K. Kim, Y. Kwon, "A new micromachined overlay CPW structure with low attenuation over wide impedance ranges and its application to low-pass filters," *IEEE Trans. Microwave Theory Tech.* Vol. 49, No. 9, pp. 1634-1639, September 2001
- [50] J. B. Yoon, B. I. Kim, Y. S. Choi, E. Yoon, "3-D construction of monolithic passive components for RF and microwave ICs using thick-metal surface micromachining technology," *IEEE Trans. Microwave Theory Tech.* Vol. 51, No. 1, pp. 279-288, January 2003
- [51] R. T. Chen, E. R. Brown, "An ultra-compact low loss 30-GHz micromachined coaxial filter," *35rd European Microwave Conference*, pp. 633-636, Paris, October 2005

Optimisation des performances des circuits passifs sur silicium basse résistivité pour des applications micro-ondes et millimétriques

Chapitre 2- Optimisation des performances des circuits passifs sur silicium basse résistivité pour des applications micro-ondes et millimétriques

Introduction

Dans ce chapitre, nous allons exposer et détailler les différentes solutions technologiques que nous avons utilisées pour minimiser les pertes dans les interconnexions coplanaires sur silicium basse résistivité dans la gamme de fréquences micro-ondes et millimétriques. La première partie de ce chapitre sera focalisée sur l'utilisation d'une couche diélectrique organique épaisse pour éloigner les conducteurs métalliques du substrat silicium dispersif. A ce stade, une étude comparative entre deux types de polymères sera effectuée afin de choisir le diélectrique le plus approprié à notre gamme de fréquences. Ensuite, seront évalués l'impact des dimensions coplanaires (W et S) ainsi que celui de l'épaisseur de la couche polymère définie sur les performances des lignes coplanaires.

Dans la seconde partie de ce chapitre, nous présenterons des techniques de micro-usinage de surface alliées à la filière polymère "faibles pertes". Il s'agira d'un micro-usinage localisé en surface du film BCB ou du substrat silicium ou encore des deux. La dernière partie sera consacrée à la filière de membrane polymère. Enfin, nous conclurons ce chapitre par une synthèse générale des résultats obtenus avec les différentes filières technologiques étudiées.

1. Technologie faibles pertes à base de polymère

Dans ce paragraphe, nous allons commencer par une brève description des techniques adoptées pour la conception et la caractérisation des lignes de transmission coplanaires sur une couche organique épaisse. Ensuite, nous allons détailler les étapes technologiques suivies pour leur réalisation. Finalement, l'impact des dimensions coplanaires sur les performances micro-ondes des lignes CPW sur polymère sera exposé et interprété.

1.1. Lignes de transmission coplanaires sur une couche épaisse organique

La conception des lignes de transmission coplanaires sur une couche épaisse de polymère (cf. Figure 2.1) a été effectuée grâce à des simulations électromagnétiques en utilisant le logiciel 2.5-D Sonnet basé sur la méthode des moments. Celui-ci s'est avéré parfaitement adapté pour de telles structures coplanaires. Les dimensions coplanaires (W, S) ainsi que la permittivité effective (ϵ_{eff}) d'une ligne CPW, correspondant à une impédance caractéristique (Z_c) donnée, sont déterminées grâce à un rebouclage de simulations électromagnétiques des paramètres [S] d'une ligne coplanaire jusqu'à obtenir l'impédance caractéristique souhaitée.

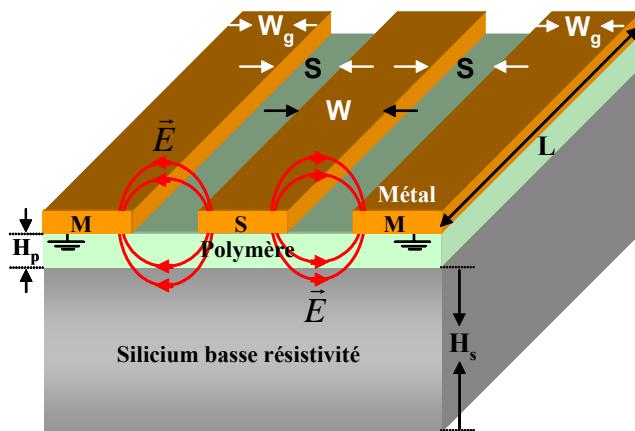


Figure 2.1 : Vue en coupe d'une ligne coplanaire, de longueur 'L', intercalée du substrat silicium par une couche de polymère d'épaisseur 'H_p'

En outre, la conception d'une ligne de transmission coplanaire à l'aide de l'approximation de la transformation conforme basée sur des calculs quasi-statiques ne peut pas être appliquée dans le cas de lignes coplanaires sur une couche épaisse de polymère [1].

La caractérisation des lignes de transmission coplanaires sur une couche organique épaisse se fait par l'extraction de la constante de propagation complexe ($\gamma = \alpha + j\beta$) à partir des paramètres [S] d'un couple de lignes CPW de longueurs différentes ($L_2 - L_1 = L$) [2].

Les mesures des structures coplanaires réalisées ont été effectuées sous pointes pour une gamme de fréquence s'étalant de 0.4 GHz à 67 GHz, à l'aide d'un analyseur de réseaux vectoriels (Wiltron 360 B). Afin d'éliminer les erreurs systématiques dues aux appareils de mesure (analyseur de réseaux vectoriel, câbles, connecteurs,...), nous procédons à un calibrage dit 'S.O.L.T' sur un substrat de calibrage en alumine (Al_2O_3), qui fait appel aux quatre standards de calibrage: Court-circuit (Short), circuit-ouvert (Open), charge adaptée 50 Ω (Load) et une ligne de transmission de longueur nulle (Thru).

Les premières mesures des lignes coplanaires ont présenté un pic au voisinage de 30 GHz. Ceci doit être dû au support métallique (chuck) de la station sous pointes, sur lequel est déposée la face arrière du substrat, qui entraîne l'apparition des modes parasites à savoir le mode de couplage micro-ruban et le mode parallèle plate caractérisant le guide coplanaire [3]. Afin de vérifier une telle hypothèse et de supprimer ces modes parasites, nous avons placé entre le substrat silicium et le support métallique de la station sous pointes un support en verre de faible permittivité. Ceci a permis effectivement d'atténuer d'une manière remarquable les pics et donc minimiser l'impact des modes parasites, comme le montre la Figure 2.2.

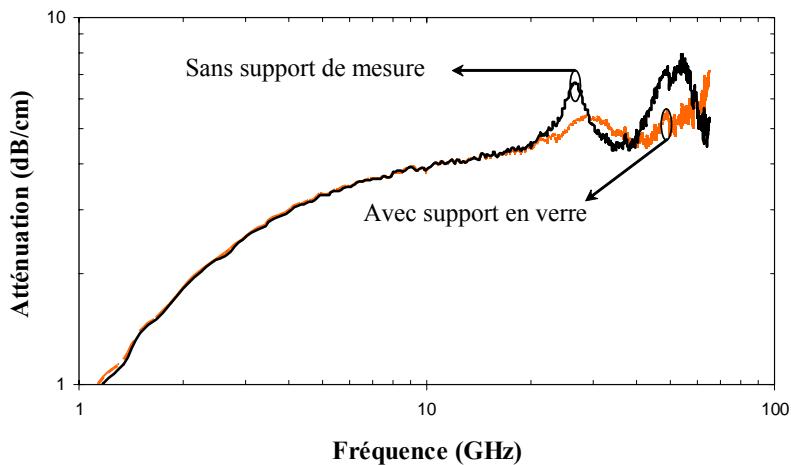


Figure 2.2 : Impact d'un support intermédiaire en verre entre le support métallique de la station sous pointes et le substrat silicium sur les mesures d'une ligne CPW sur silicium

1.2. Filière technologique

La réalisation d'une ligne de transmission coplanaire sur une couche épaisse de polymère suit une séquence de cinq étapes technologiques principales présentée sur la Figure 2.3.

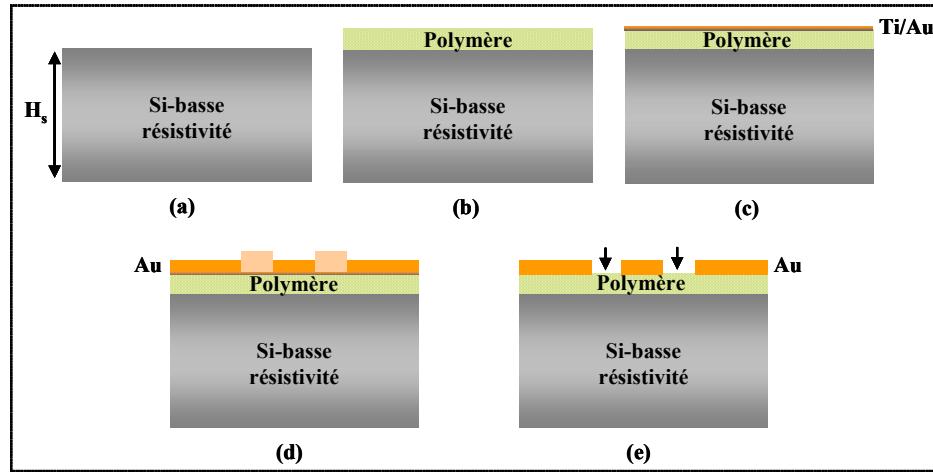


Figure 2.3 : Procédé technologique de réalisation d'une ligne CPW sur polymère

- (a) Nettoyage du substrat silicium;
- (b) Dépôt de polymère;
- (c) Dépôt de la couche d'accrochage en Ti/Au;
- (d) Croissance électrolytique d'or;
- (e) Gravure de la couche Ti/Au dans les fentes coplanaires.

1.2.1. Impact du nettoyage du substrat

Les pertes du substrat sont non seulement provoquées par la faible résistivité de celui-ci, mais également par les charges localisées à son interface. En effet, lorsqu'on applique une polarisation entre le signal et les plans de masse, nous obtenons un état d'interface d'accumulation ou d'inversion. Dans chacun de ces deux états, les charges induites mènent à une atténuation très élevée [4]-[6]. De façon analogue, une passivation à la surface du substrat silicium engendre une modification de la densité de charges à l'interface, comme l'indiquent les travaux de A. Loke [7]. Pour pallier à ce problème, il est impératif de procéder à un nettoyage du substrat silicium, avant le dépôt de la couche de polymère, afin d'obtenir une surface propre et quasi-exempte de défauts, pour minimiser les pertes. Dans ce sens, nous avons testé différents types de nettoyage:

- Nettoyage RCA standard avec une dernière étape où le substrat est immergé dans une solution de HF (10 % de HF dans l'eau déionisée);
- Nettoyage dans une solution de H_2SO_4/H_2O_2 pendant deux minutes suivi d'une immersion dans une solution de HF pendant trente secondes;
- Nettoyage RCA standard suivi d'une immersion dans de l'éthanol pour éviter la formation d'un oxyde natif à la surface du silicium;

- Nettoyage RCA sans le bain de HF final afin de conserver le dernier oxyde chimique formé.

Parmi les différents types de nettoyage testés, le nettoyage RCA sans le bain de HF final a permis une réduction considérable des pertes, comme l'illustre la Figure 2.4. La suppression de ce bain permet effectivement de conserver un oxyde chimique de meilleure qualité que l'oxyde natif créé à l'air ambiant permettant ainsi de supprimer les courants de fuite dus aux charges d'interface. En effet, l'utilisation de ce type de nettoyage a permis une réduction du coefficient d'atténuation d'une ligne coplanaire de la même manière qu'une oxydation thermique du substrat silicium (à 1150 °C) après un nettoyage RCA standard (cf. Figure 2.4).

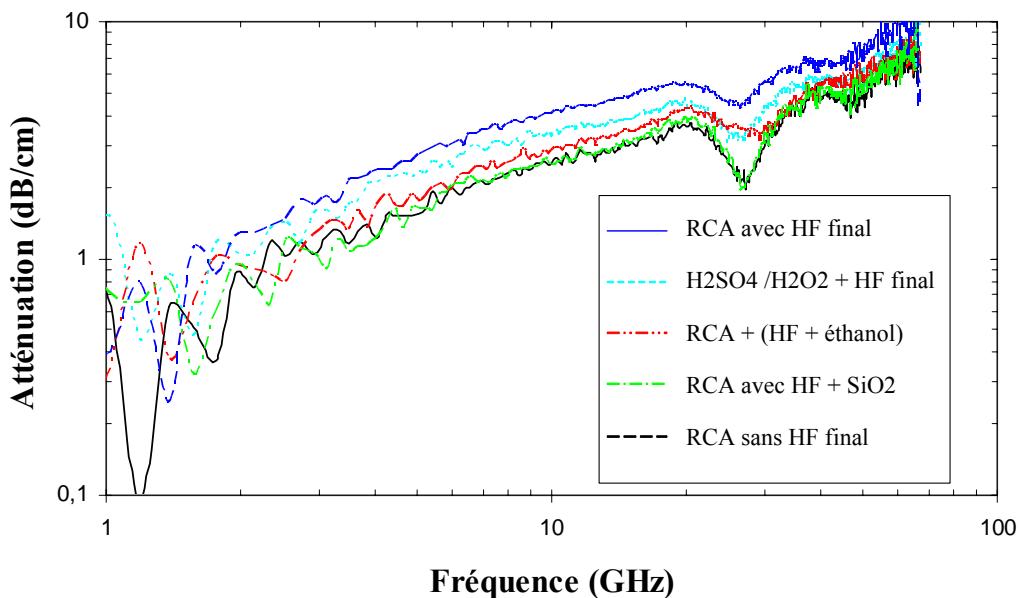


Figure 2.4 : Coefficient d'atténuation d'une ligne CPW sur BCB selon le type de nettoyage initial de la surface du substrat silicium

D'un autre côté, un nettoyage RCA sans le bain de HF final du substrat silicium permet de réduire la permittivité effective de la ligne coplanaire CPW, comme le montre la Figure 2.5. Ceci confirme la réduction notable de la densité de charges d'interface, qui se traduit par une réduction des capacités parasites entre les conducteurs coplanaires et le substrat silicium basse résistivité.

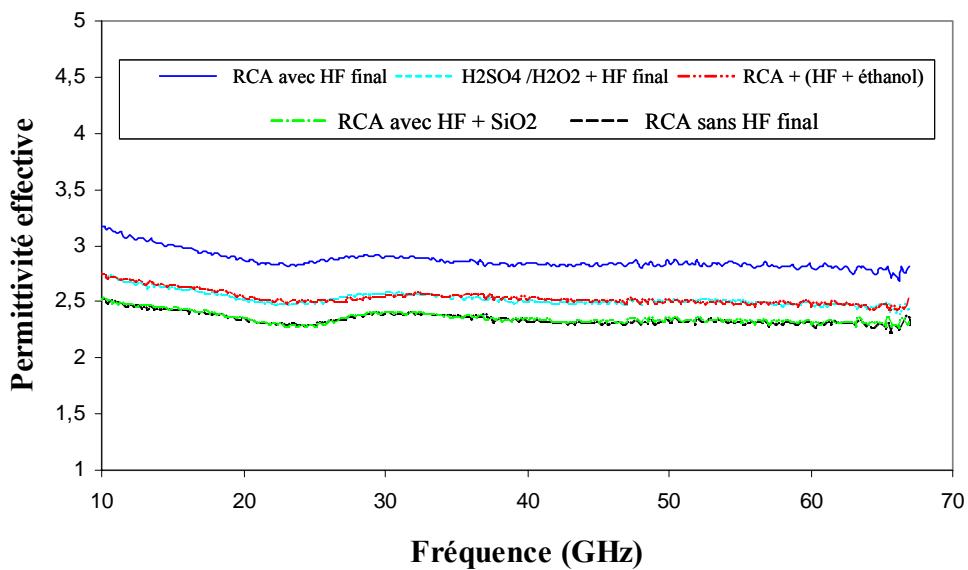


Figure 2.5 : Permittivité effective (ϵ_{eff}) d'une ligne CPW sur BCB selon le type de nettoyage du substrat silicium

1.2.2. Couche diélectrique organique

a- Choix du matériau polymère

Le choix de diélectrique qui doit séparer les circuits passifs du substrat silicium dispersif constitue un élément clé d'un composant passif à faibles pertes et à fort facteur de qualité. En fait, un diélectrique idéal doit regrouper les qualités suivantes:

- Constante diélectrique faible (ϵ_r), tendant vers celle de l'air;
- Faible tangente de pertes ($\text{tg}\delta$);
- Faibles contraintes résiduelles;
- Faible adsorption d'humidité;
- Forte tension de claquage;
- Excellente compatibilité avec les matériaux adjacents;
- Stabilité thermique (température de transition vitreuse élevée);
- Conductibilité thermique élevée;
- Stabilité de ses propriétés en fonction de l'humidité, de la température et de la fréquence;
- Degré de planarisé (DOP) très élevé;
- Photosensible pour minimiser le nombre d'étapes technologiques;
- Bonne résistance aux produits chimiques utilisés au cours des procédés technologiques.

Ces dernières années, les diélectriques organiques ont été couronnés par un succès formidable grâce à leurs remarquables propriétés. Ce type de diélectrique fait partie de deux grandes familles que sont les polyimides et les polymères.

(i). Les polyimides

Le diélectrique organique le plus célèbre correspond à la gamme des polyimides. Ceux-ci sont des polymères auxquels on rajoute un groupe ‘imide’. Ils connaissent un essor important et voient leur part de marché croître comme diélectrique intermétallique dans les structures multicouches grâce à leurs excellentes propriétés mécaniques et leurs très bonnes propriétés électriques. Ils sont, de plus, insensibles aux solvants organiques et, pour les applications spatiales, ils offrent une excellente résistance aux rayonnements ionisants. Cependant, les polyimides sont obtenus à partir d'acide polyamide qui pose un énorme problème, en particulier, avec le cuivre [8], [9]. Ils sont également absorbeurs d'humidité, ce qui provoque une variation de leur constante diélectrique [8], [10], [11], et présentent un coefficient de dilatation thermique relativement élevé.

(ii). Polymères photosensibles - BenzoCycloButène

L'usage des polymères photosensibles comme films diélectriques réduit d'une manière significative le coût des procédés par une réduction du nombre des étapes technologiques de l'ordre de 50 % [11]-[13].

Nous nous sommes intéressés, alors, à la version photosensible du BenzoCycloButène 4026-46 (BCB), de la société Dow Chemical Company. Il présente des contraintes résiduelles très faibles, un degré de planarisation élevé (DOP > 90%), une excellente résistance aux procédés chimiques [14], une bonne stabilité thermique, de clarté optique élevée [15]. Enfin, il offre une excellente compatibilité avec différents type de métaux (Cu, Au), et ne fait pas l'objet de phénomène de migration du métal, en particulier le cuivre [11], [16], dans la matrice polymère. Mais le grand avantage du BCB se situe au niveau de sa constante diélectrique, parmi les plus faibles rencontrées (2.65 de 1kHz-20 GHz), sa tangente de perte très basse ($8 \cdot 10^{-4}$ - $2 \cdot 10^{-3}$ à 1 kHz-10 GHz) et son taux d'absorption d'humidité très réduit. Ainsi, de grands espoirs semblent avoir été fondés sur l'usage de ce matériau comme remplaçant futur des polyimides pour des applications micro-ondes et millimétriques.

b- Comparaison entre des lignes de transmission coplanaires sur polymère et sur polyimide

Afin de justifier notre choix de BenzoCycloButène comme diélectrique pour des fonctions passives sur silicium à des fréquences micro-ondes et millimétriques, une étude comparative entre deux lignes de transmission coplanaires, l'une sur le BCB 4026-46 et l'autre sur le Durimide 7320, de Arch chemical company, a été effectuée. Le Tableau 2.1 récapitule les principales caractéristiques du BCB et du Durimide.

	BCB	Durimide
Constante diélectrique (ϵ_r @ 1 MHz)	2.65	3.2-3.3
Tangente de pertes ($\tan\delta$ @ 1 MHz)	$8 \cdot 10^{-4}$	$8 \cdot 10^{-3}$
Taux d'absorption de l'humidité	0.08 %	1.08 %
Température de recuit	250 °C	350 °C
Coefficient de dilatation thermique (CTE)	52 ppm/°C	55 ppm/°C
Contraintes résiduelles	28 MPa	33 MPa

Tableau 2.1 : Comparaison entre les propriétés de BCB et celles de Durimide

Les résultats de mesures du coefficient de transmission de deux lignes coplanaires sur BCB et sur Durimide pour un couple de dimensions coplanaires (90,10) et une épaisseur de polymère de 14 μm sont indiqués sur la Figure 2.6. Nous pouvons constater que le BCB présente de faibles pertes d'insertion, avec 0.33 dB à 20 GHz au lieu de 3.2 dB pour le Durimide. Ce dernier possède, en effet, une tangente de pertes dix fois supérieure à celle de BCB au-delà de 20 GHz.

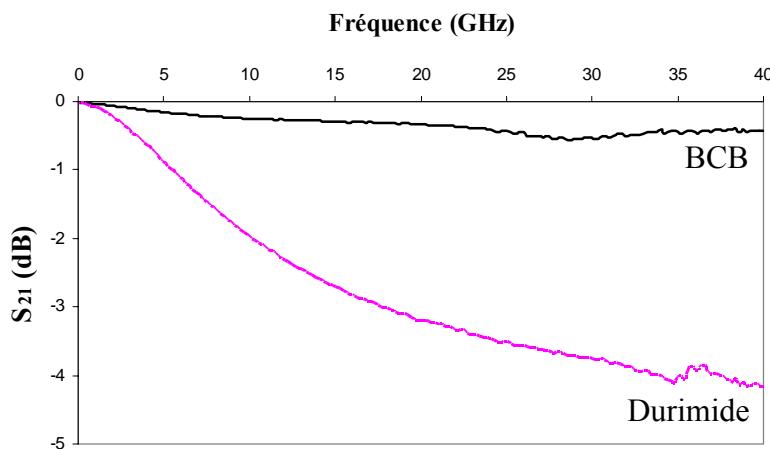


Figure 2.6 : Coefficient de transmission mesuré de deux lignes CPW sur BCB et sur Durimide

D'un autre côté, la ligne CPW sur BCB présente une permittivité effective quasi-constante dans toute la bande de fréquence X-Ka par rapport à la ligne CPW sur Durimide, comme le montre la Figure 2.7. Ceci peut être expliqué par une réduction notable des capacités parasites entre les conducteurs coplanaires et le substrat silicium basse résistivité. Cette absence de dispersion pour les lignes coplanaires sur BCB doit faciliter la conception des composants passifs micro-ondes et millimétriques. C'est pour cette raison que notre choix s'est porté sur le BCB 4026-46 comme diélectrique organique pour éloigner nos circuits coplanaires du substrat silicium.

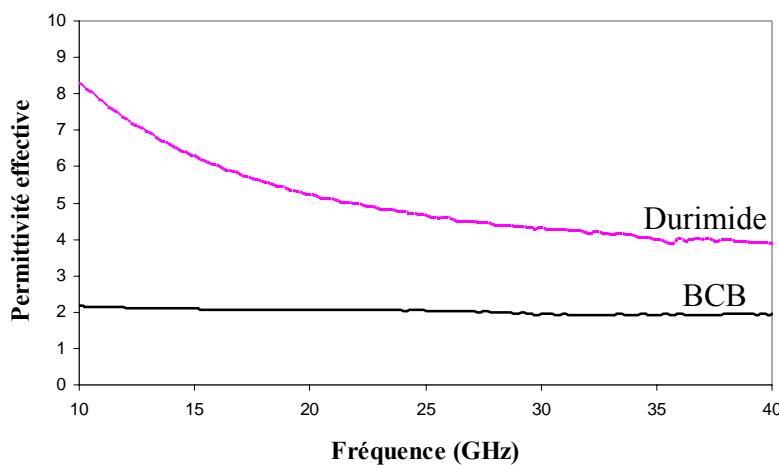


Figure 2.7 : Permittivité effective des lignes CPW sur BCB et sur Durimide

c- Procédé technologique pour le dépôt de BCB

Après un nettoyage adéquat du substrat silicium et juste avant le dépôt de film BCB, nous avons recours à un promoteur d'adhérence afin d'améliorer l'adhérence du BCB au substrat silicium. Il s'agit de Vinyltriacetoxysilane (AP 3000) de Dow chemical company, dont nous déposons 3 ml à la tournette en dynamique (vitesse: 2000 trs/min, accélération: 2000 trs/min/s) pendant 30 secondes.

Le dépôt de BCB est effectué juste après à la tournette avec capot fermé. Celui-ci permet en effet de confiner l'air et les solvants dégagés par le polymère, ce qui aboutit à des dépôts uniformes, plans, d'épaisseur contrôlée et des effets de bords sur les plaques minimaux [12].

L'épaisseur de BCB obtenue dépend de la vitesse de rotation de la tournette [16]. Pour un dépôt de 10 μm de cyclotene 4026-46, une vitesse de rotation de la tournette de 1500 trs/min et une accélération de 2000 trs/s pendant 30 secondes avec 5 ml de BCB sont utilisées. Dans le cas de dépôt de fortes épaisseurs (au-delà de 15 μm), celui-ci se fait en plusieurs couches avec un pré-recuit intermédiaire.

Après l'enduction, les plaques sont soumises à un pré-recuit sur une plaque chauffante afin d'éliminer les solvants résiduels, supprimer les contraintes causées par la centrifugation et améliorer l'adhérence dans le cas d'un dépôt d'une autre couche de BCB. Pour un film de BCB de 10 μm d'épaisseur, les conditions optimales de température et de temps de pré-recuit déterminées, pour une résolution maximale et une bonne qualité du film, sont respectivement de 90 °C et de 60 secondes. Le film BCB est ensuite polymérisé. Ceci est réalisé dans un four de recuit sous balayage d'azote afin d'éviter la formation de composés oxydés à la surface du BCB lorsque la température s'élève au-delà de 150 °C. Selon l'utilisation de BCB comme intercouches ou comme une couche finale, il existe deux types de post-recuit:

- Recuit de type “soft cure”, à 210 °C pendant 40 minutes, permettant une polymérisation partielle du BCB (75 % à 85 %). Ceci permet d'améliorer l'adhérence entre les couches de polymère.
- Recuit de type “hard cure” à 250 °C pendant une heure. Ce type de recuit est utilisé pour la dernière couche de BCB où un taux de polymérisation de 98 % peut être obtenu.

La rampe en température du recuit hardcure est indiquée sur la Figure 2.8. Ce recuit est suivi d'un refroidissement lent des plaquettes permettant la relaxation de la contrainte intrinsèque du polymère.

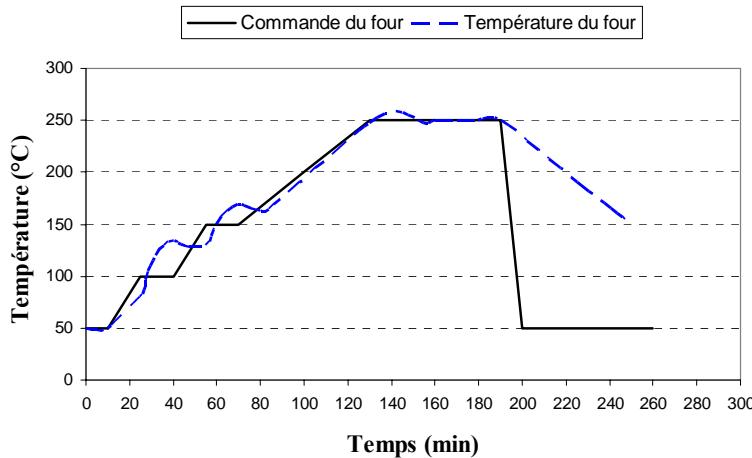


Figure 2.8 : Cycle de post-recuit du BCB à 250 °C

1.2.3. Dépôt métallique

Juste avant le dépôt métallique, nous procédons à un léger traitement par plasma (O_2/CF_4) à la surface du BCB. Ceci permet, d'une part la suppression d'éventuels contaminants de BCB, et d'autre part augmente la rugosité du polymère et facilite l'adhérence de la couche d'accrochage déposée juste après. L'or n'adhérant pas directement sur le BCB, nous utilisons donc une couche d'accrochage en Ti/Au obtenue par évaporation. Le rôle du titane d'épaisseur 1000 Å est de pallier à la mauvaise adhérence du dépôt métallique d'or sur le BCB tout en constituant une barrière de diffusion des atomes d'or dans le polymère. Le film d'or, d'épaisseur 5000 Å, permet d'amorcer le dépôt électrolytique suivant.

Afin de minimiser l'effet de peau et donc les pertes ohmiques dans l'ensemble de nos structures coplanaires (lignes coplanaires, filtres, inductances, antennes), nous procédons à un dépôt d'or de 3 µm d'épaisseur qui est cinq fois supérieure à l'épaisseur de peau à 20 GHz. A ce stade, nous avons choisi le dépôt électrolytique comme technique de métallisation puisqu'il permet d'obtenir de fortes épaisseurs de métallisation contrairement au dépôt par évaporation (lift-off) qui est limité à une épaisseur inférieure à 2 µm et qui est excessivement cher comparé au dépôt électrolytique. Ce dernier est effectué dans un bain électrolytique qui consiste en une solution de cyanure d'or et de cyanure de potassium. La cinétique de dépôt électrochimique est directement proportionnelle à la densité de courant dans la cuve. Afin d'obtenir des dépôts de bonne qualité présentant notamment une fine granulation, une densité de courant optimale a été déterminée. Le dépôt électrolytique d'or peut être effectué directement en pleine plaque ou localisé dans un moule.

a- Dépôt électrolytique pleine plaque

Cette technique consiste à déposer une couche d'or électrolytique pleine plaque (3 μm) et de procéder par la suite à une gravure de l'or dans les fentes coplanaires en utilisant un masque de résine. Cependant, l'or obtenu ne présente pas des flancs droits (cf. Figure 2.9) en raison du caractère isotrope du bain d'attaque or à base d'iode (I_2) et d'iodure de potassium (KI).

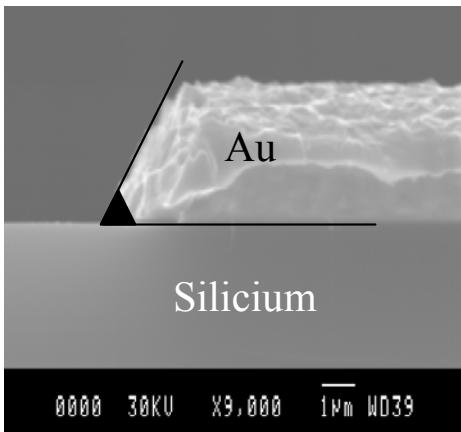


Figure 2.9 : Vue au MEB¹ du profil d'un conducteur métallique obtenu après la gravure de l'or déposé plein plaque dans les fentes coplanaires

De plus, les dimensions des structures coplanaires réalisées de cette manière ne sont pas respectées. En effet, il y a eu une gravure latérale de l'ordre de 7 μm de chaque côté des fentes coplanaires, comme le présente le Tableau 2.2.

Dimensions du masque (W_d, S_d)	Dimensions obtenues (W_o, S_o)
(50,20)	(36,34)
(50,10)	(36,25)
(50,7)	(36,21)
(100,20)	(84,38)
(100,10)	(84,26)
(200,184)	(184,200)

Tableau 2.2 : Dimensions coplanaires en micromètre obtenues par dépôt d'or électrolytique plein plaque

¹ MEB: Microscope Electronique à Balayage

b- Dépôt localisé dans un moule de résine épaisse

La deuxième technique consiste en une croissance électrolytique d'or localisée dans un moule de résine épaisse. Cette technique de dépôt permet d'obtenir les dimensions souhaitées ainsi que des flancs droits, comme le montre la Figure 2.10. Nous avons, donc, adopté cette technique pour réaliser nos structures coplanaires.

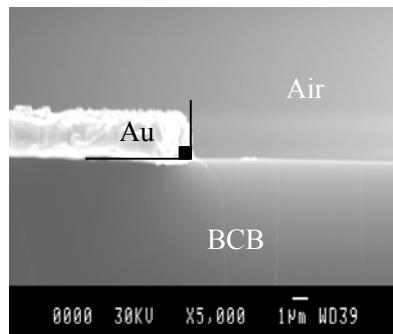


Figure 2.10 : Vue au MEB du profil d'un conducteur métallique obtenu par croissance électrolytique d'or dans un moule de résine épaisse

1.2.4. Gravure de la couche d'accrochage

Après le dépôt électrolytique et l'élimination du moule de résine à l'acétone, nous procédons à la définition de nos structures coplanaires en supprimant la couche métallique d'accrochage dans les fentes par gravure chimique. Cela se déroule en deux temps : l'attaque chimique de la couche d'or dans un bain d'attaque qui consiste en une solution d'iode (I_2) et d'iodure de potassium (KI). La vitesse d'attaque de l'or dans cette solution est de l'ordre de 100 Å/s. Suit alors l'attaque chimique de la couche de titane dans un bain d'acide fluorhydrique tamponné (buffer HF) avec une vitesse d'attaque de l'ordre de 25 à 30 Å/s. La Figure 2.11 montre une vue en coupe d'une fente de ligne de transmission coplanaire sur une couche épaisse de BCB et un substrat silicium basse résistivité.

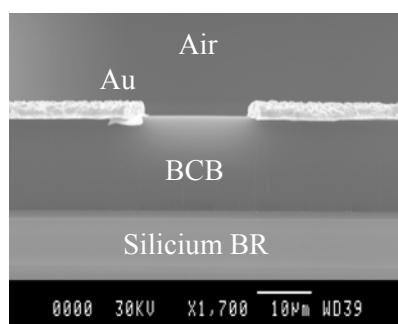


Figure 2.11 : Vue en coupe d'une fente d'une ligne coplanaire sur une couche de BCB et un substrat silicium basse résistivité

En conclusion, la Figure 2.12 récapitule les principales étapes technologiques suivies pour la réalisation d'une structure coplanaire sur une couche de BCB.

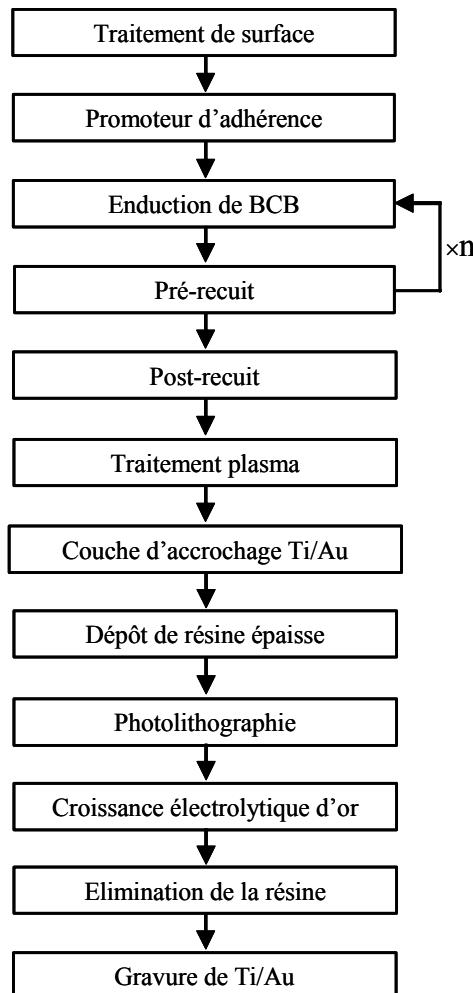


Figure 2.12 : Organigramme des étapes technologiques suivies pour la réalisation d'une ligne coplanaire sur BCB

1.3. Caractérisation des lignes coplanaires sur polymère

1.3.1. *Impact de la résistivité du substrat silicium sur les performances micro-ondes d'une ligne CPW sur polymère*

La résistivité du substrat silicium influence d'une manière significative les performances des circuits passifs, comme le montre l'équation (1.3) du premier chapitre. En effet, les résultats de simulations électromagnétiques effectuées sur le simulateur 2.5-D Sonnet pour une ligne coplanaire sur BCB montrent que plus la résistivité du substrat silicium augmente, plus les pertes de la ligne CPW diminuent, comme l'illustre la Figure 2.13.

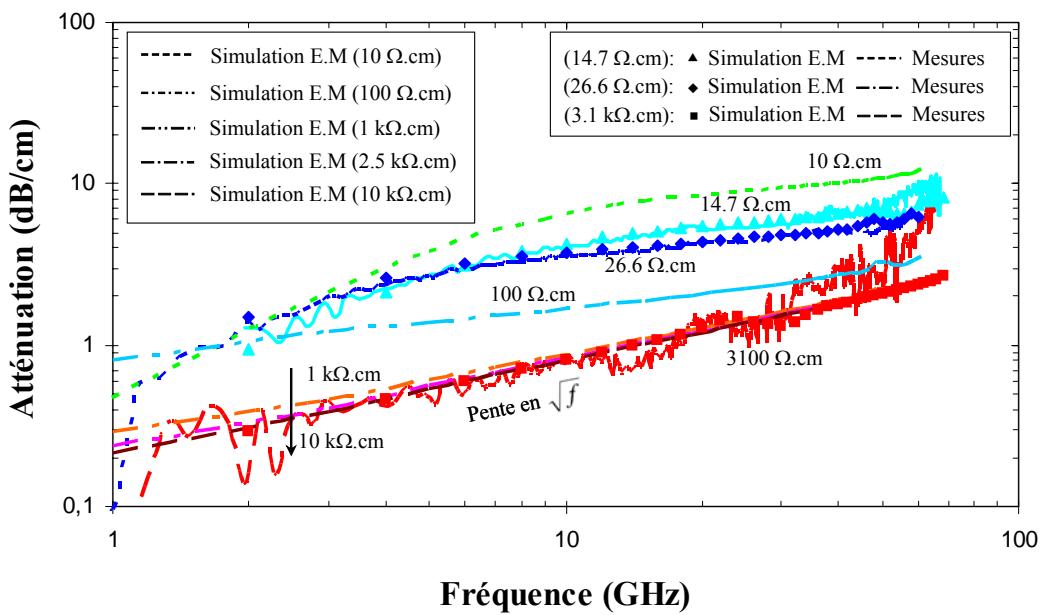


Figure 2.13 : Coefficient d'atténuation d'une ligne coplanaire sur BCB en fonction de la résistivité du substrat silicium

Cependant, à partir d'une résistivité de l'ordre de $2.5 \text{ k}\Omega\text{.cm}$, les pertes de la ligne CPW deviennent quasi-indépendantes de la résistivité du substrat silicium. Ceci s'explique par le fait que les pertes diélectriques diminuent fortement par rapport aux pertes métalliques. Ceci a été confirmé par des mesures de lignes CPW sur BCB avec différentes valeurs de résistivité du substrat silicium ($14.7 \text{ }\Omega\text{.cm}$, $26.6 \text{ }\Omega\text{.cm}$ et $3100 \text{ }\Omega\text{.cm}$). La Figure 2.13 montre que pour une résistivité de silicium de $3100 \text{ }\Omega\text{.cm}$, le coefficient d'atténuation de la ligne CPW varie comme la racine carrée de la fréquence, ce qui prouve que les pertes diélectriques deviennent négligeables devant les pertes métalliques. En effet, à 20 GHz la ligne CPW sur silicium HR ($3.1 \text{ k}\Omega\text{.cm}$) présente un coefficient d'atténuation de 1.34 dB/cm au lieu de 5.25 dB/cm obtenu à la même fréquence dans le cas d'une ligne CPW sur silicium BR ($14.7 \text{ }\Omega\text{.cm}$).

La différence observée, dans le cas de la ligne coplanaire sur SiHR ($3.1 \text{ k}\Omega\text{.cm}$), entre les résultats expérimentaux et ceux issus de simulation électromagnétique pour des fréquences supérieures à 30 GHz , s'explique par l'existence d'une fréquence de résonance qui se manifeste dans cette plage de fréquence. Cette fréquence de résonance a été supprimée en simulation électromagnétique en plaçant la ligne CPW dans un espace libre (free space).

En dépit des performances qu'offre le silicium haute résistivité par rapport au silicium BR, nous nous sommes intéressés à ce dernier dans le but d'une intégration monolithique des composants passifs avec des circuits actifs à base d'une technologie SiGe.

1.3.2. Impact des dimensions coplanaires sur les performances micro-ondes d'une ligne coplanaire sur polymère

a- Largeur du conducteur central

Afin d'évaluer l'impact de la largeur du conducteur central sur les pertes d'une ligne de transmission coplanaire sur BCB, nous avons simulé et mesuré deux lignes CPW avec une largeur de fente coplanaire (S) fixe et une largeur de conducteur central de 60 μm et 90 μm . Les lignes de transmission coplanaires sont réalisées sur un substrat silicium standard <100> dont la résistivité et l'épaisseur sont de l'ordre de 11-15 $\Omega\cdot\text{cm}$ et de 500 μm respectivement.

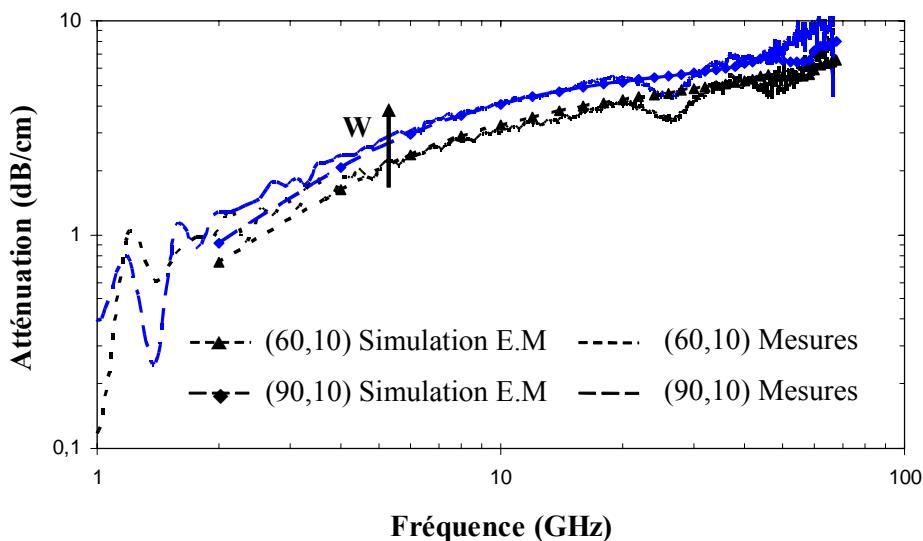


Figure 2.14 : Impact sur le coefficient d'atténuation des lignes CPW sur BCB ($H_p:14 \mu\text{m}$) de la largeur du conducteur central (W)

Contrairement à une ligne coplanaire sur un substrat isolant où les pertes, généralement d'origine ohmiques, sont réduites en utilisant des conducteurs larges [17], [18], nous remarquons que les pertes d'une ligne coplanaire sur BCB diminuent en réduisant la largeur du conducteur central (W), comme le montre la Figure 2.14. Ceci s'explique par le fait que les pertes diélectriques sont dominantes par rapport aux pertes ohmiques et que pour de faibles largeurs du conducteur central, le couplage entre les conducteurs métalliques et le substrat silicium diminue puisque les lignes de champ électrique se trouvent confinées dans le BCB. Ceci se traduit par une diminution de la permittivité effective, comme l'illustre la Figure 2.15.a.

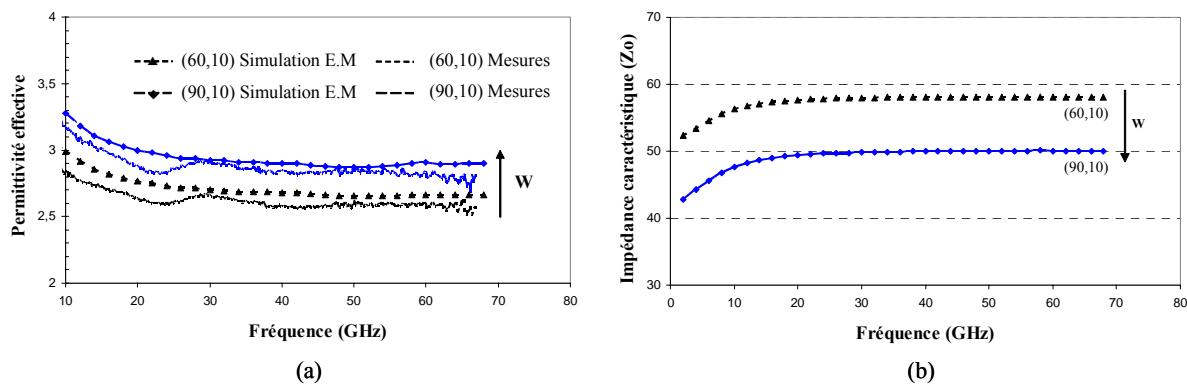


Figure 2.15 : Impact de la largeur du conducteur central (W) sur: (a) la permittivité effective et (b) l'impédance caractéristique des lignes coplanaires sur BCB

Cependant, l'impédance caractéristique de la ligne CPW sur BCB augmente en réduisant la largeur du conducteur central (W), comme l'indique la Figure 2.15.b. Elle passe en effet d'une valeur de 50Ω pour une largeur de signal de $90 \mu\text{m}$ à une valeur de 58Ω pour un conducteur central de largeur de $60 \mu\text{m}$.

Afin de maintenir l'impédance caractéristique à une valeur de 50Ω , il faut connaître l'impact de la largeur de la fente coplanaire 'S' sur l'impédance caractéristique de la ligne CPW sur polymère. Dans ce but, nous avons évalué dans le paragraphe suivant, l'influence de ce paramètre sur les caractéristiques de la ligne CPW sur BCB.

b- Largeur des fentes coplanaires

De même que pour une ligne coplanaire sur une couche de polyimide [19], les pertes d'une ligne coplanaire diminuent en réduisant la largeur de la fente coplanaire (S), comme le montrent les résultats de simulations Sonnet présentés sur la Figure 2.16 dans le cas des lignes CPW sur BCB avec une largeur de conducteur central de $90 \mu\text{m}$ et une largeur de fente coplanaire qui varie de $5 \mu\text{m}$ à $15 \mu\text{m}$.

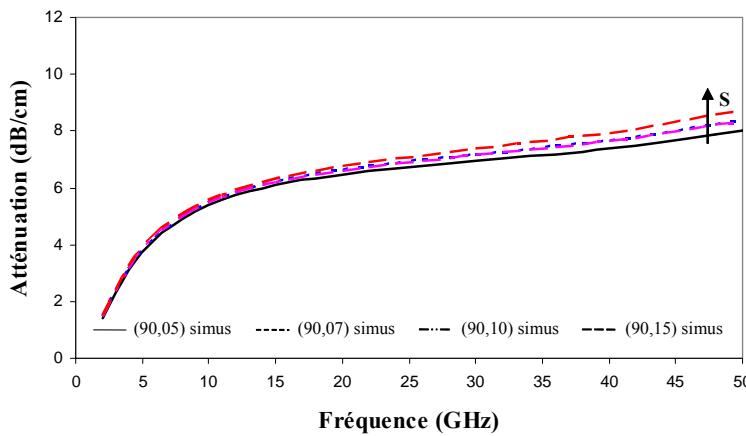


Figure 2.16 : Impact sur le coefficient d'atténuation des lignes CPW sur BCB de la largeur de la fente coplanaire

En effet, lorsque l'espacement (S) entre le signal et le plan de masse est plus petit que l'épaisseur du BCB, les courants longitudinaux dans le substrat (égaux en magnitude et opposés en signe) commencent à disparaître et les lignes de champ électrique se trouvent fortement confinées dans la couche polymère. Ceci se traduit par une réduction des pertes diélectriques et une diminution de la permittivité effective de la ligne CPW, comme le montrent les résultats de simulations électromagnétiques de la Figure 2.17.

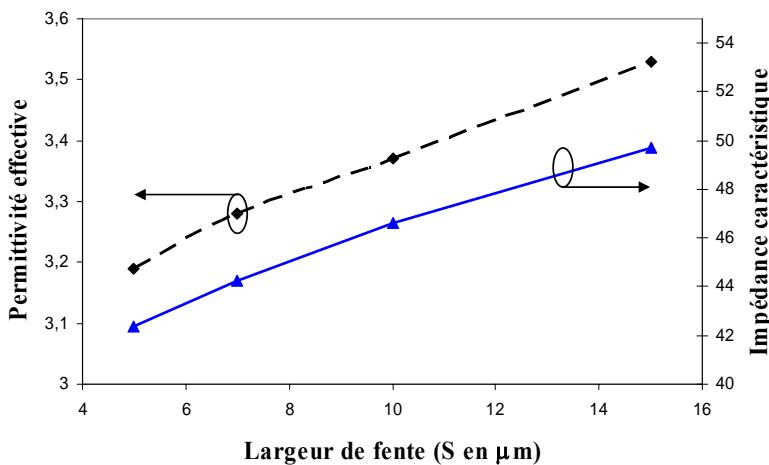


Figure 2.17 : Permittivité effective et impédance caractéristique des lignes CPW sur BCB en fonction de la largeur de fente coplanaire (S)

D'un autre côté, nous remarquons une diminution de la valeur de l'impédance caractéristique (Z_0) avec la réduction de la largeur de la fente coplanaire (S). Cela pourra compenser l'augmentation de l'impédance caractéristique observée avec la réduction de la largeur du conducteur central. Nous pouvons conclure donc que la réduction de l'espacement

(W+2S) entre les deux demi-plans de masse mènera à une réduction de niveaux de pertes avec une impédance caractéristique de l'ordre de 50Ω . Ceci est confirmé par les résultats de mesures et ceux de simulations E.M. de deux lignes coplanaires sur 14 μm de BCB, adaptées à 50Ω , avec deux couples de dimensions coplanaires (90,10) et (60,05), comme l'indique la Figure 2.18.

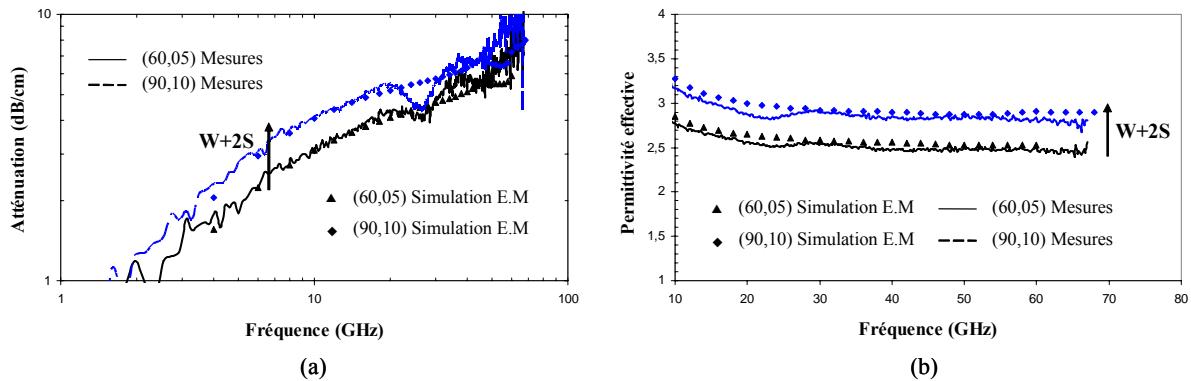


Figure 2.18 : Impact des dimensions coplanaires (W,S) sur: (a) le coefficient d'atténuation et (b) la permittivité effective des lignes coplanaires sur BCB

La Figure 2.18.a montre effectivement une amélioration de l'ordre de 20 % à 20 GHz du coefficient d'atténuation (α) lorsque l'espacement (W+2S) entre les deux demi-plans de masse passe de 110 μm à 70 μm . Une réduction de la permittivité effective a été également enregistrée avec la réduction des dimensions coplanaires, comme l'illustre la Figure 2.18.b.

Cela semble encourageant puisque avec une couche épaisse de BCB nous arrivons à la fois à réduire les niveaux de pertes et les dimensions de nos structures coplanaires sur silicium basse résistivité.

1.3.3. Impact de l'épaisseur de BCB

Afin d'évaluer l'impact de l'épaisseur de BCB sur les performances micro-ondes des lignes coplanaires, nous avons réalisé des lignes CPW sur différentes épaisseurs de BCB (H_p : 14 μm , 20 μm et 30 μm) avec différentes dimensions coplanaires (W,S) de telle manière à avoir une impédance caractéristique constante de 50Ω , comme le montre le Tableau 2.3. Nous pouvons constater que l'augmentation de l'épaisseur de polymère implique une diminution de l'espacement entre les deux plans de masse (W+2S) pour une impédance caractéristique donnée.

CPW _i	H _p (μm)	W (μm)	S (μm)
CPW ₁	14	90	10
CPW ₂	20	90	07
CPW ₃	30	90	05

Tableau 2.3 : Dimensions coplanaires de lignes CPW adaptées à 50Ω sur différentes épaisseurs de BCB avec une largeur de conducteur central (W) constante

Pour chaque ligne CPW, l'espacement entre les deux demi-plans de masse (W+2S) est choisi très inférieur à la fois à l'épaisseur du substrat silicium (H_s) et à la largeur des plans de masse (W_g) ($H_s, W_g > 4.(W+2S)$), ceci pour assurer une propagation monomode ainsi que de faibles dispersions fréquentielles [22]-[24].

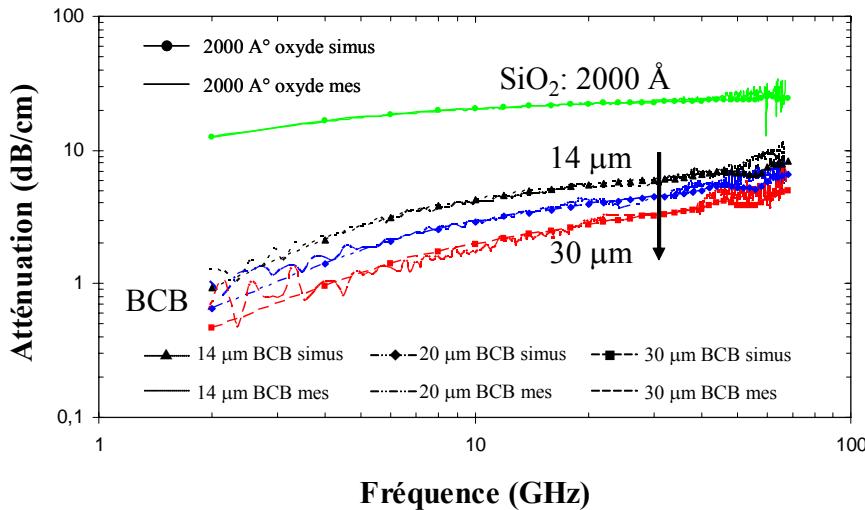


Figure 2.19 : Impact de l'épaisseur de BCB sur le coefficient d'atténuation d'une ligne CPW

La Figure 2.19 présente les coefficients d'atténuation simulés et mesurés de lignes de transmission coplanaires adaptées à 50Ω (CPW₁, CPW₂ et CPW₃) sur différentes épaisseurs de BCB. Nous pouvons constater que le coefficient d'atténuation (α) dépend fortement de l'épaisseur de polymère déposé. En effet, les résultats à la fois de simulations électromagnétiques et de mesures révèlent que l'augmentation de l'épaisseur de BCB implique une diminution du coefficient d'atténuation. Ceci prouve que le champ d'interaction entre les conducteurs métalliques et le substrat silicium se réduit de manière significative. Les lignes de champ électrique sont effectivement de plus en plus confinées dans la couche de BCB présentant une faible tangente de pertes ($\text{tg}(\delta)$: 8.10^{-4}) par rapport à celle du substrat silicium ($\text{tg}(\delta)$: 18.10^{-3}). La ligne CPW₃ présente alors un coefficient d'atténuation de

2.9 dB/cm à 20 GHz avec une épaisseur de BCB de 30 μm au lieu de 5.25 dB/cm à la même fréquence pour la ligne CPW₁ avec une épaisseur de BCB de 14 μm [25].

Afin de montrer l'intérêt de la technologie polymère à faible permittivité effective par rapport à une passivation classique, nous avons aussi réalisé une ligne CPW sur un oxyde thermique (SiO_2) de 2000 \AA d'épaisseur déposé par oxydation sèche à 1150 °C. Une réduction du coefficient d'atténuation de la ligne CPW de l'ordre de 87% est alors obtenue en utilisant une couche épaisse de BCB de 30 μm au lieu d'une passivation minérale souvent utilisée. Ceci conforte l'utilisation du BCB comme interface diélectrique pour l'intégration monolithique de circuits micro-ondes et millimétriques en technologie silicium standard.

Le confinement des lignes de champ électrique dans la couche épaisse de polymère est aussi été confirmé par des mesures de la permittivité effective de la ligne, présentées sur la Figure 2.20. Ce paramètre (ϵ_{eff}) est inversement proportionnel à l'épaisseur de BCB (H_p), et peut être exprimé comme suivant [25]:

$$\epsilon_{\text{eff}} = a \left(\frac{1}{H_p} \right) + b \quad (2.1)$$

où les paramètres d'ajustement 'a' et 'b' dépendent de la fréquence pour saturer à partir de 20-30 GHz.

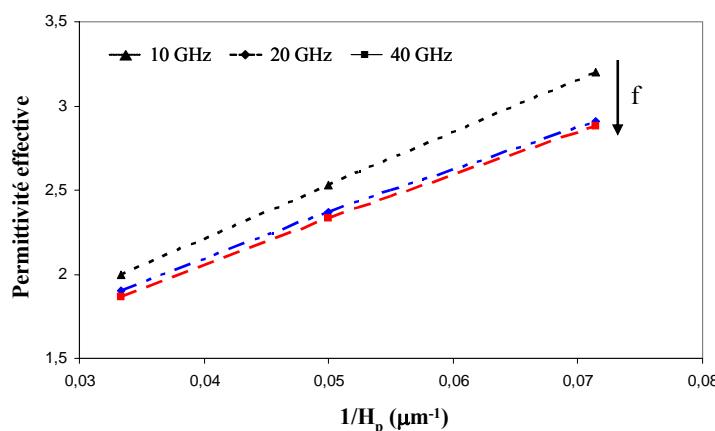


Figure 2.20 : Impact de l'épaisseur de BCB sur la permittivité effective de la ligne CPW

À 20 GHz, la permittivité effective décroît d'une valeur de 2.9 pour une ligne CPW sur 14 μm de BCB à une valeur de 1.9 pour une ligne coplanaire sur une épaisseur de BCB de 30 μm . Ce comportement peut s'expliquer par le fait que les lignes de champ électrique sont

fortement confinées dans la couche épaisse de polymère qui présente une constante diélectrique de 2.65 largement inférieure à celle du substrat silicium (11.7). Ceci mène à une réduction notable des capacités parasites entre les conducteurs métalliques et le substrat silicium basse résistivité.

Finalement, afin de conclure sur l'importance de la technologie polymère à faibles pertes, il s'avère important d'évaluer le facteur de qualité des structures réalisées. En effet, ce paramètre a une grande influence sur les performances globales des circuits intégrés en terme de bruit et de gain. Dans le cas d'une ligne de transmission coplanaire (CPW), le facteur de qualité (Q) est donné par l'expression suivante:

$$Q = \frac{\beta}{2\alpha} = \frac{\omega \cdot \sqrt{\epsilon_{\text{eff}}}}{2\alpha \cdot c} \quad (2.2)$$

où 'c' est la vitesse de la lumière dans le vide, α le coefficient d'atténuation et β est la constante de propagation. Cette dernière est proportionnelle à la racine carrée de la permittivité effective. Le facteur de qualité a été calculé pour chaque ligne CPW_i ainsi que pour celle sur SiO₂ et est présenté sur la Figure 2.21.

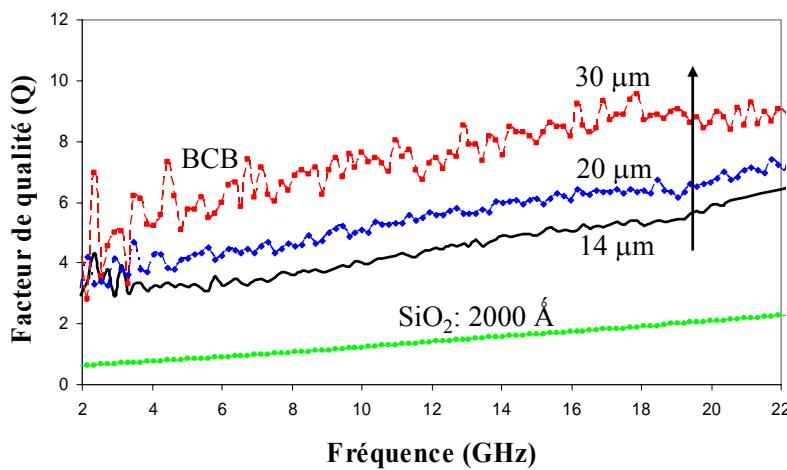


Figure 2.21 : Facteur de qualité des lignes CPW sur différentes épaisseurs de BCB

Un facteur de qualité de l'ordre de 9 est obtenu à 20 GHz avec une ligne CPW sur 30 μm de BCB au lieu de 6.7 et 5.9 observés à la même fréquence pour des lignes sur 20 μm et 14 μm de BCB respectivement. L'augmentation de l'épaisseur de BCB mène effectivement à une importante réduction des niveaux de pertes comparée à celle de la permittivité effective. L'amélioration du coefficient d'atténuation n'est pas compensée par la réduction de la

permittivité effective. D'après l'équation 2.2, une amélioration du facteur de qualité de la ligne est donc globalement obtenue. D'un autre côté, la ligne CPW réalisée sur un oxyde thermique (SiO_2) présente un facteur de qualité très faible de l'ordre de 2.1 à 20 GHz.

1.3.4. Comportement des lignes CPW sur BCB en température

Dans le but de vérifier la possibilité d'intégrer des circuits passifs sur une couche épaisse de BCB pour des applications subissant une grande variation de température, nous avons étudié le comportement en température d'une ligne CPW sur une couche de 14 μm de BCB. Des mesures de paramètres [S] de la ligne CPW ont été effectuées pour des températures variant de -60 °C à 70 °C.

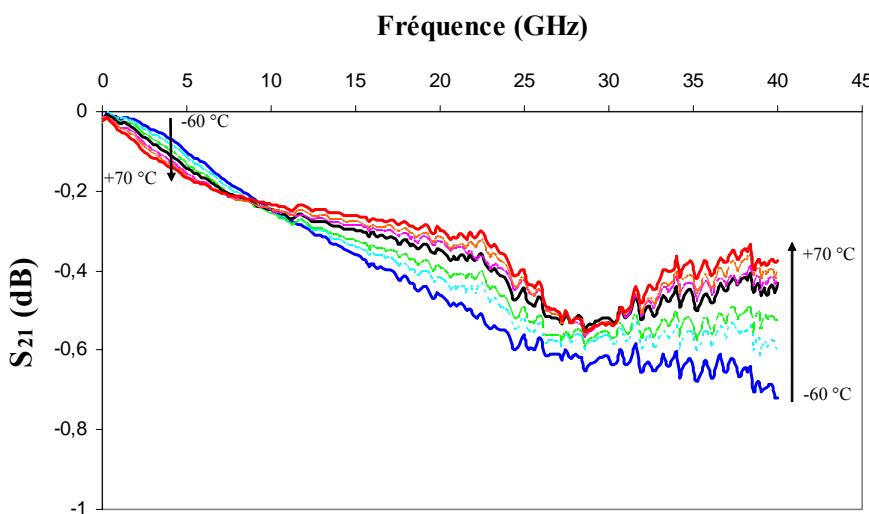


Figure 2.22 : Coefficient de transmission d'une ligne CPW sur BCB (H_p : 14 μm , ρ_{Si} : 11-15 $\Omega\cdot\text{cm}$) en fonction de la température

Pour une variation de la température de 130 °C, une différence de 0.16 dB est obtenue pour le coefficient de transmission de la ligne CPW sur BCB à une fréquence de 20 GHz, comme l'indique la Figure 2.22. Cette variation reste acceptable pour un bon fonctionnement de nos circuits micro-ondes.

1.4. Ligne coplanaire dans un milieu quasi-homogène en polymère

Nous nous sommes également intéressés à des lignes CPW réalisées dans un milieu quasi-homogène entre deux couches de polymère à faibles pertes. Cela consiste seulement à ajouter une monocouche de BCB sur les lignes CPW déjà réalisées sur 10 μm de polymère, comme le montre la Figure 2.23.

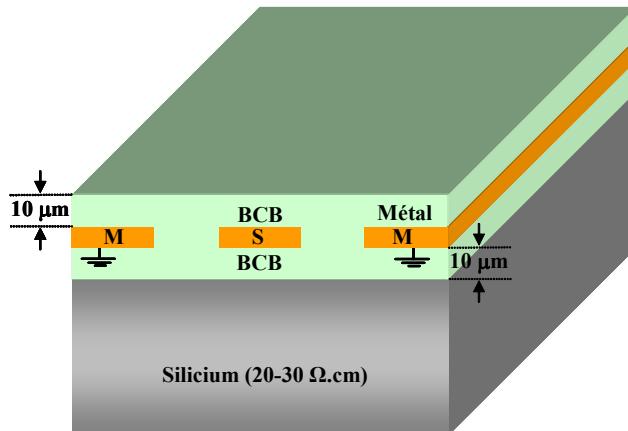


Figure 2.23 : Vue en coupe d'une ligne CPW homogène sur BCB

Les lignes de transmission coplanaires CPW sont réalisées sur un substrat silicium standard $<100>$ dont la résistivité et l'épaisseur sont de l'ordre de $20-30 \Omega\text{.cm}$ et de $400 \mu\text{m}$ respectivement. Les résultats de mesures montrent que le fait de placer les lignes CPW dans un milieu quasi-homogène n'apporte pas une amélioration notable du niveau de pertes, comme l'illustre la Figure 2.24. En effet, une ligne CPW avec un capot BCB présente un coefficient d'atténuation de 4.16 dB/cm à 20 GHz comparée à une ligne CPW classique sur $10 \mu\text{m}$ de BCB qui présente un coefficient d'atténuation de 4.27 dB/cm à la même fréquence [25]. Ceci s'explique par le fait que la ligne coplanaire reste à la même distance de la source de pertes, qui est le substrat silicium.

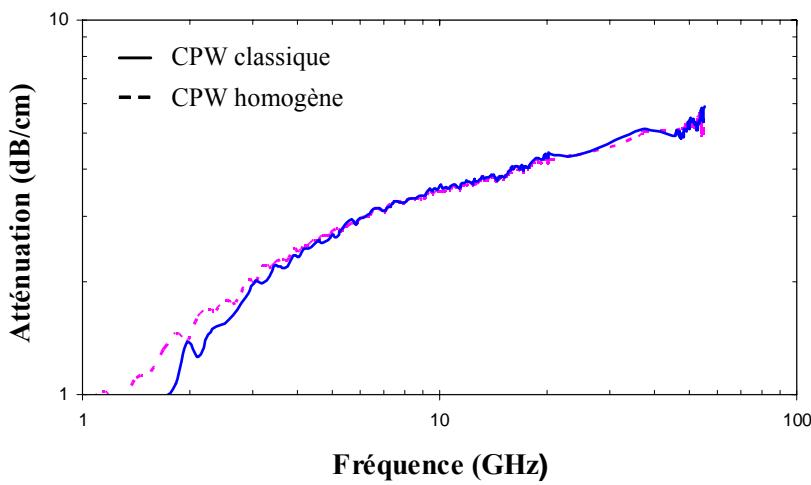


Figure 2.24 : Coefficient d'atténuation d'une ligne CPW sur BCB avec et sans capot BCB

D'un autre côté, l'addition d'une couche de BCB permet d'augmenter la permittivité effective de la ligne. Elle passe, en effet, d'une valeur de 2.9 à 20 GHz pour une ligne CPW

classique sur BCB à une valeur de 3,7 à la même fréquence pour une ligne avec capot BCB. En conséquence, une amélioration du facteur de qualité de l'ordre de 16 % est enregistrée à 20 GHz avec l'utilisation d'un capot BCB ($Q=8.4$) par rapport à une ligne CPW sur 10 μm de BCB ($Q=7.3$), comme l'illustre la Figure 2.25.

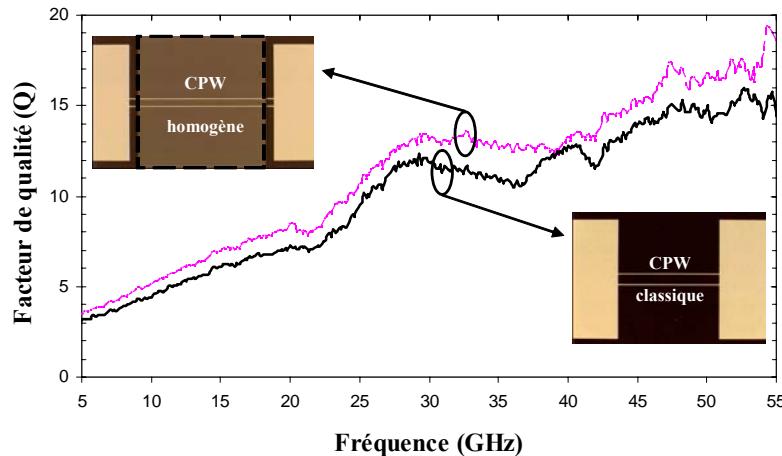


Figure 2.25 : Facteur de qualité d'une ligne CPW sur BCB avec et sans capot BCB

En conclusion, la technologie basée sur l'utilisation de fortes épaisseurs de BCB permet donc simultanément une réduction notable des niveaux de pertes des lignes de transmission coplanaires et une amélioration considérable de leur facteur de qualité.

2. Techniques de micro-usinage de surface

Toujours dans le souci d'améliorer les performances des circuits passifs sur substrat silicium standard, nous avons étudié de nouvelles solutions technologiques basées sur l'utilisation simultanée de micro-usinage localisé en surface et d'une couche épaisse organique. Les différentes solutions technologiques étudiées consistent à graver le BCB ou le substrat silicium ou encore les deux, là où les lignes de champ électriques sont fortement concentrées, c'est-à-dire dans les fentes coplanaires (cf. Figure 2.26). En effet, dans le cas d'une ligne de transmission coplanaire, la densité de courant linéique (J) varie suivant la largeur de la ligne et est maximale au voisinage des fentes coplanaires, comme le montre la Figure 2.26.

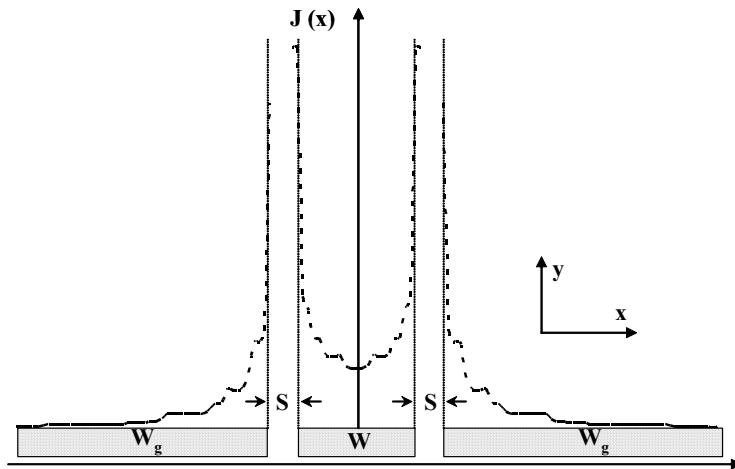


Figure 2.26 : Distribution de la densité de courant linéique dans le cas d'une ligne de transmission coplanaire

2.1. Lignes CPW avec un micro-usinage de BCB dans les fentes coplanaires

Une première solution consiste à supprimer la couche de passivation (BCB) dans les fentes coplanaires, comme le montre la Figure 2.27. Les études, qui ont été effectuées dans ce sens dans le cas d'une ligne CPW sur polyimide, ont révélé une nette amélioration des performances micro-ondes [26]. Nous avons voulu l'appliquer pour une couche organique en BCB.

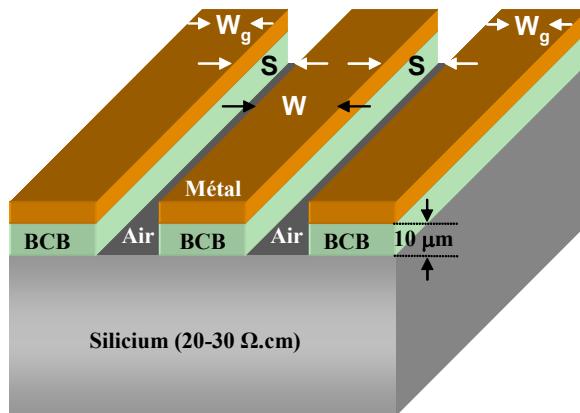


Figure 2.27 : Vue en coupe d'une ligne CPW avec micro-usinage du BCB dans les fentes

2.1.1. Procédé technologique de gravure du BCB

Il faut noter que la gravure du film de BCB, déjà recuit à 250 °C, ne peut pas être réalisée grâce à des techniques dites ‘humides’ du fait de sa résistance à la plupart des produits chimiques. C'est pourquoi, il s'avère nécessaire d'utiliser une technique de gravure ionique

réactive (RIE: Reactive Ion Etching). En effet, le BCB est un polymère contenant des atomes de silicium dans sa matrice, comme le montre la Figure 2.28.

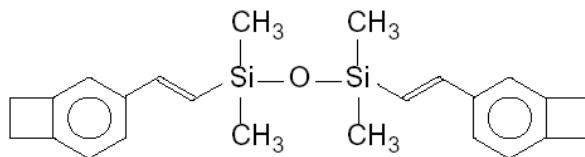


Figure 2.28 : Structure chimique du BCB

Par conséquent, la gravure RIE de ce polymère exige la présence dans le gaz plasma non seulement de radicaux d'oxygène mais aussi de radicaux de fluor (CF_4 [27]-[29], SF_6 [30]-[32] et CHF_3) ou de chlore [33]. La présence d'oxygène permet de graver les chaînes carbonées. Cependant, en présence d'un plasma d'oxygène pur il se forme une couche de passivation (SiO_2) en surface qui empêche la gravure du BCB. Ceci explique le recours à des gaz chlorés ou fluorés qui permettent de graver les atomes de silicium dans la matrice polymère.

Le principal souci est de trouver alors un procédé technologique de gravure RIE anisotrope d'un film de BCB épais (de l'ordre de $10 \mu\text{m}$). La gravure RIE du film BCB a fait l'objet d'étude pendant plusieurs années en vue de la réalisation des ouvertures des vias dans les structures d'interconnexions multicouches 3D [27], [28], [30], [34]. Il s'est avéré que l'uniformité, la sélectivité, le taux de gravure et l'angle de gravure dépendent fortement de plusieurs paramètres, à savoir:

- La puissance RF qui influence la densité des ions et leur énergie cinétique;
- La pression qui influence de son côté la densité des ions et leur directivité;
- La polarisation DC;
- La concentration des gaz;
- Le masque de gravure qui a un impact sur le profil des flancs du film de BCB.

Cependant, les études de la gravure du film de BCB qui ont été effectuées ont montré une complexe interaction entre ces différents paramètres [27], [29], [30].

Le gaz chloré ($\text{Cl}_2:\text{O}_2$) ne peut pas être utilisé avec les machines de gravure disponibles au LAAS à cause de problèmes de corrosion des canalisations dû au chlore réactif. De plus, le procédé de gravure de BCB avec ce genre de gaz est très lent (de l'ordre de 100 \AA/min), et peut provoquer une gravure latérale de polymère. Nous avons donc testé trois types de mélange de gaz plasma fluorés: ($\text{CF}_4:\text{O}_2$), ($\text{SF}_6:\text{O}_2$) et ($\text{CHF}_3:\text{O}_2$), dans le but de sélectionner

celui qui permettra une gravure anisotrope du film de BCB. Mais avant tout, nous avons du définir le masque de gravure le plus adéquat.

a- Masque de gravure RIE du BCB

La métallisation coplanaire n'a pas pu être utilisée comme masquage pour cause de pollution du bâti RIE. Une simple approche consiste à utiliser un masque de résine "soft mask" [16], [30]. Cependant, la présence des radicaux d'oxygène dans le gaz plasma implique une gravure du masque de résine étant donné la grande épaisseur de la couche de BCB à graver (10 µm). La sélectivité de gravure présente, alors, un facteur important dans le choix du masque de gravure. Elle doit présenter une valeur inférieure à l'unité (<1) [29], [30]. En effet, la sélectivité de gravure est définie comme suivant :

$$\text{Sélectivité de gravure (SG)} = \frac{\text{Taux de gravure du masque}}{\text{Taux de gravure du BCB}} \quad (2.3)$$

Etant donné que l'épaisseur de la couche de BCB à graver est de l'ordre de 10 µm, il nous a fallu un masque de résine qui présente une sélectivité de gravure (résine/BCB) minimale (1:1). Nous avons donc choisi d'utiliser 10 µm de résine positive "AZ-45 62" comme masque de gravure de BCB en raison de la facilité de son procédé technologique. Des flancs droits sont obtenus par passivation progressive lors de son développement, comme le montre la Figure 2.29.

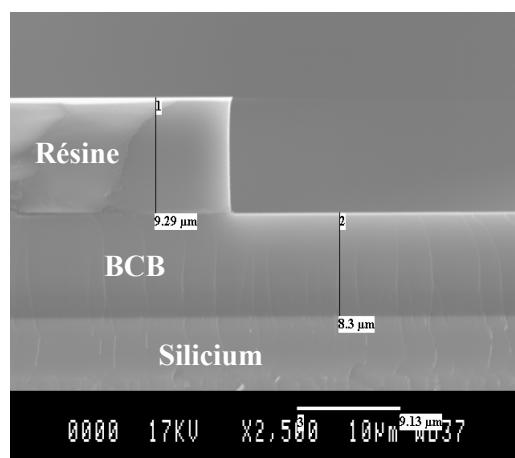


Figure 2.29 : Vue au MEB du profil de résine AZ 45 62 sur une couche épaisse de BCB

La gravure de BCB a été effectuée dans un réacteur de plasma RIE en utilisant une résine épaisse comme masque de protection du polymère. Nous avons, donc, évalué l'impact de différents gaz de gravure (SF_6 , CF_4 et CHF_3) et de la puissance RF sur l'anisotropie de la

gravure d'une couche épaisse de BCB (10 μm). Lors de ces différents tests, la pression est choisie comme étant ‘raisonnable’ pour permettre une gravure anisotrope.

b- Gravure SF₆/O₂

Dans un premier test, nous avons utilisé un mélange de (SF₆:O₂ / 1:9), une pression de 200 μbar , une puissance de 100 Watts et un temps de gravure de 18min 30sec. Ce qui nous donne une tension d’auto-polarisation de 360 V. Le profil obtenu pour une ouverture de BCB obtenu est présenté sur la Figure 2.30.a.

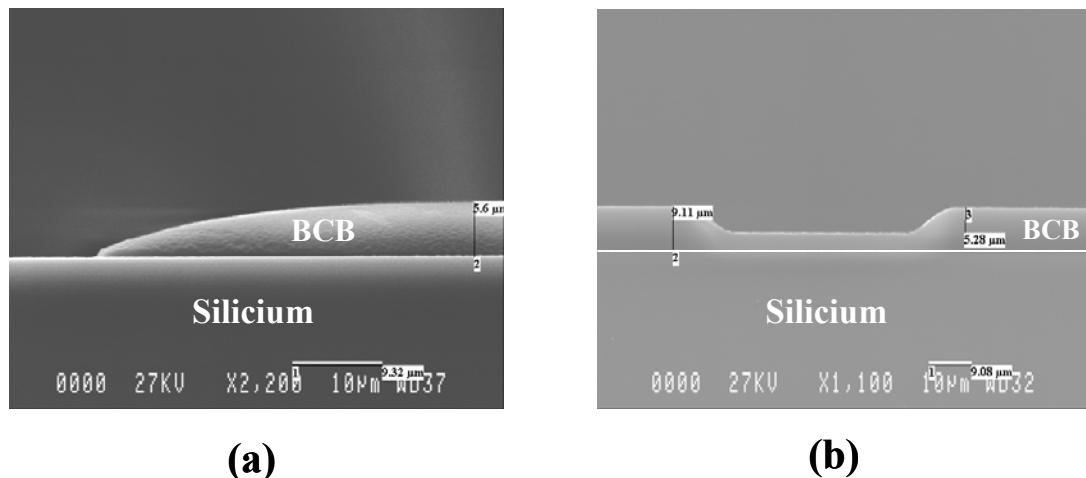


Figure 2.30 : Vues au MEB d'une ouverture de BCB après gravure au (SF₆:O₂ / 1:9) (a) à 100 W et à (b) 50 W

Nous remarquons une forte surgravure du BCB (6 μm au lieu de 9,1 μm d’épaisseur initiale) due à la longue durée de gravure, notamment au niveau des flancs, ainsi que la disparition du masque en résine.

Nous avons donc diminué dans un deuxième temps la puissance RF à 50 W avec une tension d’auto-polarisation de 250 V et 18min 30sec de gravure. Cela n'a pas permis d'améliorer suffisamment le profil de gravure (cf. Figure 2.30.b). Par contre, la vitesse de gravure a fortement diminuée (2890 $\text{Å}/\text{min}$) et le masque de résine a à nouveau disparu alors que la gravure n'est pas terminée.

Il reste à signaler que le mélange (SF₆:O₂) est utilisé aussi pour la gravure du substrat silicium avec une vitesse de gravure de l'ordre de 3.3 $\mu\text{m}/\text{min}$. Donc, lors de la réalisation des structures coplanaires sur BCB et silicium gravés dans les fentes coplanaires, il y aura un risque d'une légère gravure latérale du film BCB. En conséquence, l'utilisation de ce gaz pour la gravure du BCB ne semble pas adéquate.

c- *Gravure CF₄/O₂*

Pour le second test, nous avons utilisé un mélange de (CF₄:O₂ / 1:9), une pression de 200 µbar, une puissance de 50 W et un temps de gravure de 14min 20sec. La tension d'auto-polarisation obtenue est de 260 V. La vitesse de gravure de BCB calculée dans ce cas est de l'ordre de 1260 Å/min.

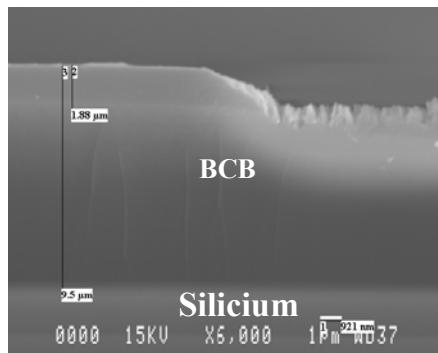


Figure 2.31 : Vue au MEB d'une ouverture de BCB après gravure au (CF₄:O₂ / 1:9) à 50 W

Le profil d'une ouverture de BCB obtenu est présenté par la Figure 2.31. Celle-ci montre une grande gravure latérale du film de BCB au niveau des ouvertures pour seulement 1.8 µm de BCB gravé. Cette gravure latérale a tendance à s'accentuer avec l'augmentation de l'épaisseur de BCB gravé. Là encore, nous avons opté pour un autre gaz.

d- *Gravure CHF₃/O₂*

Afin d'optimiser la gravure du BCB, nous avons évalué la vitesse de gravure pendant 15 minutes dans le gaz plasma (CHF₃:O₂).

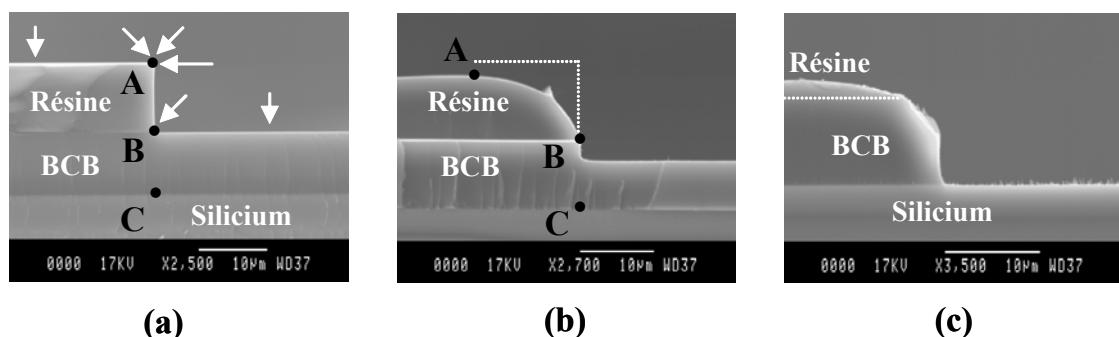


Figure 2.32 : Vues au MEB d'une gravure RIE du BCB avec du (CHF₃:O₂ / 1:3) à 60 W à l'instant (a) t=0 min, (b) t=15 min et (c) t= 53min 40sec

D'après la Figure 2.32.b, la vitesse de gravure de BCB dans un mélange de gaz (CHF₃:O₂ / 1:3) est de l'ordre de 1780 Å/min. Nous remarquons aussi que sur 2.7 µm de BCB gravé,

nous avons obtenu des flancs parfaitement verticaux. Nous nous sommes donc basés sur cette vitesse de gravure de BCB pour graver une couche épaisse de 9.1 μm pendant 53min 40 sec. Le profil de l'ouverture de BCB obtenu est présenté par la Figure 2.32.c. Nous arrivons alors à obtenir des flancs verticaux sur une épaisseur de 5.1 μm par rapport à 9.1 μm de BCB gravé.

La surgravure du BCB est due en fait à la surgravure de la résine de masquage au niveau de la zone A, comme le montre la Figure 2.32.a. En effet, durant le procédé de gravure RIE, le point 'A' est de plus en plus exposé au plasma. Il se déplace donc de plus en plus à gauche en diminuant l'angle que présente la résine par rapport au BCB. En conséquence, le point 'B' devient de plus en plus exposé au plasma et se déplace à son tour à gauche par rapport au point 'C' en augmentant l'angle de gravure du BCB.

Dans le cas d'un film de BCB moins épais (de l'ordre de 5 μm) on aura approximativement un bon équilibre entre la gravure de la résine et celle du BCB, et donc une gravure verticale de la couche de polymère. Il reste à signaler que la métallisation en or électrolytique de nos structures servira de deuxième masque de gravure de la zone 'B'. Ceci nous permettra d'obtenir des flancs verticaux sur toute l'épaisseur du BCB gravé.

2.1.2. Caractérisation des lignes CPW avec une gravure de BCB dans les fentes coplanaires

Une fois le procédé de la gravure verticale du film BCB mis au point, nous avons procédé à un micro-usinage de la couche de polymère dans les fentes coplanaires d'une ligne CPW réalisée sur 10 μm de BCB. Les résultats de mesures sont présentés sur la Figure 2.33. Ils montrent une légère augmentation du niveau de pertes de la ligne CPW avec un micro-usinage du BCB dans les fentes ($\alpha = 4.33 \text{ dB/cm à 20 GHz}$) par rapport à une ligne CPW classique sans micro-usinage ($\alpha = 4.19 \text{ dB/cm à 20 GHz}$) [35]. Ceci est en contradiction avec ce qui a été constaté par Ponchak [36] dans le cas d'une ligne CPW sur polyimide micro-usiné dans les fentes coplanaires. Ceci peut s'expliquer par le fait que dans notre cas, nous utilisons des lignes coplanaires de faibles largeurs de fentes par rapport à la largeur du conducteur central ($W/S = 9$). Ceci augmente l'interaction des lignes de champ électrique avec le substrat silicium. Par contre, dans les travaux de Ponchak [36], la largeur du signal est à peu près du même ordre de grandeur que la largeur des fentes coplanaires. En conséquence, l'interaction des lignes de champ électrique avec le substrat silicium est minimale. Donc, en gravant le polyimide dans les fentes coplanaires, les lignes de champ électrique restent confinées dans l'air, ce qui permet par conséquent de minimiser les pertes de la ligne.

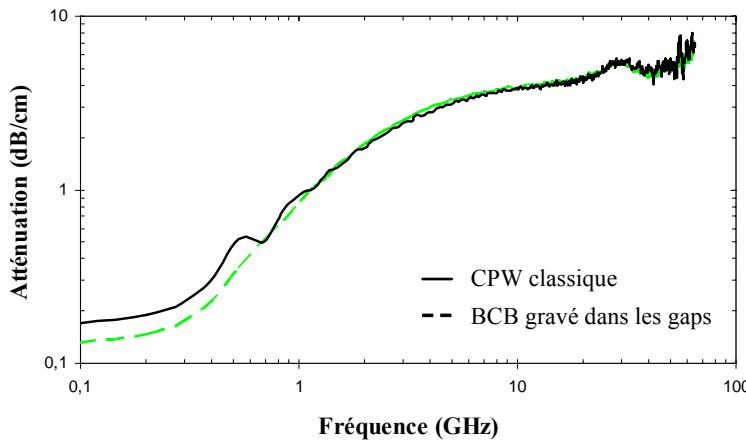


Figure 2.33 : Impact sur le coefficient d'atténuation d'une ligne CPW de la gravure du BCB dans les fentes coplanaires

Ce comportement (cf. Figure 2.33) a pour effet de diminuer la valeur de la permittivité effective de la ligne comme le montre la Figure 2.34. En effet, la permittivité effective passe d'une valeur de 2.7 à 20 GHz pour une ligne CPW classique à une valeur de 2.47 à la même fréquence pour une ligne CPW avec un micro-usinage de la couche de BCB dans les fentes coplanaires.

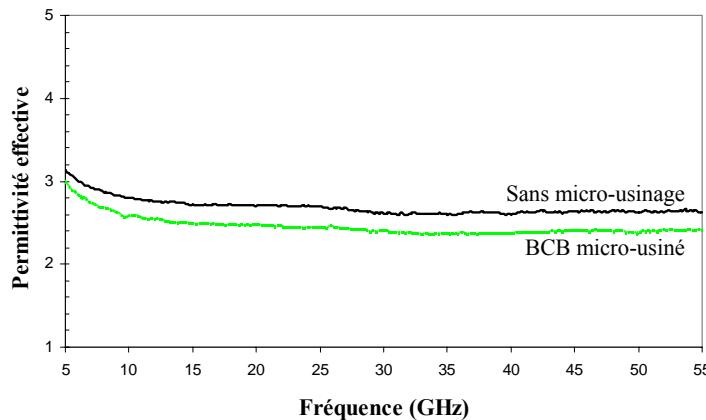


Figure 2.34 : Impact sur la permittivité effective d'une ligne CPW de la gravure du BCB dans les fentes coplanaires

D'un autre côté, la gravure du film BCB dans les fentes coplanaires favorise l'interaction du champ électrique avec le substrat silicium, comme le montrent les résultats de simulations électromagnétiques HFSS présentées sur la Figure 2.35 [37]. Ceci peut expliquer l'augmentation des pertes avec le micro-usinage du BCB.

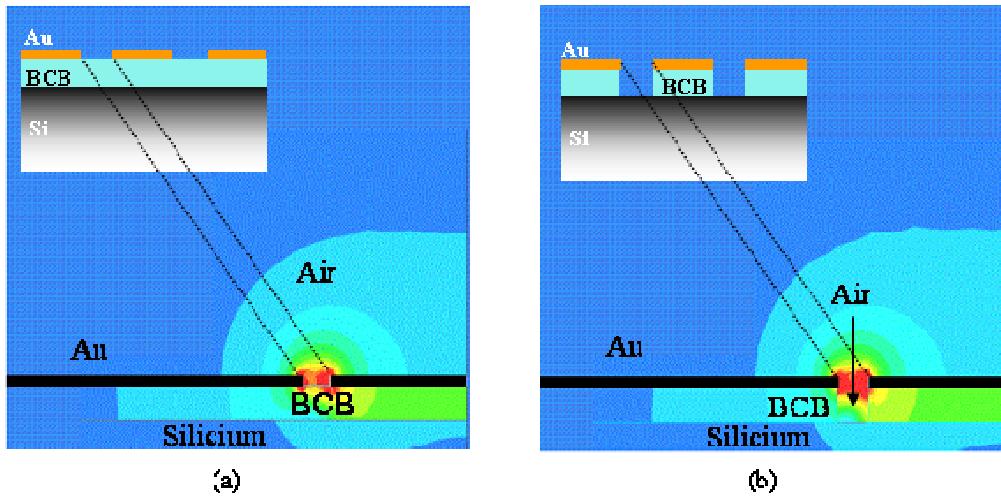


Figure 2.35 : Simulations HFSS du champ électrique à 20 GHz pour une ligne CPW (a) classique sur BCB (b) avec un micro-usinage du BCB dans les fentes

Cette technologie implique donc à la fois une diminution de la permittivité effective et une augmentation des pertes. Ceci aboutit à une détérioration du facteur de qualité, comme l'indique la Figure 2.36. En effet, à une fréquence de 20 GHz le facteur de qualité passe d'une valeur de 8.2 pour une ligne classique sur BCB à une valeur de 7.61 pour la même ligne avec un micro-usinage de BCB dans les fentes coplanaires [37]. Par conséquent, cette solution technologique ne peut pas être retenue pour améliorer les performances des circuits passifs sur silicium standard. De plus, elle n'est pas compatible pour une intégration tridimensionnelle (3D) des composants.

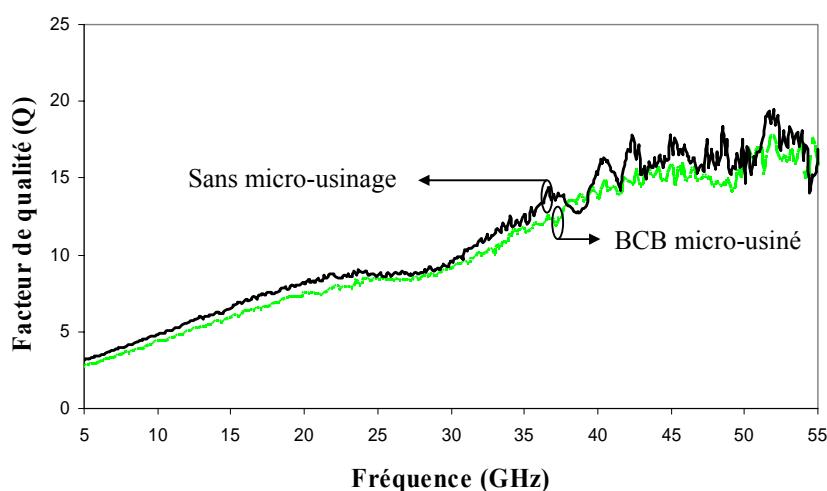


Figure 2.36 : Impact sur le facteur de qualité d'une ligne CPW de la gravure du BCB dans les fentes coplanaires

2.2. Lignes CPW avec un micro-usinage de surface du BCB et du substrat silicium dans les fentes

Toujours dans le but d'améliorer les performances des composants passifs sur BCB/Si, nous avons exploré une deuxième solution technologique de micro-usinage de surface. Elle consiste à graver le BCB ainsi qu'une partie du substrat silicium dans les fentes coplanaires, comme le montre la Figure 2.37 dans le cas d'une ligne de transmission coplanaire.

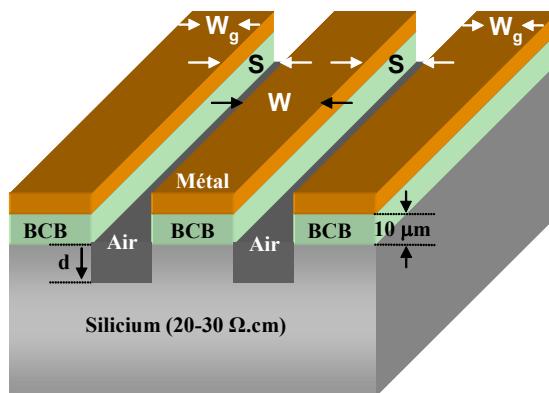


Figure 2.37 : Vue en coupe d'une ligne CPW avec un micro-usinage du BCB et du silicium dans les fentes coplanaires

2.2.1. Procédé technologique

La réalisation de ce genre de structures se fait en deux étapes. La première consiste à une gravure de la couche de BCB de $10 \mu\text{m}$ d'épaisseur dans les fentes coplanaires en utilisant le réacteur de plasma RIE (GIR 100), comme nous l'avons expliqué dans le paragraphe 2.1.1. Après un nettoyage de la plaque pour supprimer les résidus de BCB, nous procédons à une gravure de $10 \mu\text{m}$ du substrat silicium dans le réacteur de plasma haute densité 'ICP Multiplex' en utilisant un masque de résine épaisse.

Le micro-usinage du silicium suit une alternance de gravure et de passivation (procédé Bosch), comme l'indique la Figure 2.38, en utilisant deux gaz fluorés SF_6 et C_4F_8 [38], [39].

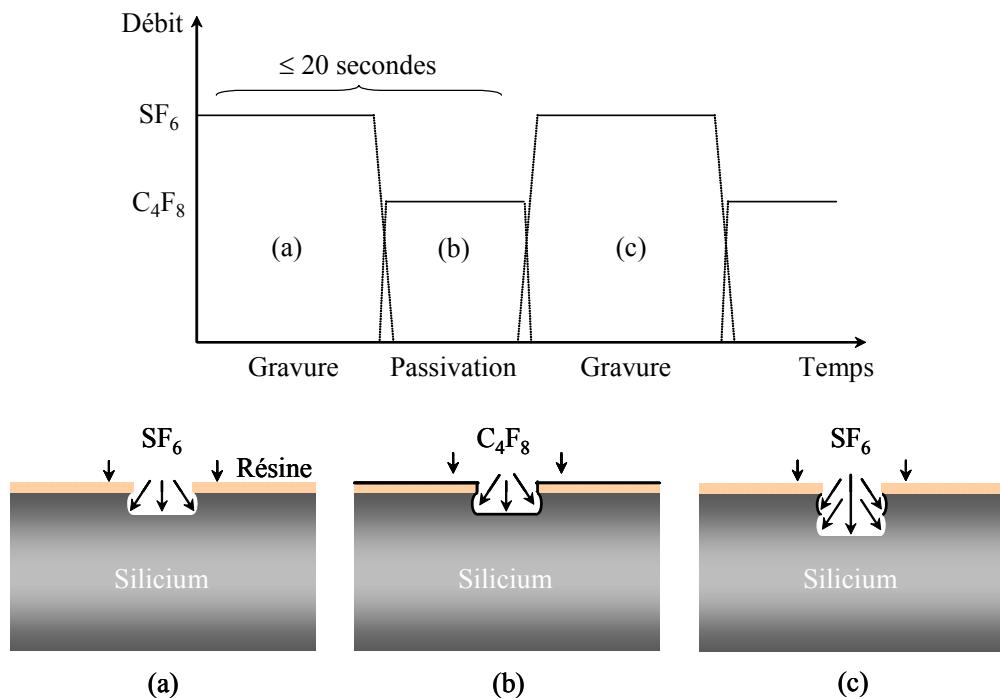


Figure 2.38 : Alternance des cycles de gravure (SF_6) et de passivation (C_4F_8) durant la gravure profonde DRIE

Durant le cycle de la gravure, le gaz de plasma SF_6 attaque en particulier les surfaces horizontales, avec une légère attaque des surfaces verticales (gravure isotrope). Alors que pendant le cycle de passivation, une couche protectrice de fluocarbone (CF_x) se dépose sur toutes les surfaces pour minimiser la gravure latérale du silicium ainsi que celle du masque de résine utilisé. Après une série de cycles de gravure et de passivation en alternance, nous arrivons à obtenir une gravure anisotrope sur de grandes profondeurs micro-usinées, comme l'indique la Figure 2.39. Ceci prouve la très bonne sélectivité de la gravure DRIE de silicium ($SG \ll 1$; cf. expression 2.3 du paragraphe 2.1.1) et son caractère parfaitement anisotrope.

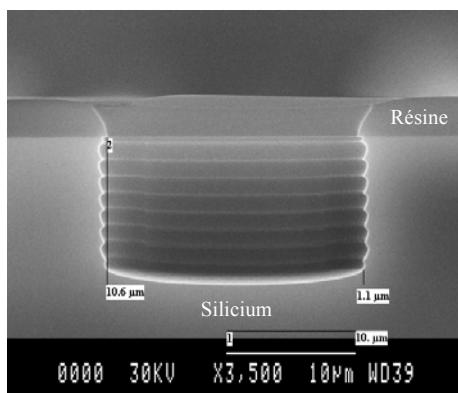


Figure 2.39 : Vue au MEB d'une ouverture dans le silicium obtenue par gravure DRIE utilisant le procédé Bosch

2.2.2. Caractérisation micro-ondes

Les résultats de mesures d'une telle ligne CPW montrent une très légère amélioration du niveau de pertes ($\alpha = 4.13$ dB/cm à 20 GHz) par rapport à une ligne CPW classique sans micro-usinage ($\alpha = 4.19$ dB/cm à 20 GHz), comme le montre la Figure 2.40. Ceci est dû au fait que la source de pertes, qui est le substrat silicium, est supprimée et remplacée par l'air dans les régions où les lignes de champ électrique sont fortement concentrées. Par conséquent, l'interaction du champ électrique avec le substrat silicium est légèrement réduite.

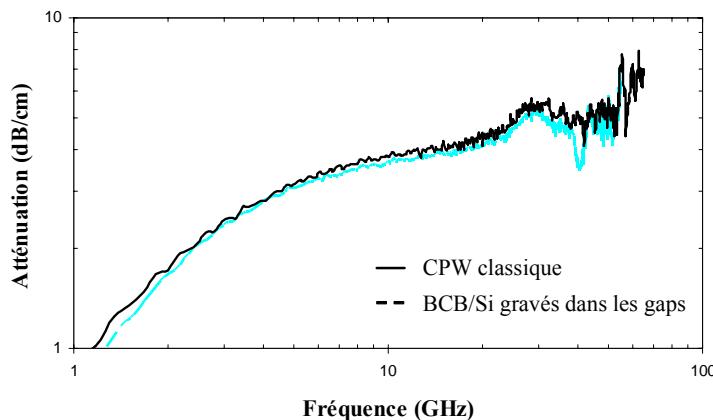


Figure 2.40 : Impact sur le coefficient d'atténuation d'une ligne CPW du micro-usinage à la fois du BCB et du silicium dans les fentes coplanaires

La mesure de la permittivité effective, présentée sur la Figure 2.41, montre effectivement une réduction de ce paramètre avec le micro-usinage du BCB/Si dans les fentes coplanaires. En effet, une valeur de 2.2 de la permittivité effective a été enregistrée à 20 GHz avec un micro-usinage à la fois de 10 μ m de BCB et de 10 μ m de silicium dans les fentes au lieu de 2.7 sans micro-usinage. Ceci s'explique par le fait que le silicium, qui présente une constante diélectrique (ϵ_r) de l'ordre de 11.7, est remplacé par l'air qui présente une constante diélectrique proche de 1.

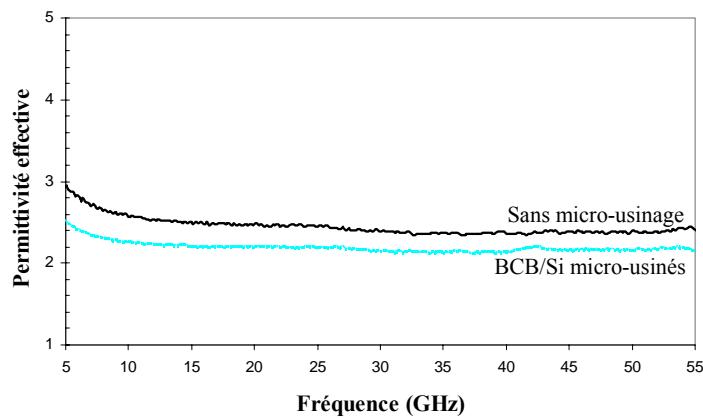


Figure 2.41 : Impact sur la permittivité effective d'une ligne CPW du micro-usinage à la fois du BCB et du silicium dans les fentes coplanaires

Il reste à noter que la réduction du coefficient d'atténuation α , observée avec les micro-usinages du BCB et de 10 μm de silicium dans les fentes coplanaires, ne compense pas la réduction de la permittivité effective. Ceci entraîne une légère détérioration du facteur de qualité de la ligne coplanaire, comme l'illustre la Figure 2.42.

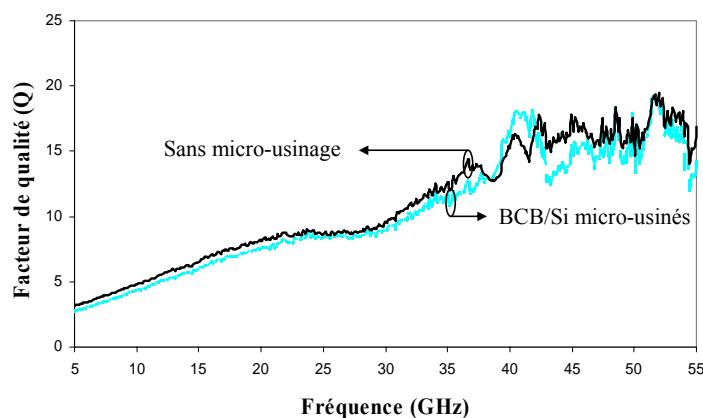


Figure 2.42 : Impact sur le facteur de qualité d'une ligne CPW du micro-usinage à la fois du BCB et du silicium dans les fentes coplanaires

En effet, avec un micro-usinage de BCB/Si dans les ouvertures coplanaires, la ligne CPW présente un facteur de qualité de 7.5 à une fréquence de 20 GHz au lieu de 8.2 observé à la même fréquence dans le cas d'une ligne CPW classique sans micro-usinage. Cette solution technologique n'apporte pas une amélioration des performances des interconnexions coplanaires sur silicium. De plus, elle n'est pas compatible pour une intégration 3D des circuits passifs. Pour cela, nous allons présenter dans le paragraphe suivant une nouvelle solution technologique.

2.3. Lignes coplanaires sur polymère avec silicium micro-usiné en surface

Nous avons donc développé une nouvelle solution technologique basée sur l'utilisation d'un micro-usinage de surface du silicium suivie d'un dépôt d'une couche épaisse de BCB [35], [40]. Etant donné la forte concentration des lignes de champ électrique essentiellement proche des fentes coplanaires, nous avons procédé à un micro-usinage de surface du substrat silicium dans les fentes coplanaires ainsi que sous les côtés des conducteurs métalliques [40]. De cette manière, le silicium dispersif ($\tan \delta = 0.018$) est localement remplacé par un polymère à faibles pertes, comme le montre la Figure 2.43.

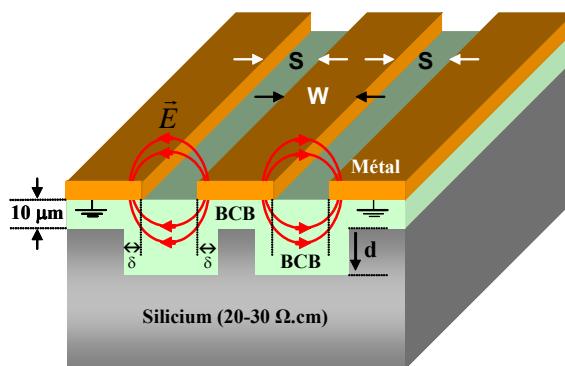


Figure 2.43 : Vue en coupe d'une ligne CPW avec un micro-usinage de surface de silicium dans les fentes suivie d'un dépôt de $10 \mu\text{m}$ de BCB

Dans le but de réaliser des structures coplanaires telles que celle présentée sur la Figure 2.43, nous procédons à une gravure ionique réactive profonde (DRIE) de surface du substrat silicium (de profondeur d : $10 \mu\text{m}$ et $30 \mu\text{m}$), dans les fentes coplanaires, en utilisant un masque de protection en résine épaisse. Les étapes ultérieures correspondent au même procédé technologique adopté pour la réalisation d'une structure coplanaire sur BCB (cf. paragraphe 1.2).

2.3.1. Impact de la gravure latérale du silicium dans les fentes coplanaires

Dans une ligne de transmission coplanaire, les lignes de champ électrique sont concentrées dans et proches des fentes coplanaires en raison de l'effet de peau. La Figure 2.44 indique les résultats de simulations électromagnétiques des lignes coplanaires micro-usinées présentant différentes largeurs de gravure latérale (δ) sous les conducteurs métalliques et une profondeur de gravure de $10 \mu\text{m}$ (cf. Figure 2.43). Elle montre que plus nous gravons le silicium sous les côtés des conducteurs métalliques, plus les pertes d'insertion diminuent. Ceci s'explique par

le fait que le silicium est remplacé par le BCB sous les côtés des conducteurs métalliques. De cette manière, les lignes de champ deviennent de plus en plus confinées dans le polymère à faibles pertes.

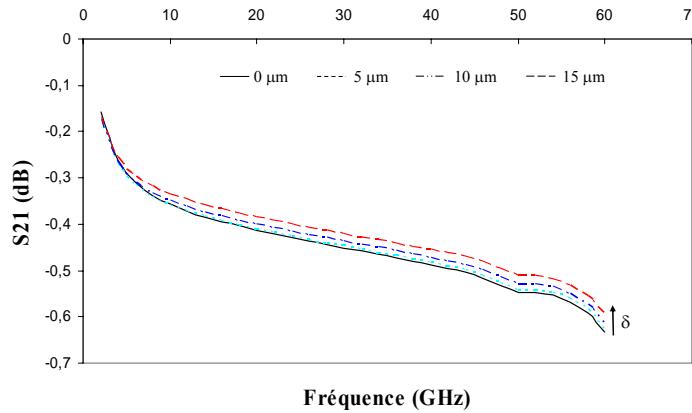


Figure 2.44 : Coefficient de transmission simulé de lignes CPW sur 10 μm de BCB avec un micro-usinage de surface du silicium de 10 μm de profondeur en fonction de la largeur latérale de gravure sous les conducteurs métalliques (δ)

De même, la permittivité effective de la ligne CPW diminue lorsque la largeur de la gravure latérale sous les côtés des conducteurs métalliques augmente, comme l'illustre la Figure 2.45. Ceci est dû au fait que le silicium est remplacé, sous les côtés des conducteurs métalliques, par le BCB à plus faible constante diélectrique.

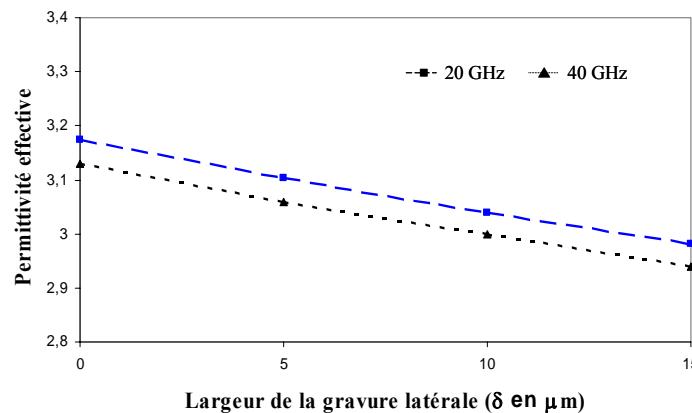


Figure 2.45 : Permittivité effective simulée de lignes CPW sur 10 μm de BCB avec un micro-usinage de surface du silicium de 10 μm de profondeur, en fonction de la largeur latérale de gravure sous les conducteurs métalliques (δ)

Pour la réalisation de nos lignes de transmission CPW micro-usinées dans les fentes coplanaires, nous avons pris une largeur de gravure latérale (δ) de 10 μm afin d'obtenir à la

fois de bonnes performances et une bonne planarité de la structure réalisée. En effet, le degré de planarisation (DOP) du BCB est défini par l'expression suivante :

$$DOP (\%) = \left[1 - \frac{p}{d} \right] * 100 \quad (2.4)$$

où 'd' est la profondeur de l'ouverture de largeur ($S+2\delta$) et 'p' le relief dû à l'ouverture dans le substrat silicium, comme le montre la Figure 2.46.

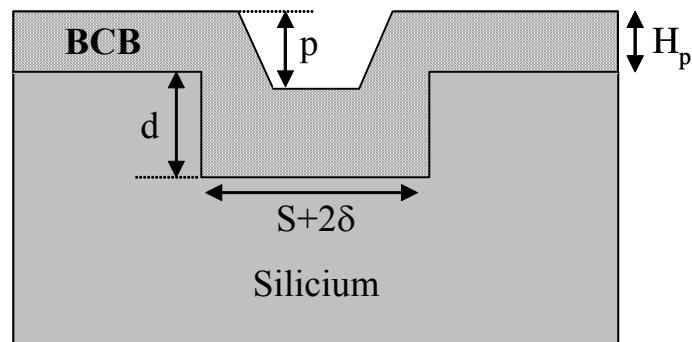


Figure 2.46 : Planarisation par une couche de BCB d'une ouverture dans le substrat silicium

La Figure 2.47 indique le degré de planarisation de BCB en fonction de la largeur de l'ouverture dans le substrat silicium pour une profondeur 'd' de silicium micro-usiné de 30 μm . Nous remarquons que le degré de planarisation (DOP) diminue avec l'augmentation de la largeur ($S+2\delta$) de l'ouverture dans le substrat silicium.

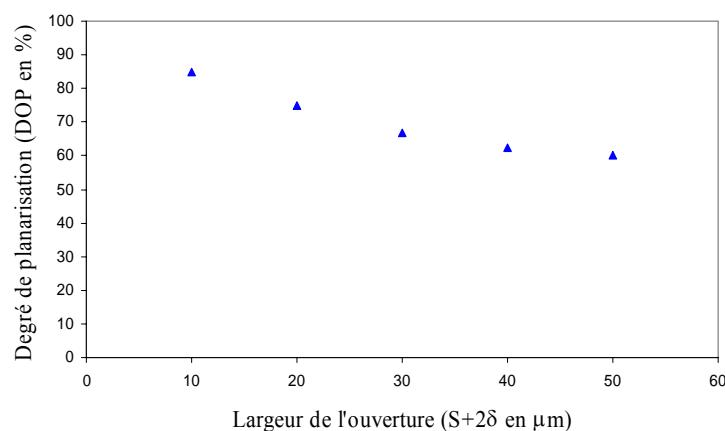


Figure 2.47 : Degré de planarisation de BCB en fonction de la largeur de l'ouverture dans le substrat silicium pour une profondeur (d) de 30 μm

La Figure 2.48 présente une vue en coupe, prise par le MEB, d'une ligne CPW sur 10 μm de BCB avec un micro-usinage de surface du silicium de 30 μm en profondeur et 10 μm sous les côtés des conducteurs métalliques.

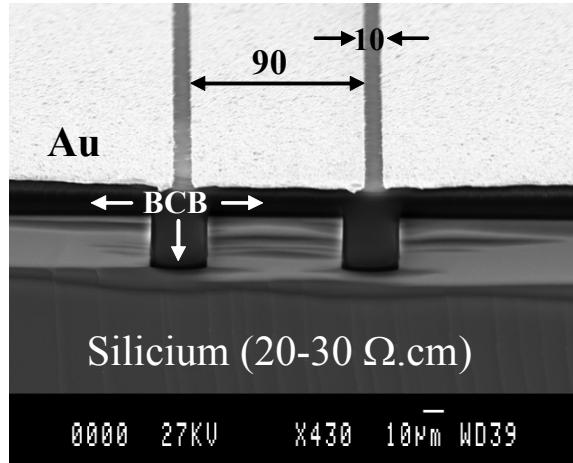


Figure 2.48 : Vue au MEB d'une ligne CPW avec un micro-usinage de surface du silicium de 30 μm en profondeur suivie d'un dépôt de 10 μm de BCB

2.3.2. Impact de la profondeur de silicium micro-usiné sur les performances micro-ondes d'une ligne CPW

La Figure 2.49 indique les résultats de simulations électromagnétiques et de mesures des lignes coplanaires présentant différentes profondeurs de micro-usinage ($d = 10 \mu\text{m}$ et $30 \mu\text{m}$) et une largeur de gravure latérale (δ) de 10 μm sous les côtés des conducteurs métalliques. Nous constatons que plus la profondeur gravée de silicium est importante, plus les lignes de champ restent confinées dans le polymère. Ceci se traduit par une réduction notable des niveaux de pertes. En effet, les lignes CPW présentent une atténuation de l'ordre de 3 dB/cm à 20 GHz pour une profondeur de silicium gravé de 30 μm au lieu de 3.8 dB/cm à la même fréquence mais pour une profondeur gravée de 10 μm [40]. Une réduction de l'ordre de 27 % des pertes est alors enregistrée par rapport aux lignes de transmission classique sur 10 μm de BCB. Cette réduction de l'atténuation obtenue avec un substrat SiBR est similaire à celle observée dans le cas d'une ligne CPW sur un substrat silicium de moyenne résistivité (SiMR: 700-1000 $\Omega\text{.cm}$) avec une gravure profonde du silicium dans les fentes coplanaires [41].

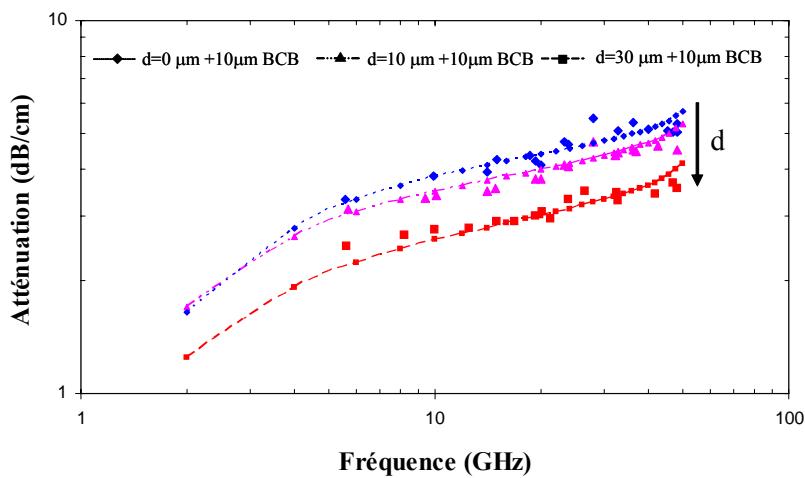


Figure 2.49 : Coefficient d'atténuation des lignes CPW simulées et mesurées pour différentes profondeurs de silicium gravé avec une couche de BCB de 10 μm

La permittivité effective décroît aussi avec la profondeur (d) du substrat silicium gravé, comme l'indique la Figure 2.50. Ceci prouve que les lignes de champ électrique sont fortement confinées dans les ouvertures coplanaires où le silicium de permittivité relative proche de 12 est remplacé par le BCB à plus faible constante diélectrique (ϵ_r : 2.65). D'un autre côté, la permittivité effective est maintenue quasi-constante dans une large bande de fréquence (Ku-V). Cette absence de dispersion fréquentielle permet de faciliter la conception de circuits passifs micro-ondes et millimétriques.

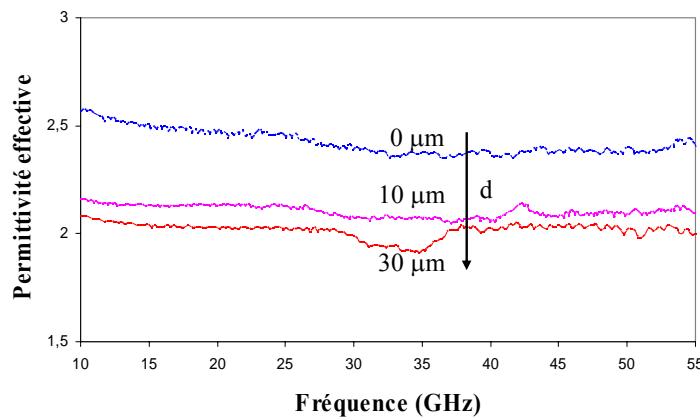


Figure 2.50 : Impact de la profondeur de silicium gravé sur la permittivité effective d'une ligne CPW sur BCB

Une amélioration de l'ordre de 20 % du facteur de qualité des lignes CPW a été enregistrée pour une profondeur gravée de 30 μm (9,7 à 20 GHz) par rapport aux lignes CPW

sans micro-usinage sur 10 μm de BCB (8,1 à 20 GHz), comme l'illustre la Figure 2.51. La réduction du coefficient d'atténuation avec le micro-usinage du silicium dans les fentes coplanaires n'est pas en effet compensée par la réduction de la permittivité effective de la ligne CPW.

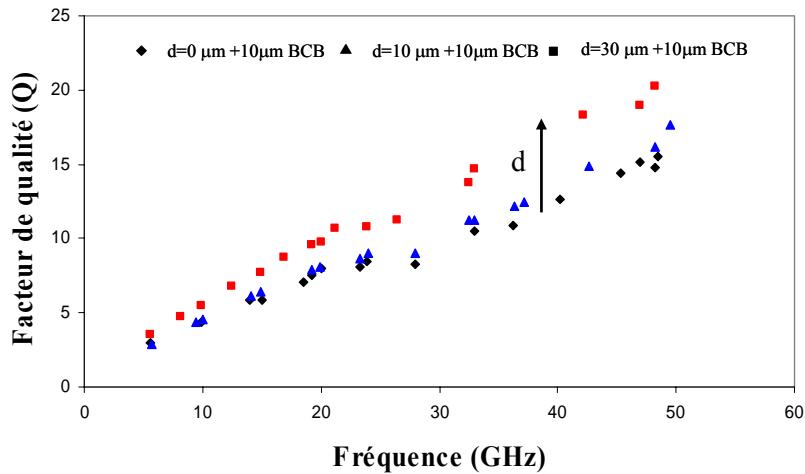


Figure 2.51 : Impact de la profondeur de silicium gravé sur le facteur de qualité d'une ligne CPW sur BCB

En conclusion, la technique basée sur la combinaison du micro-usinage en surface localisé du substrat silicium et le dépôt d'une couche épaisse de BCB a permis à la fois la réduction du coefficient d'atténuation des lignes CPW sur silicium basse résistivité et d'améliorer leurs facteurs de qualité.

2.3.3. Correspondance entre les performances des lignes CPW micro-usinées et des lignes CPW sur une couche épaisse de BCB sans micro-usinage

L'utilisation d'une première couche épaisse de BCB pour l'intégration 3D monolithique en post-processing des composants passifs avec des circuits actifs (cf. Figure 2.52) limite le nombre de couches technologiques post-processées ultérieurement en raison de la contrainte mécanique globale des couches de polymères superposées. Les mesures de stress mécanique d'une couche de BCB sur silicium révèlent effectivement que ce paramètre mécanique (σ) augmente avec l'augmentation de l'épaisseur de BCB. En effet, la contrainte résiduelle d'une couche de BCB passe d'une valeur de 31 MPa pour une épaisseur de 10 μm à une valeur de 53 MPa pour 30 μm d'épaisseur.

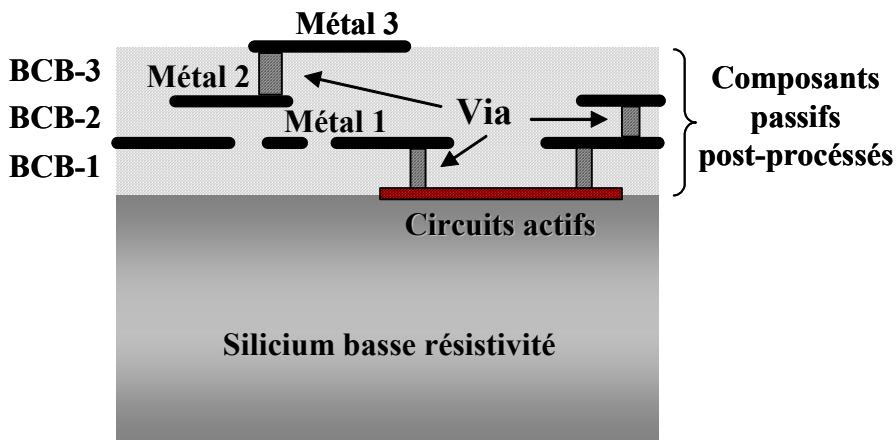


Figure 2.52 : Schéma de composants passifs intégrés en 3D avec des circuits actifs en utilisant de multiples couches de BCB

En conséquence, la combinaison de la technique de micro-usinage de surface du silicium et le dépôt d'une couche épaisse de BCB n'est pas uniquement intéressante en terme de pertes et de facteur de qualité, mais aussi pour l'intégration verticale en 3D de circuits passifs (cf. Figure 2.52). Il reste donc à vérifier l'impact de cette technique sur les contraintes mécaniques engendrées.

Une profondeur gravée de silicium de 20 μm et 30 μm , suivie d'un dépôt de 10 μm de BCB, mène à une contrainte résiduelle de 29 MPa et 25 MPa respectivement, comparé à 31 MPa dans le cas d'un film BCB de 10 μm d'épaisseur sur silicium sans micro-usinage. La gravure localisée en surface du silicium avant le dépôt de la couche de BCB permet donc de réduire la contrainte résiduelle du film BCB. Ce phénomène peut s'expliquer par le fait que les régions où le silicium est supprimé sont remplacées par le BCB qui présente un module de Young ($E_{\text{BCB}} = 2.9 \text{ GPa}$) plus faible que celui de silicium ($E_{\text{Si}} = 180 \text{ GPa}$). Ce qui implique une réduction de module de Young équivalent de la couche d'interface BCB/Si.

Afin de réduire l'épaisseur de la première couche de BCB tout en maintenant des performances de circuits passifs similaires à celles obtenues avec une forte épaisseur de polymère, nous avons effectué une étude en vue de trouver une équivalence entre les performances des lignes CPW micro-usinées avec différentes profondeurs de gravure et des lignes CPW classiques sans micro-usinage sur différentes épaisseurs de BCB. Les résultats de mesures et de simulations électromagnétiques présentés sur la Figure 2.53, montrent que les performances des lignes CPW sur 10 μm de BCB avec 10 μm et 30 μm de silicium gravé dans les fentes coplanaires sont similaires à celles de lignes CPW sur 13 μm et 18 μm de BCB respectivement.

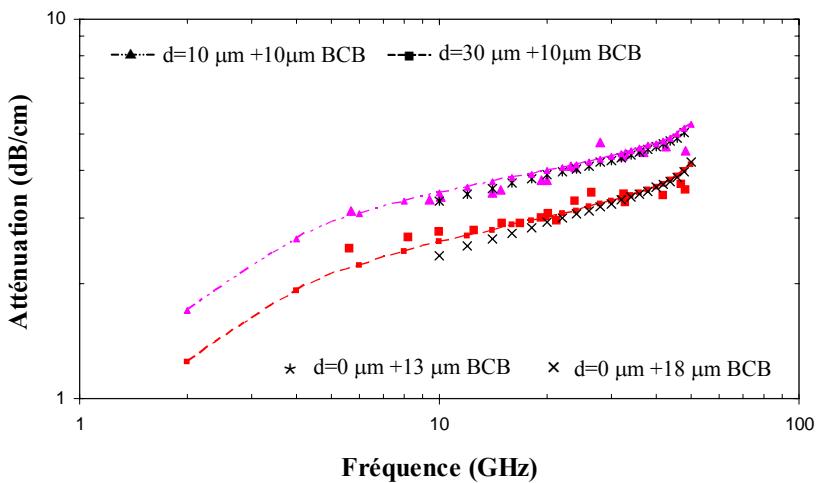


Figure 2.53 : Correspondance entre des lignes CPW sur 10 μm de BCB avec 10 μm et 30 μm de silicium gravé dans les fentes et des lignes CPW sans micro-usinage sur différentes épaisseurs de BCB

Nous constatons que l'augmentation de la profondeur de silicium gravé dans les fentes coplanaires est équivalente à l'augmentation de l'épaisseur du film BCB entre les lignes métalliques CPW et le substrat silicium. Les résultats de simulations électromagnétiques présentés sur la Figure 2.54, révèlent effectivement que la profondeur de silicium gravé (d), dans le cas des lignes CPW micro-usinées, est une fonction linéaire de l'épaisseur de BCB (H_p) équivalente dans le cas de lignes CPW classiques. Ce comportement linéaire doit être valable jusqu'à une certaine épaisseur de BCB (ou profondeur gravée de silicium) à partir de laquelle l'interaction du champ électrique avec le substrat silicium devient nulle.

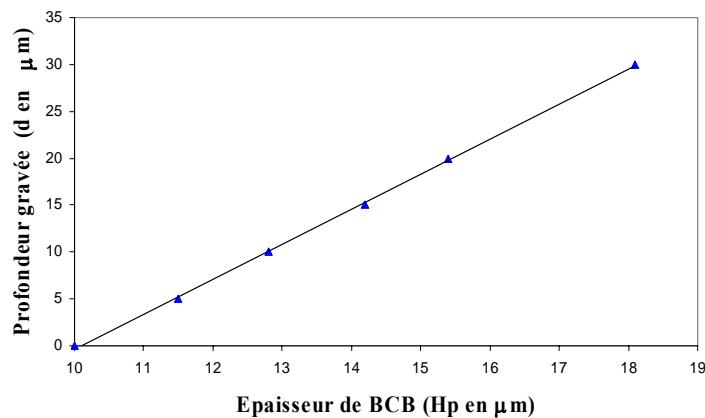


Figure 2.54 : Equivalence entre la profondeur de silicium gravé (d) dans le cas de lignes CPW micro-usinées (et 10 μm de BCB) et l'épaisseur de BCB (H_p) équivalente dans le cas de lignes CPW classiques

La technique basée sur la combinaison du micro-usinage de surface du silicium et le dépôt d'une couche épaisse de BCB se montre particulièrement intéressante pour minimiser l'épaisseur de la première couche organique déposée en vue de l'intégration verticale en 3D de circuits passifs. Cette technique permet, en effet, d'obtenir des performances micro-ondes semblables à celles obtenues en utilisant de fortes épaisseurs de polymère, tout en réduisant le stress mécanique engendré par le film BCB. Cependant, cette solution technologique est limitée par le degré de planarization de la couche de BCB qui dépend de la surface et de la profondeur de silicium micro-usiné. En effet, plus la surface et la profondeur gravée de silicium augmentent, plus la structure réalisée perd son caractère planaire, comme l'indique la Figure 2.55 dans le cas d'une ligne CPW avec une profondeur de gravure de 50 µm dans les fentes coplanaires.

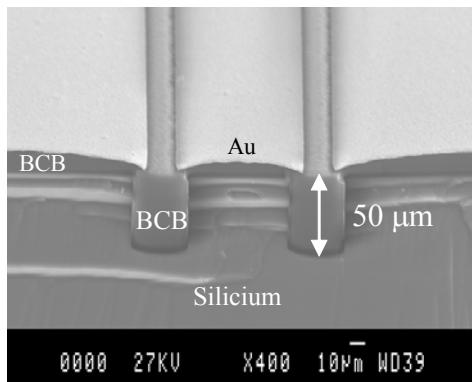


Figure 2.55 : Photo MEB d'une ligne CPW avec un micro-usinage de surface du silicium de 50 µm en profondeur suivie d'un dépôt de 10 µm de BCB

Néanmoins, ceci peut être évité par le dépôt du film BCB en plusieurs couches de faibles épaisseurs, ou encore par une étape supplémentaire de polissage.

3. Lignes CPW suspendues sur une membrane BCB

Nous avons vu dans les paragraphes précédents que outre l'utilisation d'une couche épaisse de polymère à faibles pertes, le micro-usinage localisé en surface du substrat silicium permet d'optimiser les performances des circuits passifs sur substrat silicium standard. Dans ce paragraphe, nous allons explorer une technologie à faibles pertes basée sur l'utilisation d'une membrane diélectrique organique alliée au micro-usinage de volume du substrat silicium. Cette technique de micro-usinage a été introduite en 1991 par Katehi [42] et a montré ses atouts pour l'élaboration des composants passifs à faibles pertes sur une membrane en diélectrique minéral [1], [43], [44] avec des techniques de gravures humides

(KOH, EDP, TMAH). Elle consiste à supprimer totalement le silicium en dessous des conducteurs métalliques, de telle manière que ces derniers restent suspendus sur une membrane diélectrique. Des lignes de transmission coplanaires (CPW) suspendues sur une couche épaisse de BCB (20 et 30 μm) en utilisant une attaque au KOH du substrat silicium HR ont présenté un coefficient d'atténuation de l'ordre de 0.35 dB/cm à 10 GHz [1]. Nous avons appliqué cette filière technologique dans le cadre de membrane organique en BCB. En effet, celui-ci se montre particulièrement intéressant pour la réalisation de membranes diélectriques grâce à ses faibles contraintes résiduelles.

3.1. Procédé technologique

Afin de réaliser une structure coplanaire suspendue sur une membrane épaisse de BCB, nous avons adopté, dans un premier temps, le même procédé technologique suivi pour la réalisation d'une ligne CPW sur BCB sans l'étape technologique finale qui consiste à la gravure de la couche d'accrochage en Ti/Au (cf. paragraphe 1.2). Nous procérons après à un dépôt et à une photolithographie d'une résine épaisse sur la face arrière de la plaquette (cf. Figure 2.56.a), utilisée par la suite comme masque pour la gravure profonde DRIE du substrat silicium par plasma haute densité dans le réacteur 'ICP Multiplex' (cf. Figure 2.56.b). Afin d'éviter de détériorer nos circuits et de minimiser le stress de la plaque durant le procédé de la gravure DRIE, nous protégeons la face avant du substrat par une plaque de silicium qui est collée au substrat par l'aide d'une résine. Cette plaque protectrice est décollée facilement, après l'étape de gravure, en la trempant dans un bain d'acétone. Finalement, nous éliminons chimiquement la bicouche en Ti/Au dans les fentes pour libérer les motifs coplanaires (Figure 2.56.c).

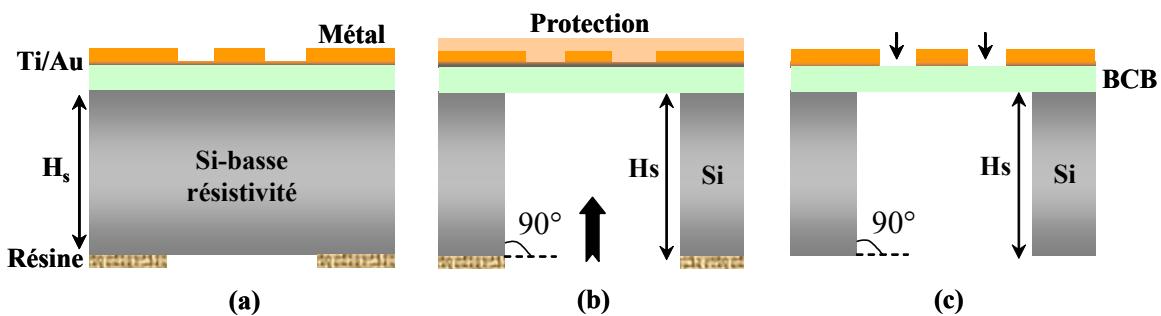


Figure 2.56 : Procédé de réalisation d'un composant passif planaire suspendu sur une membrane épaisse de BCB

L'une des étapes clé de ce procédé technologique est la gravure profonde du substrat silicium. Grâce à la bonne maîtrise de la gravure DRIE au LAAS, nous pouvons obtenir des membranes de différentes dimensions avec une gravure quasi-verticale, comme le montre la Figure 2.57.

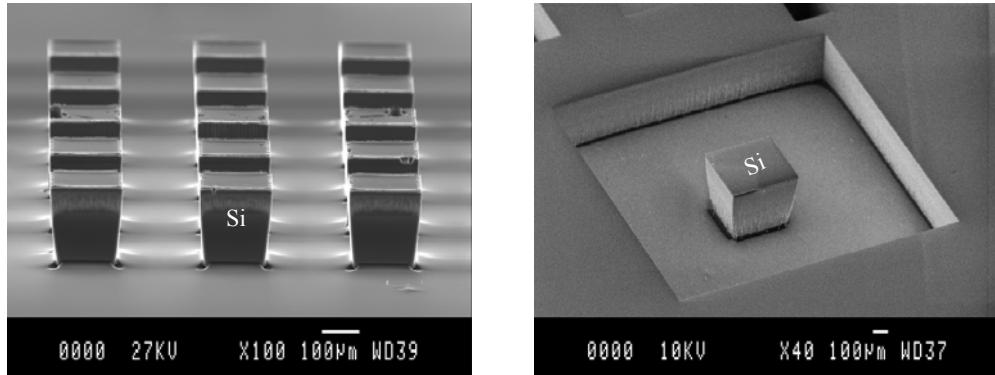


Figure 2.57 : Vues au MEB d'une gravure profonde DRIE du substrat silicium avec des dimensions très larges

Un principal avantage de la gravure DRIE pour la réalisation des membranes par rapport à la gravure chimique anisotrope est la possibilité de réaliser des membranes de forme quelconque [39].

3.2. Etude de la rigidité mécanique d'une membrane BCB

Afin d'évaluer la résistance des membranes BCB, nous avons mesuré la déformation d'une antenne suspendue sur une membrane BCB de 10 μm d'épaisseur placée sous vide dans le profilomètre mécanique (Tencor). Nous avons en même temps appliqué un poids qui varie de 1 mg à 50 mg. La Figure 2.58.a montre une déformation de la membrane BCB sous vide de l'ordre de 45 μm sans qu'elle soit cassée.

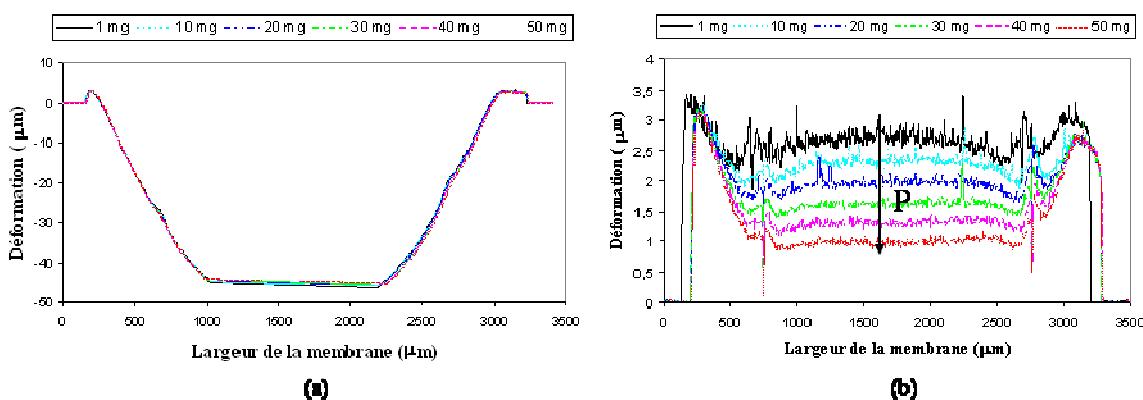


Figure 2.58: Déformation de la membrane BCB (a) sous vide et (b) sous l'action d'un poids 'P'

Dans le même sens, nous avons soumis la membrane BCB à un poids qui varie de 1 mg à 50 mg. La Figure 2.58.b nous montre une déformation de la membrane BCB de l'ordre de 1,5 μm sous l'action d'un poids considérable de 50 mg. Toutefois, cette déformation reste négligeable. Ceci montre une bonne résistance des membranes BCB.

3.3. Test de choc et de vibration

Les dispositifs embarqués à bord des satellites peuvent aussi subir des environnements hostiles (choc, vibration). Dans l'esprit d'évaluer la robustesse d'une membrane BCB dans de tels environnements, des tests de vibration ont été réalisés, par le centre national d'études spatiales (CNES) à Toulouse, sur des membranes BCB. Aucune détérioration n'a été observée avec ces tests de vibration utilisant une accélération jusque 20 g dans une bande de fréquence de 5 à 2000 Hz.

De même, des séquences de chocs ont été effectuées sur les membranes BCB et aucune modification visuelle n'a été observée.

Finalement, nous pouvons constater la bonne résistance des membranes BCB à des environnements très hostiles (pression, choc, vibration). Ceci favorise donc leur utilisation dans des applications spatiales et embarquées.

3.4. Caractérisation micro-ondes des lignes CPW suspendues sur une membrane BCB

Afin de mesurer nos lignes de transmission coplanaires suspendues sur une membrane BCB de 10 μm tout en s'affranchissant des accès coplanaires sur silicium massif, nous avons utilisé un kit de calibrage de type "TRL" constitué d'une ligne de longueur nulle (Thru), d'un élément de court-circuit (Reflect) et d'une ligne de longueur non nulle (line).

Les résultats de mesures d'une ligne CPW suspendue sur une membrane BCB de 10 μm d'épaisseur ont révélé un niveau de pertes très bas. En effet, un coefficient d'atténuation de 0.57 dB/cm est enregistré à 20 GHz dans le cas d'une ligne de dimensions coplanaires (200 μm , 20 μm). Ceci présente une amélioration de 86 % du coefficient d'atténuation par rapport à une ligne CPW référence sur 10 μm de BCB et silicium massif, comme l'illustre la Figure 2.59.a.

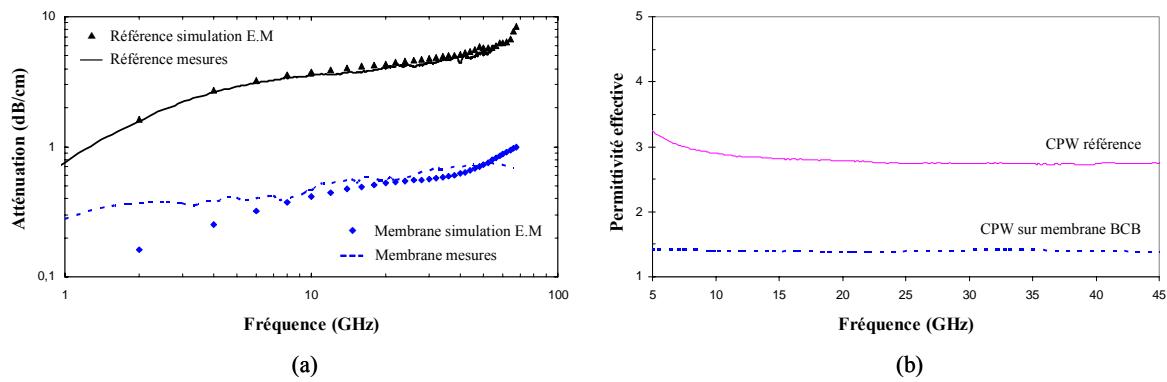


Figure 2.59 : Comparaison entre les performances d'une ligne CPW suspendue sur une membrane BCB et d'une ligne référence sur 10 μm de BCB: (a) coefficient d'atténuation et (b) permittivité effective

La ligne CPW étudiée présente également une permittivité effective de l'ordre de 1.39 qui est très proche de celle de l'air (cf. Figure 2.59.b), ce qui s'explique par une réduction importante des capacités parasites grâce à la suppression du substrat silicium en dessous de la ligne coplanaire.

Ces résultats sont analogues à ceux obtenus dans le cas d'une ligne CPW suspendue sur une membrane minérale bi-couche ($\text{SiO}_2/\text{Si}_x\text{N}_y$) [1]. Mais, le succès de la filière membrane BCB se situe au niveau de la facilité de réalisation technologique, des faibles contraintes de la couche BCB et du procédé basses températures qu'elle présente, qui est compatible avec les post-procédés nécessaires à l'intégration monolithique des composants passifs avec les circuits MMICs. Nous signalons aussi une amélioration considérable du facteur de qualité qui atteint une valeur de l'ordre de 44 à 20 GHz, comme le montre la Figure 2.60.

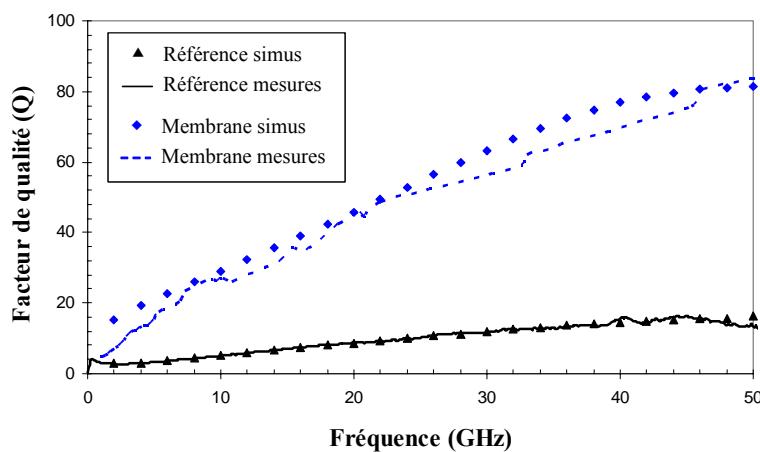


Figure 2.60 : Comparaison entre le facteur de qualité d'une ligne CPW suspendue sur une membrane BCB et d'une ligne référence sur 10 μm de BCB et silicium massif

4. Synthèse générale

Pour plus de clarté, nous avons regroupé dans le Tableau 2.4 les résultats de simulations ainsi que ceux de mesures obtenus avec toutes les solutions technologiques explorées dans ce travail.

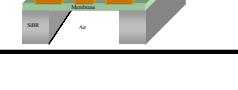
Type de la ligne CPW	Diélectrique			$\epsilon_{\text{eff}} @ 20 \text{ GHz}$		$Q @ 20 \text{ GHz}$	
		Sonnet	Mesures	Sonnet	Mesures	Sonnet	Mesures
	$h: \sqrt{10} \mu\text{m}$	1.27	1.34	2.9	2.54	24	21
	$\text{SiO}_2 @ 1150 \text{ }^\circ\text{C}$ $t: 2000 \text{ \AA}$	22.11	22.26	6.73	6.5	2.13	2.1
	$\sqrt{14} \mu\text{m}$ $h: \sqrt{20} \mu\text{m}$ $\sqrt{30} \mu\text{m}$	5.45 3.89 2.74	5.25 4.22 2.91	3.12 2.64 2.37	2.91 2.33 1.9	5.89 7.59 10.12	5.9 6.64 8.62
	$h: \sqrt{10} \mu\text{m}$	4.37	4.27	3.26	2.92	7.51	7.26
	CPW homogène	4.28	4.16	3.68	3.69	8.16	8.4
	10 μm BCB μ-usiné	4.42	4.33	3.1	2.47	8.34	7.61
	10 μm BCB + 10 μm Si μ-usinés	4.3	4.13	2.96	2.2	8.37	7.5
	$d: \sqrt{10} \mu\text{m}$ $\sqrt{30} \mu\text{m}$	3.99 3	3.77 3.07	3.04 2.73	2.13 2.02	9.15 11.52	8.1 9.73
	$h: \sqrt{10} \mu\text{m}$	0.52	0.57	1.31	1.39	46	44

Tableau 2.4 : Performances des lignes CPW obtenues avec les différentes techniques explorées dans ce travail

Conclusion

Dans ce chapitre, nous avons cherché à optimiser les performances des circuits passifs sur silicium basse résistivité (SiBR) afin d'utiliser celui-ci comme un substrat pour les circuits monolithiques intégrés aux fréquences micro-ondes et millimétriques (Si-MMICs). Nous avons utilisé, dans un premier temps, un nettoyage adéquat de la surface du substrat silicium

afin de supprimer les pertes d'interface qui contribuent fortement dans les pertes globales des circuits passifs sur silicium. Ensuite, nous avons choisi d'intercaler les circuits passifs du substrat silicium dispersif à l'aide d'une couche épaisse de polymère (BCB) à faibles pertes. L'utilisation de fortes épaisseurs de BCB a permis à la fois une réduction notables des pertes des lignes de transmission coplanaires (CPW) et une amélioration de leurs facteurs de qualité. Cependant, l'utilisation d'une très forte épaisseur de polymère engendre des contraintes résiduelles non négligeables qui peuvent s'accentuer avec la superposition de plusieurs couches de BCB lors de l'intégration tridimensionnelle (3D) des circuits passifs.

La combinaison d'un micro-usinage localisé en surface du substrat silicium et le dépôt d'une couche épaisse de polymère a permis de réduire les contraintes mécaniques du film BCB tout en optimisant les performances micro-ondes des structures coplanaires réalisées. En outre, cette technique semble être compatible avec l'intégration monolithique des composants passifs avec les circuits actifs.

Une étude comparative entre des lignes CPW basées sur cette nouvelle solution technologique et des lignes CPW sur de fortes épaisseurs de BCB a été effectuée et une correspondance entre les deux techniques a été démontrée.

De plus, la réalisation de structures coplanaires dans un milieu quasi-homogène de polymère à faibles pertes a permis également une amélioration considérable du facteur de qualité des lignes CPW. Ceci est très intéressant pour des fonctions de type filtrage.

Dans la dernière partie de ce chapitre, nous avons prouvé la robustesse des membranes BCB et leur résistance à des environnements hostiles (pression, choc, vibration). Les lignes coplanaires suspendues sur une membrane de 10 μm d'épaisseur ont montré de très grandes performances micro-ondes et millimétriques.

Références bibliographiques du chapitre 2

- [1] K. Grenier, "Conception, réalisation et caractérisation de structures micro-usinées sur silicium: applications aux micro-systèmes millimétriques," Thèse de doctorat, Toulouse, Novembre 2000
- [2] B. Bianco, M. Parodi, "Determination of the propagation constant of uniform microstrip lines," Alta Frequenza, Vol X, No. 2, pp. 107-110, February 1976
- [3] D. Prieto, "Conception et caractérisation de circuits intégrés micro-ondes monolithiques (MMICs) en technologie d'interconnexions uniplanaire. Application à la conception d'un convertisseur de fréquences en bande Ku," Thèse de doctorat, Toulouse, Janvier 1999
- [4] W. Zhao, C. Schöllhorn, E. Kasper, "Interface loss mechanism of millimetre-wave coplanar waveguides on silicon," IEEE. Trans, on Microwave theory and Techniques. Vol.50, N°. 1, January 2002
- [5] C. Schöllhorn, W. Zhao, M. Morschbach, E. Kasper, "Attenuation mechanisms of aluminium millimetre-wave coplanar waveguides on silicon," IEEE Trans. Electron Devices, Vol. 50, No. 3, March 2003
- [6] W. Zhao, C. Schöllhorn, E. Kasper. "Bias dependent attenuation of coplanar transmission lines on silicon". -----Stuttgart, Germany
- [7] A. L. S. Loke, S. Simon Wong, N. A. Talwalkar, J. T. Wetzel, P. H. Townsend, T. Tanabe, R. N. Vrtis, M. P. Zussman, D. Kumar, "Evaluation of copper penetration in low- κ polymer dielectrics by Bias- Temperature Stress," Symposium N/O, paper 04.4, San Francisco, CA, April 1999
- [8] J. C. Dubois, "Propriétés diélectriques des polymères," Techniques de l'ingénieur, Traité Electronique
- [9] S. Kayali, G. Ponchak, R. Shaw, "GaAs MMIC reliability assurance guideline for space applications," California, December 1996
- [10] M. Dokmeci, K. Najafi, "A high-sensitivity polyimide capacitive relative humidity sensor for monitoring anodically bonded hermetic micropackages," IEEE. J. Microelectromechanical Systems, Vol. 10, No. 2, June 2001
- [11] J. R. Webster, "Thin film polymer dielectrics for high-voltage applications under severe environments," Rapport de stage du master es science, Virginie, May 1998
- [12] S. Pinel, "Conception et réalisation d'assemblage 3 D ultra-compacts par empilement de structures amincies," Thèse de doctorat, Toulouse, Novembre 2000
- [13] J. C. Dubois. G. Rabilloud, "Polymères hétérocycliques thermostables," Techniques de l'ingénieur, Traité Electronique
- [14] M. E. Mills, P. Townsend. D. Castillo, S. Martin, A. Achen, "BenzoCycloButene (DVS-BCB) polymer as an interlayer dielectric (ILD) Material," Microelectronic Engineering, 33 (1997), pp.327-334, 1997
- [15] Y. Hung So. P. Garrou. J-H. Im, D. M. Scheck, "Benzocyclobutene- based polymers for microelectronics," Developing Technonogy. Vol 31, No. 12, pp. 40-47. December 2001
- [16] Fiches techniques d'utilisation fournies par DOW Europe S.A
- [17] K. C. Gupta, R. Garg, I. J. Bahl, "Microstrip lines and slotlines, " Artech House, 1979

- [18] G. E. Ponchak, M. Matloubian, L. P. B. Katehi, "A measurement-based design equation for the attenuation of MMIC-compatible coplanar waveguides," IEEE. Trans, on Microwave theory and Techniques. Vol. 47, No. 2, February 1999
- [19] G. E. Ponchak, E. Dalton, A. Bacon, J. Papapolymerou, E. M. Tentzeris, "Measured propagation characteristics of finite ground coplanar waveguide on silicon with a polyimide interface layer," 32th European Microwave Conference, Milan (Italy), September 2002
- [20] H. Berg, S. Gevorgian, "The effect of longitudinal substrate currents on the losses in silicon substrate coplanar-strip and coplanar waveguides," International Journal of RF and Microwave Computer-Aided Engineering, Vol. 10, Issue 5, pp. 284-288, August 2000
- [21] G. E. Ponchak, L. P. B. Katehi, "Measured attenuation of coplanar waveguide on CMOS grade silicon substrates with polyimide interface layer," IEEE Electronics Letters, Vol.34, No.13, pp. 1327-1329, June 1998
- [22] G. Ghione, M. Goano, "The influence of ground-plane width on the ohmic losses of coplanar waveguides with finite lateral ground planes," IEEE Trans. Microwave Theory & Tech., Vol. 45, No. 9, pp. 1640-1642, September 1997
- [23] M. Riaziat, I. J. Feng, R. Majidi-Ahy, B. A. Auld, "Single-mode operation of coplanar waveguides," Electron. Lett., Vol. 23, No. 24, pp. 1281-1283, November 1987
- [24] M. Riaziat, R. Majidi-Ahy, I. J. Feng, "Propagation modes and dispersion characteristics of coplanar waveguides," IEEE Trans. Microwave Theory & Tech., vol. 38, No. 3, pp. 245-251, March 1990
- [25] F. Bouchriha, D. Dubuc, D. Bourrier, L. Bary, R. Plana, K. Grenier, "High Q-factor of coplanar waveguide on low-k polymer layer," 35rd European Microwave Conference (EuMC'2005), Paris, France
- [26] G. E. Ponchak, A. Margomenos, L. P. B. Khatehi. "Low- loss CPW on low- resistivity Si substrates with a micromachined polyimide interface layer for RFIC interconnects," IEEE. Trans, on Microwave theory and Techniques. Vol. 49, No. 5, May 2001
- [27] R. D. Tacito, C. Steinbrüchel, "Patterning of benzocyclobutene by reactive ion etching", J. Electrochem., Soc., Vol.143, No.8, pp. 2695-2697, August 1996
- [28] H. Young-Tack, Y. I. Kim, M. C. Lee, P. Sunhee, S. Dongha, C. M. Park, B. Hong, Y. Roh, S. H. Jung, I. Song, "Post-etch residue removal in BCB/Cu interconnections structures," J. Elsevier science. Thin Solid Films (435), pp. 238-241, 2003
- [29] M. Schier, "Reactive ion etching of benzocyclobutene using a silicon nitride dielectric etch mask," J. Electrochem., Soc., Vol.142 No.9 pp. 323883240, September 1995
- [30] P. B. Chinoy, "Reactive ion etching of benzocyclobutene polymer films," IEEE Transactions on Components, Packaging, and Manufacturing technology-part c, Vol. 20, No. 3, July 1997
- [31] M. R. Baklanov, S. Vanhaelemeersch, H. Bender, K. Maex, "Effects of oxygen and fluorine on the dry etch characteristics of organic low-k dielectrics," J. Vac. Scien. Technol. B, 17(2), pp. 372-379, Mars 1999
- [32] S. A. Vitale, H. Chae, H. H. Sawin, "Etching chemistry of benzocyclobutene (BCB) low-k dielectric films in F₂+O₂ and Cl₂+O₂ high density plasmas". J. Vac. Scien. Technol. A 18 (6). 2770-2778, November 2000

- [33] R. J. Shul, C. T. Sullivan, and G. B. Mc Clellan, “Anisotropic ECR etching of Benzocyclobutene,” IEE Electronics letters, Vol. 31, No. 22, pp. 1919-1921, October 1995
- [34] P. B. Chinoy, J. Tajadod, “Processing and microwave characterization of multilevel interconnections using Benzocyclobutene dielectric,” IEEE Transactions on Components, Packaging, and Manufacturing technology, Vol.16, No.7, pp.714-719, November 1993
- [35] F. Bouchriha, K. Grenier, D. Dubuc, P. Pons, R. Plana, J.Graffeuil, “Minimization of passive circuits losses realized on low resistivity silicon using micro-machining techniques and thick polymer layers,” 2003 IEEE MTT-S International Microwave Symposium (IMS'2003), Philadelphie (USA), pp.959-962, Jun 2003
- [36] G. E. Ponchak, A. Margomenos, L .P. B. Katehi, “Low-loss CPW on low-resistivity Si substrates with a micromachined polyimide interface layer for RFIC interconnects,” IEEE Trans. Microwave Theory Tech. Vol. 49, No. 5, pp. 866-870, May 2001
- [37] F. Bouchriha, K. Grenier, D. Dubuc, P. Pons, R. Plana, J. Graffeuil, “Coplanar passive circuits on silicon surface micromachined and thick polymer layers for millimetre-wave applications,” 33rd European Microwave Conference (EuMC'2003), Munich (Allemagne), pp. 49-52, October 2003
- [38] A. M. Hynes, H. Ashraf, J. K. Bhardwaj, J. Hopkings, I. Johnston, J. N. Shepherd “Recent advances in silicon etching for MEMS using the ASE process” Sensors and Actuators, Vol. 74, Issue. 1-3, pp. 13-17, 1999
- [39] A. A. Ayon, R. L. Bayt, K. S. Breuer, “Deep reactive ion etching: a promising technology for micro-and nanosatellites,” Smart Materials and Structures. 10, pp. 1135-1144, 2001
- [40] F. Bouchriha, D. Dubuc, D. Bourrier, P. Dubreuil, R. Plana, K. Grenier, “Amélioration du facteur de qualité de circuits passifs sur silicium basse résistivité pour applications millimétriques,” 14èmes Journées Nationales Microondes (JNM'2005) (14rd National Meeting of Microwave), Nantes (France), Mai 2005
- [41] Z. R. Hu, V. F. Fusco, J. A. C. Stewart, Y. Wu, H. S. Gamble, B. M. Armstrong, N. B. Buchanan, “Characteristics of trenched coplanar waveguide for SiMMIC applications,” 1997 IEEE MTT-S Int. Microwave Symp. Dig., Vol. 2, pp. 735-738, June 1997
- [42] N. I. Dib, W. P. Jr, Harokopus, P. B. Katehi, C. C. Ling, G. M. Rebeiz, “Study of a novel planar transmission line,” IEEE MTT-S Int. Microwave Symp. Dig., vol. 2, pp. 623-626, June 1991
- [43] K. J. Herrick, T. A. Schwarz, L. P. B. Katehi, “Si-micromachined coplanar waveguides for use in high-frequency circuits,” IEEE. Trans, on Microwave theory and Techniques. Vol. 46, No. 6, June 1998
- [44] B. Guillon, K. Grenier, P. Pons, J-L. Cazaux, J-C. Lalaurie, D. Cros, R. Plana, “Silicon micromachining for millimeter-wave applications,” Journal of Vacuum Science & Technology, part A 18(2), pp. 743-745, Mars/Avril 2000

Application des filières technologiques développées à des filtres et antennes

Chapitre 3- Application des filières technologiques développées à des filtres et antennes

Introduction

La combinaison d'un micro-usinage de surface ou de volume du substrat silicium et le dépôt d'une couche épaisse de polymère à faibles pertes s'est avérée être une technique prometteuse à faible coût pour optimiser les performances des interconnexions coplanaires en technologie silicium standard aux fréquences micro-ondes et millimétriques. Pour mieux montrer l'intérêt de cette nouvelle filière technologique en terme de pertes, de facteur de qualité et de miniaturisation, nous l'avons appliquée à des démonstrateurs coplanaires telles que filtres et antennes, fonctionnant aux fréquences micro-ondes et millimétriques.

La première partie de ce chapitre sera consacrée à la conception et la réalisation de filtres passe-bandes coplanaires centrés à 60 GHz. Cette bande de fréquence correspond à une importante raie d'absorption de l'oxygène et est donc allouée à des applications courtes distances comme les réseaux locaux sans fil (W-LAN¹), les liaisons sans fil et les systèmes de transport intelligents (ITS²). Le développement donc de filtres très sélectifs présentant de faibles niveaux de pertes, de faible poids, un encombrement et un coût réduits, reste d'un intérêt majeur dans un système d'émission-réception pour télécommunications. Dans un premier temps, nous allons exposer la technique de conception de filtres passe-bandes CPW à base de résonateurs de longueurs demi-onde ($\lambda/2$). Après, nous exposerons les caractéristiques de filtres CPW ($\lambda/2$) conçus et réalisés sur une couche épaisse de Benzocyclobutène. L'impact de l'homogénéisation du milieu de propagation grâce au dépôt d'une couche de polymère supplémentaire sur les filtres réalisés sera évalué. Ensuite, les caractéristiques de filtres CPW réalisés en utilisant simultanément un micro-usinage localisé en surface du silicium et un dépôt d'une couche de BCB seront présentées. Finalement, des filtres CPW réalisés sur une membrane épaisse de BCB seront caractérisés et présentés.

La seconde partie de ce chapitre se focalisera sur l'impact de ces différentes filières technologiques développées sur les performances des antennes micro-ondes planaires centrées à 24 GHz.

¹ W-LAN: Wireless Local Area Network

² ITS: Intelligent Transport Systems

1. Application aux filtres passe-bandes coplanaires

1.1. Méthode de conception utilisée

Dans les systèmes de communications modernes, les filtres passe-bandes occupent une place très importante. Ils permettent de débarrasser d'un signal utile (bande passante) toutes les composantes parasites (bandes atténées) qui peuvent être assimilées à du bruit.

1.1.1. Gabarit et topologie choisie du filtre

Le gabarit d'un filtre passe-bande est caractérisé par la fréquence centrale ($f_0 = \sqrt{f_1 \cdot f_2}$), la largeur de la bande passante à 3-dB, le taux d'ondulation dans la bande passante, le niveau de réjection, les pertes d'insertion et finalement le facteur de qualité en charge ($Q_c = f_0/(f_2-f_1)$), comme l'illustre la Figure 3.1.

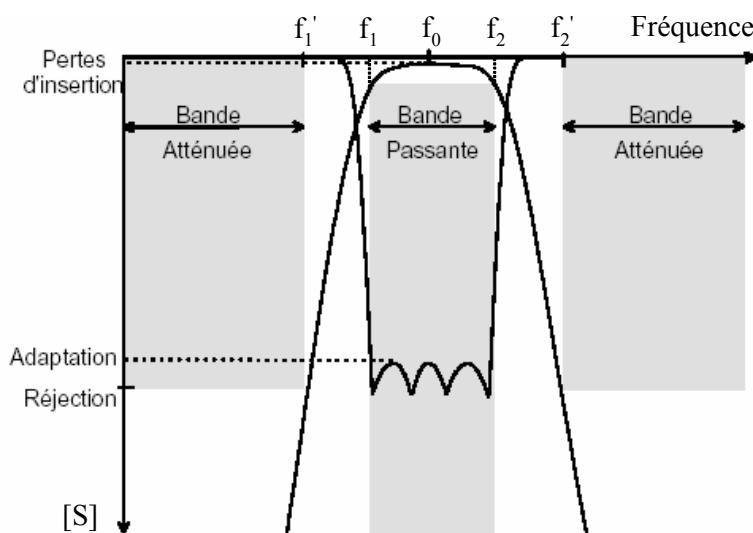


Figure 3.1 : Gabarit et réponse électrique d'un filtre passe-bande

A ce stade, nous avons choisi de concevoir un filtre passe-bande coplanaire centré à 60 GHz. Celui-ci devrait avoir des pertes de réjection de 13 dB, un taux d'ondulation de 0.1 dB dans la bande passante et une bande passante réduite de 3.3 %.

Le développement de filtres passe-bandes présentant à la fois une bonne sélectivité, de faibles pertes d'insertion (S_{21} à la fréquence de résonance) et un très fort facteur de qualité est une opération très délicate. En effet, pour une technologie donnée (facteur de qualité à vide donné), les pertes d'insertion augmentent avec l'augmentation de la sélectivité du filtre (b en %), comme l'explique l'équation 3.1 [1].

$$(S_{21})_{\max} (dB) = \frac{4.343 \cdot n_v}{Q_v \cdot b} \quad (3.1)$$

$$Q_v = \frac{Q_c}{(1 - S_{21(nat)})} \quad (3.2)$$

où ‘n’ est l’ordre du filtre, ‘b’ la bande passante relative dite aussi réduite $(b = (f_i - f_s)/f_s)$,

‘Q_v’ le facteur de qualité à vide, ‘Q_c’ le facteur de qualité en charge (1/b) et ‘S_{21(nat)}’ est la transmission en valeur naturelle à la fréquence de résonance du filtre.

Par exemple, si nous considérons un filtre du second ordre (n=2) présentant une bande passante réduite de 5 % avec un facteur de qualité à vide de 30, les pertes d’insertion calculées (cf. équation 3.1) sont donc de 5.8 dB. Par contre, ces dernières atteignent une valeur de 8.7 dB dans le cas d’un filtre présentant 3.3 % de bande passante réduite avec la même technologie.

De plus, en diminuant le nombre de cellules résonantes, nous limitons le nombre de discontinuités utilisées et par conséquent nous réduisons les effets parasites qui leurs sont associés.

Afin d’évaluer les technologies développées précédemment, nous nous sommes intéressés aux filtres coplanaires à base de résonateurs demi-ondes ($\lambda/2$). Ceux-ci peuvent être couplés de façon soit inductive avec des court-circuits à leurs extrémités (cf. Figure 3.2.a) [2]-[4], soit capacitive avec des circuits ouverts (cf. Figure 3.2.b) [4]-[10]. Nous nous sommes plus particulièrement intéressés au couplage capacitif entre résonateurs. Ces couplages capacitifs peuvent être modélisés à l’aide d’inverseurs d’admittance J_{ij}.

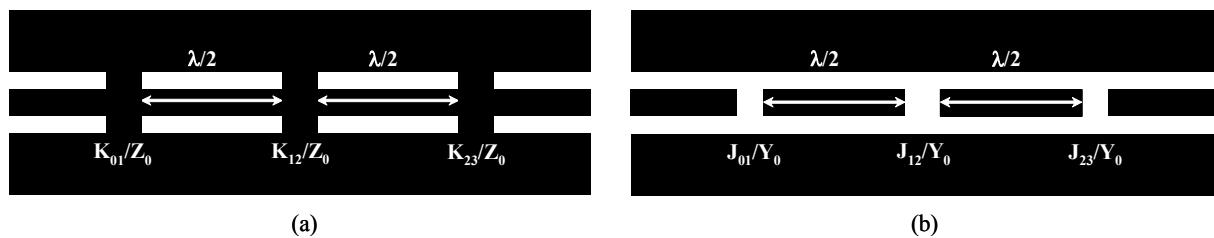


Figure 3.2 : Représentation coplanaire d’un filtre passe-bande d’ordre 2 à couplage (a) inductif et (b) capacitif

Leurs valeurs normalisées (J_{ij}/Y_0) dans le cas de filtre à base de résonateurs de longueur $\lambda/2$ sont données par les équations suivantes [1]:

$$\frac{J_{01}}{Y_0} = \frac{J_{n,n+1}}{Y_0} = \sqrt{\frac{\pi \cdot b}{2 \cdot g_0 \cdot g_1 \cdot \omega_1}} \quad (3.3)$$

$$\frac{J_{j,j+1}}{Y_0} = \frac{\pi \cdot b}{2 \cdot \omega_1 \cdot \sqrt{g_j \cdot g_{j+1}}} \quad j \neq 0, n \quad (3.4)$$

où ‘ g_i ’ et ‘ ω_i ’ sont les impédances et la fréquence angulaire normalisées ($\omega_1=1$ rad/s) correspondant au prototype du filtre passe-bas équivalent (cf. [1]), ‘ n ’ l’ordre du filtre, ‘ Y_0 ’ est l’admittance caractéristique des résonateurs.

Afin de relier les dimensions coplanaires des discontinuités avec les valeurs requises des inverseurs d’admittance, des bibliothèques de discontinuités coplanaires ont été développées.

1.1.2. Modélisation de discontinuités coplanaires

Pour chaque filière technologique utilisée, une bibliothèque de discontinuités coplanaires a été élaborée et a nécessité une étape de modélisation. Les discontinuités capacitives peuvent être représentées par le modèle électrique en Π capacitif [8]-[13], (cf. Figure 3.3.a).

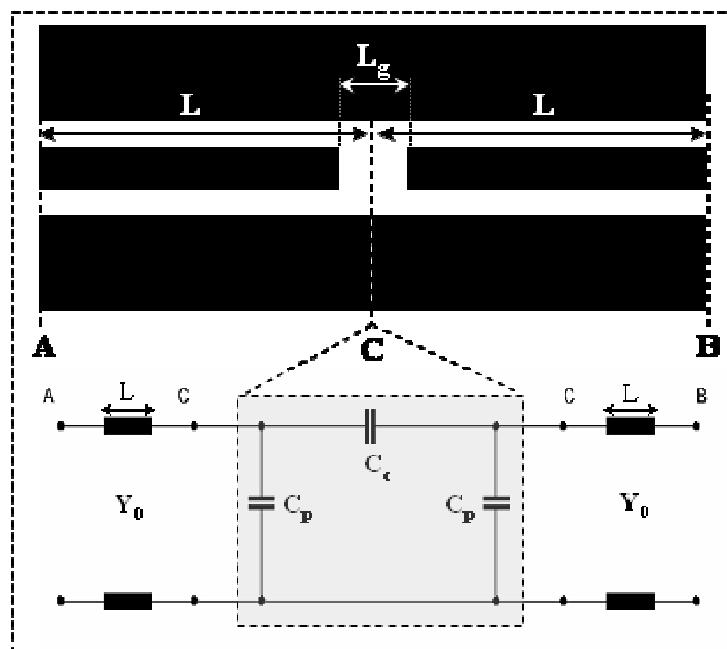


Figure 3.3 : Dessin d’une discontinuité capacitive avec son schéma électrique équivalent

Le calcul des valeurs des éléments électriques du modèle (C_c et C_p) est effectué à partir des simulations électromagnétiques de la discontinuité capacitive de largeur ‘ L_g ’ en utilisant la méthode de chaînage des matrices (ABCD) [4]. A partir des valeurs de ces éléments

électriques, nous remontons aux valeurs des inverseurs d'admittance qui sont données par les équations 3.5 et 3.6.

$$\phi = -\arctan\left(\frac{2C_c \cdot \omega_0}{Y_0} + \frac{C_p \cdot \omega_0}{Y_0}\right) - \arctan\left(\frac{C_p \cdot \omega_0}{Y_0}\right) \quad (3.5)$$

$$\frac{J}{Y_0} = \left| \tan\left(\frac{\phi}{2} + \arctan\left(\frac{C_p \cdot \omega_0}{Y_0}\right)\right) \right| \quad (3.6)$$

où ‘ ϕ ’, exprimée en radians, est la longueur de correction due à la discontinuité coplanaire. Son signe positif ou négatif traduit un allongement ou un rétrécissement des lignes latérales.

1.1.3. Procédure de conception du filtre

La conception et le dimensionnement des filtres suivent une procédure que nous allons expliciter dans ce paragraphe. Elle a été appliquée ensuite à la filière technologique sur une couche épaisse de BCB. Tout d'abord, les dimensions coplanaires (W,S) du filtre ont été définies afin de correspondre à une impédance caractéristique de 50Ω à la fréquence centrale f_0 du filtre. Une fois les spécifications et la technologie du filtre choisies (gabarit du filtre, résonateurs $\lambda/2$ avec discontinuités capacitives), nous définissons les longueurs des résonateurs et les valeurs ‘ J ’ nécessaires (cf. la méthode de synthèse de filtre de Matthaei [1]). Nous sélectionnons ensuite les discontinuités coplanaires correspondant aux valeurs de couplage voulues à l'aide des bibliothèques préalablement élaborées pour chaque filière technologique et corrigéons les longueurs des résonateurs en conséquence à l'aide de l'équation suivante [1]:

$$\theta_j = \pi + \frac{(\phi_{j-1,j} + \phi_{j,j+1})}{2} \quad (3.7)$$

où ‘ j ’ correspond au numéro du pôle, ‘ θ ’, exprimée en radians, représente la longueur électrique du tronçon de la ligne de longueur $\lambda/2$ (cf. Figure 3.4). Finalement, la longueur physique du tronçon de la ligne (L_j), exprimée en μm , est donc donnée par l'équation 3.8 dans le cas des résonateurs $\lambda/2$.

$$L_j = \theta_j \cdot \frac{\lambda}{2\pi} \cdot 10^6 - \frac{(Lg_{j-1,j} + Lg_{j,j+1})}{2} \quad (3.8)$$

La Figure 3.4 montre un exemple d'un filtre coplanaire d'ordre 2 à base de résonateurs de longueur $\lambda/2$ et de longueur électrique θ_j .

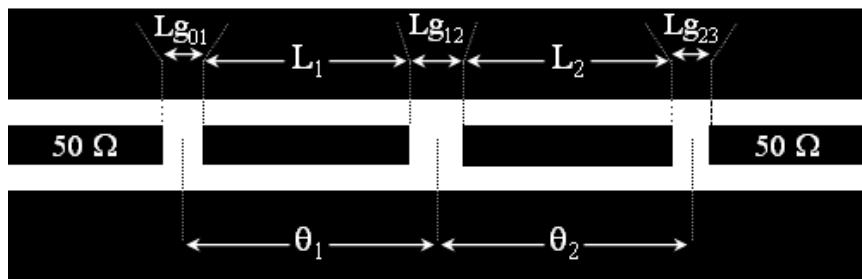


Figure 3.4 : Exemple d'un filtre d'ordre 2 à base de résonateurs $\lambda/2$

1.2. Elaboration du filtre coplanaire à l'aide de la filière technologique sur polymère

Les résultats de simulations électromagnétiques d'une ligne coplanaire CPW, sur 18 μm de BCB déposé sur un substrat silicium haute résistivité ($2500 \Omega\cdot\text{cm}$) et de 400 μm d'épaisseur, nous ont amené à un couple de dimensions coplanaires (W,S) de (160,25) qui correspondent à une impédance caractéristique de 50Ω à la fréquence centrale du filtre de 60 GHz. La Figure 3.5 résume les différentes étapes suivies pour la conception de nos filtres coplanaires.

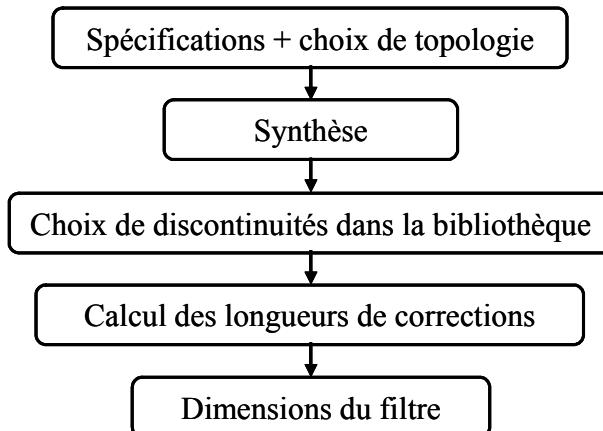


Figure 3.5 : Procédure suivie pour la conception des filtres coplanaires

1.2.1. Bibliothèque de discontinuités coplanaires pour la filière technologique sur polymère

Différentes discontinuités coplanaires capacitifs de largeur allant de 10 μm jusque 150 μm ont été simulées et modélisées. Les valeurs des inverseurs d'admittance correspondants sont indiquées sur la Figure 3.6.

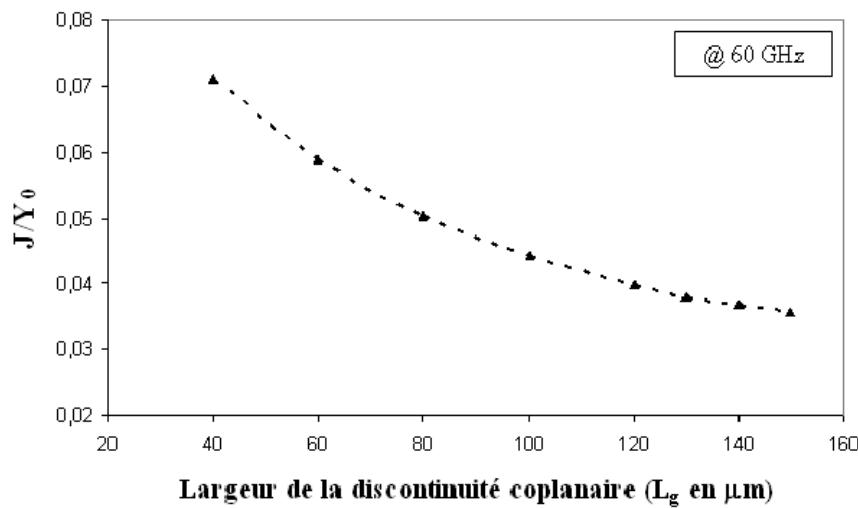


Figure 3.6 : Valeurs d’inverseurs d’admittance en fonction de la largeur de la discontinuité coplanaire capacitive simple pour un couple (160,25)

Etant donné que de forts couplages sont nécessaires en entrée et sortie des filtres, des capacités interdigitées [4], [10], [11] ont également été étudiées. Afin de conserver le caractère localisé de la discontinuité, la longueur des doigts a été choisie très inférieure à la longueur d’onde à la fréquence centrale du filtre ($l_d \ll \lambda/4$) [14]. Dans ce cas, la discontinuité capacitive interdigitée peut être considérée comme une discontinuité capacitive simple et donc représentée par le modèle électrique en Π capacitif. Les valeurs associées sont présentées sur la Figure 3.7.

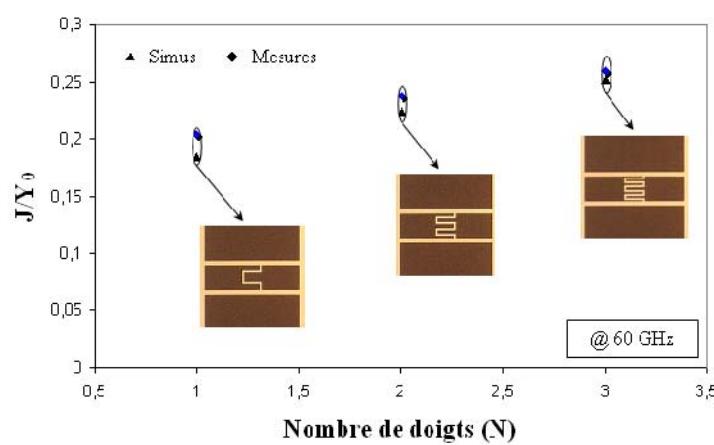
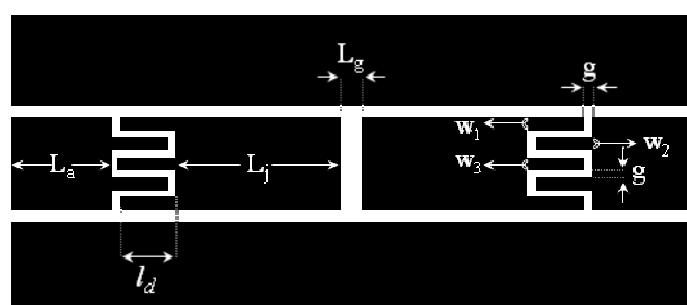


Figure 3.7 : Evolution du couplage capacitif d’une discontinuité interdigitée en fonction du nombre de doigts utilisés

L'étude de telles discontinuités a montré que le couplage devient de plus en plus fort en augmentant le nombre de doigts constituant la discontinuité. Dans le prochain chapitre, nous allons présenter les caractéristiques d'un filtre passe-bande coplanaire du second ordre utilisant des discontinuités interdigitées à deux doigts.

1.2.2. Caractérisation du filtre

Afin de simplifier la conception du filtre coplanaire, nous avons choisi la largeur de la fente serpentée ‘g’ constante. Les dimensions du filtre ainsi que le masque associé sont présentées sur la Figure 3.8.



10

BP (%)	(W,S)	L _g	g	l _d	w ₁	w ₂	w ₃	L _a	L _j	Surface (mm ²)
3.33	(160,25)	40	10	140	20	25	30	480	1120	4.28

63

Figure 3.8 : Masque du filtre coplanaire ($\lambda/2$) utilisant des discontinuités capacitatives interdigitées à deux doigts et ses dimensions associées en micromètre

La Figure 3.9 présente le modèle électrique utilisé pour le filtre passe-bande coplanaire à base de résonateurs demi-ondes et couplé à ses extrémités grâce à des discontinuités capacitatives interdigitées à deux doigts.

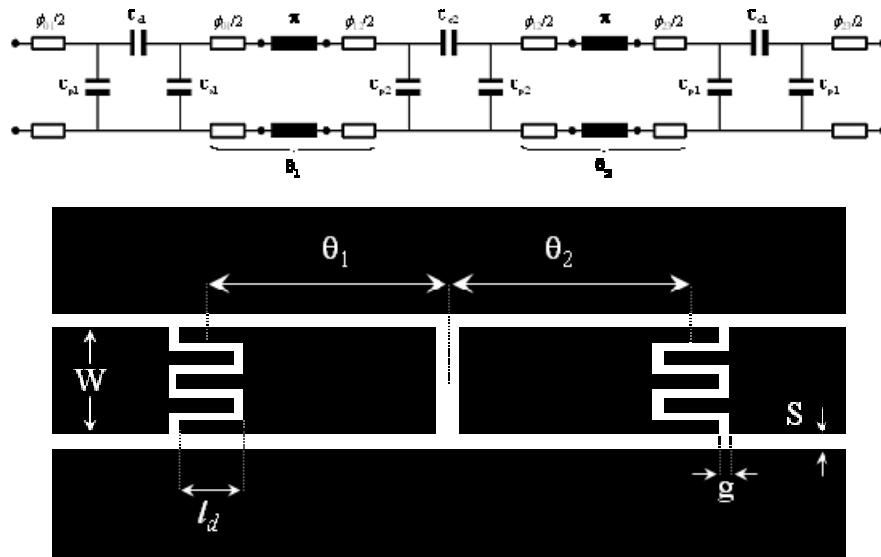


Figure 3.9 : Exemple d'un filtre du second ordre à base de résonateurs $\lambda/2$ utilisant une discontinuité capacitive interdigitée (à deux doigts) à ses extrémités avec son modèle électrique

La mesure et simulation électromagnétique du filtre coplanaire centré à 60 GHz et présentant 3.3 % de bande passante à 3-dB sont présentées sur la Figure 3.10.

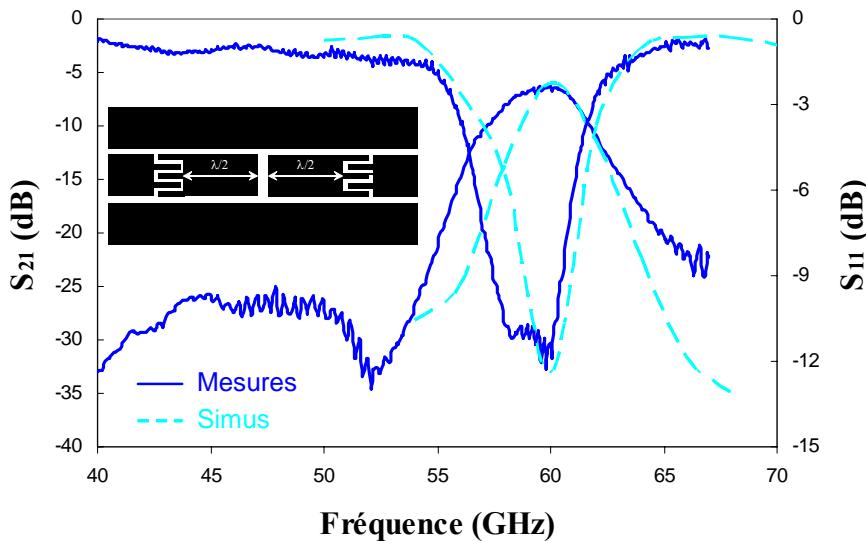


Figure 3.10 : Performances du filtre coplanaire centré à 60 GHz et présentant 3.3 % de bande passante à 3-dB

Nous pouvons constater dans un premier temps que le niveau de pertes mesuré est en accord avec la simulation électromagnétique, de même que la fréquence de résonance proche de 60 GHz. Cependant, la largeur de la bande passante mesurée est supérieure à celle issue de la simulation électromagnétique, comme l'indique le Tableau 3.1.

Topologie du filtre	f_0 (GHz)		S_{21} (dB)		S_{11} (dB)		BP (GHz)		Q_c		Q_v	
	Sonnet	Mesure	Sonnet	Mesure	Sonnet	Mesure	Sonnet	Mesure	Sonnet	Mesure	Sonnet	Mesure
	60.2	59.7	-6	-6.3	-12.4	-12.3	2.6	4	23	15	47	29

Tableau 3.1 : Comparaison entre les résultats de mesure et de simulation électromagnétique

Ceci peut s'expliquer par la différence entre les valeurs de couplage mesurées et simulées (cf. Figure 3.7) à cause d'une dispersion technologique qui a amené à une modification dans les valeurs de couplage désirées, comme l'indique le Tableau 3.2.

Type de discontinuité	C_p (fF)		C_c (fF)		J/Y_0	
	Sonnet	Mesure	Sonnet	Mesure	Sonnet	Mesure
	-2.29	-4.3	3.75	5.47	$7.07 \cdot 10^{-2}$	$10.3 \cdot 10^{-2}$
	0.59	-6.93	12.45	13.75	$22.2 \cdot 10^{-2}$	$25.5 \cdot 10^{-2}$

Tableau 3.2 : Valeurs de couplage des discontinuités coplanaires simulées et mesurées

Nous pouvons remarquer que les valeurs de couplage mesurées pour les deux types de discontinuités coplanaires, simple et interdigitée, sont plus élevées que celles simulées. Cette augmentation du niveau de couplage implique un élargissement de la bande passante, comme nous allons le montrer dans le paragraphe suivant.

1.2.3. Impact des dispersions technologiques

a- Sur les discontinuités coplanaires

Les rétrosimulations électromagnétiques effectuées en tenant compte des dispersions technologiques évaluées, n'ont montré aucune modification significative sur les valeurs de couplage (cf. Tableau 3.3) et donc sur la réponse du filtre passe-bande. Les valeurs rétrosimulées restent quasiment identiques aux premières simulations avec toujours un décalage par rapport aux mesures. Ceci montre la limitation des simulations électromagnétiques 2.5-D pour notre filtre coplanaire.

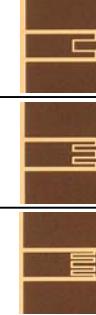
Type de discontinuité	C_p (fF)		C_c (fF)		J/Y_0	
	Sonnet	Mesure	Sonnet	Mesure	Sonnet	Mesure
	0.75	-7.07	9.4	10.84	$17.1.10^{-2}$	$20.3.10^{-2}$
	0.28	-7.2	11.06	12.68	20.10^{-2}	$23.6.10^{-2}$
	-0.83	-6.07	11.85	14.07	$21.5.10^{-2}$	26.10^{-2}

Tableau 3.3 : Comparaison des valeurs de couplage des discontinuités coplanaires rétrosimulées avec les résultats de mesures pour une largeur de discontinuité (L_g) de 130 μm

b- Sur le filtre coplanaire

Afin de mieux comprendre l'impact des dispersions obtenues sur la largeur de la bande passante, nous avons procédé à une simulation électrique du filtre en utilisant le logiciel commercial ADS. A ce stade, nous avons utilisé les valeurs de capacités de couplage (C_p et C_c) issues des mesures de discontinuités coplanaires réalisées. La Figure 3.11 montre une bonne concordance entre la mesure et la simulation électrique de notre filtre en particulier au niveau de la largeur de la bande passante.

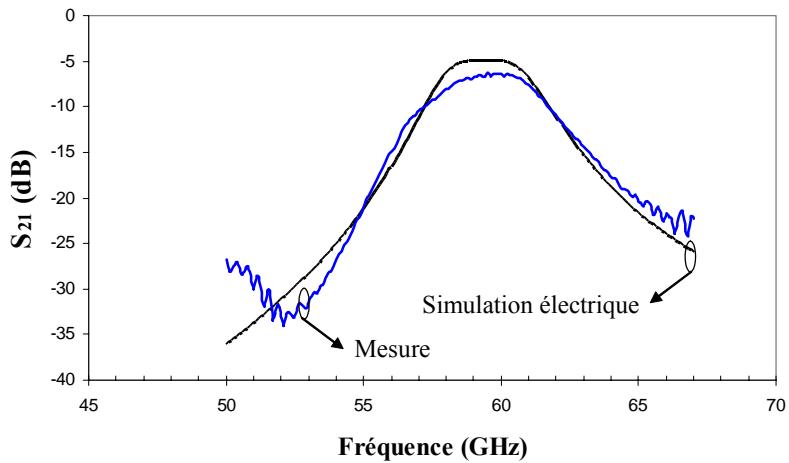


Figure 3.11 : Comparaison entre la mesure et la simulation électrique du filtre passe-bande coplanaire ($\lambda/2$)

Contrairement aux simulations électromagnétiques 2.5-D (Sonnet), les simulations électriques (ADS) ont bien montré l'impact de la sous-évaluation des couplages sur la largeur de la bande passante. Pour bien comprendre le fonctionnement du filtre, nous avons cherché à

définir l'influence exact de cette dispersion sur chacune des discontinuités coplanaires constituant le filtre passe-bande.

(i). Discontinuité coplanaire centrale

Dans un premier temps, nous avons évalué l'influence du couplage central sur la réponse du filtre. Pour cela, nous avons simulé le filtre en modifiant juste les valeurs de couplages (C_p et C_c) associées à la discontinuité coplanaire centrale. La Figure 3.12 montre que l'augmentation des valeurs de couplage central implique un élargissement de la bande passante de l'ordre de 40 %. Nous constatons que la dispersion technologique au niveau de la discontinuité coplanaire centrale a un impact très important sur la largeur de la bande passante du filtre.

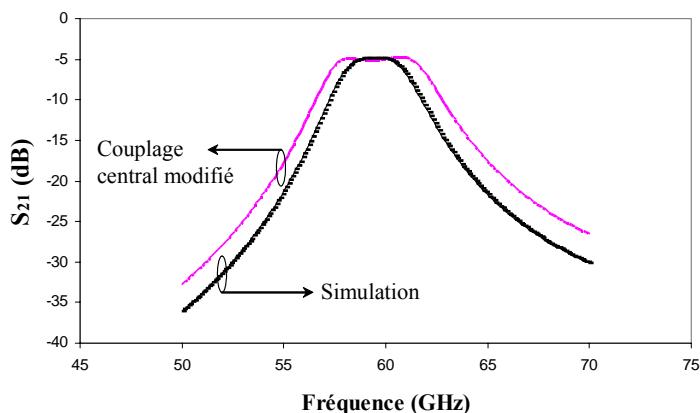


Figure 3.12 : Impact de la dispersion technologique au niveau de la discontinuité coplanaire centrale sur la réponse du filtre passe-bande

Pour définir clairement l'impact de chacune des capacités parasite (C_p) et de couplage (C_c), nous avons simulé le filtre en modifiant l'une des deux capacités tout en maintenant l'autre constante.

La Figure 3.13 indique que la variation de la valeur de la capacité parasite implique un décalage de la fréquence de résonance du filtre sans modification significative de la largeur de la bande passante. Par contre, un élargissement de cette dernière a été enregistré avec la variation de la capacité de couplage (C_c).

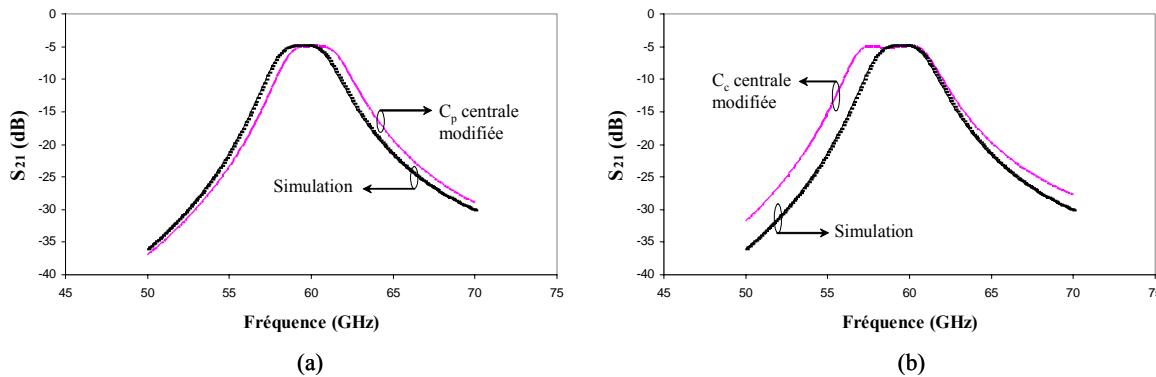


Figure 3.13 : Impact sur la réponse du filtre coplanaire de la capacité (a) parasite (C_p) et de couplage (C_c)

(ii). Discontinuité coplanaire d'entrée-sortie (E/S)

De même, nous avons évalué l'influence du couplage à l'entrée et sortie du filtre coplanaire en augmentant uniquement les valeurs de couplages (C_p et C_c) correspondantes. Une légère augmentation de la bande passante (7 %) est enregistrée avec l'augmentation des capacités de couplages, comme l'illustre la Figure 3.14. Par contre, nous remarquons un décalage de la fréquence de résonance du filtre. La dispersion technologique au niveau des discontinuités coplanaires à l'extrémité du filtre passe-bande n'a pas une grande influence sur la bande passante de notre filtre.

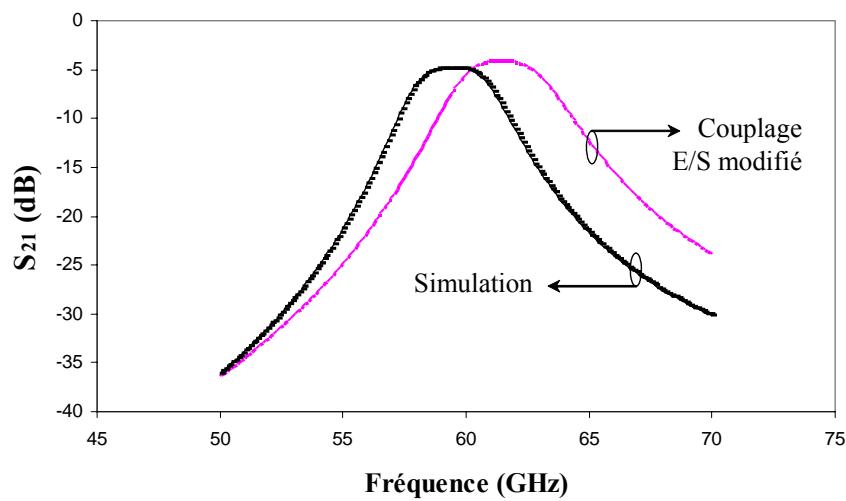


Figure 3.14 : Impact de la dispersion technologique au niveau de la discontinuité coplanaire à l'entrée et sortie du filtre sur la réponse de celui-ci

En conclusion, la dispersion technologique au niveau de la discontinuité coplanaire centrale est la cause principale de l'élargissement de la bande passante de notre filtre. Un bon

contrôle des dimensions coplanaires en particulier celles de la discontinuité centrale permettra d'obtenir une meilleure sélectivité du filtre du second ordre à base de résonateurs demi-ondes.

1.3. Homogénéisation du milieu de propagation avec une couche de polymère supplémentaire

1.3.1. Application aux filtres coplanaires sur polymère

Afin de montrer l'intérêt de réaliser les filtres dans un milieu quasi-homogène en polymère, nous avons déposé une couche de polymère supplémentaire sur nos filtres coplanaires réalisés sur une couche de 18 μm de BCB, comme l'indique la Figure 3.15.

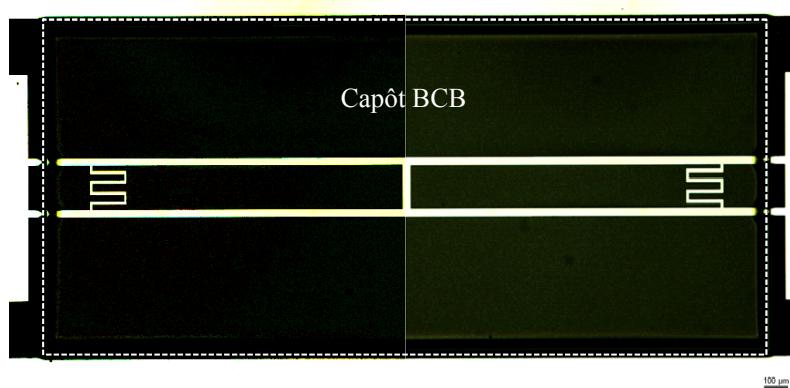


Figure 3.15 : Photographie du filtre coplanaire dans un milieu quasi-homogène de polymère

La Figure 3.16 montre l'impact du capôt BCB sur les performances du filtre coplanaire présenté précédemment. Nous remarquons tout d'abord une amélioration remarquable des pertes de réjection (S_{11}) du filtre coplanaire qui sont passées de -12.3 dB à -35.35 dB (cf. Figure 3.16.b) avec le dépôt d'une couche de 10 μm de BCB sur le filtre déjà réalisé sur polymère.

Une amélioration de l'ordre de 30 % de pertes d'insertion a également été enregistrée dans le cas du filtre coplanaire avec capôt en BCB (cf. Figure 3.16.a). En effet, les pertes d'insertion sont passées d'une valeur de 6.3 dB à 4.5 dB. Ceci est sûrement dû à la réduction des pertes par rayonnement qui se manifestent à cause de la présence de discontinuités coplanaires. Cependant, nous remarquons un décalage de la fréquence de résonance de notre filtre coplanaire avec l'addition d'une couche de BCB. Ceci s'explique par l'augmentation de la permittivité effective (ϵ_{eff}) qui implique une diminution de la fréquence de résonance du filtre.

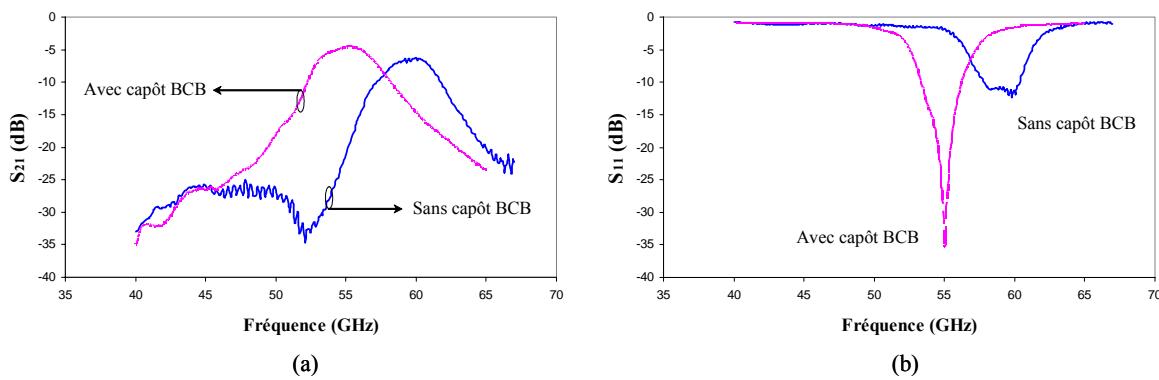


Figure 3.16 : Impact du capot BCB sur les performances du filtre coplanaire centré à 60 GHz et présentant 3.3 % de bande passante à 3-dB

Le Tableau 3.4 illustre une comparaison entre le filtre coplanaire ($\lambda/2$) sur une couche de 18 μm de BCB sans et avec un capot BCB de 10 μm d'épaisseur.

	f_0 (GHz)	S_{21} (dB)	S_{11} (dB)	BP (GHz)	Q_c	Q_u
Sans capot BCB	59.7	-6.3	-12.3	4	15	29
Avec capot BCB	55.35	-4.5	-35.35	4.45	12	31

Tableau 3.4 : Impact du capot BCB sur les performances du filtre coplanaire

Comme dans le cas de lignes de transmission coplanaires, la réalisation de filtres dans un milieu quasi-homogène en polymère permet d'améliorer les performances des filtres développés. Il reste juste à en tenir compte lors de la conception du filtre.

1.3.2. Application au filtre coplanaire micro-usiné en surface

La technologie faibles pertes basée sur la combinaison d'un micro-usinage en surface localisé du substrat silicium et le dépôt d'une couche épaisse de BCB a montré des atouts formidables pour l'optimisation des performances des interconnexions coplanaires sur silicium basse résistivité aux fréquences micro-ondes et millimétriques. Afin de valider cette filière technologique, nous l'avons appliquée à nos filtres passe-bandes coplanaires.

A ce stade de l'étude, nous soulignons que le temps de calcul associé aux simulations électromagnétiques de discontinuités coplanaires micro-usinées en surface est beaucoup plus important que celui associé aux mêmes structures coplanaires sur silicium massif. Sachant que les performances des lignes coplanaires sur une couche de 18 μm de BCB correspondent à celles de la même ligne coplanaire sur 10 μm de BCB avec un micro-usinage en surface du silicium localisé dans les fentes coplanaires de 30 μm de profondeur (paragraphe 2.3.3 du

chapitre 2), nous avons réalisé des filtres passe-bandes coplanaires sur 10 μm de BCB en utilisant préalablement un micro-usinage en surface du substrat silicium (30 μm) localisé dans les fentes et sous les discontinuités coplanaires, comme le montre la Figure 3.17.

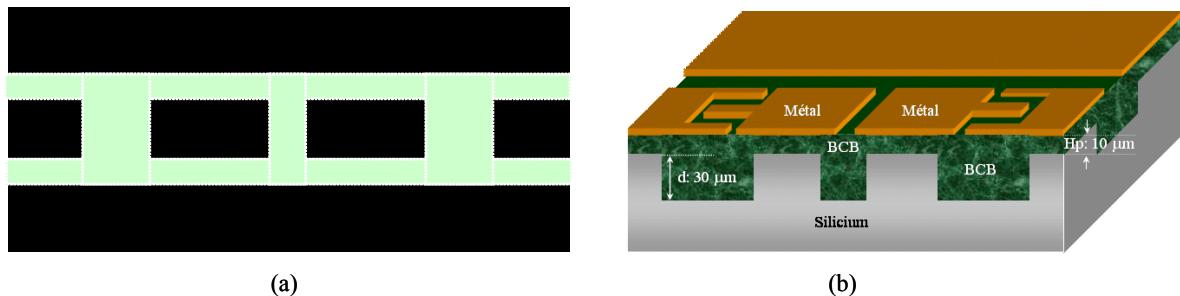


Figure 3.17 : Exemple de filtre coplanaire ($\lambda/2$) micro-usiné localement dans les fentes coplanaires et sous les discontinuités coplanaires: (a) vue de dessus et (b) vue en coupe

Les performances du filtre micro-usiné en surface doivent correspondre normalement à celles du filtre CPW réalisé sur 18 μm de BCB qui ont été présentées dans la première partie de ce chapitre. La Figure 3.18 et le Tableau 3.5 présentent une comparaison entre les réponses du filtre coplanaire réalisé sur 18 μm de BCB avec un capot BCB et le même filtre avec également un capot en polymère mais sur 10 μm de BCB et avec un micro-usinage préalable de surface.

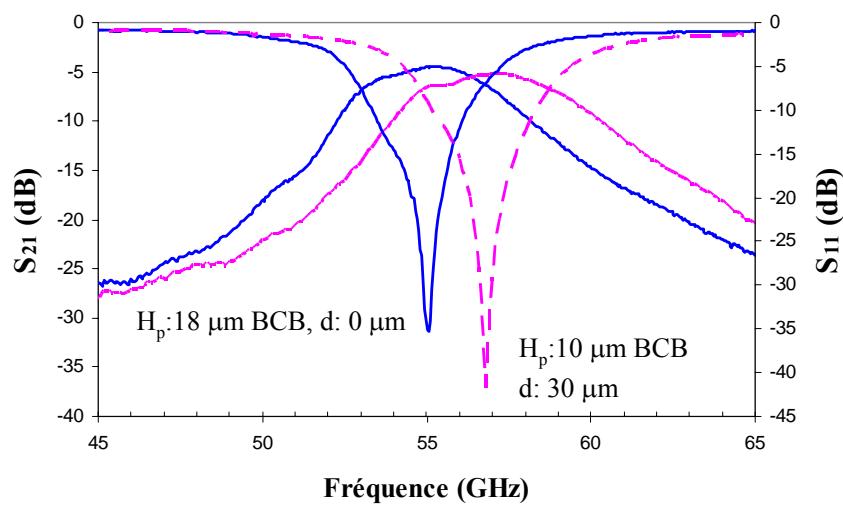


Figure 3.18 : Comparaison entre les réponses du filtre CPW centré à 60 GHz sur une couche de 18 μm de BCB et celui utilisant simultanément un micro-usinage localisé en surface du silicium et un dépôt d'une couche de 10 μm de BCB

	f_0 (GHz)	S_{21} (dB)	S_{11} (dB)	BP (GHz)	Q_c	Q_u
Hp: 18 μm , d: 0 μm	55.35	-4.5	-35.35	4.45	12	31
Hp: 10 μm , d: 30 μm	57	-5.2	-41.6	5.05	11.3	25

Tableau 3.5 : Comparaison entre les performances du filtre CPW centré à 60 GHz sur une couche de 18 μm de BCB et celui utilisant simultanément un micro-usinage localisé en surface du silicium et un dépôt d'une couche de 10 μm de BCB

Nous pouvons constater que les réponses des filtres réalisés en utilisant les deux filières technologiques sont similaires. Le décalage de la fréquence de résonance des filtres micro-usinés peut s'expliquer par le fait que nous avons procédé à un micro-usinage en surface du silicium totalement sous les discontinuités coplanaires, alors que le micro-usinage devrait être effectué uniquement dans les fentes coplanaires simples ou serpentées. Vue les petites dimensions des doigts interdigités, et pour une facilité de conception de masques, nous avons choisi de graver le silicium complètement sous les discontinuités coplanaires. La légère augmentation du niveau de pertes observée pour le filtre coplanaire micro-usiné par rapport à celui sur une couche épaisse de BCB est due au fait que les ouvertures créées localement en surface du substrat silicium ne sont pas totalement comblées par la couche de BCB déposée en dessus.

Normalement, en procédant à un dépôt de 10 μm de BCB en plusieurs couches et en effectuant un micro-usinage en surface, de 30 μm de profondeur, localisé juste dans les fentes coplanaires et dans les ouvertures serpentées et sous les côtés des discontinuités capacitifs, nous devrions obtenir des réponses de filtres CPW micro-usinés parfaitement similaires à celles de filtres coplanaires sur une couche de 18 μm de BCB.

1.4. Comparaison des performances des filtres réalisés sur polymère et silicium massif et sur membrane polymère

Afin de mieux montrer l'intérêt de la filière membrane organique pour des circuits plus complexes, nous l'avons appliquée à des filtres coplanaires ($\lambda/2$). Le même gabarit de filtre excepté la fréquence de résonance choisie à 56 GHz a également été appliquée à la filière technologique faibles pertes à membrane organique. La conception correspondante a été effectuée lors d'une thèse précédente [4] et utilisée avec une technologie à base de membrane minérale en SiO_2/SiN de 1.4 μm d'épaisseur.

Le procédé technologique employé ici pour la réalisation du filtre coplanaire suspendu sur une membrane BCB est le même que celui développé pour des lignes coplanaires sur BCB et qui a été détaillé dans le paragraphe 3.1 du deuxième chapitre de ce manuscrit.

Les dimensions ainsi que la réponse associée à la mesure du filtre coplanaire réalisé sur une membrane de 10 μm de BCB sont présentées sur le Tableau 3.6 et la Figure 3.19 respectivement.

(W,S)	L_g	g	l_d	w_1	w_2	w_3	L_a	L_j	Surface (mm 2)
(190,20)	20	10	100	30	30	30	210	2000	5,73

Tableau 3.6 : Dimensions en micromètre associées au filtre coplanaire ($\lambda/2$) suspendu sur une membrane de 10 μm de BCB

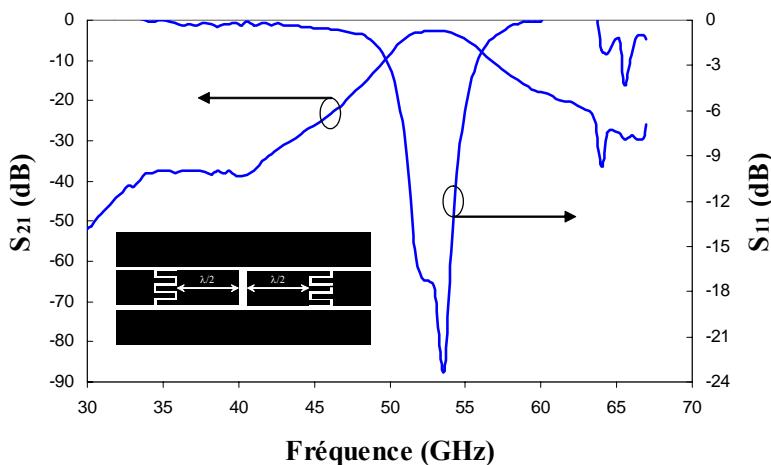


Figure 3.19 : Performances d'un filtre coplanaire ($\lambda/2$) suspendu sur une couche de 10 μm de BCB

Nous pouvons constater que le filtre coplanaire suspendu sur une membrane BCB présente des pertes d'insertion de 2.7 dB à une fréquence de résonance de 53.3 GHz et une bonne réjection dans la bande passante ($S_{11} > 15$ dB). La filière membrane organique présente donc des performances remarquables par rapport à la filière technologique sur polymère massif, comme l'indique le Tableau 3.7. Par contre, cette dernière apporte une réduction d'encombrement de l'ordre de 35 % par rapport à la filière membrane.

	f_0 (GHz)	S_{21} (dB)	S_{11} (dB)	BP (GHz)	Q_c	Q_u	Surface (mm ²)
Filière polymère sur silicium massif	59.7	-6.3	-12.3	4	15	29	4.28
Filière polymère homogène	55.35	-4.5	-35.35	4.45	12	31	4.28
Filière membrane en polymère	53.3	-2.7	-23.1	4.65	12	43	5.73

Tableau 3.7 : Coparaison entre les performances de deux filtres passe-bandes coplanaires du second ordre, l'un sur une couche de 18 μm de BCB massif et l'autre suspendu sur une membrane de 10 μm de BCB

2. Antennes planaires

Les antennes sont des éléments clefs dans les systèmes de communication. Dans le cadre du projet ARTEMIS, plusieurs types d'antennes planaires fonctionnant à 24 GHz ont été réalisées en vue d'une intégration monolithique avec des circuits actifs et la réalisation complète d'un récepteur de communication à courte portée fonctionnant dans la bande ISM³ 24 GHz. Pour cela, les différentes technologies développées précédemment ont été appliquées à ces antennes. Ces dernières ont été conçues par Erik Öjefors à l'université de Uppsala en Suède [15].

2.1. Antennes sur couche épaisse organique avec et sans micro-usinage de surface du silicium

Dans un premier temps, une antenne boucle à fente fonctionnant à 24 GHz a été développée [16]. Cette antenne est découpée du substrat silicium basse résistivité par une couche épaisse de BCB, comme le montre la Figure 3.20, et peut également comporter un micro-usinage de surface du silicium de 10 μm de profondeur.

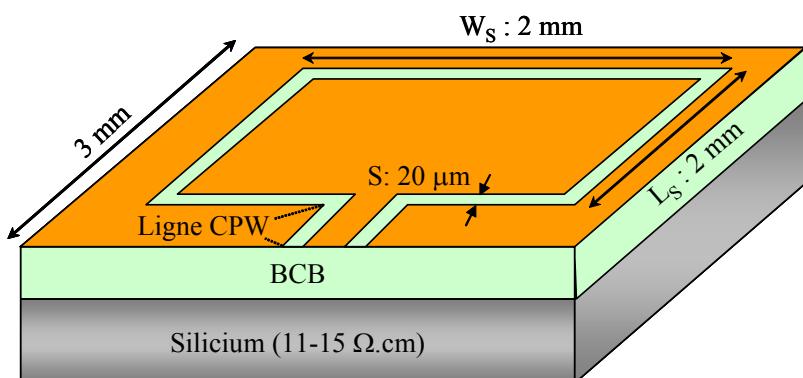


Figure 3.20 : Vue en coupe d'une antenne boucle à fente sur couche épaisse de BCB et silicium BR

³ ISM: Industrial Scientific Medical (24.05 – 24.25 GHz)

L'antenne est constituée d'une fente à boucle carrée d'une largeur 'S' de 20 μm . Le périmètre moyen de la boucle est égal à la longueur guidée dans la fente de telle manière à disposer d'une structure résonante à 24 GHz ($\lambda_g \approx 2L_S + 2W_S = 8 \text{ mm}$). Elle est alimentée par une ligne coplanaire afin d'être mesurée sous pointes.

Comme nous l'avons montré précédemment, l'utilisation de fortes épaisseurs de BCB ainsi que le micro-usinage localisé en surface du substrat silicium permettent de réduire la valeur de la permittivité effective et donc d'augmenter la valeur de la fréquence de résonance ($\lambda_r = \lambda_0 / \sqrt{\epsilon_{\text{eff}}}$), comme le montre la Figure 3.21.

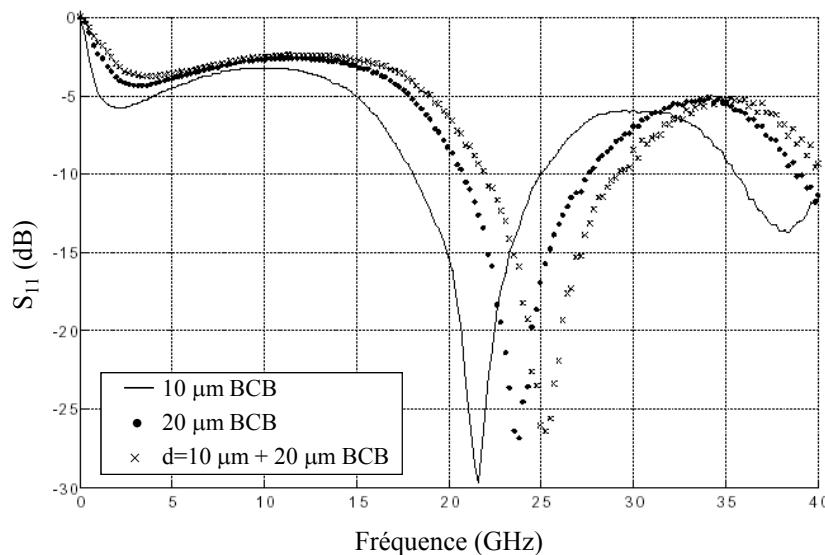


Figure 3.21 : Coefficient de réflexion de l'antenne boucle à fente en fonction de l'épaisseur de BCB ainsi que du micro-usinage localisé en surface du silicium

En effet, la fréquence de résonance passe d'une valeur de 21.5 GHz pour une antenne réalisée sur 10 μm de BCB à une valeur de 23.5 GHz pour une autre sur 20 μm de BCB. De plus, le micro-usinage localisé en surface du silicium suivi d'un dépôt de 20 μm de BCB augmente la fréquence de résonance à une valeur de l'ordre de 25 GHz.

D'un autre côté, nous constatons une bonne adaptation de l'antenne qui présente des pertes de réflexions de l'ordre de -27 dB pour une épaisseur de 20 μm de BCB sans ou avec un micro-usinage préalable en surface du substrat silicium.

Les antennes ainsi fabriquées et caractérisées présentent donc des performances tout à fait honorables si l'on considère l'utilisation d'un substrat silicium basse résistivité (SiBR).

2.2. Antennes planaires avec tranchées

Dans un deuxième temps, nous nous sommes intéressés à supprimer partiellement le silicium à un endroit crucial pour une antenne à boucle: sous la fente justement, comme l'illustre la Figure 3.22. Pour cela, nous avons procédé à une gravure profonde du silicium localisée uniquement dans les régions les plus sensibles ce qui permet de maintenir une stabilité mécanique de l'antenne.

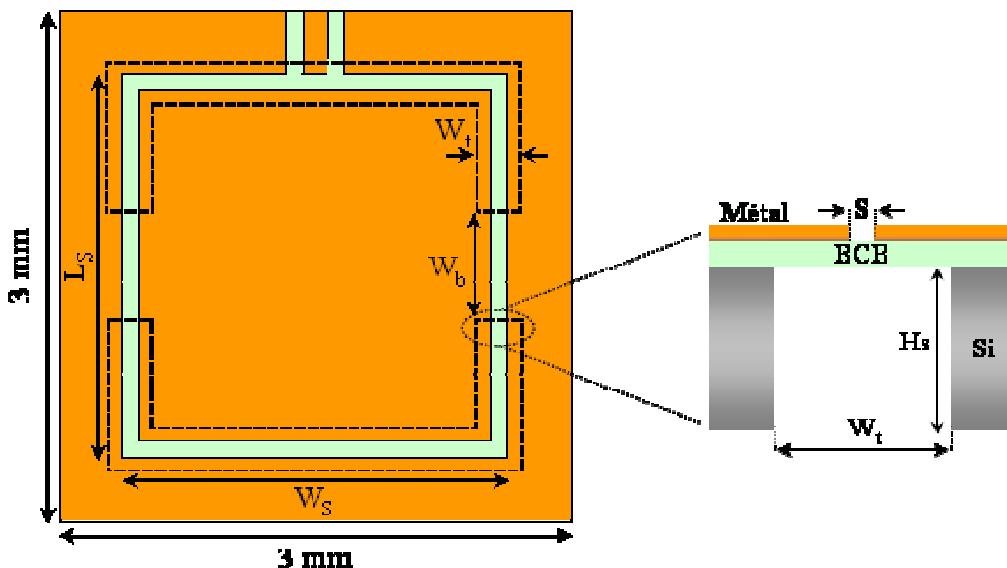


Figure 3.22 : Antenne boucle à fente avec tranchées

Comme le micro-usinage de volume implique une diminution de la permittivité effective, il y a eu une légère variation des dimensions de l'antenne par rapport à celle présentée dans le paragraphe 2.1. L'antenne boucle à fente avec tranchées réalisée possède une fente de largeur 'S' de $20 \mu\text{m}$, de longueurs $L_S = W_S = 2200 \mu\text{m}$ et une largeur de tranchée 'W_t' de $100 \mu\text{m}$. Nous avons conservé deux zones non micro-usinées, d'une longueur 'W_b' de $200 \mu\text{m}$, sous la fente afin de maintenir une stabilité mécanique de l'antenne. La Figure 3.23 montre une antenne boucle à fente avec tranchées sur une membrane de $10 \mu\text{m}$ de BCB.

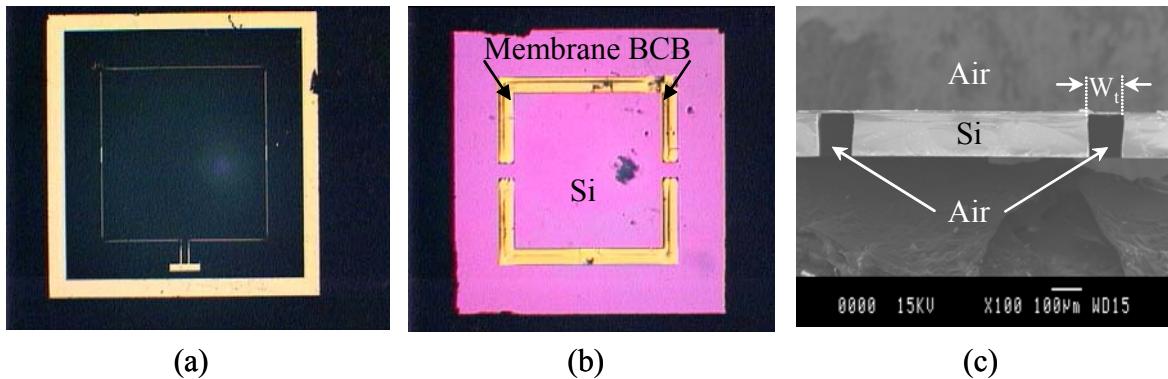


Figure 3.23 : Antenne boucle à fente avec tranchées obtenue par gravure DRIE : (a) vue de dessus, (b) vue de dessous et (c) vue MEB en coupe

L'antenne présente un gain de -0.7 dBi à 24 GHz, ce qui correspond à une amélioration de 2 dB par rapport à l'antenne micro-usinée en surface [17]. Une amélioration de l'efficacité de l'antenne a été également enregistrée avec ce type de technologie. En effet, ce paramètre est passé de 20 % dans le cas de l'antenne boucle à fente découpée du substrat silicium basse résistivité par 20 μ m de BCB à une valeur de 50 % dans le cas de l'antenne boucle à fente avec tranchées.

2.3. Antennes planaires suspendues sur une membrane BCB

Enfin, contrairement au paragraphe précédent, où l'antenne est localement suspendue sur une membrane en BCB, nous avons procédé à une gravure complète du silicium dans le cas d'une antenne dipôle, comme l'illustre la Figure 3.24.

Ce type d'antenne a connu un grand succès pour l'intégration avec des circuits intégrés sur silicium en technologies CMOS et BiCMOS [18]-[21] grâce à sa taille réduite et sa facilité d'intégration. En plus, contrairement à l'antenne boucle à fente décrite dans les paragraphes précédents, l'antenne dipôle offre une alimentation différentielle favorisant ainsi son intégration avec des circuits eux aussi différentiels.

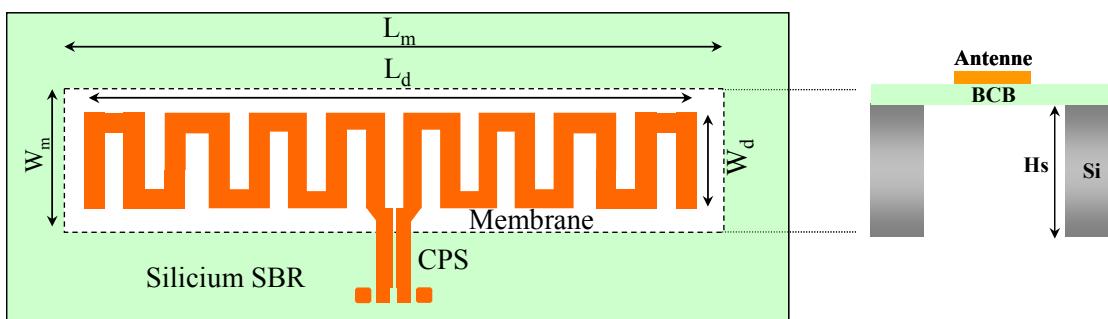


Figure 3.24 : Schéma d'une antenne dipôle suspendue sur membrane BCB

L'antenne présente une longueur (L_d) de 3000 μm et une largeur (W_d) de 500 μm et est suspendue sur une membrane de dimensions $L_m \times W_m$ de 3300*760 μm^2 . Sa photographie est donnée sur la Figure 3.25.

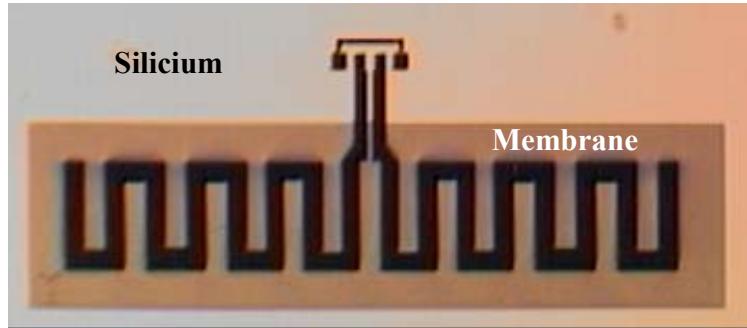


Figure 3.25 : Photographie d'une antenne dipôle suspendue sur une membrane de 10 μm de BCB

Afin d'évaluer l'impact de la taille de la membrane sur les pertes de l'antenne, nous l'avons réalisée pour différentes dimensions de membrane en augmentant l'espacement, entre le silicium massif et les extrémités de la ligne serpentée constituant l'antenne, de 125 μm à 425 μm . Les mesures du coefficient de réflexion de l'antenne avec deux tailles différentes de la membrane sont présentées sur la Figure 3.26.

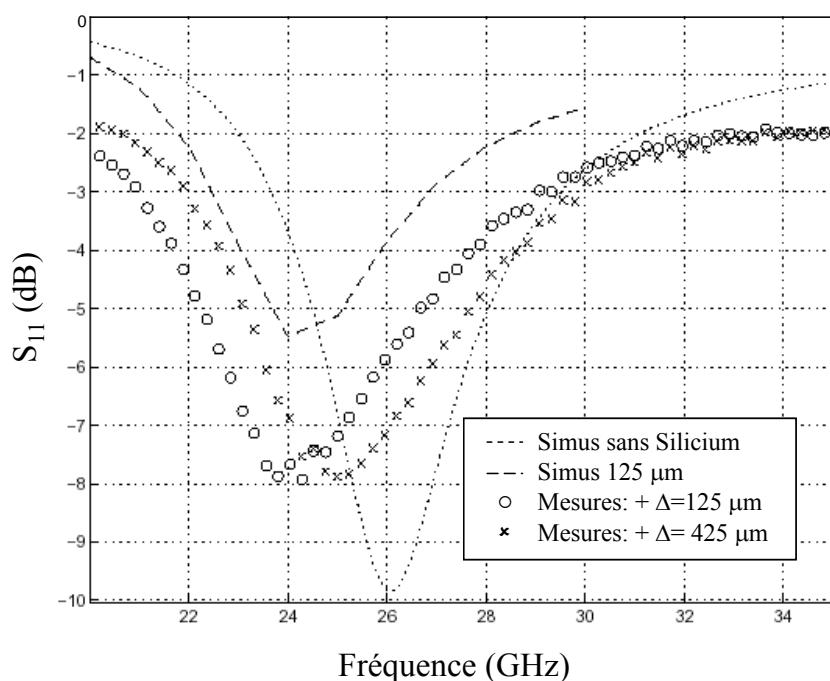


Figure 3.26 : Coefficient de réflexion simulé et mesuré de l'antenne dipôle pour différentes dimensions de membrane

Nous pouvons constater que l'augmentation de la taille de la membrane mène à une augmentation de la fréquence de résonance de l'antenne dipôle. En effet, ce dernier paramètre passe d'une fréquence de 24 GHz avec un espace de 125 μm à 25 GHz pour un espace de 425 μm . Ceci a été confirmé par la simulation d'une antenne totalement sur membrane BCB (sans substrat silicium) qui a révélé une résonance à une fréquence de l'ordre de 26 GHz. Enfin, l'utilisation d'une membrane plus large n'affecte pas d'une manière significative l'impédance caractéristique d'entrée de l'antenne [22], puisque l'antenne au contraire est encore mieux adaptée.

2.4. Impact de la technique de micro-usinage sur les performances des antennes planaires

Afin d'évaluer l'impact de la technique de gravure sur les performances des circuits passifs suspendus sur une membrane diélectrique, une étude comparative entre deux antennes planaires (F inversées) identiques suspendues sur une membrane épaisse de BCB de $2600*900 \mu\text{m}^2$, l'une utilisant une gravure DRIE et l'autre une attaque au KOH, a été effectuée. Les antennes obtenues ont présenté les mêmes performances en utilisant l'une ou l'autre technique de micro-usinage [23], comme l'indique les mesures du coefficient de réflexion présentées sur la Figure 3.27.

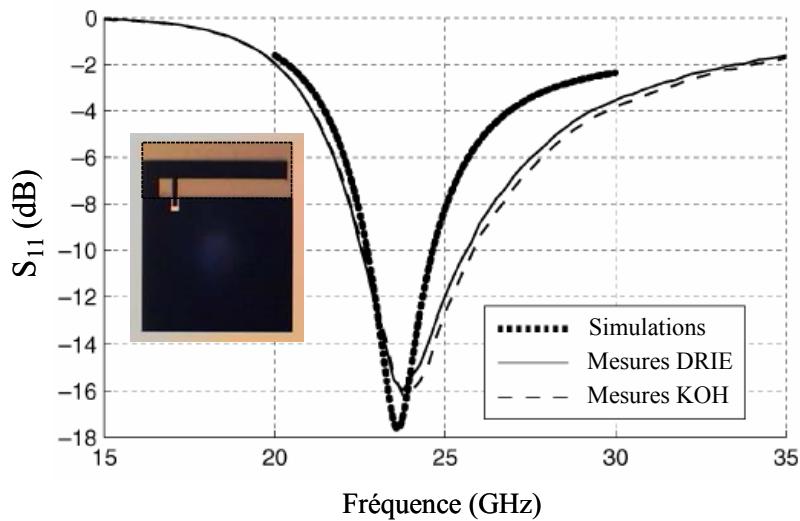


Figure 3.27 : Impact de la technique de la gravure (DRIE et KOH) sur le coefficient de réflexion d'une antenne 'F' inversée suspendue sur une membrane BCB

Les deux techniques de gravures séche et humide aboutissent alors aux mêmes résultats. Dans le prochain chapitre, nous allons procéder à une étude comparative plus détaillée entre ces deux techniques.

Conclusion

Dans ce chapitre, nous avons pu appliquer les différentes filières technologiques à faibles pertes que nous avons développées en les utilisant pour deux éléments clefs d'un système de communication, à savoir les filtres et les antennes.

Nous avons tout d'abord exposé la méthode utilisée pour concevoir notre filtre coplanaire à base de résonateur de longueur demi-onde ($\lambda/2$) ainsi que les modèles électriques associés. Dans un premier temps, nous avons présenté les performances de filtres CPW réalisés sur une couche épaisse de BCB. Les résultats de mesures de filtres CPW réalisés ont montré un bon accord avec les réponses associées aux simulations électromagnétiques à l'exception d'un élargissement de la bande passante (de l'ordre de 50 %) à cause d'une limitation du simulateur électromagnétique. Des simulations électriques du filtre coplanaire ont montré que l'erreur introduite au niveau de la discontinuité coplanaire centrale est la cause principale de l'augmentation de la bande passante du filtre réalisé. Ce dernier présente une bonne sélectivité (6.7 %) à 59.7 GHz, des pertes d'insertion acceptables (6.3 dB) et un encombrement très réduit (4.28 mm²). L'homogénéisation du milieu de propagation par le dépôt d'une couche de BCB supplémentaire sur le filtre passe-bande coplanaire apporte à celui-ci une amélioration des pertes d'insertion de l'ordre de 30 % et une meilleure adaptation.

Ensuite, nous avons exposé les résultats de mesures de filtres CPW utilisant simultanément un micro-usinage localisé en surface du substrat silicium et un dépôt d'une couche de BCB. Ces filtres présentent des performances du même ordre que celles obtenues avec les filtres réalisés sur une couche épaisse de BCB massif, ce qui permet de valider notre étude effectuée dans le second chapitre dans le cas de lignes de transmission coplanaires.

Finalement, les caractéristiques d'un filtre coplanaire suspendu sur une membrane en polymère ont été présentées et comparées. Cette filière technologique permet une réduction notable de pertes d'insertion (2.7 dB) de filtres coplanaires et une amélioration de leur facteur de qualité à vide ($Q_v = 43$). Par contre, la sélectivité du filtre (8.73 %) ainsi que son encombrement (5.73 mm²) ont relativement augmenté.

Dans la deuxième partie de ce chapitre, nous avons montré l'impact de différentes solutions technologiques développées sur des antennes planaires centrées à 24 GHz et

conçues par Erik Öjefors (Université de Uppsala, Suède) dans le cadre du projet ARTEMIS. Ceci a permis de valider nos différentes solutions technologiques et de choisir la filière membrane organique pour l'intégration monolithique en post-processing des composants passifs avec des circuits actifs à base d'une technologie SiGe.

Références bibliographiques du chapitre 3

- [1] G. L. Matthaei, L. Young, E. M. T. Jones, "Microwave filters, impedance-matching networks, and coupling structures," Artech House, Dedham, pp. 148-154, 1980
- [2] J. K. A. Everard, K. K. M. Cheng, "High performance direct coupled bandpass filters on coplanar waveguide," IEEE Trans. Microwave Theory and Techniques, Vol. 41, No. 9, pp. 1568-1573, September 1993
- [3] A. Vogt, W. Jutzi, "An HTS narrow bandwidth coplanar shunt inductively coupled microwave bandpass filter on LaAlO_3 ," IEEE Trans. Microwave Theory and Techniques, Vol. 45, No. 4, pp. 492-497, April 1997
- [4] K. Grenier, "Conception, réalisation et caractérisation de structures micro-usinées sur silicium: applications aux micro-systèmes millimétriques," Thèse de doctorat, Toulouse, Novembre 2000
- [5] F-L. Lin, R-B. Wu, "Comparative performance of three different CPW bandpass filters," IEEE MTT-S International Microwave Symposium, Vol. 2, pp. 813-816, June 1997
- [6] J. Papapolymerou, G. E. Ponchak, "Microwave filters on low resistivity Si substrate with a polyimide interface layer for wireless circuits," IEEE Radio frequency integrated circuits Symposium, pp. 125-128, 2001
- [7] D. S. Yu, C. F. Cheng, K. T. Chan, A. Chin, S. P. McAlister, C. Zhu, M. F. Li, D. L. Kwong, "Narrow-band band-pass filters on silicon substrates at 30 GHz," IEEE MTT-S International Microwave Symposium, Vol. 3, pp. 1467-1470, June 2004
- [8] D. F. Williams, S. E. Schwarz, "Design and performance of coplanar waveguide bandpass filters," IEEE Trans. Microwave Theory and Techniques, Vol. 31, No. 7, pp. 558-566, July 1983
- [9] K. Grenier, P. Pons, R. Plana, J-L. Cazaux, C. Boulanger, T. Parra, J. Graffeuil, "Highly compact micromachined coplanar bandpass filter," 30th European Microwave Conference (EuMC'2000), Vol. 1, pp. 129-132, Paris, October 2004
- [10] K. Yoshida, K. Sashiyama, S. Nishioka, H. Shimakage, Z. Wang, "Design and performance of miniaturized superconducting coplanar waveguide filters," IEEE Trans. Applied Superconductivity, Vol. 9, No. 2, pp. 3905-3908, June 1999
- [11] Z. Ma, H. Suzuki, Y. Kobayashi, "A low-loss 5 GHz bandpass filter using HTS coplanar waveguide quarter-wavelength resonators," IEEE MTT-S International Microwave Symposium (IMS'2002), Vol. 3, pp. 1967-1970, June 2002
- [12] A. Sanada, H. Takehara, T. Yamamoto, I. Awai, " $\lambda/4$ stepped-impedance resonator bandpass filters fabricated on coplanar waveguide," IEEE MTT-S International Microwave Symposium (IMS'2002), Vol. 1, pp. 385-388, June 2002
- [13] M. Nagheb, I. Wolff, "Equivalent capacitances of coplanar waveguide discontinuities and interdigitated capacitors using a three-dimensional finite difference method," IEEE Trans. Microwave Theory and Techniques, Vol. 38, No. 12, pp. 1808-1815, December 1990
- [14] N. I. Dib, L. P. B. Katehi, G. E. Ponchak, R. N. Simons, "Theoretical and experimental characterization of coplanar waveguide discontinuities for filter applications," IEEE Trans. Microwave Theory and Techniques, Vol. 39, No. 5, pp. 873-882, May 1991

- [15] E. Ojefors, "Micromachined antennas for integration with silicon based active devices," Rapport, Uppsala, Mars 2004
- [16] E. Ojefors, F. Bouchriha, K. Grenier, A. Rydberg "24 GHz ISM-band antennas on surface micro-machined substrates for integration with a commercial SiGe process," 6th European Conference on Wireless Technology (ECWT'2003), pp. 101-104, Munich (Allemagne), October 2003
- [17] E. Ojefors, A. Rydberg, "Micromachined 24 GHz antennas on low resistivity silicon," 5th Workshop on MEMS for MillimeterWave Communications, Uppsala (Sweden), pp. E26-E29, June-July 2004
- [18] K. Kim, H. Yoon, K. K. O, "On-chip wireless interconnection with integrated antennas," International Electron Devices Meeting, IEDM Technical Digest, pp. 485-488, December 2000
- [19] B. A. Floyd, C. M. Hung, K. K. O, "Intra-chip wireless interconnect for clock distribution implemented with integrated antennas, receivers, and transmitters," IEEE Journal of Solid-State Circuits, Vol. 37, No. 5, May 2002
- [20] F. Touati, M. Pons, "On-chip integration of dipole antenna and VCO using standard BiCMOS technology for 10 GHz applications," IEEE European Solid-State Circuits. ESSCIRC'2003, pp. 493-496, 2003
- [21] J. J. Lin, L. Gao, A. Sugavanam, X. Guo, R. Li, J. E. Brewer, K. K. O, "Integrated antennas on silicon substrates for communication over free space," IEEE Electron Device Lett., Vol. 25, No. 4, April 2004
- [22] E. Ojefors, F. Bouchriha, K. Grenier, A. Rydberg, R. Plana, "Compact micromachined dipole antenna for 24 GHz differential SiGe integrated circuits," 34th European Microwave Conference (EuMC'2004), pp.1081-1084, Amsterdam, October 2004
- [23] E. Ojefors, K. Grenier, L. Mazenq, F. Bouchriha, A. Rydberg, R. Plana "Micromachined inverted F antenna for integration on low resistivity silicon substrate," IEEE Microwave and Wireless Components Letters, Vol. 15, No. 10, pp. 627-629, Oct. 2005

Compatibilité de briques technologiques nécessaires à l'intégration monolithique de composants passifs avec des circuits actifs SiGe

Chapitre 4- Compatibilité de briques technologiques nécessaires à l'intégration monolithique de composants passifs avec des circuits actifs SiGe

Introduction

Ce chapitre est focalisé sur l'étude de la compatibilité des post-procédés technologiques utilisés dans l'intégration monolithique des circuits passifs (antennes, inductances, filtres,...) suspendus sur une membrane BCB avec les circuits actifs à base d'une technologie SiGe. Dans cet esprit, nous allons évaluer l'impact des étapes technologiques nécessaires à une telle intégration monolithique sur les caractéristiques des transistors TBH-SiGe à l'aide de mesures statiques et en bruit basse fréquence.

Tout d'abord, nous commencerons par exposer les principales étapes technologiques nécessaires à l'intégration monolithique en post-processing des circuits passifs suspendus sur une membrane en polymère. Ensuite, une étude de l'impact de la température sur les caractéristiques des TBH-SiGe sera effectuée, afin de déterminer la température limite à ne pas dépasser au cours de nos post-procédés technologiques pour le bon fonctionnement des circuits actifs étudiés. Nous procéderons alors au développement des interconnexions verticales (vias) qui constituent une étape clé pour l'intégration tridimensionnelle (3D). Finalement, nous évaluerons l'impact des étapes technologiques les plus critiques nécessaires à cette intégration monolithique, à savoir:

- Le procédé BCB;
- Le traitement plasma;
- Le dépôt PECVD de nitre de silicium;
- Le micro-usinage de volume du substrat silicium.

En effet, le polymère et les solvants utilisés lors de son dépôt et de son développement peuvent contaminer les circuits actifs SiGe. Ces derniers peuvent également réagir aux bombardement atomique lors de leurs exposition au plasma utilisé durant certaines étapes technologiques. Le micro-usinage du substrat silicium quant à lui peut engendrer un changement dans les contraintes résiduelles des matériaux et en particulier dans la couche active SiGe en raison du désaccord de maille entre le silicium et le silicium-germanium.

1. Etapes technologiques nécessaires à l'intégration monolithique de circuits suspendus

Les technologies associées aux fréquences micro-ondes et millimétriques sont devenues l'un des pivots du développement des futures générations de systèmes de communication à large bande et des systèmes électroniques avancés à haute vitesse. Cependant, la montée en fréquence de ces derniers nécessite de réaliser des circuits passifs plus intégrés avec des performances très élevées. Pour satisfaire à ces exigences, nous nous sommes intéressés à l'intégration à faible coût, des circuits passifs micro-ondes (antennes, filtres, inductances...) suspendus sur une couche organique épaisse à faibles pertes avec des circuits intégrés (ICs) à base d'une technologie SiGe. Cette étude a été réalisée dans le cadre du projet ARTEMIS, qui visait à élaborer un module de communication centré à 24 GHz ultra compact pour application radar courte distance. Pour cela, une intégration monolithique de l'antenne avec le module actif a été choisie pour trois raisons. D'une part, l'interconnexion directe de l'antenne avec les circuits intégrés (MMICs), par câblage filaire (wire bonding), aurait considérablement réduit la sensibilité du récepteur et l'efficacité de l'émetteur [1], ce qui est pénalisant pour le système d'émission réception complet. Pour surmonter le problème des pertes dans les interconnexions aux fréquences micro-ondes et millimétriques, il existe aussi trois techniques d'intégration. La technique du report de puce dite 'flip-chip' ou C⁴¹, développée par IBM, est souvent utilisée pour des applications nécessitant un très grand nombre de sorties puisqu'elle permet une meilleure densité d'interconnexions. Cependant, cette technique implique une préparation spécifique des plots de sorties sur les puces, ce qui augmente le coût global. Elle présente aussi un risque de fatigue thermomécanique en raison de la différence entre les coefficients de dilatation thermique du substrat et de la puce, et peut devenir également critique dans le cas de dissipation thermique importante dans le substrat silicium. De plus, le contrôle visuel de la puce reportée grâce à cette technique est impossible. Une deuxième technique hybride consiste à placer les circuits intégrés (MMICs) dans une cavité créée dans le silicium, qui est couverte par la suite par une couche épaisse de polymère utilisée comme un support pour les interconnexions [1]-[4]. Cependant, l'utilisation de l'adhésif conducteur pour coller la puce à la cavité dans le silicium engendre des pertes résistives qui peuvent dégrader l'efficacité de l'antenne [1]. Pour lever ces verrous technologiques, nous nous sommes orientés vers une intégration monolithique, en post-processing à faible coût, des circuits passifs micro-ondes suspendus sur une couche épaisse de

¹ C⁴: Control collapse chip connection

polymère avec les circuits intégrés MMICs-SiGe [5], [6]. Cette technique permet de surmonter le problème des pertes des interconnexions, de réduire leur encombrement et de simplifier l'encapsulation (packaging) grâce à une réduction considérable de la surface exigée par les systèmes de communication micro-ondes et millimétriques.

L'intégration monolithique, en post-processing, des circuits passifs planaires suspendus sur une membrane BCB avec des circuits actifs à base d'une technologie SiGe correspond au procédé technologique de la Figure 4.1.

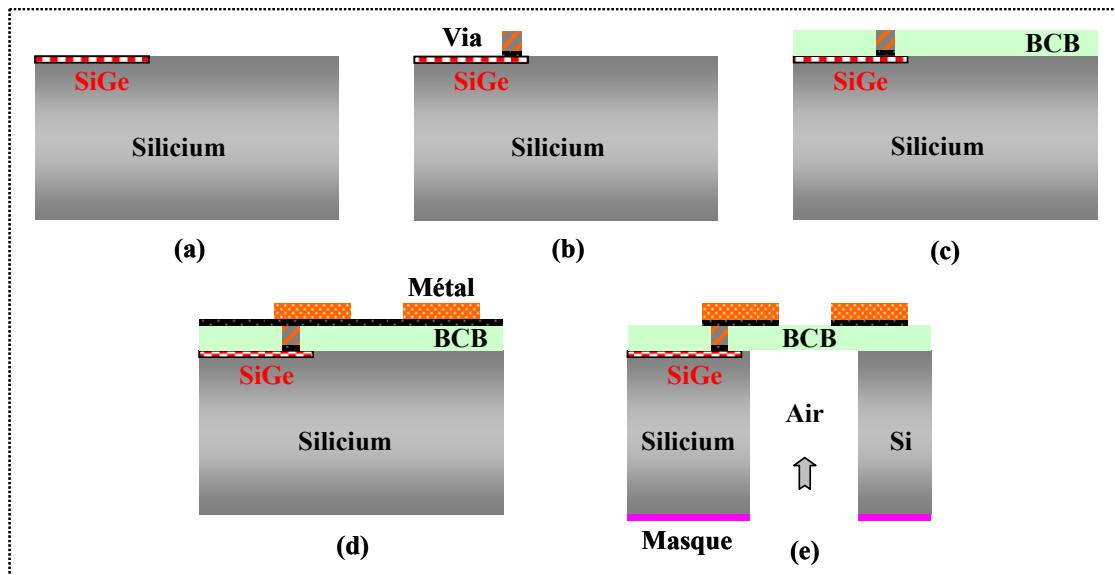


Figure 4.1 : Procédé technologique pour l'intégration monolithique, en post-processing, des composants passifs planaires suspendus sur une membrane BCB avec des circuits actifs SiGe:

- (a)- Amincissement de la plaquette SiGe
- (b)- Réalisation des vias métalliques
- (c)- Enduction et photolithographie du BCB
- (d)- Métallisation des circuits passifs
- (e)- Micro-usinage du substrat silicium

Ce procédé technologique est composé de quatre principales étapes technologiques qui suivent la séquence suivante:

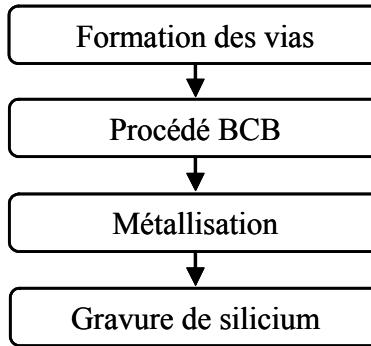


Figure 4.2 : Principales étapes technologiques pour l'intégration monolithiques, en post-processing, des composants passifs suspendus sur une membrane BCB avec des circuits intégrés (MMICs)

Dans les paragraphes suivants, nous étudierons la compatibilité de ces étapes avec des circuits actifs réalisés à l'aide de la technologie SiGe du fondeur ATMEL. Mais avant tout, nous allons commencer par identifier la limite du fonctionnement en température des transistors TBH-SiGe utilisés à ce stade comme tests.

2. Impact de la température sur les caractéristiques des transistors TBH-SiGe

Les transistors bipolaires à hétérojonction TBH-SiGe utilisés lors de cette étude proviennent de la fonderie ATMEL. Les composants étudiés sont en configuration émetteur commun avec une aire d'émetteur ' A_E ' de $1.2*20 \mu\text{m}^2$. Leur fréquence de transition (f_T) est de 30 GHz et leur fréquence maximale d'oscillation (f_{\max}) est de 50 GHz.

Une première étude a consisté à déterminer la température limite à ne pas dépasser au cours de nos post-procédés technologiques afin de ne pas endommager les transistors TBH-SiGe tests ou nuire à leur fonctionnement normal. Dans ce but, nous avons procédé à des recuits thermiques, à différentes températures (300 °C, 330 °C, 360 °C et 400 °C) pendant une heure, des plaques contenant des circuits actifs SiGe.

2.1. Influence de la température sur les caractéristiques statiques des TBH-SiGe

La caractérisation statique des transistors TBH-SiGe tests a consisté à la détermination du réseau de sortie du transistor en question. Nous avons donc procédé, en collaboration avec A. Rennane [7], à la mesure du courant collecteur ' I_C ' en fonction de la tension collecteur émetteur ' V_{CE} ' à courant de base ' I_B ' constant. La caractéristique directe $I_C(V_{CE})$ permet en effet de vérifier le comportement normal des transistors et donne des informations sur le gain

statique en émetteur commun ($\beta = I_C/I_B$). Dans le cas d'un transistor TBH-SiGe test, la caractéristique directe est présentée sur la Figure 4.3.

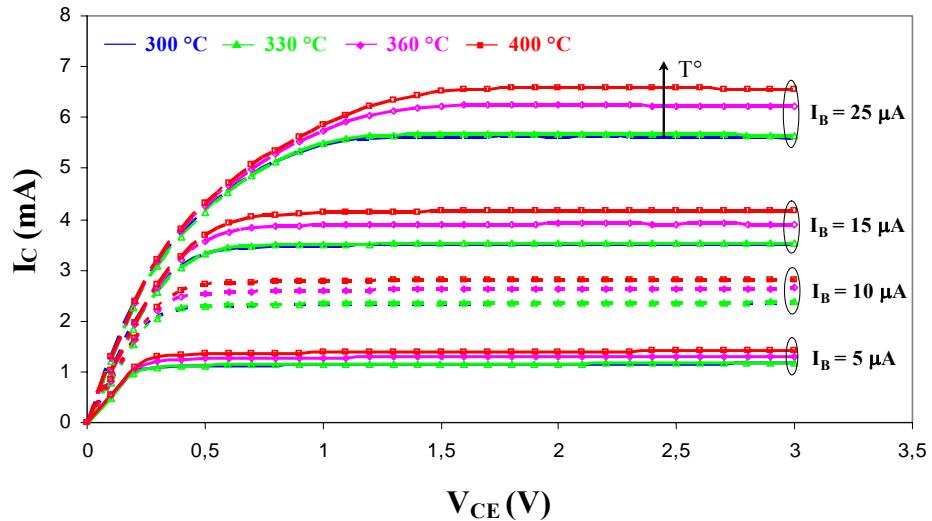


Figure 4.3 : Caractéristique directe d'un transistor TBH-SiGe test après un recuit thermique à différentes températures (300 °C, 330 °C, 360 °C et 400 °C)

Nous pouvons constater que pour une valeur fixe du courant de base I_B , le courant du collecteur I_C reste inchangé en fonction de la tension V_{CE} pour des températures de recuit inférieures ou égales à 330 °C. Par contre, nous observons une augmentation du courant I_C après un recuit à 360 °C. Cette augmentation du courant de collecteur s'accentue en soumettant de nouveau le transistor TBH-SiGe test à un recuit thermique à une température de 400 °C. Ceci se traduit par une augmentation du gain statique en émetteur commun comme l'indique la Figure 4.4. En effet, le gain statique (β) garde une valeur constante de l'ordre de 230, pour un courant de base de 5 μ A, jusqu'à une température de recuit thermique de 330 °C. Cependant, après un recuit thermique à 360 °C et à 400 °C, la valeur du gain statique passe à une valeur de 260 et de 280 respectivement.

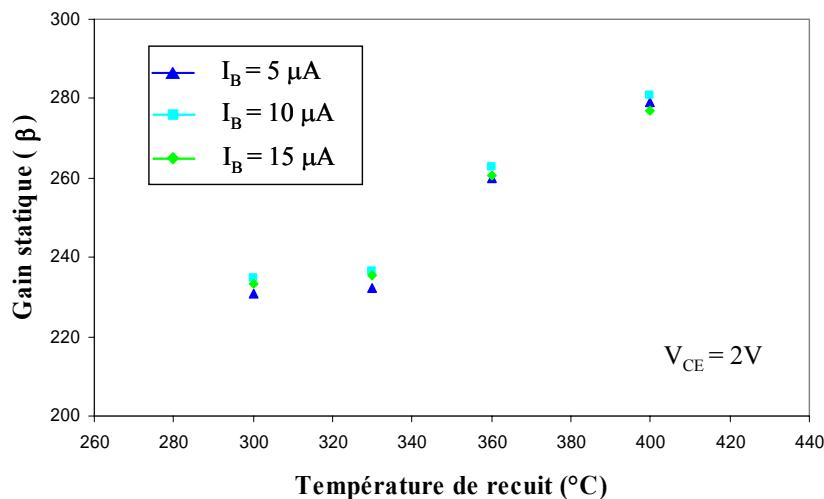


Figure 4.4 : Gain statique en émetteur commun d'un transistor TBH-SiGe test après un recuit thermique à différentes températures (300 °C, 330 °C, 360 °C et 400 °C)

Nous pouvons conclure, dans un premier temps, que la température limite à partir de laquelle il y a eu modification des caractéristiques statiques des transistors TBH-SiGe tests se situe entre 330 °C et 360°C.

2.2. Impact de la température sur les caractéristiques en bruit basse fréquence (BF)

Afin de confirmer notre constatation concernant la température limite du fonctionnement normal des transistors TBH-SiGe, nous avons procédé, en collaboration avec A. Rennane [7], à leur caractérisation en bruit basse fréquence après chaque étape de recuit thermique afin d'évaluer leur comportement en complément des mesures statiques. Par définition, le bruit basse fréquence (BF) est un bruit électrique dans les dispositifs semi-conducteur qui se manifeste sous forme de fluctuations aléatoires et spontanées de la tension et (ou) du courant à cause de certains processus physiques. C'est donc un phénomène qui est susceptible de venir perturber le bon fonctionnement des transistors TBH-SiGe et toute dégradation significative du niveau de bruit BF traduit des mécanismes de détérioration interne du transistor.

2.2.1. Mesures préalables des transistors TBHs-SiGe en bruit BF

Avant toute étape de recuit thermique, nous avons procédé à une caractérisation préalable des transistors TBH-SiGe en bruit BF sur une plage de fréquence allant de 100 Hz à 100 kHz. La Figure 4.5 présente la densité spectrale du bruit en courant à l'entrée d'un transistor test

pour une tension collecteur émetteur (V_{CE}) de 2V et des courants de base et de collecteur de $20 \mu\text{A}$ et 4.72 mA respectivement.

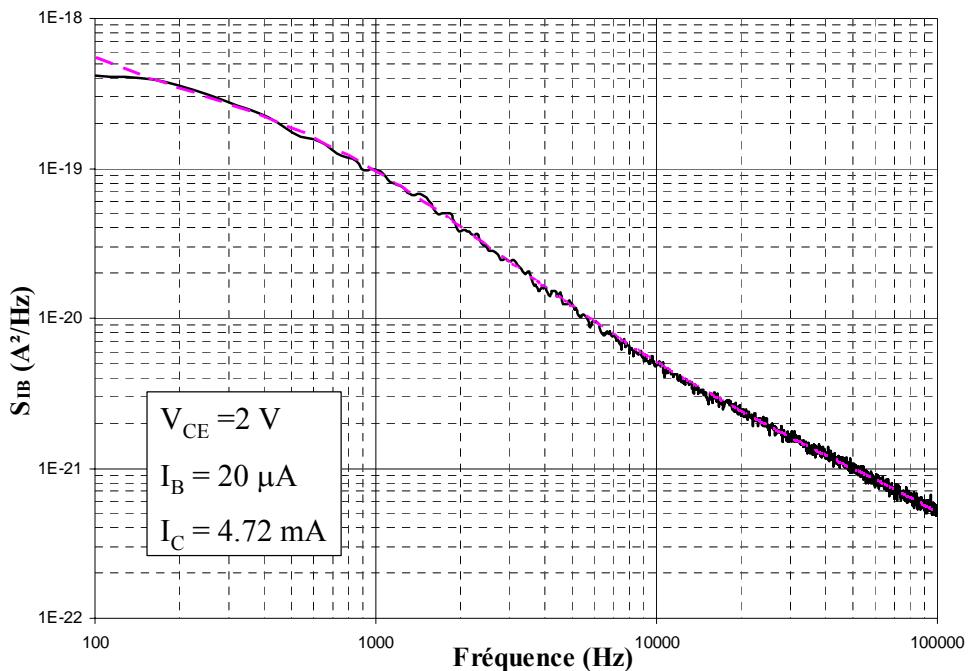


Figure 4.5 : Source de bruit en courant à l'entrée d'un transistor TBH-SiGe test avant recuit thermique

Nous pouvons remarquer que le spectre de bruit est décomposé en deux composantes de bruit principales dites réductibles ou bruits en excès. Il s'agit du bruit de scintillation, dit aussi bruit en $1/f$, et le bruit de génération-recombinaison, noté GR. Ce dernier est lié à la capture et l'émission alternative d'un même type de porteurs dans le matériau semi-conducteur et se caractérise par une densité spectrale proportionnelle au carré du courant traversant le dispositif, alors que le bruit en $1/f$ résulte des fluctuations du nombre de porteurs et/ou des fluctuations de leur mobilité [8]. Dans une bande de fréquence étroite, la puissance de ce type de bruit est inversement proportionnelle à la fréquence, d'où le nom de bruit en $1/f$.

La densité spectrale de bruit en courant (S_{IB}) peut être donnée alors par l'expression suivante :

$$S_{IB} = \frac{A}{f^\gamma} + \sum_{i=1}^n \frac{C_i}{1 + \left(\frac{f}{f_{ci}}\right)^2} \quad \left(\text{A}^2/\text{Hz}\right) \quad (4.1)$$

où ‘A’ est l’amplitude de bruit en $1/f$, ‘ γ ’ un facteur correctif du bruit $1/f$ compris entre 0.85 et 1.15 [9], ‘n’ le nombre de pièges discrets liés aux différents centres de génération-recombinaison, ‘ C_i ’ est une constante liée à l’amplitude et à la fréquence de coupure ‘ f_{Ci} ’ de chaque pièce.

Après un ajustement des données expérimentales, nous avons constaté l’existence des trois centres de génération-recombinaison à des fréquences de coupure $f_1 = 600$ Hz, $f_2 = 1.4$ kHz et $f_3 = 100$ kHz.

2.2.2. Post-mesures des transistors TBHs-SiGe en bruit BF après recuits thermiques

La Figure 4.6 montre les résultats de mesures de la densité spectrale de bruit en courant à l’entrée des transistors TBH-SiGe tests après un recuit thermique pendant une heure à différentes températures, à savoir : 300 °C, 330 °C, 360 °C et 400 °C.

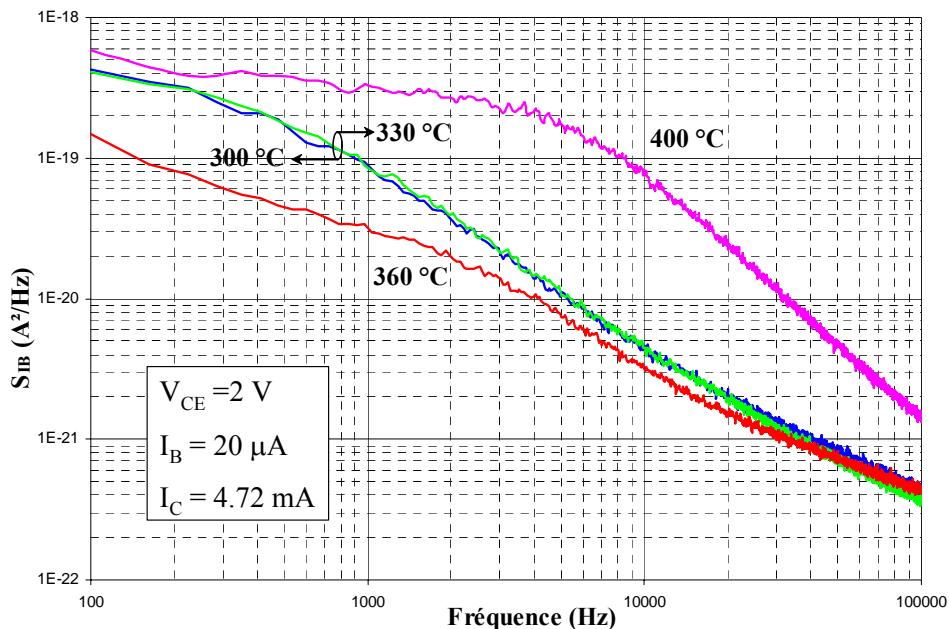


Figure 4.6 : Source de bruit en courant à l’entrée d’un transistor TBH-SiGe test après un recuit thermique à différentes températures (300 °C, 330 °C, 360 °C et 400 °C)

Nous pouvons remarquer l’absence de toute nouvelle composante de bruit basse fréquence après des recuits thermiques des transistors à 300 °C et à 330 °C. Par contre, nous constatons une variation de la composante de bruit en $1/f$ après un recuit thermique du transistor test à 360 °C. En effet, l’amplitude de bruit en $1/f$ passe d’une valeur de $3.2 \cdot 10^{-17} \text{ A}^2$ à une valeur de $1.1 \cdot 10^{-17} \text{ A}^2$. Nous remarquons également un décalage en fréquence des centres de génération-

recombinaison après un recuit thermique à 360 °C pendant une heure, comme l'indique le Tableau 4.1.

	f_1 (Hz)	f_2 (Hz)	f_3 (Hz)	C_1/f_1 (A^2/Hz)	C_2/f_2 (A^2/Hz)	C_3/f_3 (A^2/Hz)
Avant recuit	600	1400	100000	$1.4.10^{-19}$	3.10^{-20}	$2.4.10^{-22}$
Recuit @ 300 °C	580	1300	100000	$1.45.10^{-19}$	$3.1.10^{-20}$	$2.1.10^{-22}$
Recuit @ 330 °C	600	1400	100000	$1.4.10^{-19}$	$3.2.10^{-20}$	$1.1.10^{-22}$
Recuit @ 360 °C	1900	5200	120000	2.10^{-20}	$4.6.10^{-21}$	5.10^{-22}
Recuit @ 400 °C	-----	6300	210000	-----	$2.5.10^{-19}$	6.10^{-22}

Tableau 4.1: Fréquences associées aux centres GR et le niveau de bruit correspondant

En augmentant la température de recuit à 400 °C, le niveau de bruit GR devient très important avec un nouveau décalage en fréquence. Ceci peut détériorer le fonctionnement normal du transistor TBH-SiGe.

Ces résultats viennent soutenir ce qui a été constaté dans le paragraphe précédent. Donc, afin d'éviter toute détérioration de nos circuits actifs SiGe en général et les transistors TBH en particulier, nous adopterons dans ce qui suit un procédé technologique basse température (inférieure ou égale à 330 °C) pour l'intégration monolithiques en post-processing de composants passifs suspendus sur une membrane BCB avec les circuits actifs à base d'une technologie SiGe.

3. Développement des interconnexions verticales

Afin de répondre aux besoins des systèmes de communication en terme de miniaturisation des circuits et la montée en fréquence avec un faible coût de développement, nous avons recours à une technologie d'interconnexions 3D multicouches compactes qui permet l'intégration monolithique d'un grand nombre de composants passifs avec des circuits actifs. Un aspect également intéressant de cette technologie repose sur le fait que les circuits passifs des plans supérieurs sont de moins en moins dépendants du substrat silicium nuisible à leur facteur de qualité. Afin de relier les composants passifs sur une couche épaisse de polymère aux circuits intégrés (MMICs) sur silicium, nous procédons à la réalisation des interconnexions verticales dites aussi 'vias', qui permettent d'assurer la continuité électrique entre les deux niveaux métalliques.

3.1. Procédé technologique

La réalisation des vias commence par le dépôt par évaporation d'une couche d'accrochage en Ti/Au. Ensuite, nous procédons à un dépôt et une photolithographie d'une résine épaisse, qui sert par la suite de moule à la croissance électrolytique des vias. Après l'élimination de la résine grâce à l'acétone, la couche d'accrochage est gravée dans les fentes. La Figure 4.7 présente, comme exemple, deux vues au profilomètre optique de vias réalisés avec 10 μm de hauteur.

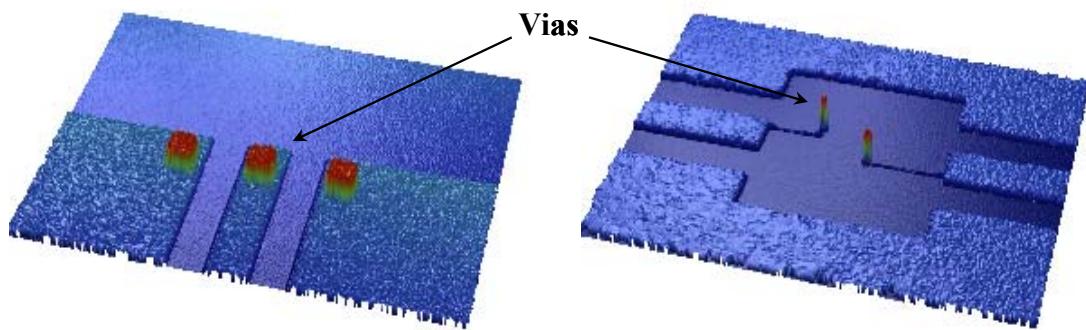


Figure 4.7 : Vues au profilomètre optique de vias métalliques de hauteur 10 μm

3.2. Impact des dimensions des vias métalliques

Afin d'évaluer l'impact des dimensions des vias métalliques sur les pertes, nous avons réalisé des vias qui présentent une géométrie carrée de différentes tailles ($10*10 \mu\text{m}^2$ et $40*40 \mu\text{m}^2$). Les structures tests réalisées sont constituées d'une ligne de transmission coplanaire sur silicium, de 400 μm de longueur, interconnectée à une autre ligne CPW de même longueur sur une couche de 10 μm de BCB. La structure multicouche réalisée présente une excellente planarité grâce au degré de planarisatation élevé du BCB, comme le montre la Figure 4.8.

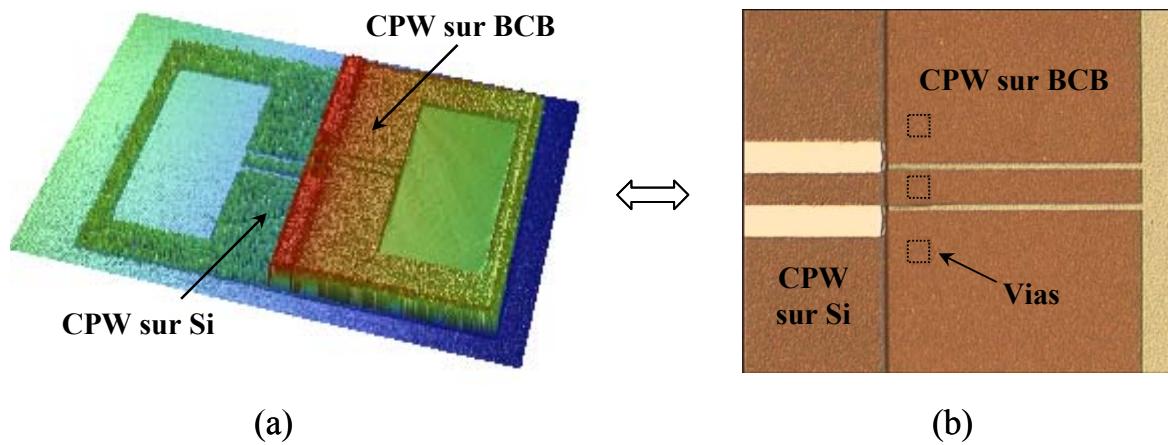


Figure 4.8 : Vue au profilomètre optique (a) et photographie (b) d'une structure test avec via métalliques

Afin de s'affranchir des accès coplanaires, et sur substrat silicium et sur BCB, nous avons procédé à un ‘deembedding’ de ces lignes d'accès pour visualiser uniquement les pertes dues aux via métalliques. Le coefficient de transmission de celles-ci est présenté sur la Figure 4.9 pour différentes résolutions des via.

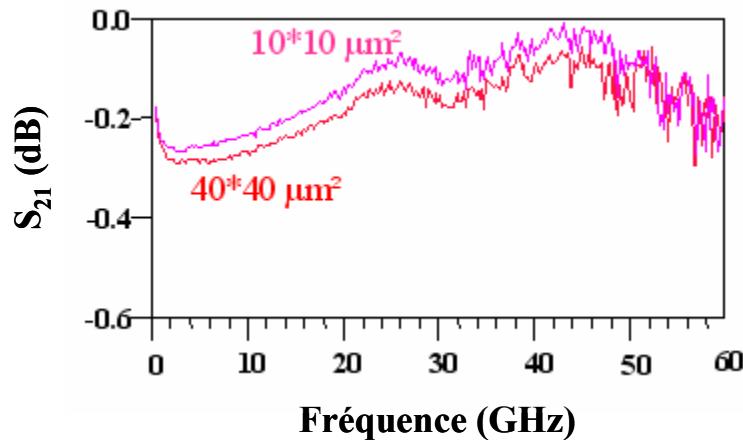


Figure 4.9 : Coefficient de transmission des via métalliques deembeddées

Les résultats de mesures montrent que les interconnexions verticales réalisées présentent de faibles pertes. Des coefficients de transmission de 0,09 dB et 0,131 dB sont obtenus à 24 GHz pour des via de $10 \times 10 \mu\text{m}^2$ et de $40 \times 40 \mu\text{m}^2$ respectivement. Cette technique d'interconnexion verticale présente donc l'avantage d'être peu encombrante et faible perte.

4. Impact des étapes technologiques en post-processing sur les performances des circuits actifs

Afin de valider la compatibilité des post-procédures technologiques nécessaires à la réalisation des composants passifs suspendus sur une membrane épaisse de BCB et intégrés monolithiquement avec des circuits actifs à hétérostructures SiGe, nous avons évalué l'impact des étapes technologiques les plus critiques sur les caractéristiques des transistors TBH-SiGe tests. Un protocole d'expérience a pour cela été mis au point et comporte trois étapes principales. La première consiste à effectuer des mesures préalables des transistors TBH tests (mesures statiques et en bruit basse fréquence). Ces mesures seront par la suite utilisées comme référence du fonctionnement normale des transistors étudiés. La seconde étape consiste à appliquer le stress technologique étudié. Enfin, les transistors sont à nouveau caractérisés en statique et en bruit basse fréquence. Une comparaison entre post- et pré-mesures permet d'identifier toute dégradation des transistors tests.

4.1. Impact du procédé technologique du BCB

L'utilisation du BCB comme diélectrique inter métallique pour l'intégration tridimensionnelle des circuits multicouches a connu un succès formidable [10]-[12] grâce à ses faibles pertes, ses contraintes résiduelles réduites par rapport aux diélectriques minéraux et enfin son procédé technologique basse température.

4.1.1. Procédé technologique

Le procédé technologique du BCB pour les interconnexions verticales diffère peu de celui présenté dans le second chapitre de ce manuscrit. Il comporte en plus la photolithographie du BCB au niveau des via métalliques grâce à sa propriété photosensible. En effet, il est possible de réaliser des ouvertures de petites tailles dans le BCB afin de libérer les via métalliques, comme le montre la Figure 4.10, et donc d'assurer la continuité électrique avec les couches métalliques supérieures.

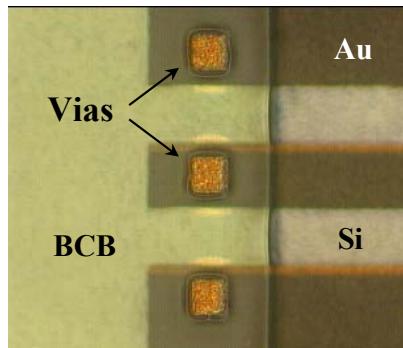


Figure 4.10 : Photographie des ouvertures du BCB sur des vias métalliques

Après un pré-recuit à 90 °C pendant une minute, la couche de BCB est insolée puis développée avec du DS 3000 avec une température maintenue entre 32 °C et 35 °C. La couche de BCB est ensuite post- recuite pendant une minute à 90 °C afin d'éliminer une partie des solvants dans le polymère. Pour une polymérisation complète du film BCB, celui-ci est recuit dans un four sous flux d'azote suivant un cycle qui présente une stabilisation de température à 250 °C pendant une heure. La température de recuit durant tout le cycle reste inférieure à la température limite exigée par les circuits actifs SiGe.

4.1.2. Impact du procédé BCB sur les performances des transistors TBHs-SiGe

Afin d'évaluer l'impact du procédé technologique du BCB (dépôt, photolithographie et polymérisation) sur les caractéristiques des transistors TBHs-SiGe, le protocole de test a été appliqué. Les Figures 4.13 et 4.14 présentent les caractéristiques statiques et en bruit respectivement avant et après application du procédé technologique du BCB.

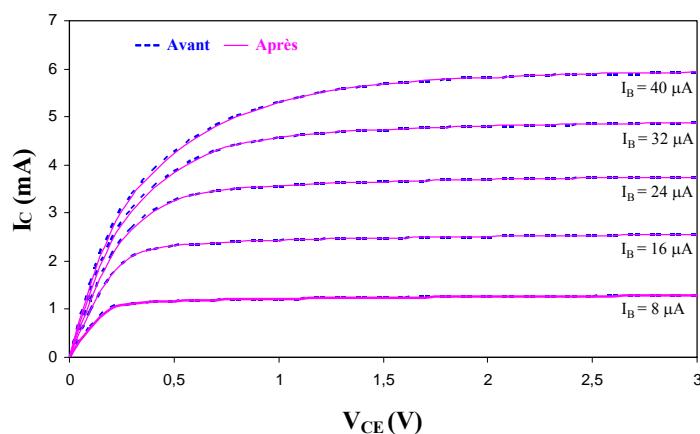


Figure 4.11 : Caractéristique directe d'un transistor TBH test avant et après le procédé technologique du BCB

Les résultats de mesures du courant de collecteur (I_C) des transistors TBH tests en fonction de la tension collecteur émetteur (V_{CE}) pour différentes valeurs de courant de base, n'ont montré aucun impact du procédé technologique du BCB. En effet, le gain statique (β) du transistor reste inchangé après le procédé BCB et a une valeur de l'ordre de 157 calculée pour une tension V_{CE} de 2 V et un courant I_B de 16 μ A.

La mesure de la source de bruit en courant à l'entrée des transistors TBH-SiGe tests n'a montré la présence d'aucune composante de bruit basse fréquence qui pourrait être due à une dégradation des circuits actifs à hétérostructures SiGe ou à une génération de charges après l'application du procédé technologique du BCB, comme le montre la Figure 4.12. La légère différence entre les deux courbes de mesure est certainement due aux variations des conditions de mesure (posé des pointes).

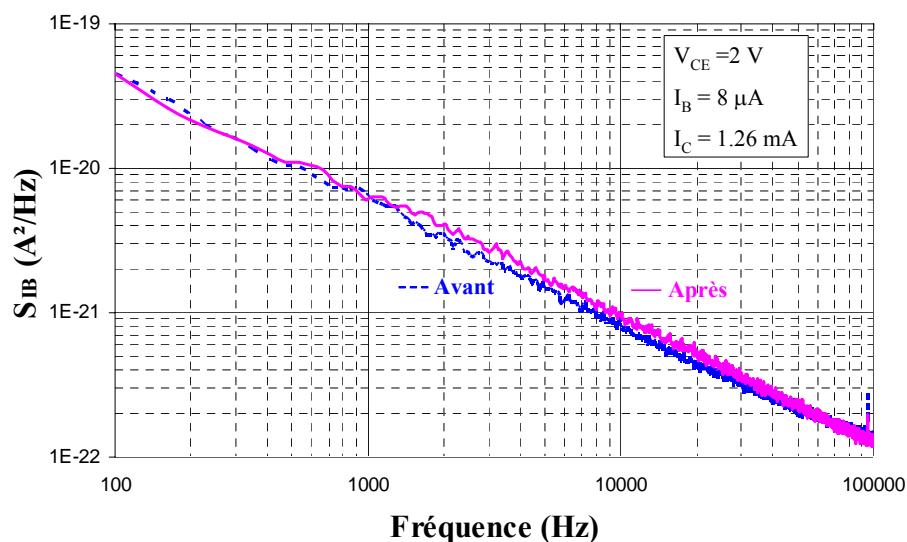


Figure 4.12 : S_{IB} avant et après le procédé technologique du BCB

En conclusion, le dépôt, l'insolation, le développement et la polymérisation du film BCB n'ont posé aucun problème de contamination ou de dégradation quelconque des transistors bipolaires TBH-SiGe. Ce procédé technologique semble donc adéquat pour l'intégration monolithique, en post-processing, des composants passifs avec des circuits actifs à base d'une technologie SiGe.

4.2. Impact du traitement plasma

Afin d'améliorer l'adhérence de la couche d'accrochage (Ti/Au ou Cr/Cu) avec le film BCB déposé sur le substrat SiGe, nous procédons à un léger plasma d'oxygène pendant deux

minutes à une puissance de 200 Watts dans une machine plasma (Tepla). Ceci a pour but de rendre la surface du BCB plus rugueuse et facilite ainsi l'adhérence des couches supérieures. D'un autre côté, ce procédé plasma permet aussi de supprimer les résidus de BCB sur les via métalliques en vue des interconnexions tridimensionnelles. Durant ce procédé plasma, la température n'excède pas 34 °C. Cependant, l'utilisation d'un plasma peut être une source de phénomènes de charges et de génération-recombinaison qui peuvent mener à une dégradation du fonctionnement des transistors à hétérojonctions.

Comme dans le cas du procédé BCB, la caractérisation statique des transistors TBH-SiGe tests après une application d'un plasma d'oxygène, n'a montré aucune modification, comme le montre la Figure 4.13.

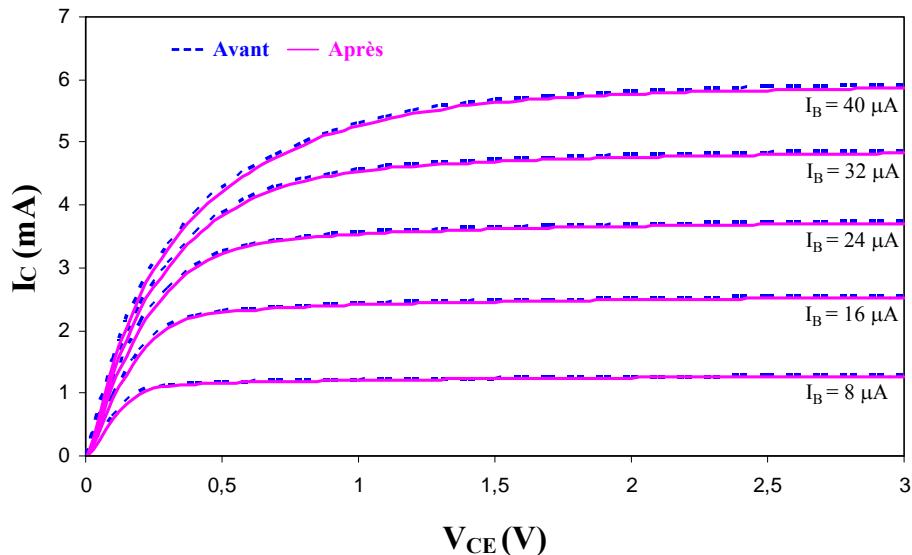


Figure 4.13 : Caractéristique statique directe d'un transistor TBH-SiGe avant et après plasma d'oxygène

De même, la mesure de la densité spectrale de bruit en courant à l'entrée des transistors TBH tests n'a révélé la présence d'aucune modification du bruit basse fréquence après l'application du traitement plasma, comme l'indique la Figure 4.14. Cette étape n'a donc aucun impact sur le fonctionnement normal de nos transistors TBH-SiGe tests.

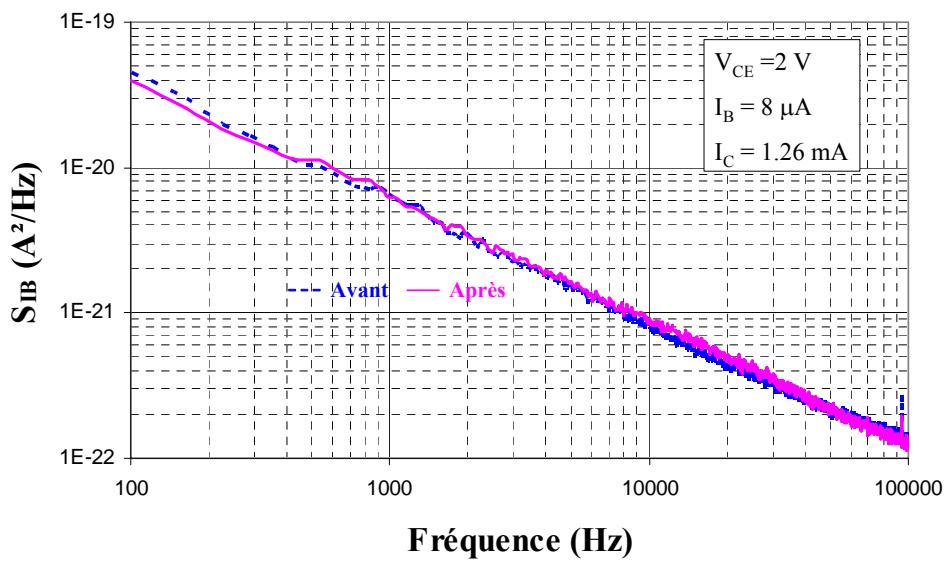


Figure 4.14 : Densité spectrale de bruit en courant avant et après un plasma d'oxygène

4.3. Impact de dépôt PECVD de nitrure de silicium

Dans le but de réaliser un masque de gravure basse température pour l'attaque chimique du substrat silicium que nous allons expliquer dans un prochain paragraphe, nous procédons à un dépôt d'une couche de nitrure de silicium (SiN) sur la face arrière du substrat par la technique PECVD². Ce dépôt s'effectue à une faible pression et à une température de 300 °C, qui est inférieure à la température limite des circuits actifs SiGe.

La caractérisation statique n'a révélé aucune modification du comportement des transistors TBH-SiGe tests après un dépôt PECVD de nitrure sur la face arrière de la plaque, comme le montre la Figure 4.15. Le gain statique en émetteur commun est resté constant après ce procédé technologique.

² PECVD : Plasma Enhanced Chemical Vapor Deposition

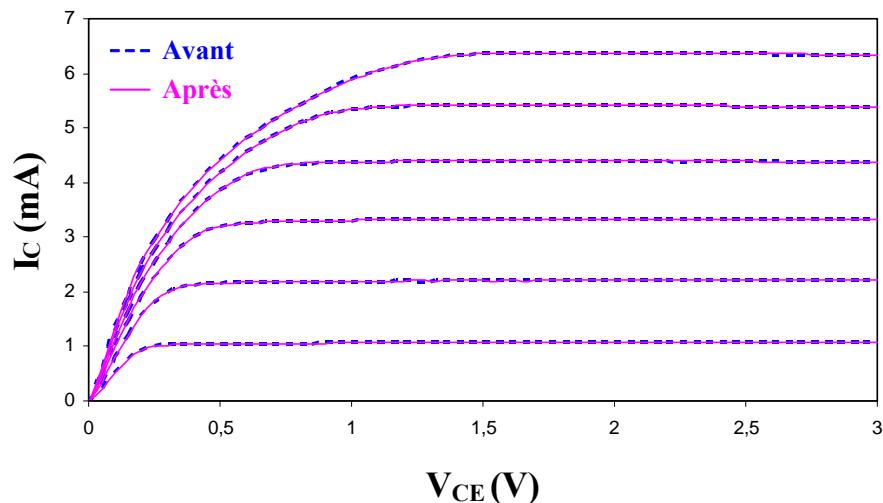


Figure 4.15 : Caractéristique statique directe d'un transistor TBH-SiGe avant et après un dépôt PECVD de niture de silicium sur la face arrière du substrat SiGe

De même, la mesure de la densité spectrale de bruit basse fréquence en courant à l'entrée des transistors n'a montré aucune modification significative pouvant traduire une dégradation dans le fonctionnement des transistors TBH-SiGe, comme l'indique la Figure 4.16.

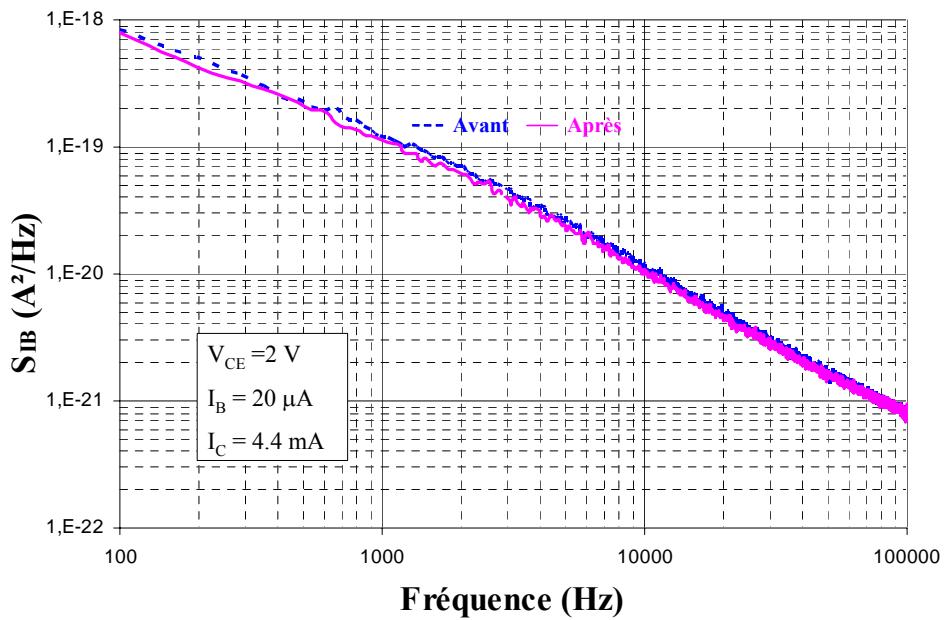


Figure 4.16 : Densité spectrale de bruit en courant avant et après un dépôt PECVD de niture de silicium sur la face arrière du substrat SiGe

Ceci nous amène à conclure que le dépôt PECVD de niture de silicium n'a aucun impact sur le fonctionnement des transistors TBH-SiGe.

4.4. Impact de micro-usinage profond du substrat silicium

En général, deux techniques de gravures anisotropes du substrat silicium sont possibles. La première consiste en une gravure DRIE qui permet d'obtenir des ouvertures des membranes formant un angle droit avec la surface. La deuxième technique consiste à une attaque chimique du silicium dans une solution alcaline. Afin de vérifier la compatibilité de ces techniques avec le procédé d'intégration monolithique, en post-processing, des composants passifs avec les circuits actifs SiGe, nous avons effectué une étude de chacune de ces deux techniques de gravure.

4.4.1. Etude de la technique de gravure humide (KOH)

La technique de gravure fréquemment utilisée pour la réalisation des membranes sur silicium est la gravure chimique anisotrope dans des solutions alcalines (KOH, TMAH, EDP). Ceci lui donne un caractère anisotrope du fait de la différence de vitesse d'attaque des différents plans cristallographiques. En effet, pour un substrat silicium d'orientation cristalline $<100>$ et une ouverture alignée selon la direction $<110>$, qui est la direction de meplat, la gravure chimique du silicium se fait selon le plan cristallin $<111>$, qui joue le rôle de plan d'arrêt, et forme un angle de 54.7° par rapport à la surface, comme le montre la Figure 4.17.

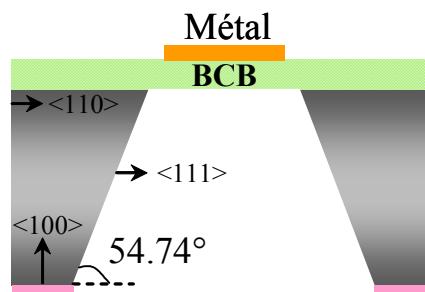


Figure 4.17 : Schéma d'une ouverture de membrane BCB par une gravure chimique anisotrope dans le cas d'un silicium $<100>$

Dans notre cas, nous avons utilisé une solution alcaline à base d'hydroxyde de potassium (KOH), diluée dans l'eau et chauffée à 80°C .

a- Choix du masque de gravure: SiN PECVD

Sachant que la vitesse d'attaque du substrat silicium au KOH est de l'ordre de $1.66 \mu\text{m/min}$ et que l'épaisseur du substrat est de l'ordre de $400 \mu\text{m}$, nous avons cherché à trouver un masque face arrière pour la gravure au KOH qui pourrait d'un côté tenir dans la solution

alcaline pendant quatre heures minimum et qui soit d'un autre côté compatible avec une technologie basse température (inférieure ou égale à 330 °C) nécessaire au post-processing des composants passifs avec les circuits actifs SiGe.

Pour cette raison, notre choix s'est porté sur un masque de nitride de silicium (SiN) obtenu par un dépôt PECVD du fait de sa basse température de dépôt qui est de 300 °C contrairement aux dépôts par LPCVD³ qui nécessitent des températures très élevées (supérieures ou égales à 750 °C). A ce stade, nous avons testé deux types de nitride PECVD. Le premier est déposé à basse fréquence, alors que le second est déposé à haute fréquence. Dans les deux cas, le dépôt de nitride de silicium est effectué à 300 °C dans un bâti PECVD en présence d'un mélange de gaz (SiH₄/NH₃/N₂). Les conditions de dépôt des deux types de nitride sont résumées dans le Tableau 4.2

	Température (°C)	Fréquence	Gaz	Pression (mtorr)	Puissance (Watts)	Vitesse de dépôt (Å/min)	Contraintes (MPa)
SiN (BF)	300	380 (kHz)	SiH ₄ /NH ₃ /N ₂	650	185	1580	574
SiN (HF)	300	13.56 (MHz)	SiH ₄ /NH ₃ /N ₂	1000	20	135	355

Tableau 4.2 : Conditions de dépôt PECVD de nitride de silicium (Si₃N₄) à basse et haute fréquence

Nous avons procédé dans un premier lieu à un dépôt de 1.5 µm de nitride de silicium à basse fréquence (BF) sur une plaque de silicium vierge. Cependant, le masque de nitride arrive à sa limite après trois heures d'attaque au KOH, ce qui n'est pas suffisant pour un micro-usinage de volume du substrat silicium d'une épaisseur de l'ordre de 400 µm. Nous constatons, donc, que le nitride de silicium (SiN) PECVD à basse fréquence ne pourra pas être retenu comme masque de gravure chimique dans un bain d'attaque KOH pour de longues durées d'attaque. Ceci peut s'expliquer par le fait qu'en basse fréquence, la vitesse de dépôt de nitride est très élevée (1580 Å/min), ce qui favorise la formation de défauts (atomes d'hydrogène et de silicium) dans le film de nitride déposé. Ces défauts sont très solubles dans le bain KOH, ce qui accélère la gravure du masque de nitride.

Toujours dans le même esprit, nous avons pensé à un masque de nitride de silicium PECVD à haute fréquence (HF) qui est moins riche en silicium et en hydrogène. Nous avons procédé alors à un dépôt de 0.5 µm de SiN HF PECVD sur une plaque vierge de silicium utilisée comme témoin. Lors de la gravure chimique du silicium dans le bain d'attaque KOH,

³ LPCVD : Low pressure Chemical Vapor Deposition

le masque de nitrure PECVD HF est resté intact après quatre heures de gravure. Cependant, en présence d'une couche de BCB métallisée sur la face supérieure, le masque de nitrure ainsi que le substrat silicium ont été gravés sur les bords de la plaque après trois heures d'attaque au bain de KOH. Cela est dû en fait à la présence des résidus du promoteur d'adhérence (AP 3000), utilisé lors de dépôt du BCB, sur les bords de la face arrière de la plaque, comme le montre la Figure 4.18.

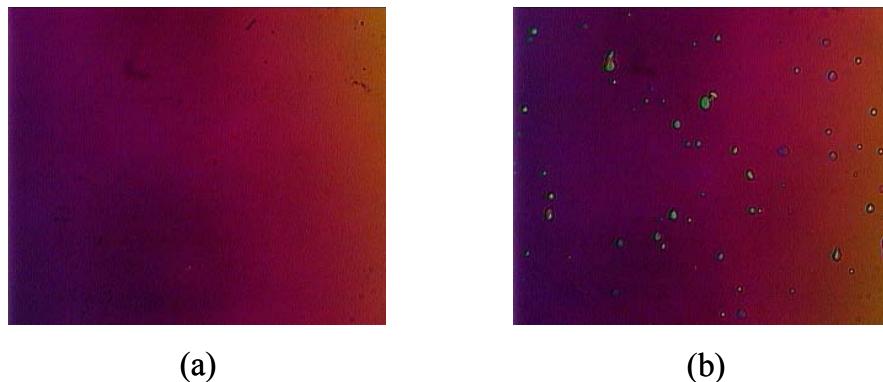


Figure 4.18 : Photographies du bord de la face arrière d'une plaque de silicium avec un dépôt de nitrure PECVD (a) plaque référence sans une couche de BCB sur la face avant, (b) avec un dépôt de AP 3000 et une couche de BCB sur la face avant de la plaque

Ces résidus du promoteur d'adhérence dégradent l'adhérence de nitrure PECVD au silicium sur les bords de la plaque, ce qui diminue la résistance de ce masque de gravure lors d'une attaque au KOH. Afin de remédier à ce problème, nous avons procédé à la protection de la face arrière de la plaque à l'aide d'un ruban adhésif, lors des dépôts de promoteur d'adhérence et du BCB sur la face supérieure. De cette manière, le masque de nitrure de silicium PECVD déposé par la suite adhère mieux au silicium et présente une bonne tenue dans le bain d'attaque KOH même en présence d'une couche de BCB sur la face supérieure. Le nitrure de silicium (SiN) PECVD HF constitue donc un masque de gravure profonde du substrat silicium à basses températures tout à fait compatible avec la limite en température imposée par les circuits actifs à base d'une technologie SiGe.

b- Gravure humide KOH

Les plaques SiGe fournies par ATMEL ont été polies (de 650 μm à 400 μm) afin de minimiser le temps de gravure du substrat silicium. Leurs faces arrières sont alors très rugueuses, ce qui dégrade la qualité du film de nitrure déposé par PECVD, comme le montre

la Figure 4.19.b comparé à une couche de nitre identique déposée sur une plaque témoin (cf. fig. 4.20.a).

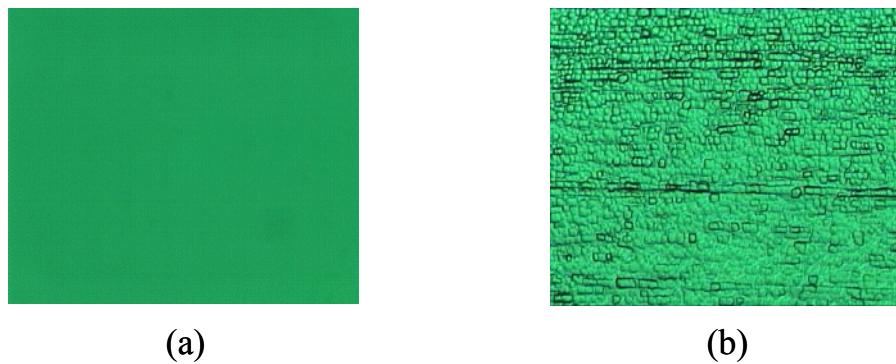


Figure 4.19 : Photographies de couches de nitre de silicium PECVD HF déposées sur la face arrière d'une plaque (a) de silicium test et (b) SiGe amaincie

D'un autre côté, la gravure chimique du substrat silicium n'est pas adaptée à toutes les formes d'ouvertures des membranes. En effet, pour des ouvertures rectangulaires présentant des angles entrant, l'attaque du silicium au KOH permet d'obtenir les formes et les dimensions souhaitées des membranes [13], comme le montre la Figure 4.20.

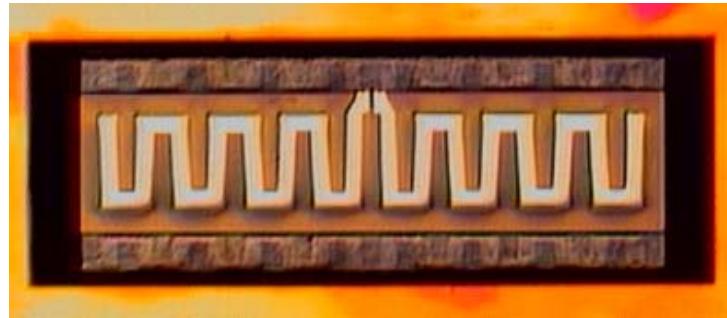


Figure 4.20 : Photographie d'une antenne dipôle suspendue sur une membrane rectangulaire en BCB obtenue par une gravure KOH: vue de dessous

Par contre, pour des motifs présentant des angles saillants, la gravure au KOH ne respecte ni la forme ni les dimensions de la membrane souhaitée. En effet, l'attaque de silicium $<100>$ au KOH se poursuit jusqu'aux plans $<331>$ au lieu de s'arrêter sur les plans $<111>$ malgré l'addition de l'alcool iso-propyle à la solution d'attaque, comme l'indique la Figure 4.21.

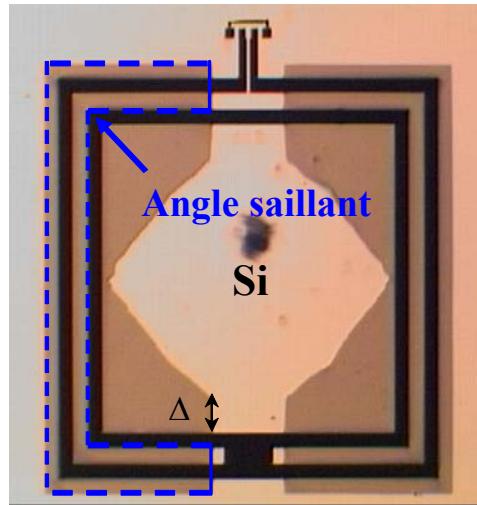


Figure 4.21 : Photographie d'une antenne double boucle suspendue sur une membrane en BCB présentant des angles saillants obtenue par une gravure KOH: vue de dessous

Plusieurs solutions ont été suggérées afin de compenser les angles saillants lors de la gravure au KOH [14]-[16], mais elles exigent des calculs très précis et une modification du masque de gravure.

D'un autre côté, la gravure chimique du silicium au KOH n'est pas toujours applicable pour réaliser des membranes pour des circuits adjacents, du fait que les dimensions des ouvertures sont supérieures à celles des membranes. Elle présente aussi le risque de contamination des circuits actifs. Pour toutes ces raisons, nous nous sommes également intéressés à la technique de gravure réactive ionique profonde (DRIE).

4.4.2. Etude de la technique de gravure sèche (DRIE)

La gravure réactive ionique profonde (DRIE) du substrat silicium a été traitée dans les paragraphes 2.3.1 et 3.1 du premier chapitre. Elle s'effectue dans un réacteur de plasma haute densité (ICP Multiplex) et consiste en plusieurs cycles de gravure et de passivation en présence de deux gaz de plasma fluorés (SF_6) et (C_4F_8). Une résine épaisse est utilisée comme masque de gravure durant le procédé DRIE.

L'avantage de cette technique de gravure est qu'elle est adaptée à des membranes de forme quelconque même en présence d'angles saillants [17], [18]. De plus, elle est parfaitement anisotrope et aboutit à des ouvertures verticales (cf. Figure 4.22). Ceci permet de réduire l'espace occupé par les composants passifs suspendus sur membrane diélectrique et donc d'obtenir des circuits plus compacts. Pour ces raisons, nous avons opté pour la gravure DRIE afin de suspendre les composants passifs post-procéssés sur une membrane diélectrique.

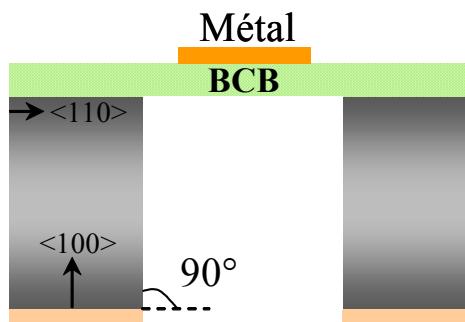


Figure 4.22: Schéma d'une ouverture de membrane BCB par une gravure DRIE

4.4.3. Compatibilité de la gravure profonde du silicium

Afin de déterminer la position à partir de laquelle le micro-usinage du substrat silicium endommage les composants actifs, nous avons fabriqué un masque qui comporte des ouvertures de membranes parfaitement localisées dans le plan de la plaquette en x et en y par rapport aux transistors TBH-SiGe tests (cf. Figure 4.23). Des motifs en BCB réalisés, par photolithographie, sur la face avant de la plaque ont permis l'alignement du masque de gravure face arrière.

Le micro-usinage de volume du substrat silicium (de l'ordre de 340 μm) a été effectué juste en dessous d'un transistor test ainsi qu'à différentes distances des autres transistors (ΔX ou ΔY) allant de 50 μm à 1 mm selon les deux axes (ox ou oy), comme le montre la Figure 4.23. Deux transistors tests sans micro-usinage ont été conservés et seront utilisés comme référence. Afin de protéger les circuits actifs et de minimiser le stress appliqué à la plaque pendant le procédé de gravure du silicium, la plaquette SiGe est reportée, à l'aide d'une résine, sur une plaque support silicium.

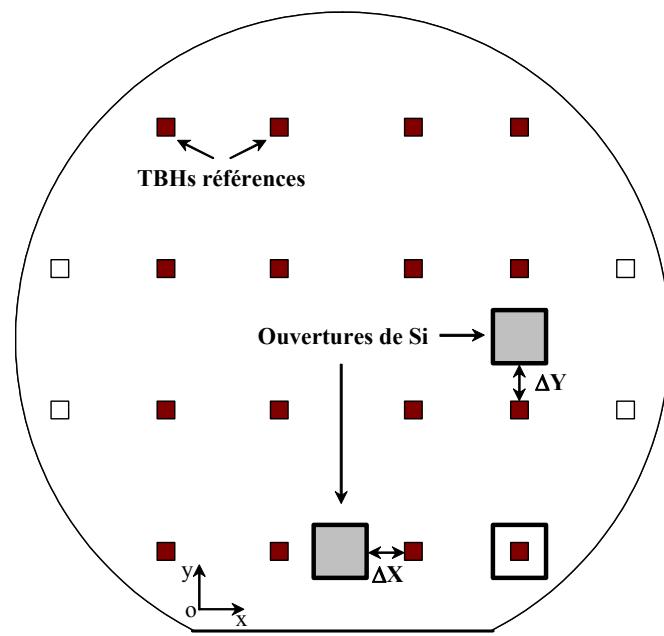


Figure 4.23 : Schéma d'une plaque SiGe avec localisation du micro-usinage du silicium par rapport aux transistors TBH-SiGe

Les résultats de post-mesures statiques n'ont montré aucune modification significative dans la caractéristique directe des transistors TBH tests après le micro-usinage du substrat silicium. Ceci a été observé pour tout espacement, suivant les deux directions ox et oy , entre les ouvertures dans le silicium et les transistors tests, même dans le cas où la gravure a été effectuée juste en dessous du transistor, comme le montre la Figure 4.24.

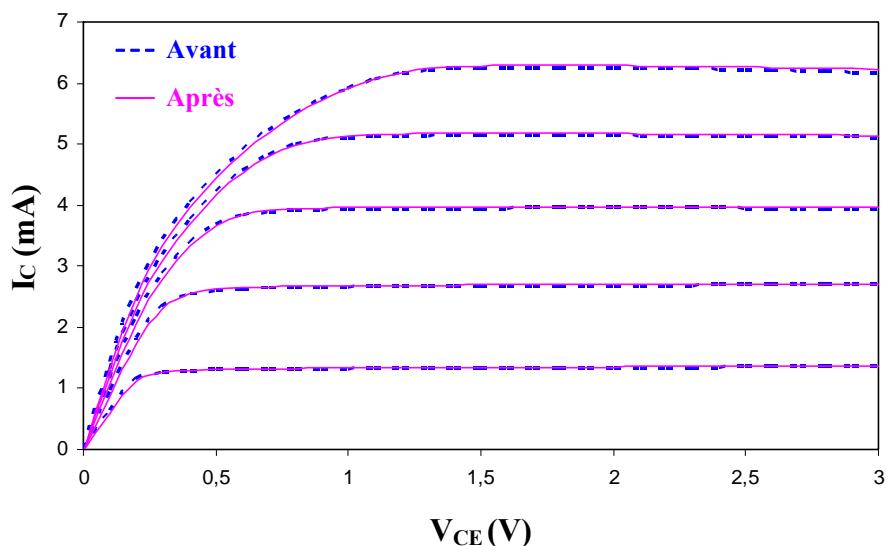


Figure 4.24 : Caractéristique directe d'un transistor TBH test avant et après une gravure DRIE du substrat silicium du substrat silicium en dessous du transistor ($\Delta X=0$)

La mesure de la densité spectrale de bruit en courant de base à l'entrée des transistors TBH tests a révélé une modification non négligeable du niveau de bruit lorsque le micro-usinage du silicium est effectué juste en dessous du transistor TBH-SiGe ($\Delta X=0$, $\Delta Y=0$), comme le montre la Figure 4.25. Une augmentation d'un peu plus d'une décade est enregistrée au niveau du bruit en $1/f$. L'amplitude du bruit en $1/f$ est passée d'une valeur de $3.4 \cdot 10^{-17} \text{ A}^2$ à une valeur de $4.8 \cdot 10^{-16} \text{ A}^2$. L'amplitude des centres GR initiaux, détectés avant le micro-usinage, présente également une augmentation de l'ordre d'une décade. Ces modifications sont certainement dues à des contraintes internes perturbées au niveau de l'hétérojonction, et accentuées par le désaccord de maille entre le Si et le SiGe.

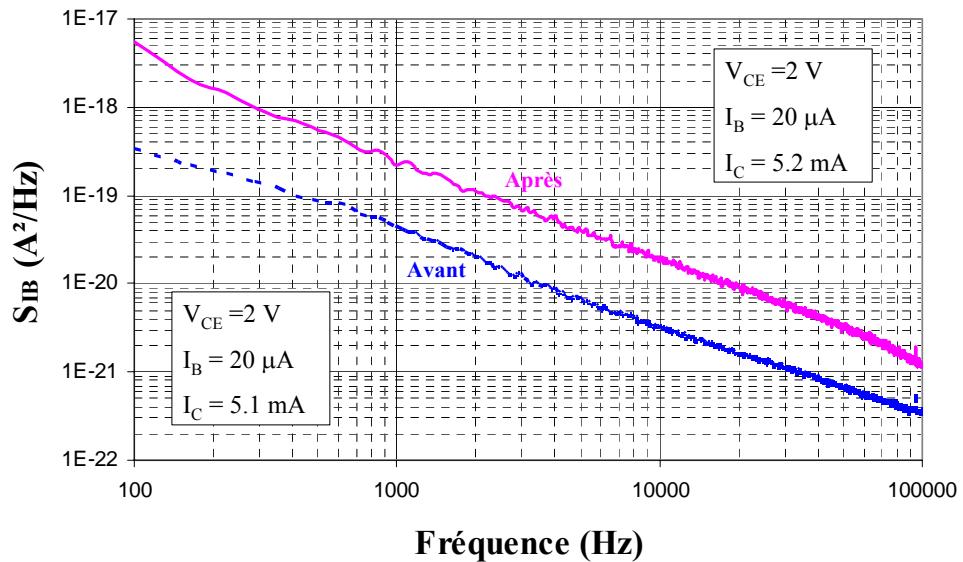


Figure 4.25 : S_{IB} avant et après gravure DRIE du substrat silicium en dessous du transistor test ($\Delta X=0$)

Par contre, la gravure DRIE du substrat silicium réalisée, dans les deux directions ox et oy , à une distance supérieure ou égale à $50 \mu\text{m}$ par rapport aux transistors TBH n'a montré aucune modification de la densité spectrale des transistors bipolaires, comme l'illustre la Figure 4.26 dans le cas d'un micro-usinage effectué à une distance ΔX de $50 \mu\text{m}$ du transistor test suivant la direction ox . En effet, l'amplitude du bruit en $1/f$ est restée constante après le procédé de gravure DRIE. Signalons que le même comportement a été observé dans le cas d'une gravure profonde du silicium à une distance ΔY de $50 \mu\text{m}$ du transistor suivant la direction oy . Cette distance de $50 \mu\text{m}$ correspond au plus petit espacement que nous avons

évalué entre la position du micro-usinage de volume du silicium et les transistors TBH-SiGe étudiés.

Ces résultats ont mis en évidence une distance minimale par rapport aux circuits actifs, à partir de laquelle le micro-usinage de volume du substrat silicium est possible sans une détérioration des performances des circuits actifs notamment en bruit.

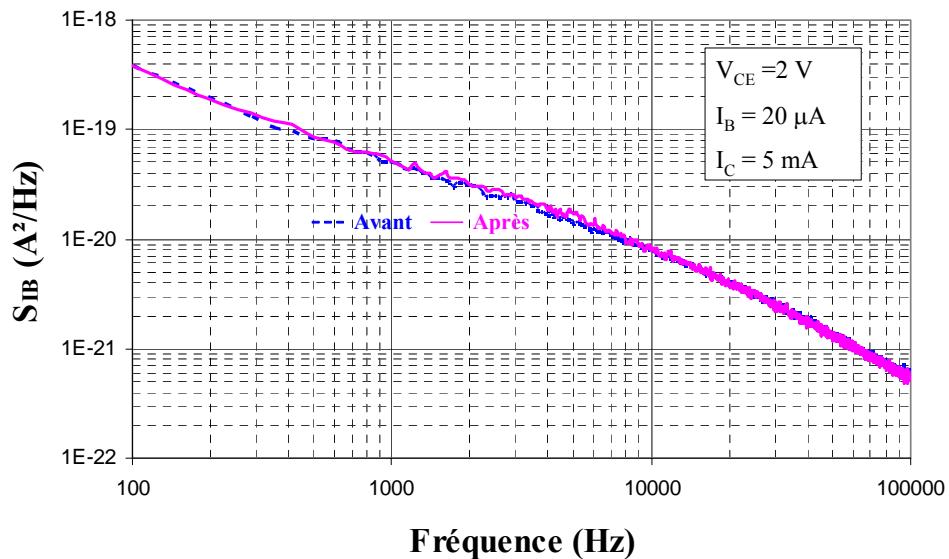


Figure 4.26 : S_{IB} avant et après une gravure DRIE du substrat silicium à une distance $\Delta X=50 \mu\text{m}$ du transistor

Nous sommes arrivés donc à valider différentes étapes cruciales d'une filière technologique d'intégration monolithique, par post-processing, de composants passifs suspendus sur membrane épaisse en BCB avec des circuits actifs à hétérostructures SiGe. Les résultats de mesures statiques ainsi que ceux des mesures en bruit basse fréquence de transistors TBH-SiGe tests, réalisés avant et après chaque étape technologique critique (procédé technologique du BCB, traitement plasma, dépôt PECVD de nitre de silicium et la gravure DRIE de volume du silicium), n'ont montré aucune dégradation des performances des circuits actifs SiGe, excepté dans le cas où la gravure profonde du silicium est réalisée juste en dessous du dispositif actif. Une distance minimale de $50 \mu\text{m}$ entre les circuits actifs et les éléments post-procédés et micro-usinés a ainsi été mise en évidence.

Etant donné que le micro-usinage de volume s'est montré compatible avec les circuits actifs SiGe, nous pouvons également bénéficier de ses atouts pour améliorer les performances des circuits intégrés MMICs en l'appliquant à des éléments essentiels tels que les inductances.

4.4.4. Impact du micro-usinage de volume sur les performances des inductances intégrées

L'inductance est un élément clé dans la réalisation des circuits intégrés radiofréquences (RFCIs) et micro-ondes (MMICs). En effet, la fonction inductive intervient dans les réseaux d'adaptation d'impédance, les filtres, les coupleurs et peut être insérée dans les circuits sélectifs (charge LC) utilisés dans les amplificateurs faible bruit (LNA) et les oscillateurs commandés en tension (VCO). Avec la montée en fréquence, son utilisation devient préférable à celle des résistances puisqu'elle est moins bruyante et présente moins de dispersion. D'une manière générale, une inductance optimale doit regrouper les critères suivants :

- Une valeur d'inductance suffisante;
- Une faible résistance série;
- Une superficie réduite;
- Un faible couplage avec le substrat;
- Une fréquence de résonance élevée;
- Un fort facteur de qualité.

Ce dernier critère présente le facteur clé pour la conception des circuits radiofréquences comme l'oscillateur commandé en tension (VCO) et l'amplificateur à faible bruit (LNA). En effet, un fort facteur de qualité ($Q > 15$) de l'inductance permet de diminuer le facteur de bruit dans le LNA, et d'améliorer les performances en bruit de phase du VCO (qui varie en $1/Q^2$ [19]), utilisant un circuit résonateur (LC), tout en réduisant leur consommation en puissance. Cependant, les inductances intégrées en technologie silicium standard présentent un faible facteur de qualité (de l'ordre de 10) en raison des pertes engendrées par le couplage avec le substrat basse résistivité. Ce couplage peut être réduit, dans un premier temps, par la réduction de la taille de l'inductance. A ce stade, l'inductance planaire intégrée constitue un avantage en terme de consommation mais aussi de compacité.

Toutefois, l'utilisation d'une couche épaisse de polymère à faibles pertes, tel que le BCB, pour éloigner les inductances du substrat silicium dispersif, permet de réduire les capacités parasites dues au substrat et donc d'aboutir à de fortes valeurs du facteur de qualité de l'inductance [20]-[24]. En plus, la réduction de la permittivité effective de la structure permet aussi d'augmenter la fréquence de résonance de l'inductance [20], [24], [25]. Ceci permet la réalisation des circuits MMICs plus compacts à faible coût avec des grandes performances et de faible consommation [26]. D'un autre côté, comme dans le cas des lignes de transmission

coplanaires et les filtres CPW, le micro-usinage du substrat silicium présente une excellente approche pour réduire les pertes dans le substrat [27] et donc d'augmenter le facteur de qualité des inductances sur silicium [28], [29]. Ceci apporte de meilleures performances aux circuits MMICs en technologie silicium standard en réduisant leur consommation [29], [30].

Afin de confirmer l'intérêt de la suspension des inductances sur une membrane diélectrique, nous avons procédé à un micro-usinage de volume du substrat silicium, en post-processing, en dessous des inductances spirales tests fabriquées par la fonderie ATMEL, comme le montre la Figure 4.27.

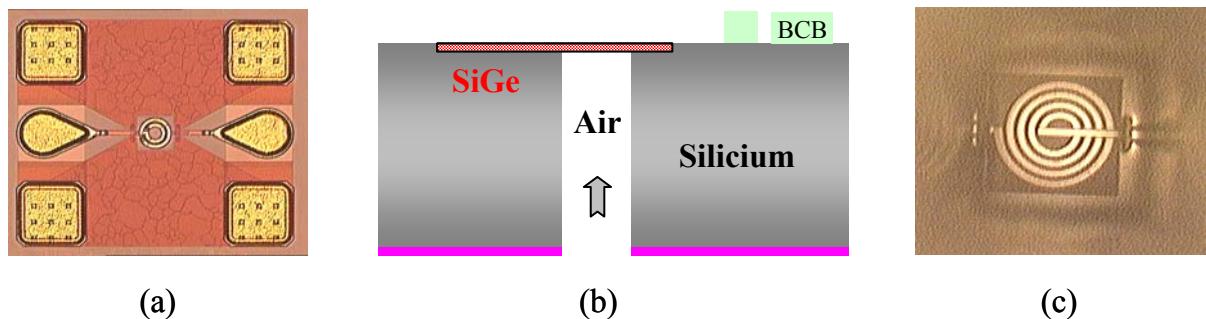


Figure 4.27: Inductance spirale suspendue: (a) vue de dessus, (b) vue en coupe et (c) vue de dessous

Ce micro-usinage permet d'augmenter considérablement leur facteur de qualité ainsi que leur fréquence de résonance, comme le montre la Figure 4.28 dans le cas de deux inductances spirales circulaires de 0.6 nH et 1nH. En effet, le facteur de qualité passe d'une valeur de 10.36 à 24 GHz à une valeur de 14.45 à la même fréquence après un micro-usinage du silicium en post-processing, en dessous de l'inductance de 0.6 nH, ce qui présente une amélioration notable de l'ordre de 39 %. Dans le cas de l'inductance de 1 nH, nous avons enregistré une amélioration du facteur de qualité supérieure de 100 %. Ceci s'explique par une réduction considérable des capacités parasites avec la suppression du substrat.

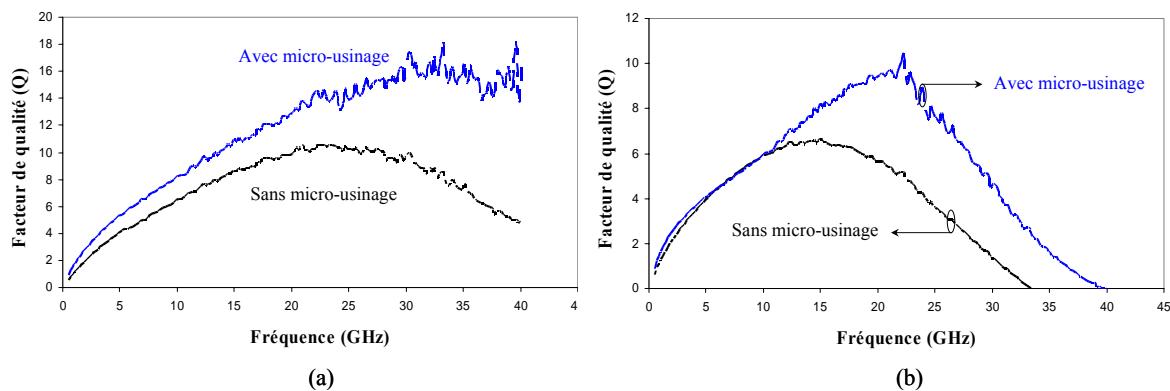


Figure 4.28 : Impact de micro-usinage du silicium, en post-processing, sur le facteur de qualité des inductances intégrées tests d'ATMEL : (a) 0.6 nH , (b) 1 nH

La réduction des capacités parasites grâce au micro-usinage du silicium implique une augmentation de la fréquence de résonance de l'inductance sans changer la valeur de l'inductance. Cette dernière devient quasi-indépendante de la fréquence sur une large plage de fréquence, comme l'illustre la Figure 4.29. La fréquence de résonance, quand à elle, passe de 33.2 GHz à 39.6 GHz pour l'inductance de 1 nH .

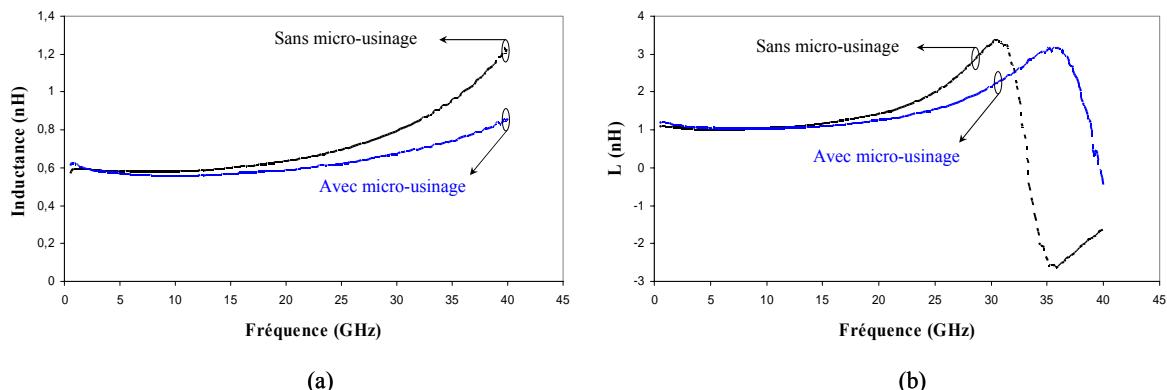


Figure 4.29 : Impact de micro-usinage du silicium, en post-processing, sur la valeur de l'inductance test d'ATMEL : (a) 0.6 nH , (b) 1 nH

Le micro-usinage de volume du substrat silicium permet donc d'optimiser les caractéristiques des inductances, ce qui pourra apporter de meilleures performances aux circuits MMICs-SiGe.

Conclusion

Afin de réaliser un système de communication RF plus compact et à faible coût, nous nous sommes intéressés à l'intégration monolithique, en post-processing, de composants microondes passifs suspendus sur une membrane organique avec des circuits actifs SiGe. Un

procédé technologique basé sur l'utilisation des interconnexions verticales de faibles pertes et une membrane organique alliée au micro-usinage de volume du substrat silicium a ainsi été développé. Il présente des avantages formidables sur le plan:

- de la miniaturisation;
- de l'encombrement et du poids;
- de la forte densité d'interconnexions;
- du coût de fabrication;
- de la facilité d'intégration des fonctions passives;
- des performances en combinant deux filières technologiques de type polymère et membrane

Dans ce chapitre, nous avons déterminé une température limite à ne pas dépasser lors de l'intégration monolithique des fonctions passives avec des circuits actifs-SiGe pour éviter toute détérioration de ces derniers. Grâce au procédé technologique basse température du Benzocyclobutène compatible avec le post-processing des circuits et à ses faibles contraintes résiduelles en tension, le BCB s'est avéré un remplaçant idéal aux membranes diélectriques minérales qui présentent un procédé hautes températures (supérieures à 700 °C).

La compatibilité de toutes les étapes technologiques, en particulier le micro-usinage de volume du substrat silicium, avec les circuits actifs SiGe a ouvert les portes à l'intégration monolithique, en post-processing, des fonctions passives (telles que antennes, inductances, filtres,...) suspendues sur une membrane épaisse de BCB avec les circuits actifs à base d'une technologie SiGe. Ceci peut permettre de réaliser des systèmes de communication plus compacts, à faible coût et de grandes performances tout en utilisant des techniques et des équipements microtechnologiques conventionnels.

Références bibliographiques du chapitre 4

- [1] R. C. Ramirez, R. W. Jackson, "A highly integrated millimetre-wave active antenna array using BCB and silicon substrate," *IEEE Trans. Microwave Theory and Techniques*, vol. 52, No. 6, pp. 1648-1653, June 2004
- [2] P. Abele, E. Öjefors, K. B. Schad, E. Sönmez, A. Trasser, J. Konle, H. Schumacher, "Wafer level integration of a 24 GHz differential SiGe-MMIC oscillator with a patch antenna using BCB as a dielectric layer," *33rd European Microwave Conference*, pp. 293-296, Munich, October 2003
- [3] P. Abele, K. B. Schad, E. Sönmez, A. Trasser, U. König, H. Schumacher, "On wafer antennas and lines for a wafer level integration technology," *4th Workshop on MEMS for millimetre-wave communications (MEMSWAVE)*, pp. D3-D6, Toulouse (France), July 2003
- [4] P. Abele, J. Konle, D. Behammer, E. Sönmez, K. B. Schad, A. Trasser, H. Schumacher, "Wafer level integration of a 24 GHz and 34 GHz differential SiGe-MMIC oscillator with a loop antenna on a BCB membrane," *IEEE MTT-S Int. Microwave Symp. Dig.*, vol. 2, pp. 1033-1036, June 2003
- [5] E. Öjefors, A. Rydberg, "Design and cross-talk simulations of on-chip antennas for integration in a SiGe process," *4th Workshop on MEMS for millimetre-wave communications (MEMSWAVE)*, pp. B3-B6, Toulouse (France), July 2003
- [6] E. Ojefors, F. Bouchriha, K. Grenier, A. Rydberg "24 GHz ISM-band antennas on surface micro-machined substrates for integration with a commercial SiGe process," *6th European Conference on Wireless Technology (ECWT'2003)*, pp.101-104, Munich (Allemagne), October 2003
- [7] A. Rennane, "Caractérisation et modélisation du bruit basse fréquence des composants bipolaires et à effet de champ pour applications micro-ondes," *Thèse de doctorat*, Toulouse, Décembre 2004
- [8] L. Bary, "Caractérisation et modélisation du bruit basse fréquence de composants bipolaires micro-ondes : application à la conception d'oscillateurs à faible bruit de phase," *Thèse de doctorat*, Toulouse, Décembre 2001
- [9] L. S. Vempati, J. D. Cressler, J. A. Babcock, R. C. Jaeger, D. L. Harame, "Low-frequency noise in UHV/CVD epitaxial Si and SiGe bipolar transistors," *IEEE Journal of Solid-State Circuits*, Vol. 31, No. 10, October, 1996
- [10] K. Nishikawa, S. Sugitani, K. Inoue, T. Ishii, K. Kamogawa, B. Piernas, K. Araki, "Low-loss passive components on BCB-based 3D MMIC technology," *IEEE MTT-S Int. Microwave Symp. Dig.*, vol. 3, pp. 1881-1884, May 2001
- [11] P. Pieters, K. Vaesen, G. Carchon, S. Brebels, W. D. Raedt, E. Beyne, "Integration of passive components in thin film multilayer MCM-D technology for wireless front-end applications," *Microwave Conference Asia-Pacific*, pp. 221-224, Sydney, NSW, Australia, December 2000
- [12] G. J. Carchon, W. D. Raedt, E. Beyne, "Wafer-level packaging technology for high-Q on-chip inductors and transmission lines," *IEEE Trans. Microwave Theory and Techniques*, vol. 52, No. 4, pp. 1244-1251, April 2004

- [13] E. Ojefors, K. Grenier, L. Mazenq, F. Bouchriha, A. Rydberg, R. Plana, "Micromachined inverted F antenna for integration on low resistivity silicon substrate," IEEE Microwave and Wireless Components Letters, Vol. 15, No. 10, pp. 627-629, October 2005
- [14] P. Enoksson, "New structure for corner compensation in anisotropic KOH etching," J. Micromeh. Microeng. Vol. 7, pp. 141-144, 1997
- [15] X. Li, R. Lin, J. Miao, M. Bao, "Study on convex-corner undercutting formed by masked-maskless etching in aqueous KOH," J. Micromeh. Microeng. Vol. 10, pp. 309-313, 2000
- [16] H. Schröder, E. Obermeier, A. Horn, G. K. M. Wachutka, "Convex corner undercutting of (100) silicon in anisotropic KOH etching: The new step-flow model of 3-D structuring and first simulation results," Journal of Microelectromechanical Systems, Vol. 10, No. 1, March 2001
- [17] A. A. Ayon, R. L. Bayt, K. S. Breuer, "Deep reactive ion etching: a promising technology for micro-and nanosatellites," Smart Materials and Structures. 10, pp. 1135-1144, 2001
- [18] P. T. Docker, P. Kinnell, M. C. L. Ward, "A dry single-step process for the manufacture of released MEMS structures," Journal of Micromechanics and Microengineering. 13, pp. 790-794, 2003
- [19] L. E. Larson, "Integrated circuit technology options for RFIC's_Present status and future directions," IEEE Journal of SoLID6State Circuits, Vol. 33, No. 3, March 1998
- [20] J. H. Jeon, E. J. Inigo, M. T. Reiha, T. Y. Choi, Y. Lee, S. Mohammadi, L. P. B. Katehi, "The effect of low-k dielectrics on RFIC inductors," 33rd European Microwave Conference, pp. 53-56, Munich, October 2003
- [21] Y. Tikhov, D. Shim, K. W. Nam, I. Song, "Refined wide band modelling and design of CMOS-compatible spiral inductors with BCB dielectric layer," EuMC 2003, pp. 57-60, Munich 2003
- [22] P. Pieters, K. Vaesen, W. Diels, G. Carchon, S. Brebels, W. D. Raedt, E. Beyne, R. P. Mertens, "High-Q integrated spiral inductors for high performance wireless front-end systems," IEEE Radio and Wireless Conference, RAWCON 2000, pp. 251-254, Sept. 2000
- [23] I. J. Bahl, "High-performance inductors," IEEE Trans. Microwave Theory and Techniques, vol. 49, No. 4, pp. 654-664, April 2001
- [24] Carchon, G.; Xiao Sun; De Raedt, W, "High-Q inductors and transmission lines on 20 Ω .cm Si using wafer-level packaging technology," Silicon Monolithic Integrated Circuits in RF Systems, 2003. Digest of Papers. 2003 Topical Meeting on, pp.111-114, April 2003
- [25] X. Huo, K. J. Chen, P. C. H. Chan, "Silicon-based high-Q inductors incorporating electroplated copper and low-k BCB dielectric," IEEE Electron Letters, Vol. 23, No. 9, pp. 520-522, September 2002
- [26] J. W. M. Rogers, V. Levenets, C. A. Pawlowicz, N. G. Tarr, T. J. Smy, C. Plett, "Post-processed Cu inductors with application to a completely integrated 2-GHz VCO," IEEE Trans. Electron Devices, Vol. 48, No. 6, pp. 1284-1287, June 2001

- [27] R. P. Ribas, J. Lescot, J. L. Leclercq, N. Bennouri, J. M. Karam, B. Courtois, "Micromachined planar spiral inductor in standard GaAs HEMT MMIC technology," IEEE Electron Letters, Vol. 19, No. 8, pp. 285-287, August 1998
- [28] L. H. Lu, G. E. Ponchak, P. Bhattacharya, L. P. B. Katehi, "High-Q X-band and K-band micromachined spiral inductors for use in Si-based integrated circuits," Silicon Monolithic Integrated Circuits in RF Systems, 2000. Digest Topical Meeting on, pp. 108-112, April 2000
- [29] Y. Sun, J. L. Tauritz, R. G. F. Baets, "Micromachined RF passive components and their applications in MMICs," Special issue, RF Applications of MEMS Technology, pp. 310-325, May 1999
- [30] Y. E. Chen, Y. K. Y, J. Laskar, M. Allen, "A 2.4 GHz integrated CMOS power amplifier with micromachined inductors," IEEE MTT-S Int. Microwave Symp. Dig., vol. 1, pp. 523-526, May 2001

Conclusion Générale

Conclusion générale

Les travaux de recherches présentés dans cette thèse avaient deux objectifs majeurs. Le premier consistait à optimiser les performances des circuits passifs (tels que antennes, filtres, inductance et interconnexions) sur substrat silicium basse résistivité. Quant au second, il visait à développer une filière technologique permettant une intégration monolithique de fonctions passives avec des circuits actifs SiGe sur le même substrat silicium. Face à ces deux objectifs, nous avons opté pour une technologie planaire qui se montre plus avantageuse que celle micro-ruban et faible coût.

Pour satisfaire le premier objectif, nous avons étudié dans le premier chapitre, les mécanismes à l'origine des pertes des structures planaires sur le substrat silicium. Les pertes métalliques peuvent être facilement diminuées avec l'utilisation de matériaux à forte conductivité comme l'or et de grandes épaisseurs. Quant aux pertes diélectriques, elles sont essentiellement dues à la faible résistivité et la forte tangente de pertes du substrat silicium. Leur minimisation peut être obtenue par diverses solutions technologiques. Nous avons donc fait un bilan des différentes approches technologiques qui ont été proposées dans la littérature.

En conséquence, nous avons développé, dans le second chapitre, différentes filières technologiques pour optimiser les performances des circuits passifs sur substrat silicium basse résistivité (SiBR). Trois de ces techniques se sont montrées prometteuses. La première consiste à éloigner les fonctions passives du substrat silicium par une couche épaisse de polymère. A ce stade, le Benzocyclobutène (BCB) est choisi comme diélectrique interfaciale grâce à ses excellentes propriétés mécaniques, thermiques et surtout électriques par rapport à d'autres types de polymères. Des lignes de transmission coplanaires réalisées sur 30 μm de BCB ont présenté une amélioration de l'ordre de 90 % par rapport aux lignes coplanaires classiques sur silicium massif. Cependant, l'augmentation de l'épaisseur de polymère engendre des contraintes mécaniques supplémentaires, ce qui limite l'utilisation de fortes épaisseurs de polymère pour l'intégration tridimensionnelle (3-D) des circuits passifs (deuxième objectif).

La deuxième solution est basée sur la combinaison d'un dépôt d'une couche organique (10 μm) et le micro-usinage de surface du substrat silicium. Cette solution a permis non seulement une amélioration de l'ordre de 90 % de pertes par rapport à la technologie silicium classique avec une augmentation du facteur de qualité, mais également de maintenir voir réduire les contraintes mécaniques au niveau de l'interface BCB/Si. Elle présente donc une approche attrayante pour l'intégration monolithique des circuits.

La troisième et dernière solution consiste à suspendre les circuits passifs sur une membrane organique (10 µm). Cette technique a montré une excellente amélioration des pertes des lignes de transmission coplanaires par rapport aux lignes coplanaires classiques sur silicium massif. Grâce aux propriétés mécaniques du Benzocyclobutène, la filière membrane BCB s'est montrée très intéressante pour l'intégration monolithique des composants passifs avec les circuits actifs.

Dans le troisième chapitre, nous avons appliqué les trois filières technologiques développées à des filtres passe-bandes coplanaires centrés à 60 GHz ainsi qu'à des antennes planaires fonctionnant dans la bande 24 GHz ISM. Ces éléments ont présenté de bonnes performances avec une grande compacité.

Le quatrième et dernier chapitre s'est focalisé sur le développement et l'étude de compatibilité d'une filière technologique tridimensionnelle (3-D) avec des circuits actifs à hétérostructure SiGe. Dans cette optique, nous avons déterminé une température limite (inférieure ou égale à 330 °C) à ne pas dépasser pour les étapes de post-procédés sur les circuits actifs-SiGe pour éviter toute détérioration de ces derniers.

La compatibilité des principales étapes nécessaires à l'intégration monolithique, en post-processing, de composants passifs sur membrane polymère (tels que des antennes, inductances, filtres,...) avec les circuits actifs à hétérostructure en SiGe a été démontrée. Une distance minimale de 50 µm entre les circuits actifs et les éléments post-procédés et micro-usinés a été clairement mise en évidence. Ceci peut permettre de réaliser des systèmes de communication plus compacts, à faible coût et de grandes performances.

Etant donné que les filières technologiques à faibles pertes développées permettent d'améliorer considérablement les pertes des composants passifs sur silicium standard, nous pouvons les appliquer aux éléments passifs d'une chaîne de réception d'un module de communication. Ceci permet de maintenir un faible niveau de bruit et donc garantir une bonne sensibilité aux récepteurs dans les systèmes d'émission-réception.

Outre l'élaboration de modules de communication ultra compact aux performances intrinsèques optimisées, ces travaux ouvrent également la voie à l'étude et la réalisation d'architectures des systèmes de communication plus complexes à fonctionnalités multiples. Ceci peut être obtenu par exemple par l'ajout de structures reconfigurables telles que des structures microélectromécaniques MEMS.

Développement de filières technologiques dédiées à l'intégration de microsystèmes millimétriques sur silicium

La miniaturisation des circuits et la montée en fréquence constituent deux importants leitmotives des systèmes de communication modernes. En effet, avec l'augmentation permanente du nombre d'utilisateurs du spectre fréquentiel et la multiplication des services de télécommunications offerts, les bandes de fréquences radiofréquences sont saturées et des bandes de fréquences micro-ondes et millimétriques sont à présent allouées à des applications grand public. Ceci exige le développement de technologies innovantes assurant aux circuits intégrés micro-ondes et millimétriques d'excellentes performances en terme de pertes, de facteur de qualité, d'intégration avec un encombrement et coût réduits. Dans cette optique, la technologie silicium constitue le candidat idéal pour satisfaire à ces exigences grâce à sa maturité, son faible coût, sa grande capacité d'intégration et la possibilité de réaliser des circuits intégrés à base de technologies SiGe ou CMOS. Cependant, la forte tangente de pertes et la faible résistivité du silicium dégradent considérablement les performances des circuits passifs aux fréquences micro-ondes et millimétriques. Nos travaux ont donc consisté à développer de nouvelles filières technologiques à faibles pertes pour lever ce verrou technologique et permettre une intégration monolithique de composants passifs avec des circuits intégrés pour un coût très réduit.

Le premier chapitre de ce mémoire est dédié à l'état de l'art des différentes solutions technologiques proposées pour contourner les mécanismes à l'origine des pertes dans les interconnexions coplanaires sur substrat silicium.

Dans le second chapitre, nous présentons les différentes filières technologiques développées pour optimiser les performances des circuits passifs sur substrat silicium basse résistivité. La première consiste à utiliser une couche organique épaisse faibles pertes pour éloigner les circuits passifs du substrat silicium dispersif. La deuxième solution est basée sur la combinaison de micro-usinage de surface et de dépôt de couche épaisse de polymère toujours à faibles pertes. Enfin, la dernière approche consiste à suspendre nos circuits planaires sur une membrane en polymère afin de supprimer complètement le substrat silicium. Ces technologies ont permis une réduction d'au moins 75 % des pertes d'une ligne de transmission coplanaire 50Ω , de même qu'une forte amélioration du facteur de qualité par rapport à une ligne coplanaire sur silicium massif.

Le troisième chapitre est consacré à la mise en application de ces filières technologiques "faibles pertes" à un filtre coplanaire passe-bande centré à 60 GHz ainsi qu'à des antennes planaires fonctionnant dans la bande 24 GHz ISM.

Enfin, le dernier chapitre est consacré au développement des briques technologiques nécessaires à l'intégration monolithique faible coût de composants passifs sur membrane polymère (tels que des antennes, inductances, filtres,...) avec les circuits actifs à hétérostructure en SiGe. La compatibilité des principales étapes nécessaires à une telle intégration avec les circuits monolithiques intégrés MMIC a également été étudiée. Une règle de dessin a notamment été définie pour localiser le micro-usinage du silicium sans dégrader les performances des circuits intégrés.

Mots clés — Micro-ondes, fréquences millimétriques, interconnexions, filtres passe-bandes, antennes, coplanaire, facteur de qualité, silicium, SiGe, micro-usinage, polymère, intégration monolithique, compatibilité technologique

Development of technological processes dedicated to the integration of millimetre-wave microsystems on silicon

Because of the spectrum overcrowding at low frequency, microwave and millimeter-wave bands are now allocated for commercial communication and radar systems. Therefore, a rapid development in microwave and millimeter-wave monolithic integrated circuits (MMICs) is required in term of cost, performances and miniaturization. Consequently, the use of silicon technologies is an attractive issue for the high frequencies communications systems. The silicon substrate presents indeed major advantages in term of cost, micromachining capability and direct integration of SiGe and CMOS circuits. Nevertheless, at microwave and millimetre-wave bands, the performances of interconnects and on-chip passives are limited by the low-resistivity and high dissipation factor of standard silicon substrate. This results in high losses and poor quality factor in the high frequency range. To overcome these drawbacks, this work investigates different technological issues to elaborate an ultra compact RF communication module with low cost and high performances.

The first section of this work is dedicated to the state of the art of various approaches proposed to optimize the passive circuits' performances on low-resistivity silicon substrate.

Secondly, we present different technological issues developed to improve both insertion loss and quality factor of passive components on standard silicon substrates. The first one consists in using thick low-k polymer layers to insulate interconnects and passive circuits from the lossy silicon substrate. The second solution is based on silicon surface micromachining trenches filled with an organic layer. Finally, the last approach consists in employing a bulk silicon micromachining associated to a polymer membrane in order to realize suspended passive components. An important improvement of both attenuation coefficient (superior to 75 %) and quality factor of the coplanar transmission lines is obtained with these technologies compared to classical CPW lines on bulk silicon.

The third part of the memory is dedicated to the application of developed technologies to realize narrow pass-band filters centred at 60 GHz and compact planar antennas working in the 24 GHz ISM band.

Finally, in the last section, we develop specific post-processing steps in order to integrate passive devices suspended on polymer membrane with SiGe heterostructures based circuits. The compatibility of each step, including silicon bulk micromachining, is studied and validated. A design rule is defined in order to appropriately localise the micromachined area from the active devices in order to avoid any deterioration of the active circuits' performances.

Key words — Microwave, millimetre-wave frequencies, interconnections, bandpass filters, antennas, coplanar, quality factor, silicon, SiGe, micromachining, polymer, monolithic integration, technological compatibility
