

Table des matières

Introduction générale.....	5
Chapitre I Nanofils de silicium : état de l’art et applications potentielles....	9
I. Introduction.....	10
II. Choix du silicium comme matériau pour les nanofils	11
II.1 Propriétés générales du silicium	11
II.2 Propriétés électroniques du silicium à l’échelle nanométrique.....	13
III. Techniques d’élaboration des nanofils	14
III.1 L’approche <i>top-down</i>	16
III.1.1 Elaboration par les lithographies par nano-impression.....	16
III.1.2 Elaboration par lithographie par microscopie en champ proche.....	19
III.1.3 Elaboration par la méthode des espaceurs en lithographie optique	24
III.2 Approche <i>bottom-up</i>	25
III.2.1 Synthèse VLS.....	25
III.2.2 Synthèse SLS	27
III.2.3 Matrices poreuses.....	28
IV. Applications utilisant les nanofils de silicium	29
IV.1 Transistor à base de nanofil de silicium	29
IV.2 électronique numérique – portes logiques.....	32
IV.3 Capteurs : détection biologique et chimique	32
IV.4 Cellules solaires.....	33
V. Conclusion.....	34
Chapitre II Techniques de fabrication des nanofils de silicium	36
I. Introduction.....	37
II. Silicium polycristallin.....	38
II.1 Structure.....	38
II.2 Silicium polycristallin déposé par procédé LPCVD.....	39
II.3 Mécanisme de dépôt LPCVD	40
II.4 Paramètres pondérant le dépôt de silicium dans un réacteur LPCVD	41
II.4.1 température.....	41
II.4.2 Pression	42
II.4.3 Diagramme pression, température.....	42
II.4.4 Recuit de cristallisation	43

II.5 Dopage in-situ du silicium polycristallin	44
II.5.1 Dopage de type N au phosphore.....	45
II.5.2 Dopage de type P au bore.....	46
III. Gravure sèche RIE (Reactive Ion Etching)	47
IV. Oxyde déposé par procédé APCVD (Atmospheric Pressure Chemical Vapor Deposition)	48
V. Nitrure de silicium.....	48
VI. Synthèse de nanofils de silicium par lithographie optique UV : méthode des espaceurs	49
VI.1 Etalonnage de la gravure du silicium polycristallin	50
VI.1.1 Effet de la puissance du plasma.....	52
VI.1.2 Effet de la pression du plasma	53
VI.2 Etapes technologiques de réalisation des nanofils	55
VI.2.1 Réalisation de la marche	55
VI.2.2 Réalisation des nanofils à partir des espaceurs.....	57
VII. Dispositifs à base de nanofils de silicium.....	60
VII.1 Résistances à base de nanofils de silicium.....	60
VII.2 Transistors couches minces à base de nanofils de silicium.....	64
VIII. Conclusion.....	64
 Chapitre III Propriétés électriques des nanofils de silicium.....	66
I. Introduction.....	67
II. Propriétés électriques du silicium polycristallin.....	67
II.1 Introduction.....	67
II.2 Distribution du dopant	68
II.3 Joints de grains.....	69
II.3.1 Modèle de piégeage des porteurs aux joints de grains	71
II.3.2 modèle de conduction par Sauts.....	74
III. Caractérisation électrique des nanofils de silicium	75
III.1 Caractéristique courant - tension	75
III.2 Résistance globale en fonction de la longueur des nanofils	76
IV. Etude de l'effet du dopage in-situ des nanofils de silicium	80
IV.1 Cas des nanofils de silicium avec un rayon de courbure de 100nm.....	80
IV.2 Cas des nanofils de silicium avec un rayon de courbure 50 nm.....	84
V. Caractérisation électrique des transistors à base de nanofils de silicium	91
VI. Conclusion	95

Chapitre IV Evolutions technologiques et applications aux capteurs de gaz	97
I. Introduction.....	98
II. Réalisation des nanofils de silicium par la méthode des espaceurs – marche sacrificielle	98
II.1 Procédé de fabrication.....	98
II.2 Caractérisation électrique.....	100
III. Réalisation des nanofils de silicium à partir de résidus de silicium polycristallin déposé dans une micro-cavité en forme « V »	101
III.1 Procédé de réalisation	101
III.2 Caractérisation électrique	104
IV. Capteurs de gaz à base de nanofils de silicium	105
IV.1 Structure du capteur.....	106
IV.2 Sensibilité du capteur aux espèces chimiques (gaz).....	106
V. Conclusion.....	110
Conclusion générale et perspectives	112
Bibliographie.....	116

Introduction générale

Durant les dernières décennies, la réduction incessante des dimensions caractéristiques des circuits intégrés a permis à l'industrie microélectronique de connaître un formidable essor technologique et une réelle réussite économique qui, progressivement, ont transformé nos modes de vie et de production vers le "tout électronique".

L'industrie de la microélectronique, et ses nombreux débouchés - informatique, téléphonie mobile, etc - reposent sur un élément de base : le transistor, dont la miniaturisation, continue au cours de ces dernières décennies, a permis une augmentation exponentielle de la densité d'intégration, avec comme corollaire, une meilleure performance des dispositifs produits. En effet, ceci a permis d'accroître considérablement les performances en terme de rapidité et de complexité des fonctions réalisées. C'est ainsi que des microdispositifs incorporés de nos jours dans les produits électroniques grand public ont des potentialités de plus en plus remarquables ayant une performance compatible avec les "microsources" d'énergie (batterie) et une capacité à communiquer avec divers périphériques et accessoires (image, son, vidéo) qui ont littéralement envahi notre quotidien. Par ailleurs, les techniques de l'information et de la communication ne sont plus les seuls champs d'applications des circuits intégrés. Nous assistons en effet, depuis une quinzaine d'années, à de nombreuses avancées technologiques dans le domaine des biotechnologies, de la photonique, de l'énergie solaire, de l'industrie automobile, etc...

A l'heure actuelle, l'industrie de la microélectronique parvient à une double limite, technologique et financière. Technologique parce que, d'une part, la miniaturisation est aujourd'hui telle que les dispositifs deviennent sensibles à des phénomènes qui en dégradent les performances (effet canal court, diminution de rapport I_{ON}/I_{OFF} , ... pour les technologies MOS); mais aussi, d'autre part, parce que la poursuite de la miniaturisation nécessite le perfectionnement des méthodes de fabrication utilisées, notamment au niveau de la lithographie, comme en témoignent les développements de la lithographie optique en UV profond ou en immersion, ou par faisceau d'électrons. Ces techniques très onéreuses s'opposent au principe du faible coût de fabrication des circuits intégrés.

Pour pallier ces verrous technologiques, les recherches scientifiques dans le domaine de l'électronique intégrée se penchent de plus en plus vers les atouts de la nanoscience. Ce domaine de la science s'est récemment développé, résultant des études approfondies sur les propriétés physiques et chimiques des matériaux à très petite échelle (de l'ordre du nanomètre). En effet, la nanoscience a permis de découvrir et de mettre en évidence plusieurs potentialités en termes de phénomènes physiques et électroniques à exploiter dans les matériaux et plus particulièrement les semiconducteurs. Ceux-ci ont démontré une capacité

remarquable en terme de compatibilité avec l'intégration des circuits électroniques ainsi qu'en termes de performances obtenues à l'échelle nanométrique. Ainsi l'innovation des circuits intégrés futurs repose aujourd'hui sur les nanotechnologies pour réaliser des nano-structures suivant deux approches : *bottom-up* et *top-down* (voir chapitre I).

Les techniques élaborées dans le cadre des nanotechnologies sont diverses et permettent de réaliser différentes formes de structures comme les nano-tubes, les nanoparticules, et plus particulièrement les nanofils ouvrant la voie à la fabrication de dispositifs électroniques aux propriétés électroniques accrues et/ou innovantes. Cependant, les technologies associées restent le plus souvent encore au stade d'expérimentation, elles sont difficiles à mettre en œuvre (équipements onéreux) et elles ne sont pas encore fiables pour réaliser des circuits en production de masse. Toutefois, les propriétés électroniques spécifiques des nano-objets à base de semiconducteurs utilisés en tant qu'éléments actifs dans des dispositifs électroniques, laissent entrevoir des potentialités d'applications nouvelles dans de nombreux domaines (chimie, biologie, mécanique....) aux retombées socio-économiques considérables.

En particulier, de nombreuses activités de recherche se focalisent sur la synthèse des nanofils de silicium et leurs applications dans les micro- nano-systèmes intégrés innovants. En effet, la synthèse de nanofils de silicium est associée à la fois à la miniaturisation de composants, à l'amélioration de leurs performances électroniques, et principalement à l'élaboration nano- et micro-dispositifs aux fonctionnalités nouvelles à partir de composants de base (résistances, transistors...). Les avantages des nanofils de silicium sont. Citons en autres :

- la compatibilité de fabrication avec la technologie silicium existante (nanoélectronique intégrée),
- un rapport surface/volume élevé (intéressant pour des applications comme capteurs chimiques),
- une piézorésistivité électrique géante (domaine d'applications pour les NEMS- Nano Electro-Mechanical Systems),
- la possibilité de fonctionnalisation de surface des nanofils (applications envisagées : les capteurs (bio)chimiques).

C'est dans ce contexte, que depuis l'année 2007 le Groupe Microélectronique de l'Institut d'Electronique et de Télécommunications de Rennes (GM-IETR) a lancé une thématique de recherche intitulée « Composants électroniques et capteurs utilisant les nanofils de silicium ».

L'objectif de ce travail de thèse a été de mettre au point une méthode de synthèse de nanofils de silicium par des technologies de la microélectronique classique pour la fabrication de dispositifs électroniques de base en technologie silicium intégrée. Notre travail s'est porté en particulier sur la réalisation des nanofils de silicium par la méthode des espaceurs. La synthèse de nanofils de silicium par cette méthode présente les principaux avantages suivants:

- l'utilisation d'une technique de lithographie optique UV classique,
- l'utilisation du silicium déposé en couche mince dont les techniques de dépôt sont parfaitement maîtrisées, en particulier au sein du Groupe Microélectronique de l'IETR,
- la mise en œuvre d'une technologie de fabrication de dispositifs électroniques de grande surface à basse température (<600°C, faible budget thermique).

Ce manuscrit de thèse, divisé en quatre chapitres, développe la démarche suivie, les problèmes rencontrés ainsi que les solutions proposées pour réaliser ces nanofils de silicium. Une étude du comportement électrique ainsi que leur intégration dans la réalisation de structures électroniques (résistances, transistors à effet de champ) est aussi présentée. Le premier chapitre présente l'état de l'art sur la réalisation des nanofils de silicium. Les principales méthodes d'élaboration suivant les deux approches *bottom-up* et *top-down* sont présentées ainsi que des applications potentielles de ces nanofils dans les dispositifs électroniques. Le second chapitre développe les étapes technologiques du procédé suivi pour réaliser les nanofils de silicium. De plus, la fabrication de composants comme les résistances et les TFTs (Thin Film Transistor) avec ces nanofils est présentée. Le troisième chapitre est consacré à l'étude du comportement électrique des nanofils en fonction du niveau de dopage *in-situ* (à partir de phosphore). Les premiers tests électriques de faisabilité de composants sont aussi présentés. Le dernier chapitre présente des évolutions possibles dans les techniques d'élaboration des nanofils à partir de silicium déposé en couche mince. Enfin, la sensibilité des nanofils à la détection d'espèces chimiques chargées en milieu ambiant est démontrée.

Chapitre I

Nanofils de silicium : état de l'art et applications potentielles

I. Introduction

L'électronique intégrée ne cesse de se développer suite à une demande de réalisation de circuits de plus en plus performants. Plus précisément en termes de miniaturisation de circuits et leurs applications associées. Ces dernières décennies, la technologie microélectronique connaît un passage spectaculaire au domaine des nanotechnologies. En effet, cet axe de recherche apporte de nouvelles approches et richesses pour l'électronique intégrée de plusieurs points de vue, notamment la création de nouvelles structures dites nanométriques qui sont destinées pour une grande part aux matériaux semi-conducteurs.

En effet, les matériaux semi-conducteurs à l'échelle nanométrique, ou nanostructures, présentent des propriétés intéressantes en termes de conduction électrique, structure géométrique et chimique (réseaux cristallins des atomes à une échelle nanométrique, phénomènes quantiques). Ces propriétés ont permis à ces nanostructures de prendre de plus en plus place dans les technologies modernes, notamment dans leurs applications. Les nanostructures font référence à plusieurs formes géométriques comme les nanoparticules, les nano-rubans, les nanotubes et les nanofils.

En particulier, les nanofils (fils de taille nanométrique) sont considérés comme des éléments unidimensionnels dont la largeur ne dépasse pas quelques dizaines de nanomètres et qui ont un rapport longueur sur largeur supérieur à 10.

Les applications potentielles des nanofils sont nombreuses vis-à-vis de leurs méthodes de fabrication et leurs dimensions. Comme pour les dispositifs microélectroniques classiques, les nanofils peuvent être utilisés pour des applications dans l'électronique, les capteurs et l'optronique. Citons par exemple les transistors à nanofils, les diodes PIN et les capteurs biologiques. Les nanofils employés comme éléments dans les dispositifs sont utilisés comme contacts électriques ou comme partie active du composant s'ils possèdent des propriétés semi-conductrices adéquates.

Quelles que soient ses applications, le nanofil n'est pas à l'heure actuelle un « produit » industriel car malgré la diversité des méthodes d'élaboration, ces dernières ne sont pas optimisées pour une production en masse. Aujourd'hui, les études sur les nanofils relèvent encore du domaine des nanosciences et des nanotechnologies. L'ensemble des phénomènes physiques observés ne sont pas tous expliqués ou parfaitement assimilés comme par exemple les phénomènes quantiques, la conduction électrique, les effets thermiques, les propriétés mécaniques, optiques... De même les méthodes d'élaboration font toujours l'objet de

nombreuses études. Les enjeux sont réellement importants et la maîtrise de la faisabilité du nano-objet, et du nanofil en particulier, est capitale en vue d'un développement futur de la nanoélectronique.

Ce chapitre a pour but de présenter les différentes méthodes d'élaboration de nanofils de silicium dans le domaine des nanotechnologies et de démontrer les capacités d'applications des nanofils dans le domaine de l'électronique moderne.

II. Choix du silicium comme matériau pour les nanofils

II.1 Propriétés générales du silicium

Le silicium est l'élément chimique le plus abondant de notre planète après l'oxygène avec un taux de 25,7% de sa masse. Il fait partie de la quatrième colonne du classement périodique des éléments chimiques. Il se caractérise par sa forte affinité chimique avec l'oxygène à haute température et il cristallise dans une structure zinc-blende (voir figure 1).

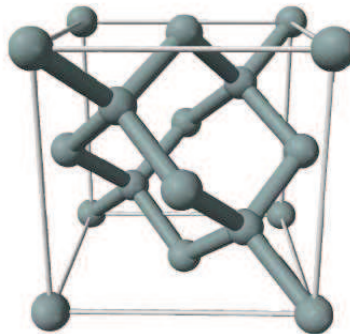


Figure 1 : maille élémentaire du silicium monocristallin – structure zinc-blende

La structure de maille élémentaire est similaire à celle du diamant avec une distance interatomique légèrement élevée ($2,352\text{\AA}$). Ceci engendre un potentiel périodique dans le cristal créant une différence d'énergie représentée par deux bandes : bande de valence et bande de conduction. Cette différence de bande d'énergie, aussi appelée « gap », détermine l'échange des porteurs entre les bandes en fonction des différentes excitations extérieures (température, polarisation, dopage, etc...). Le passage d'une bande à une autre se fait par processus d'absorption ou dégagement d'énergie par les électrons associant le plus souvent des photons ou des phonons. Le diagramme suivant (figure 2) illustre les niveaux d'énergie dans les bandes de valence et de conduction.

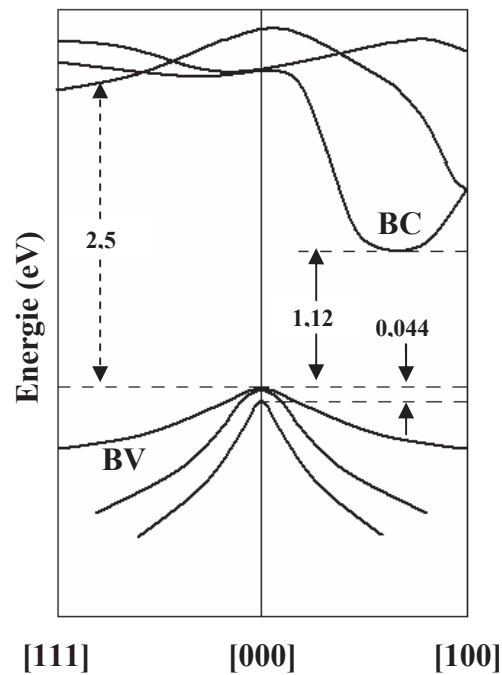


Figure 2 : diagramme des bandes d'énergie dans le silicium massif

Dans le cas du silicium, le passage d'une bande à autre ne se fait pas directement. C'est pour cela qu'on parle de gap indirect. Cette propriété rend le silicium inadapté comme semi-conducteur pour les applications optoélectroniques. Cependant la valeur de son gap le rend intéressant pour des composants électroniques classiques. De plus, le silicium présente l'avantage d'être le matériau le moins cher car ses sources d'extraction sont nombreuses et facilement accessibles (sable, zircon, jade, mica, quartz, etc...). D'une manière générale, le silicium y est sous forme d'oxyde de silicium SiO_2 et son obtention nécessite des traitements particuliers (réduction, purification).

Dans la technologie microélectronique, le silicium n'est pas seulement utilisé sous la forme cristallisée précédente. Il peut être aussi utilisé en couches minces sous forme amorphe, poly, micro ou nanocristalline suivant les applications visées. D'une manière générale, sous ces formes cristallines, le silicium est caractérisé par une structure volumique constituée de grains monocristallins de différentes tailles séparés par des joints de grains.

II.2 Propriétés électroniques du silicium à l'échelle nanométrique

Les structures de bandes vues précédemment sont valables pour un silicium massif à l'échelle macroscopique. A l'échelle du nanomètre, des phénomènes quantiques apparaissent provoquant des modifications dans la structure des bandes d'énergie. Le comportement des porteurs de charge change car la taille des cristaux est de l'ordre de grandeur de la fonction d'onde des porteurs, ce qui a pour effet de discrétiser l'énergie des états électroniques conduisant à une quantification des énergies dans le système.

Ce confinement a une conséquence sur la conservation du vecteur d'onde due au principe d'incertitude de Heisenberg qui s'écrit :

$$\Delta x \cdot \Delta p \geq \frac{h}{4\pi} \quad (1)$$

En diminuant la taille spatiale des cristaux (Δx) on augmente l'incertitude de la quantité du mouvement (Δp) et donc les transitions de bande à bande sans la participation de phonon peuvent exister (figure 3) rendant alors possible l'utilisation du silicium sous forme de nano-objet pour des applications en optoélectronique.

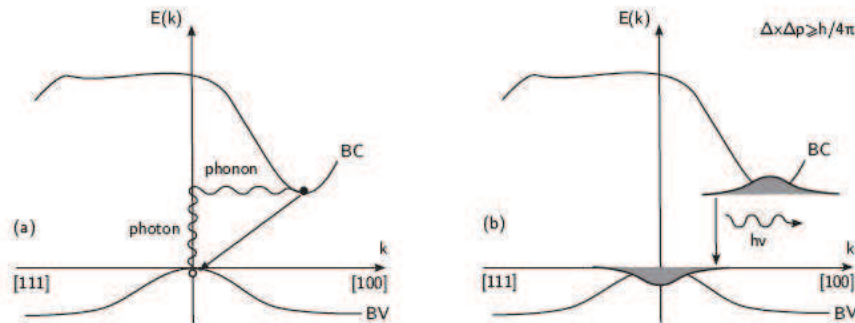


Figure 3 : diagramme des bandes d'énergie dans le silicium massif (à gauche), dans un nano-cristal de silicium (à droite)

L'utilisation du silicium à l'échelle nanométrique est intéressante à différents niveaux :

- Pour une utilisation dans la fabrication de composants avec une densité d'intégration accrue.

- Pour le développement des dispositifs électroniques présentant des propriétés électroniques nouvelles.

Ainsi, le silicium sous forme nano-filaire présente des propriétés intéressantes que l'on ne trouve pas dans le silicium "massif" :

- Piézo-résistivité géante,
- Thermoélectricité,
- Rapport surface sur volume élevé,
- Emission de champ.

Ces propriétés permettent d'envisager la réalisation de dispositifs électroniques pour de nouvelles applications (optoélectroniques, capteurs (bio)chimiques,...). Par ailleurs, les technologies d'élaboration des nanofils de silicium sont en général compatibles avec celles utilisées en technologie silicium, ce qui constitue un énorme avantage pour le développement de dispositifs innovants intégrables dans des microsystèmes.

Tous ces atouts ainsi que la maîtrise des procédés de fabrication en technologie silicium existant au sein du Groupe Microélectronique de l'IETR nous ont permis d'envisager la synthèse des nanofils de silicium pour la réalisation des dispositifs électroniques.

III. Techniques d'élaboration des nanofils

La réalisation de nanostructures est principalement divisée en deux grands "axes" distincts : l'approche *top-down* et l'approche *bottom-up*. L'objectif étant le même, c'est-à-dire la création de nanostructures en général, mais les méthodes d'élaboration pour y parvenir sont totalement différentes. D'énormes moyens sont investis pour développer des techniques permettant de mettre en œuvre une extrême résolution pour la fabrication de nano-objets en silicium ou non.

Dans l'approche *top-down*, on essaie de réduire les dimensions d'un objet complexe jusqu'à ce que cette réduction d'échelle influence le principe même de son fonctionnement. L'idée est à priori encourageante mais cette méthode est confrontée à des problèmes technologiques et physiques de grande ampleur pour descendre à des échelles de quelques dizaines de nanomètres avec les méthodes de lithographies conventionnelles. Lorsque l'on y parvient avec des techniques de lithographies émergentes, nous sommes confrontés alors à la lenteur de fabrication incompatible avec une production en masse.

L'approche *bottom-up* consiste à assembler des composants élémentaires (atomes, molécules, agrégats, ...) afin de former des structures plus complexes. Dans ce cas, on réduit considérablement les moyens mis en œuvre puisque les contrôles de la croissance et de l'assemblage se font en une seule étape, de façon naturelle et autocontrôlée. Cette maîtrise de la croissance cristalline permet la fabrication d'objets identiques possédant les mêmes propriétés et à des coûts incomparablement plus faibles. L'inconvénient de la technique est que les composants incorporant le nanofil (dans notre cas) ne se forment que durant la croissance de ce dernier. Cette approche nécessite donc d'imaginer et d'étudier de nouveaux composants compatibles avec ce mode de fabrication.

Quelle que soit l'approche utilisée, il existe de nombreuses méthodes d'élaborations de nanofils de silicium. Le choix d'une technique de fabrication dépend de plusieurs paramètres relatifs, non seulement à la structure du nanofil mais aussi à son application. D'une manière générale, un certain nombre de paramètres doivent être pris en compte. Citons par exemple :

- L'orientation dans l'espace (1D, 2D ou 3D),
- La nature du substrat sur lequel ils vont être réalisés,
- Le coût.

A l'heure actuelle, on peut classer les méthodes d'élaboration des nanofils comme suit :

Suivant l'approche *top-down* :

- Les lithographies conventionnelles à haute résolution (faisceau d'électrons, UV extrême et X)
- Les lithographies émergentes :
 - Nano-impression,
 - Lithographie par microscopie à champ proche (tunnel et AFM).

Suivant l'approche *bottom-up* :

- L'auto-assemblage, sans l'intervention de moyens technologiques,
- Les synthèses VLS (Vapeur Liquide Solide) ou SLS (Solide Liquide Solide),
- L'utilisation de matrices poreuses.

III.1 L'approche *top-down*

L'approche *top down* est basée sur une combinaison d'étapes issues de la microélectronique (dépôt, lithographie, gravure, ...). Cette approche connaît de sérieux problèmes liés aux limites de résolution des procédés de photolithographie (permettant la réalisation en masse des composants microélectroniques). Ces procédés, extrêmement performants pour la fabrication de structures dont les dimensions se situent autour de la centaine de nanomètres, doivent faire face à des problèmes technologiques quasi insolubles pour accroître leur résolution. On parle aujourd'hui de lithographie UV et X ($\lambda < 10$ nm) pour descendre largement en dessous du seuil des 100 nm, seuil critique pour la fabrication de nano-objets. Leurs coûts prohibitifs ne laissent pas beaucoup d'espoir pour une mise en œuvre rapide de ces nouvelles technologies. Quant à la lithographie par faisceau d'électrons, elle est actuellement la seule capable de graver des nanostructures de quelques nanomètres. Malheureusement, cette technique est incompatible avec une production industrielle en masse du fait du caractère séquentiel de l'écriture des motifs. D'autres techniques de lithographies émergentes sont en cours de développement.

III.1.1 Elaboration par les lithographies par nano-impression

L'idée de base est de répliquer à bas coût des nanostructures réalisées par des techniques lourdes et coûteuses comme la lithographie d'électrons par exemple. La nano-impression (en anglais *nano-imprint lithography*) est une technique de lithographie émergente qui produit des motifs dans la résine par contraste topographique. En effet, le masque est remplacé par un moule (ou tampon) présentant des motifs tridimensionnels de taille nanométrique à reproduire sur la face active du substrat recouverte de résine. Ce moule est pressé dans la résine qui remplit alors ses cavités. La résine utilisée présente des propriétés de réplification de très bonne fiabilité et permet de copier les motifs en relief inversé. Les résines les plus utilisées dans ce cas sont le polydiméthysiloxane PDMS et dans une moindre mesure le poly-méthyl métacrylate ou PMMA (thermoplastique). Le tampon, utilisable plusieurs fois, va permettre une reproduction des nanostructures à grande échelle et peu coûteuse [1, 2]. Les deux principales techniques disponibles aujourd'hui qui utilisent ce type de tampon sont la nano-impression et le nano-moulage.

La résolution en nano-impression n'est plus limitée par des phénomènes de diffraction des rayonnements UV, mais par la résolution des motifs présents sur le moule. Elle peut donc

potentiellement reproduire des motifs de dimensions de l'ordre de la dizaine de nanomètres [3]. De plus, les techniques émergentes de lithographies UV extrême ou X, ou par faisceau d'électrons nécessitent le développement d'outils très onéreux, avec des systèmes d'exposition complexes. Par rapport à ces solutions, la nano-impression paraît alors très attractive puisque les coûts des outils d'exposition sont réduits.

a) Principe de la nano-impression

La nano-impression comprend deux étapes (figure 4) : l'impression des motifs d'un moule en relief dans un polymère (résine) déposé sur un substrat, puis la gravure ionique réactive (RIE – Reactive Ion Etching) après séparation. Cette gravure permet l'élimination des surplus de résine en dehors des motifs, afin d'optimiser le transfert du relief moulé dans le polymère jusqu'au substrat.

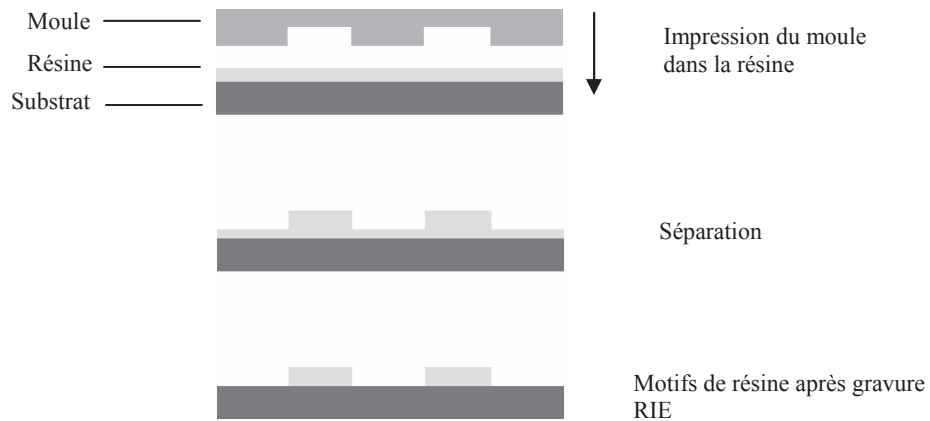


Figure 4 : étapes technologiques de la nano-impression

Le profil obtenu des motifs en résine après transfert est tout à fait comparable à celui obtenu par d'autres méthodes de lithographie plus conventionnelles, et rend donc la nano-impression compatible avec les méthodes de transfert communément utilisées dans l'industrie microélectronique.

Les paramètres influant sur les performances de la technique de nano-impression concernent la fabrication du moule, le choix de la résine, le contrôle de la température, de la pression, de la durée de l'impression et des paramètres de gravure. La résolution de la méthode dépend de celle du moule qui servira à la création de motifs sur la résine. Celui-ci est

typiquement réalisé par lithographie à faisceau d'électrons permettant de définir des motifs de haute résolution. La surface est ensuite modifiée par un traitement antiadhésif pour faciliter la séparation après impression.

Plusieurs variantes de cette technique ont été proposées [4] dont les principales sont :

- Nano-impression thermique,
- Nano-impression assistée par UV.

b) Nano-impression thermique

La nano-impression thermique est la méthode la plus étudiée depuis ces dernières années. Elle a été initialement proposée par S.Y. Chou en 1995 [5] et est devenue rapidement une technique de référence grâce à ses possibilités de résolution élevée et à sa capacité de production en masse.

Elle consiste à imprimer les motifs du moule dans une résine spéciale appelée PMMA. L'impression se fait suivant 4 étapes (figure 5):

- Fusion de la résine à une température T_f ,
- Compression du moule avec la résine,
- Refroidissement de la résine,
- Séparation du moule.

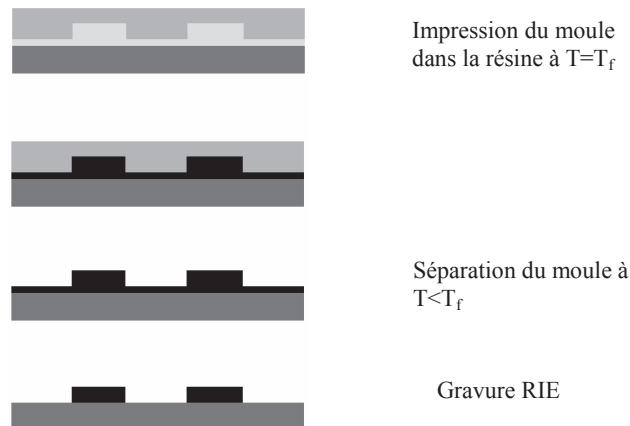


Figure 5 : étapes technologiques de la nano-impression thermique

L'image MEB suivante illustre un exemple [6] d'application de cette technique pour la réalisation de nanofils de silicium par nano-impression thermique sur un substrat SOI (figure 6). En effet, une lithographie par nano-impression thermique est réalisée pour obtenir des lignes fines de résine (100 nm de largeur) sur la surface d'une couche de silicium monocristallin de 100 nm d'épaisseur. Ces dernières seront par la suite utilisées comme masque de gravure plasma à base de Cl_2/HBr pour obtenir les nanofils de silicium.

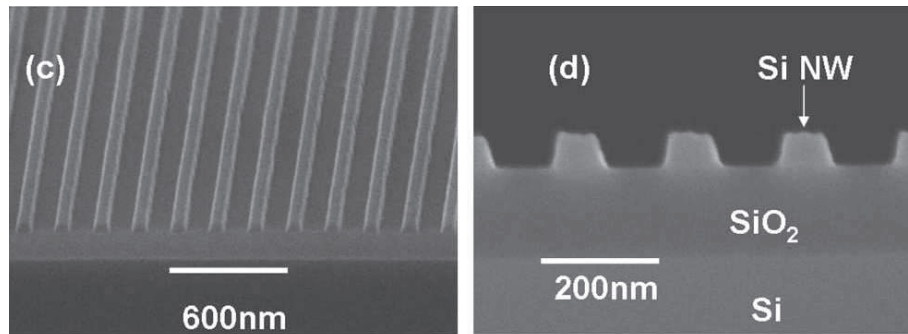


Figure 6 : Clichés MEB de nanofils de silicium réalisés par nano-impression thermique d'après [6]

III.1.2 Elaboration par lithographie par microscopie en champ proche

La lithographie par microscopie en champ proche consiste à utiliser l'interaction entre la sonde du microscope et l'échantillon pour graver ou déposer ou déplacer des atomes ou contrôler des réactions chimiques... c'est-à-dire pour modifier les surfaces à l'échelle atomique.

Cette utilisation de la microscopie en champ proche constitue aujourd'hui ce qu'il y a de mieux, en terme de résolution, dans le domaine de la fabrication de nanofils. Elle est aussi très difficile à mettre en œuvre et ne permet pas une production en grande quantité (méthode séquentielle). Les techniques les plus utilisées sont décrites ci-après.

a) Elaboration par lithographie assistée par STM en dépôt chimique en phase vapeur (CVD)

Cette technique a permis la synthèse de nanofils de silicium pour la fabrication de nano-composants [7, 8]. Cette méthode consiste à utiliser, sous ultra-vide, l'énergie des électrons qui transitent entre la pointe et l'échantillon (substrat) du microscope STM pour décomposer un gaz précurseur contenant l'élément silicium (exemple du SiH_2Cl_2) et adsorber

un des éléments constitutifs de ce gaz (ici le silicium) sur la surface (figure 7). Grâce à ce procédé, il est possible d'obtenir une décomposition très localisée sous la pointe. Cette dernière est ensuite déplacée suivant des directions préprogrammées pour réaliser par nanolithographie des structures de quelques nanomètres de large. L'avantage de la technique, compte tenu de sa résolution élevée, est de pouvoir utiliser différentes compositions gazeuses permettant de choisir (dans une certaine mesure) la composition du nanofil.

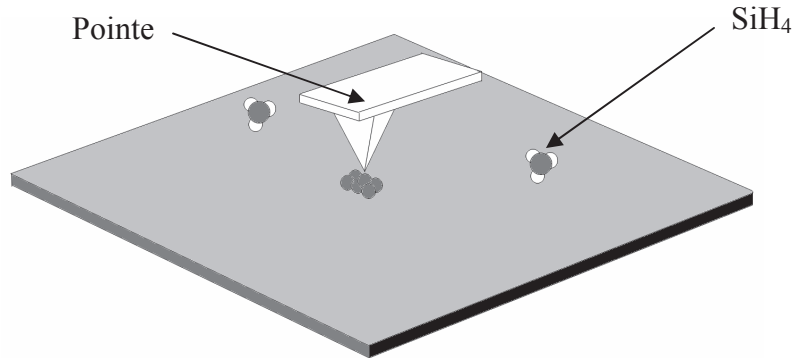


Figure 7 : lithographie CVD assistée par STM en dépôt CVD

La microscopie à force atomique (ou AFM pour Atomic Force Microscopy) peut aussi être utilisée pour la fabrication de nanofils de silicium. Le principe repose sur la réalisation de motifs d'oxyde nanométriques sur un substrat de silicium par oxydation locale du silicium utilisant un procédé d'anodisation de surface à l'aide de la sonde du microscope AFM. Une tension de polarisation négative de la sonde par rapport à la surface du substrat favorise la réaction du silicium avec l'oxygène des molécules d'eau adsorbées en surface donnant naissance à un oxyde de silicium lors du passage de la pointe. La définition (épaisseur et largeur) du motif de l'oxyde ainsi formé dépend à la fois du taux d'humidité ambiant, de la tension de polarisation de la pointe, et de la vitesse de déplacement de celle-ci [9]. Cette technologie peut être une alternative à celles utilisées (UV lointains, e-beam) pour l'écriture de motifs nanométriques ou non. Elle a permis en particulier la fabrication de motifs en silicium en utilisant l'oxyde ainsi réalisé comme masque de gravure (figure 8).

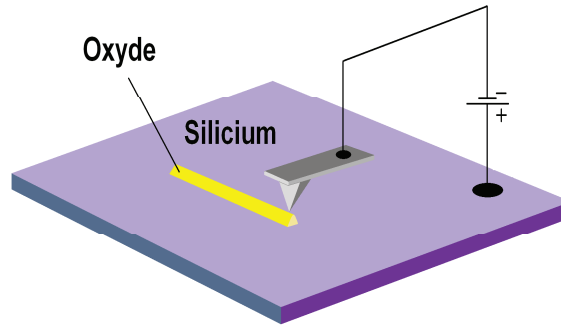
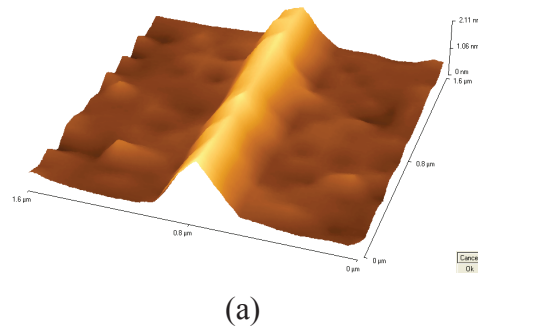
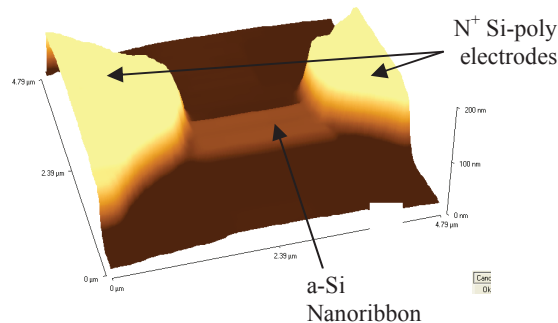


Figure 8 : procédé d'oxydation locale du silicium par AFM

Citons, par exemple, la fabrication au Groupe Microélectronique de l'IETR de nano-rubans en silicium amorphe pour la réalisation de résistance électrique [10]. Dans ce cas, un masque d'oxyde de forme filaire est réalisé par oxydation locale d'un substrat de silicium amorphe (figure 9 (a)). Ensuite, le nano-ruban est obtenu après gravure plasma (sous SF_6) de l'ensemble masque d'oxyde/silicium amorphe grâce à une sélectivité suffisante entre la vitesse de gravure de l'oxyde local et de celle du silicium amorphe. Un tel procédé a permis la fabrication de résistance électrique (figure 9 (b)).



(a)



(b)

Figure 9 : motif en oxyde de silicium sur un substrat de silicium amorphe (a), résistance électrique fabriquée avec un nano-ruban en silicium amorphe (b) d'après [10]

D'autres auteurs [11] ont utilisé le procédé de nano-lithographie AFM pour fabriquer des nanofils de silicium pouvant servir de zone de canal pour des nanotransistors (figure 10). Dans ce cas, le masque d'oxyde (toujours de forme filaire) est réalisé par oxydation locale d'un substrat SOI dont l'épaisseur de la couche active de silicium (monocristallin) est de 15 nm. Le nanofil est obtenu après gravure humide (TMAH) de la couche active puis de la gravure humide de l'oxyde de masquage.

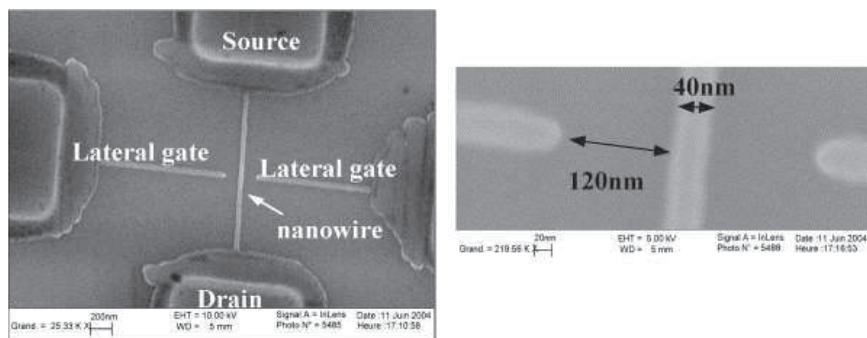
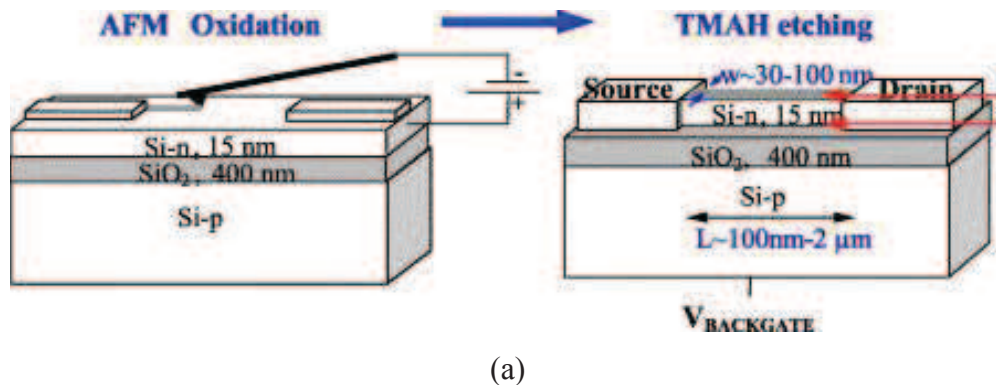


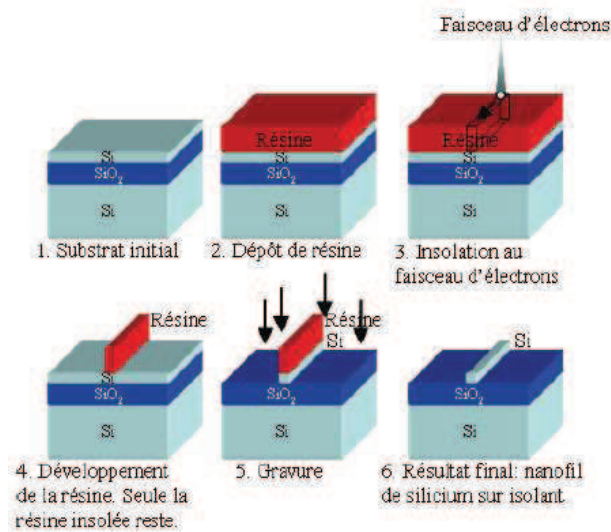
Figure 10 : Oxydation locale AFM d'un substrat SOI suivie d'une gravure humide (avec une solution de TMAH) pour la réalisation du canal en nanofil de silicium d'un transistor MOS (a), clichés MEB du transistor avec le canal en nanofil de silicium de 40 nm de diamètre. D'après [11]

b) Elaboration par lithographie électronique

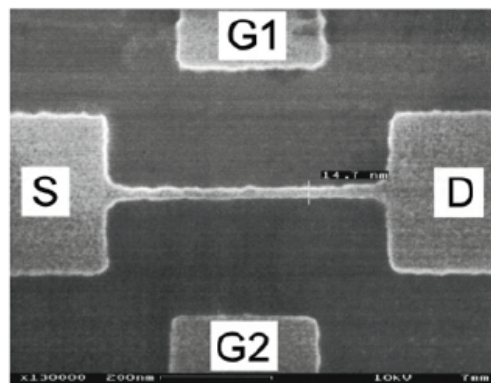
La lithographie électronique est un processus de gravure par bombardement électronique permettant de réaliser des motifs dans un matériau donné. Elle diffère de la lithographie optique par le fait que l'écriture des motifs est séquentielle.

Par rapport à la photolithographie optique, l'avantage de cette technique est qu'elle permet de repousser les limites de la diffraction de la lumière et de dessiner des motifs avec une résolution pouvant aller jusqu'au nanomètre. Cette forme de lithographie a trouvé diverses formes d'applications dans la recherche et l'industrie du semi-conducteur et dans ce qu'il est convenu d'appeler les nanotechnologies.

Dans la pratique, la lithographie électronique est utilisée pour créer des motifs sur une résine sensible aux électrons par modification chimique (polymérisation). La figure 11 illustre les étapes technologiques de cette lithographie appliquée pour la réalisation de nanofils de silicium.



(a)



(b)

Figure 11 : illustration des étapes technologiques de fabrication de nanofils de silicium utilisant la lithographie par faisceau d'électrons comme procédé de masquage (a), exemple de transistor MOS dont le canal est un nanofil de silicium (diamètre 15 nm) fabriqué par procédé de masquage défini par lithographie électronique (b) d'après [12]

III.1.3 Elaboration par la méthode des espaceurs en lithographie optique

Malgré les limites de la lithographie optique classique pour atteindre des échelles nanométriques, il est possible de combiner cette dernière avec des procédés technologiques classiques (dépôt CVD, gravure) de la microélectronique pour la réalisation d'objets nanométriques (nanofils). Ainsi, des nanofils de silicium ont été réalisés par lithographie optique en utilisant la méthode des espaceurs. Cette dernière consiste à obtenir, par gravure sèche (et anisotrope), un résidu sous forme nano-filaire (espaceur) à partir d'un matériau préalablement déposé (silicium) sur une marche. Le résidu (ou espaceur) correspond à la différence d'épaisseur du matériau déposé au niveau de la marche (figure 12). De tel nanofils ont été fabriqués à partir d'espaceurs constitués d'une couche mince de silicium polycristallin comme élément de canal (figure 13) de TFTs [13,14].

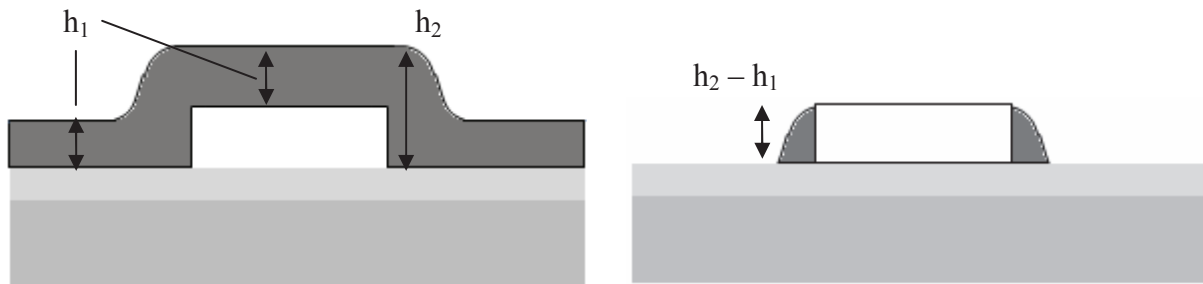


Figure 12 : principe de réalisation d'espaceurs (vue en coupe) : formation d'espaceurs après gravure (anisotrope) de la couche recouvrant la marche

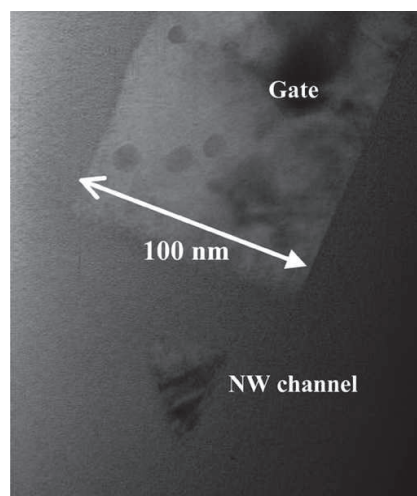


Figure 13 : cliché MEB (vue en coupe) d'un nanofil réalisé par la méthode des espaceurs. D'après [13]

Cette technique présente un avantage important car elle permet la réalisation de réseaux de nanofils parallèles sur de grandes surfaces en technologie planaire. De plus, elle est compatible avec les procédés de fabrication des circuits dans l'industrie microélectronique. La technique de réalisation des nanofils par la méthode des espaceurs est celle que nous allons développer au laboratoire dans le cadre de ce sujet de thèse (voir chapitre II).

III.2 Approche *bottom-up*

Les recherches sur les nanofils élaborés par auto-assemblage sont apparues dans les années 90. L'auto-assemblage (aussi appelé auto-organisation) est un phénomène des plus intéressants pour la création en surface d'un grand nombre d'objets de forme simple et de même taille à l'échelle du nanomètre. Le principe est d'utiliser une surface qui présente de manière très localisée, une forte adsorption sélective. Ces sites d'adsorption préférentielle servent de « points d'ancrage » pour la croissance de nanostructures. A l'heure actuelle, trois techniques d'auto-assemblages émergent pour la création de nanofils de silicium : les synthèses VLS et SLS utilisant un catalyseur métallique ainsi que l'utilisation de matrices poreuses.

III.2.1 Synthèse VLS

La technique VLS (vapeur liquide solide) consiste à faire croître des nanofils à partir d'une gouttelette d'un précurseur métallique en phase liquide servant de catalyseur [15, 16, 17]. Cette gouttelette de taille nanométrique est alimentée par une phase vapeur contenant l'élément chimique constituant le nanofil (ici le silicium). La méthode est particulièrement bien adaptée à la croissance des semi-conducteurs et des alliages métalliques (Au, Ni, Pd, Al,...) pour lesquels les diagrammes de phases (température de fusion pour former l'alliage métal-semi-conducteur) sont parfaitement maîtrisés. Les conditions de croissance sont telles que la température soit supérieure à la température d'eutectique de l'alliage métal-silicium et que l'apport de silicium (dans notre cas) dans la gouttelette du métal soit suffisamment important pour initier la croissance depuis l'interface métal/substrat (figure 14). Notons que le diamètre des nanofils dépend alors de celui des nano-gouttelettes métalliques. Des fils de dizaines de nanomètres de diamètre et de plusieurs microns de longueur peuvent être ainsi fabriqués.

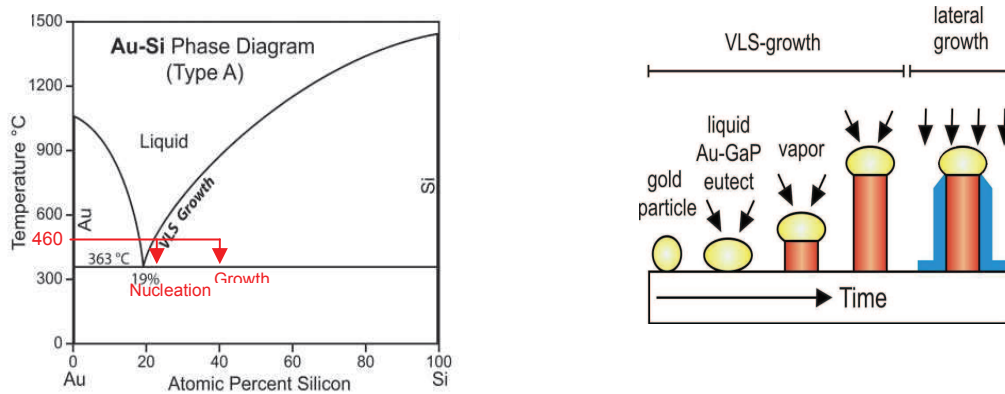


Figure 14 : principe du mécanisme de croissance VLS (cas des nanofils de silicium avec de l'or comme catalyseur)

Par ailleurs, cette technique permet aussi de faire varier la composition à l'intérieur du nanofil en contrôlant la composition de la phase vapeur arrivant sur la goutte métallique. Il est alors possible de réaliser des nanofils de silicium dopés [19] ou non, voire de contrôler dans une certaine mesure la composition de la partie extérieure du nanofil.

Il est possible de réaliser la synthèse VLS des nanofils sur d'autres types de substrats (verre par exemple). En effet, l'alliage métal-silicium est formé essentiellement par la gouttelette et le silicium provenant du gaz précurseur (généralement le silane). Cette propriété rend les nanofils de silicium compatibles avec plusieurs types de technologies et permet de diversifier les champs d'application. Ainsi, des études récentes au Groupe Microélectronique ont démontré la faisabilité de résistances électriques à partir de tels nanofils [17] (figure 15) ainsi que leur sensibilité à certains gaz [18]. Cependant, la synthèse VLS ne permet pas un contrôle précis des paramètres prépondérants des nanofils de silicium comme le diamètre, la position, l'orientation. Le "désordre" impliqué par ce mécanisme de croissance (spatiale 3D) ne permet donc pas aux nanofils d'être intégrés par la suite dans les technologies de fabrication des circuits (technologies planaires).

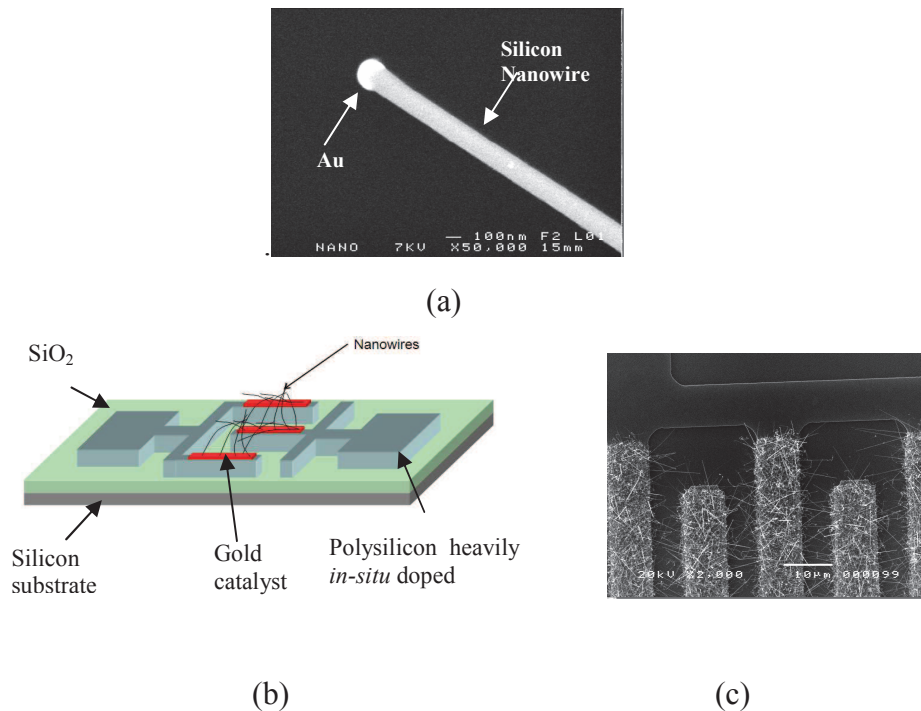


Figure 15 : nanofils de silicium synthétisés au Groupe Microélectronique par la technique VLS (catalyseur or) à une température de 460°C (a), représentation schématique (b) et cliché MEB (c) d'une résistance électrique fabriquée avec ces nanofils (configuration 3D). D'après [17 et 18]

III.2.2 Synthèse SLS

Une autre variante de la croissance des nanofils de silicium par catalyse métallique est le mécanisme SLS (solide-liquide-solide). Le principe de ce procédé consiste à faire croître des nanofils de silicium à partir de gouttelettes d'un précurseur métallique noyées dans une matrice de silicium amorphe. Le procédé de synthèse a été initialement développé par le Laboratoire de Physique des Interfaces et des Couches Minces (LPCIM UMR CNRS 7647) de l'Ecole Polytechnique pour des nanofils de silicium synthétisés à partir de l'indium utilisé comme catalyseur.

La synthèse d'un nanofil de silicium s'effectue par absorption du silicium amorphe par la nano-gouttelette d'indium qui se déplace sous l'effet d'un recuit [20, 21] pour former le nanofil (figure 16). L.Yu et P. Roca [20] ont observé que ce mécanisme de croissance peut produire deux types de nanofils suivant la vitesse de déplacement de la nano-gouttelette: des nanofils qui sont directement attachés au substrat suivant le mode GG (grounded-growth) ou bien des nanofils suspendus suivant le mode SG (suspended-growth) comme dans le cas de la synthèse VLS (figure 15). D'autre part, ces mêmes auteurs ont montré que la direction de croissance et donc la forme géométrique des nanofils dépend du rapport épaisseur de la

couche de silicium amorphe sur la taille des nano-gouttelettes d'indium. Si ce rapport est inférieur à 1, l'allure des nanofils sera plutôt rectiligne [21].

Ce procédé est très prometteur en technologie silicium (planaire) car il permet une croissance bidimensionnelle (c'est-à-dire à la surface du substrat) et directionnelle des nanofils de silicium monocristallin à partir de motifs en silicium amorphe prédéfinis. Par ailleurs, l'utilisation de l'indium comme catalyseur métallique rend possible la croissance à des températures relativement basses dans la mesure où température d'eutectique de l'alliage In/Si est inférieure à 200°C.

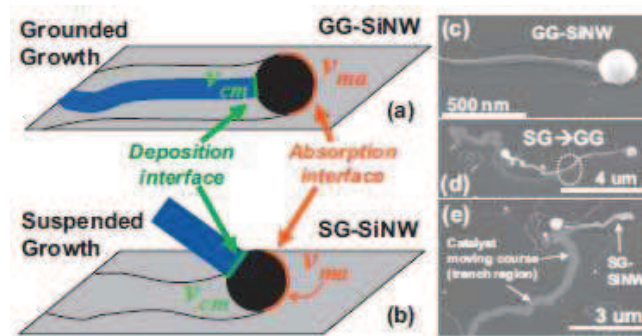


Figure 16: nanofils de silicium obtenus par la méthode SLS : nanofils rattachés au substrat (a), nanofils suspendus (b), clichés MEB de nanofil rattaché au substrat (c), suspendu (e) et cas intermédiaire (d). D'après [20]

III.2.3 Matrices poreuses

Cette méthode consiste à remplir de matière (ici du silicium) un réseau poreux. En général cette matrice 3D en alumine, élaborée sur un substrat de silicium, est constituée de nano-pores verticaux parfaitement calibrés pouvant aller jusqu'à plusieurs dizaines de microns de long. Du fait de la géométrie du système on obtient à la fin du processus de fabrication, c'est-à-dire après dissolution de la matrice, une forte concentration de nanofils orientés perpendiculairement à la surface, contrairement aux techniques d'auto-assemblage. Le remplissage peut être obtenu par différentes voies : électrochimique, injection à haute pression ou par évaporation. Cependant c'est la voie électrochimique qui semble être la mieux adaptée car elle permet d'obtenir des nanofils continus (figure 17) particulièrement longs avec des matériaux semi-conducteurs [22].

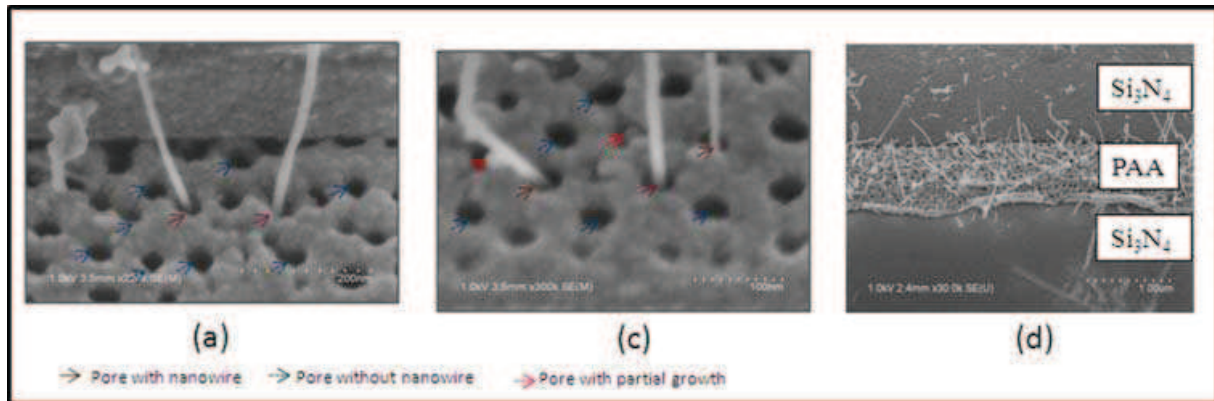


Figure 17 : Nanofils de silicium en utilisant une matrice poreuse d'alumine. D'après [22]

IV. Applications utilisant les nanofils de silicium

Actuellement, les laboratoires étudient et réalisent des composants à base de nanofil de silicium pour différents domaines d'application (électronique intégrée, bioélectronique). Les résultats obtenus à ce jour ont démontré la faisabilité de résistances, de transistors à effet de champ et dans une moindre mesure de jonctions PN. Cependant, les performances électriques des dispositifs sont fortement corrélées à la méthode de synthèse des nanofils. Des efforts en termes d'optimisation puis de reproductibilité font l'objet de nombreuses études.

Le composant le plus étudié est le transistor à effet de champ qui est le composant le plus utilisé dans les applications électroniques classiques. Dans ce cas, les nanofils sont utilisés comme éléments actifs (zone de canal) du transistor. A l'heure actuelle, il n'existe aucune technologie mise au point et adoptée en industrie pour réaliser des composants à base de nanofils de silicium. Cependant, des études ont été menées et des premiers procédés ont été développés au sein des laboratoires. Par la suite nous allons présenter quelques exemples de composants utilisant le nanofil de silicium.

IV.1 Transistor à base de nanofil de silicium

Le transistor à effet de champ à base de nanofils de silicium représente une alternative potentielle pour remplacer les MOSFET classiques pour deux raisons principales :

- La réalisation du transistor à base de nanofils permet la réduction des dimensions actuelles et donc l'augmentation du taux d'intégration,
- L'intégration des nanofils dans le transistor ouvre la voie pour l'exploration d'autres applications comme les capteurs (bio)chimiques du fait que ces nanofils possèdent un rapport surface sur volume important permettant une grande sensibilité aux espèces chimiques et biologiques.

Des études sur les transistors possédant une architecture classique (avec nanofil horizontal servant de couche active) ont montré que les mobilités peuvent atteindre des valeurs de 30 à 560 $\text{cm}^2/\text{V.s}$ [23] et donc des performances similaires aux transistors à effet de champ classiques de type N et P [24 - 26].

Dans la technologie des transistors à effet de champ classiques, la grille qui sert à moduler la conduction dans le canal n'agit que d'un seul côté et dans une seule direction. Cela signifie que seule la partie supérieure (au niveau de l'isolant de grille) de la couche active participe à la conduction. De nouvelles architectures de ces transistors, appelées aussi SGNWFET (Surround-Gated Nanowire Field Effect Transistor), sont à l'étude en utilisant tout le volume du nanofil comme canal (figure 18). Dans ce cas, la grille englobe tout le nanofil de façon homogène.

La structure de ces transistors présente quelques avantages :

- conduction essentiellement dans le volume,
- pas de capacité parasite de recouvrement au niveau du drain et de la source.

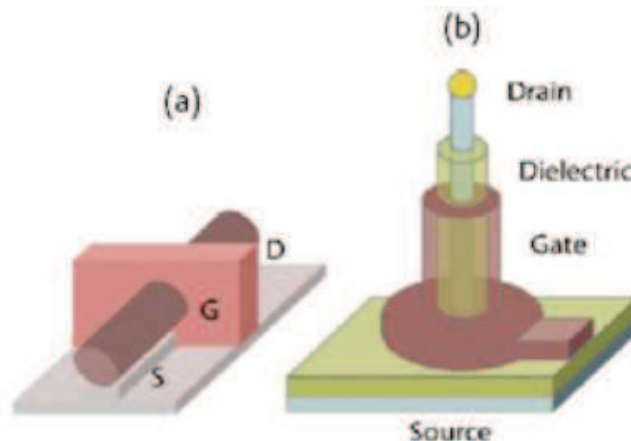


Figure 18: structures de transistors à effet de champ à base de nanofil de type SGNWFET : (a) transistor à nanofil horizontal, (b) transistor à nanofil vertical.

Les figures 19 et 20 montrent à titre d'exemple un transistor à nanofil vertical fabriqué à partir d'un nanofil de silicium de 60 nm de diamètre ainsi que ses performances électriques.

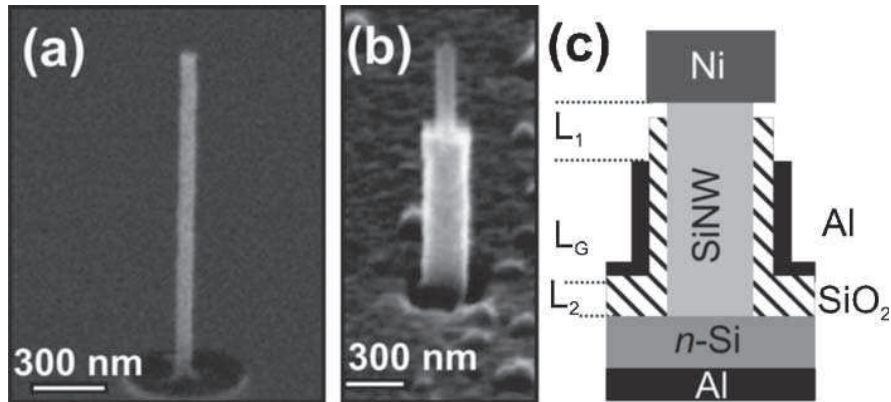


Figure 19 : nanofil de silicium vertical (a), transistor à nanofil vertical (b), représentation schématique du transistor à nanofil vertical (c). D'après [27].

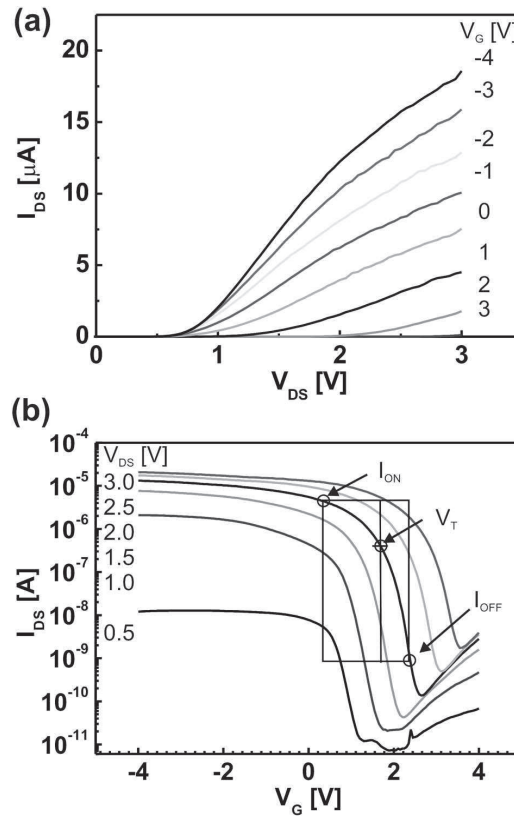


Figure 20 : caractéristiques de sorties (a) et de transfert (b) du transistor à nanofil vertical de la figure 19. D'après [27].

IV.2 Electronique numérique – portes logiques

Les propriétés électriques des nanofils de silicium leur permettent d'être aussi utilisés dans d'autres composants que des transistors comme des diodes [28], mais aussi pour des dispositifs plus complexes comme des portes logiques [29], ou des décodeurs [30, 31]. Ces structures sont à base de nanofils de silicium dopés de type N ou P qui sont croisés pour créer des nano-transistors (structure grille, isolant, canal) commandés pour des états bloquants ou passants (principe de la logique numérique). Ainsi des portes logiques (figure 21) ont été réalisés par la combinaison de nanofils de silicium de type P comme canal croisés par des nanofils de nitrure de gallium (GaN) utilisés comme grille [29]. La figure 21 montre une porte logique OU EXCLUSIF obtenue par un assemblage des différents types de nanofils.

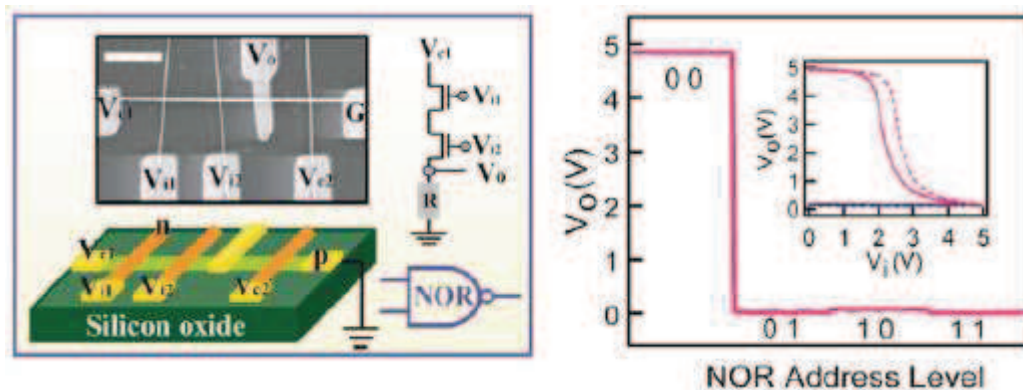


Figure 21 : Schéma, image MEB et propriétés électriques d'une porte logique OU EXCLUSIF d'après Huang et al [29]

IV.3 Capteurs : détection biologique et chimique

La détection des espèces biologiques et chimiques pour les applications médicales et dans les systèmes de sécurité utilisant des agents chimiques fait l'objet d'intenses recherches scientifiques pour la mise en œuvre de capteurs fiables et performants. Les microcapteurs électroniques sont largement utilisés dans des domaines tels que la médecine, la chimie, la mécanique, la physique (reconnaissance ADN, capteurs de pression, de température...)... car d'une part, ils ont démontré une sensibilité vis-à-vis des grandeurs mesurées et d'autre part la compatibilité avec des systèmes de pilotage et de traitement d'information recueillies. Ces

capteurs sont très souvent réalisés à base de matériaux semi-conducteurs dont le silicium est fortement présent.

Avec l'arrivée des nanotechnologies, l'innovation des micro- et nano-capteurs commence à prendre sa place grâce aux propriétés remarquables des nano-objets.

En particulier, en ce qui concerne les nanofils dont le rapport surface sur volume est important, comparé à un substrat massif, la sensibilité de ces derniers est prononcée en présence d'espèces chimiques sur leur surface. En exploitant cette propriété, les nanofils peuvent être utilisés comme détecteurs d'espèces chimiques dans plusieurs domaines tels que la biologie et la chimie [32–35].

En effet, une structure de type transistor à base de nanofil peut être utilisée pour la détection d'espèces (bio)chimiques en utilisant ce dernier comme élément sensible aux espèces sur sa surface. L'adsorption d'une espèce (bio)chimique à la surface du nanofil s'accompagne généralement d'un transfert de charge entre l'espèce absorbée et le nanofil. Ceci a pour effet de changer la conductance du nanofil et donc de donner une information sur la présence d'espèces chimiques à proximité. La figure 22 montre les variations en fonction du temps de la conductance d'un nanofil de silicium en présence de trois espèces chimiques (protéines) différentes [36].

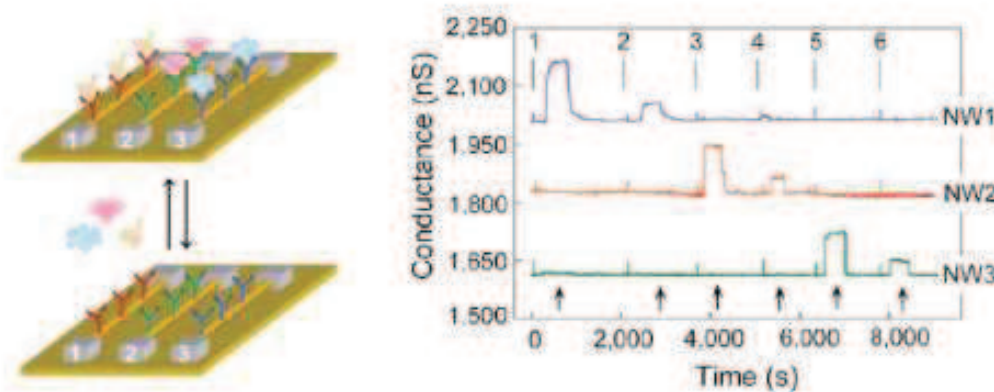


Figure 22: exemple de structures à base de nanofils pour la détection d'espèces chimiques [36].

IV.4 Cellules solaires

L'innovation dans le domaine des énergies propres et renouvelables se penche de plus en plus vers l'utilisation des cellules photovoltaïques [37] qui connaissent une évolution grâce aux nanotechnologies. Les nanofils prennent aussi part dans la fabrication des cellules photovoltaïques [38]. En effet, des études récentes ont montré que des hétéro-structures

fabriquées avec un nanofil de silicium coaxial présentent une absorption accrue de photons. Ce type de structure assure une absorption de la lumière sur toute la longueur des nanofils et la collecte des photo-porteurs est largement facilitée par la très faible distance à parcourir entre la zone absorbante et la couche collectrice. La figure 23 montre une diode PIN à base de nanofil de silicium coaxial synthétisé par croissance CVD, avec un rendement photovoltaïque de 3.4 % [39]. D'une manière générale, les rendements obtenus sont encore loin d'atteindre ceux obtenus avec des cellules photovoltaïques classiques (entre 20% et 30%). Toutefois, les premiers résultats sont encourageants car de nombreuses innovations restent à venir tant dans l'optimisation des propriétés électroniques des nanofils que des technologies de fabrication des cellules PIN à base de nanofils.

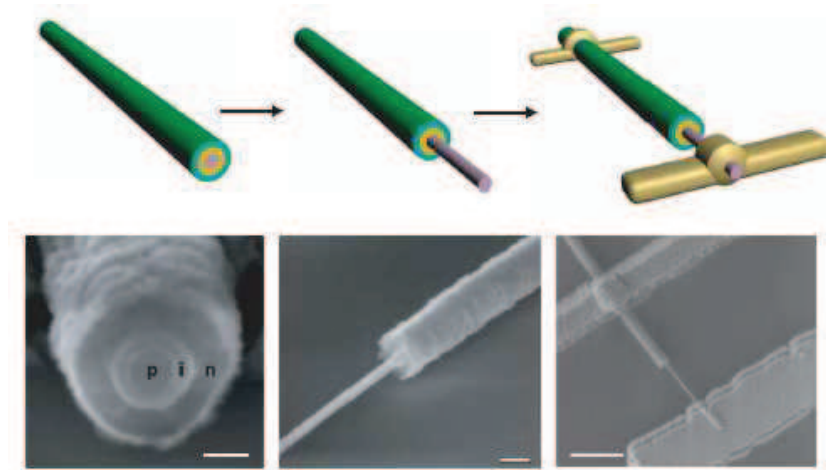


Figure 23 : Diode PIN à base de nanofil de silicium coaxial pour une cellule solaire. D'après [38]

V. Conclusion

Les activités de recherche et de développement menées sur les nanofils démontrent tous les atouts que ceux-ci engendrent pour l'électronique, l'optronique et la biologie de demain. Les études correspondantes nécessitent des compétences pluridisciplinaires: science des matériaux, physique quantique du solide, chimie, biologie ... Les procédés de fabrication sont nombreux et permettent aujourd'hui de fabriquer différents types de nanofils de silicium permettant leur intégration dans des dispositifs tels que les transistors, les diodes PIN, capteurs biochimiques, ...

De nombreuses études restent encore au stade d'expérimentation car l'obstacle majeur à ce jour réside dans la difficulté de mettre au point une technologie permettant d'obtenir des nanofils en grand nombre et de fiabilité similaire à celle obtenue en microélectronique.

Le but de ce travail de thèse est de synthétiser des nanofils de silicium par la méthode des espaceurs et de les caractériser électriquement afin d'étudier les phénomènes de transport. Cette étude a pour objectif d'envisager l'intégration de ces nanofils dans des dispositifs électroniques tels que les transistors et les capteurs chimiques.

Chapitre II

Techniques de fabrication des nanofils de silicium

I. Introduction

Le chapitre précédent présentait les différentes techniques d'élaboration de nanofils de silicium. Dans ce second chapitre, nous allons développer la technique de fabrication de nanofils de silicium par la méthode des espaceurs.

Le choix de cette technique se base sur plusieurs points :

- l'utilisation du silicium polycristallin (Si-poly) déposé par le procédé LPCVD (dépôt chimique en phase vapeur à basse pression) car c'est le matériau de choix pour des applications électroniques diverses,
- la maîtrise des techniques de dépôt du silicium et du dopage *in-situ* au Groupe Microélectronique de l'IETR,
- l'utilisation d'outils de photolithographie conventionnels (UV – $\lambda \sim 248$ nm),
- les capacités technologiques (salle blanche) et le savoir faire du laboratoire dans la fabrication de dispositifs en couches minces,
- le bas coût contrairement aux autres méthodes de synthèse des nanofils de silicium (voir le chapitre précédent).

Dans la suite, nous allons décrire plus précisément les matériaux utilisés, les étapes technologiques pour réaliser des nanofils en silicium polycristallin ainsi que les dispositifs électroniques à base de ces nanofils (résistances et TFTs) étudiés dans le cadre de ce travail de thèse.

II. Silicium polycristallin

Le silicium peut se présenter à l'état solide sous deux formes : l'un où les atomes sont arrangés de façon périodique aux nœuds d'un réseau cristallin, appelé état cristallin, et l'autre où les atomes sont disposés de manière aléatoire, c'est-à-dire l'état amorphe. De ce fait, on peut définir les deux types de silicium :

- Le silicium monocristallin : caractérisé par un arrangement parfait des atomes de silicium sous forme de cristaux présentant des mailles périodiques (structure diamant).
- Le silicium amorphe : constitué d'empilement aléatoire de cristaux de silicium introduisant de fortes distorsions dans le réseau cristallin. La grande densité de ces distorsions conduit à des défauts qui modifient la structure électronique (formation d'états localisés dans le gap appelés queues de bande). L'existence de ces états dans la bande interdite modifie également le transport des porteurs de charge car ils sont susceptibles de les piéger. Ceci explique en partie la différence des propriétés électriques entre le silicium amorphe et le silicium monocristallin.

Entre ces deux états, des structures intermédiaires présentant des caractéristiques structurales à courte et moyenne distance avec des phases mixtes constituées de plusieurs états cristallins peuvent exister. En particulier le silicium polycristallin qui se compose des états cristallin et amorphe.

II.1 Structure

Le silicium polycristallin est une forme cristalline du silicium présentant une structure composée de grains quasi monocristallins de différentes tailles espacés entre eux par des zones désordonnées caractérisées essentiellement par des défauts cristallins que l'on peut assimiler au silicium amorphe et que l'on appelle aussi des joints de grains. Le silicium polycristallin est ainsi composé de ces deux éléments (grains et joints de grains) et possède les caractéristiques suivantes :

- le grain : caractérisé par sa taille et sa qualité cristalline qui dépendent des conditions de dépôt (CVD - dépôt chimique en phase vapeur dans notre cas),

- le joint de grains : une zone se situant entre les grains et qui est caractérisée par un désordre cristallin provoquant des perturbations électriques qui influencent la conduction électrique entre les grains.

Les défauts présents dans le silicium polycristallin résultent de dislocations et de macles. Les dislocations créent des liaisons pendantes qui sont électriquement actives en piégeant des porteurs de charge sur des niveaux énergétiques profonds dans la bande interdite. Quant aux macles, elles peuvent induire des distorsions électriquement actives associées à des centres piègeurs en bord de bande interdite. D'une manière générale, ces deux types de défauts sont principalement concentrés au niveau des joints de grains.

La qualité du silicium polycristallin obéit à certains critères qui sont conditionnés par les méthodes de dépôt et de post-traitement (recuit, hydrogénation, ...). Ces critères sont :

- la texture et la taille des grains,
- les densités de défauts intragranulaires et intergranulaires,
- le rapport du volume cristallin sur le volume amorphe,
- la porosité.

II.2 Silicium polycristallin déposé par procédé LPCVD

Le silicium polycristallin peut être déposé par procédé LPCVD, une méthode très répandue dans l'industrie microélectronique. Au laboratoire, les dépôts sont effectués dans un réacteur de type LPCVD en forme de tube horizontal à paroi chaude. Le gaz injecté (du silane - SiH_4 - dans notre cas) se décompose suivant des réactions chimiques pour former des couches de silicium sur des substrats en position verticale. Ce réacteur a été mis au point au sein du Groupe Microélectronique pour l'étude et l'élaboration du silicium polycristallin servant à plusieurs applications électroniques. Le schéma suivant (figure 24) illustre le réacteur de dépôt LPCVD.

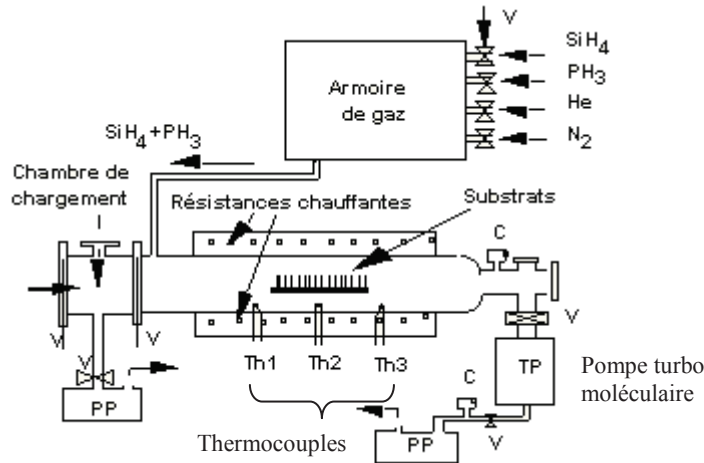
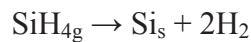


Figure 24 : schéma simplifié du réacteur LPCVD pour le dépôt de silicium polycristallin utilisé au laboratoire

II.3 Mécanisme de dépôt LPCVD

Plusieurs sujets de recherche [40 – 42] ont été menés sur les mécanismes de dépôt du silicium par le procédé LPCVD. Il en résulte deux types essentiels de réactions chimiques à prendre en considération. D'une part, les réactions qui interviennent en phase gazeuse, que l'on qualifie d'homogènes, d'autre part les réactions qui se produisent en surface du substrat, que l'on qualifie d'hétérogènes. Ces réactions dépendent des différentes cinétiques qui sont régies par les conditions de dépôt, particulièrement la température, la pression et le débit des gaz.

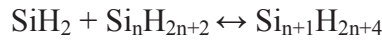
Le silicium issu de la décomposition du silane résulte de la réaction globale suivante simplifiée :



Toutefois, le silane ne se décompose pas directement en phase gazeuse. Dans un premier temps celui-ci se décompose pyrolytiquement pour produire la molécule de silylène, extrêmement réactive, selon l'équation suivante :



Il s'en suit alors une décomposition des réactions en chaîne qui produisent des silanes d'ordre supérieur :



Les réactions intervenant dans le réacteur LPCVD décomposent ainsi le silane en atomes de silicium qui vont contribuer à la croissance. Comme nous l'avons mentionné auparavant, ces réactions sont soumises aux conditions de température, de pression et de débit des gaz. Dans la littérature, les résultats relevés sont très variés du fait des différents domaines d'exploration.

II.4 Paramètres pondérant le dépôt de silicium dans un réacteur LPCVD

Dans un réacteur horizontal à paroi chaude, la température durant le dépôt est assurée par convection et par rayonnement thermique à l'aide d'une résistance chauffante située autour du réacteur (figure 24). Il en résulte que les substrats placés dans la zone chaude du réacteur sont portés à la température de décomposition des gaz. Ceci permet d'une part de faire des dépôts sur un grand nombre de substrats et d'autre part d'avoir une homogénéité des dépôts d'un substrat à l'autre. Par ailleurs, la température et la pression de dépôt vont conditionner la nature des substrats qui elle-même va déterminer les aspects structuraux du silicium déposé (cristallinité, densité de défauts) affectant ainsi ses propriétés électriques. Les choix de température et de pression sont donc conditionnés par :

- une décomposition suffisante du gaz réactif pour une vitesse de dépôt acceptable,
- la qualité du silicium souhaitée,
- la nature du substrat.

II.4.1 température

La température de dépôt doit être choisie de telle sorte à obtenir un silicium (dopé ou non) présentant les meilleures caractéristiques électriques. Harbeke et al [43] ont mis en évidence que le silicium déposé amorphe puis cristallisé (par recuit thermique que nous

détaillerons plus loin) présente des grains plus gros que le silicium déposé directement cristallisé. D'autre part, Hatalis et Greve [44] ont déterminé une température de dépôt donnant une taille de grains maximale aux environs de 550°C, pour du silicium cristallisé après dépôt.

De plus, des travaux [45] au laboratoire ont aussi montré que des couches de silicium (dopées au phosphore) déposées amorphes à 550°C puis cristallisées à 600°C présentent de meilleures propriétés électriques que le silicium déposé directement cristallisé.

II.4.2 Pression

Le réacteur LPCVD est alimenté par plusieurs gaz dont le débit est contrôlé. Souvent, des gaz diluants interviennent dans cette injection, soit pour des raisons de sécurité ou pour favoriser les réactions chimiques. Par exemple, Kuhne [46] a montré que l'ajout de l'hydrogène permet d'uniformiser la vitesse de dépôt le long du réacteur. Le mélange des gaz utilisés joue un rôle primordial sur la pression du dépôt, notamment sur celle du silane (pression partielle). Ceci a une conséquence directe sur le taux de croissance qui est une fonction croissante de la pression partielle du silane. Voutsas et Hatalis [47] ont montré que la vitesse de dépôt détermine la structure cristalline du silicium déposé. Ainsi, pour une faible pression partielle de silane, le silicium a tendance à se déposer cristallisé tandis qu'à une pression élevée, ce dernier se dépose sous forme de silicium amorphe. Ceci est expliqué par la contribution de deux phénomènes : la vitesse d'adsorption des molécules de silane et la vitesse de migration des atomes vers les sites de cristallisation. Ainsi, par exemple, si les molécules arrivent rapidement à la surface par rapport à la migration des atomes en surface, ils n'auront pas le temps de s'ordonner suivant un réseau cristallin du silicium. Par contre, si les atomes migrent rapidement par rapport au flux de particules arrivant sur le substrat, les atomes peuvent s'arranger de façon ordonnée.

II.4.3 Diagramme pression, température

La nature cristalline des couches déposées à partir du silane a fait l'objet de plusieurs études en fonction des conditions de pression et de température. Joubert [48] a effectué un bilan de ces nombreux travaux qui mettent en évidence l'évolution de la structure des couches de silicium en fonction de ces deux paramètres et a démontré que pour une température de

dépôt donnée, il existe une pression pour laquelle le silicium est déposé cristallisé et au-delà de laquelle il est déposé amorphe. Les études effectuées ont montré que la structure cristalline du silicium déposé par procédé LPCVD dépend fortement de la pression et de la température. Ainsi, le contrôle de ces deux grandeurs permet de choisir l'état de cristallinité (amorphe ou polycristallin) du silicium déposé, avec une orientation cristalline préférentielle ou non des grains, comme illustré sur la figure 25.

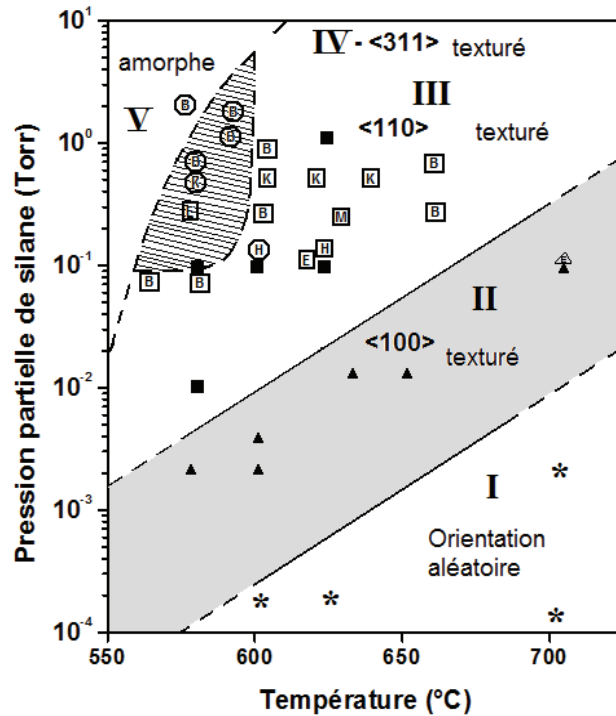


Figure 25 : Diagramme de phase pression – température pour le silicium déposé par le procédé LPCVD à partir du silane. D'après [48]

II.4.4 Recuit de cristallisation

La finalité des études menées sur le développement du silicium polycristallin est d'arriver à un matériau dont les propriétés électriques se rapprochent le plus de celles du silicium monocristallin. Comme mentionné auparavant, la variation des paramètres prépondérants comme la pression et la température lors du dépôt du silicium permettent d'obtenir un silicium déposé directement cristallisé, mais ne possédant pas pour autant des propriétés électriques satisfaisantes. Par contre, il a été démontré par Harbeke et al [43] que le silicium polycristallin obtenu par cristallisation en phase solide du silicium amorphe présente des grains de taille nettement supérieure à celle du silicium polycristallin obtenu directement

après dépôt, permettant ainsi d'obtenir du silicium polycristallin présentant des propriétés électriques meilleures que dans le cas où il est déposé directement cristallisé.

La cristallisation du silicium amorphe consiste à fournir suffisamment d'énergie aux atomes de la couche déposée de manière à ce qu'ils puissent s'arranger selon le réseau cristallin du silicium en passant de l'état métastable amorphe à l'état stable cristallin. La cristallisation est un phénomène de croissance qui s'effectue en deux étapes : apparition de germes cristallins (nucléation) à partir du silicium amorphe puis la croissance des grains pour donner le silicium polycristallin. Les conditions de cristallisation du silicium amorphe déterminant la structure cristalline du silicium obtenu à savoir : la taille des grains, leur orientation cristallographique et la texture de la couche.

La cristallisation s'avère donc nécessaire pour obtenir une meilleure qualité du silicium polycristallin destiné aux applications électroniques. Plusieurs techniques (recuit thermique rapide, recuit assisté par métal, cristallisation par laser après phase liquide) ont été mises au point pour réaliser la cristallisation dont la plus utilisée est le recuit thermique en phase solide (Solid Phase Crystallization) qui consiste à porter les substrats à une température comprise entre 550°C et 650°C allant de plusieurs minutes à quelques heures suivant le type de silicium. Elle est assurée par un chauffage grâce aux résistances chauffantes qui sont placées autour du tube horizontal. Dans notre laboratoire ainsi que dans le milieu industriel, la cristallisation s'effectue par recuit SPC du fait que cette technique permet un recuit simultané de plusieurs substrats ainsi que sa facilité de mise en œuvre. De plus, elle présente l'avantage d'obtenir des caractéristiques électriques intéressantes pour le silicium polycristallin.

Dans notre cas, le silicium est déposé dans l'état amorphe à 550°C, puis cristallisé par recuit thermique sous vide à 600°C.

II.5 Dopage in-situ du silicium polycristallin

Le dopage d'un matériau semi-conducteur permet de moduler ses propriétés électriques. Dans le cas du silicium, on utilise généralement soit des éléments pentavalents (As, P, Sb, ...), soit des éléments trivalents (B, In, ...). Ces impuretés, placées en substitution dans un environnement tétraédrique, vont donner respectivement un semi-conducteur de type N ou un semi-conducteur de type P, en introduisant des porteurs libres qui sont soit des électrons, soit des trous. On entrevoit alors la différence essentielle entre le dopage d'un monocristal et celui d'un polycristal tel que nous l'avons défini. En effet, d'une part, les atomes d'impuretés peuvent être placés dans un environnement autre que tétraédrique, d'autre

part, les éventuels porteurs libres peuvent être piégés par des défauts. L'influence du dopage s'observe sur des grandeurs physiques caractéristiques du silicium comme la résistivité, la mobilité de Hall des porteurs majoritaires et la concentration des porteurs libres.

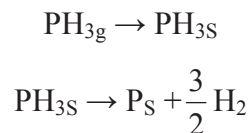
Le dopage du silicium est indispensable pour la fabrication des dispositifs en micro-électronique et doit répondre à plusieurs impératifs dont le plus important est le contrôle précis de la concentration des porteurs de charges libres, associée à la reproductibilité d'un substrat à l'autre. Aussi certaines applications nécessitent l'emploi de substrats ne supportant pas les hautes températures, d'où le choix d'une technique de dopage adaptée.

Au Groupe Microélectronique, c'est le dopage *in-situ* qui est utilisé car il est compatible avec le procédé de dépôt LPCVD. Le principe consiste à injecter un gaz dopant en même temps que le gaz à base de silicium (SiH_4 dans notre cas).

II.5.1 Dopage de type N au phosphore

Le gaz le plus utilisé pour le dopage de type N est la phosphine (PH_3) qui est injectée avec le silane dans les conditions usuelles de température ($550 - 650^\circ\text{C}$) au laboratoire pour les dépôts en couches minces de silicium polycristallin.

Selon des études [49 – 51] du mécanisme d'insertion du phosphore dans le silicium, la phosphine est adsorbée puis décomposée en surface d'après les réactions suivantes :



Des travaux antérieurs menés au groupe microélectronique de l'IETR [52] ont montré que, en faisant varier le rapport flux de la phosphine sur le flux du silane, il est possible de contrôler le dopage sur une gamme allant de $10^{16} \text{ at.cm}^{-3}$ à $2.10^{20} \text{ at.cm}^{-3}$. De plus, Meyerson et Lu [53] ont mis en évidence que l'espèce active durant la croissance des couches dopées serait le silylène (SiH_2) qui se décompose rapidement en surface.

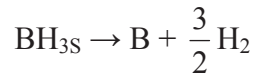
Les conditions de dépôt (température, pression et débit) qui régissent la dynamique des gaz (la vitesse d'écoulement des gaz et le temps résiduel dans le réacteur), pondèrent les réactions qui peuvent se produire en phase homogène (formation de silylène et de monosilylphosphine) et déterminent l'incorporation du phosphore ainsi que l'uniformité de dépôt.

II.5.2 Dopage de type P au bore

La plupart des travaux relatés dans la littérature sur le dopage *in-situ* de type P du silicium polycristallin font état de l'emploi de diborane B_2H_6 comme source dopante. Il est généralement observé que la vitesse de dépôt augmente lorsqu'on injecte du diborane avec le silane contrairement au dopage de type N.

Maritan et al [54] et Everstyn et Put [55] ont étudié théoriquement les cinétiques de croissance de couches dopées avec de l'arsine, de la phosphine et du diborane. Ils expliquent l'influence des atomes dopants sur la vitesse de dépôt par la structure électronique de ces derniers. Ainsi, l'atome de bore adsorbé, plus pauvre en électrons que le silicium, favorise l'attraction des espèces réactives, contribuant à augmenter la vitesse de croissance contrairement à un atome donneur qui introduit un excès d'électrons réduisant l'attraction et par conséquent diminue la vitesse de dépôt.

Selon Sangneria et al [56], dans le cas du dopage *in-situ* du silicium polycristallin déposé à partir d'un mélange Si_2H_6 - H_2 - B_2H_6 (disilane-hydrogène-diborane) le mécanisme de décomposition s'effectue selon les équations suivantes :



Les travaux antérieurs menés au groupe microélectronique de l'IETR [52] ont montré que la variation du rapport flux de diborane sur le flux du silane permet de contrôler le dopage sur une gamme allant de 10^{16} $at.cm^{-3}$ à 5.10^{19} $at.cm^{-3}$. D'ailleurs Ashida et al [57] proposent que la décomposition du disilane pourrait être accélérée par la présence du diborane, ce qui conduirait à une augmentation de la concentration en espèces réactives et donc du taux de croissance.

III. Gravure sèche RIE (Reactive Ion Etching)

La synthèse des nanofils de silicium, objectif de notre travail de thèse, consiste à élaborer ces derniers à partir des espaceurs obtenus par gravure sèche (RIE) du silicium polycristallin déposé par le procédé LPCVD.

La gravure RIE est une technique de gravure par plasma ionique réactif associant deux phénomènes physiques : le bombardement ionique par chocs mécaniques et l'attaque chimique en phase vapeur à partir de gaz fluorés (gravure de matériaux à base de silicium) ou chlorés (gravure de métaux). Cette méthode réduit fortement le phénomène de gravure latérale (isotropie) constaté dans la gravure humide, car elle est beaucoup plus directionnelle (anisotropie) surtout si le bombardement ionique prend une large part à la gravure.

Les échantillons sont placés dans une enceinte sur la cathode. L'enceinte dans laquelle un vide secondaire (0,01 à 20 torr) a préalablement été établi, contient un mélange gazeux à basse pression.

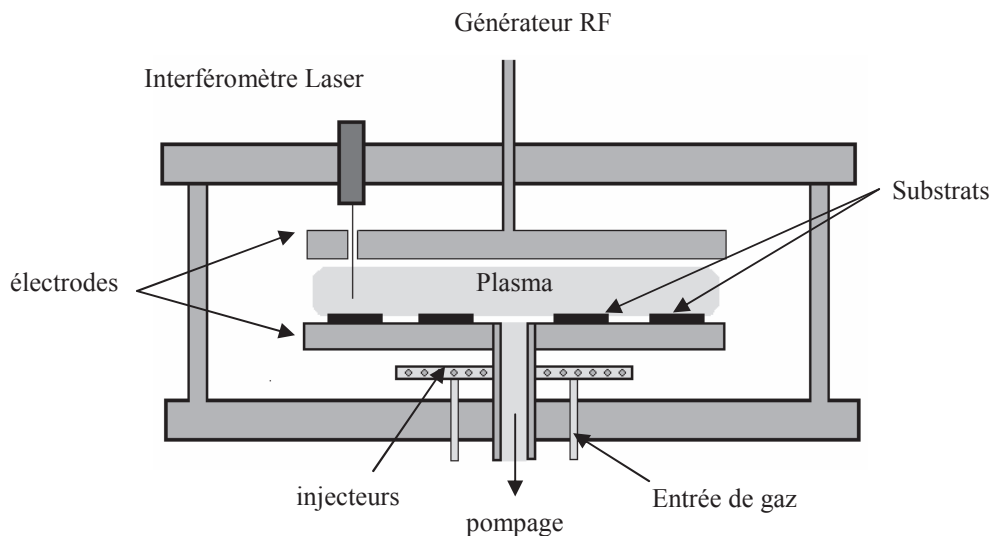


Figure 26 : réacteur de gravure plasma ionique (RIE)

Ce mélange est partiellement ionisé par la décharge RF qui crée le plasma. Il contient des ions positifs, des ions négatifs, des électrons, des atomes neutres et il peut également contenir des radicaux libres (atomes ou molécules extrêmement réactifs tels que le fluor pour la gravure du silicium). La vitesse de gravure dépend de la puissance du plasma (réactivité chimique), de la pression et du flux gazeux.

Le réacteur RIE utilisé dans le cadre de notre étude est une machine de type Nextral NE 110 pour la gravure des couches de silicium polycristallin à partir de plasma sous hexafluorure de soufre (SF_6).

IV. Oxyde déposé par procédé APCVD (Atmospheric Pressure Chemical Vapor Deposition)

L'oxyde de silicium est un matériau isolant très utilisé dans la microélectronique. Il est présent dans la plupart des structures électroniques comme isolant de grille (transistors), couche de passivation de circuits, couche sacrificielle, ...

L'oxyde de silicium se réalise par plusieurs méthodes (oxydation thermique, dépôt chimique en phase vapeur, pulvérisation cathodique). Le procédé de dépôt d'oxyde de silicium par APCVD est celui que nous avons choisi pour la réalisation de nos structures. Celui-ci repose sur la décomposition à pression atmosphérique d'un mélange gazeux contenant les espèces chimiques silicium et oxygène, puis la formation d'un dioxyde de silicium qui se dépose sur le substrat.

La technique de dépôt d'oxyde par APCVD présente plusieurs avantages :

- Température de dépôt assez basse ($T < 450^\circ\text{C}$),
- Vitesse de dépôt élevée ($\sim 30\text{nm/min}$ dans notre cas),
- Bonne homogénéité et recouvrement du substrat.

Les inconvénients pour ce procédé de dépôt d'oxyde sont une consommation de gaz importante et vitesse de dépôt élevée. Les dépôts d'oxyde utilisés dans notre travail ont été réalisés à partir d'un mélange gazeux silane et oxygène pour une température de substrat de 450°C .

V. Nitrure de silicium

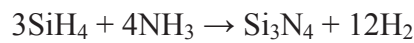
Le nitrure de silicium (Si_3N_4) est un matériau isolant utilisé dans la fabrication des circuits en microélectronique. Il est utilisé comme :

- isolant de grille des transistors à effet de champ,
- masque pour l'oxydation sélective du substrat de silicium (LOCOS),
- couche protectrice contre l'oxydation des couches inférieures.

Il peut être déposé par plusieurs procédés reposant essentiellement sur la décomposition chimique en phase vapeur à savoir par procédés LPCVD, APCVD ou

PECVD (Plasma Enhanced Chemical Vapor Deposition). Les couches de ce matériau présentent des propriétés structurales dépendant des paramètres du dépôt (pression, température et débits des gaz) ainsi que les gaz utilisés comme source du silicium à savoir le dichlorosilane SiH_2Cl_2 , le disilane Si_2H_6 , le tétrachlorosilane SiCl_4 , le silane SiH_4 ainsi que l'ammoniac NH_3 utilisé comme source d'azote.

Le nitrure de silicium que nous avons utilisé pour la fabrication des résistances à base de nanofils de silicium est déposé par le procédé LPCVD en utilisant le silane et l'ammoniac comme gaz précurseurs. La réaction chimique globale conduisant au nitrure de silicium déposé par le procédé LPCVD est la suivante :



Le nitrure de silicium est déposé au laboratoire selon les conditions suivantes :

- température = 600°C
- pression = 400μbar
- flux du SiH_4 = flux du NH_3 = 50 sccm

VI. Synthèse de nanofils de silicium par lithographie optique

UV : méthode des espaceurs

L'élaboration des nanofils repose sur la méthode de réalisation des espaceurs utilisée dans la technologie CMOS submicronique [14]. Dans notre cas, nous avons utilisé cette méthode pour réaliser des espaceurs sous forme filaire, à base de silicium polycristallin déposé par procédé LPCVD et qui seront par la suite gravés, par voie sèche (RIE), afin de réduire leur section et atteindre des dimensions nanométriques (nanofils de silicium).

Le principe de fabrication des nanofils de silicium polycristallin est représenté sur la figure 27 : une couche mince de silicium est déposée sur une marche constituée d'un diélectrique (film A) puis gravée par procédé RIE. Grâce à un contrôle précis de la fin de gravure du silicium sur la marche, des résidus (espaceurs) apparaissent au niveau des flancs (figure 27 c). Une gravure additionnelle de ces espaceurs permet de réduire leurs dimensions à l'échelle nanométrique constituant ainsi les nanofils (figure 27 d). Cette technique a déjà été utilisée pour réaliser de tels nanofils entrant dans la fabrication de TFTs [13].

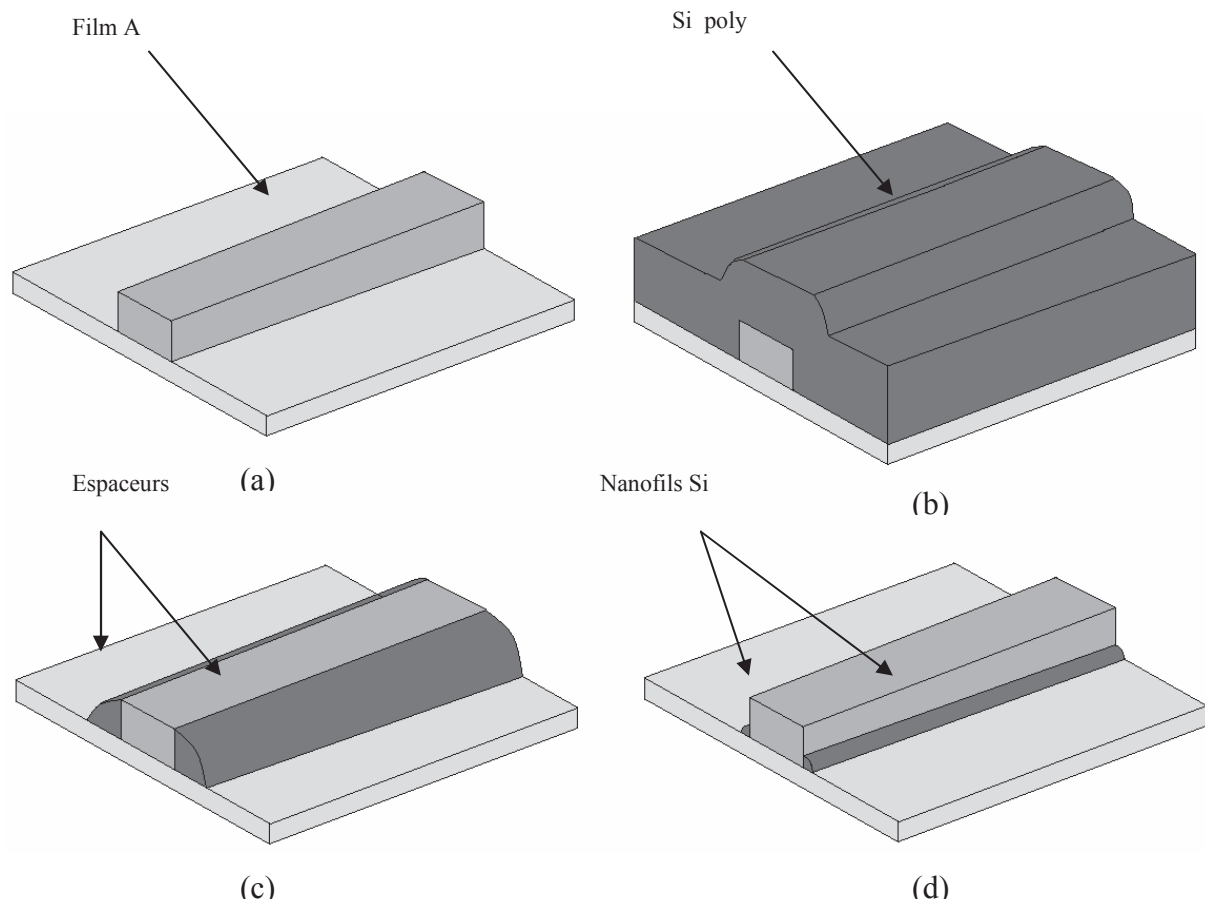


Figure 27 : principe de formation des nanofils de silicium par les technique des espaceurs : (a) réalisation d'une marche à partir d'un diélectrique déposé, (b) dépôt de silicium polycristallin, (c) gravure RIE du silicium polycristallin (formation d'espaceurs), (d) gravure RIE additionnelle (formation de nanofils)

VI.1 Etalonnage de la gravure du silicium polycristallin

Dans un premier temps, nous avons cherché à réaliser des marches en silicium polycristallin recouvertes d'un oxyde déposé par le procédé APCVD (film A). L'obtention du nanofil qui représente un résidu de la gravure de l'espaceur nécessite au préalable une très bonne verticalité du flanc de la marche du silicium polycristallin. Or les conditions standards de gravure sèche du silicium polycristallin au laboratoire (gaz SF_6 , débit 20 sccm, puissance plasma 30 W, pression 30 mT) pour la fabrication de composants électroniques en couches minces de silicium ne permettent pas d'obtenir des flancs verticaux car la gravure peut présenter un caractère isotrope. Le cliché du microscope électronique à balayage de la figure 28 montre le profil d'une marche de silicium polycristallin de $1\mu\text{m}$ d'épaisseur obtenue

après gravure sèche en utilisant le SF_6 comme gaz réactif dans les conditions standards du laboratoire.

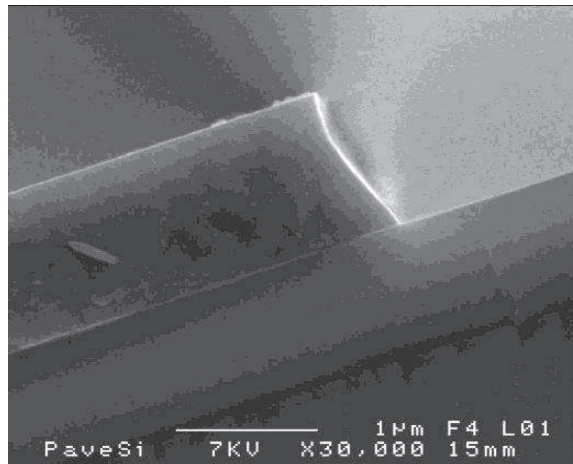


Figure 28 : cliché MEB d'une vue en coupe d'une marche de silicium polycristallin obtenue après gravure sèche dans les conditions standards du laboratoire : pression 30mT, puissance 30W, débit de $\text{SF}_6 = 20\text{sccm}$

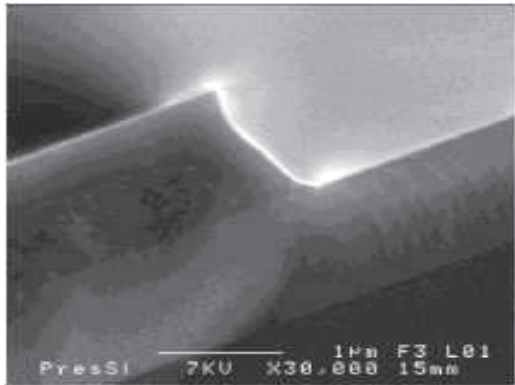
Nous remarquons d'après le cliché que la pente au niveau du flanc n'est pas verticale. Ceci peut engendrer une forme d'espaceur qui pourra être entièrement gravée lors de la gravure additionnelle (voir figure 29). Par conséquent, nous avons effectué un étalonnage de la gravure sèche du silicium afin d'obtenir une meilleure verticalité du flanc. L'étalonnage a consisté à faire varier les paramètres de gravure, c'est-à-dire la pression et la puissance du plasma (gaz réactif SF_6) pour une couche de silicium polycristallin d'épaisseur $1\mu\text{m}$. Le but est de trouver les conditions optimales de gravure favorisant l'effet anisotrope (bombardement ionique) au détriment du caractère isotrope (réactivité chimique) du plasma.



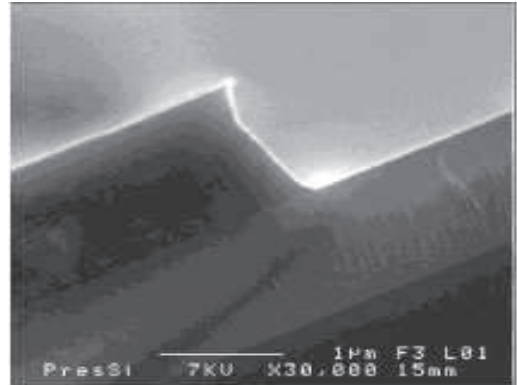
Figure 29 : forme de l'espaceur dans le cas d'une marche non verticale : disparition du nanofil après gravure.

VI.1.1 Effet de la puissance du plasma

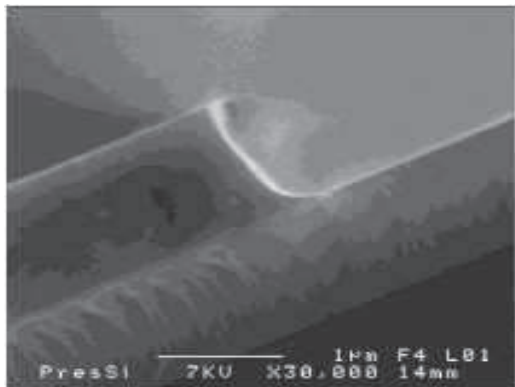
Nous avons d'abord étudié l'effet de la puissance du plasma en fixant sa valeur par rapport à une pression constante du plasma (30 mT). Nous avons par conséquent gravé 4 échantillons à des puissances différentes. Les clichés MEB suivants (figure 30) montrent les profils obtenus.



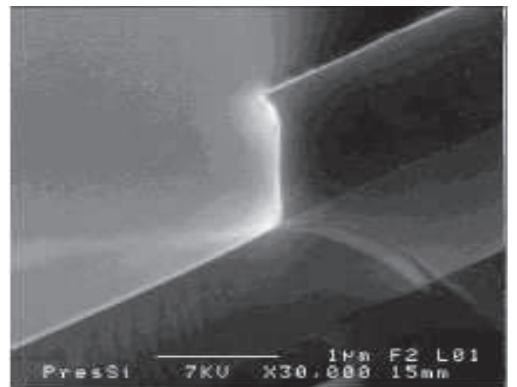
(a)



(b)



(c)



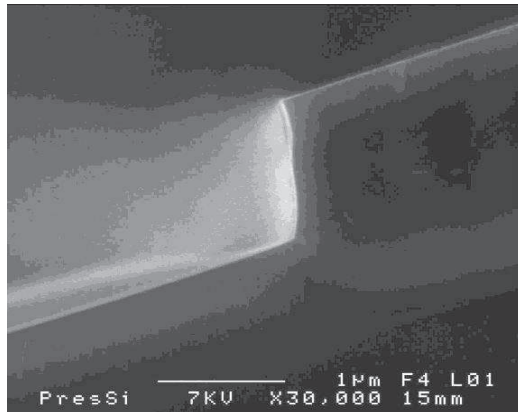
(d)

Figure 30 : clichés MEB du profil des marches de silicium obtenues pour des gravures à différentes puissances (a) 15W, (b) 35W, (c) 50W, (d) 65W

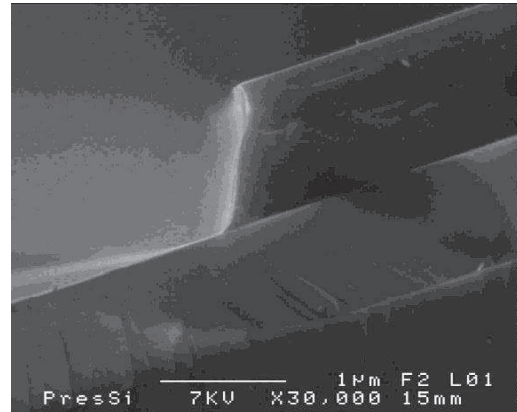
La variation de la puissance n'a aucun effet positif sur la verticalité du flanc. De plus elle tend à créer plusieurs pentes sur la marche.

VI.1.2 Effet de la pression du plasma

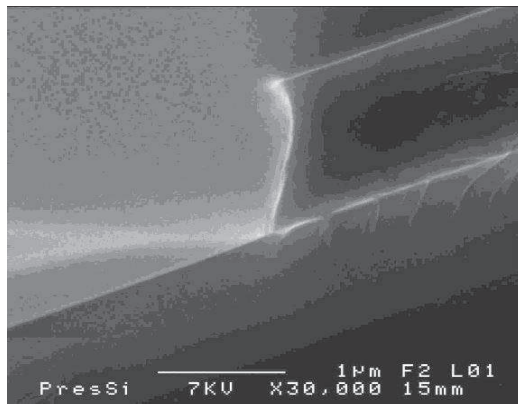
Nous avons poursuivi l'étude de notre étalonnage en faisant varier cette fois la pression du plasma pour une puissance fixe de 30W. Les clichés MEB de la figure 31 montrent les profils obtenus pour une série de pressions comprises entre 10mT et 50mT.



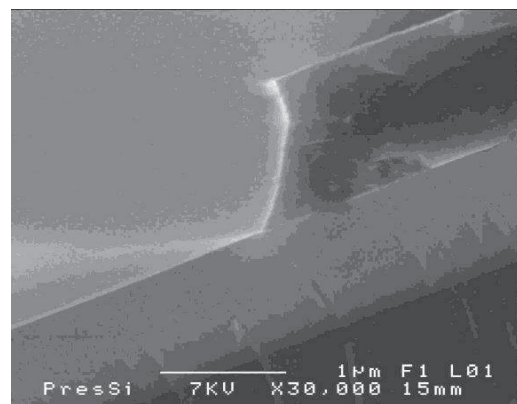
(a)



(b)



(c)

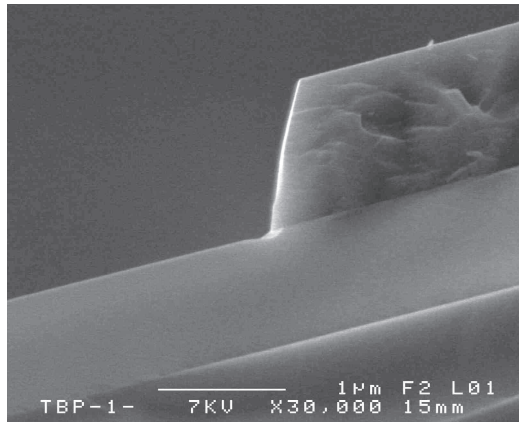


(d)

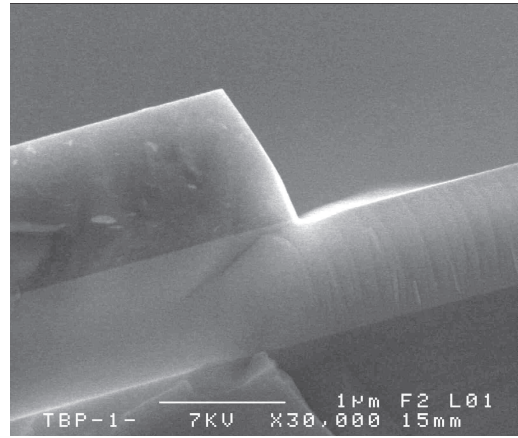
Figure 31 : clichés MEB du profil des marches de silicium obtenues pour des gravures à différentes pressions (a) 10mT, (b) 20mT, (c) 40mT, (d) 50mT

Nous remarquons que la diminution de la pression du plasma permet d'obtenir une meilleure verticalité du flanc. Nous avons alors continué notre étalonnage en effectuant des

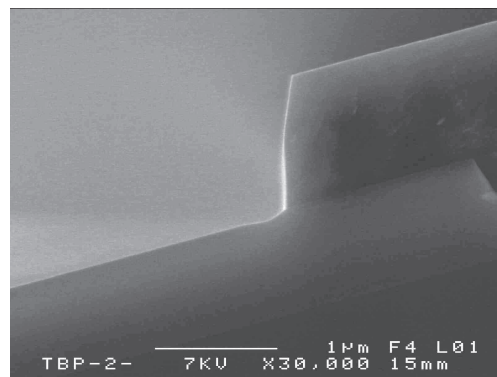
gravures à des pressions inférieures à 10mT. Les clichés MEB suivants (figure 32) illustrent les profils obtenus.



(a)



(b)



(c)

Figure 32 : clichés MEB du profil des marches de silicium obtenues pour des gravures à basses pressions du plasma : (a) 1,5mT, (b) 3mT, (c) 5mT

La verticalité est améliorée pour des pressions inférieures à 10 mT. Cependant, pour des pressions inférieures à 4 mT, des problèmes de stabilité du plasma sur la Nextral n'ont pas permis l'obtention de flancs verticaux. Pour la suite de l'étude, nous avons travaillé à une pression de 4mT. De plus, une gravure additionnelle à celle formant la marche a permis d'accentuer l'anisotropie de la gravure conduisant à une meilleure verticalité de la marche (voir figure 33).

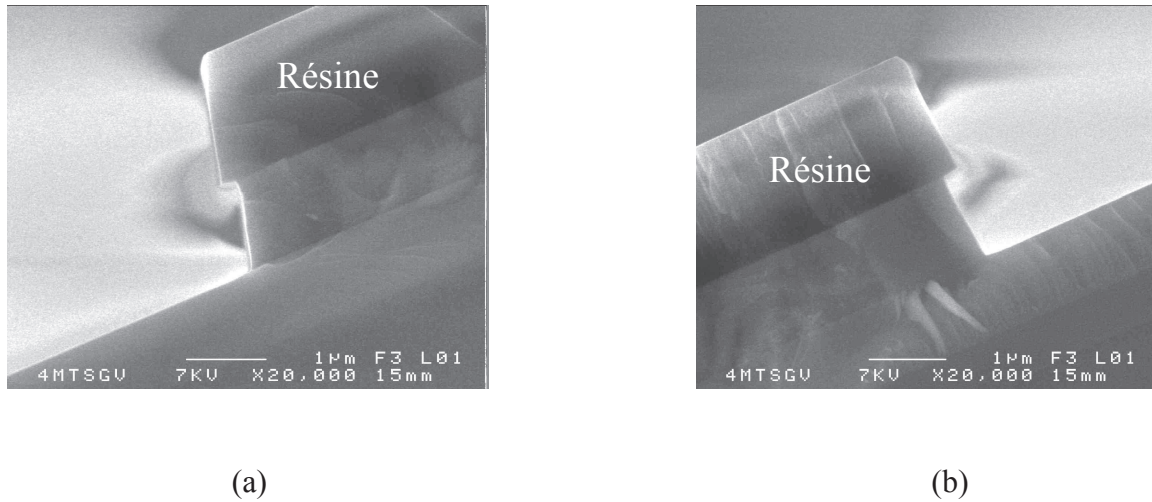


Figure 33 : clichés MEB du profil des marches de silicium obtenues pour des gravures à 4mT pour deux temps de gravures additionnelles : (a) 30s, (b) 1min

Finalement la gravure à 4mT avec une gravure additionnelle d'une minute permet d'obtenir une très bonne verticalité du flanc pour une marche de silicium polycristallin.

L'étude effectuée nous a permis d'optimiser la verticalité des flancs, étape qui s'avère nécessaire et importante pour conserver des résidus de silicium polycristallin sur les flancs. Dans la suite de notre travail, nous utiliserons ces conditions de gravure par plasma de la marche de silicium polycristallin (recouverte ensuite d'un oxyde APCVD) à partir de laquelle nous réaliserons les nanofils.

VI.2 Etapes technologiques de réalisation des nanofils

Dans cette partie, nous allons détailler les étapes technologiques pour réaliser des nanofils de silicium polycristallin. Notons que le procédé de réalisation global s'effectue sur des substrats de silicium monocristallin (100) recouverts d'un isolant (oxyde ou nitrure suivant les cas).

VI.2.1 Réalisation de la marche

Sur un substrat de silicium préalablement oxydé, une couche de silicium polycristallin de 300 nm d'épaisseur est déposée par procédé LPCVD. Ensuite, une photolithographie est réalisée à partir d'un masque dont les motifs sont rectangulaires. Le schéma suivant (figure 34) illustre les étapes technologiques pour réaliser la marche de silicium.

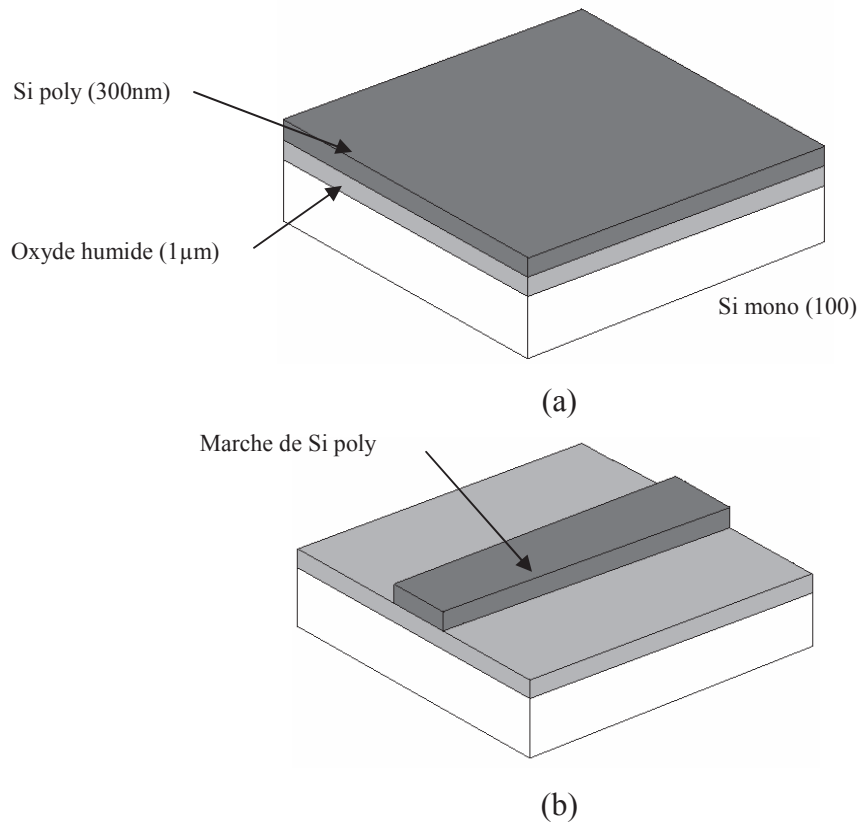


Figure 34 : étapes technologiques de réalisation d'une marche verticale en silicium polycristallin : (a) dépôt de silicium sur un substrat de silicium oxydé, (b) marche de silicium polycristallin après gravure RIE

La marche ainsi réalisée est ensuite recouverte d'oxyde de 100nm d'épaisseur déposé par le procédé APCVD pour isoler le silicium polycristallin. Nous avons choisi l'oxyde APCVD car il épouse parfaitement la surface qu'il recouvre (dépôt conforme) et donc pour notre cas, il préserve la verticalité de la marche (figure 35). Les conditions de gravure de la marche sont celles optimisées pour avoir un flanc vertical.

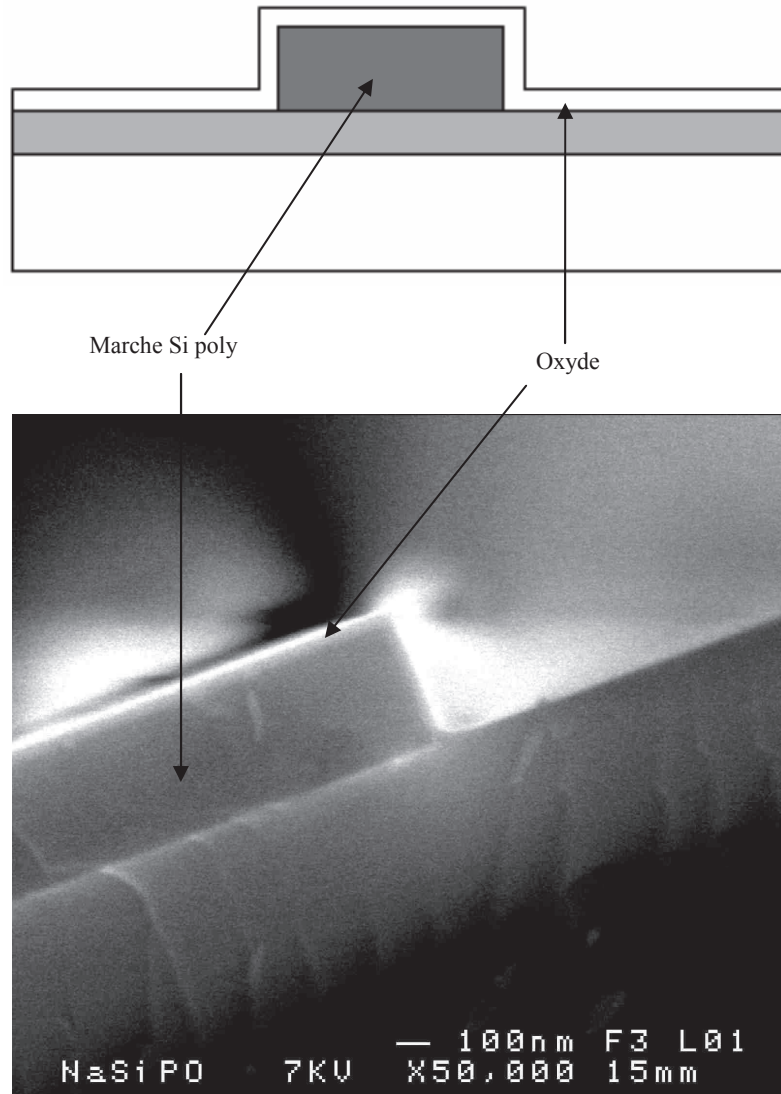
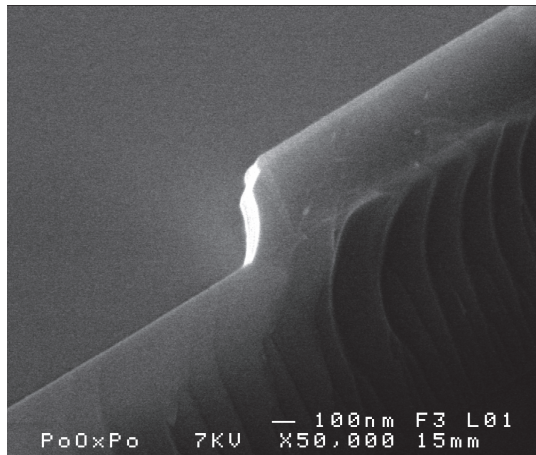


Figure 35 : marche de silicium polycristallin recouverte d'une couche d'oxyde APCVD (100nm)

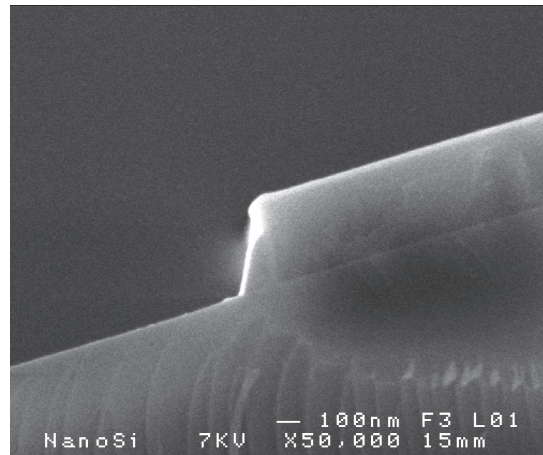
VI.2.2 Réalisation des nanofils à partir des espaceurs

La marche verticale ainsi réalisée est ensuite recouverte d'une couche de silicium polycristallin (cf figure 27b). Cette dernière est gravée par voie sèche (plasma SF_6) jusqu'à détection visuelle de la fin de gravure sur la marche pour former les espaceurs (cf figure 27c). La réalisation des nanofils de silicium consiste à réduire par gravure sèche, la section de l'espaceur préalablement formé (rayon de courbure initial de 300 nm). Les dimensions du nanofil dépendront ainsi de la durée de gravure de cet espaceur. Les clichés MEB suivants (figure 36) montrent des nanofils obtenus après différents temps de gravure de

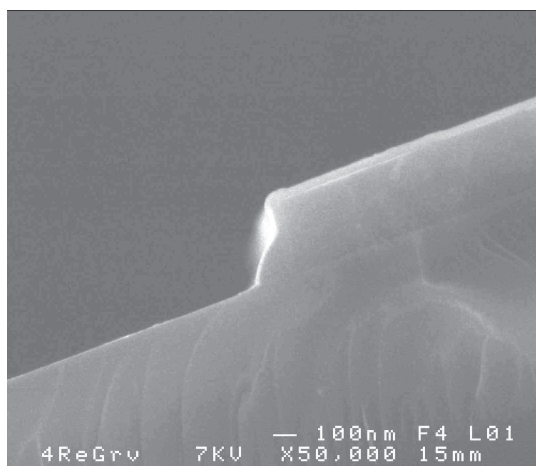
l'espaceur pour des conditions de gravures suivantes : puissance du plasma 30W, pression du plasma 4mT, (gaz réactif SF₆).



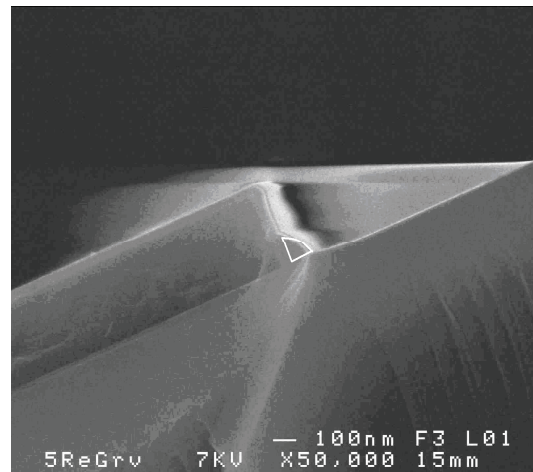
(a)



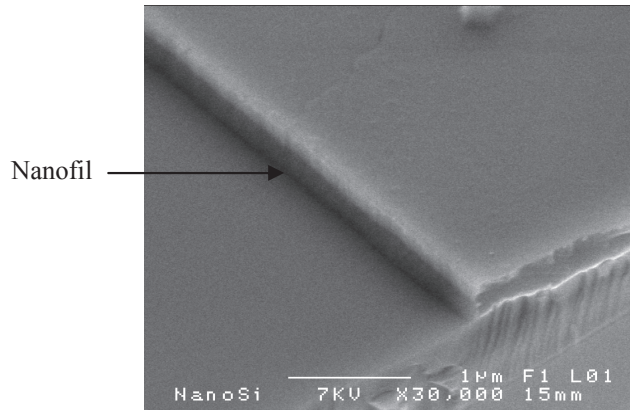
(b)



(c)



(d)

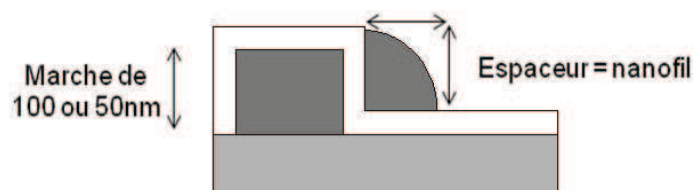


(e)

Figure 36 : clichés MEB (vue en coupe) de nanofils de silicium obtenus après différents temps de gravure additionnelle de l'espaceur : (a) : 6s, (b) : 9s, (c) : 12s, (d) : 15s, (e) : vue en longueur du nanofil.

Nous remarquons d'après les clichés MEB que la section des nanofils diminue en fonction du temps de gravure additionnelle de l'espaceur. Notons que cette technique présente l'avantage de réaliser des nanofils par lithographie optique UV. Cependant, l'utilisation d'une marche d'épaisseur élevée (ici 300nm) nécessite une gravure additionnelle de l'espaceur pour atteindre des dimensions convenables à l'échelle nanométrique (rayon de courbure voisin de 100nm). De plus, il est très difficile par ce procédé d'atteindre des dimensions inférieures à 100nm (contrôle du temps de gravure additionnelle de l'espaceur et précision sur les conditions de gravure difficiles).

Une autre approche a donc été envisagée pour pallier ce problème en utilisant l'espaceur sans gravure additionnelle. En effet, dans ce cas le rayon de courbure de l'espaceur correspond à la hauteur de la marche. Donc pour une hauteur de marche donnée (par exemple 100nm), l'espaceur aura cette dimension comme rayon de courbure. La figure 37 illustre le principe de réalisation (a) ainsi que les nanofils de 100 et 50nm de rayon de courbure réalisés ((b) et (c)).



(a)

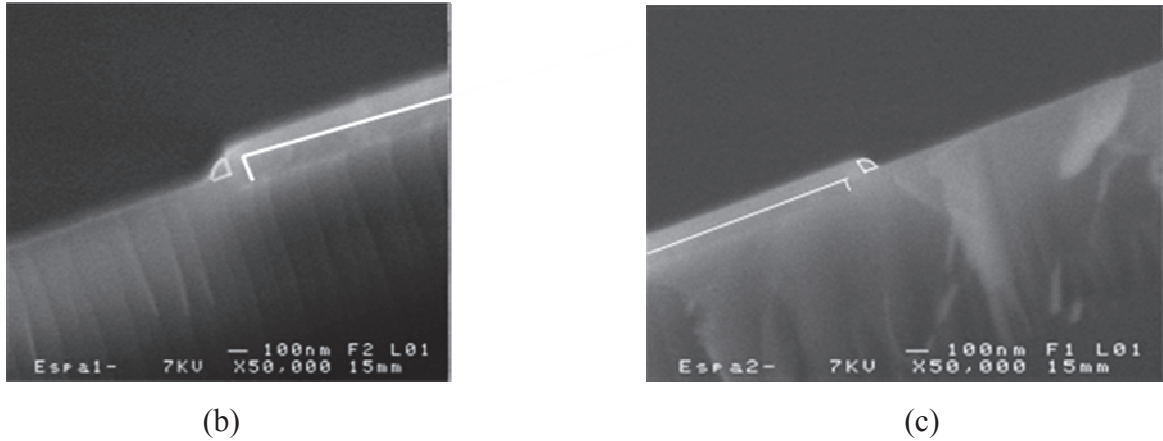


Figure 37 : clichés MEB (vue en coupe) d'espateurs = nanofils de silicium pour deux rayons de courbures : (b) 100nm, (c) 50nm.

VII. Dispositifs à base de nanofils de silicium

Comme souligné auparavant, notre travail de recherche a pour but de réaliser des nanofils de silicium pour être intégrés dans des dispositifs électroniques. La méthode choisie permet d'envisager la réalisation de structures électroniques à base de nanofils de silicium du fait qu'elle soit compatible avec la technologie microélectronique classique. De plus, la réalisation de ces dispositifs va nous permettre d'étudier le comportement électrique du nanofil de silicium comme élément actif dans ces derniers. Dans la suite de ce chapitre, nous allons décrire les étapes technologiques de fabrication de composants (résistances, transistors) à base de nanofils.

VII.1 Résistances à base de nanofils de silicium

Les résistances que nous avons réalisées sont constituées de 2 nanofils en parallèle reliés à deux contacts métalliques (figure 38).

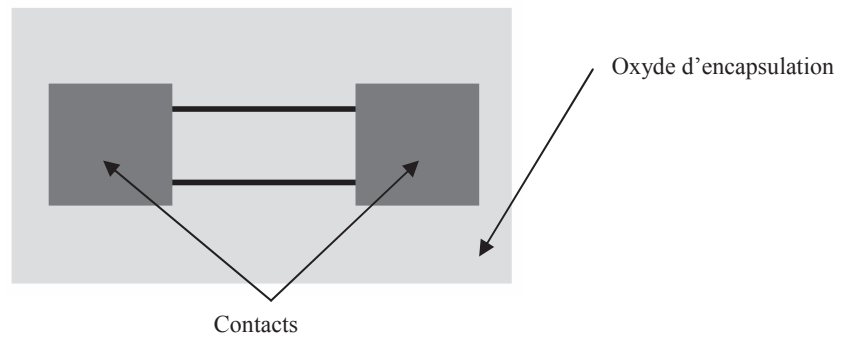
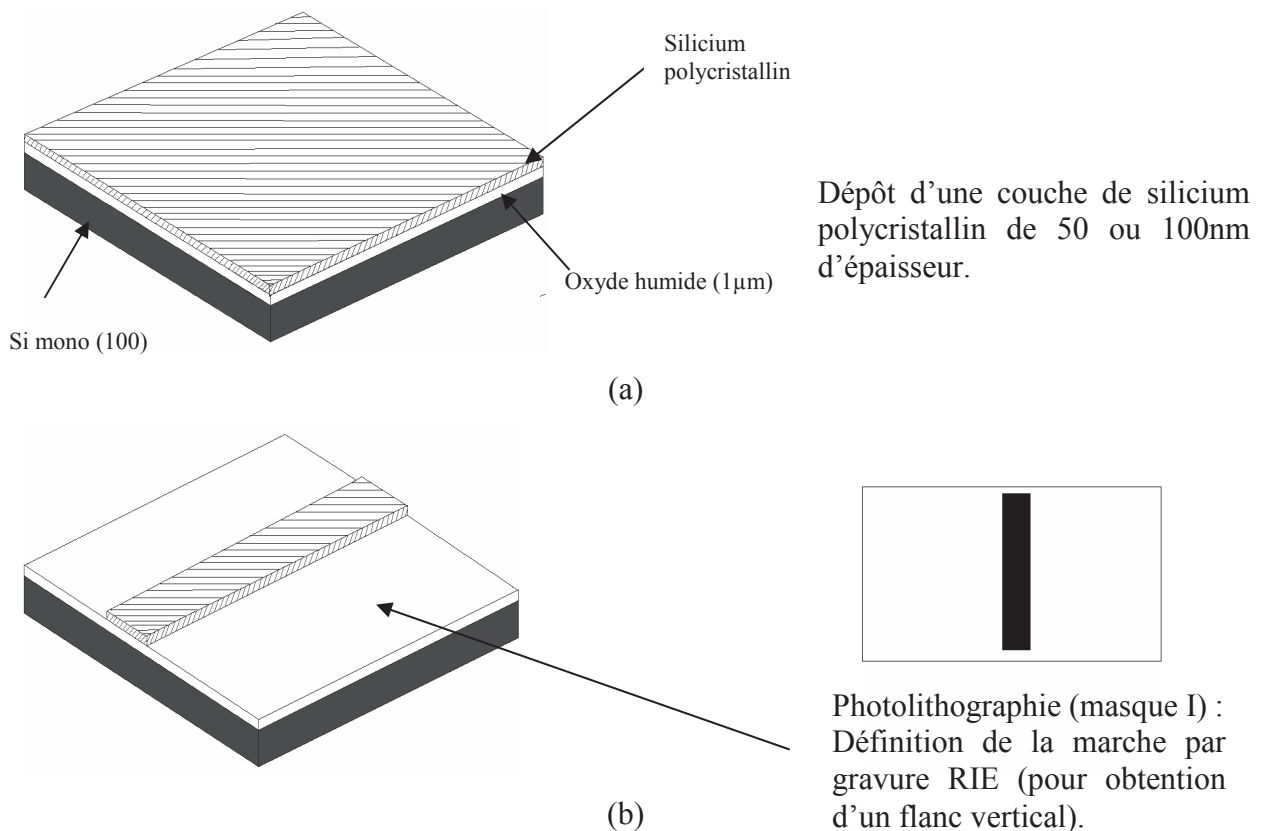
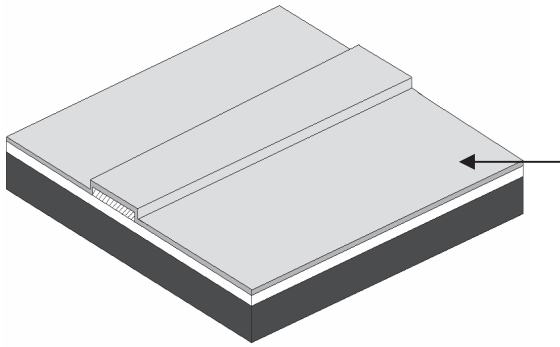


Figure 38 : schéma d'une résistance à base de deux nanofils de silicium (vue de dessus)

Ce type de résistance a été conçu par un procédé comprenant 3 étapes de lithographie classique UV. La figure 39 illustre le jeu de masques utilisé ainsi que les étapes technologiques pour réaliser une résistance.

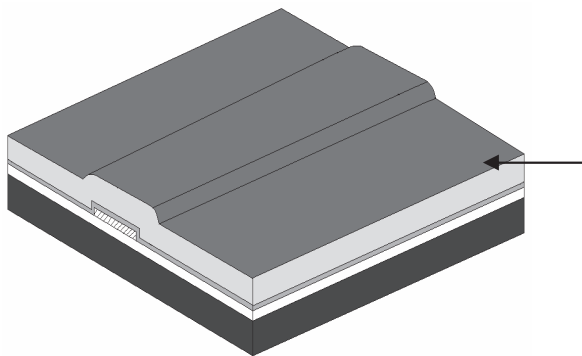
Remarque : Dans la suite de ce chapitre, l'oxyde recouvrant la marche de silicium polycristallin est remplacé par un film de nitrure de silicium (Si_3N_4) déposé par LPCVD pour des raisons que nous détaillerons plus loin.





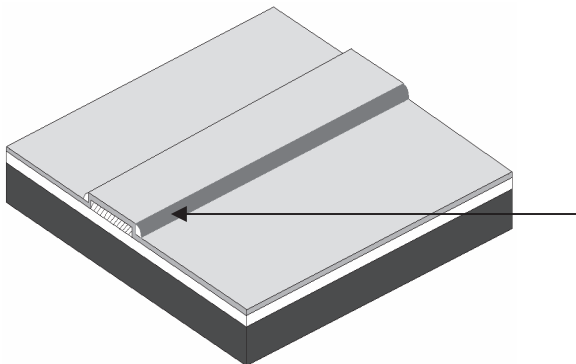
Dépôt d'une couche de Si_3N_4 LPCVD de 100nm d'épaisseur pour isolation de la marche.

(c)



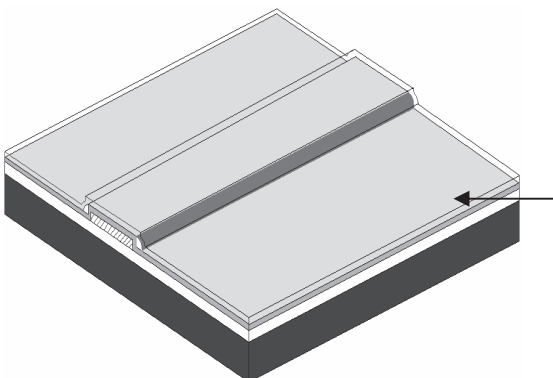
Dépôt d'une couche de silicium polycristallin non dopé de 300nm d'épaisseur.

(d)



Gravure sèche de la couche de Si poly pour la formation des nanofils (espaceurs).

(e)



Dépôt d'une couche d'oxyde (100nm d'épaisseur) par procédé APCVD pour encapsulation des nanofils de silicium

(f)

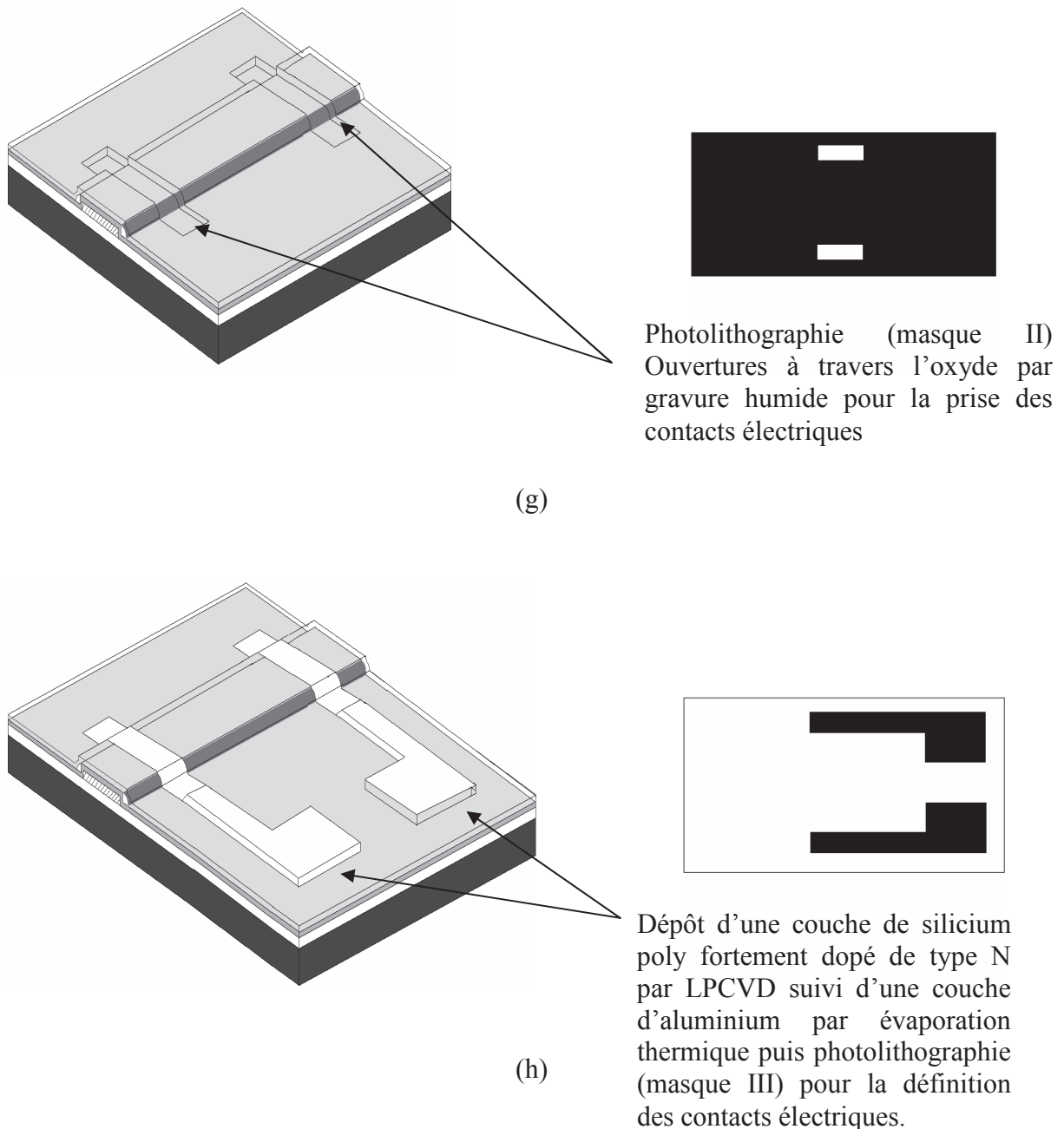


Figure 39 : étapes technologiques de fabrication des résistances à base de deux nanofils de silicium polycristallin.

Le choix du nitrure de silicium comme encapsulant de la marche provient de l'éventuel problème que nous pourrions rencontrer lors de l'ouverture à travers l'oxyde d'encapsulation des nanofils (fig. 39 (g)) pour la prise des contacts électriques. En effet, si nous recouvrons la marche par de l'oxyde de silicium (cas de la figure 39 (c)), il y a un risque d'attaque de cet oxyde sur lequel se trouvent les nanofils (figure 39 (e)) ce qui impliquerait le décollement de ces nanofils. Par ailleurs, l'encapsulation des nanofils de silicium (avec un oxyde) s'est avérée nécessaire pour des raisons de stabilité électrique.

VII.2 Transistors couches minces à base de nanofils de silicium

Nous avons également réalisé des TFTs à partir du même jeu de masques avec les nanofils comme éléments de canal. Le schéma suivant (figure 40) illustre la structure des TFTs (*bottom-gate*) fabriqués. La différence dans cette structure est que le substrat est fortement dopé car il est utilisé comme grille.

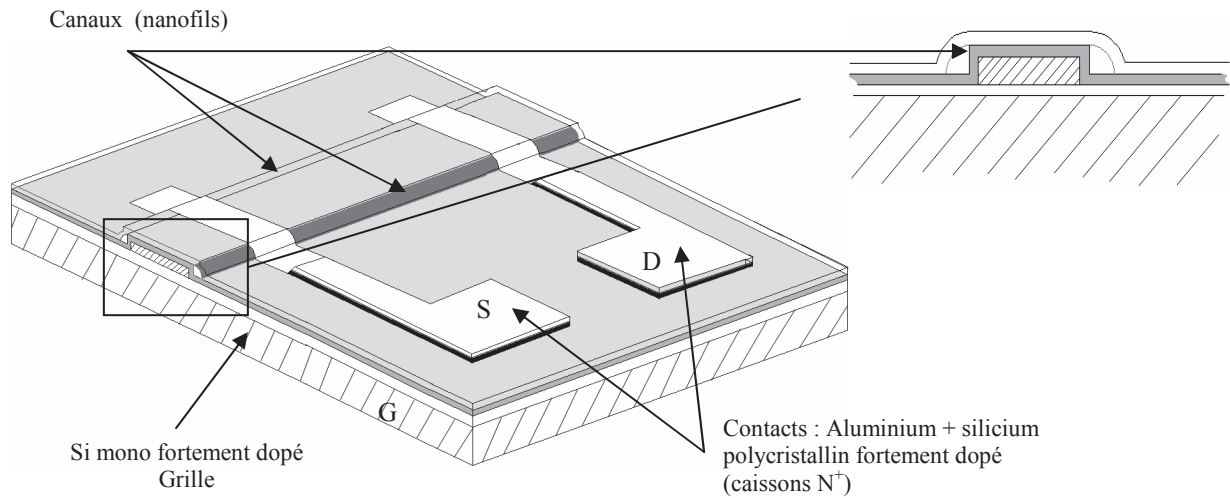


Figure 40 : Structure du TFT (*bottom-gate*) à base de nanofils de silicium

Cette technologie de TFT est différente de celle initialement développée [13] pour des TFTs à base de nanofils fabriqués par la méthode des espaceurs. En effet, dans notre cas elle permet le dopage *in-situ* du silicium polycristallin ainsi que l'utilisation du substrat comme grille (configuration *bottom gate*). Ces deux aspects seront justifiés dans la suite de ce travail de thèse.

VIII. Conclusion

Notre travail a porté sur la réalisation de nanofils de silicium par lithographie optique UV qui est un procédé maîtrisé au laboratoire. Dans ce chapitre, nous avons détaillé les étapes technologiques, les problèmes rencontrés ainsi que les études d'étalonnage pour pallier ces problèmes et mettre au point une technologie pour fabriquer des nanofils de silicium. Enfin, nous avons présenté les procédés de fabrication de composants (résistances et TFTs) à base de ces nanofils, nécessaires à la poursuite de notre étude.

Le chapitre suivant a pour but d'étudier et comprendre le comportement électrique des nanofils de silicium (conduction électrique en fonction de la température, dopage *in-situ*) et de valider leur possibilité d'intégration dans des dispositifs électroniques (résistances et transistors).

Chapitre III

Propriétés électriques des nanofils de silicium

I. Introduction

Les nanofils de silicium sont réalisés à partir d'une couche de silicium polycristallin qui présente des propriétés physiques (grains et joints de grains, efficacité de dopage ...) différentes de celles du silicium monocristallin. Ces propriétés affectent la conduction électrique dans une couche de silicium polycristallin. En théorie ainsi qu'en pratique, la physique des matériaux (statistique et quantique) a démontré l'existence de plusieurs modes de conduction dans les couches polycristallines. Ces modes de conduction décrivent la manière avec laquelle se déplacent les porteurs de charge dans le silicium polycristallin en fonction de plusieurs paramètres comme la taille des grains, la densité de défauts présents dans les grains et les joints de grains, le niveau de dopage, la température, ...

Dans la littérature, les nanofils de silicium présentent des propriétés électroniques dépendant de leur taille et leur forme géométrique [58, 59]. En effet, à très petite échelle (nanométrique) les propriétés électriques d'un matériau sont modifiées (confinement quantique des porteurs, conduction par saut quantique ...).

L'objet de ce chapitre est de vérifier si le comportement électrique des nanofils fabriqués au cours de ce travail de thèse diffère de manière significative de celui d'une couche mince de silicium polycristallin. Pour cela, nous avons caractérisé électriquement les nanofils de silicium étudié leur comportement électrique en fonction du dopage et de la température.

II. Propriétés électriques du silicium polycristallin

II.1 Introduction

Les propriétés de transport électrique dans les couches de silicium polycristallin sont dominées par la microstructure du matériau qui influence les performances des dispositifs. Celles-ci diffèrent de façon importante de celles du silicium monocristallin. Les différences sont essentiellement dues à la présence des joints de grains qui, par leurs propriétés physiques et électriques, influencent les caractéristiques globales du silicium polycristallin.

II.2 Distribution du dopant

Le dopage influe à la fois sur la taille des grains (propriétés physiques) et sur la résistivité, la concentration et la mobilité des porteurs (propriétés électriques). Hadjoudja [60] a proposé un organigramme de distribution du dopant et des porteurs dans une couche de silicium polycristallin (figure 41), en envisageant toutes les possibilités qui peuvent se présenter.

Les joints de grains ont une très grande influence sur le nombre de porteurs libres provenant du dopage. Ils jouent le rôle de sites de ségrégation, en mobilisant une partie des atomes du dopant qui deviennent électriquement inactifs. Les joints de grains sont aussi le siège d'états pièges qui capturent une partie des porteurs libres.

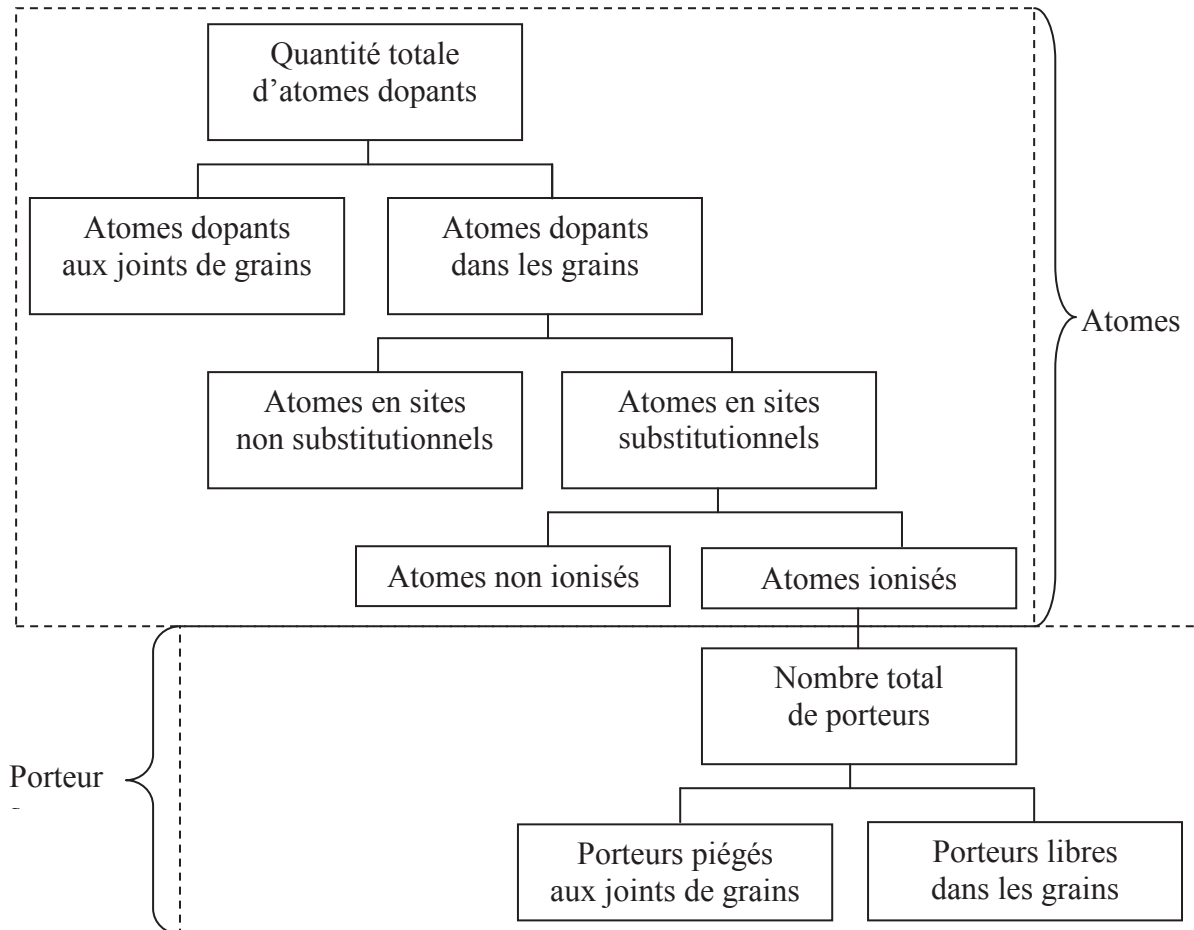


Figure 41 : Distribution du dopant dans une couche de silicium polycristallin. D'après [60].

Les différentes étapes de l'organigramme de la figure 41 ne sont pas nécessairement toutes présentes à la fois dans une couche de silicium donnée. Suivant les conditions de dépôt de la couche et le niveau du dopage, certaines étapes disparaissent.

II.3 Joints de grains

La zone du joint de grain est définie comme étant la limite de la structure monocristalline de deux grains voisins, donc elle sépare deux régions d'orientation cristallographique bien définie comme le schématise la figure 42.

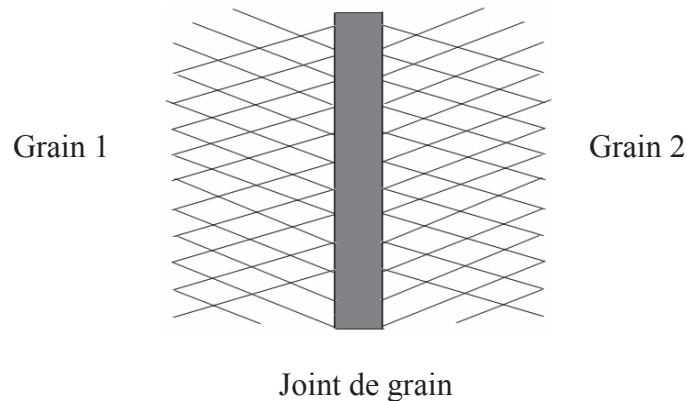


Figure 42 : représentation d'un joint de grain. Une région fortement désordonnée sépare deux régions d'orientation cristallographiques bien définies.

Les joints de grains ont une structure très complexe où beaucoup de défauts sont concentrés. Ces derniers peuvent être aussi bien des défauts intrinsèques (dislocations, macles...) qu'extrinsèques (précipitations d'impuretés métalliques par exemple). Les défauts intrinsèques sont de deux types :

- les liaisons pendantes : représentées par des liaisons interatomiques non satisfaites, résultant de la rupture de la périodicité du réseau cristallin (figure 42). Ce type de défauts introduit des états profonds dans la bande d'énergie du silicium polycristallin,
- les distorsions interatomiques causées par les déformations du réseau cristallin introduisant dans la bande d'énergie interdite du silicium polycristallin des états étendus au voisinage de chacune des bandes de conduction et de valence (queues de bandes).

La distribution énergétique dans la bande interdite des états de surface introduite par les défauts intrinsèques est en forme de U. Cette forme de distribution résulte de la distribution des états de queues de bandes U_T et la distribution des états de liaisons pendantes U_M (figure 43) [61].

La structure des joints de grains est généralement assimilée à celle du silicium amorphe hautement désordonné. Les joints de grains induisent des effets néfastes sur les performances des composants électroniques en silicium polycristallin par comparaison avec des composants classiques en silicium monocristallin. En effet, d'une part ils constituent des zones privilégiées pour la ségrégation et la précipitation du dopant. D'autre part la présence des liaisons pendantes constitue aussi bien des centres de recombinaisons pour les porteurs minoritaires limitant ainsi leur durée de vie, que des états pièges pour les porteurs majoritaires. Ces derniers donnent naissance à des barrières d'énergie potentielle qui gênent le déplacement des porteurs libres d'un grain à l'autre, ce qui limite particulièrement la mobilité de ces porteurs.

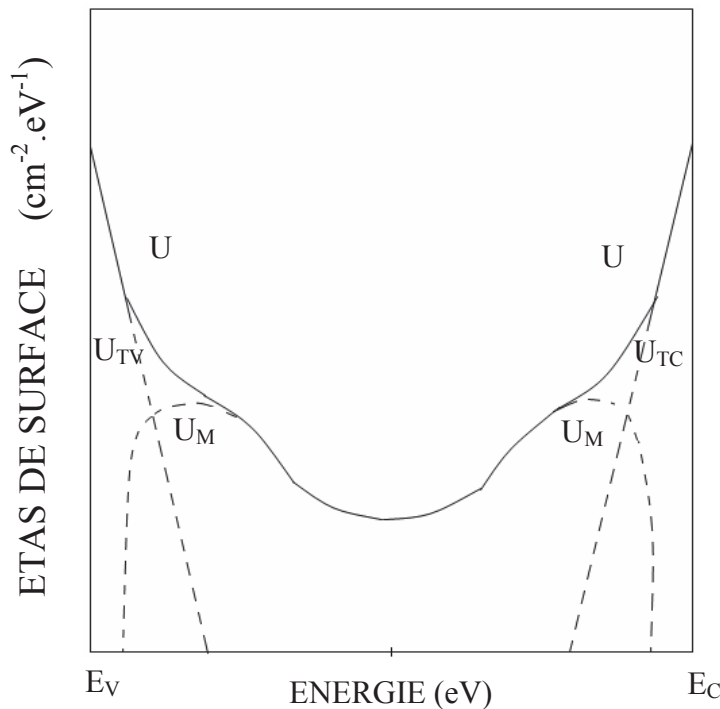


Figure 43 : Distribution en forme de U introduite par les défauts intrinsèques. D'après [61]

Il existe plusieurs modèles pour décrire les mécanismes de conduction dans les couches polycristallines. Dans ce qui suit nous allons présenter le modèle de piégeage des porteurs ainsi que le modèle de conduction par sauts.

II.3.1 Modèle de piégeage des porteurs aux joints de grains

Dans ce modèle, la conduction est assurée par des porteurs libres (électrons ou trous) qui acquièrent une énergie thermique suffisante pour franchir une barrière de potentiel associée au piégeage des porteurs au niveau des défauts de structure principalement localisés dans les joints de grains. Dans ce cas, la conduction est thermiquement activée et l'expression générale du courant en fonction d'une tension appliquée (V) s'exprime :

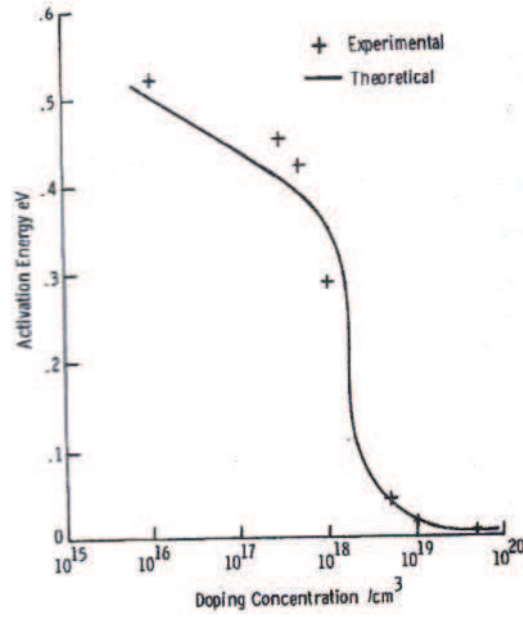
$$I = I_0 \exp\left(-\frac{E_A}{kT}\right) \left[\exp\left(\frac{qV}{kT}\right) - 1 \right] \quad (1)$$

où E_A représente l'énergie d'activation. Celle-ci représente la quantité d'énergie qu'il faut fournir pour qu'un porteur (électron ou trou) se trouvant au voisinage du niveau de Fermi puisse se retrouver dans la bande de conduction ou de valence.

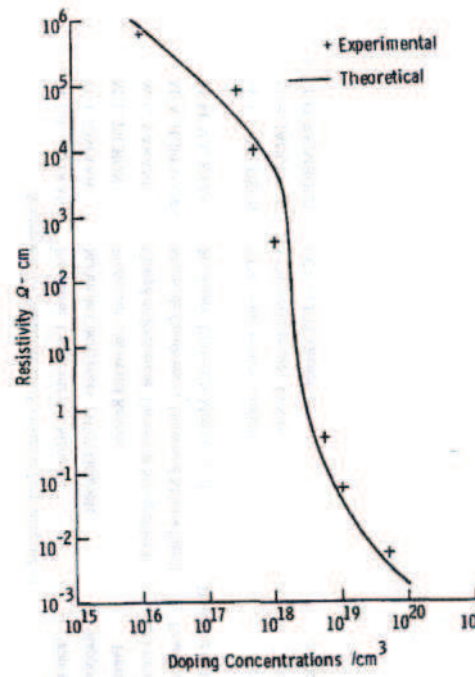
Seto [62] a été le premier à décrire de façon quantitative un modèle qui permet de rendre compte de façon satisfaisante des propriétés électriques du silicium polycristallin dopé. Ce modèle est basé sur le piégeage des porteurs libres aux joints de grains et la théorie thermoélectronique.

Le modèle de Seto suppose que :

- les grains sont identiques et cubiques d'arête L ,
- les joints de grains ont une épaisseur négligeable par rapport à L ,
- un seul type d'atomes uniformément distribués et tous ionisés en concentration N est présent dans le silicium polycristallin,
- les pièges (localisés au niveau du joint de grain) introduisent un niveau d'énergie situé dans la bande interdite,
- les pièges initialement neutres se chargent en capturant des porteurs libres.



(a)



(b)

Figure 44 : Variation de l'énergie d'activation (a) et de la résistivité (b) du silicium polycristallin en fonction du dopage au Bore. D'après le modèle de Seto [62].

Le piégeage des porteurs induit une zone désertée dans les grains de part et d'autre des joints de grains.

Aux faibles dopages, c'est-à-dire pour des concentrations d'espèces dopantes inférieures à une concentration critique (N^*), les grains sont entièrement désertés et la

conduction est le résultat de processus émissions/recombinaisons de porteurs à partir des défauts associés à des niveaux profonds localisés dans la bande interdite (liaisons pendantes). L'énergie d'activation varie peu (figure 44) et obéit à la loi suivante :

$$E_A = \frac{1}{2} E_G - E_F \quad (2)$$

où E_G représente la largeur de la bande interdite et E_F le niveau de Fermi pris comme référence des énergies.

Aux fortes concentrations de dopants, supérieures à N^* , les grains sont partiellement désertés. L'extension de la zone désertée dans les grains diminue lorsque le taux de dopage croît. Dans ce cas l'énergie d'activation est associée à la hauteur de barrière de potentiel intergranulaire (E_B) induite par le piégeage des porteurs aux joints de grains (figure 45). Celle-ci décroît avec la concentration de dopants N suivant :

$$E_A = \frac{q^2 N_T^2}{8\epsilon N} \quad (3)$$

où N_T représente la densité de pièges aux joints de grains. Dans ce cas la conduction est assurée par la diffusion des porteurs libres possédant une énergie supérieure à E_B (figure 45).

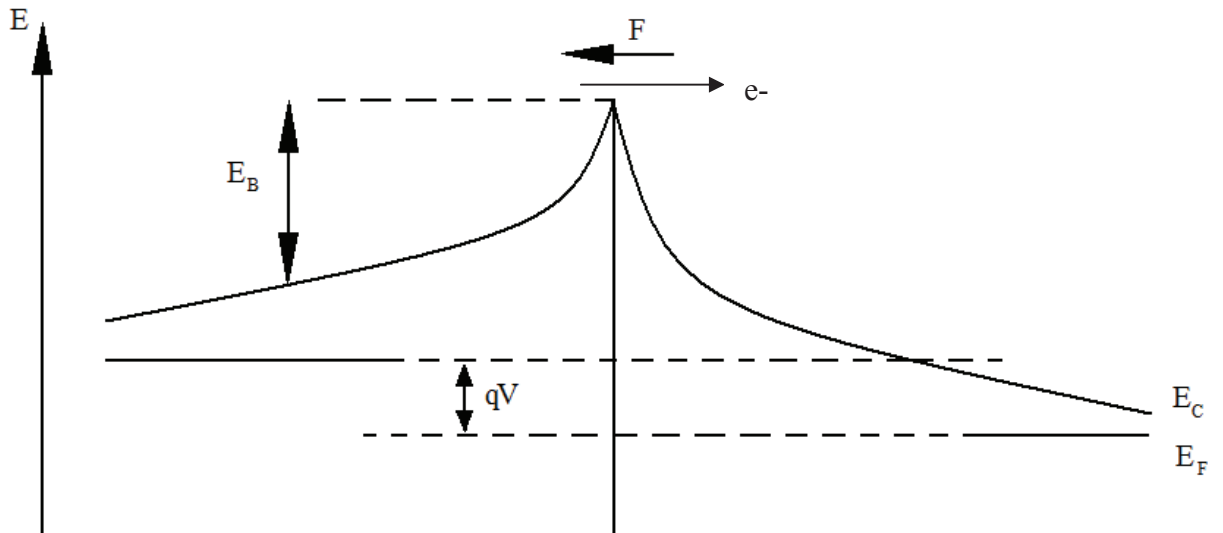


Figure 45: Emission thermique au dessus d'un joint de grain (F représente le champ électrique local et E_B la barrière de potentiel intergranulaire)

II.3.2 Modèle de conduction par Sauts

Lorsqu'un matériau semiconducteur présente une densité de défauts élevée, et uniformément répartie dans le volume, la conduction peut s'opérer par sauts des porteurs de défauts en défauts (suffisamment proches les uns des autres). Ce mécanisme peut se traduire par une activation thermique, dont l'énergie d'activation correspond à la différence des niveaux d'énergies localisés associés aux défauts proches entre lesquels transitent les porteurs (voir figure 46). Ces niveaux sont supposés être distribués sur un quasi continuum aux extrémités de la bande de conduction et de la bande de valence. Dans ce mode de conduction, aussi appelé conduction de type Mott [63], le courant est usuellement modélisé par :

$$I = I_0 \exp\left(-\left(\frac{T_0}{T}\right)^{1/4}\right) \quad (4)$$

où T_0 est une température caractéristique associée à une densité d'états au voisinage du niveau de fermi $N(E_F)$ par la relation :

$$T_0 = \frac{\gamma^3 c^4}{kN(E_F)} \quad (5)$$

Avec k constante de Boltzman, $0,3 \text{ nm} \leq \gamma^{-1} \leq 3 \text{ nm}$ paramètre représentant l'inverse du coefficient d'atténuation de la fonction d'onde du porteur, et c une constante dont la valeur peut varier suivant les auteurs : $c = 2,06$ d'après [62], ou $c = 2,8$ (si $N(E_F)$ est constante) ou $4,2$ (si $N(E_F)$ présente une distribution exponentielle) d'après [63].

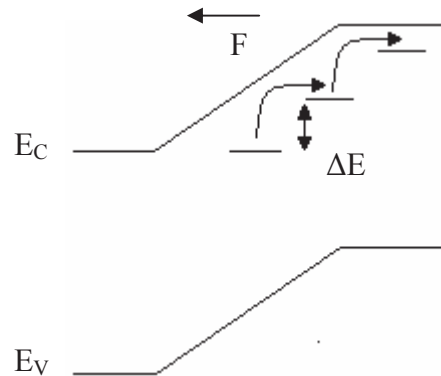


Figure 46 : représentation schématique des processus de conduction par sauts. ΔE représente l'énergie d'activation associée au processus.

III. Caractérisation électrique des nanofils de silicium

La caractérisation électrique des nanofils a été réalisée par la mesure du courant à travers une structure sous forme de résistance fabriquée à partir de nanofils de silicium (voir chapitre 2). Des mesures du courant électrique en fonction de la température et du dopage ont été effectuées.

III.1 Caractéristique courant - tension

Dans un premier temps, nous avons vérifié le comportement ohmique de ces résistances en effectuant des mesures à température ambiante du courant en fonction d'une rampe de tension linéaire appliquée entre -1V et 1V. Ces mesures sont effectuées à l'aide d'un testeur sous pointes et d'un analyseur de paramètres programmable HP 4155 B. Le schéma suivant (figure 47) présente le montage réalisé pour les mesures.

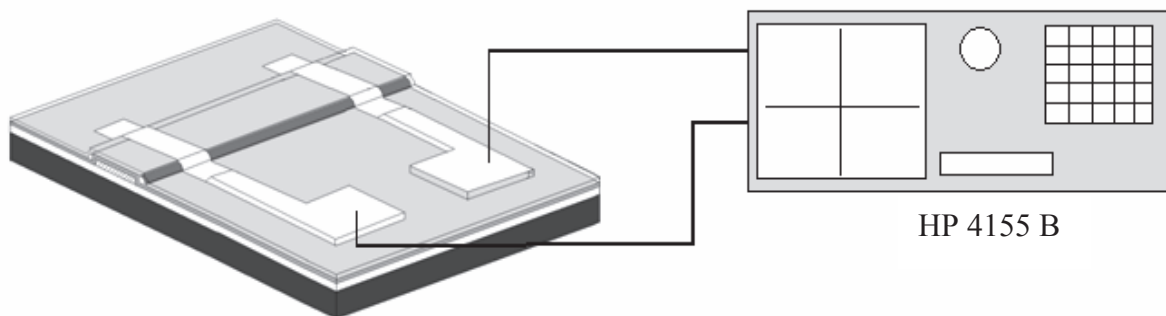


Figure 47 : montage illustrant la caractérisation électrique des nanofils en utilisant un HP 4155B

La mesure a été effectuée sur des résistances constituées de deux nanofils de silicium en parallèle encapsulés et non intentionnellement dopés, chacun d'une longueur de $10\mu\text{m}$ et de rayon de courbure de 100nm .

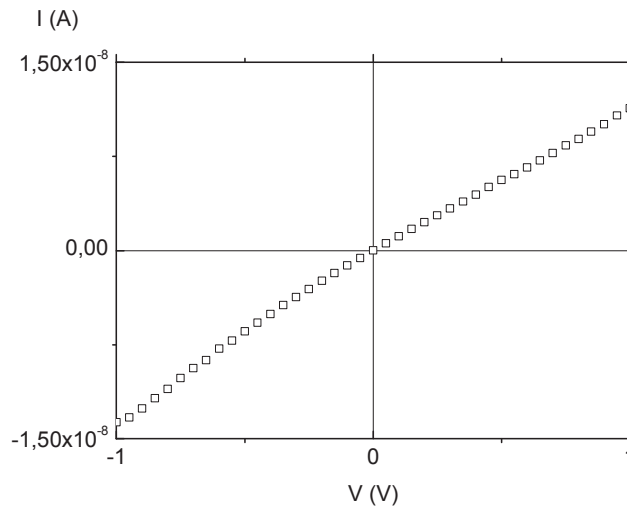


Figure 48 : Caractéristique $I(V)$ de la résistance à base de nanofils de silicium

La caractéristique (figure 48) montre un comportement ohmique des résistances. Par la suite, afin de vérifier la validité du procédé de fabrication de ces résistances, nous avons caractérisé d'autres résistances constituées de nanofils de différentes longueurs.

III.2 Résistance globale en fonction de la longueur des nanofils

La courbe suivante (figure 49) montre la variation de la résistance globale en fonction de la longueur des nanofils.

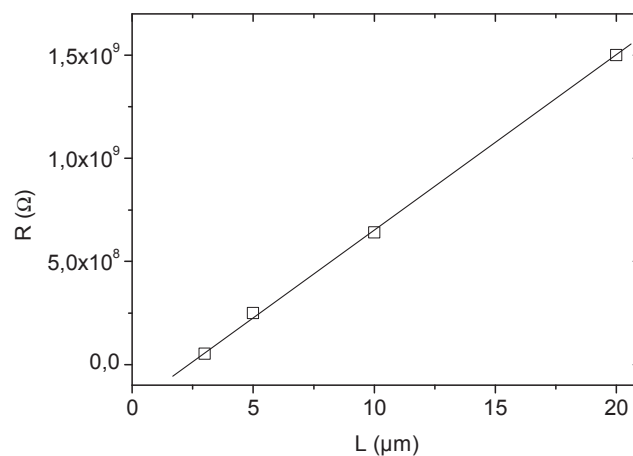


Figure 49: variation de la résistance en fonction de la longueur des nanofils de silicium

L'évolution linéaire de la résistance en fonction de la longueur permet de valider le procédé de fabrication des résistances à base de nanofils de silicium.

Des mesures du courant en fonction de la température ont été effectuées à l'aide d'un cryostat comprenant un porte substrat régulé en température dont le schéma est illustré sur la figure suivante (figure 50).

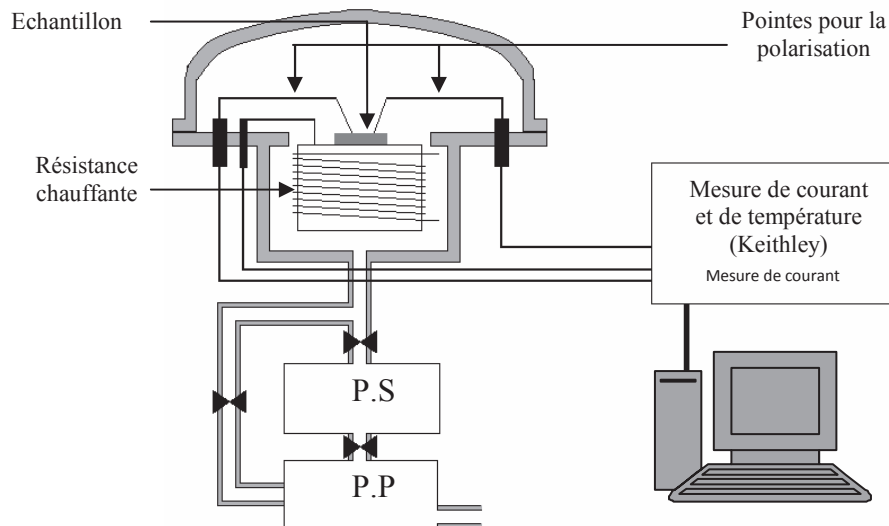


Figure 50 : dispositif expérimental de mesure de courant en fonction de la température (cryostat)

Les mesures du courant sont effectuées sous vide ($\sim 10^{-5}$ mbar) après un dégazage de l'échantillon à 200°C pendant une heure, ce qui permet d'éliminer les éventuelles impuretés qui pourraient modifier la conductivité (de surface) de l'échantillon. La mesure est effectuée grâce au Keithley 617 dont la sensibilité permet de mesurer des courants très faibles (~ 1 pA).

Le dispositif de mesure est piloté par un système informatique (mis au point par le laboratoire) qui permet à la fois la fixation de la tension de polarisation, l'élévation de la température assurée par une rampe à vitesse constante (3,7°C/min), et l'acquisition des valeurs de courant et de température au cours de la manipulation. Les structures que nous avons caractérisées sont polarisées à 1V pour une gamme de température comprise entre -100°C et 200°C.

La figure 51 représente les diagrammes d'Arrhenius (courant en fonction de l'inverse de la température) pour des résistances à base de nanofils de 100 nm de rayon de courbure non dopés. Par comparaison, nous avons également représenté le diagramme d'Arrhenius

d'une résistance constituée d'une couche en silicium polycristallin non dopé de 500 nm d'épaisseur.

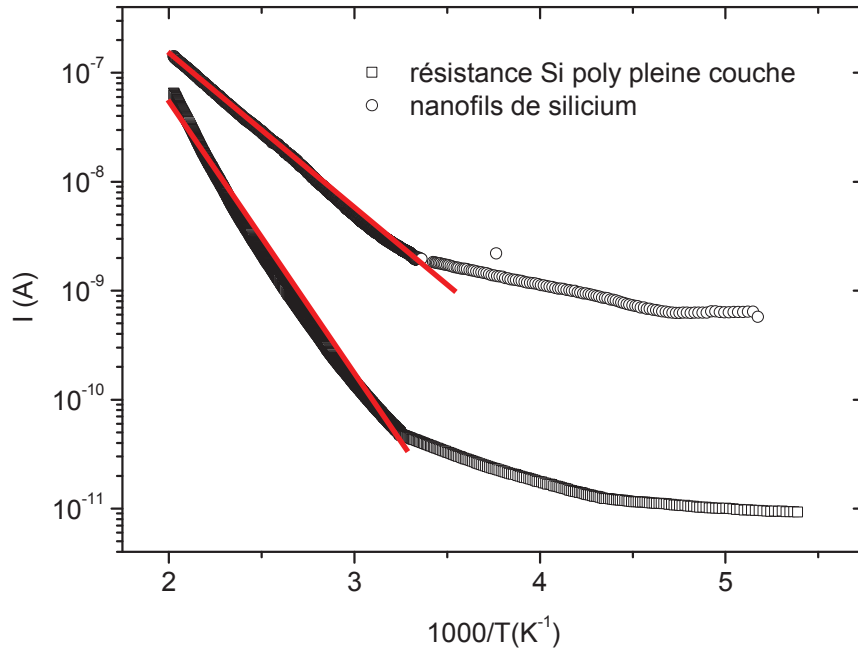


Figure 51: courbe $I(T)$ - représentation d'Arrhenius (sans nettoyage RCA). Tension de polarisation 1V. Rayon de courbure des nanofils 100nm.

Dans un matériau semi-conducteur, la loi d'Arrhenius obéit à l'équation suivante :

$$I = I_0 \exp\left(-\frac{E_A}{kT}\right) \quad (6)$$

où E_A représente l'énergie d'activation des porteurs dans le semi-conducteur, usuellement déduite de la pente de la partie linéaire de la courbe $I=(1/kT)$ représentée en échelle semi-logarithmique.

Dans le cas du silicium non dopé, le niveau de Fermi est au voisinage du milieu de la bande interdite (soit à environ 0,56eV du bord des bandes de conduction ou de valence). Cette valeur correspond à la valeur de l'énergie d'activation est celle mesurée pour les résistances à base de couche mince de silicium polycristallin non dopé. Par contre celle mesurée pour les nanofils de silicium donne une valeur de 0,3eV. Une hypothèse que nous avons émise pour expliquer cette différence est attribuée à la présence d'impuretés sur la surface des nanofils de silicium (contamination en surface avant dépôt d'oxyde pour encapsulation). Afin de vérifier

cette hypothèse, nous avons effectué un nettoyage RCA des nanofils avant leur encapsulation. Ce nettoyage consiste à éliminer tous les polluants (métalliques et organiques) de la surface des nanofils. Dans ce cas, les mesures du courant en fonction de la température donnent le résultat suivant (figure 52).

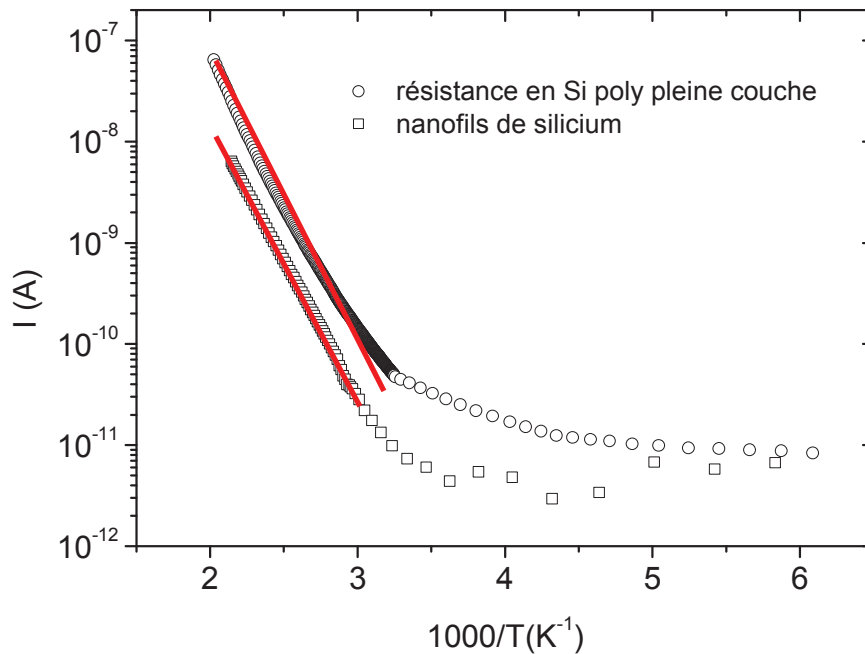


Figure 52 : diagramme d'Arrhenius du courant en fonction de l'inverse de la température après nettoyage RCA

La valeur de l'énergie d'activation après nettoyage RCA est alors de 0,54 eV. Cette valeur est conforme à celle obtenue pour une couche de silicium polycristallin non dopé. Ceci démontre d'une part l'effet du nettoyage RCA sur le comportement électrique des nanofils de silicium, et d'autre part la sensibilité en surface de ces derniers vis-à-vis d'impuretés de l'environnement ambiant susceptibles d'être adsorbées en surface de façon volontaire ou non. En effet, cette adsorption pourrait être favorisée par une densité de défauts en surface plus importante liée à un état de surface dégradé par le bombardement ionique pendant la gravure sèche (RIE) du silicium polycristallin pour créer les nanofils. De tels défauts pourraient jouer un rôle prépondérant pour la détection d'espèces chimiques par les nanofils (discuté dans le chapitre IV).

Ces résultats permettent de supposer que la conduction électrique à la surface des nanofils joue un rôle important dans le comportement électrique de dispositifs électroniques à base de ces nanofils.

IV. Etude de l'effet du dopage *in-situ* des nanofils de silicium

Comme pour tout matériau semiconducteur, l'intérêt d'utiliser les nanofils de silicium dans la fabrication de dispositifs électroniques est de pouvoir contrôler et moduler leurs propriétés électriques grâce au dopage. Dans cette partie, nous nous intéressons à l'étude du comportement électrique des nanofils de silicium en fonction du dopage (de type N). L'étude porte sur deux types de nanofils présentant un rayon de courbure de 100 nm et 50 nm respectivement afin de vérifier si un effet de la taille sur l'efficacité de dopage est observable à ce niveau d'échelle.

Les nanofils de silicium dopés sont fabriqués à partir de couches de silicium polycristallin dopé *in-situ* avec de la phosphine diluée dans l'hélium. Le silicium est déposé à l'état amorphe à 550°C, à une pression de 90 Pa, puis cristallisé par recuit thermique sous vide à 600°C pendant 12 heures. La concentration d'atomes dopants incorporés (C_p) est contrôlée en ajustant le rapport molaire phosphine/silane de 0 (nanofils non dopés) à $1,2 \cdot 10^{-3}$ (nanofils fortement dopés). Dans ces conditions, la gamme de dopage explorée est alors comprise entre $2 \cdot 10^{16} \text{ at.cm}^{-3}$ et $2 \cdot 10^{20} \text{ at.cm}^{-3}$ [65].

IV.1 Cas des nanofils de silicium avec un rayon de courbure de 100nm

La figure 53 montre les caractéristiques $I(V)$ des résistances fabriquées à base de nanofils dopés à des taux différents.

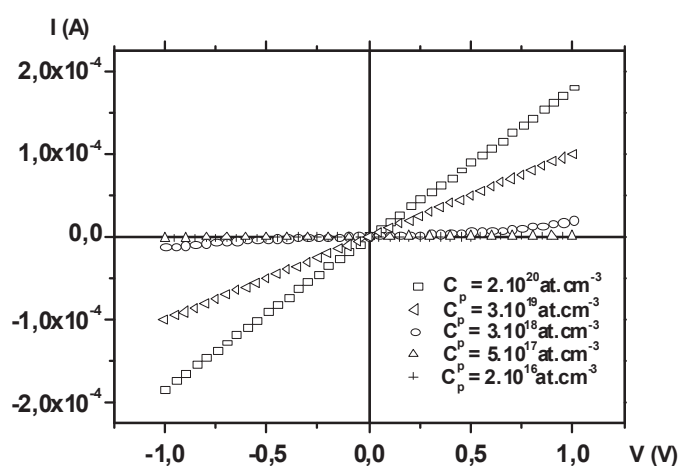


Figure 53 : caractéristiques $I(V)$ des résistances pour différents taux de dopage des nanofils (rayon de courbure = 100nm)

Comme prévu, les résultats montrent que la résistance associée diminue avec le taux de dopage. A partir de ces mesures nous avons alors extrait la résistivité (ρ) des nanofils en considérant la géométrie suivante :

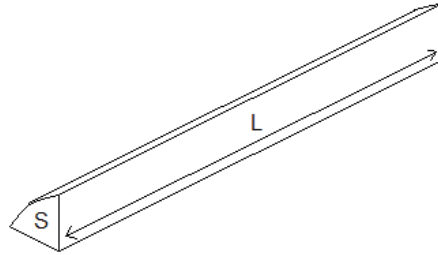


Figure X : forme géométrique du nanofil pour le calcul de la résistivité

Avec

L : longueur du nanofil (10 μm), S : section du nanofil (quart d'un disque) dont la surface est

exprimée par : $S = \frac{\pi r^2}{4}$. r étant le rayon de courbure du nanofil.

La figure 54 représente les variations de la résistivité des nanofils ainsi que celle d'une couche pleine de silicium polycristallin de 500 nm d'épaisseur en fonction du taux de dopage.

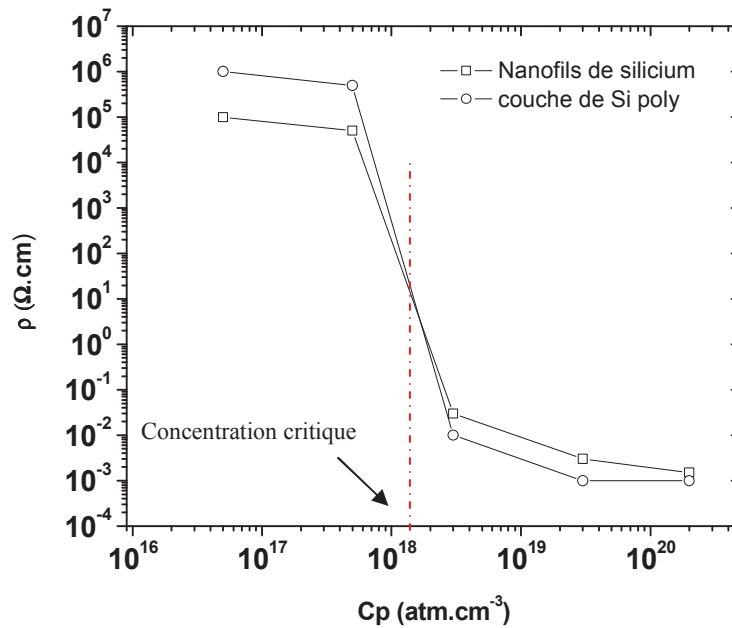


Figure 54: résistivités des nanofils de silicium (rayon de courbure = 100nm) et d'une couche de silicium polycristallin en fonction du taux de dopage

Nous remarquons que la résistivité des nanofils et de la couche de silicium polycristallin diminuent en fonction du taux de dopage en suivant à peu près les mêmes variations. Aux faibles taux de dopage, la résistivité varie peu. Au voisinage d'une certaine concentration critique ($\sim 2.10^{18} \text{ at.cm}^{-3}$) celle-ci diminue considérablement (environ 6 ordres de grandeur sur une décade), puis au-delà, celle-ci continue à diminuer faiblement. Ces résultats sont conformes au modèle de Seto précédemment rapporté pour des couches de silicium polycristallin dopé *in-situ* ou par implantation ionique (figure 44 (b)) [60, 62, 65]. Notons que dans ce modèle la concentration critique peut être un facteur de qualité puisqu'elle correspond à la densité de défauts dans les joints de grains piègeurs des porteurs de charge.

Ceci montre que le dopage *in-situ* a la même efficacité sur les nanofils de silicium que pour les couches polycristallines. Nous pouvons donc supposer que la structure cristalline d'un nanofil ayant un rayon de courbure de 100nm est similaire à celle d'une couche de silicium polycristallin.

La courbe suivante (figure 55) représente les variations du courant en fonction de l'inverse de la température pour différents taux de dopage.

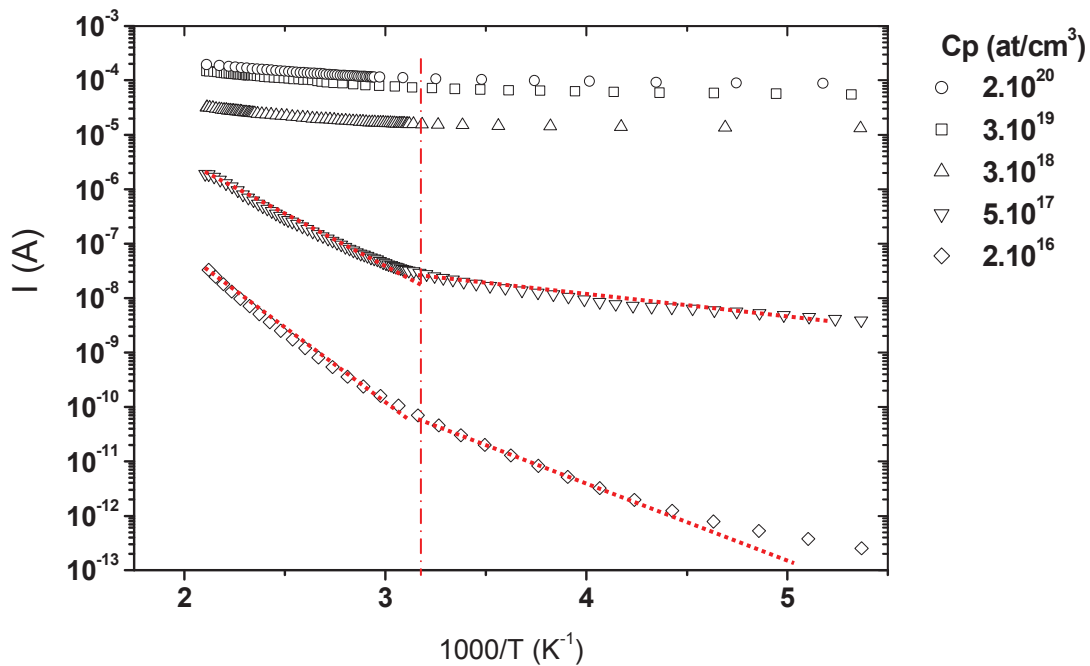


Figure 55 : diagramme d'Arrhenius du courant à travers les nanofils de silicium pour différents taux de dopage (rayon de courbure = 100nm). Tension de polarisation 1V.

L'allure des courbes fait apparaître deux pentes différentes autour d'une température proche de 60°C. Cet effet a été modélisé par l'existence de deux modes de conduction en compétition suivant la relation:

$$I(T) = I_1 \exp\left(-\frac{E_A}{kT}\right) + I_2 \exp\left(-\left(\frac{T_0}{T}\right)^{1/4}\right) \quad (7)$$

associant :

- un mode de conduction à haute température correspondant au modèle de piégeage des porteurs décrit par Seto [62] suivant la relation (6) où E_A dépend de C_p
- un mode de conduction à basse température associé à une conduction par sauts suivant la relation (4) où T_0 dépend aussi de C_p .

Des diagrammes d'Arrhenius, nous avons alors déduit les valeurs des énergies d'activation (E_A) aux hautes températures en fonction du taux de dopage représentées sur la figure 56.

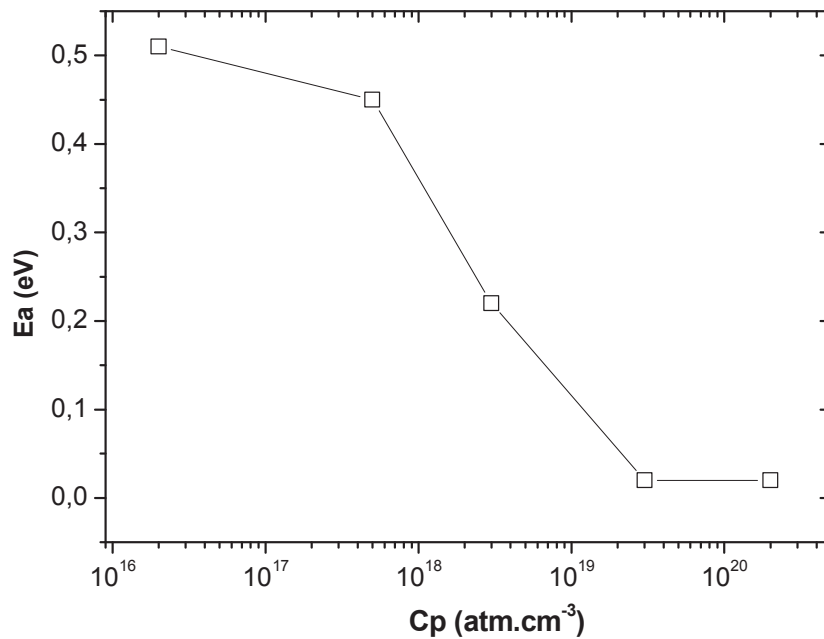


Figure 56 : énergie d'activation du courant à travers les nanofils en fonction du taux de dopage (rayon de courbure = 100 nm)

Comme attendu, la variation de l'énergie d'activation en fonction du taux de dopage suit le modèle de Seto comme pour une couche de silicium polycristallin présentant des grains relativement petits (figure 44).

Aux faibles dopages (inférieurs à la concentration critique), la génération de porteurs domine. Ces derniers sont émis à partir de niveaux profonds dans le gap associés aux défauts (dans les nanofils). Dans ce cas, l'énergie d'activation correspond à la hauteur de barrière que doivent franchir les porteurs (électrons) pour être émis dans la bande de conduction. Aux forts dopages (supérieurs à la concentration critique), la conduction est associée à la diffusion des porteurs ayant une énergie thermique supérieure à la hauteur de barrière de potentiel intergranulaire (E_B) induite par le piégeage des porteurs aux joints de grains. Dans ce cas $E_A = E_B$ et décroît suivant une loi en $1/C_p$.

L'étude de l'effet du dopage *in-situ* sur les nanofils ayant un rayon de courbure de 100 nm a montré que le comportement électrique de ces derniers est similaire à celui d'une couche de silicium polycristallin. Ces résultats ont fait l'objet d'une communication internationale ainsi que d'une publication internationale [82]. Par la suite, il nous a paru intéressant d'approfondir cette étude en réduisant le rayon de courbure (50 nm) et ainsi vérifier s'il existe un effet de dopage à des plus faibles dimensions.

IV.2 Cas des nanofils de silicium avec un rayon de courbure de 50 nm

La courbe suivante (figure 57) illustre les caractéristiques du courant en fonction de la tension pour les différents taux de dopage des nanofils ayant un rayon de courbure de 50 nm.

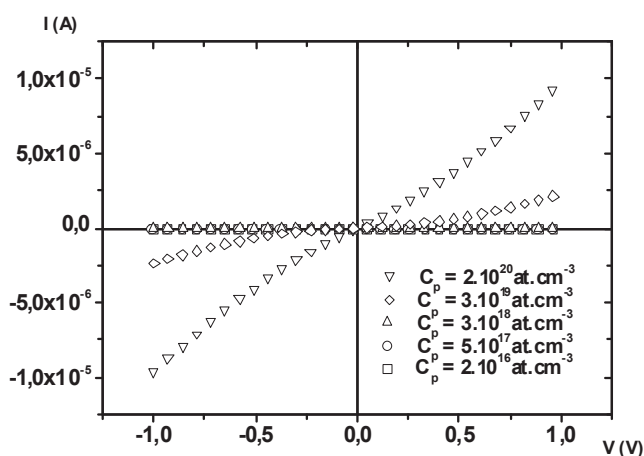


Figure 57 : caractéristiques $I(V)$ des résistances pour différents taux de dopage des nanofils (rayon de courbure = 50 nm)

Dans le cas des nanofils ayant un faible rayon de courbure (50nm), la variation du courant en fonction de la tension montre que la résistance des nanofils diminue avec le taux de dopage. La figure 58 montre les variations de la résistivité de ces nanofils en fonction du taux de dopage comparées à celles des nanofils ayant un rayon de courbure de 100 nm et d'une couche pleine de silicium polycristallin.

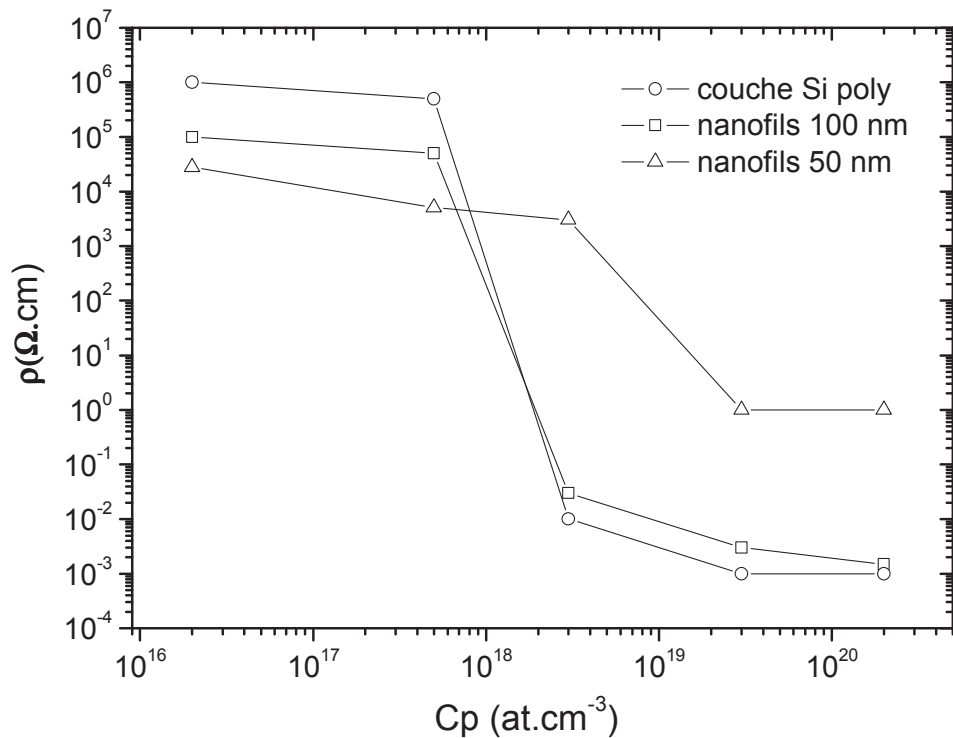


Figure 58 : résistivités des nanofils de silicium (rayon de courbure = 50nm) comparée à celles des nanofils de rayon de courbure 100 nm et d'une couche de silicium polycristallin en fonction du taux de dopage

L'allure générale de la résistivité en fonction du taux de dopage pour ces nanofils présente une certaine similitude à celle des nanofils de rayon de courbure 100 nm avec toutefois des différences :

- pour les faibles taux de dopage, nous avons une résistivité plus faible,
- pour les forts taux de dopage, la résistivité est nettement plus élevée (3 ordres de grandeur de plus),

- une concentration critique élevée autour de $10^{19} \text{ at.cm}^{-3}$ (au lieu de $2.10^{18} \text{ at.cm}^{-3}$).

L'augmentation de la valeur de concentration critique suggère que la densité des défauts (centres piègeurs) est plus importante. De plus, la résistivité élevée aux forts taux de dopage traduit le fait que le dopage commence à perdre son efficacité, c'est-à-dire que l'incorporation des atomes dopants en sites électriquement actifs est plus faible (phénomène de ségrégation des atomes dopants important).

Ces observations peuvent être ramenées à la structure initiale de la couche de silicium polycristallin à partir de laquelle les nanofils ont été réalisés.

En effet les conditions de dépôt du silicium par LPCVD (dépôt en phase amorphe puis croissance des grains par recuit de cristallisation) produisent un silicium polycristallin dont la structure volumique représente des grains colonnaires séparés par des joints de grains. Le schéma suivant (figure 59) illustre le profil en profondeur d'une couche de silicium polycristallin.

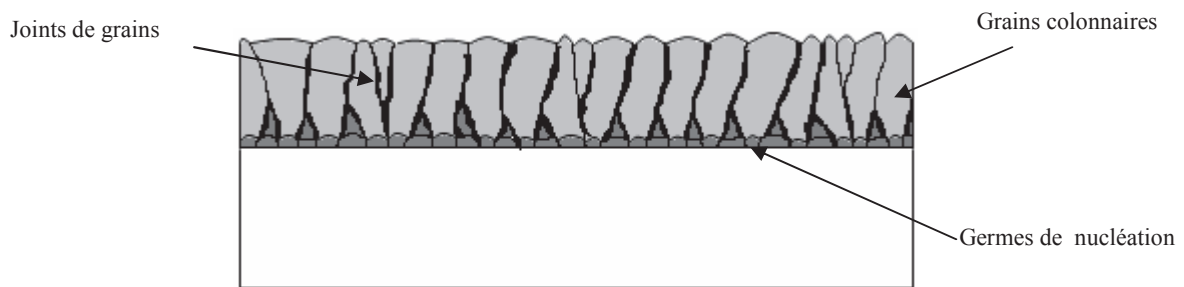


Figure 59 : structure colonnaire du silicium polycristallin déposé par LPCVD

Cette structure montre une différence de cristallinité en fonction de la profondeur (réduction de la taille des grains en fonction de la profondeur, augmentation de la densité de défauts, ...). La figure 60 illustre le passage à une structure nettement plus perturbée en réduisant le rayon de courbure des nanofils de 100 nm à 50 nm. Cette différence peut expliquer le changement du comportement électrique des nanofils de silicium en fonction du rayon de courbure. En effet, pour les nanofils de 50nm de rayon de courbure, la structure présente une densité de défauts cristallins plus importante du fait que ces derniers sont principalement dans la couche de germination ayant une incidence sur l'efficacité du dopage et donc aussi sur le comportement électrique.

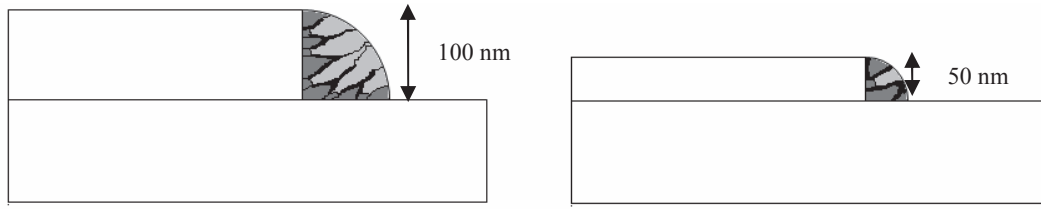


Figure 60 : vue en coupe schématique des nanofils pour deux rayons de courbure (50 nm et 100 nm).

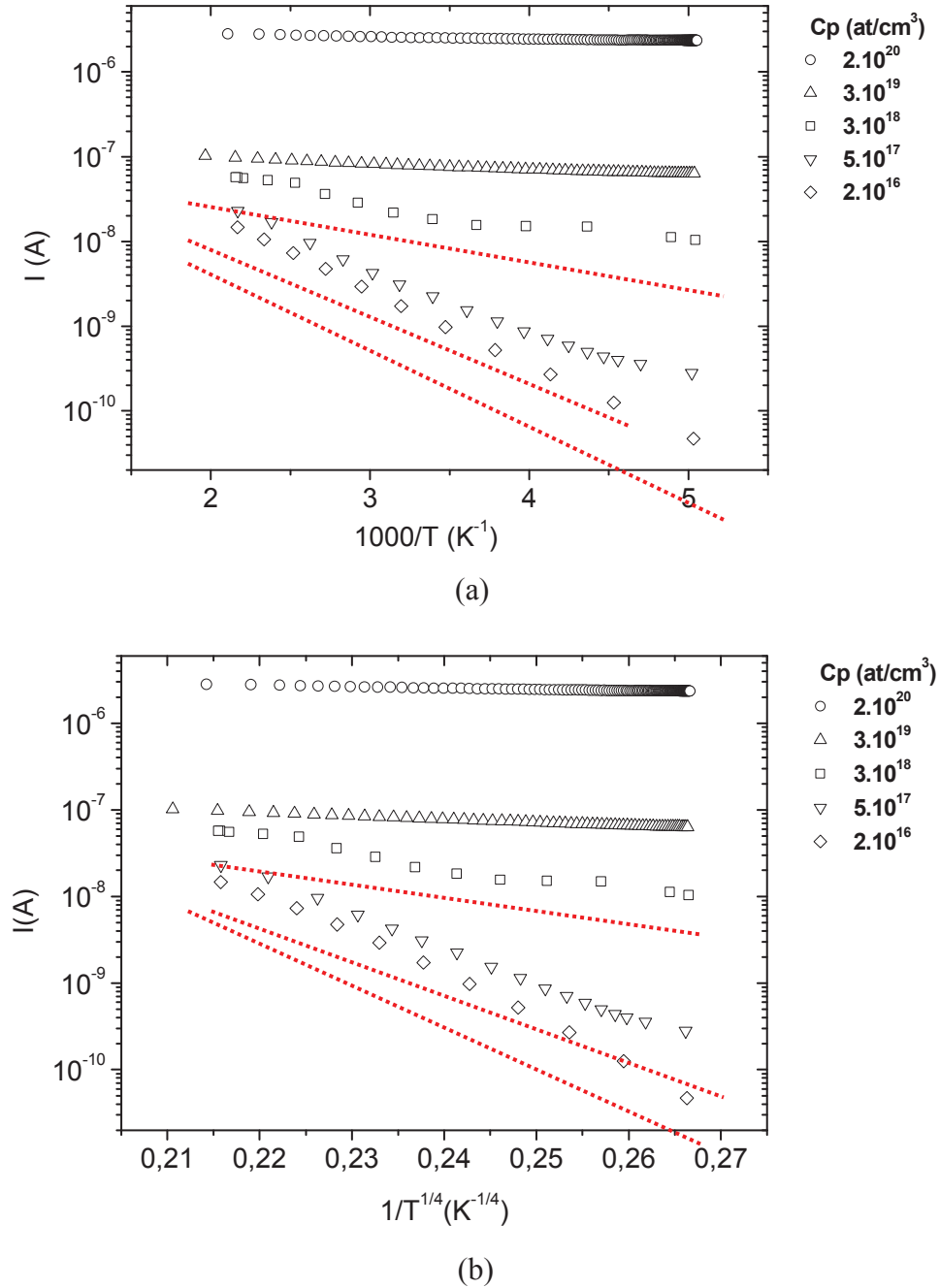


Figure 61: diagramme d'Arrhenius (a), de Mott (b) du courant à travers les nanofils pour les différents taux de dopage (rayon de courbure = 50 nm)

Les mesures du courant en fonction de la température pour différents taux de dopage sont présentées sur la figure 61. Les variations de l'énergie d'activation correspondante en fonction de la concentration de dopants représentées sur la figure 62 sont similaires à celles prévues par le modèle de Seto. Toutefois, les valeurs mesurées sont plus faibles et ceci est probablement corrélé à la structure plus perturbée des nanofils avec un rayon de courbure de 50 nm. Le modèle de Seto ne peut plus s'appliquer strictement pour décrire la conduction (pour des températures supérieures à 60°C) comme dans le cas des nanofils avec un rayon de courbure de 100 nm. Une contribution des défauts (autres que ceux aux joints de grains) dans les mécanismes de conduction est à envisager. L'hypothèse la plus probable reste celle d'un autre mécanisme thermiquement activé associé aux processus de piégeages/dépiégeages des porteurs à partir de défauts répartis de façon plus homogène dans les nanofils. Dans ce cas la conduction par sauts de type Mott [63] est la plus plausible du fait de la densité de défauts plus élevée lorsque la taille des nanofils diminue.

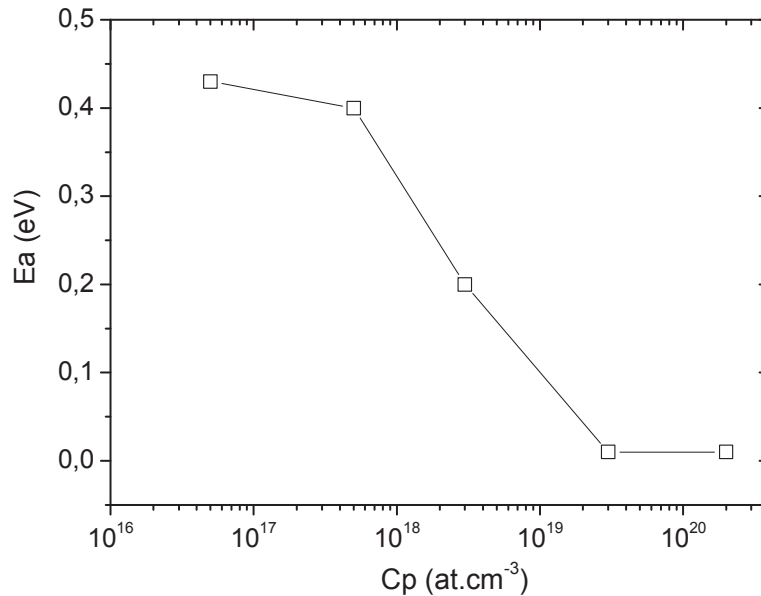


Figure 62 : énergie d'activation du courant à travers les nanofils en fonction du taux de dopage (rayon de courbure = 50 nm)

La température caractéristique T_0 a été extraite, conformément à la relation (4), des pentes des portions linéaires des courbes de la figure 61 (b), pour différentes valeurs du taux de dopage. De même que le facteur pré-exponentiel du courant (I_0) a été déterminé par

extrapolation linéaire avec l'axe des ordonnées. Les variations linéaires et croissantes de I_0 avec $T_0^{1/4}$ (figure 63) traduisent une distribution exponentielle de la densité d'états au voisinage du niveau de fermi $N(E_F)$ [64]. Cette quantité est un paramètre pertinent car elle peut être un facteur de qualité pour des nanofils. Celle-ci a alors été déterminée conformément à la relation (5) pour différentes valeurs du taux de dopage. En effet, la concentration des atomes dopants étant directement reliée au nombre de porteurs libres, elle est alors reliée à la position du niveau de fermi dans la moitié supérieure de la bande interdite du silicium suivant la relation :

$$C_P = \eta n = \eta N_C \exp\left(-\frac{E_C - E_F}{kT}\right) \quad (8)$$

où η^{-1} représente l'efficacité du dopage, n la concentration de porteurs libres (électrons), N_C la concentration effective des états dans la bande de conduction et E_C le minimum de la bande de conduction. La dépendance de cette densité d'états $N(E_F)$ avec le taux de dopage est alors le reflet de la distribution des états associés dans la moitié supérieure de la bande interdite.

Les variations de $N(E_F)$ en fonction du taux de dopage sont représentées sur la figure 24 pour différentes valeurs du coefficient d'atténuation de la fonction d'onde (γ) répertoriées dans la littérature ($0,3 \text{ nm} \leq \gamma^{-1} \leq 3 \text{ nm}$, partie grisée) dans le cas du silicium. Il apparaît clairement que $N(E_F)$ est constante aux faibles taux de dopage ($< 5 \times 10^{17} \text{ cm}^{-3}$) puis croît de manière significative, c'est-à-dire de manière exponentielle aux forts dopages. De plus, pour des valeurs de γ^{-1} proches de 3 nm, les valeurs de $N(E_F)$ sont conformes à ce que l'on peut trouver pour le silicium amorphe ou polycristallin [66]. Cela signifie que pour les nanofils présentant un rayon de courbure de 50 nm le modèle de Mott est valable pour de faibles valeurs de γ . Par ailleurs, notons que cette approche de la détermination expérimentale de la distribution des états localisés associée à ce modèle est originale : toutes les autres études expérimentales font état d'une valeur moyenne de $N(E_F)$ [67 - 69]. Les seules études ayant démontré l'existence d'une distribution (exponentielle) des états localisés ont été menées par C. Godet [64, 70] et sont basées sur une modélisation numérique de $N(E_F)$.

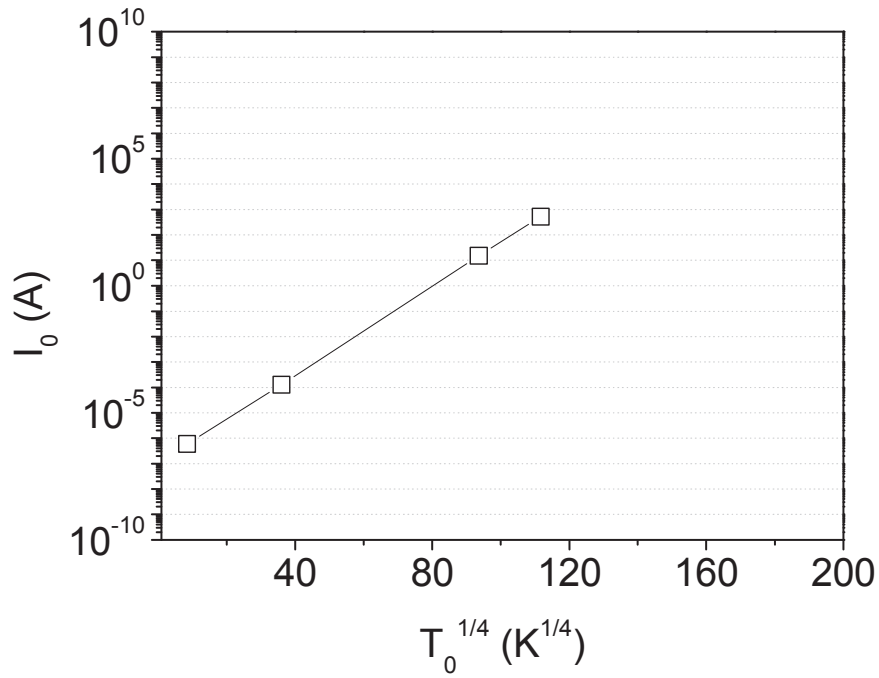


Figure 63 : Variations du facteur pré-exponentiel du courant (I_0) en fonction de la température caractéristique T_0 .

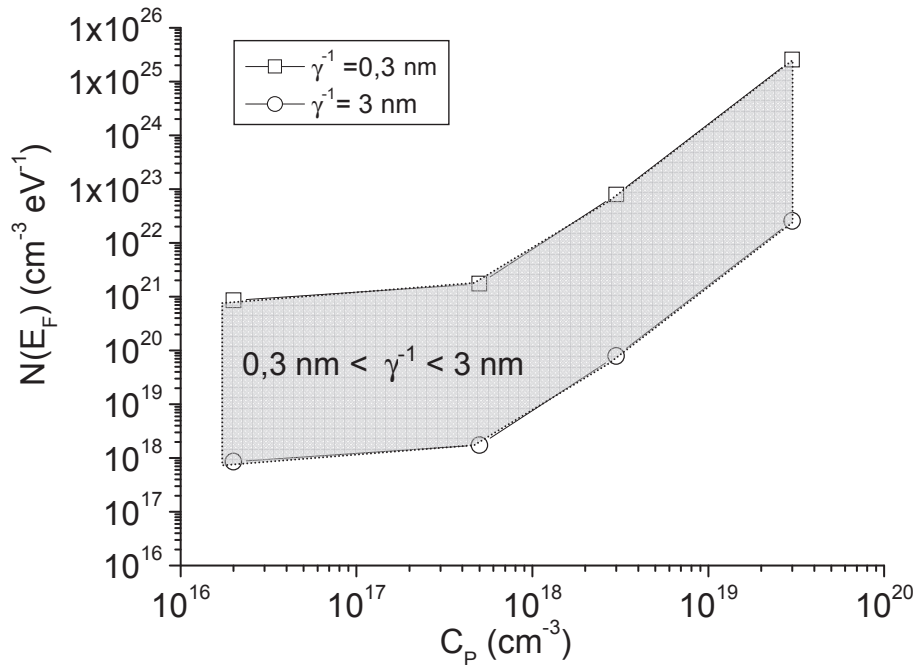


Figure 64 : Distributions de la densité d'états au voisinage du niveau de fermi, définie conformément au modèle de Mott par la relation (5), en fonction du taux de dopage (rayon de courbure des nanofils 50nm). Les valeurs sont déduites pour $0.3 nm \leq \gamma^{-1} \leq 3 nm$ et $c = 4.2$ (distribution exponentielle)

V. Caractérisation électrique des transistors à base de nanofils de silicium

L'étude du comportement électrique des nanofils de silicium a permis d'analyser en partie les mécanismes de conduction. Néanmoins, l'intérêt de la réalisation des nanofils de silicium est de démontrer la possibilité de leur intégration dans des dispositifs électroniques et en particulier dans les transistors à effet de champ.

Dans le chapitre II, nous avons décrit le procédé de réalisation des transistors en couches minces à base de nanofils de silicium. Il s'agit d'une structure de type "*bottom-gate*". Ces transistors ont été réalisés avec des nanofils non intentionnellement dopés ayant un rayon de courbure de 50nm ou 100nm. L'isolant de grille est en nitrure de silicium (Si_3N_4), d'épaisseur 100 nm. Nous avons caractérisé ces transistors pour déterminer les caractéristiques de transfert $I_{\text{DS}}(V_{\text{GS}})$ et de sortie $I_{\text{DS}}(V_{\text{DS}})$ en utilisant l'analyseur HP 4155 B comme le montre la figure 65.

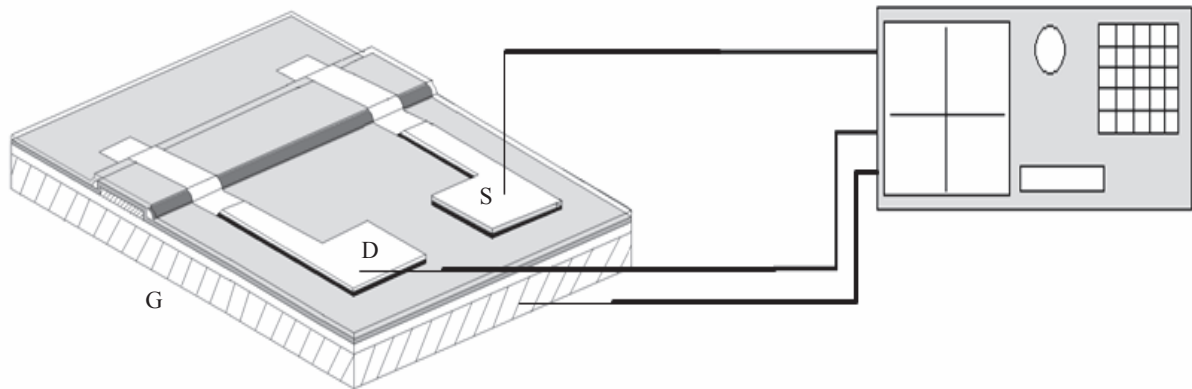


Figure 65 : Schéma de caractérisation du TFT à base de nanofils de silicium

Les figures 66, 67, 68 et 69 montrent les premiers résultats obtenus (pour des nanofils ayant une longueur de $10\mu\text{m}$).

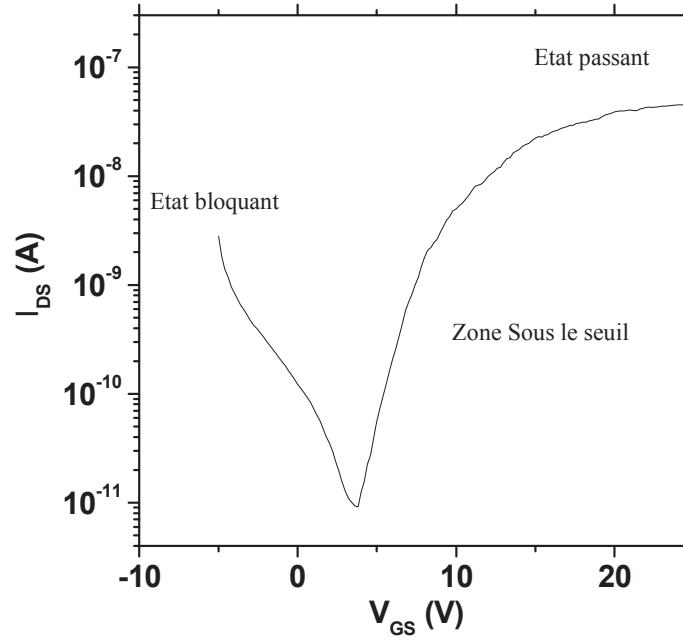


Figure 66 : caractéristique de transfert $I_{DS}(V_{GS})$ pour un TFT à base de nanofils de silicium : rayon de courbure de $W = 100$ nm, $L = 10$ μ m, $V_{DS}=4$ V

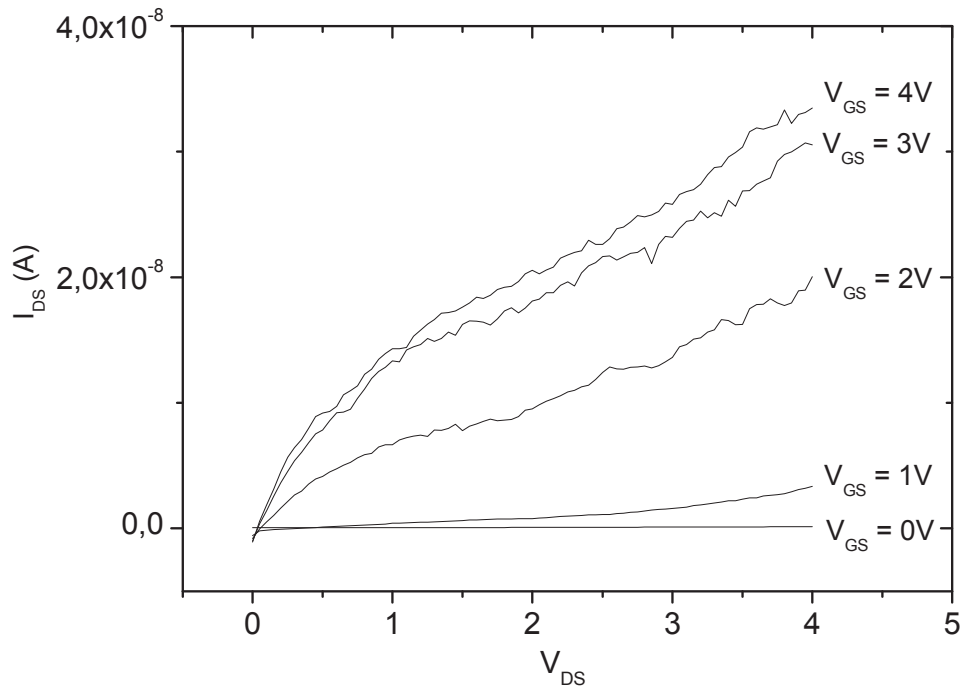


Figure 67 : caractéristiques de sortie $I_{DS}(V_{DS})$ pour un TFT à base de nanofils de silicium : rayon de courbure de $W = 100$ nm, $L=10$ μ m

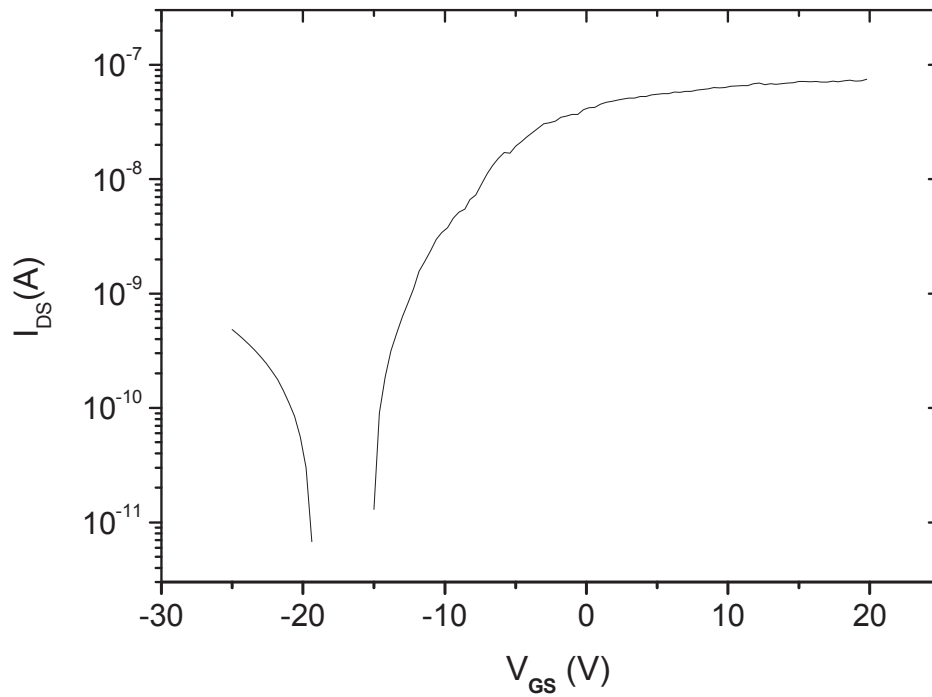


Figure 68 : caractéristique de transfert $I_{DS}(V_{GS})$ pour un TFT à base de nanofils de silicium : rayon de courbure de $W = 50$ nm, $L=10$ μ m, $V_{DS}=4$ V

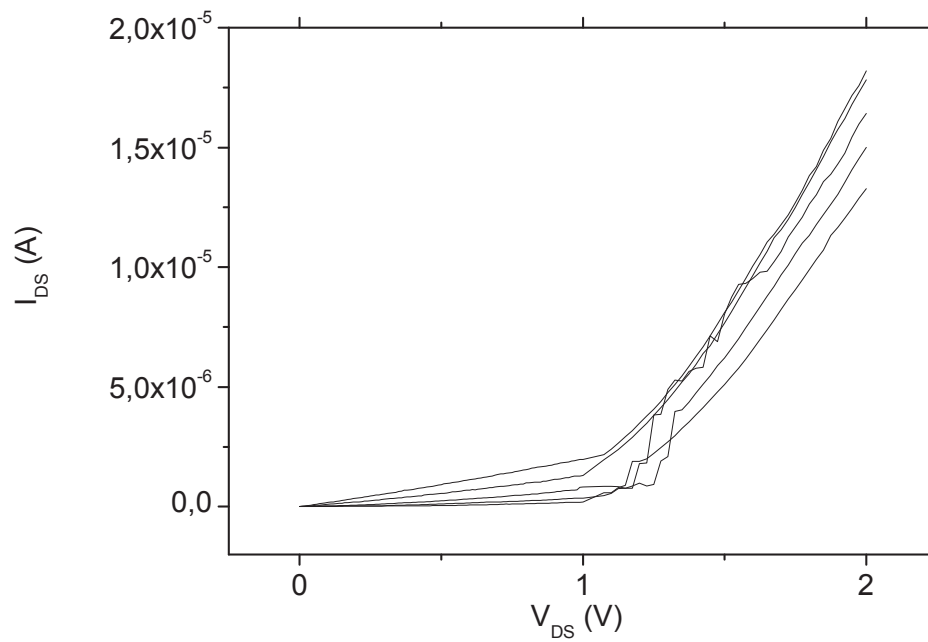


Figure 69 : caractéristiques de sortie $I_{DS}(V_{DS})$ pour un TFT à base de nanofils de silicium : rayon de courbure de $W = 50$ nm, $L=10$ μ m

Les caractéristiques de transfert et de sortie montrent la possibilité d'obtenir un effet de champ pour les deux types de structures à base de nanofils. L'effet de champ sur les dispositifs réalisés avec des nanofils de 50nm de rayon de courbure est plus difficilement observable et ne présente pas la même allure que dans le cas des dispositifs à base de nanofils avec un rayon de courbure de 100nm. Les caractéristiques de sortie de la figure 69 mettent en évidence un effet redresseur visible aux faibles tensions V_{DS} doublé d'un effet d'avalanche (« kink effect » pour des tensions supérieures à 1V). Ceci s'explique par la mauvaise qualité des contacts électriques due à la structure cristalline très perturbée des nanofils (concentration de défauts importante) pour des faibles rayons de courbure.

A titre d'information, les paramètres des caractéristiques tels que la tension de seuil et la mobilité effective des porteurs dans le canal sont résumés dans le tableau ci-dessous (figure 70). Ceux-ci sont déterminés conformément au modèle classique de conduction électrique du transistor MOS [71]. Ainsi la tension de seuil est déterminée par extrapolation linéaire avec l'axe des tensions V_{GS} de la courbe $I_{DS}=f(V_{GS})$ en régime linéaire. La mobilité effective est estimée à partir de la conductance du transistor (aux faibles tensions V_{DS}).

	W/L	Tension de seuil (V)	Mobilité effective ($\text{cm}^2\text{V}^{-1}\text{s}^{-1}$)
Rayon de courbure = 100nm	10^{-2}	7V	< 3
Rayon de courbure = 50nm	5.10^{-3}	-8V	Difficile à estimer

Figure 70 : performances des TFT à base de nanofils de silicium

Pour les structures fabriquées avec les nanofils ayant un rayon de courbure de 50nm, il n'a pas été possible de déterminer de façon précise la valeur de la mobilité conformément au modèle classique MOSFET du fait du comportement électrique différent (effets redresseur et Kink).

La faible valeur de la mobilité déduite (pour les TFTs fabriqués avec des nanofils avec un rayon de courbure de 100nm) est associée d'une part à la mauvaise qualité de l'interface liée à la fois à la nature de l'isolant de grille (ici Si_3N_4) et d'autre part à la qualité cristalline de la zone des nanofils dans laquelle se forme le canal (figure 71).

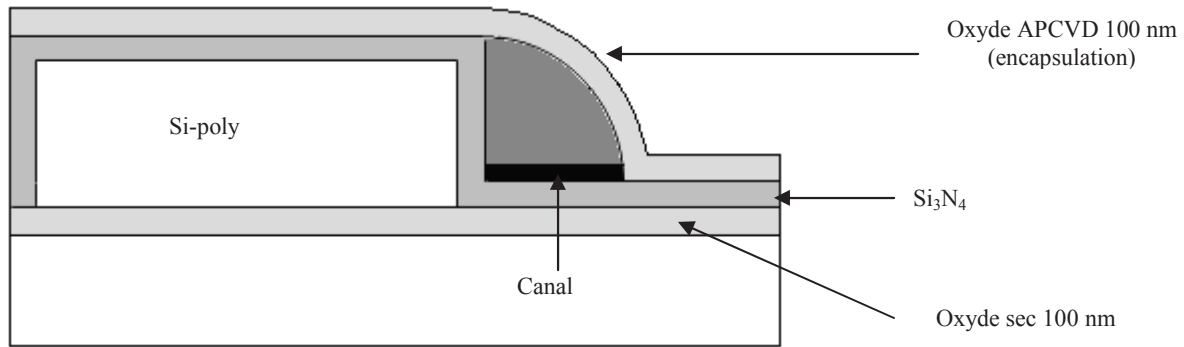


Figure 71 : vue en coupe de la structure du transistor à effet de champ à base de nanofils de silicium

Par ailleurs, les transistors fabriqués à partir de nanofils ayant un rayon de courbure de 50nm présentent une très forte tension de seuil anormalement négative. Ce phénomène est probablement lié à la présence de charges positives incontrôlées dans l'isolant de grille (Si_3N_4).

Toutefois, même si les performances de ces premiers transistors fabriqués sont globalement médiocres, la faisabilité de structures à effet de champ à l'aide de ces nanofils comme élément de canal est démontrée. De futurs travaux devraient permettre d'optimiser leurs performances (passivation des défauts par recuit, optimisation des conditions de dépôt de l'isolant...).

VI. Conclusion

Dans ce chapitre, nous avons étudié le comportement électrique des nanofils de silicium en fonction de la température et le niveau de dopage *in-situ*. Les résultats ont montré une différence de comportement dépendant du rayon de courbure. L'étude a mis en évidence que la conduction électrique obéit au modèle de piégeage des porteurs décrit par Seto pour des températures supérieures à 60°C dans les nanofils avec un rayon de courbure de 100nm. Dans le cas des nanofils avec un rayon de courbure de 50nm, le comportement électrique peut être décrit par une conduction mixte associant le modèle de Seto et le modèle de Mott (conduction par sauts) probablement associée à une contribution relative des défauts en volume plus importante.

Par ailleurs l'étude a démontré la possibilité du contrôle du dopage pour ces nanofils. Ceci peut être intéressant pour une optimisation des performances de dispositifs électroniques fabriqués à partir de ces mêmes nanofils.

Enfin nous avons mis en évidence la faisabilité de transistor à effet de champ à partir des nanofils. Cette application a donné des premiers résultats encourageants (effet de champ possible) qui doivent être optimisés.

Chapitre IV

Evolutions technologiques et applications aux capteurs de gaz

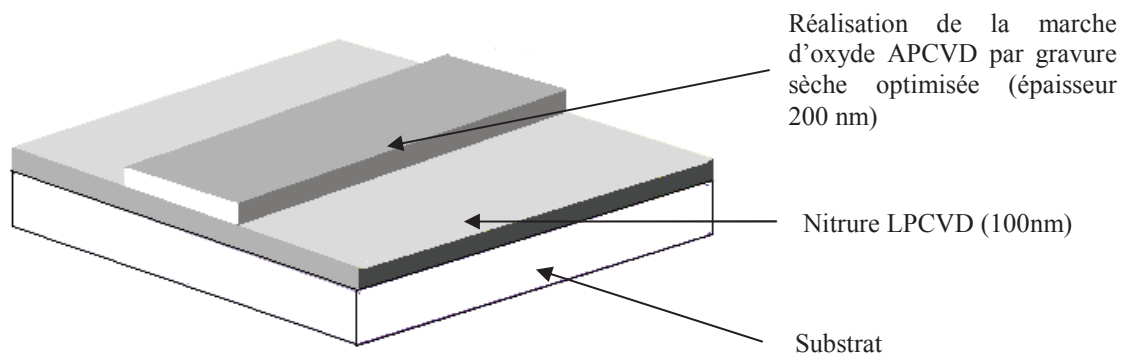
I. Introduction

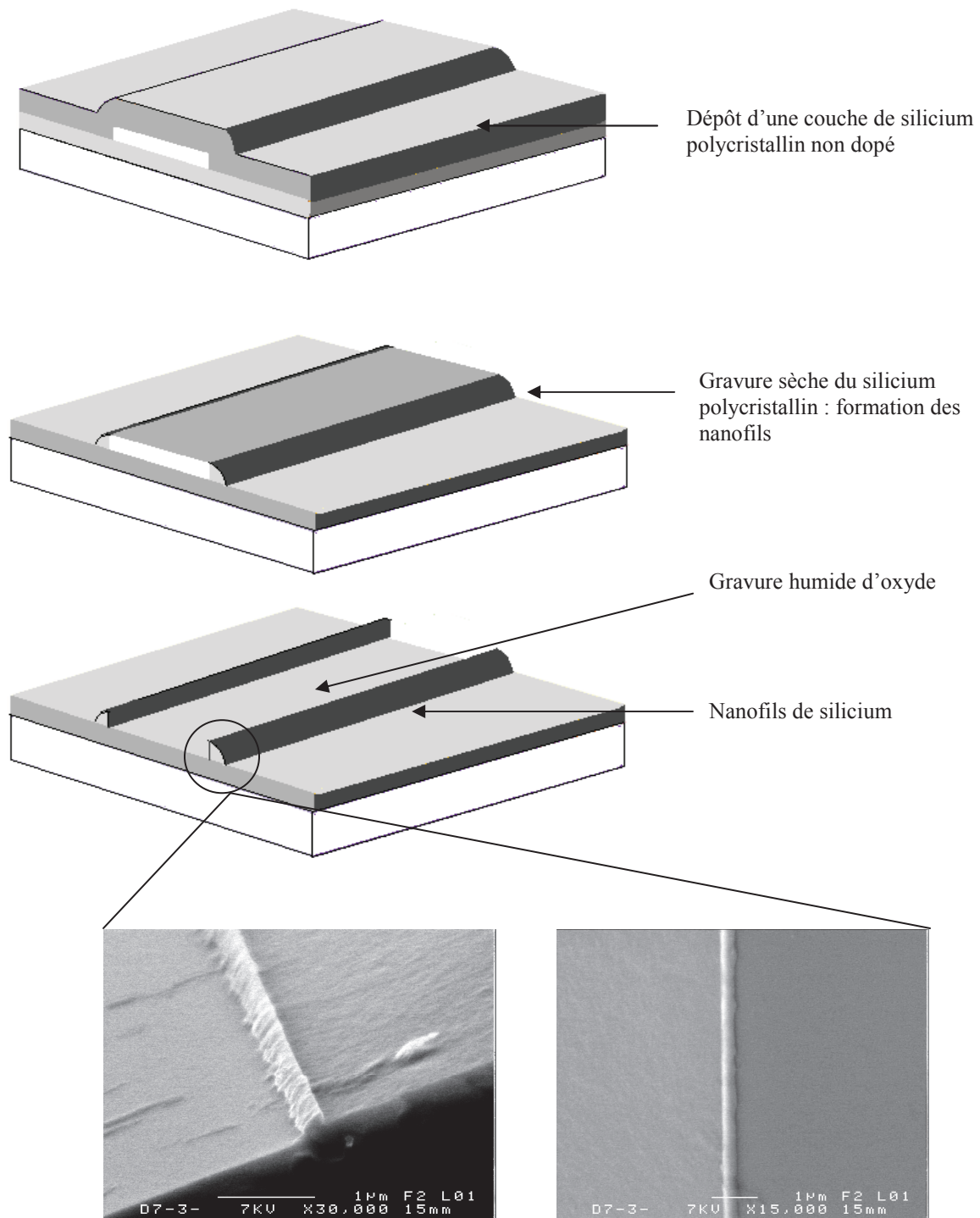
Dans les chapitres précédents, nous avons décrit les procédés d'élaboration des nanofils en silicium polycristallin par la méthode des espaceurs. De plus, nous avons fabriqué des dispositifs électroniques (résistances, TFTs) à partir de ces nanofils grâce à une technologie spécifique au laboratoire. Dans la suite de notre étude, nous nous sommes intéressés à d'autres méthodes d'élaboration des nanofils en silicium polycristallin dérivées de la méthode des espaceurs. Deux méthodes alternatives sont proposées. Enfin, une première approche sur les potentialités d'utilisation de ces nanofils dans des capteurs de gaz est présentée.

II. Réalisation des nanofils de silicium par la méthode des espaceurs – marche sacrificielle

II.1 Procédé de fabrication

Les nanofils de silicium que nous avons réalisés par la méthode des espaceurs ont démontré des potentialités d'applications (résistances, TFTs). Nous avons développé un nouveau procédé de synthèse qui utilise la marche à partir de laquelle se forment les espaceurs comme couche sacrificielle [72]. Le but est d'enlever cette marche après la formation des nanofils – espaceurs afin de ne garder que ces derniers. La figure 72 illustre les étapes technologiques pour la réalisation des nanofils par cette méthode.





Clichés MEB des nanofils obtenus après gravure humide de la marche. Rayon de courbure 200nm.

Figure 72 : étapes technologiques de fabrication des nanofils de silicium en lithographie optique UV classique utilisant une marche sacrificielle

La faisabilité des nanofils, présentant un rayon de courbure de 200nm, par ce procédé est démontrée grâce aux images MEB de la figure 72. Cette technique présente l'avantage d'obtenir des nanofils dont la surface latérale d'échange est plus importante avec le milieu environnant (chapitre II). Toutefois, ce procédé devra être optimisé si l'on cherche à réduire la taille (section) des nanofils, en vue d'applications spécifiques comme la détection d'espèces chimiques chargées dans un milieu ambiant.

Par la suite, nous avons réalisé des résistances avec ce type de nanofils. Ces nanofils ont été encapsulés par un oxyde (SiO_2 déposé par APCVD à $T=420^\circ\text{C}$), comme illustré sur la figure 72.

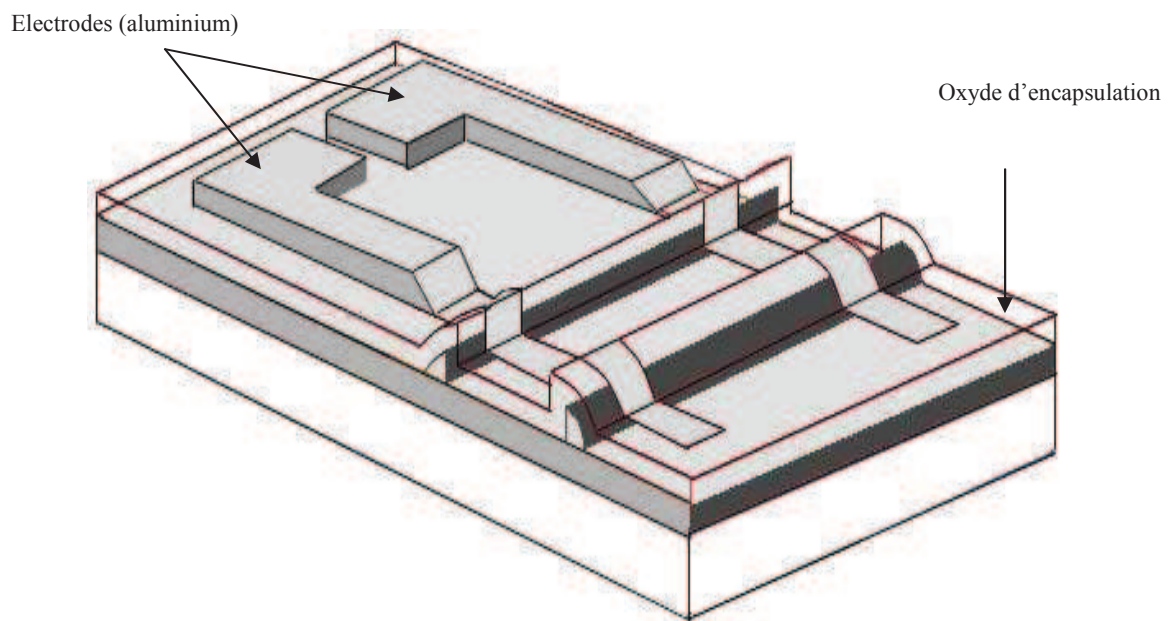


Figure 72 : résistance à base de nanofils réalisés par la méthode des espaceurs avec une marche sacrificielle

II.2 Caractérisation électrique

La figure 73 montre la caractéristique I-V mesurée à l'aide de l'analyseur HP 4155 B.

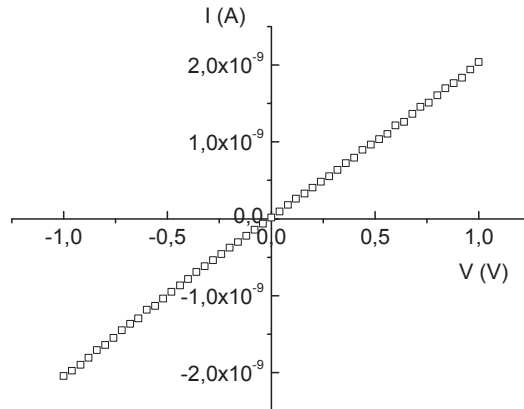


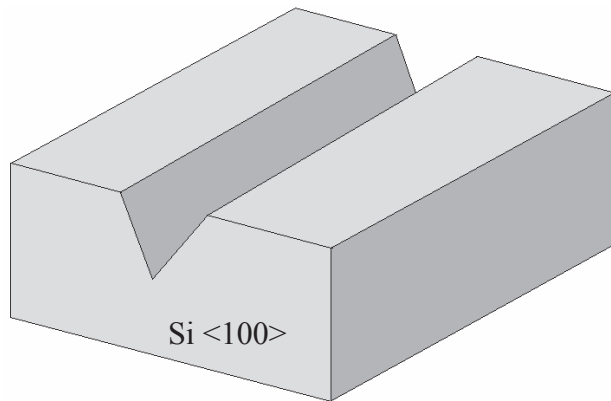
Figure 73 : caractéristique I-V des résistances fabriquées avec des nanofils obtenus par la méthode des espaceurs avec une marche sacrificielle, longueur 10 μm .

La caractéristique électrique I-V montre un comportement ohmique qui permet de valider le procédé de fabrication des nanofils. Ce premier résultat s'avère encourageant pour la fabrication de dispositifs électroniques.

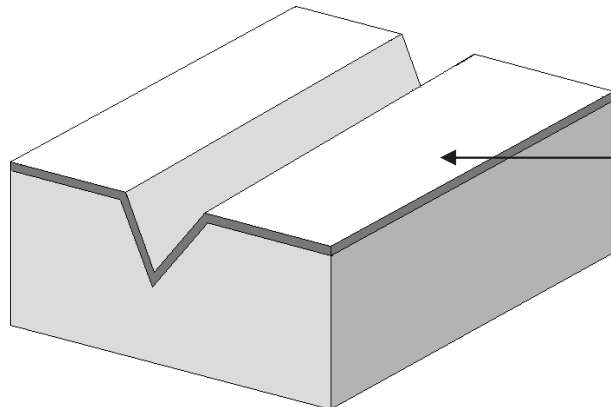
III. Réalisation des nanofils de silicium à partir de résidus de silicium polycristallin déposé dans une micro-cavité en forme « V »

III.1 Procédé de réalisation

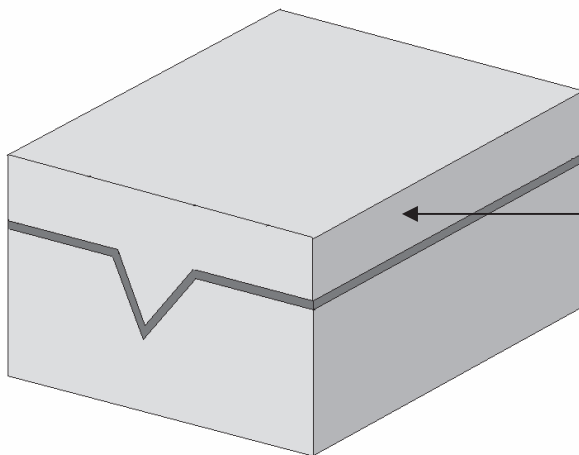
Dans le procédé de fabrication que nous avons développé et que nous présentons, les nanofils de silicium polycristallin sont élaborés dans une microcavité en « V », réalisée par gravure humide (TMAH) d'un substrat de silicium monocristallin $\langle 100 \rangle$ non dopé et recouvert d'oxyde. Ces nanofils sont obtenus à partir de résidus de gravure sèche du silicium polycristallin préalablement déposé dans la microcavité. Le schéma suivant illustre les étapes technologiques pour l'obtention de tels nanofils.



Réalisation de la cavité en
« V » par gravure humide
(solution TMAH) du
silicium monocristallin
<100> non dopé

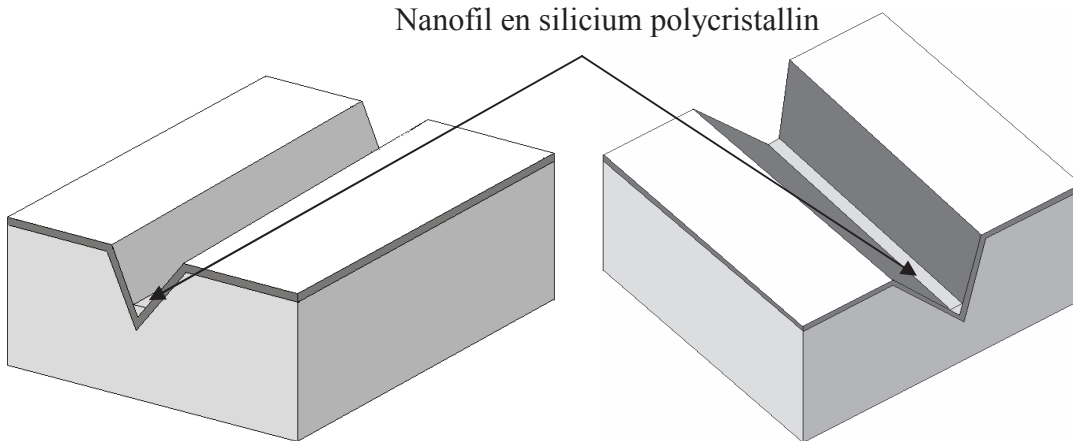


Dépôt d'oxyde APCVD
(100nm)

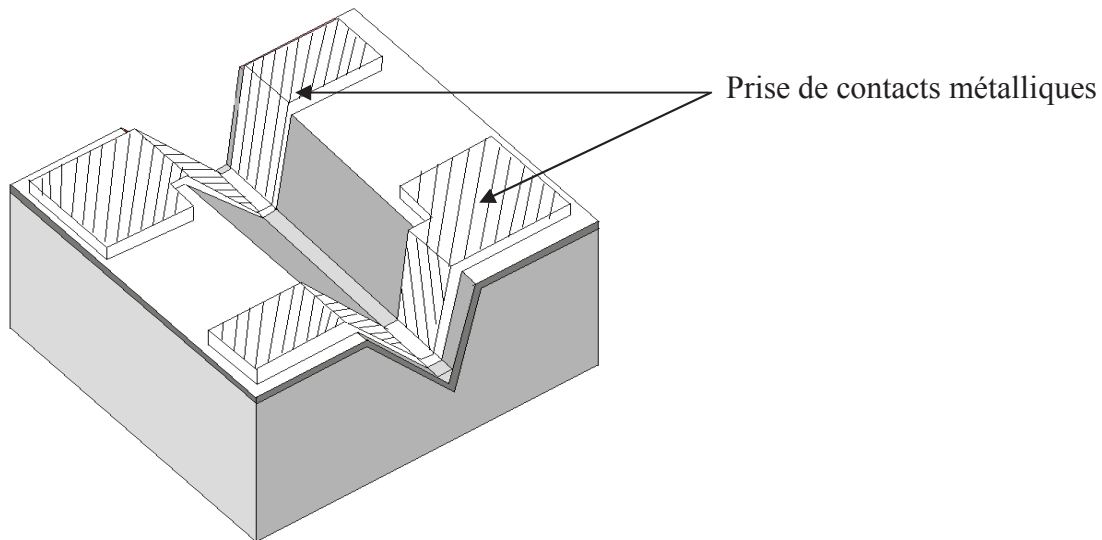


Dépôt d'une couche de
silicium polycristallin non
dopé (2 μm)

Nanofil en silicium polycristallin



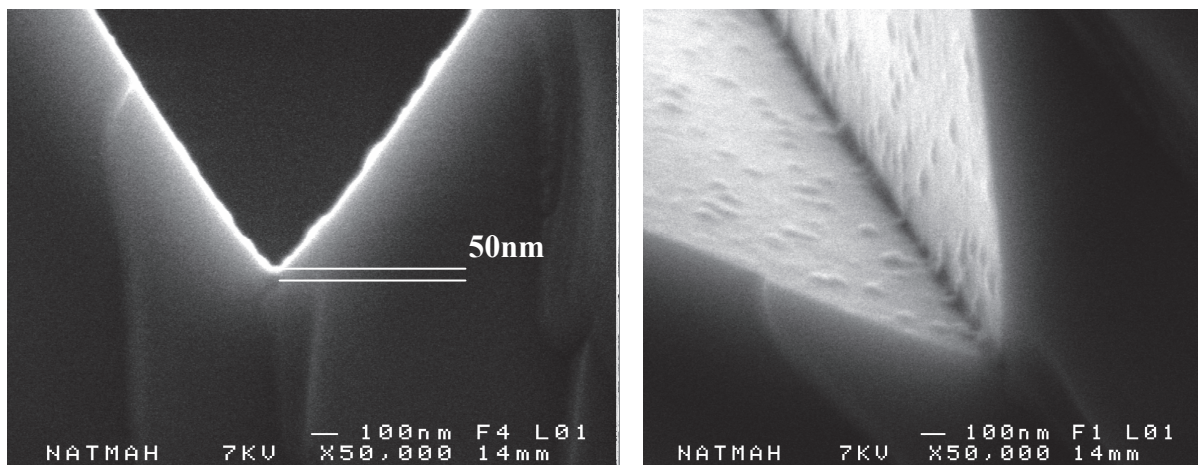
Gravure sèche (RIE) du silicium polycristallin : formation du nanofil



Evaporation d'aluminium puis définition des électrodes de contacts

Figure 74 : étapes technologiques de fabrication des nanofils par la méthode de gravure du silicium polycristallin déposé dans une cavité en « V »

La figure 75 montre les clichés MEB des nanofils obtenus pour deux temps de gravure différents. Ceux-ci, sont de forme triangulaire, présentant une hauteur de 50 nm et 200 nm.



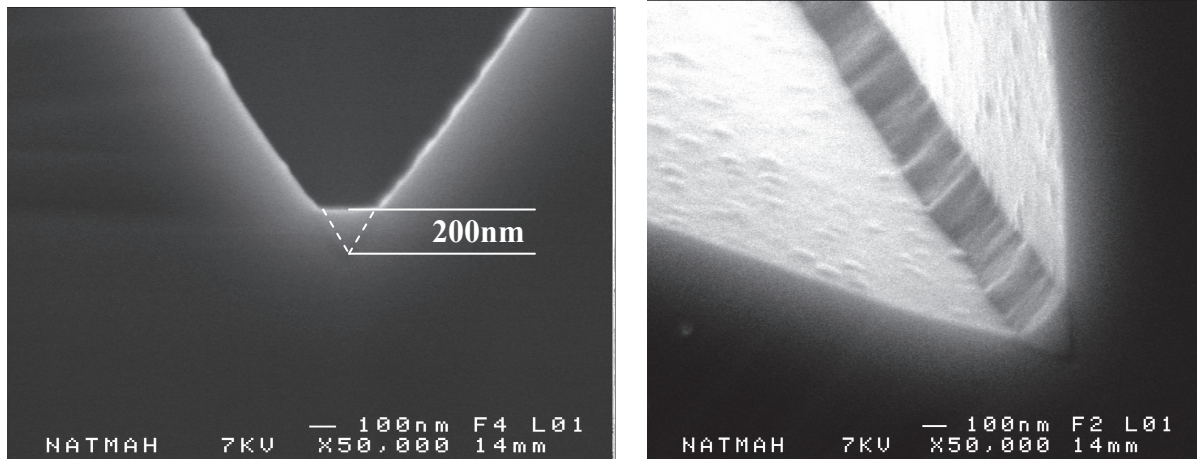


Figure 75 : clichés MEB de nanofils obtenus par la méthode de gravure du silicium polycristallin déposé dans une cavité en « V »

III.2 Caractérisation électrique

Les nanofils de silicium obtenus ont été caractérisés électriquement par des mesures I-V. Les figures 76 et 77 montrent les résultats obtenus.

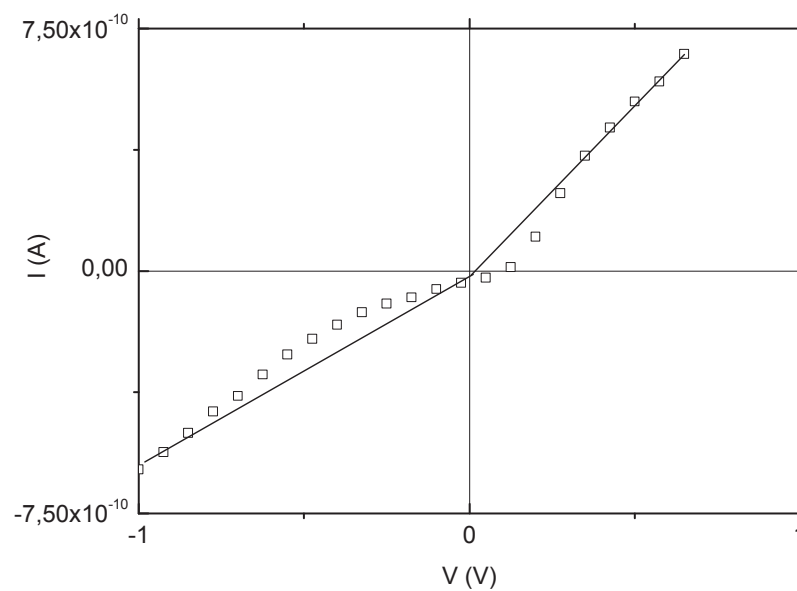


Figure 76 : courbe I-V pour des nanofils de 50nm de hauteur – 8μm de longueur

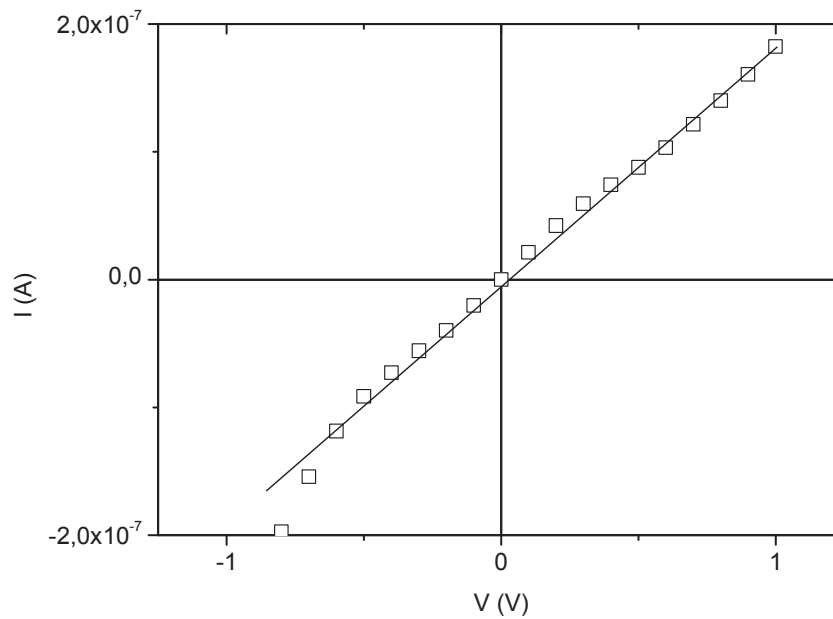


Figure 77 : courbe I-V pour des nanofils de 200nm de hauteur – 8µm de longueur

Les caractéristiques électriques I-V montrent un comportement de type ohmique des nanofils. Cependant, celles-ci ne sont pas parfaitement linéaires et symétriques. Ceci peut s'expliquer par la présence d'impuretés sur la surface des nanofils suite à la gravure sèche (formation du nanofil) comme évoqué au chapitre III, et ou à la gravure humide de l'aluminium pour la définition des contacts. L'élimination de ces impuretés par un nettoyage RCA après la gravure sèche, suivi d'un dépôt d'oxyde d'encapsulation avant la réalisation des électrodes de contacts devraient permettre d'améliorer les caractéristiques électriques.

Néanmoins les résultats obtenus montrent la faisabilité des nanofils par cette méthode, qui sera améliorée dans le futur en concevant un jeu de masques adaptés permettant leur encapsulation.

IV. Capteurs de gaz à base de nanofils de silicium

Depuis près d'une dizaine d'années, notre laboratoire s'intéresse aux applications intégrées dédiées aux capteurs chimiques et biologiques en développant une structure originale (transistor à grille suspendue) pour la détection des espèces chimiques (gaz, mesure de pH, ...) [73,74] et biologiques (détection de protéines, reconnaissance d'ADN) [75,76]. Nous avons profité de l'expérience du laboratoire dans ce domaine pour étudier les

potentialités d'utilisation des nanofils de silicium polycristallin pour réaliser des capteurs de gaz.

IV.1 Structure du capteur

L'étude de la faisabilité des résistances fabriquées avec les nanofils de silicium présentée dans le chapitre précédent a démontré que ces derniers pouvaient être sensibles aux impuretés adsorbées en surface (voir § III. II) . Cette propriété peut être exploitée dans la réalisation d'un capteur pour la détection des espèces chimiques chargées. En effet, ce capteur est une résistance dont les nanofils ont subi un nettoyage RCA, et ne sont pas recouverts d'oxyde d'encapsulation. Le schéma de la structure est rappelé sur la figure 78 suivante.

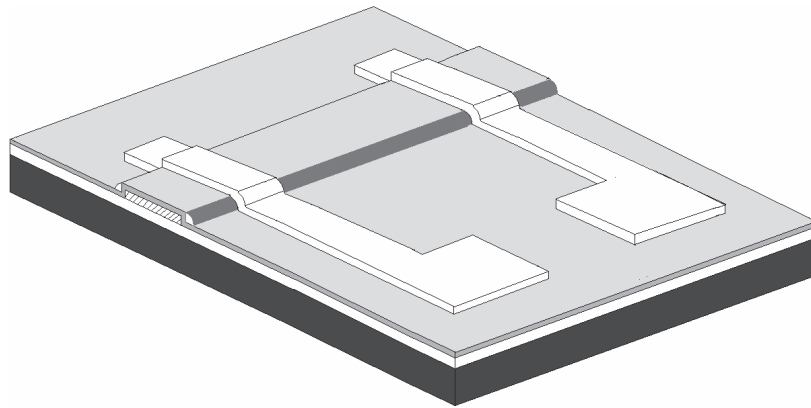


Figure 78 : Capteur chimique à base de nanofils de silicium polycristallin
(deux nanofils en parallèle)

IV.2 Sensibilité du capteur aux espèces chimiques (gaz)

L'étude de la sensibilité des nanofils aux espèces chimiques s'est limitée à la détection de la fumée et de l'ammoniac (NH_3). Les tests du capteur ont été effectués dans l'enceinte du cryostat ayant servi aux mesures en température du courant (voir dispositif expérimental décrit § III.II).

Pour l'étude sur la détection de la fumée, un bâton d'encens est introduit dans l'enceinte du cryostat à pression atmosphérique, puis retiré avant pompage dans l'enceinte.

Des mesures de l'évolution du courant à travers la résistance sont effectuées en fonction du temps successivement lors de l'exposition à la fumée puis la mise sous vide.

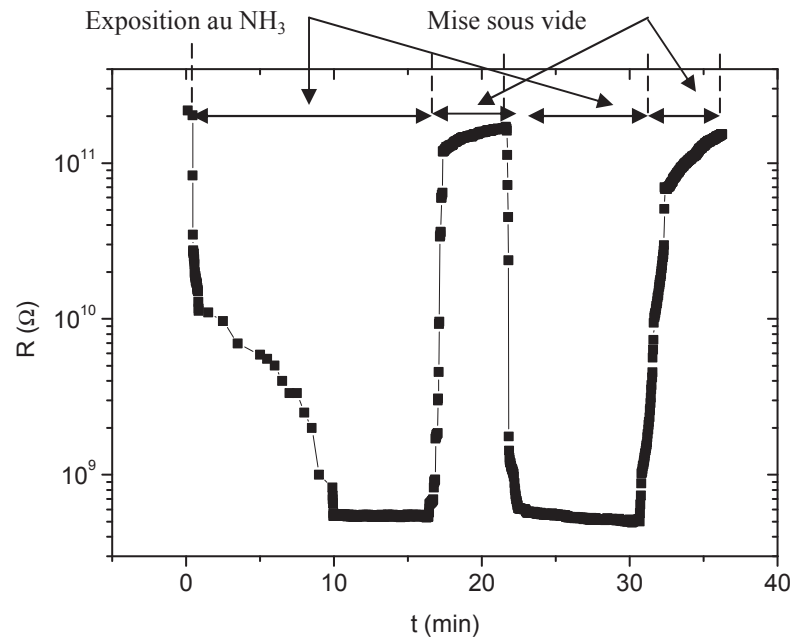
L'étude sur la détection d'ammoniac est faite sous atmosphère contrôlée (pression à 10^{-4} mbar), et les structures sont chauffées à $T = 200^{\circ}\text{C}$ pendant une heure pour assurer un dégazage en surface des nanofils. L'ensemble est ensuite refroidi jusqu'à la température ambiante avant l'injection du gaz. Des mesures de l'évolution du courant à travers la résistance sont effectuées en fonction du temps. Un cycle de mesures comprend la phase d'exposition au gaz puis la phase sous vide.

Les figures 79 et 80 montrent l'évolution de la résistance électrique déduite des mesures en courant, pour une tension de polarisation de 1V, obtenues pour deux cycles d'expositions à l'ammoniac et la fumée. Les mesures ont été réalisées pour des nanofils de $10\mu\text{m}$ de longueur avec un rayon de courbure de 100nm et de 50 nm.

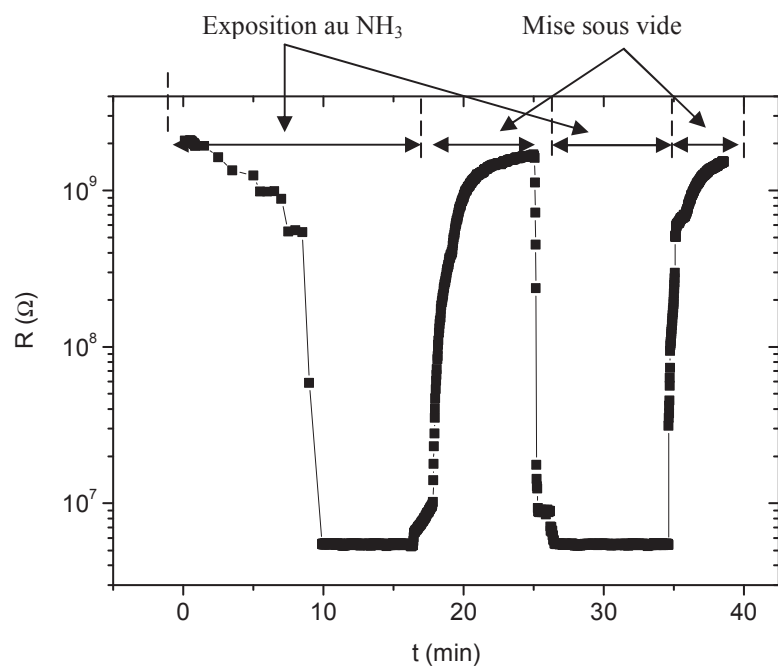
Dans le cas de l'exposition à la fumée, nous remarquons une diminution de la résistance électrique pendant l'exposition, mais une absence de la réversibilité après le cycle d'exposition. Dans ce cas, les espèces chimiques peuvent être de différentes natures. Il est donc difficile de savoir si elles ont globalement un effet plutôt réducteur (donneur d'électrons) ou oxydant (capteur d'électrons) lorsqu'elles sont adsorbées à la surface des nanofils non dopés.

Sous exposition à l'ammoniac, les courbes montrent que la résistance électrique diminue de manière significative avec un cycle reproductible à chaque exposition. Ceci traduit une tendance réversible permettant une réutilisation des nanofils après le cycle d'exposition. [76 - 78].

Toutefois, nous remarquons que la résistance électrique est plus élevée (environ 2 ordres de grandeurs) pour les structures fabriquées avec des nanofils ayant un rayon de courbure de 50nm. Ceci est à relier aux effets cumulés de la valeur de la résistivité plus élevée pour les nanofils non dopé présentant un rayon de courbure de 100nm (environ un ordre de grandeur - voir figure 58 du chapitre III) et à celui de l'incertitude sur la mesure de la résistivité (importante à très faible dopage).



(a)



(b)

Figure 79 : évolution de la résistance électrique en fonction du temps : effet de l'ammoniac sur de nanofils présentant un rayon de courbure de 50 nm (a), de 100 nm (b)

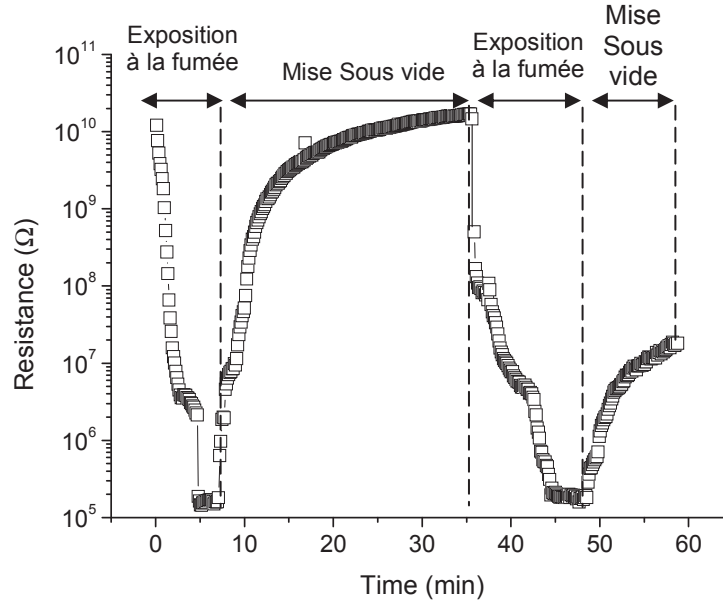


Figure 80 : évolution de la résistance électrique en fonction du temps : effet de la fumée. Rayon de courbure des nanofils 100nm.

La diminution de la résistance électrique peut être le résultat de la conjonction de plusieurs phénomènes. Pendant l'exposition, les molécules d'ammoniac sont adsorbées en surface des nanofils et des électrons sont transférés à leur structure par l'effet réducteur du NH_3 [75, 76]. Ces interactions induisent des changements du nombre de porteurs le long des nanofils (non dopés) réduisant ainsi la résistance électrique. Dans ce cas, les molécules de gaz chargées (NH_3^+) jouent le rôle de grille chimique qui module la conductivité des nanofils de silicium en changeant le volume de la couche conductrice [79, 80]. Cela revient à dire qu'un canal de conduction (d'électrons) se forme au voisinage de la surface du nanofil réduisant ainsi la résistance électrique du nanofil. Enfin, une dernière explication possible serait que l'adsorption d'espèces chimiques au niveau des défauts (joints de grains par exemple) aurait pour effet de réduire les hauteurs de barrières de potentiels favorisant ainsi la diffusion de porteurs [81].

La sensibilité relative (S) des nanofils à la détection des espèces chimiques est définie par les mesures de courant suivant :

$$S = \left| \frac{I_V - I_G}{I_V} \right| \quad \text{ou bien} \quad S = \left| \frac{R_G - R_V}{R_G} \right| \quad (1)$$

Où I_V , R_V et I_G , R_G désignent respectivement les valeurs de courant et de résistance avant (à vide) et sous exposition.

Les valeurs de (S) sont regroupées dans le tableau de la figure 81. Nous remarquons que les sensibilités relatives à l'ammoniac sont quasiment identiques pour les structures fabriquées avec des nanofils ayant un rayon de courbure de 100 nm ou 50 nm. De plus, la sensibilité relative est beaucoup plus élevée sous exposition à la fumée. Par ailleurs, le caractère non réversible observé lors de l'étude de la sensibilité à la fumée est lié au mode opératoire. En effet, après le second cycle une remise à l'air est effectuée pour introduire de nouveau la fumée dans l'enceinte, et donc l'état de surface des nanofils n'est plus le même en début de second cycle.

	NH ₃	fumée
S (%)	$\sim 4 \times 10^4$	$\sim 10^7$

Figure 81 : valeurs de sensibilité relative des nanofils en silicium polycristallin sous exposition à l'ammoniac et la fumée

Notons que ces premiers résultats constituent les premiers éléments de preuve que les nanofils en silicium polycristallin présentent une sensibilité à la détection d'espèces chimiques chargées en milieu gazeux. L'ensemble de ces résultats a fait l'objet d'une communication à une conférence internationale suivie d'un article soumis pour publication [18].

V. Conclusion

Dans ce chapitre, des évolutions dans la méthode d'élaboration de nanofils en silicium polycristallin, par une approche « top down », sans utiliser d'outils lithographiques à haut pouvoir de résolution (et donc très coûteux), sont proposées. La faisabilité de ces nanofils ainsi que leur intégration dans des dispositifs électroniques (ici des résistances) est démontrée.

De plus, nous avons mis en évidence que les nanofils en silicium polycristallin présentent une sensibilité à la détection d'espèces chimiques chargées, et donc qu'ils

présentent des potentialités d'applications dans le domaine des capteurs chimiques (de gaz). Des études d'optimisation de la structure de ces nanofils ainsi que des dispositifs électroniques associés devront être poursuivies dans le but de développer une nouvelle génération de capteurs innovants.

Conclusion générale et perspectives

Le travail de recherche mené dans le cadre de cette thèse a contribué au développement de la synthèse de nanofils de silicium pour dispositifs électroniques, nouvel axe de recherche lancé il y quatre ans au sein du Groupe Microélectronique de l'IETR. Ce travail s'inscrit dans la thématique de la réalisation des nanofils par la méthode des espaceurs. Celle-ci est issue de la maîtrise des techniques de dépôt en couches minces du silicium et des procédés de microtechnologie couramment utilisés en technologie silicium.

Dans un premier temps, le présent manuscrit développe la démarche suivie pour réaliser des nanofils à base de silicium polycristallin déposé par le procédé LPCVD. Le travail effectué a mis en évidence les difficultés technologiques rencontrées ainsi que les solutions proposées : optimisation des conditions de gravure sèche pour obtenir une marche verticale préalable à la formation des nanofils espaceurs, adaptation de la hauteur de la marche pour le contrôle du rayon de courbure de ces nanofils. La microscopie électronique à balayage nous a permis de valider toutes ces étapes en visualisant les différents profils de marches obtenues et les sections des nanofils élaborés. La maîtrise de la faisabilité de nanofils de silicium polycristallin avec un rayon de courbure pouvant atteindre jusqu'à 50 nm a été démontrée.

Conformément à l'objectif principal fixé par ce travail qui consiste à intégrer ces nanofils dans des dispositifs électroniques, nous avons étudié leur comportement électrique. L'étude a été menée en fonction de la température et du niveau de dopage *in-situ* au phosphore. Les résultats ont montré une différence de comportement dépendant du rayon de courbure étroitement lié à la structure cristalline des nanofils. L'analyse des résultats a mis en évidence que la conduction électrique obéit au modèle de piégeage des porteurs décrit par Seto pour des températures supérieures à 60°C dans les nanofils avec un rayon de courbure de 100nm. Dans le cas des nanofils avec un rayon de courbure de 50nm, le comportement électrique peut être décrit par une conduction mixte associant le modèle de Seto et le modèle de Mott probablement associé à une contribution relative des défauts en volume plus importante que pour les nanofils avec un rayon de courbure plus élevé. Par la même occasion, l'étude a démontré la possibilité du contrôle du dopage pour ces nanofils. Ceci peut être intéressant pour une optimisation des performances électroniques de dispositifs électroniques fabriqués à partir de ces mêmes nanofils. Par ailleurs, la faisabilité de transistors à effet de champ à partir des nanofils a aussi été démontrée. Cette application a donné des premiers résultats encourageants (effet de champ possible) qui devront être optimisés. Enfin, des évolutions dans la méthode d'élaboration de nanofils en silicium polycristallin, par une approche « top down », sans utiliser d'outils lithographiques à haut pouvoir de résolution (et donc très coûteux), sont proposées : méthode des espaceurs avec une marche sacrificielle,

réalisation de nanofils à partir de résidus de gravure de silicium déposé dans une microcavité en « V ». La faisabilité de ces nanofils ainsi que leur intégration dans des dispositifs électroniques (résistances) a été démontrée. Nous avons aussi mis en évidence que ces nanofils en silicium polycristallin présentent une sensibilité à la détection d'espèces chimiques chargées en milieu gazeux, et donc qu'ils présentent des potentialités d'applications dans le domaine des capteurs de gaz.

En conclusion, les résultats obtenus durant notre travail de recherche sont conformes à l'objectif fixé puisqu'ils ont permis de valider la faisabilité de dispositifs électroniques (composants et capteurs de gaz par exemple) à partir de nanofils de silicium en polycristallin élaborés par la méthode des espaceurs.

Toutefois, même si les premiers résultats obtenus sont encourageants, la réalisation de dispositifs électroniques nécessite des améliorations en terme de performances électriques. Des études d'optimisation de la structure de ces nanofils (influence des défauts, de l'état de surface) devront être poursuivies dans le but de développer une nouvelle génération de composants électroniques et donc aussi de capteurs (chimiques ou non) à la fois performants et innovants.

Ainsi dans la suite de ce travail il semble intéressant de donner quelques perspectives d'études dont :

- l'effet d'un recuit à haute température (thermique ou par laser) des nanofils après synthèse sur leur qualité cristalline et donc sur leur comportement électrique,
- la diminution du rayon de courbure des nanofils et son influence sur leur comportement électrique : la méthode de la marche sacrificielle devrait ainsi permettre de descendre en dessous des 50 nm,
- l'étude du comportement électrique des nanofils en fonction d'un dopage (*in-situ*) de type P : le contrôle d'un tel dopage serait alors intéressant d'une part pour la fabrication de capteurs de gaz oxydants ou réducteurs, et d'autre part pour la réalisation d'une électronique CMOS intégrée au capteur,
- l'augmentation de la surface d'échange des nanofils avec le milieu environnant soit avec la marche sacrificielle, soit en réalisant des nanofils suspendus : cette dernière configuration, innovante pour des nanofils, devrait permettre d'élargir le champ d'applications des nanofils, vers l'étude des propriétés mécaniques (applications MEMS et NEMS),
- la fonctionnalisation de surface des nanofils pour la détection d'espèces chimiques en milieu liquide et/ou gazeux (capteurs (bio)chimiques).

La validation de ces procédés pourra ouvrir la voie à de nouvelles applications très intéressantes permettant la fabrication de circuits plus complexes (microsystèmes) : par exemple des matrices de capteurs à base de nanofils de silicium associés à des circuits électroniques de traitement en technologie silicium CMOS.

Bibliographie

- [1] Pease R.F. W. , Nanolithography and its prospects as a manufacturing technology J. Vac. Sci. Technol. B, 10, 278 – 285 (1992)
- [2] Jing Wan, Shao-Ren Deng, Rong Yang, Zhen Shu, Bing-Rui Lu, Shen-Qi Xie, Yifang Chen, Ejaz Huq, Ran Liu, Xin-Ping Qu. Silicon nanowire sensor for gas detection fabricated by nanoimprint on SU8/SiO₂/PMMA trilayer. Accepted 5 December 2008.
- [3] S. Chou, P. Krauss, and P. Renstrom. Imprint of sub-25 nm vias and trenches in polymers. Appl. Phys. Lett., 67(21) : p. 3114, 1995.
- [4] L. Guo. Recent progress in nanoimprint technology and its applications. J. of Phys. D : Applied Physics, 37 : p. 123–141, 2004.
- [5] Chou S.Y., Krauss Peter R. et Renstrom P.J., Nanoscale silicon field effect transistors fabricated using imprint lithography, Science. 85, 272 (1996)
- [6] A. Alec Talin, Luke L. Hunter, François Léonard, and Bhavin Rokad, Large area dense silicon nanowire array chemical sensors, Applied Physics Letters 89, 153102 (2006)
- [7] Rauscher H., Behrendt F. et Behm R.J., Fabrication of surface nanostructures by scanning tunneling microscope induced decomposition of SiH₄ and SiH₂Cl₂, J. Vac. Sci. Technol. B 15, 1373 – 1377 (1977)
- [8] Marchi F., Bouchiat V., Dallaporta H., Safarov V. et Tonn^{eau} D., Direct patterning of noble metal nanostructures with a scanning tunneling microscope J. Vac. Sci Technol. B18, 1171 – 1176 (2000)
- [9] P. Avouris, T. Hertel, R. Martel, « Atomic force microscope tip-induced local oxidation of silicon: kinetics, mechanism, and nanofabrication » *Appl. Phys. Lett.*, 71 (2), 285 (1997).
- [10] L Pichon, R Rogel and F Demami, Fabrication of amorphous silicon nanoribbons by atomic force microscope tip-induced local oxidation for thin film device applications. Semicond. Sci. Technol. **25** (2010) 065001
- [11] Ionica I, Montes L, Ferraton S, Zimmermann J, Saminadayer L and Bouchiat V, Field effect and colomb blockage in silicon on insulator nanostructures fabricated by atomic force microscope *Solid State Electronics* 49 (2005) 1497
- [12] A. Tilke, R. H. Blick, H. Lorenz, J. P. Kotthaus *et al.* Coulomb blockade in quasimetallic silicon-on-insulator nanowires. *Applied Physics Letters*, 75 : 3704, 1999.
- [13] H.-C. Lin, M.-H. Lee, C.-J. Su, T.-Y. Huang, C. C. Lee, and Y.-S. Yang, A Simple and Low-Cost Method to Fabricate TFTs With Poly-Si Nanowire Channel *IEEE electron device Letters*, vol. 26, No. 9, September 2005.

- [14] D. Hyuk Ju, CMOS processing employing removable sidewall spacers for independently optimized N- and P- channel transistor performance, *Advanced Micro Devices*, Appl No : 927, 637 (1997)
- [15] Mark S. Gudiksen and Charles M. Lieber, Diameter-Selective Synthesis of Semiconductor Nanowires, *J. Am. Chem. Soc.* 2000, 122, 8801-8802, 2000.
- [16] Westwater, J., Gosain, D. P., Tomiya, S., Usui, S., Ruda, H., *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*. Vol 15, 554 – 557, may 1997.
- [17] L. Ni, F. Demami, R. Rogel, A. C. Salaün, L. Pichon Fabrication and electrical characterization of silicon nanowires based resistors *Materials Science and Engineering* 6, 012013 (2009)
- [18] F. Demami, L. Ni, R. Rogel, A. C. Salaün Silicon nanowires synthesis for chemical sensor applications”. *Proceedia engineering of Eurosensors XXIV conference*, September 5-8, 2010, Linz, Austria (2010) et Silicon nanowires based resitors as gas sensors soumis pour publication à *Sensors and actuators B*.
- [19] Y. Wang, Kok-Keong Lew, T. Ho, L. Pan, S. W. Novak, E. C. Dickey, J.M. Redwing and T. S. Mayer. Use of Phosphine as an n-Type Dopant Source for Vapor-Liquide-Solid Growth of Silicon Nanowires, *nano letters*, vol. 5, No. 11. 2139 – 2143 (2005)
- [20] Linwei Yu and Pere Roca i Cabarrocas, Growth mechanism and dynamics of in-plane solid-liquid-solid silicon nanowires, *Physical Review B* 81, 085323 (2010).
- [21] L. Yu, M. Oudwan, O. Mousthapha, F. Fortuna, P. Roca i Cabarrocas Guide growth of in-plane silicon nanowires *Appl. Phys. Lett.* 95 113106 (2009)
- [22] M. Gowtham, L. Eude, B. Marquardt, A.Q.Le. Quang, C.S. Cojocar, P.Legagneux, and D.Pribat Confined and Controled Growth of silicon nanowires for planar devices. <http://jnte08.trans-gdr.lpn.cnrs.fr/FILES/p82.pdf>
- [23] Yi Cui, Zhaohui Zhong, Deli Wang, Wayne U.Wang et al, High performance silicon nanowire field effect transistors. *Nanoletters*, 3, 149 (2003)
- [24] S. Jin, D. Whang, M.C. McAlpine, R.S. Friedman et al. Scalable interconnection and integration of nanowire without registration . *Nanoletters*, 4, 915 (2004)
- [25] G. Zheng, W. Lu, S. Jin, and C.M. Lieber. Synthesis and fabrication of high performance n-type silicon nanowire transistors. *Advanced Materials*, 16, 1890 (2004)
- [26] Y. Huang, X. Duan, Y. Cui, and C.M. Lieber. Gallium nitride nanowire nano-devices. *Nanoletters*, 2, 101 (2002)

- [27] M. T. Bjork, O. Hayden, H. Schmid, H. Riel, W. Riess Vertical surround-gated silicon nanowire impact ionization field effect transistors Appl. Phys. Lett. 90 142110 (2007)
- [28] X. Duan, Y. Huang, Y. Cui, J. Wang et al, Indium phosphide nanowires as building blocks for nanoscale electronics and optoelectronics devices. Nature, 409 :66, 2001.
- [29] Yu Huang, Xiangfeng Duan, Yi Cui,¹ Lincoln J. Lauhon,¹ Kyoung-Ha Kim, Charles M. Lieber, Logic Gates and Computation from Assembled Nanowire Building Blocks. Science 294 :1313, 2001.
- [30] C. Yang, Z. Zhong, and CM. Lieber. Encoding electronic properties by synthesis of axial modulation-doped silicon nanowires. Science 310 :1304, 2005.
- [31] Z. Zhong, D. Wang, Y. Cui, M.W. Bockrath et al, Nanowire crossbar array as address decoders for integrated nanosystems. Science, 302 :1377, 2003
- [32] Y. Cui, Q. Wei, H. Park, and C.M. Lieber. Nanowire nanosensors for highly sensitive and selective selection of biological and chemical species. Science, 293 – 1289 (2001)
- [33] G. Zheng, F. Patolsky, Y. Cui, W.U. Wang et al. Multiplexed electrical detection of cancer markers with nanowire sensor arrays. Nature biotechnology, 23 – 1294 (2005)
- [34] J-I Hahm and C.M. Lieber. Direct ultrasensitive electrical detection of DNA and DNA sequence variations using nanowires nanosensors. Nanoletters, 4 – 51 (2004)
- [35] F. Patolsky, G. Zheng, O. Hayden, M. Lakadamyali et al. Electrical detection of single viruses. Proc. Natl. Acad. Sci. USA, 101 – 14017 (2004)
- [36] G. Zheng, F. Patolsky, Y. Cui, W.U. Wang et al. Multiplexed electrical detection of cancer marker with nanowire sensor arrays. Nature biotechnology , 23:1294, 2005.
- [37] Lewis, N. S. Toward cost-effective solar energy use. Science 315, 798 – 801 (2007)
- [38] Zhang, Y., Wang, L. W. & Mascarenhas, A. Quantum coaxial cables. Nano Lett. 7, 1264–1269 (2007).
- [39] Bozhi Tian, Xiaolin Zheng, Thomas J. Kempa¹, Ying Fang¹, Nanfang Yu, Guihua Yu, Jinlin Huang, Charles M. Lieber Coaxial silicon nanowires as solar cells and nanoelectronic power sources Nature Vol 449 18 October 2007.
- [40] C. Azzaro Analyse et modélisation du fonctionnement des réacteurs de LPCVD, Thèse de L'INPT (Toulouse, 1991).
- [41] H.Kühne How hydrogen influences axial growth rate distribution during silicon deposition from silane, Semicond. Sci. Technol., vol. 131, p. 425 (1984).
- [42] A.T. Voustas, M.K. Hatalis Experimental and theritical study of crystallization of chemical-vapor-deposition mixed phase silicon films. J.Appl. Phys., vol. 76, p. 777 (1994)

- [43] G. Harbeke, L. Kraussbauer, E.F. Steigmeier, A.E. Widmer, H.F. Kappert, G. NeugBaeur. High-performance thin-film transistors in low-temperature crystallized LPCVD amorphous silicon films J.Electrochem. Soc., vol. 131, p. 675 (1984).
- [44] M.K. Hatalis, D.W. Greve, Etude par Microscopie Electronique et Mesures de Conductance Electrique In Situ de la Cristallisation de Couches a-Si Obtenues par Pyrolyse de Silane et Disilane, J. Appl. Phys., vol. 63, p. 2260 (1988).
- [45] M. Sarret, A.Liba, F. Le Bihan, P. Joubert et B. Fortin. N-type polycrystalline silicon films obtained by crystallization of in-situ phosphorus-doped amorphous silicon films deposited at low pressure. Journal of Applied Physics. Vol 76, p. 5492 – 5497, (1994)
- [46] H. Kühne – Semicond. How hydrogen influences axial growth rate distribution during silicon deposition from silane, Sci. Technol., vol . 8, p. 2018 (1993)
- [47] A.T. Voustas, M.K. Hatalis., Experlmental and theoretical study of the crystallization of chemical-vapor-deposited mixed-phase silicon films. J. Appl. Phys., vol. 76, p. 777 (1994).
- [48] P. Joubert, B. Loisel, Y. Chouan, L. Haji, The Effect of Low Pressure on the Structure of LPCVD Polycrystalline Silicon Films J. Electrochem. Soc., vol. 134, p. 2541 (1987).
- [49] H. Kurokawa. P-doped polysilicon film growth technology J.Electrochem. Soc., vol. 129, p. 2620 (1982).
- [50] B.S. Meyerson and W. Olbritch Phosphorus-doped polysilicrystalline silicon via LPCVD J.Electrochem. Soc., vol. 131, p. 2361 (1984).
- [51] W. Ahmed and D.B. Meakin LPCVD of *in-situ* doped polycrystalline silicon at high growth rates Journal of Crystal Growth, vol. 76, p. 394 (1986).
- [52] Thèse de David Briand, Silicium déposé par LPCVD et dopé *in-situ* : dépôt, caractérisation et application. 19 décembre 1995.
- [53] B.S Meyerson et M.L. Yu Phosphorus-doped polycrystalline silicon via LPCVD – II. Surface interactions of the silane/phosphine/silicon system J.Elehtrochem. Soc., vol. 131, p. 2366 (1984).
- [54] C.M. Maritan, L.P. Berndt, N.G. Tarr, J.M. Bullerwell and G.M. Jenkins. Low Pressure Chemical Vapor Deposition of *In Situ* Boron-Doped Polysilicon, J. Electrochems. Soc., vol. 135, pp. 1793 - 1796 (1988).
- [55] F.C. Eversteyn and B.H .Put. Influence of AsH₃, PH₃, and B₂H₆ on the Growth Rate and Resistivity of Polycrystalline Silicon Films Deposited from a SiH₄-H₂ Mixture. J. Electrochem. Soc., vol. 120, p. 107 (1973).

- [56] M.K. Sangneria, K.E. violette, M.C. Öztürk, G. Harris and D.M. Maher Boron Incorporation in Epitaxial Silicon Using Si_2H_6 and B_2H_6 in an Ultrahigh Vacuum Rapid Thermal Chemical Vapor Deposition Reactor. J. Electrochem. Soc., vol. 142, p. 285 (1995).
- [57] Y. Ashida, Y. Mishima, M. Hirose, Y. Osaka. Impurity doping in chemically vapor-deposited amorphous hydrogenated silicon from disilane J. Appl. Phys., vol. 55, p. 1425 (1984).
- [58] V. Schmidt, J. V. Wittemann, U. Goele "Growth Thermodynamic, and electrical properties of silicon nanowires" Chem. Rev. 110 p 361 (2010)
- [59] R. He, P. Yang "Giant piezoresistance effect in silicon nanowires" Nature nanotechnology 3 p 42 (2006)
- [60] B. Hadjoudja, "étude et modélisation de la conduction électrique dans des couches de silicium polycristallin déposées par LPCVD, dopées bore ou arsenic par implantation ionique et soumises à différents traitements thermiques" Thèse de doctorat de l'université de Rennes I, 1985.
- [61] H. Flietner, "U-shaped distribution at semiconductor interfaces and the nature of related defect centers" Phys. Stat. Sol (a), 91, pp. 153 – 164, 1985.
- [62] J. Y. W. Seto "Electrical properties of polycrystalline silicon films" J. Appl. Phys. 46 N°12, p 5247 (1975)
- [63] F. N. Mott "Conduction in non-crystalline materials III. Localized states in pseudogap near extremities of conduction and valence bands" Phil. Mag 19 (160) p 835 (1969)
- [64] C. Godet "Variable range hopping revisited: the case of an exponential distribution of localized states" J. of Non Cryst. Sol. 299 – 302 p 33 (2002)
- [65] D. Briand, M. Sarret, F le Bihan, O Bonnaud, L. Pichon "Polysilicon phosphorus doping control over large concentration range using low temperature, low pressure chemical vapour deposition growth process" Mat. Sc. And Tech. 11 p 1207 (1995)
- [66] T. Gaillard "Simulation technologique et électrique de couches de silicium polycristallin. Application aux transistors couches minces » Thèse d'Université, Université de Rennes 1, janvier 1999.
- [67] D. K. Paul, S. S. Mitra "Evaluation of Mott's parameters for hopping conduction in amorphous Ge, Si, and Si-Ge" Phys. Rev. Lett. 31(16) p 1000 (1973)
- [68] S. B. Concari, R. H. Buitrago, M. T. Gutierrez, J. J. Gandia « Electronic transport mechanism in intrinsic and p-doped microcrystalline silicon films » Journ. Appl. Phys. 94(4) p2417 (2003)

- [69] G. Ambrosone, U. Coscia, A. Cassinese, M. Barra, S. Restello, V. Rigato, S. Ferrero “Low temperature electric transport properties in hydrogenated microcrystalline silicon films” *Thin Solid Films* 515 p 7629 (2007)
- [70] C. Godet “Physics of bandtail hopping in disordered carbons” *Carbon and Related Materials* 12 p 159 (2003).
- [71] S. M. Sze "Physics of semiconductor devices" Editions Wiley, 2nde edition pp 438-442 (1981)
- [72] Gertrude Godem Wenga, rapport de stage de Master 2 : faisabilité de TFTs à base de nanofils de silicium. Mars – Juillet (2010).
- [73] F. Bendriaa, F. Le Bihan, A. C. Salaun, T. Mohammed-Brahim, O. Bonnaud “ Study of mechanical maintain of suspended bridge devices used as pH-sensor” *Journ. of Non-Cryst. Sol.* 352 p 1246 (2006)
- [74] B. Da Silva Rodriguez, O. De Sagazan, S. Crand, F. Le Bihan, O. Bonnaud, T. Mohammed-Brahim, N. Morimoto “Sensitive continuous monitoring of pH thanks to matrix of several suspended gate filed effect transistors” *ECS Transactions* 23(1) p 203 (2009)
- [75] T. Mohammed-Brahim, A. C. Salaun, F. Le Bihan “SGFET as charge sensor: application to chemical and biological species detection” *Sensors and Transducers Journ.* 90 p11 (2008)
- [76] T. Mohammed-Brahim, F. Bendriaa, F. Le Bihan, A. C. Salaun, O. Bonnaud “Sensitivity of suspended-gate polysilicon TFTs to charge variation and pallication to DNA recognition” *ECS 2006, Joint International Meeting, Cancun, Mexico, 29 oct-3 nov* (2006)
- [77] Talin A. A, Hunter L. L, Leonard F, Rokad B, Large area, dense silicon nanowire array chemical sensors *Appl. Phys. Lett.* 89 (2006)153102
- [78] Yu J. Y, Chung S. W, Heath J. R, Silicon naowires: preparation, device fabrication, and transport properties *J. Phys. Chem. B* 104 (2000)11864.
- [79] A. Karthigeyan, R. P. Gupta, K. Sharnagl, M. Burgmair, S. K. Sharma, I. Eisele “A room temperature HSGFET ammonia sensor based on iridium oxide thin film” *Sensors and act. B* 85 p 145 (2002)
- [80] J. Wan, S. R. Deng, R. Yang, Z. Shu, B. R. Lu, S. Q. Xie, Y. Chen, E. Huq, R. Liu, X. P. Qu “Silicon nanowire sensor for gas detection fabricated by nanoimprint on SU8/SiO₂/PMMA trilayer” *Microelect. Eng.* 86 p 1238 (2009)
- [81] Y. Shimizu, M. Egashira “Basic aspects and challenges of semiconductor gas sensors” *MRS bulletin* 18 (june) (1999).

[82] F. Demami, R. Rogel, A. C. Salaün, L. Pichon Electrical properties of polysilicon nanowires for devices applications, E-MRS 2010 Spring Meeting Symp I 30-Sep-2010 accepté pour publication dans physica status solidi (c).