

## TABLE DES MATIERES

<b>REMERCIEMENTS .....</b>	<b>i</b>
<b>RESUME.....</b>	<b>iii</b>
<b>TABLE DES MATIERES.....</b>	<b>iv</b>
<b>LISTE DES ABREVIATIONS .....</b>	<b>vi</b>
<b>LISTE DES FIGURES .....</b>	<b>viii</b>
<b>LISTE DES TABLEAUX.....</b>	<b>x</b>
<b>INTRODUCTION GENERALE .....</b>	<b>1</b>
<b>CHAPITRE I. INTRODUCTION A LA TOPOGRAPHIE ET AU SONDEUR MULTIFASCEAUX.....</b>	<b>3</b>
I.1      Introduction à la topographie .....	3
I.1.1    Eléments de topographie.....	4
I.1.2    Contribution de l'électronique et de l'informatique .....	6
I.2      Ondes acoustiques .....	7
I.2.1    Généralités .....	7
I.2.2    Propagation des ondes acoustiques.....	7
I.3      Sondeur mono-faisceau .....	10
I.3.1    Principe de fonctionnement .....	10
I.3.2    Limite du sondeur mono-faisceau.....	11
I.4      Sondeur Multifaisceaux.....	12
I.4.1    Principe de fonctionnement .....	12
I.4.2    L'impulsion monochromatique ou Ping .....	13
I.4.3    La durée d'impulsion $\tau$ .....	13
I.4.4    Période d'émission ou cadence d'émission .....	14
I.4.5    Calcul de la profondeur.....	14
I.4.6    Calage au niveau de l'émetteur.....	15
I.5      Conclusion.....	19
<b>CHAPITRE II. PRESENTATION DU PROJET « Soft-Eye ».....</b>	<b>20</b>
II.1     Cadre du projet « Soft-Eye ».....	20

II.1.1	Aspect économique .....	20
II.1.2	Synoptique du projet « Soft-Eye ».....	21
II.1.3	Les transducteurs .....	21
II.2	Rôle du circuit FPGA .....	22
II.2.1	Concept .....	22
II.2.2	La conversion Analogique en Numérique .....	22
II.2.3	Traitement Numérique du signal .....	23
II.2.4	Architecture du circuit FPGA .....	29
II.3	Conclusion.....	30
<b>CHAPITRE III. REALISATION DU PROJET : « Soft-Eye ».....</b>	<b>31</b>	
III.1.	Choix des matériels .....	31
III.1.1	La carte SmartFusion Evaluation Kit.....	33
III.1.2	Emission et réception de données .....	35
III.1.3	Système de propulsion .....	38
III.2.	Implémentation logiciel.....	41
III.2.1	L'outil de développement Libero SoC (System on Chip) et SoftConsole .....	41
III.2.2	Transcription de la DSP (Digital Signal Processing).....	43
III.2.3	Système de propulsion : implémentation sur cible FPGA .....	48
III.2.4	L'interface graphique.....	55
III.3.	Conclusion.....	59
<b>CONCLUSION ET PERSPECTIVE .....</b>	<b>60</b>	
<b>ANNEXE I. PCB de la carte d'amplification .....</b>	<b>61</b>	
<b>ANNEXE II. Catalogue ULN – 2003A .....</b>	<b>62</b>	
<b>ANNEXE III: CODE SOURCE de la Transformé de Fourier Rapide.....</b>	<b>65</b>	
<b>ANNEXE IV: GRAFCET .....</b>	<b>68</b>	
<b>REFERENCES.....</b>	<b>71</b>	

## LISTE DES ABREVIATIONS

<b>AC</b>	Alternative Current
<b>ADC</b>	Analog - to - Digital Converter
<b>API</b>	Application programming Interface
<b>ASIC</b>	Application Specific Integrated Circuit
<b>CMOS</b>	Complementary Metal Oxyde Semiconductor
<b>DC</b>	Direct Current
<b>DCM</b>	Device Clock Manager
<b>DSP</b>	Digital Signal Processing
<b>EEPROM</b>	Electrical Erasable Programmable
<b>FPGA</b>	Field Programmable Gate Array
<b>FFT</b>	Fast Fourier Transform
<b>GPS</b>	Global Position System
<b>GRAFCET</b>	Graphe Fonctionnel De Commande Etape Et Transition
<b>HDL</b>	Hardware Description Language
<b>I2C</b>	Integrated Integrated Circuit
<b>IDE</b>	Integrated Development Environment
<b>JVM</b>	Java Virtual Machine
<b>Lc</b>	Longueur entre deux points sur la carte
<b>Lt</b>	Longueur entre deux points sur le terrain
<b>LUT</b>	Look Up Table
<b>MBES</b>	Multi Beam Echo Sounder
<b>MNT</b>	Modèle Numérique De Terrain
<b>OLED</b>	Organic Light Emitting Diode
<b>PC</b>	Personal Computer
<b>PLL</b>	Phase Locked Loop
<b>PWM</b>	Pulse Width Modulation

<b>RAM</b>	Random Access Memory
<b>ROM</b>	Read Only Memory
<b>RTR</b>	Run Time Reconfigurable
<b>RVI</b>	Reconfigurable Virtual Instrument
<b>SMF</b>	Sondeur Multifaisceaux
<b>SoC</b>	System on Chip
<b>SPICE</b>	Simulation Program with Integrated Circuits Emphasis
<b>SPI</b>	Serial Peripheral Interface
<b>SRAM</b>	Static RAM
<b>TTL</b>	Transistor Transistor Logic
<b>UART</b>	Universal Asynchronous Receiver Transmitter
<b>USB</b>	Universal Serial Bus
<b>USGS</b>	United States Geological Survey
<b>VHDL</b>	Very High Description Language

## LISTE DES FIGURES

Figure 1.1 : Principe d'établissement des courbes de niveau .....	5
Figure 1.2 : Perte totale de propagation en fonction de la distance pour différentes fréquences [4].....	9
Figure 1.3 : Principe du sondeur mono-faisceau [6].....	10
Figure 1.4 : Mesure falsifiée du fond par un sondeur mono-faisceau [7].....	11
Figure 1.5 : Principe du sondeur multifaisceaux [7].....	12
Figure 1.6 : Forme temporelle et spectrale d'un Ping.....	13
Figure 1.7: Illustration des faisceaux extrêmes.....	14
Figure 1.8 : Schéma illustratif du calcul de la profondeur avec l'angle $\Theta$ .....	14
Figure 1.9 : Position de l'interférence constructive .....	16
Figure 1.10 : Position de l'interférence constructive .....	17
Figure 1.11 : Directions des interférences constructive et destructive de 2 émetteurs distants de $\lambda/2$ ....	18
Figure 1.12 : Modèle de faisceau en 3 dimensions de 2 émetteurs distants de $\lambda/2$ .....	18
Figure 2.1 : Schéma synoptique du sondeur « Soft-Eye » .....	21
Figure 2.2: Agencement des rangées d'émetteurs et celles des récepteurs.....	23
Figure 2.3 : Rangée d'hydrophone écoutant des signaux parallèles à l'axe des hydrophones .....	24
Figure 2.4 : Résultante des signaux enregistrés par chaque hydrophone, cas où $\theta = 0$ .....	24
Figure 2.5 : Position des récepteurs par rapport à la première onde visible suivant l'angle $\Theta$ .....	25
Figure 2.6 : Résultante des signaux enregistrés par chaque hydrophone, cas $\theta \neq 0$ .....	25
Figure 2.7 : Directivité associée à la configuration des hydrophones et décalage du temps $T_i$ .....	27
Figure 2.8 : Traitement des données nécessaire à l'observation simultanée des échos [7] .....	28
Figure 3.1: Vue générale du projet « Soft-Eye » .....	31
Figure 3.2: Architecture technologique de « Soft-Eye » .....	32
Figure 3.3 : SmartFusion Evaluation Kit [11] .....	33
Figure 3.4: SmartFusion FPGA A2F200M3F-FGG484 package FGG 484 pins .....	34
Figure 3.5 : Agencement des hydrophones et émetteurs .....	35
Figure 3.6 : Le microphone Electret .....	36

Figure 3.7 : Amplificateur de tension réalisé sous SPICE[12] .....	36
Figure 3.8: Réponse en fréquence de l'amplificateur - AC sweep analyse sous SPICE[12].....	37
Figure 3.9: Réalisation de la carte comportant l'étage amplificateur [Annexe I].....	37
Figure 3.10 : Architecture du système de propulsion .....	38
Figure 3.11 : Enroulement interne du moteur STP-42CI48SE .....	39
Figure 3.12: Commande demi-pas du moteur.....	39
Figure 3.13 : Une sortie du circuit Buffer ULN 2003 montage en Darlington.....	40
Figure 3.14 : Flot de conception sous Libero SoC.....	42
Figure 3.16 : Schéma récapitulatif : Génération du signal 11 KHZ « ping » avec les commandes du moteur .....	44
Figure 3.17 : Configuration matérielle du module ADC .....	45
Figure 3.18 : Séquence de commande du moteur .....	49
Figure 3.19 : Fonction logique associée à l'interprétation des données issues du module CoreUART ...	50
Figure 3.20 : Circuit séquentiel utilisant libero V9.1 associé à la commande START/STOP du moteur	51
Figure 3.21 : Entrée/sortie du module « speed_selector » pour le multiplexage de la vitesse de rotation	52
Figure 3.22 : Multiplexage de la vitesse de rotation et auto – sélection du sens de rotation.....	53
Figure 3.23 : Circuit séquentiel réalisant la détection de fin de course .....	54
Figure 3.24 : Présentation de l'interface utilisateur .....	55
Figure 3.25 : Exemple d'affichage de données envoyées par l'FPGA .....	57
Figure A.1 : Schéma de la carte d'amplification avec PROTEUS .....	61
Figure A.2 : Routage de la carte d'amplification sous PROTEUS.....	61
Fig A3 : Apperçue du circuit ULN 2003A .....	62
Figure A.3 : Exemple de GRAFCET pour un système de remplissage .....	69
Figure A.5 : Convergence en ET .....	70

## LISTE DES TABLEAUX

Tableau I	: Célérité des ondes acoustiques dans différents milieux [2].....	7
Tableau II	: Coût d'investissement dans un sondeur multifaisceaux [6].....	20
Tableau III	: Caractéristiques du circuit FPGA embarqué sur la carte .....	35
Tableau IV	: Direction des faisceaux portés par l'angle $\Theta_k$ N= 32 .....	47
Tableau V	: Listes des entrées sorties sur la carte FPGA Evaluation Kit nécessaire à la communication UART.....	47
Tableau VI	: Listes et descriptions des entrées/sorties sur la carte SmartFusion Evaluation Kit d'Actel, associé au système de propulsion .....	55

Rapport-Gratuit.com

## INTRODUCTION GENERALE

L'acoustique sous-marine est née au début du 19ème siècle avec les expériences de Paul Langevin, et a définitivement prouvé sa grande importance sur un plan stratégique durant la Seconde Guerre Mondiale [1]. Il y a depuis une évolution considérable des techniques de détection acoustique. Par ailleurs les applications civiles à la topographie, à l'océanographie ou à la prospection se sont développées récemment en constituant le moyen privilégié quasi unique d'exploration à grande distance du monde marin.

En milieu aquatique, la présence d'eaux empêche, non seulement, toute étude topographique de terrain classique mais également toute utilisation des moyens de la télédétection aérienne standards (Radar, Lidar, Infra-rouge, etc.). Les sondeurs multifaisceaux, de par leur couverture très dense du fond permettent de faire une représentation de la topographie sous l'eau [2]. En dépit de cette solution prometteuse adéquate en milieu aquatique, le processus de contrôle, d'acquisition et de traitement de données au niveau du sondeur multifaisceaux est très fastidieux.

En exploitant les circuits reprogrammables dites FPGA (Field Programmable Gate Array), il est possible de concevoir et de réaliser un sondeur multifaisceaux avec un gain en temps et qualité bienséante. Notre projet de mémoire de fin d'études s'appuie sur cette technique et s'intitule : « Conception et réalisation d'un sondeur multifaisceaux *Soft-Eye* par application d'un circuit FPGA ».

Ce mémoire est structuré en trois chapitres :

Dans le premier, nous entamons par une généralité sur la topographie des surfaces immergées en explicitant les règles de construction et ses applications. Ensuite, une étude sur les ondes acoustiques en milieu aquatique, ainsi que sa mode de propagation sera présentée. La spécificité des échosondeurs est aussi abordée, à savoir les sondeurs mono-faisceaux en avançant le principe de base et la limite de l'exploitation, vient ensuite l'orientation vers le sondeur multifaisceaux.

Le deuxième chapitre définit l'architecture d'un sondeur multifaisceaux sous un angle concepteur. Ensuite, nous détaillons l'apport du circuit FPGA ainsi que l'implémentation d'algorithme de traitement de données dans le FPGA.

Et le dernier est consacré à la réalisation du projet « Soft-Eye », le sondeur multifaisceaux est embarqué sur un simulateur de bateau, et envoie les données récoltées par un transducteur ultrason vers un module de visualisation installé sur un PC. Le contrôle et le traitement des données s'effectuent par le biais du circuit FPGA.

Dans ce chapitre, nous entamons par une généralité sur la topographie des surfaces immergées en explicitant les règles de construction et ses applications. Ensuite, une étude sur les ondes acoustiques en milieu aquatique, ainsi que sa mode de propagation est présentée. La spécificité des échosondeurs est aussi abordée, à savoir les sondeurs mono-faisceaux en avançant le principe de base et la limite de l'exploitation, et par la suite l'orientation vers le sondeur multifaisceaux.

## I.1 Introduction à la topographie

On désigne sous le nom général « topographie » l'art de représenter une portion déterminée de la surface du sol avec tous les détails, naturels ou artificiels, qui s'y rencontrent et de donner en même temps une représentation expressive et rigoureuse de son relief. Autrement dit, la topographie doit avoir pour but de construire une figure qui soit la reproduction fidèle de l'apparence qu'aurait la portion du sol retracée, si cette portion était vue d'une très grande distance verticale [2].

### a. Application à l'étude hydrologique et ouvrages hydrauliques

La connaissance de la morphologie des surfaces immergées est utile à de nombreux usages. C'est une variable essentielle pour l'étude des ressources en eau, que ce soit pour estimer les volumes écoulés vers les océans, ou pour calculer les niveaux et les périodes de retour de crues exceptionnelles nécessaires au dimensionnement d'ouvrages. De plus, la connaissance du fond permet de définir l'impact des changements de régimes hydrologiques ; sur l'ensablement des lits, pouvant perturber la navigation, et sur l'envasement des retenues d'eau, diminuant leur capacité de stockage et la prévention du risque d'inondation.

L'utilisation de l'énergie hydraulique évolue au même rythme que l'industrialisation. La recherche du maximum de productivité entraîne une sélection des ouvrages en fonction des cours d'eau et de leur potentiel énergétique. La compréhension du lit du fleuve ou lac permet de gérer l'impact sur la mise en place de ces ouvrages.

**b. Application militaire :**

En surveillance et reconnaissance : aucune Nation ne peut céder les moyens de perdre la commande de ses eaux territoriales. En particulier, les menaces sous-marines peuvent frapper avec l'impunité si elles ne sont pas localisées et ne sont pas défiées. Des dispositifs explosifs improvisés sous-marins, potentiellement déployés par des terroristes dans les ports et des voies navigables, exigent de nouveaux systèmes de surveillance optimisés pour riposter face à de telles menaces.

Système de navigation continentale ou côtière, détection des épaves.

**I.1.1 Eléments de topographie**

*a. La planimétrie*

La planimétrie est la représentation des divers éléments de la surface terrestre sur la carte topographique par des figurées caractéristiques conventionnées dont la signification est indiquée dans la légende de la carte [2].

En regardant ainsi le terrain de haut, nous ne voyons que sa projection horizontale. Cependant, il est en général, loin d'être uniforme ; sa surface est remplie d'accidents : tantôt de saillies, comme les collines et les montagnes, tantôt de creux, comme les vallées. Ces accidents, qui échappent à la vue d'un observateur regardant le sol de très haut, sont au contraire, entièrement visibles pour un observateur qui, placé au voisinage du sol en examinent le paysage dans le sens horizontal [2].

Pour être complète, la topographie ne doit pas se borner à retracer la planimétrie, elle doit y joindre l'altimétrie.

## b. Le niveling ou l'altimétrie

Le niveling est l'ensemble des opérations qui permettent de déterminer des altitudes et des dénivélés ou différences d'altitude. Il permet de représenter le relief du terrain. Deux modes de représentation du relief sont à représenter ci-dessous [3]:

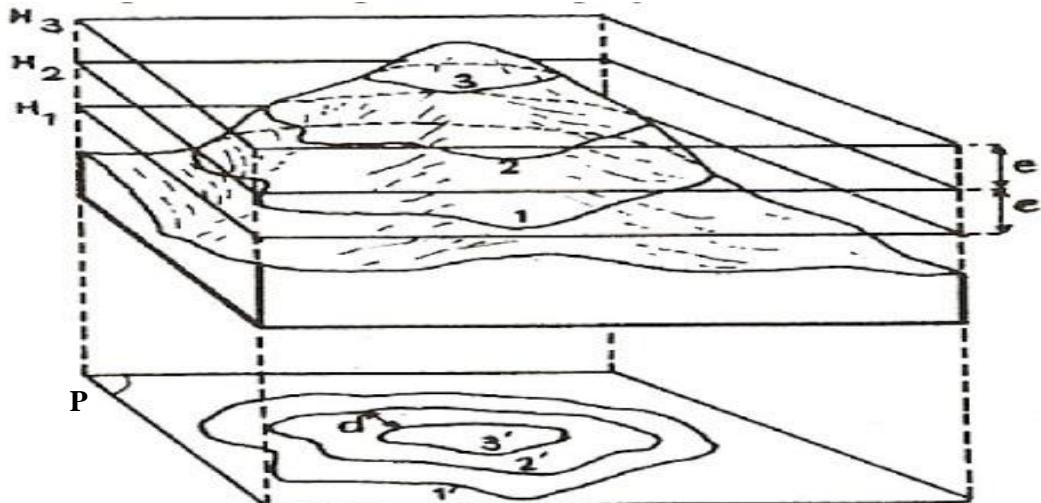
- Système des courbes de niveau
- Système des hachures (abandonné car trop imprécis)

### i) Carte en courbe de niveau

La courbe de niveau est le lieu des points de la surface topographique ayant même altitude, c'est-à-dire l'intersection de la surface topographique avec un plan horizontal.

### ii) Principe de l'établissement des courbes de niveau

Considérons une série de plans horizontaux ( $H_1$ ,  $H_2$  et  $H_3$ ) parallèles équidistants qui coupent idéalement une surface topographique comme montre la Fig 1.1. Les intersections de la colline avec ces plans sont reportées sur le plan P. Ces projections se nomment courbes de niveau.



**Figure 1.1 : Principe d'établissement des courbes de niveau**

e : équidistance entre 2 plans horizontaux

d : écartement entre 2 courbes de niveau

### **iii) Equidistance e et écartement d**

L'équidistance est la distance qui sépare deux plans horizontaux successifs : sur la carte elle correspond à la différence d'altitude entre deux courbes de niveau consécutives. Il ne faut pas confondre l'équidistance avec l'écartement des courbes en projection sur la carte (d). L'équidistance est constante mais l'écartement est variable qui dépend du relief.

## **I.1.2 Contribution de l'électronique et de l'informatique**

Dans la situation d'accroissement des besoins d'accès aux données, il devient essentiel de diminuer les coûts des matériels, donc d'optimiser et de pérenniser les systèmes de mesures, et de diminuer les temps d'accès aux données. Face à ce compromis l'électronique et l'informatique deviennent une option incontournable.

### **a. Optimisations des systèmes de mesure**

L'utilisation de sondeurs numériques couplés à des centrales d'altitude, à des systèmes de positionnement satellite comme le GPS (Global Positioning System) et à des logiciels d'acquisition de données ont permis d'optimiser la productivité et de réduire le personnel nécessaire à l'exécution des levés [2].

### **b. Modèle numérique de terrain**

Un modèle numérique de terrain (MNT) est une représentation informatique d'une zone géographique et de son relief. Les MNT sont des représentations virtuelles, issues de calculs numériques, de la topographie d'une zone terrestre ou subaquatique. On parle alors de MNT bathymétrique. Ils permettent de créer une image de synthèse du terrain en trois dimensions, de calculer des surfaces et des volumes, de tracer des profils topographiques, de simuler des écoulements, etc [4].

## I.2 Ondes acoustiques

### I.2.1 Généralités

Les ondes acoustiques sont provoquées par la propagation d'une perturbation mécanique: une compression-dilatation locale d'un élément du milieu se transmet à un élément adjacent du fait de son élasticité, et ainsi de proche en proche se propage en s'éloignant de la source la perturbation. Une telle onde nécessite un support matériel élastique pour pouvoir se propager (gaz, liquide ou solide).

### I.2.2 Propagation des ondes acoustiques

#### a. Célérité

Ce paramètre décrit la vitesse à laquelle l'onde se propage dans le milieu à partir de la source qui lui a donné naissance. Elle est imposée par les caractéristiques du milieu de circulation et dépend de la masse volumique  $\rho$  et du module de compressibilité  $E$  du milieu, par la relation :

$$c = 1/\sqrt{[E\rho]} \quad (1.1)$$

Selon la nature du milieu, les ordres de grandeur de la célérité diffèrent de manière considérable comme le Tableau I montre :

**Tableau I : Célérité des ondes acoustiques dans différents milieux [2]**

Milieu	Célérité des ondes longitudinales en m/s
Air	340
Eau	1500
Cuivre	4700
Aluminium	6400

#### b. Pression acoustique

C'est la variation autour de la pression statique moyenne, c'est-à-dire la différence entre la pression existant à un instant donné et celle qui existerait en ce point en l'absence de toute vibration acoustique. L'unité de pression est le pascal (Pa) 1 Pa = 1 N/m<sup>2</sup> [2].

### c. Longueur d'onde

A partir des notions de vitesse de propagation et de fréquence d'onde, on peut immédiatement définir la notion de longueur d'onde, définie comme le rapport entre la vitesse de propagation de l'onde et sa fréquence.

$$\lambda = c / f \quad (1.2)$$

c: célérité de l'onde acoustique, unité m/s.

f: nombre de vibrations par seconde, exprimé en hertz, noté Hz.

$\lambda$  : intervalle spatial entre deux points du milieu animés du même état vibratoire (avec un déphasage de  $2\pi$ ) exprimée en mètre.

Cette longueur d'onde correspond à la distance parcourue par l'onde dans le milieu pendant une période de vibration. Pour un milieu de propagation donné, une onde acoustique basse fréquence aura une grande longueur d'onde. A l'inverse, si l'on utilise une vibration de fréquence plus élevée, la longueur d'onde sera réduite.

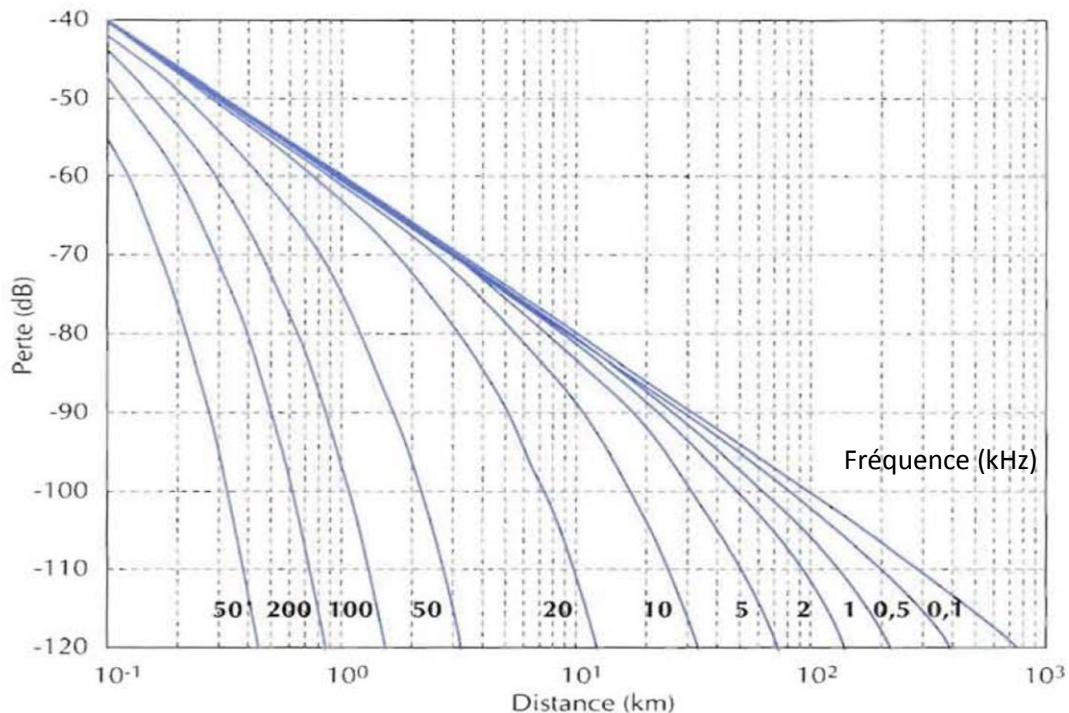
### d. Atténuation acoustique

Le passage d'une onde acoustique perturbe le fluide autour de son état moyen. Le premier phénomène auquel sont soumises les ondes acoustiques lors de leur propagation est une perte d'intensité correspondant d'une part à un effet géométrique de divergence et d'autre part à l'absorption de l'énergie acoustique par le milieu de propagation lui-même. Cet amortissement de propagation est un paramètre capital du fonctionnement d'un système acoustique, puisqu'elle va conditionner l'amplitude du signal reçu, donc les performances du récepteur, qui dépendent directement du rapport signal sur bruit.

Le milieu de propagation est dissipatif et absorbe une partie de l'énergie de l'onde, qui est dissipée par viscosité ou par réaction chimique. Par ailleurs l'amortissement par divergence géométrique stipule que l'intensité de l'énergie acoustique diminue proportionnellement à l'inverse de la surface sur laquelle elle s'étale.

Si l'on se place dans le cas d'une source sonore qui diffuse de façon sphérique dans l'espace, l'énergie émise va se diluer sur des sphères de plus en plus grandes, dont la surface varie comme le carré de la distance entre la source et le point de réception. L'intensité en  $\text{W/m}^2$  sera ainsi d'autant plus faible que l'auditeur ou l'appareil de mesure est à une distance importante de la source ; de façon exacte, l'intensité diminue comme l'inverse du carré de la distance. Autrement dit, le niveau diminue de 6 dB quand on double la distance à la source. Par conséquent, en toute rigueur, quand on fournit une valeur d'amplitude ou d'intensité acoustique, il faut systématiquement préciser à quelle distance de la source la mesure a été prise.

La figure 1.2 présente l'évolution de la perte totale de propagation en fonction de la fréquence et de la distance.



**Figure 1.2 : Perte totale de propagation en fonction de la distance pour différentes fréquences [4].**

La ligne en couleur bleue représente la fréquence en kHz de l'onde. A chaque fréquence donnée et à une distance parcourue correspondent à une perte d'intensité de l'onde émise. Par exemple, si l'onde a une fréquence de 20 kHz qui a parcouru 10 km, alors la perte est de -110 dB.

## I.3 Sondeur mono-faisceau

### I.3.1 Principe de fonctionnement

Le sondeur mono-faisceau est le type de sondeur couramment employé et historiquement le premier. Un transducteur émet une impulsion sonore au travers d'un faisceau dirigé selon la verticale du navire et mesure le temps nécessaire à ce signal pour parcourir le trajet navire / fond / navire. L'écho est reçu par le même transducteur. Connaissant la célérité moyenne du son, la mesure du temps de parcours permet d'accéder à la profondeur entre le navire et le fond.

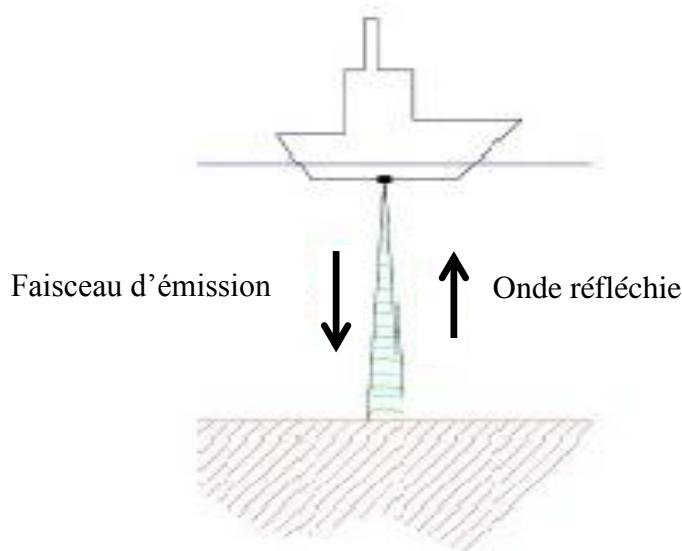
Le calcul de la profondeur P se fait par la formule suivante :

$$P = c \cdot \Delta t / 2 \quad (1.3)$$

c : célérité du son dans l'eau (de l'ordre de 1500 m/s)

$\Delta t$  : temps de parcours émetteur-fond-récepteur

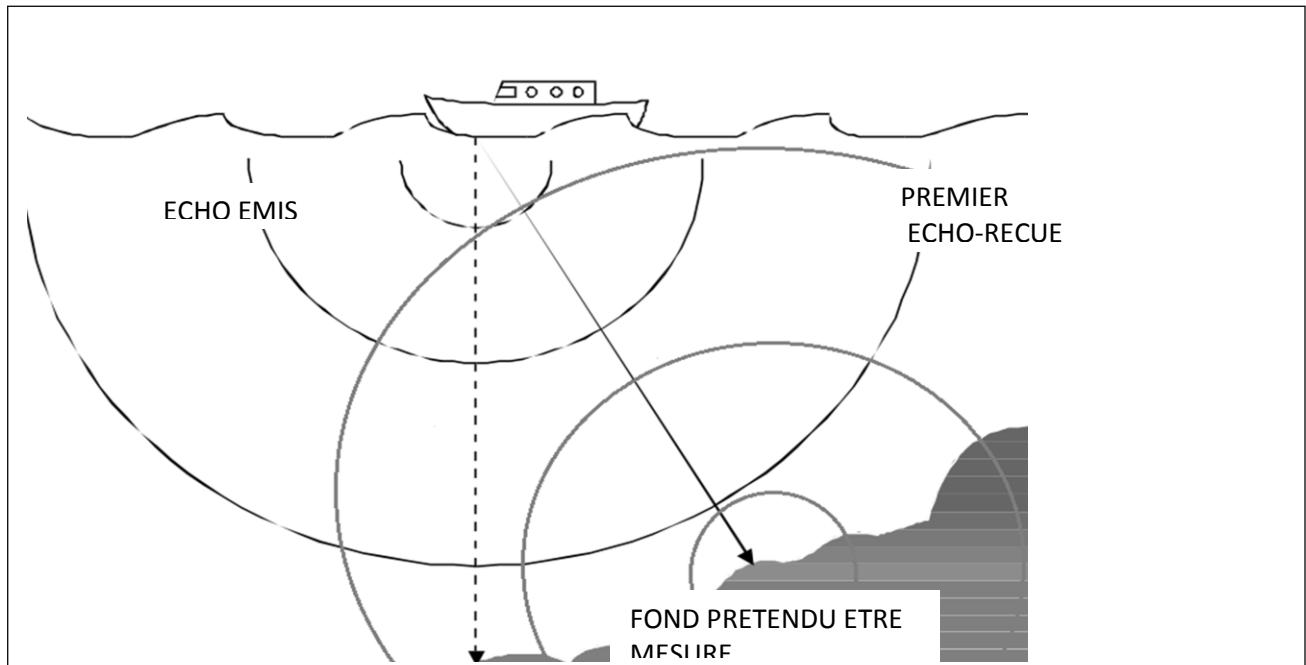
La figure 1.3 présente le principe de fonctionnement du sondeur mono-faisceau.



**Figure 1.3 : Principe du sondeur mono-faisceau [6]**

### I.3.2 Limite du sondeur mono-faisceau

Ce type d'échosondeur ne permet qu'une insonification partielle, c'est-à-dire ponctuelle du fond. En outre, dans le traitement du sondeur mono-faisceau, on traite un fond plat, ce qui n'est pas toujours le cas, les informations qu'un sondeur mono-faisceau fournit sont une série d'amplitudes d'écho en fonction du temps. Par conséquent, un observateur ne peut pas être sûr de l'endroit exact des sources de ces échos. Ce problème est illustré à la Fig 1.4.



**Figure 1.4 : Mesure falsifiée du fond par un sondeur mono-faisceau [7]**

## I.4 Sondeur Multifaisceaux

Pour pallier les problèmes rencontrés en sondeur mono-faisceau, les sondeurs multifaisceaux (SMF) ont fait leur apparition au cours des années 1970 [5]. Ils reposent eux aussi sur le principe de la mesure du temps de parcours d'une onde acoustique, mais au lieu d'envoyer à chaque fois une onde et de mesurer un point à la verticale du transducteur, ils mesurent la profondeur d'un grand nombre de points, répartis sur une ligne perpendiculaire à la trajectoire du bateau comme illustre la Fig 1.5 suivante :

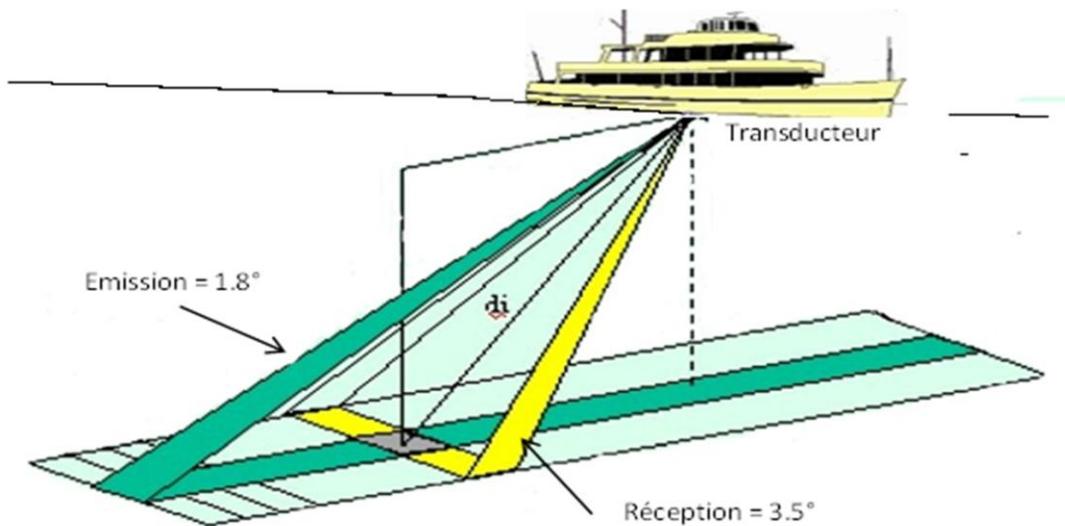


Figure 1.5 : Principe du sondeur multifaisceaux [7]

### I.4.1 Principe de fonctionnement

La technique utilisée est dite des "faisceaux croisés", l'émission du signal sonore et la réception de l'écho réfléchi s'effectuent sur le fond selon des faisceaux perpendiculaires dont l'intersection représente la surface sondée. Le fond est détecté lorsque le déphasage entre le signal reçu par deux récepteurs proches est nul. Cette technique offre une meilleure qualité de mesure pour les faisceaux à angle d'incidence important [5].

#### I.4.2 L'impulsion monochromatique ou Ping

L'impulsion monochromatique ou « Ping » est une sinusoïde de fréquence  $f_0$  émise pendant une durée limitée  $\zeta$  :

$$\text{si } 0 < t < T \quad (1.4)$$

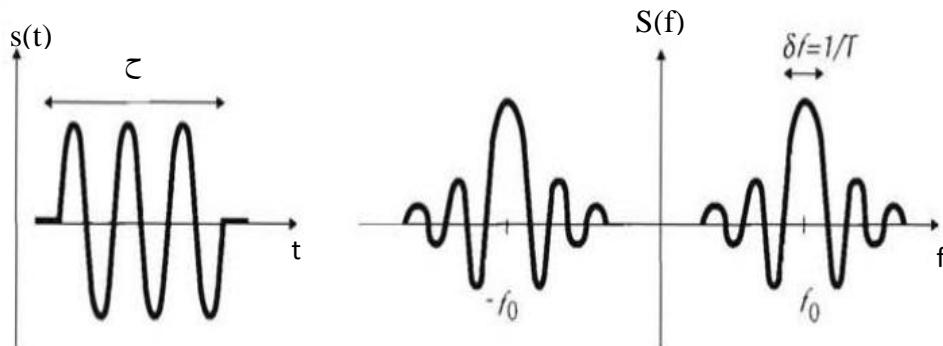
$$s(t) = A \sin(2\pi f_0 t)$$

T : période

A : amplitude du signal

Le spectre de ce signal est un sinus cardinal centré sur la fréquence porteuse, et la largeur de bande à -3 dB vaut  $\delta f = 1/\zeta$ . La figure 1.6 montre la forme d'un Ping dans le temps et sa forme spectrale correspondante.

$$S(f) = A \frac{\sin(2\pi\zeta(f-f_0))}{2\pi\zeta(f-f_0)} \quad (1.5)$$

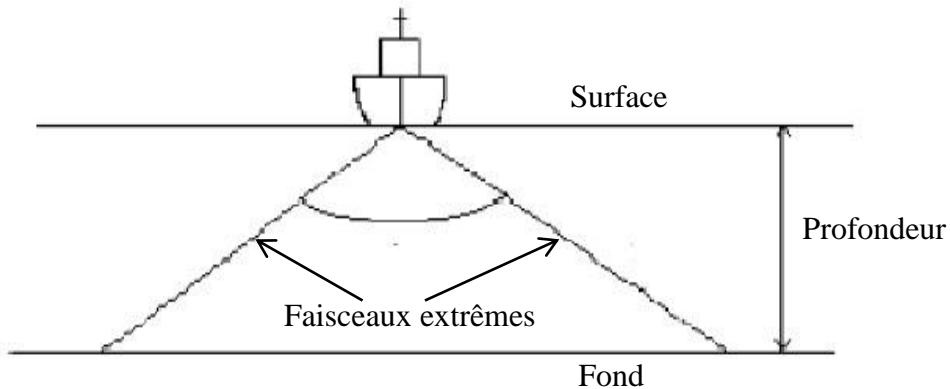


**Figure 1.6 : Forme temporelle et spectrale d'un Ping**

La largeur de bande occupée par un Ping de durée  $\zeta$  à -3dB vaut  $\delta f = 1/\zeta$ . Avec la contrainte liée à la bande passante du transducteur définie précédemment, il n'est pas possible d'utiliser une bande plus large que la bande passante du transducteur. Par conséquent la durée d'impulsion doit être supérieure à l'inverse de la bande passante du transducteur. En outre les répercussions dues à l'effet de réflexion, réverbération limite la durée d'impulsion à une longueur déterminée, afin d'améliorer la résolution au niveau de la réception. On peut donc déterminer une durée d'impulsion  $\zeta$  correspondant à un transducteur de bande passante 880 Hz égales à 1 ms.

#### I.4.4 Période d'émission ou cadence d'émission

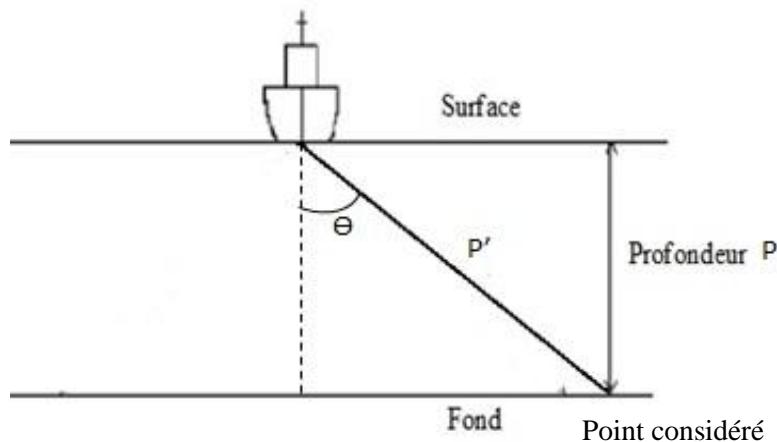
La période d'émission est la durée qui sépare deux émissions consécutives. Elle est au minimal supérieur à la durée du trajet aller-retour des faisceaux extrêmes, comme présentée à la Fig 1.7 ci-dessous. Elle est soit constante, par exemple fixé par l'opérateur, soit réglée automatiquement en fonction du trajet des faisceaux extrêmes.



**Figure 1.7: Illustration des faisceaux extrêmes**

#### I.4.5 Calcul de la profondeur

La profondeur  $P$  se calcule comme en sondeur mono-faisceau sauf que l'angle  $\Theta$  est pris en considération, selon la Fig 1.8 ci-dessous. L'angle  $\Theta$  est l'angle formé par la verticale du navire avec la directivité du faisceau considéré.



**Figure 1.8 : Schéma illustratif du calcul de la profondeur avec l'angle  $\Theta$**

$P'$  : distance parcourue par l'onde pendant le temps  $\Delta t$

$$P' = c\Delta t / 2 \quad (1.6)$$

$c$  : célérité du son dans l'eau

$\Delta t$  : temps de parcours émetteur-Point considéré -récepteur à l'angle  $\Theta$

La profondeur du point considéré se calcule comme suit :

$$P = P' \cos \Theta \quad (1.7)$$

#### I.4.6 Calage au niveau de l'émetteur

Une impulsion d'onde émise par un sondeur mono-faisceau augmente sphériquement avec une amplitude uniforme pendant qu'il propage dans l'eau, étendant son énergie acoustique également dans toutes les directions ou expansion isotrope [7].

Dans cette approche, le but est d'obtenir des expansions non isotropes dont l'amplitude change en fonction de l'endroit angulaire. Des impulsions dirigées peuvent être employées pour insonifier des secteurs spécifiques sur le fond, causant des échos plus forts dans certains endroits et atténuer des endroits intrus. L'exploitation des propriétés issues de la superposition d'ondes nous conduira à l'adéquation.

Considérons deux ondes sinusoïdales  $s_1(x,t)$ ,  $s_2(x,t)$  avec leur phase à l'origine et leur phase spatiale. La superposition de ces deux ondes sinusoïdales de même fréquence  $f$ , propageant dans un même milieu, donc de même longueur d'onde, conduit à un phénomène d'interférence, qui peut être une interférence constructive, ou une interférence destructive.

- Il y a interférence constructive entre les deux ondes à un point donné où les ondes parviennent en phase, si la différence de marche est un multiple entier de la longueur d'onde. En effet :

$$\begin{aligned} \cos(\phi_1(x) - \phi_2(x)) &= 1 \\ \Leftrightarrow \phi_1(x) - \phi_2(x) &= 2m\pi \\ \Leftrightarrow \delta(M) &= m\lambda \text{ avec } m \in \mathbb{Z} \text{ et } \lambda \text{ la longueur d'onde.} \end{aligned}$$

On rappelle différence de marche  $\delta(M)$  en un point  $M$  d'un plan la différence entre les deux distances  $S_2M$  et  $S_1M$ , distances entre chacune des deux sources et le point  $M$ :

$$\delta(M) = S_2M - S_1M.$$

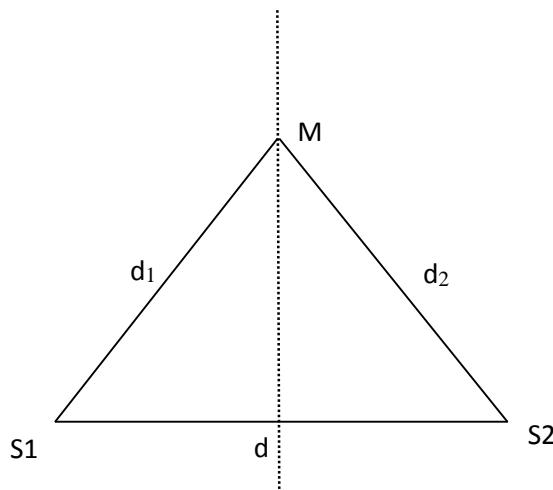
- Il y a interférence destructive entre les deux ondes à un point donné où les ondes parviennent en opposition de phase. Si la différence de marche est un multiple demi-entier de la longueur d'onde.

$$\begin{aligned} \cos(\varphi_1(x) - \varphi_2(x)) &= -1 \\ \Leftrightarrow \varphi_1(x) - \varphi_2(x) &= (2m+1)\pi \quad \text{avec } m \in \mathbb{Z} \\ \Leftrightarrow \delta(M) &= (m+1/2)\lambda. \end{aligned}$$

L'interférence constructive se passe à des points où les distances de chaque émetteur sont égales ou où la distance de marche entre ces deux distances sont un multiple de longueur d'onde du signal.

Considérons deux sources  $S_1$  et  $S_2$  séparées d'une distance  $d$  l'une de l'autre ; un point distant de  $d_1$  par rapport à  $S_1$  et  $d_2$  à  $S_2$  comme montre la Fig 1.9 suivante :

Ligne équidistante des 2 émetteurs



**Figure 1.9 : Position de l'interférence constructive**

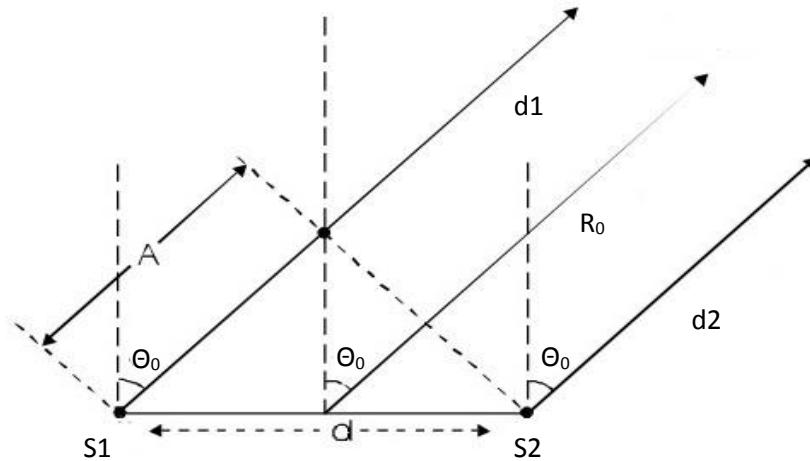
Tous les points de cette ligne équidistante ont la même énergie avec une amplitude maximale. Considérons maintenant la figure 1.10 suivante où la direction des 2 distances  $d_1$  et  $d_2$  (nommée  $R_0$ ) intercepte la ligne perpendiculaire à  $d$  avec un angle  $\theta_0$ . Dans ce cas,  $d_1$ ,  $d_2$  et  $R_0$  sont parallèles.

La différence entre  $d_1$  et  $d_2$  est  $A$  dans la Fig 1.10 et comme les angles sont tous égaux alors cette distance est :

$$A = d \cos (90^\circ - \theta_0) \quad (1.8)$$

Ou

$$A = d \sin (\theta_0) \quad (1.9)$$



**Figure 1.10 : Position de l'interférence constructive**

Il y a interférence constructive si  $A$  est un multiple entier de la longueur d'onde  $\lambda$ :

$$A/\lambda = 0, 1, 2, 3, \dots \text{etc.} \quad (1.10)$$

En remplaçant  $A$  par l'équation 1.9:

$$d/\lambda * \sin (\theta_0) = 0, 1, 2, 3, \dots \text{etc.} \quad (1.11)$$

Par analogie, il y a interférence destructive quand :

$$d/\lambda * \sin (\theta_0) = 0.5, 1.5, 2.5, 3.5, \dots \text{etc.} \quad (1.12)$$

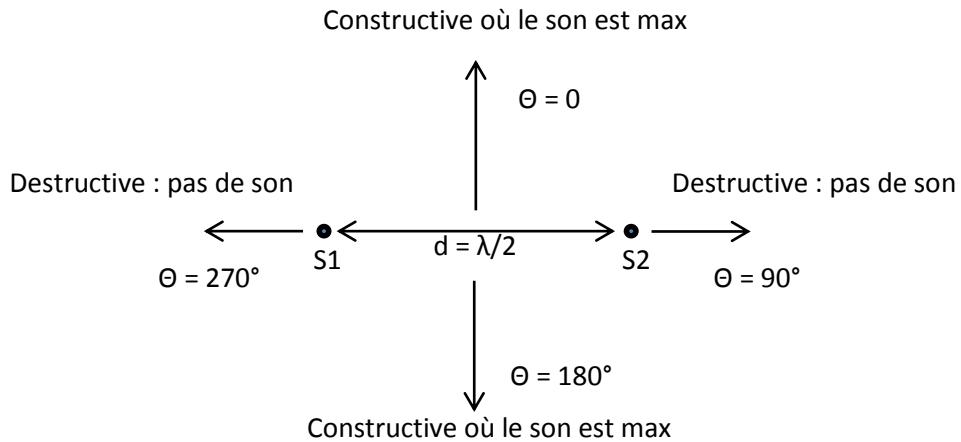
Dans ces équations, les interférences constructive et destructive dépendent de l'espacement des émetteurs, de la longueur d'onde  $\lambda$  et de l'angle  $\theta_0$  de la direction du faisceau.

Un exemple typique de l'espacement  $d$  est  $d = \lambda/2$  parce que les angles à lesquelles les interférences constructive et destructive sont les plus avantageux. En utilisant  $d/\lambda = 1/2$  dans les équations 1.11 et 1.12, on a :

Interférence constructive :  $\theta_0 = 0^\circ, 180^\circ$

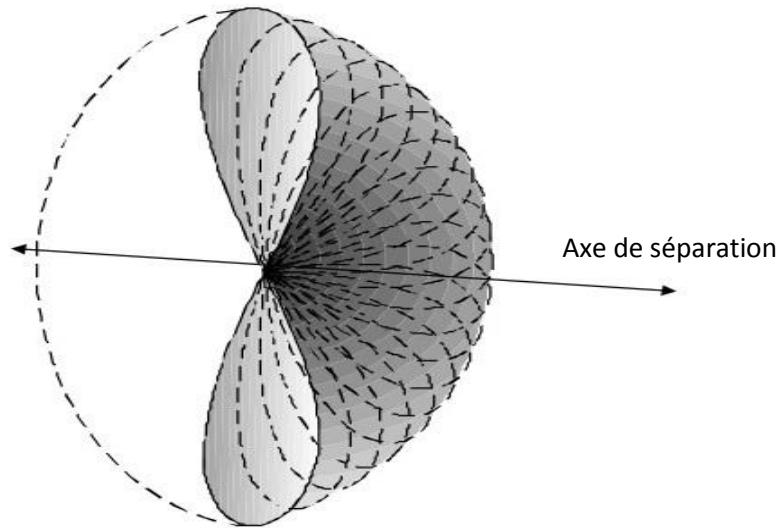
Interférence destructive :  $\theta_0 = 90^\circ, 270^\circ$

La figure 1.11 montre cette différence de direction de ces interférences.



**Figure 1.11 : Directions des interférences constructive et destructive de 2 émetteurs distants de  $\lambda/2$**

Il est à noter que les émetteurs travaillent en réalité en trois dimensions. Pour représenter précisément le modèle du faisceau des 2 émetteurs, il faut tourner autour de l'axe de séparation des 2 émetteurs comme montre la Fig 1.12



**Figure 1.12 : Modèle de faisceau en 3 dimensions de 2 émetteurs distants de  $\lambda/2$**

## I.5 Conclusion

Dans le domaine de la topographie sous-marine, les sondeurs multifaisceaux sont des outils adéquats pour l'extraction et la représentation des reliefs grâce à ses méthodes perfectionnées et améliorées. Aujourd'hui le centre de toutes activités marines est basé sur ces sondes. Les recherches dans ce domaine ne cessent de s'accroître. Nous avons alors élaboré un système capable de reproduire les reliefs des sols immergés dans l'eau avec le projet « Soft-Eye ».

## **CHAPITRE II. PRESENTATION DU PROJET « Soft-Eye »**

Ce chapitre reflète l'architecture du projet « *Soft-Eye* » délimitant l'apport du circuit FPGA et les traitements des signaux au niveau du sondeur multifaisceaux.

### **II.1 Cadre du projet « Soft-Eye »**

#### **II.1.1 Aspect économique**

Pendant l'élaboration du projet, une enquête sur l'investissement dans un système de sondeur multifaisceaux a été relevée auprès des constructeurs leaders dans ce domaine : Atlas Hydrographic, Reson, Teledyne, Kongsberg Maritime. Le tableau II montre une comparaison des prix entre différents sondeurs Multifaisceaux.

**Tableau II : Coût d'investissement dans un sondeur multifaisceaux [6]**

Constructeur	Modèle	Prix
Elac Nautic	Seabeam 1185	125 000 €
Reson	Hydrobat Composite	79 900 €
Reson	Seabat 7101 Flow	130 000 €
R2Sonic	Sonic 2024	250 000€

Le sondeur multifaisceaux « *Soft-Eye* » a été développé en 6 mois. Son entretien est aisément assuré du fait que le système ne comporte pas de partie mobile, toutes les données sont embarquées dans le circuit FPGA. Avec un coût de réalisation faible, « *Soft-Eye* » adéquat à l'exigence du marché.

- Carte FPGA 350 €
- Hydrophone 2 €
- Emetteur 2 €
- Accessoires 425 €

## II.1.2 Synoptique du projet « Soft-Eye »

La figure 2.1 présente le schéma synoptique du sondeur « Soft-Eye ». En mode émission l'unité de contrôle effectue une modulation de fréquence, cette fréquence peut être variable dépendant de certains critères. L'adaptation d'impédance, surtout lorsque celle-ci doit être réalisée sur une large bande, ne devrait pas être écartée. L'étage amplificateur est toujours présent que ce soit en émission ou en réception du signal, le fait que le signal issu de l'unité de traitement est de l'ordre de milliwatt, il est indispensable d'installer un étage amplificateur. Le phénomène de saturation doit être considéré.

Les opérations de réception doivent être synchronisées avec celles de l'émission.

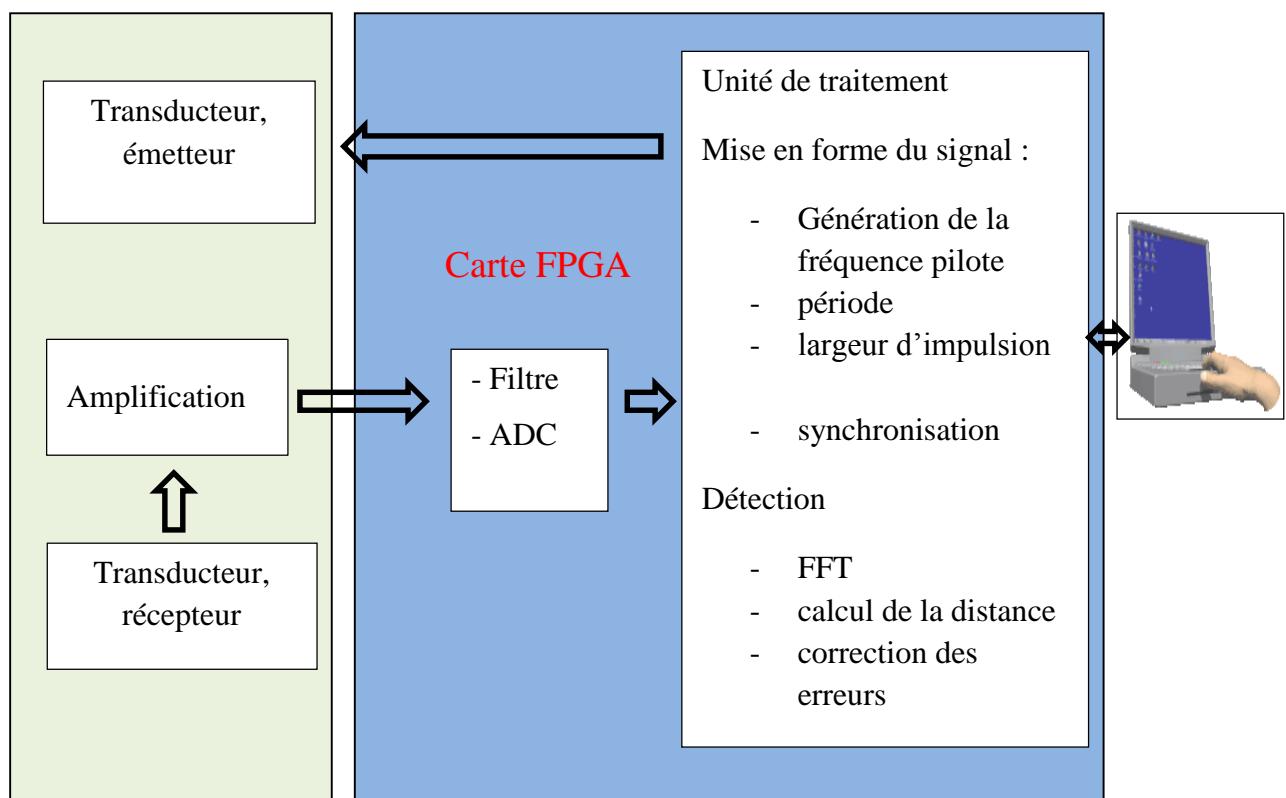


Figure 2.1 : Schéma synoptique du sondeur « Soft-Eye »

## II.1.3 Les transducteurs

Les transducteurs fonctionnent en convertissant de l'énergie électrique en énergie mécanique c'est-à-dire des impulsions électriques d'un générateur de signal en vibrations

longitudinales qui se propagent dans la colonne d'eau en tant qu'onde de pression; et inversement, durant la réception, les ondes de pression sont converties en signaux électriques.

Les principales caractéristiques d'un transducteur sont les suivantes :

- **La fréquence nominale d'utilisation** : elle est définie par le régime de résonance du transducteur, lequel est spécialisé dans une gamme donnée.
- **Bandé passante** : c'est la largeur de bande de fréquences que le transducteur peut transmettre efficacement autour de sa fréquence nominale. A partir de la courbe de réponse en fréquence, la bande passante est classiquement mesurée à -3 dB de part et d'autre du maximum [8].
- **Efficacité** : elle traduit la qualité de la conversion électrostatique.
- **Directivité** : elle traduit en émission la répartition angulaire de l'énergie acoustique émise par le transducteur; et en réception la réponse électrique en fonction de la direction d'arrivée de l'onde acoustique, la fonction de directivité, qui décrit ces variations spatiales, dépend de la fréquence et de la forme/dimension du transducteur.

## II.2 Rôle du circuit FPGA

### II.2.1 Concept

Les circuits FPGA peuvent être classés parmi les composants électroniques intégrés. Son intérêt réside sur sa grande flexibilité. La structure interne du circuit FPGA peut être changée sans avoir à modifier la structure globale de la maquette. Cet avantage est un atout majeur vu que cela permet de faire des tests rapides et à moindre coût.

Dans ce projet, le circuit FPGA embarquera toutes les étapes du processus de traitement du signal.

### II.2.2 La conversion Analogique en Numérique

Les spécifications techniques de l'ADC (Analog-to-Digital Converter) sont :

Fréquence d'échantillonnage allant jusqu'à 10 MHz

Résolution configurable 8 – 13 bits

Tension de référence configurable

Facilité d'accès au résultat de conversion.

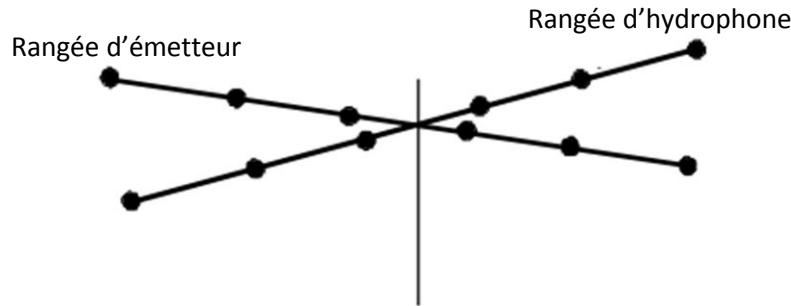
## II.2.3 Traitement Numérique du signal

Grace au circuit FGPA, seulement 10% du processus de développement sont consacrés à la réalisation et à la programmation. Les traitements de données sont embarqués dans le circuit par le biais de traitement numérique du signal.

### a. Transformé de Fourier Rapide ou FFT (Fast Fourier Transform) et l'algorithme RADIX-2

La conception de l'émetteur a été présentée au chapitre I.4.6. De la même manière, on positionne les récepteurs dans des emplacements déterminés.

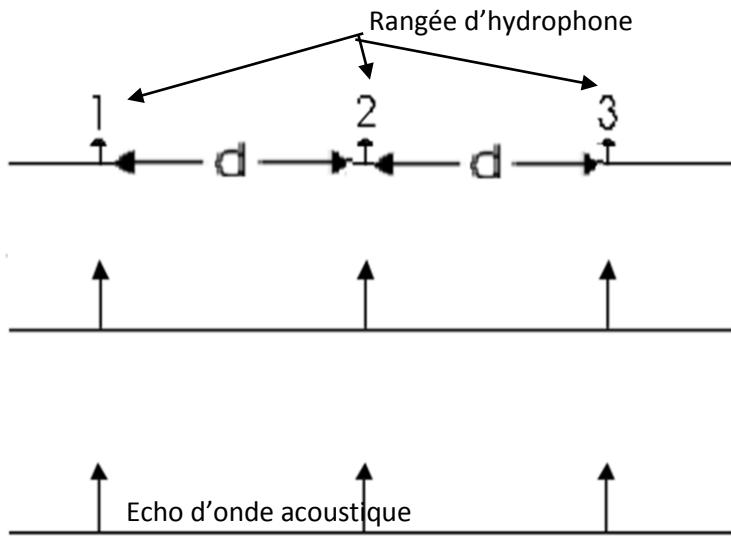
**Objectif :** sélectionner les signaux reçus selon leur amplitude. Ce dernier est aussi fonction de sa position angulaire. La figure 2.2 nous présente l'emplacement des émetteurs et celles des récepteurs



**Figure 2.2: Agencement des rangées d'émetteurs et celles des récepteurs**

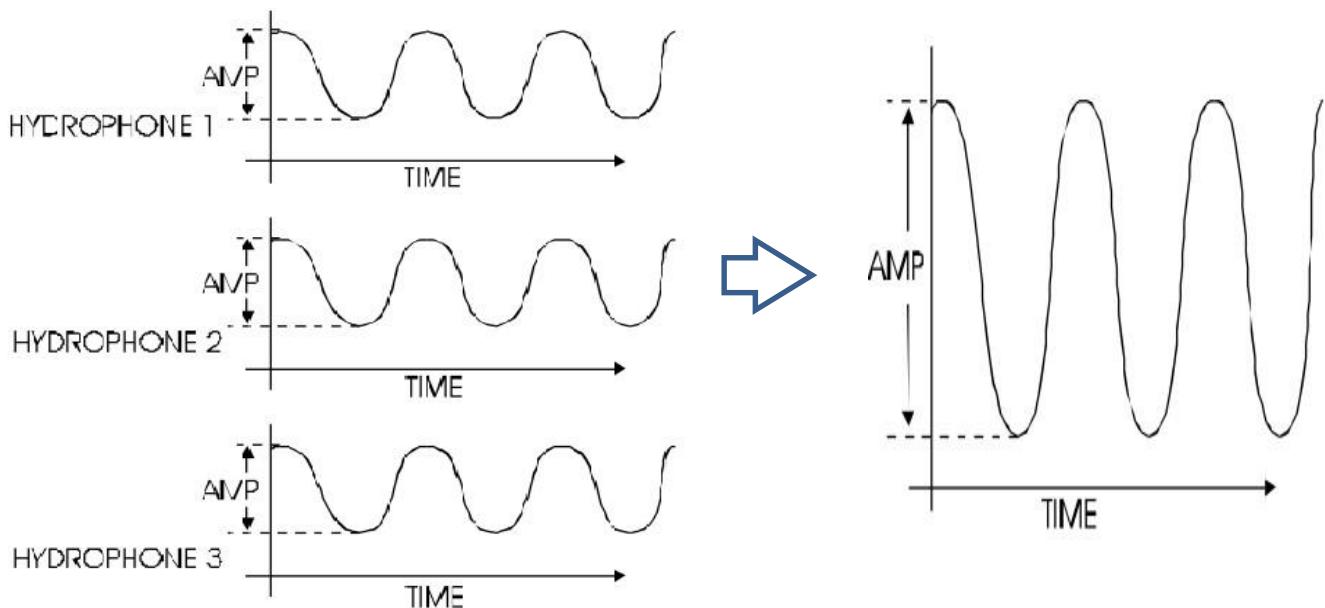
#### i) Premier scenario

Considérons un ensemble de 3 hydrophones de même axe de direction, fixes, placés à une distance  $d$  les uns des autres, comme le montre la Fig 2.3. Supposons des vagues d'ondes acoustiques frappant chaque hydrophone parallèlement.



**Figure 2.3 : Rangée d'hydrophone écoutant des signaux parallèles à l'axe des hydrophones**

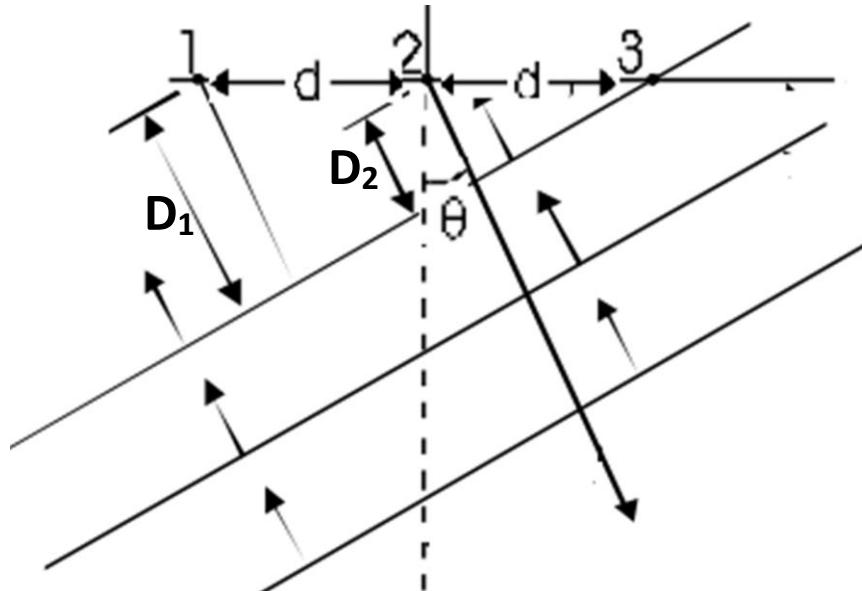
Par conséquent, la somme des signaux enregistrés par les hydrophones serait maximale due au fait que les signaux sont en phase.



**Figure 2.4 : Résultante des signaux enregistrés par chaque hydrophone, cas où  $\theta = 0$**

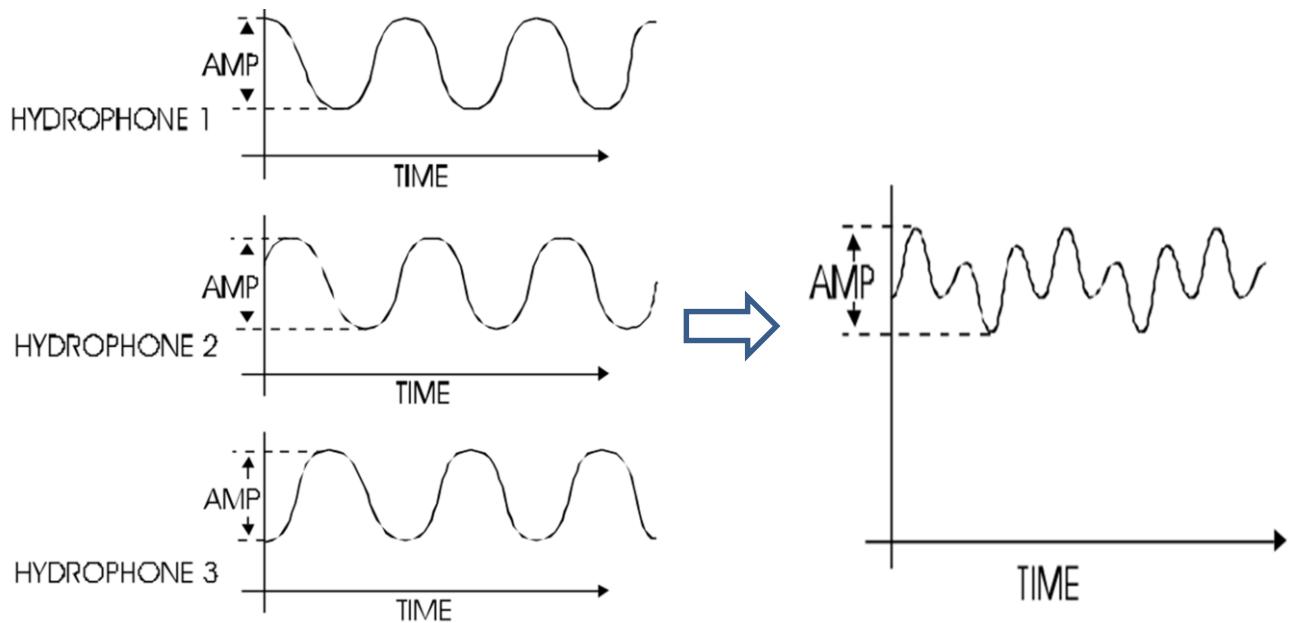
## ii) Deuxième scenario

Même configuration que précédemment mais, supposons qu'une onde arrive sur ces récepteurs avec un décalage  $\Theta$  par rapport à la verticale comme montre la Fig 2.5 suivante.



**Figure 2.5 : Position des récepteurs par rapport à la première onde visible suivant l'angle  $\Theta$**

Les récepteurs vont enregistrer des ondes de même amplitude mais déphasées de  $\theta$ . La figure 2.6 illustre ce changement de réception.



**Figure 2.6 : Résultante des signaux enregistrés par chaque hydrophone, cas  $\theta \neq 0$**

La raison de ce déphasage est que les ondes doivent voyager selon une distance différente pour atteindre chaque hydrophone. Cette distance est liée au temps écoulé à l'onde pour atteindre chaque récepteur par la relation ;

$$T_i = \frac{D_i \sin \theta}{c} \quad (2.1)$$

$D_i$  : distance entre un récepteur i et la première onde au point où un récepteur a déjà reçue un signal.

$T_i$  : temps écoulé par l'onde pour parcourir la distance  $D_i$ .

c : célérité de l'onde.

$\theta$  : Angle entre l'axe formé par les ondes et l'axe des récepteurs.

Connaissant ces différences de temps  $T_i$ , la directivité de la réception peut être orientée suivant l'angle  $\theta$ , en additionnant les amplitudes enregistrées par chaque récepteur avec un décalage de temps associés  $T_i$ .

### iii) Multiplexage de la directivité

La sensibilité de la réception à un angle particulier se fait seulement par l'interprétation des données enregistrées, les récepteurs ou hydrophones restent immobiles. En changeant le processus de traitement, les mêmes hydrophones peuvent être orientés pour observer n'importe quelle partie des angles. De cette façon, un ensemble d'hydrophones peut être employé pour examiner les échos d'un simple « Ping » à des endroits différents.

Chaque hydrophone  $H_i$  captent des signaux sinusoïdaux d'amplitude  $A(t)$  variable, de fréquence  $f$  accordée à la fréquence de l'émetteur et à temps continu. En utilisant un CAN sur chaque récepteur les signaux deviennent des signaux à temps discret, qui doivent être conforme au théorème de Shannon et à la possibilité du système même. La configuration étant établie antérieurement, l'expression du signal  $B_i(\Theta)$ , relever par chaque hydrophone suivant un angle  $\Theta$  considéré est selon la formule 2.2 suivante.

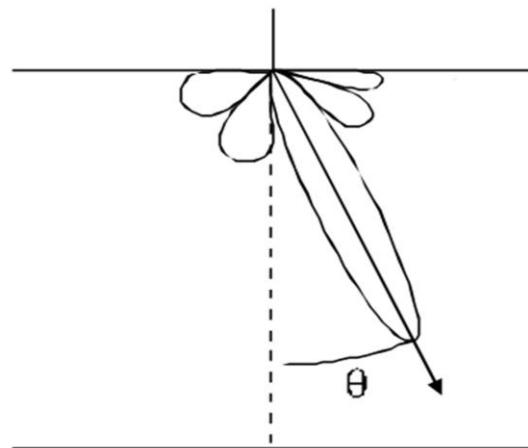
$$H_i(\theta) = A_i e^{j(\varphi + \frac{2\pi}{\lambda} i d \sin \theta)} \quad (2.2)$$

$\frac{2\pi}{\lambda} id \sin \theta$  : différence de phase

$A_i$  : amplitude du signal relever par l'hydrophone de rang  $i$ .

$i$  : rang de l'hydrophone

Par sommation des signaux  $H_i(\theta)$  pour tous les hydrophones, une directivité du faisceau ajusté à l'angle  $\theta$  choisi a été obtenue comme le montre la Fig 2.7 suivante.



**Figure 2.7 : Directivité associée à la configuration des hydrophones et décalage du temps  $T_i$**

Ce processus est réitéré suivant chaque directivité  $\theta_k$ .

On aura :

$$H(\theta_k) = \sum_{i=0}^{N-1} A_i \exp j\left(\frac{2\pi}{\lambda} id \sin (\theta_k)\right) \quad (2.3)$$

$K = \{0, 1, \dots, N-1\}$ , angle centrale de chaque faisceau

$N$  : nombre de réseau d'hydrophone

$d$  : distance entre chaque hydrophone

Ce mécanisme nécessite un temps de calcul minimal, le processus doit être achevé avant qu'un nouveau signal apparaisse sur l'hydrophone. L'utilisation de FFT est recommandée [10].

$$F_k = \sum_{i=0}^N h_i e^{j(\frac{2\pi i k}{N})} \quad (2.4)$$

$$K = \{0, 1, \dots, N-1\},$$

Ceci est rendu possible par substitutions de l'équation  $H(\theta_K)$  avec  $F_k$  de la FFT :

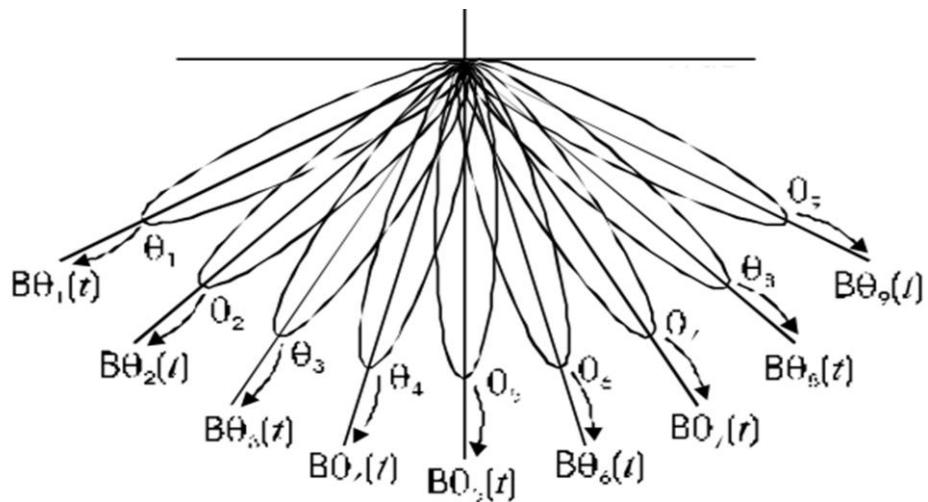
$$F_k = H(\theta_k) \Leftrightarrow \frac{2\pi i k}{N} = \frac{2\pi}{\lambda} id \sin \theta_k$$

A temps discret, les faisceaux dont la direction est portée par  $\theta_k$  seront également discrets vérifiant la relation :

$$\theta_k = \sin^{-1} \left( \frac{\lambda}{d} \cdot \frac{k}{N} \right) \quad (2.5)$$

Dans notre cas,  $d = \lambda/2$

Ainsi, un diagramme de directivité sélective comme la Fig 2.8 illustre a été obtenu :



**Figure 2.8 : Traitement des données nécessaire à l'observation simultanée des échos [7]**

### **b. Filtrage**

Plusieurs facteurs sont mentionnés antérieurement comme les perturbations dues à la divergence géométrique et le phénomène d'absorption qui nuisent à l'interprétation des données. Le seuillage des données issues de la FFT présente une solution à ce problème. Ce qui nous permettra d'éliminer les signaux indésirables produits par les bruits.

## **II.2.4 Architecture du circuit FPGA**

Plusieurs compagnies produisent des circuits FPGA à savoir ; Actel, Altera, Xilinx, QuickLogic dont la divergence est visible au niveau de la technique de programmation, à la structure de base des blocs logiques et la manière dont les interconnexions s'établissent. En revanche, toutes ces compagnies partagent les mêmes structures:

- des blocs logiques
- d'interface d'entrée/sortie
- des interconnexions

### *a. Les blocs logiques*

Les blocs logiques sont un assemblage d'opérateurs combinatoires et de bascules dans lequel la fonction réalisée n'est pas fixée lors de la fabrication. Ils sont configurés ou optimisés de sorte à réaliser des fonctions logiques. Il existe de nombreux types de blocs logiques, et même chez un seul fabricant, ils peuvent beaucoup évoluer au cours du temps.

### *b. L'interface d'entrée/sortie*

L'interface d'entrée/sortie assure la communication entre le noyau du circuit avec les éléments extérieurs. Afin d'assurer cette communication chaque pin peut être configuré comme entrée, sortie, ou sortie trois états (sortie haute impédance). En outre, ces interfaces sont compatibles avec la spécification standard de TTL et CMOS.

### *c. Les interconnexions*

Une fonction logique est définie par les interconnexions entre des opérateurs combinatoires et des bascules, et par les équations des opérateurs combinatoires. Pour connecter les blocs logiques entre eux et les entrées/sorties, les circuits FPGA disposent de toute une panoplie de ressources de connexion ou routage programmables.

### *d. Programmation*

La programmation du circuit consiste à définir une fonction parmi toutes celles qui sont potentiellement réalisables. Ce qui est programmable dans un circuit concerne les interconnexions et les opérateurs combinatoires. Il suffit de développer des tâches de traitement numérique par un logiciel et de les compiler sous forme de fichier de configuration ou de flux de bits contenant des informations sur la manière dont les composants doivent être reliés.

## **II.3 Conclusion**

Les circuits FPGA sont aujourd’hui les circuits les plus évolués et les plus performants dans le domaine de la programmation embarquée. Ils sont plus utiles dans le traitement des signaux et dans les manipulations des tâches à effectuer grâce aux composants déjà intégrés dès sa fabrication (ADC, DSP, etc.). Le prochain chapitre décrit la réalisation du projet : « *Soft-Eye* ».

## CHAPITRE III. REALISATION DU PROJET : « Soft-Eye »

### III.1. Choix des matériels

Le projet est placé dans un environnement d'acquisition et de traitement de données à l'échelle laboratoire. Les outils et les matériels utilisés sont les suivants :

- une cuve transparente 30 cm \* 25 cm \* 15 cm, matériaux en polyester qui simulera un bassin contenant de l'eau.
- à la place du bateau servant à la propulsion, un moteur pas-à-pas est placé sur deux rails.
- un module d'émission et réception (émetteurs et hydrophones).
- circuits d'interface : FPGA : SmartFusion Evaluation Kit d'Actel, Buffer ULN- 2003.
- interfaces de communication : Ethernet, USB.

La figure 3.1 présente une vue générale du projet « Soft-Eye »

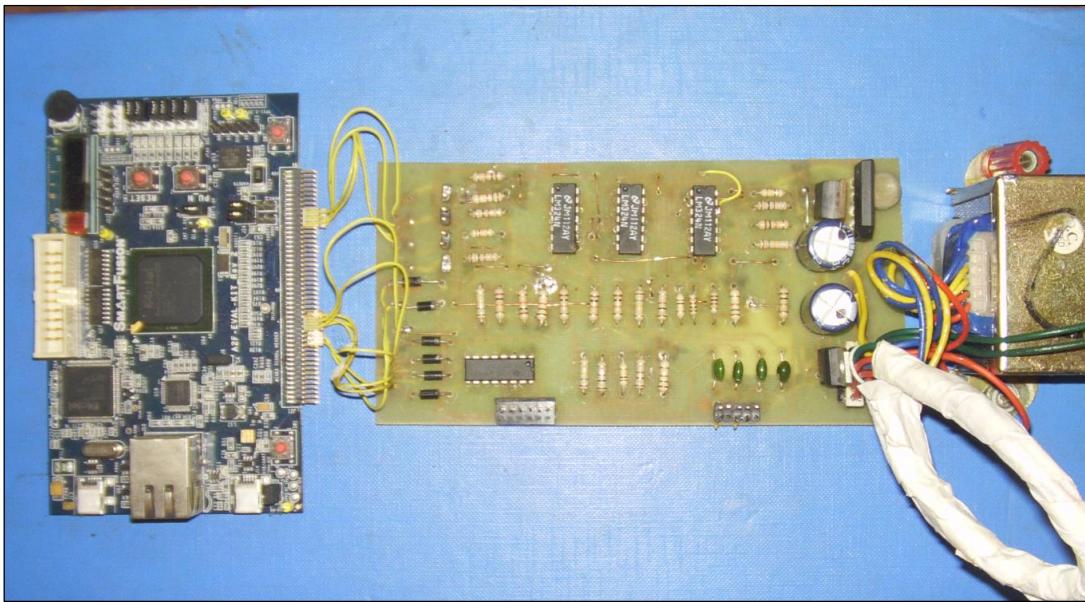


Figure 3.1: Vue générale du projet « Soft-Eye »

La figure 3.2 suivant présente l'architecture technologique entre ces objets.

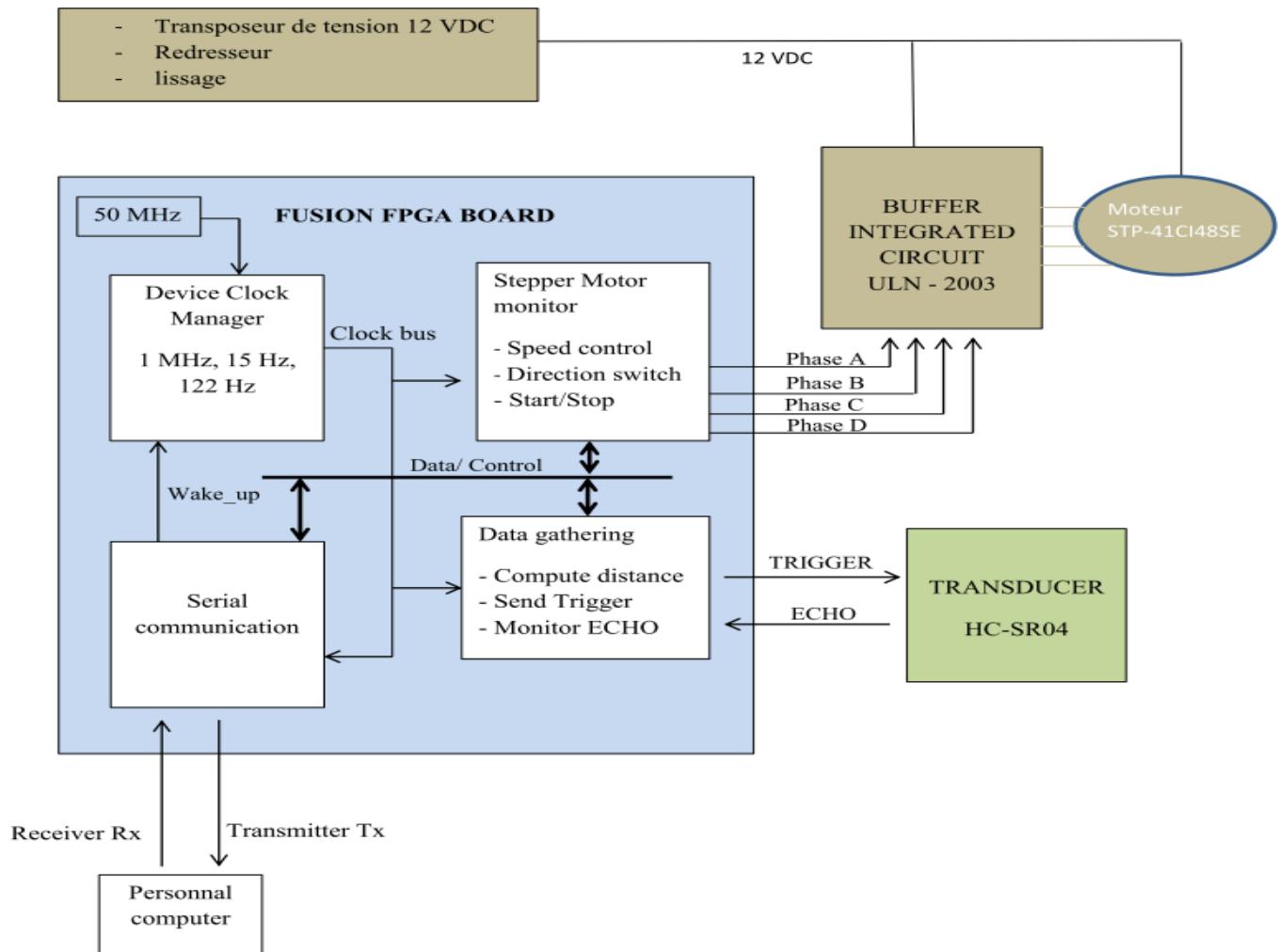


Figure 3.2: Architecture technologique de « Soft-Eye »

### III.1.1 La carte SmartFusion Evaluation Kit

#### a. Description

Cette carte, intègre le circuit FPGA Smart Fusion crée par Microsemi. Il permet de développer plusieurs applications : processeur embarqué, traitement de signal mixte. Tous les composants principaux utilisés sur la carte consomment moins d'énergie. Aussi, incluse sur la carte d'évaluation une interface d'Ethernet et d'USB-to-UART pour la communication avec la carte, qui peut être mise en application pour la gestion du système. Pour aider au développement du processeur, les composants tels que le flash I2C, EEPROM, OLED, SRAM, et de SPI sont disponibles, tout comme le potentiomètre et le circuit de PWM pour des applications de signal mixte. La carte peut être alimentée par USB ou une alimentation 5 V via le Jack Wall. Un chip appelé Low-cost programming Stick permet la programmation du circuit FPGA SmartFusion A2F200M3F-FGG484 embarqué. La figure 3.3 nous donne l'aperçue globale de la carte [11].

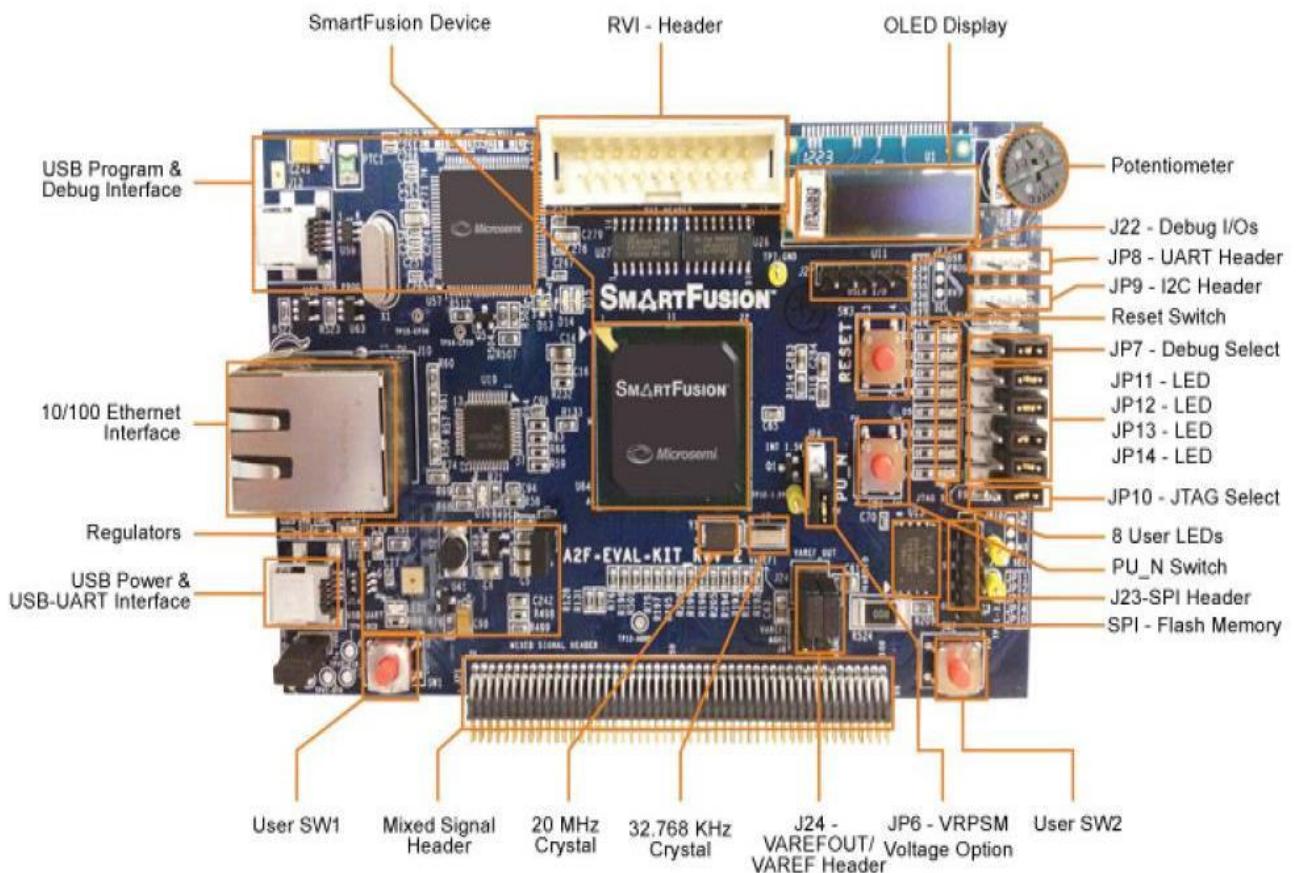


Figure 3.3 : SmartFusion Evaluation Kit [11]

### *b. Alimentation*

La carte est alimentée soit par une source d'énergie externe 5 VDC, soit par une alimentation via USB embarqué avec la carte. Il est recommandé d'être prudent en manœuvrant cette dernière option, ainsi un jumper à 3 pins (J 40) est placé sur la carte pour choisir correctement la source d'énergie désirée.

Lorsque 85 % des entrées/sorties sont utilisées, une alimentation externe doit être recommandée pour être dans la règle de la spécification USB.

### *c. Horloge système*

La carte est embarquée avec deux sources d'horloge à savoir :

- 50 MHz de fréquence valable sur le pin H19 du SmartFusion A2F200M3F-FGG484. Il est possible d'associer à cet horloge un PLL (Phase Locked Loop) ou Device Clock Manager, pour obtenir une grande variété de fréquences et plus de précision.
- 32.768 KHz de fréquence, fournie par un système oscillateur de Pierce.

### *d. Caractéristiques et connections entre SmartFusion embarqué et la carte Evaluation Kit*

La connexion entre la cible SmartFusion FPGA embarquée avec la carte s'effectue par la méthode de matrice : 22\*22.

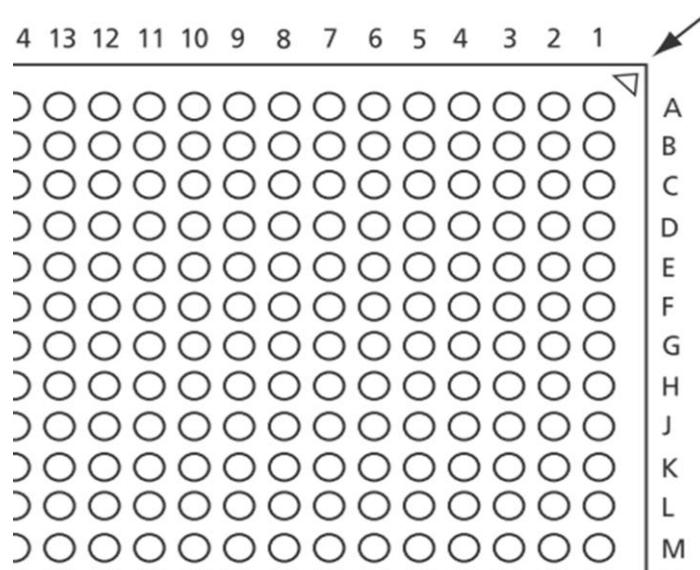


Figure 3.4: SmartFusion FPGA A2F200M3F-FGG484 package FGG 484 pins

**Tableau III : Caractéristiques du circuit FPGA embarqué sur la carte**

Composants	Caractéristiques
Portes logiques	1.500.000
Bascules D	1024
PLL clock	2
Blocs de mémoire flash 2Mbits	4
Mémoire flash totale	8 Mbits
Flash ROM	1 kbit
Bloc RAM	60
E/S analogiques	40
E/S numériques	252

### III.1.2 Emission et réception de données

#### a. Spécification de l'émetteur

Un transducteur sonore de type « buzzer » joue le rôle de l'émetteur. Ci-dessous sont ses caractéristiques :

- fréquence d'émission : 11 KHz
- espacement entre « buzzers »:  $d = 6.8 \text{ cm}$

#### b. Chaine de réception

Les hydrophones sont placés sur une droite perpendiculaire à l'axe des émetteurs et dans le plan horizontal.



**Figure 3.5 : Agencement des hydrophones et émetteurs**

La structure de la chaîne d'acquisition est comme suit :

### i) Hydrophone

L'hydrophone présente l'aspect d'un microphone électret sans modification qui délivre un signal d'amplitude 5 mV. Voici le schéma d'un microphone Electret présenté à la Fig 3.6 suivante :



Figure 3.6 : Le microphone Electret

### ii) Amplificateur

L'amplificateur est constitué de trois étages, amplificateurs opérationnels LM324, le premier étage joue le rôle d'un amplificateur de tension avec un gain 40 dB, et le second G=46.84 dB, et le troisième étage est un circuit de verrouillage, décalant le niveau de tension minimal supérieur à 0 V, comme présenté à la Fig 3.7 ci-dessous.

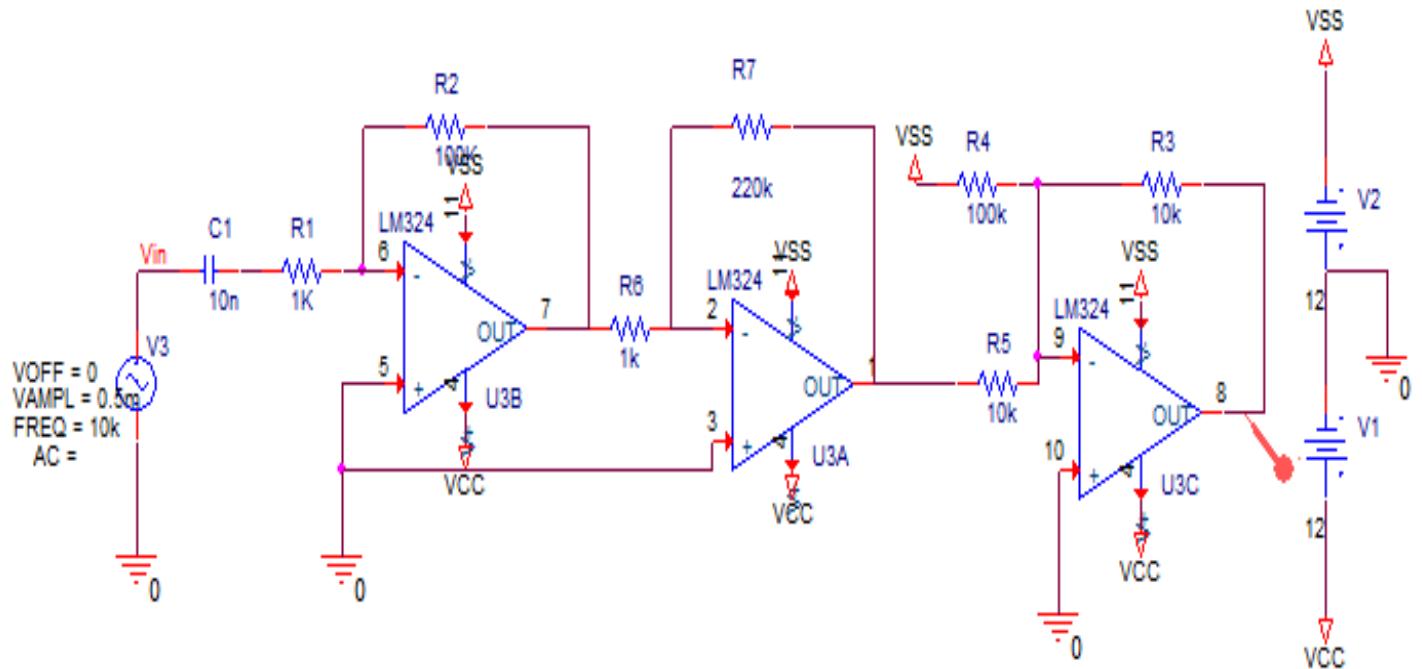
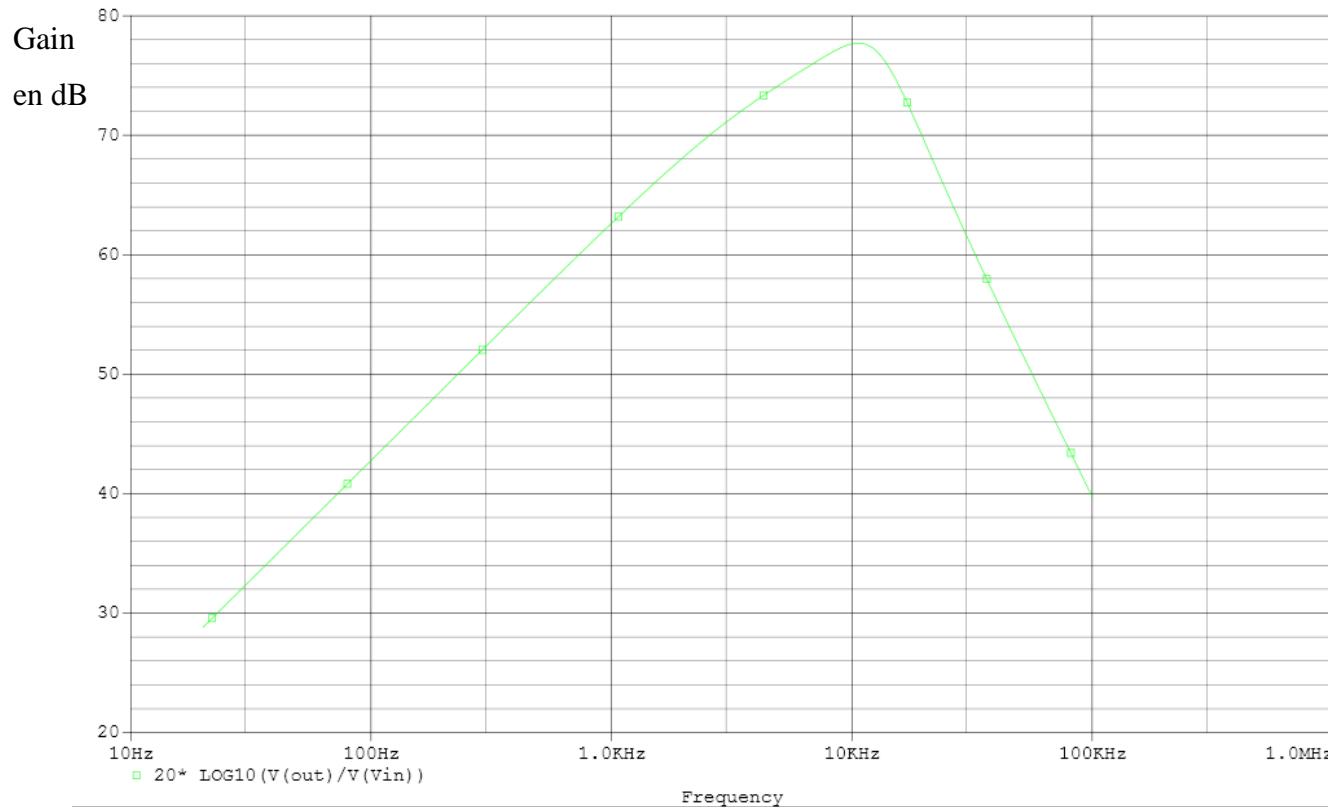


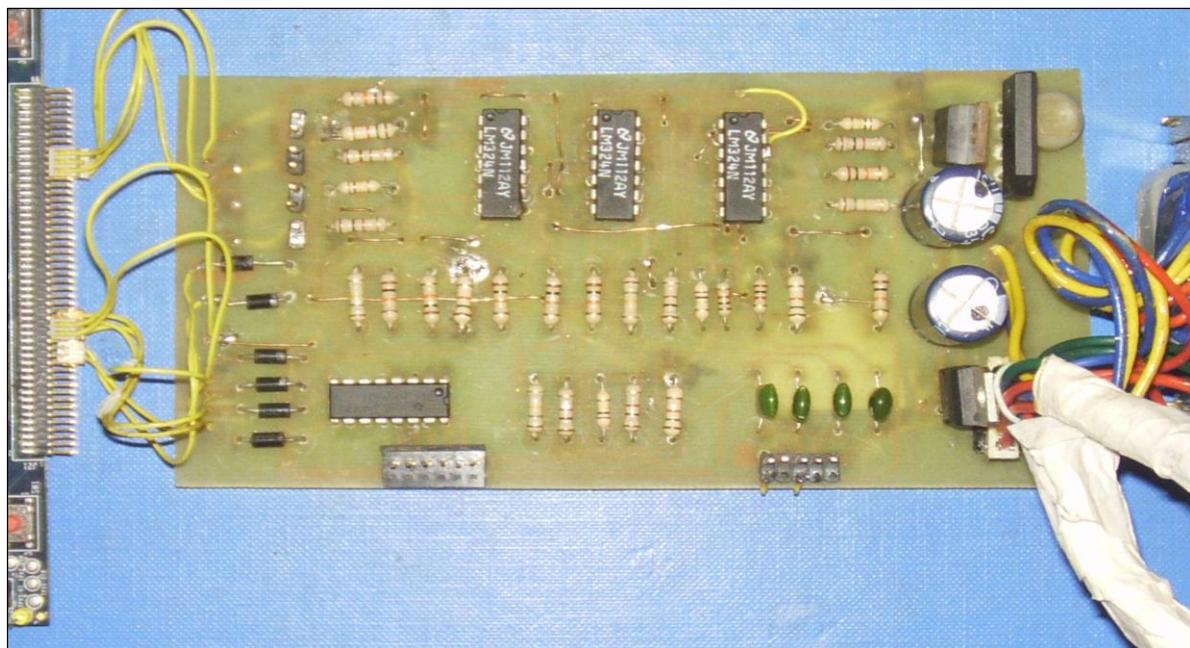
Figure 3.7 : Amplificateur de tension réalisé sous SPICE[12]

La figure 3.8 présente la réponse en fréquence de l'amplificateur.



**Figure 3.8: Réponse en fréquence de l'amplificateur - AC sweep analyse sous SPICE[12]**

La figure 3.9 présente la réalisation de la carte comportant l'étage amplificateur.



**Figure 3.9: Réalisation de la carte comportant l'étage amplificateur [Annexe I]**

### III.1.3 Système de propulsion

#### a. Plan de commande

La figure 3.10 suivante présente l'interaction physique du système de propulsion. Outre le module d'algorithmes de contrôle et de commande implanté dans le circuit FPGA, cette architecture inclut aussi les modules suivants :

- moteur pas-à-pas STP-42CI48SE
- le Circuit buffer ULN 2003
- un circuit reprogrammable FPGA
- un détecteur de fin de course

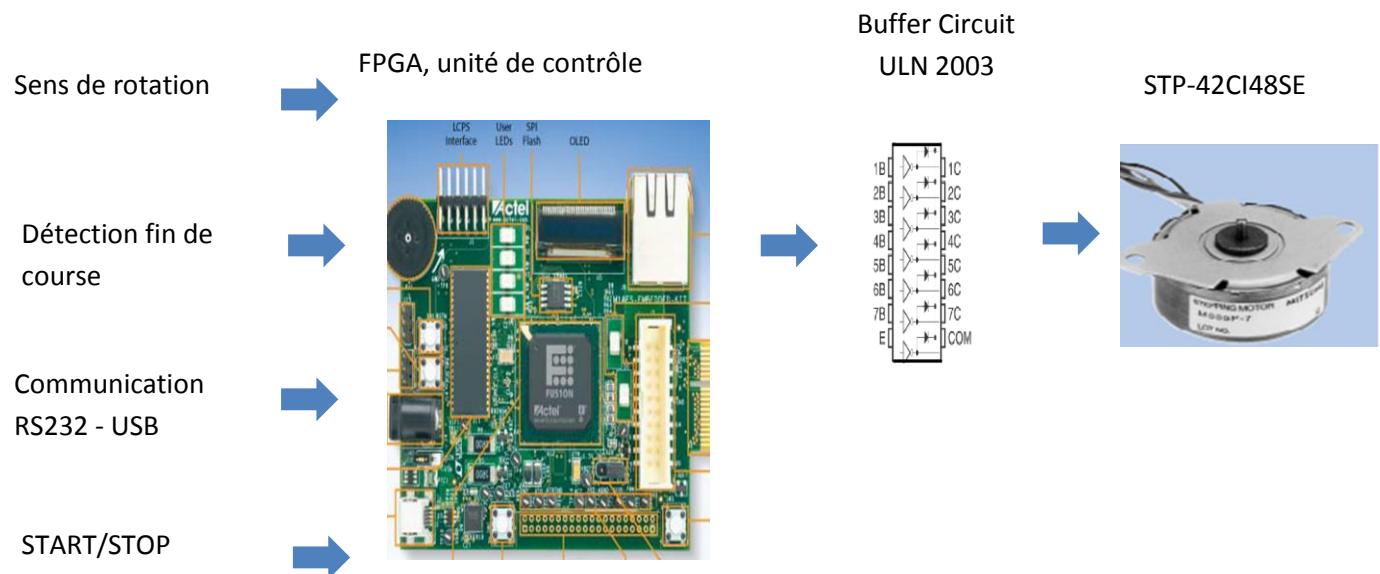


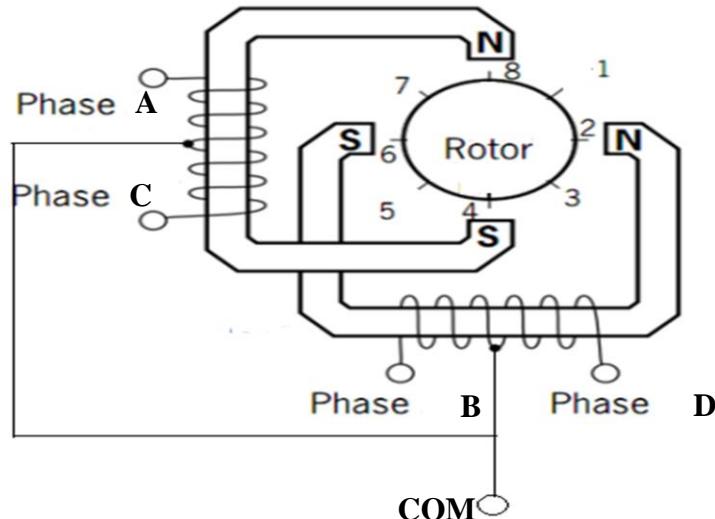
Figure 3.10 : Architecture du système de propulsion

#### b. Moteur pas-à-pas STP-42CI48SE

Le moteur pas-à-pas STP-42CI48SE est un dispositif électromécanique qui convertit un signal d'entrée niveau logique en mouvement de rotation précis. La commande d'un moteur pas-à-pas vient en appliquant un ordre spécifique d'étapes; la vitesse de rotation est commandée par la synchronisation des étapes appliquées.

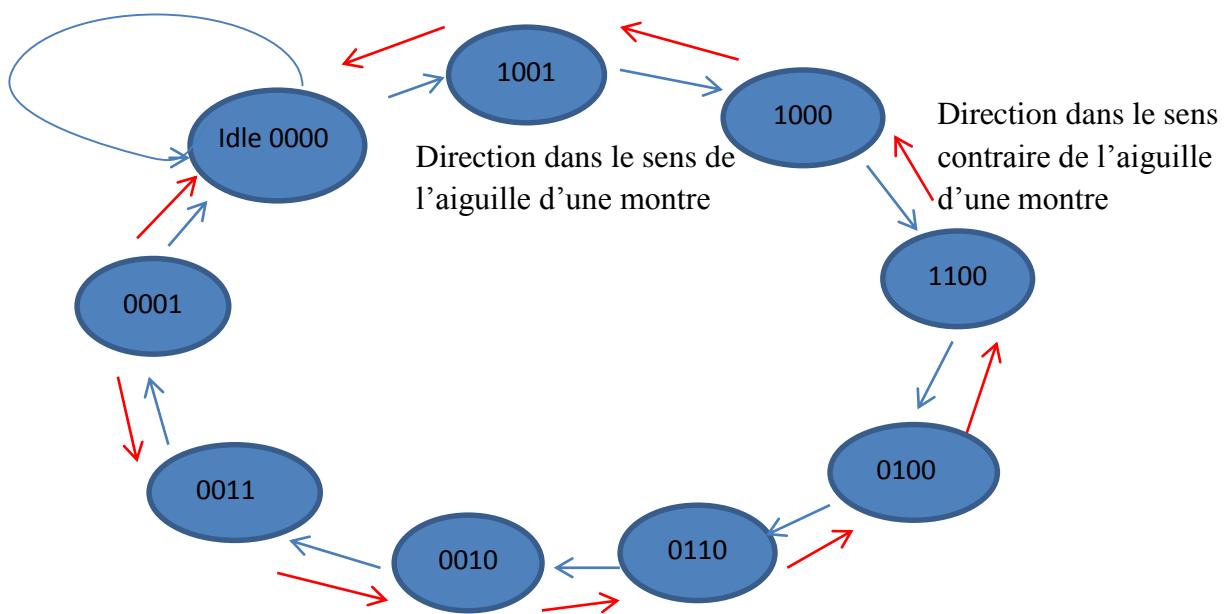
Voici les caractéristiques électromécaniques du moteur pas-à-pas :

- Courant nominal : 150 mA/ phase
- Tension d'alimentation 12 VDC
- Step angle 7.5°/step
- Unipolaire
- Nombre de pins : 6



**Figure 3.11 : Enroulement interne du moteur STP-42CI48SE**

Le diagramme simplifié de la Fig 3.12 suivante illustre l'ordonnancement des phases sur le sens de rotation du moteur. Dans notre cas, le mode « half step » est utilisé pour avoir plus de précisions.



**Figure 3.12: Commande demi-pas du moteur**

Code de couleur pour le moteur pas-à-pas STP-CI4248SE:

- Phase A : rouge
- Phase B : jaune - bleu
- Phase C : blanc - rouge
- Phase D : bleu
- Com : verte

La séquence des 4 phases : phase A, phase B, phase C, phase D permet de faire tourner le moteur dans le sens d'une aiguille d'une montre (clockwise) et inversement (counter clockwise).

### c. Le circuit buffer ULN 2003

Les signaux de commandes délivrés par la carte FPGA sont de niveau logique TTL (0-5V). La commande des ordonnancements du moteur nécessite des signaux de commande de niveau logique 0 – 15 V. Pour cela un circuit d'interfaçage ULN 2003 a été entrepris afin de commander le moteur et de prendre en charge l'alimentation des bobines du stator. Ce dispositif contient 7 transistors de puissance bipolaires, monté en Darlington. Chacune des sorties est indépendamment contrôlable, le courant fourni sur chaque sortie ne doit pas dépasser 500 mA et cette sortie est à collecteur ouvert [13][14] (Annexe I). La figure 3.13 illustre le montage en Darlington de chaque canal du circuit ULN 2003.

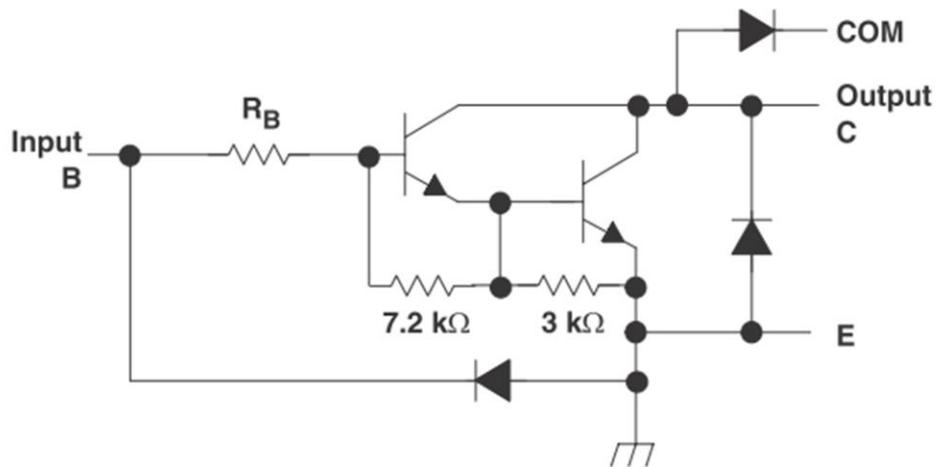


Figure 3.13 : Une sortie du circuit Buffer ULN 2003 montage en Darlington

Quatre de ces sorties sont employées pour piloter les enroulements du moteur. Chaque sortie, une fois piloter, doit pouvoir descendre le courant traversant son enroulement respectif du moteur.

### III.2. Implémentation logiciel

#### III.2.1 L'outil de développement Libero SoC (System on Chip) et SoftConsole

De la conception du programme à introduire dans le circuit programmable FPGA jusqu'à la programmation, toutes les étapes à réaliser suivent le flot de conception du logiciel Libero SoC. Le flot de conception comprend six étapes :

- « **design creation** »

Deux modes de création du design sont possibles, soit en utilisant un éditeur de texte HDL (Hardware Description Language) avec l'outil « HDL Editor » pour le langage VHDL), soit un éditeur graphique « Smart Design » qui donne un canevas permettant d'instancier les composants, c'est l'approche de conception par schéma.

- « **Simulation avec Modelsim**»

Indépendamment de la méthode utilisée (HDL Editor ou Smart Design), Libero créera un Testbench qui permettra de simuler le fonctionnement de la conception. Le logiciel « Modelsim » intégré avec Libero effectue la simulation. Il permet d'instancier les modules à tester et de leur assigner des valeurs de signaux d'entrée.

- « **Place and Route** »

Cette étape permet de définir les contraintes à savoir :

- La stabilité de l'horloge

- Input/Output compatibilité : TTL, CMOS

- Assignements des ports Input/Output, les switch, l'horloge

- Consommation en énergie.

- « **Programming** » La phase de programmation consiste à écrire le programme conçu précédemment dans l'FPGA.

La figure 3.14 présente le flot de conception sous Libero SoC.

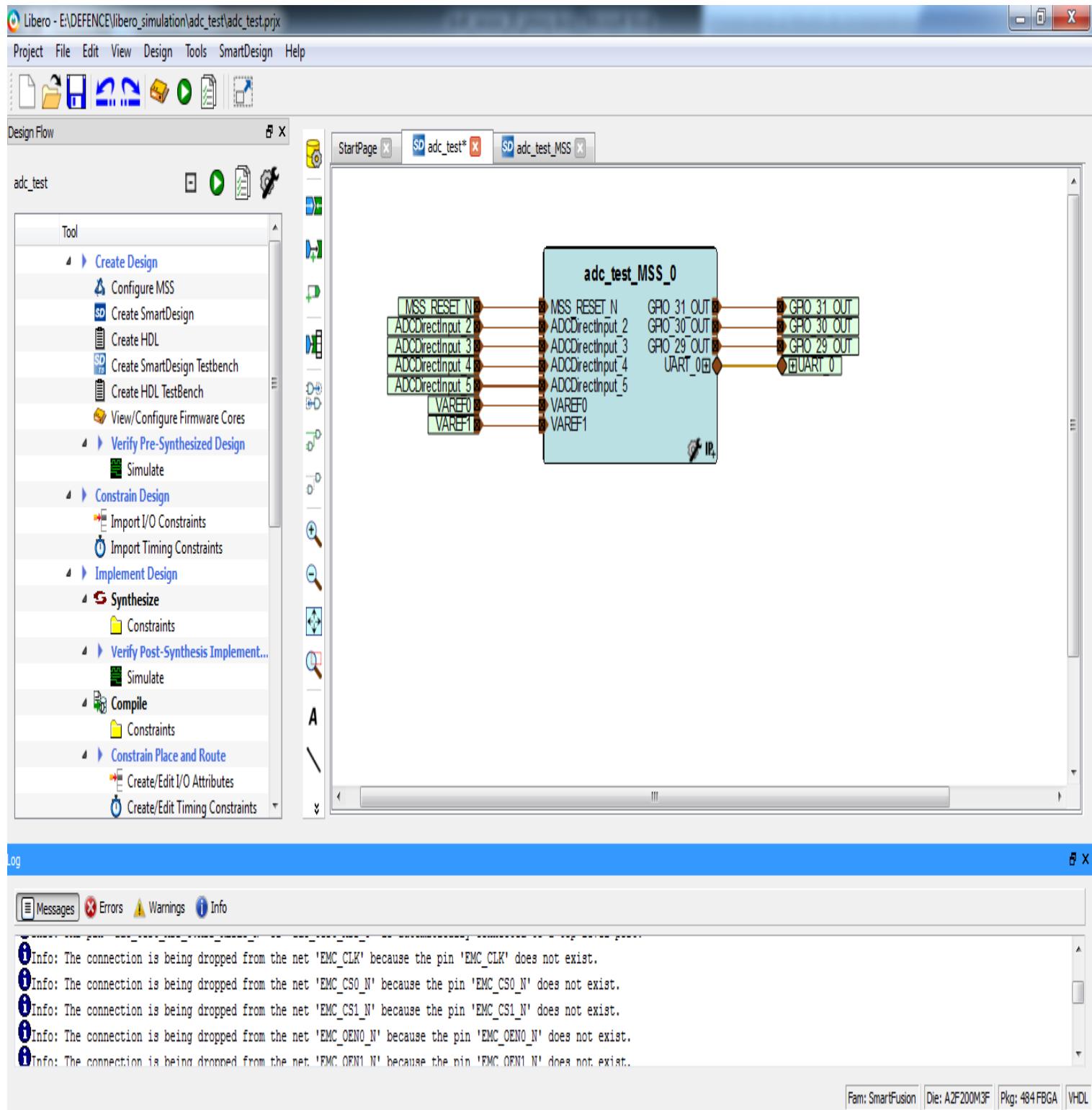


Figure 3.14 : Flot de conception sous Libero SoC

**SoftConsole** est un logiciel qui permet de développer en langage C l'implémentation du processus.

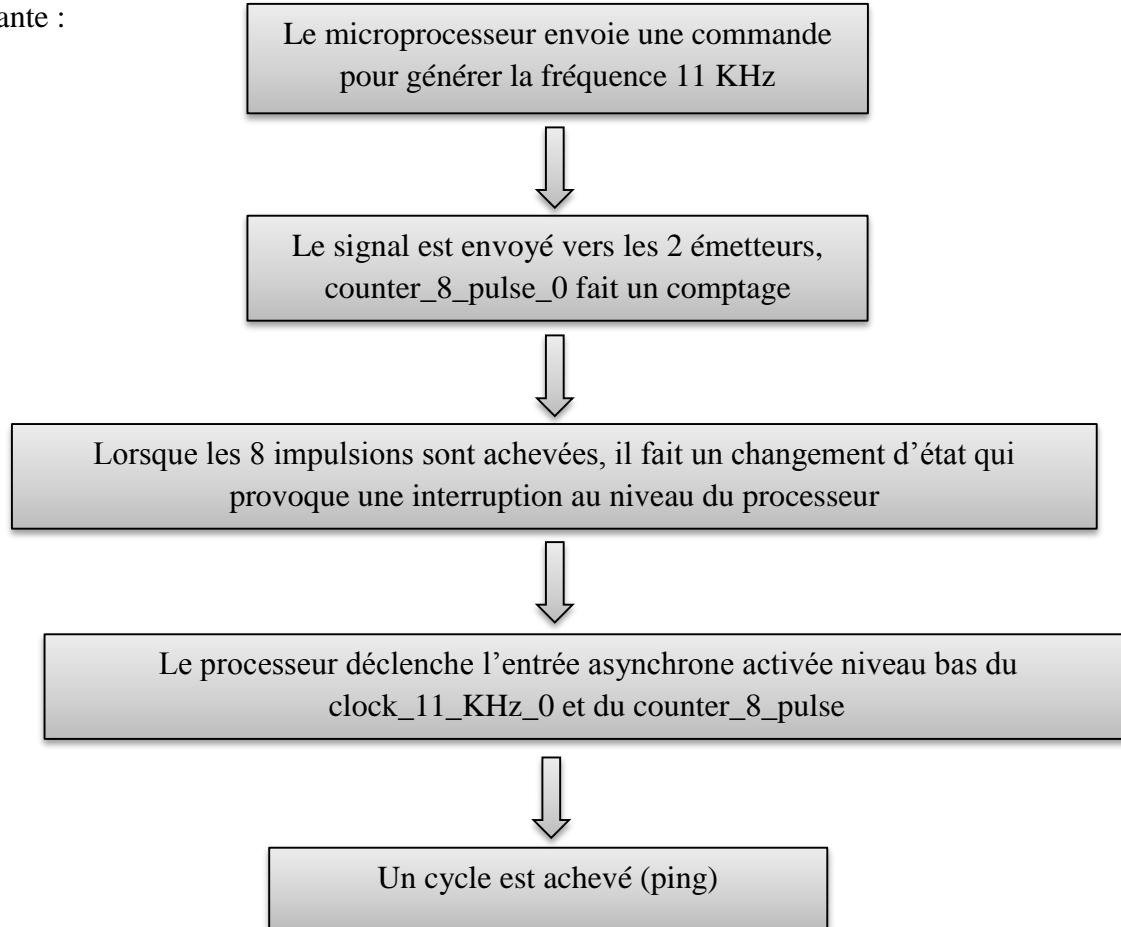
### III.2.2 Transcription de la DSP (Digital Signal Processing)

L'étape de développement au niveau du circuit FPGA s'effectue en deux volets :

- Configuration matérielle sous Libero SoC software qui consiste à attribuer aux variables d'entrée/sortie un port physique
- Implémentation software sous SoftConsole définit le comportement du processus.

#### a. Génération du signal 11 KHz - émission

La génération du signal 11 KHz utilisée comme « ping » s'effectue par programmation en langage C et une combinaison de circuit logique suivant l'algorithme présenté à la figure suivante :



**Figure 3.15 : Algorithme pour générer la fréquence 11 kHz**

La figure 3.16 présente le schéma récapitulatif du processus.

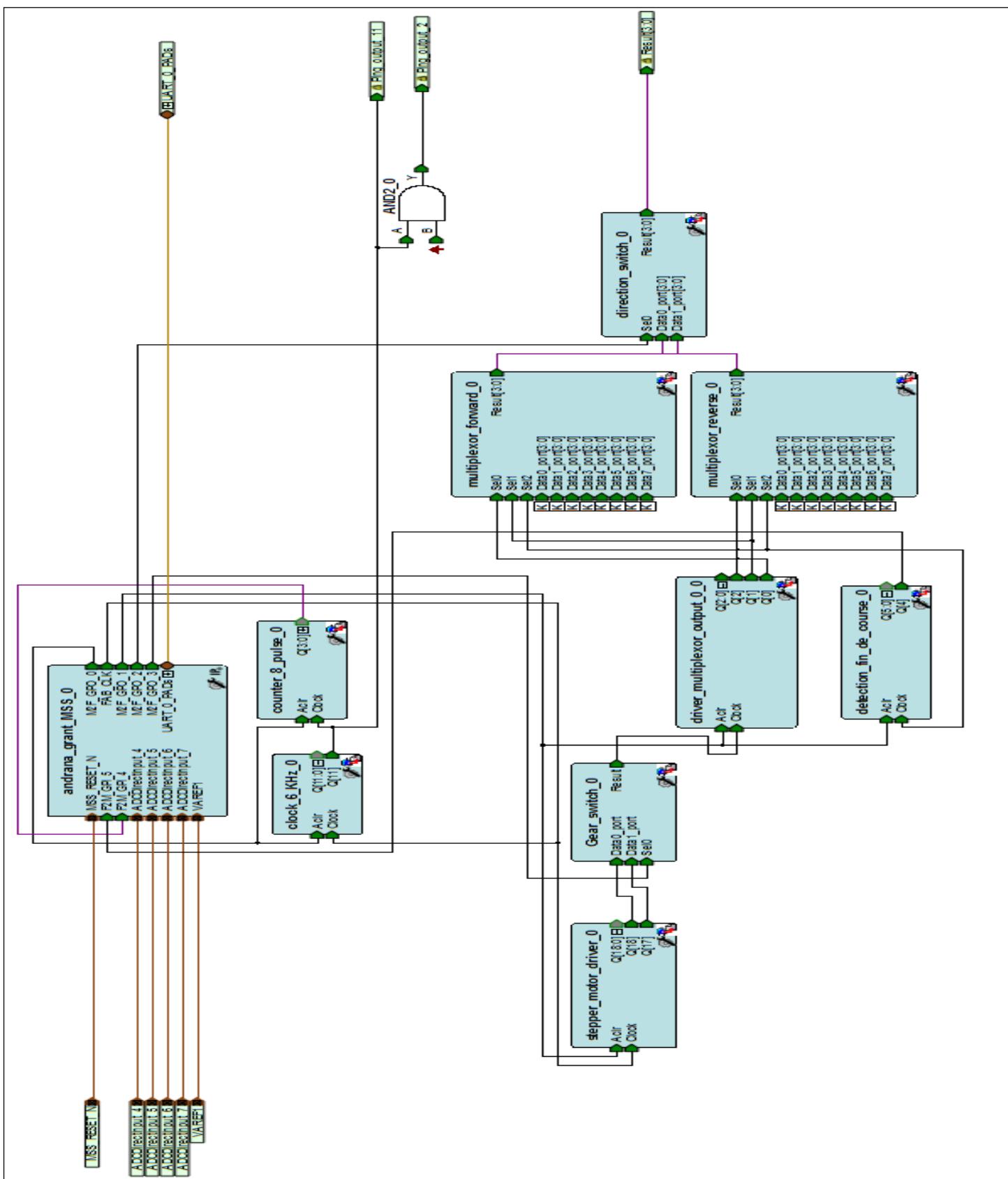


Figure 3.16 : Schéma récapitulatif : Génération du signal 11 KHZ « ping » avec les commandes du moteur

Andrana\_grant\_MSS\_0 est le microprocesseur qui est de type RTX. Il englobe tous les calculs nécessaires à l'élaboration des données, à savoir le calcul de la Transformé de Fourier Rapide, l'ADC, et la gestion des interruptions provenant du moteur et du générateur de fréquence. Ce microprocesseur est connecté aux ports de l'ADC avec une fréquence d'échantillonnage de 8.33 MHz, une résolution de 12 bits, et une tension de référence 2.56 V.

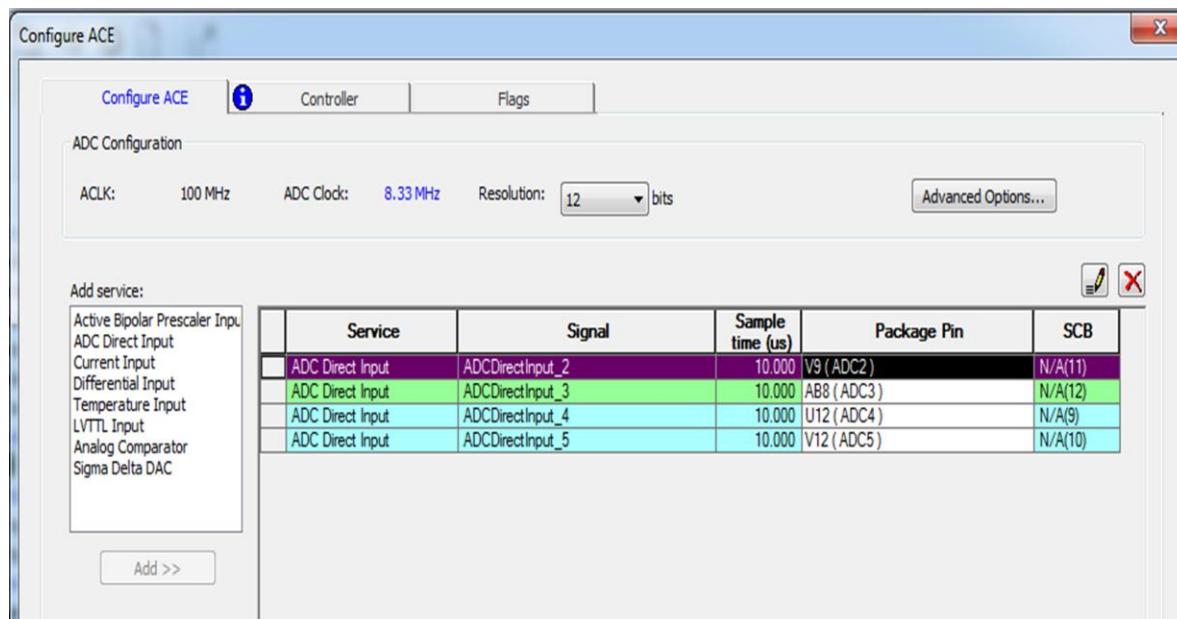
La fréquence 11 kHz est générée à partir de la fréquence mère 25 MHz du microprocesseur faite par *le clock\_6\_khz\_0* et *le counter\_8\_pulse\_0*. Le multiplexage de la vitesse du moteur et de sa direction est assuré par *le multiplexor\_forward\_0* et *le multiplexor\_reverse\_0*.

### **b. Configuration du module ADC- récepteur**

Les signaux issus des hydrophones sont convertis en signaux numériques par le biais du module ADC intégré sur le circuit FPGA, avec les caractéristiques suivantes :

- Tension de référence 2.56 V
- Fréquence d'échantillonnage 8.33 MHz
- Résolution : 12 bits - 0.625 mV

La Figure 3.17 nous montre la configuration du module ainsi que l'affectation des ports sur la carte de développement.



**Figure 3.17 : Configuration matérielle du module ADC**

### c. Transcription de la FFT

L'implémentation de la FFT s'opère uniquement au niveau de la programmation, il est développé en langage C utilisant l'algorithme RADIX-2.

L'algorithme présente la structure suivante [15][16] :

- Un fichier « complex\_arithmétic.h » qui contient les calculs du nombre complexe élémentaire : (ANNEXE III)

```
complex complex_from_polar(double r, double theta_radians);
double complex_magnitude(complex c);
complex complex_add(complex left, complex right);
complex complex_sub(complex left, complex right);
complex complex_mult(complex left, complex right);
```

- Un fichier « fft.h » qui calcule la fonction FFT-butterfly, le twiddle factor.  
(ANNEXE III)

Pour des choix judicieux, la FFT calculera 32-points dont 28 sont des « hydrophones virtuels ». Le tableau IV définit la direction des faisceaux pour ces 32- échantillons, avec la condition  $\lambda=2*d$ .

$$\Theta_k = \sin^{-1} \left( \frac{\lambda}{d} \frac{k}{N} \right) \quad (3.1)$$

**Tableau IV : Direction des faisceaux portés par l'angle  $\Theta_k$  N= 32**

K	$\Theta_k$
0	0,00
1	3,59
2	7,18
3	10,81
4	14,48
5	18,22
6	22,04
7	25,96
8	30,02
9	34,25
10	38,70
11	43,45
12	48,62
13	54,37
14	61,08
15	69,67

- Une fonction « filter » effectue le filtrage après application de la FFT, ayant le même nombre d'échantillon que la FFT, présenté en détail en ANNEXE III.

**Tableau V : Listes des entrées sorties sur la carte FPGA Evaluation Kit nécessaire à la communication UART**

Nom du signal	Entrées/sorties	Descriptions	FPGA pin
RX signal	entrée	RS 232 réception	Y1
TX signal	sortie	RS 232 transmission	W5

### **III.2.3 Système de propulsion : implémentation sur cible FPGA**

#### *a. Modélisation GRAFCET du processus de contrôle du moteur*

L'analyse du système de propulsion fait nettement apparaître son caractère séquentiel. Ces opérations, au cours desquelles un certain nombre d'actions doit être réalisé, peuvent être considérées comme des étapes élémentaires. De ce fait, un système de modélisation : le GRAFCET a été pris [17] (Cf. ANNEXE IV).

Avant de passer au développement d'algorithme sur la cible Fusion FPGA, il est nécessaire de modéliser graphiquement le processus de contrôle du moteur. La figure 3.18 décrit la séquence de commandes du moteur.

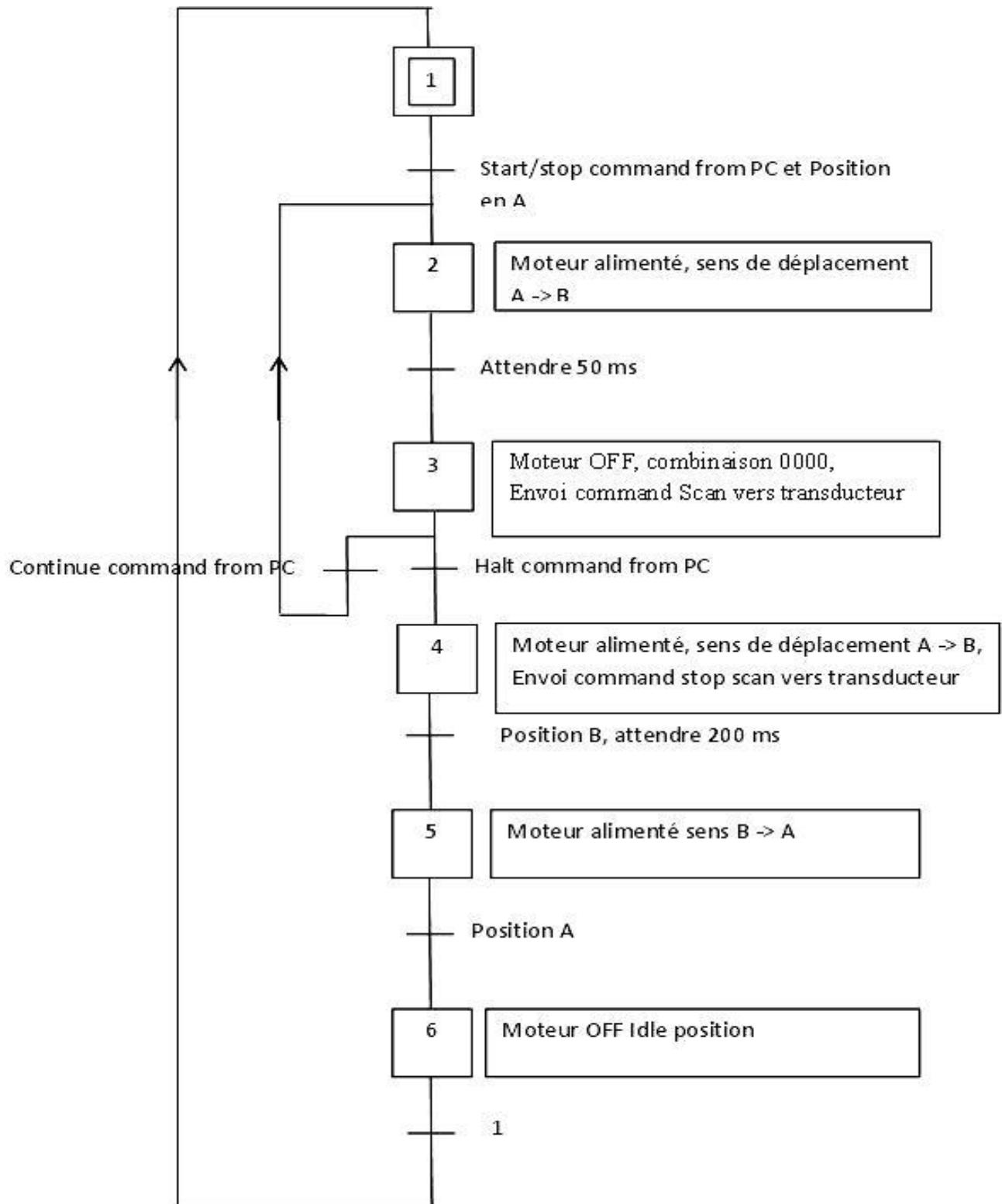


Figure 3.18 : Séquence de commande du moteur

En interprétant le GRAFCET précédent, le circuit FPGA contribue :

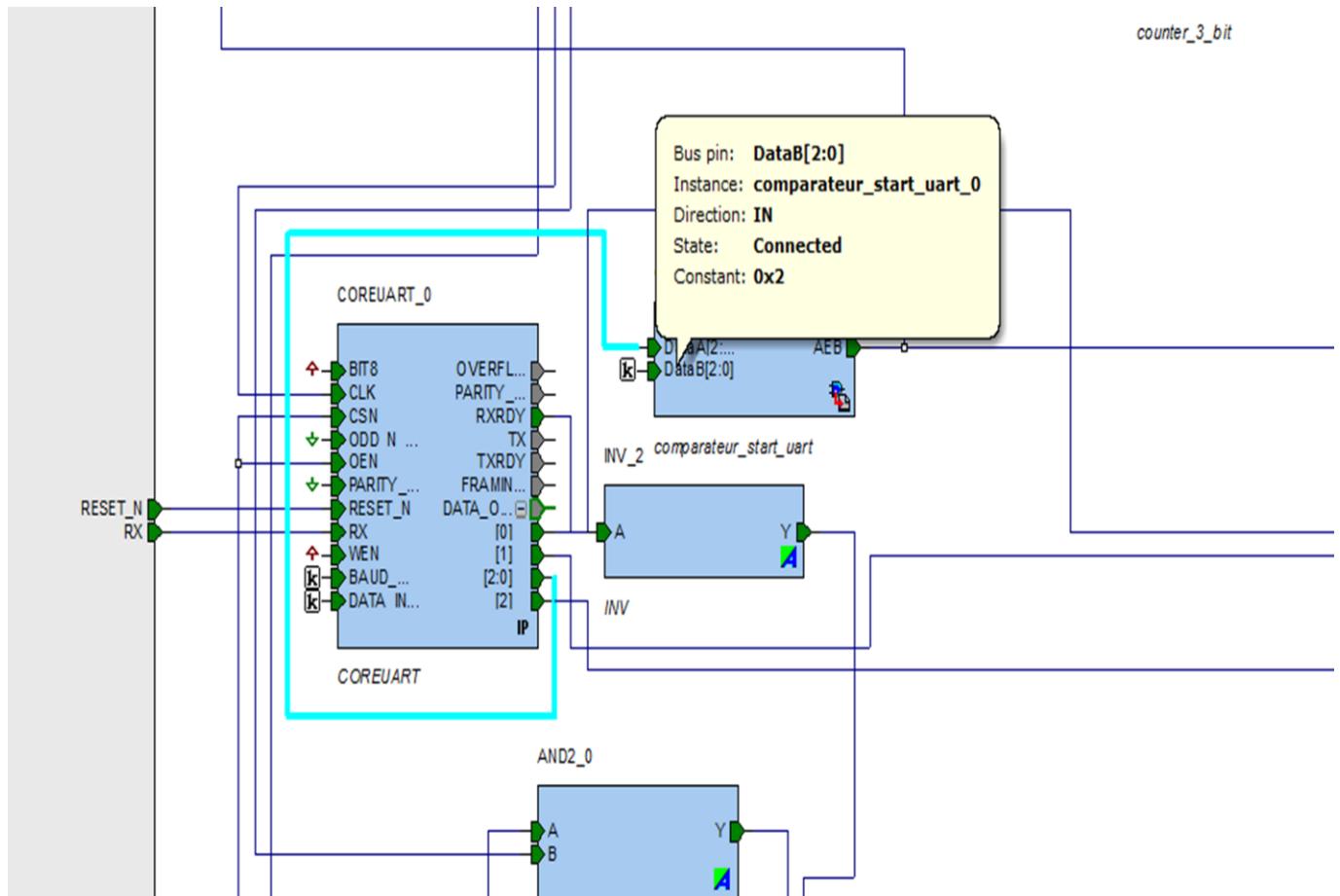
- à la mise en marche et arrêt de l'exploitation.
- au multiplexage de la vitesse de rotation.
- à la détection du sens de rotation
- à l'auto-détection de fin de course.

### b. Mise en marche/arrêt de l'exploitation

La mise en marche du scan commence lorsque 3 conditions sont vérifiées :

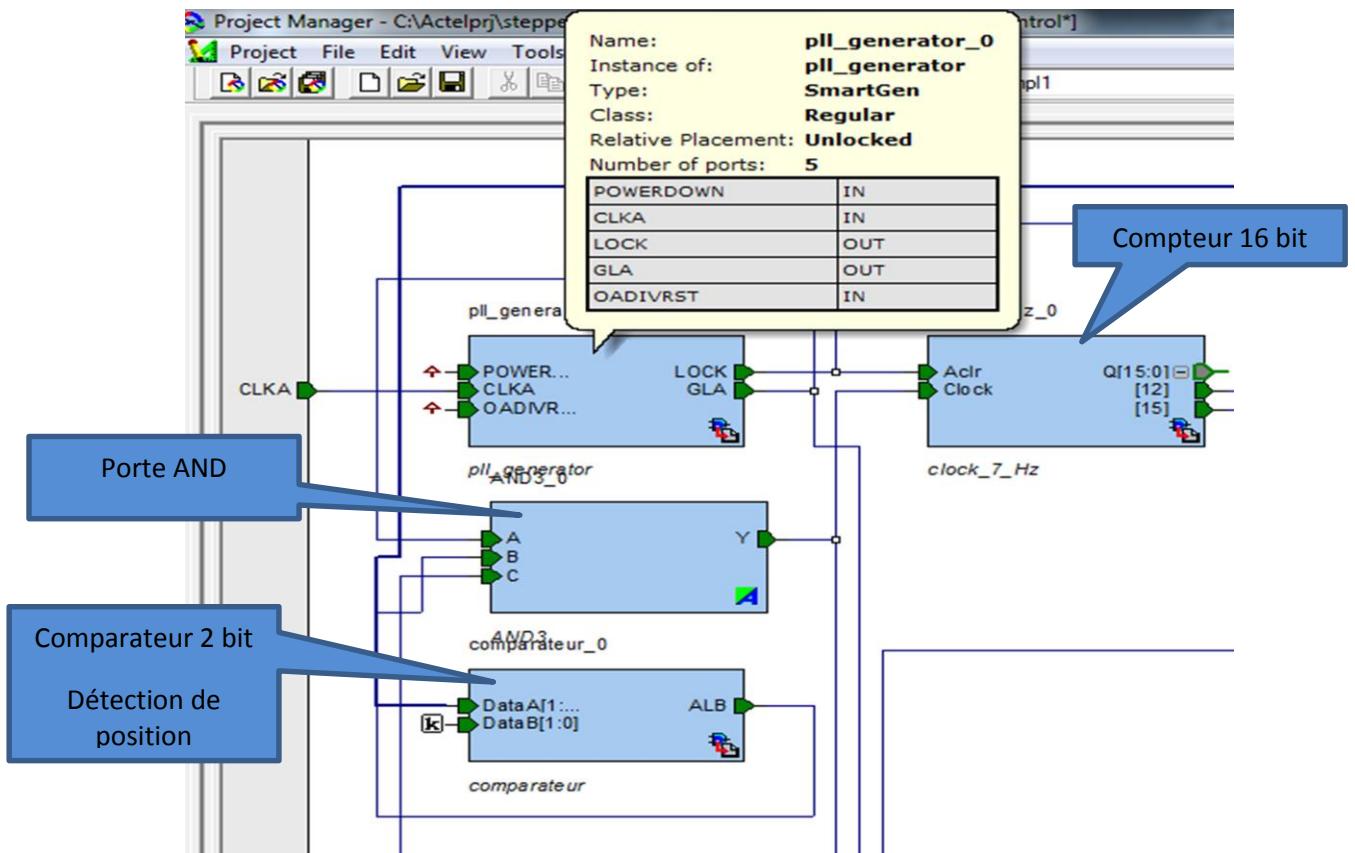
- la valeur binaire codée sur 2 bits reçus par le module CoreUART correspond à 0x32.
- le moteur est en position A ce qui correspond à la valeur du « comparateur\_0 » inférieur à 0x1.
- le PLL (Phase Locked Loop) génère une fréquence de 1 MHz.

La figure 3.19 illustre l'interprétation des données issues de la communication UART.



**Figure 3.19 : Fonction logique associée à l'interprétation des données issues du module CoreUART**

Lorsque ces trois conditions sont vérifiées, un compteur sur 16 bits sera piloté par une horloge de fréquence 1 MHz, par suite le système démarre avec cette fréquence.



**Figure 3.20 : Circuit séquentiel utilisant libero V9.1 associé à la commande START/STOP du moteur**

### c. Multiplexage de la vitesse de rotation

Le multiplexage de vitesse de rotation s'opère au niveau du bloc « speed\_selector\_o », comme présenté dans la Fig 3.21 qui n'est autre qu'un multiplexeur à une sortie et deux entrées, « sel0 » est l'entrée d'aiguillage.

Ce multiplexeur est attaqué soit par le 13ème ou 16ème bit du compteur 16 bits précédemment, synchronisé à une fréquence de 1 MHz. Par conséquent, une fréquence répondant à la formule suivante est obtenue.

$$f = \frac{F}{2^n} \quad (3.2)$$

f : la fréquence enfant en Hz

F : la fréquence mère en Hz

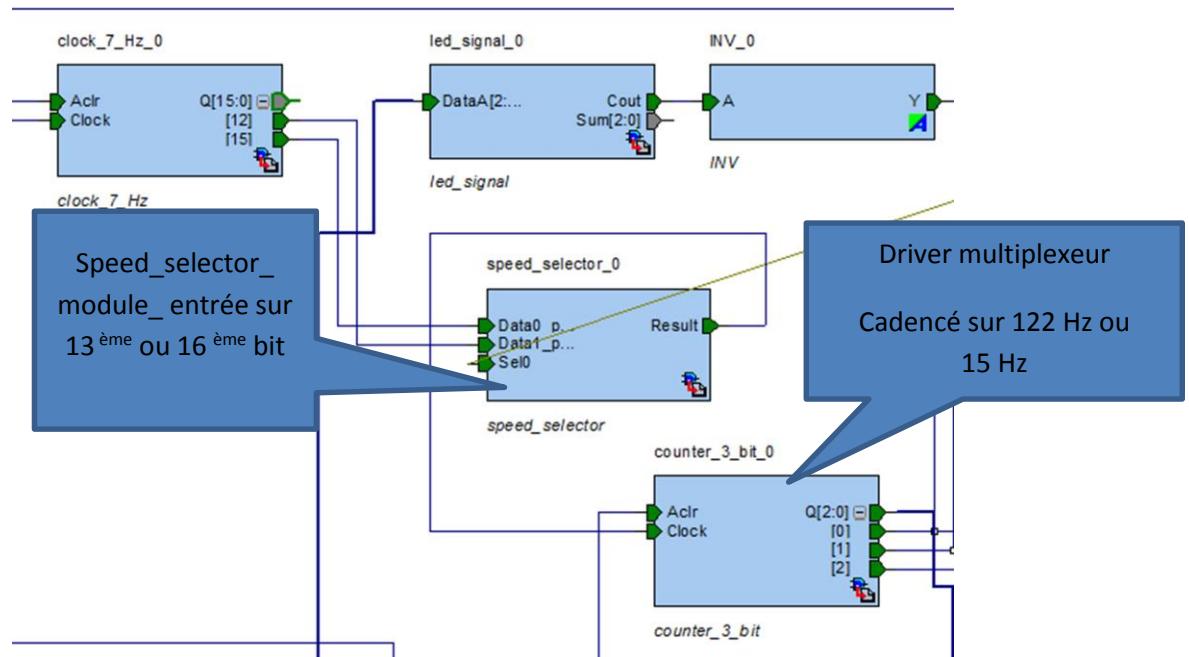
n : i<sup>ème</sup> bit du compteur

- Pour n= 13 on a :  $f = 1.10^6 / 2^{13}$

Ce qui conduit à  $f \approx 122$  Hz correspond à T = 8 ms. (low speed)

- Pour n= 16 on a :  $f = 1.10^6 / 2^{16}$

Ce qui conduit à  $f \approx 15$  Hz correspond à T = 65 ms. (high\_speed). La figure 3.21 montre le multiplexage de la vitesse de rotation du moteur.



**Figure 3.21 : Entrée/sortie du module « speed\_selector » pour le multiplexage de la vitesse de rotation**

#### d. Sens de rotation

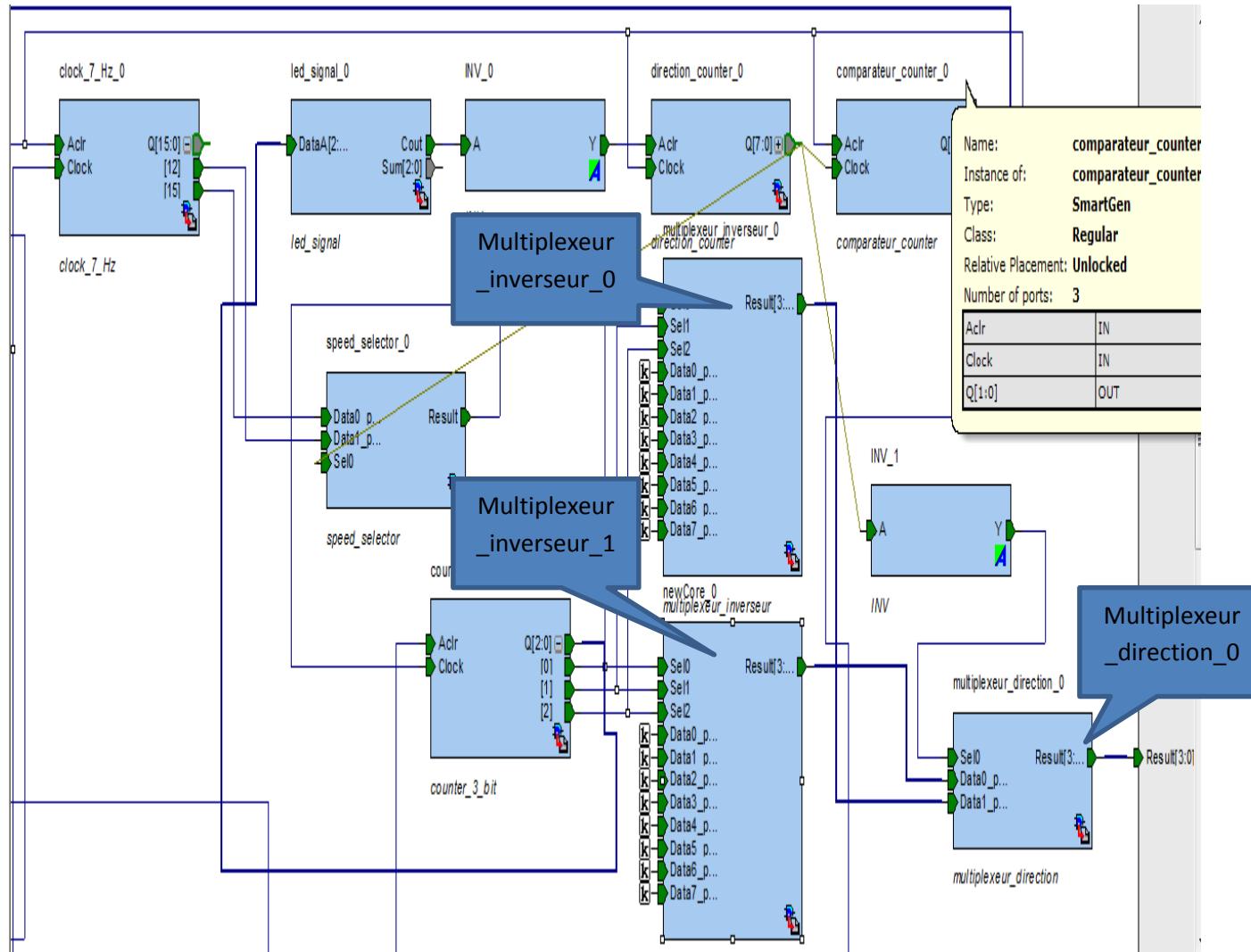
Le choix du sens de rotation est choisi suivant trois multiplexeurs :

- Multiplexeur\_inverseur\_0
- Multiplexeur\_inverseur\_1
- Multiplexeur\_direction\_0

Les entrées d'aiguillage des multiplexeur\_inverseur\_0/1 sont pilotées par le compteur sur 3 bits, dont multiplexeur\_inverseur\_0 réalise la séquence : 1001-1000-1100-0100-0110-0010-0011-0001 et multiplexeur\_inverseur\_1 réalise la séquence inverse.

Le multiplexeur\_direction\_0 détecte si le moteur est en position A ou B, selon le cas la sortie Result[3 :0] sera affecté par la valeur du multiplexeur inverseur correspondant.

La figure 3.22 montre la fonction complète qui réalise le multiplexage de la vitesse de rotation, et le sens de rotation.



**Figure 3.22 : Multiplexage de la vitesse de rotation et auto – sélection du sens de rotation**

### e. Détection de fin de course

Un module « incrémenteur\_3\_bit », est incrémenté chaque fois que le « compteur\_3\_bit » effectue un comptage complet. A son tour l' « incrémenteur\_3\_bit » pilote un « compteur\_8\_bit », lorsque le 8ème bit de ce dernier passe de 0->1 et 1 ->0 une fois. Le module « comparateur\_counter\_0 » envoie un bit d'arrêt vers le module « mise en marche/arrêt »de l'exploitation.

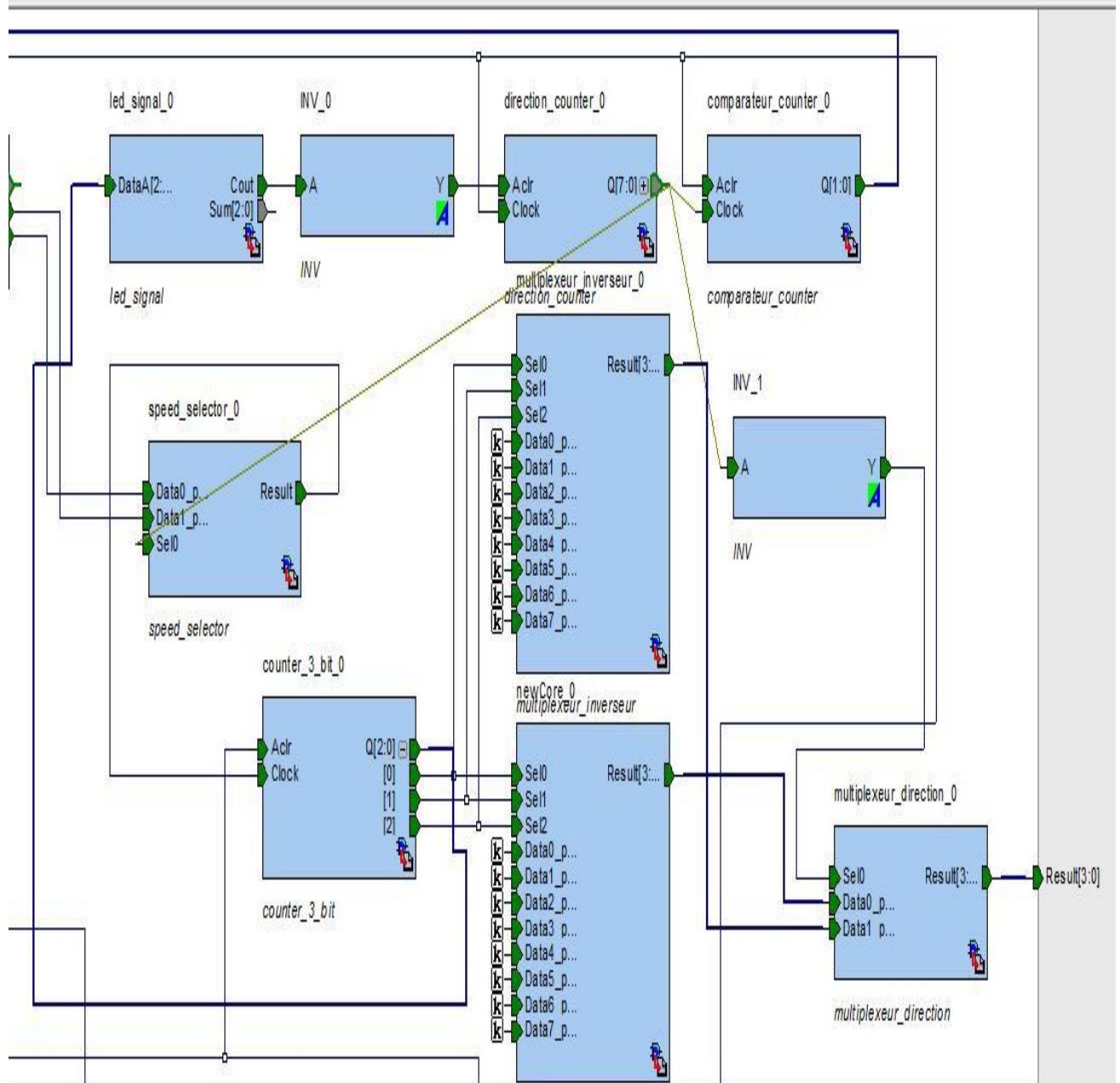


Figure 3.23 : Circuit séquentiel réalisant la détection de fin de course

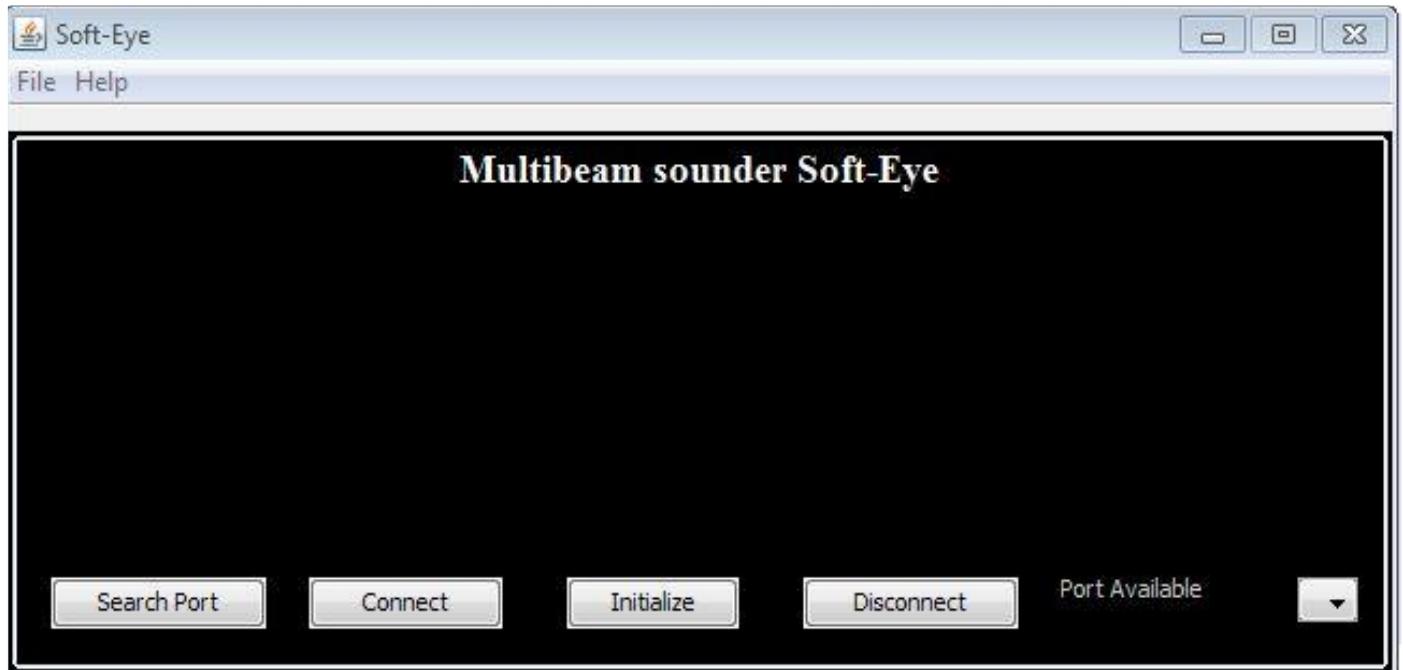
f. Affectation des ports alloués pour le contrôle du moteur pas-à-pas et leur description.

**Tableau VI : Listes et descriptions des entrées/sorties sur la carte SmartFusion Evaluation Kit d'Actel, associé au système de propulsion**

Nom du signal	Entrées/sorties	Descriptions	FPGA pin
RX signal	Entrée	RS 232 réception	Y1
Phase A	Sortie	Ces signaux sont nécessaires à la commande du moteur, ces valeurs prendront :	L1
Phase B	Sortie	Clockwise direction :0000-1010-1000-1001-0001-0101-0100-0110-0010	P2
Phase C	Sortie	Counter clockwise direction : 0010-0110-0100-0101-0001-1001-1000-1010-000	P3
Phase D	Sortie		T3

### III.2.4 L'interface graphique

L'étage de visualisation est présenté à la Fig 3.24 ci-dessous :



**Figure 3.24 : Présentation de l'interface utilisateur**

Cette interface a été développée en langage de programmation JAVA. Elle présente une barre de menus comprenant : « File » qui a trois sous-menus :

- Sous-menu *Open* qui ouvre un fichier ;
- Sous-menu *Save* capable de sauvegarder les données dans des fichiers à extension txt ;
- Sous-menu *Quit* pour quitter l'application ;

Et « Help » pour l'aide et les informations du logiciel.

Quatre boutons sont présents aussi :

- Bouton *Search Port* : pour rechercher les ports disponibles sur l'ordinateur. Les ports disponibles sont affichés par le combo box à l'extrême droite de la fenêtre.
- Bouton *Connect* : pour connecter avec le circuit programmable FPGA selon le nom du port.
- Bouton *Initialize* : ce bouton affiche une nouvelle fenêtre pour initialiser la carte.
- Bouton *Disconnect* : pour déconnecter au circuit

La deuxième fenêtre affiche les données. Un bouton SCAN envoie un signal par le protocole UART (Universal Asynchronous Receiver Transmitter) au circuit FPGA qui va actionner le moteur pas-à-pas et en même temps commence l'extraction. Un exemple de résultat est montré par la Fig 3.25 suivante.



**Figure 3.25 : Exemple d'affichage de données envoyées par l'FPGA**

Cette figure représente deux cavités de même caractéristiques. La couleur verte claire est la surface du sol, et la profondeur décroît en fonction de la couleur qui s'assombrit comme la légende de la figure la montre.

#### a. *Le langage JAVA*

Java est un langage de programmation développé par Sun Microsystems apparu fin 1995 début 1996 ; il s'est très rapidement taillé une place importante en particulier dans le domaine de l'internet et des applications client-serveur [18]. Java possède un certain nombre de caractéristiques qui a largement contribué à son énorme succès :

- Java est interprété. La source est compilé en pseudo code ou byte code puis exécutée par un interpréteur Java : la Java Virtual Machine (JVM).
- Java est portable, il est indépendant de toute plate-forme.
- Java est orienté objet. Chaque fichier source contient la définition d'une ou plusieurs classes qui sont utilisées les unes avec les autres pour former une application [19].
- Java est multitâche. Il permet l'utilisation de threads qui sont des unités d'exécution isolées [20].

En JAVA, on développe deux genres de programmes :

- Les applications : qui sont des logiciels classiques s'exécutant directement sur une plate-forme spécifique soit à travers une machine virtuelle java soit directement en code exécutable par le système d'exploitation. (code natif).
- les applets qui sont des programmes java insérés dans un document HTML s'exécutant à travers la machine virtuelle java du navigateur lisant le document HTML. [18]

#### *b. La Plate-forme Java*

La plateforme Java permet de développer et d'exécuter des programmes écrits en langage Java indépendante de tout processeur et de tout système d'exploitation. La plateforme se compose principalement d'un moteur d'exécution (machine virtuelle) et d'un compilateur fourni avec un ensemble de bibliothèques standard dont il existe plusieurs implémentations pour divers matériel et système d'exploitation [21].

La plateforme Java est constituée principalement de deux environnements :

- Environnement de développement : il offre l'ensemble des API et des exécutables pour permettre la création des applications Java. Il est créé par le JDK (Java Development Kit) [21].
- Environnement d'exécution : la JRE (Java Runtime Environment) assure la création de cet environnement, JRE désigne un ensemble d'outils permettant l'exécution de programmes Java sur toutes les plates-formes supportées. Il est constitué d'une JVM et d'une bibliothèque standard à partir de laquelle doit être développé tous les programmes en Java pour assurer la portabilité des applications [21].

### *c. Environnement de programmation : NetBeans IDE*

NetBeans est un IDE créé par Sun Microsystems en 1999. Cet IDE est utilisé pour développer des logiciels en langage Java. Il offre aussi différents paquets en langage C/C++ et PHP éditions ; des outils et éditeurs pour HTML, PHP, XML, JavaScript et bien d'autres encore. Il est connu pour sa facilité à élaborer des supports de bases de données avec des pilotes pour Java DB, MySQL, PostgreSQL et Oracle.



### **III.3. Conclusion**

La réalisation expérimentale du projet « Soft-Eye » a été présenté dans ce chapitre. L'architecture complète du sondeur multifaisceaux du point de vue électronique a été modélisée. Le travail a été fait en deux partie : la première est focalisée sur le fonctionnement du FPGA A2F200M3F-FGG484 embarqué sur la carte SmartFusion Evaluation Kit d'Actel, et l'étude de quelques composants élémentaires à savoir : l'émetteur et l'hydrophone, un moteur pas-à-pas et sa carte d'interface; la seconde partie est liée à l'implémentation du programme sur la carte FPGA et à la mise en œuvre de l'interface graphique en utilisant le langage de programmation JAVA.

## CONCLUSION ET PERSPECTIVE

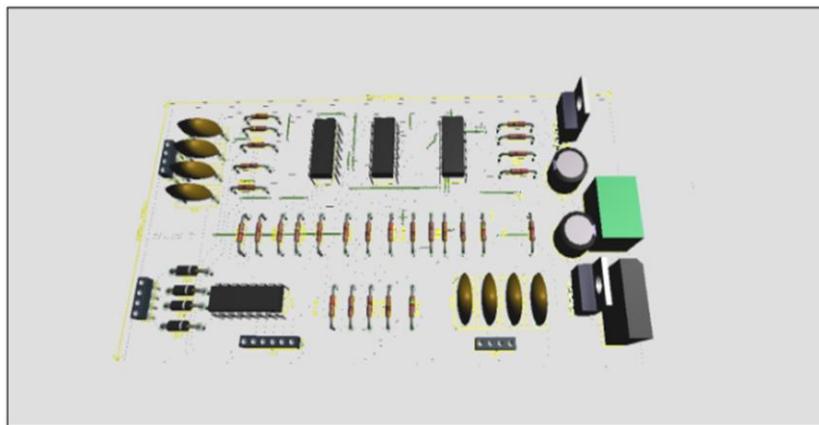
Dans le domaine de la topographie sous-marine, les sondeurs multifaisceaux sont des outils adéquats pour l'extraction et la représentation des reliefs grâce à ses méthodes perfectionnées et améliorées. Aujourd'hui le centre de toutes activités marines est basé sur ces sondes que les recherches dans ce domaine ne cessent de s'accroître. Aussi le coût des matériels utilisés est très onéreux. Nous avons alors élaboré un système capable de reproduire les reliefs des sols immergés : le « Soft-Eye ». Une conception à l'échelle laboratoire a été entreprise avec un coût de réalisation minimum.

L'avancement technologique conduit à la naissance de nouvelles solutions de conceptions matérielles, telles que les circuits FPGA. Leur grande flexibilité et leur capacité à faire de calcul plus rapide facilitent à l'élaboration et au traitement des données en leur intégrant d'outils mathématiques (Transformé de Fourier Rapide). Pour réaliser le sondeur multifaisceaux, des transducteurs et des hydrophones sont nécessaires pour l'émission des ondes et la réception des données. Ces données sont ensuite traitées dans le circuit FPGA. Après, elles sont acheminées vers un appareil de visualisation.

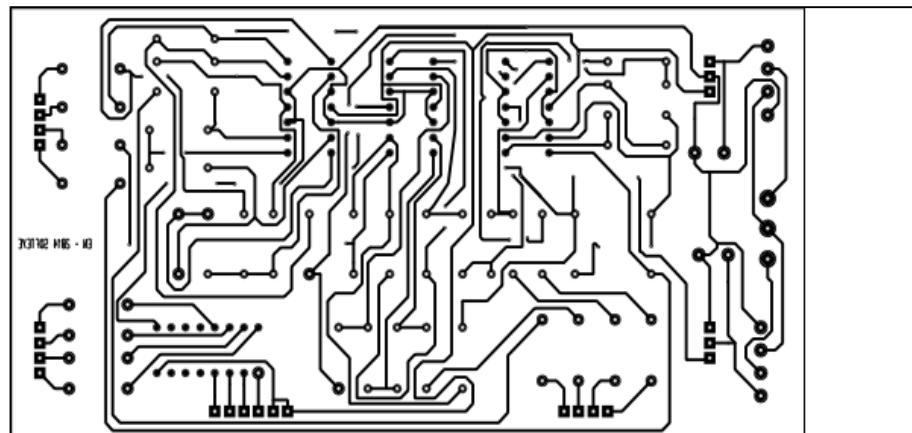
Ce travail a pour but de numériser les données issues de plusieurs capteurs (hydrophones) pour être analyser et interpréter. Ces données peuvent être ensuite utilisées pour des recherches ultérieures. Cependant, plusieurs points sont à améliorer en raison de quelques imperfections telles que la qualité de l'affichage des résultats, le traitement interne dans le circuit FPGA pour améliorer la communication avec l'ordinateur ; les matériels utilisés tels que les hydrophones sont à remplacer pour des recherches plus approfondies.

Grâce aux avancées des techniques informatiques, des logiciels comme MapInfo et bien d'autres encore permettent aujourd'hui de traiter des volumes croissants de données et de les regrouper dans des bases de données. Ces données peuvent interagir avec notre projet « Soft-Eye », pour des recherches sous terrain comme par exemple la détection des richesses enfouies sous terre comme le pétrole brut, les pierres précieuses ; mais celles-ci peuvent faire l'objet d'une autre étude.

## **ANNEXE I. PCB de la carte d'amplification**



**Figure A.1 : Schéma de la carte d'amplification avec PROTEUS**



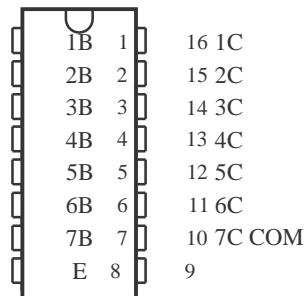
**Figure A.2 : Routage de la carte d'amplification sous PROTEUS**

## ANNEXE II. Catalogue ULN – 2003A

### 1-Caractéristique du circuit ULN-20030A

U

- **Courant du collecteur 500 mA**
- **Sortie haute tension: 50 V**
- **Sortie Diode clamp**
- **Entrées compatibles avec différents types de circuits logiques**
- **Applications Relay-Driver**
- **Haute tension et haute courant pour les transistors Darlington**

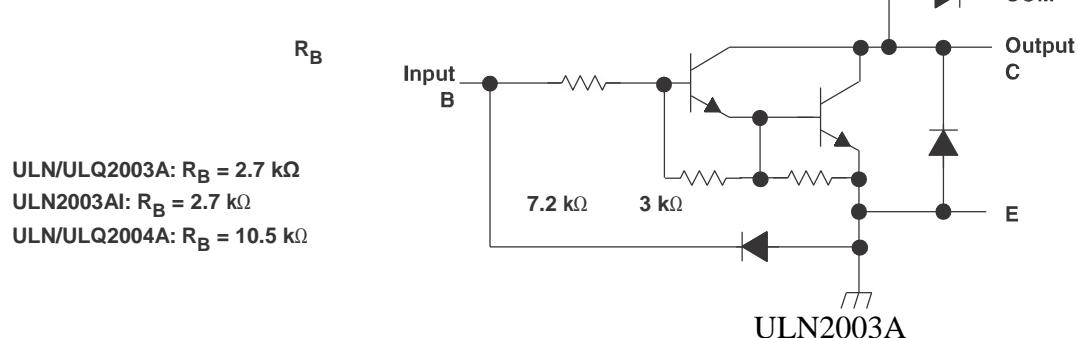
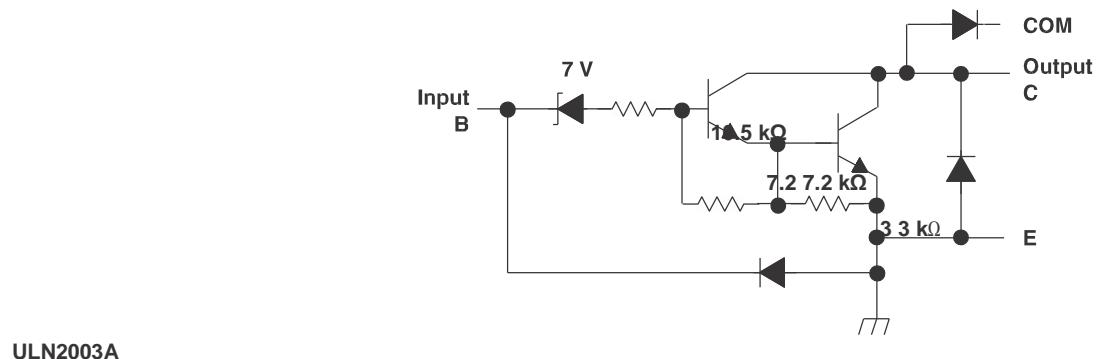


**Fig A3 : Apperçue du circuit ULN 2003A**

Les ULN2003A sont des circuits à haute tension haut courant Darlington à base de transistor. Chaque circuit est à base de sept paires de transistors npn Darlington avec la configuration de la sortie à haute tension avec clamp diodes à cathode commun pour le chargement inductif. L'estimation du courant de collecteur d'une paire de Darlington est de 500 mA. Les paires Darlington peuvent être assignés avec une capacité de courant plus élevée. Les applications incluses sont relay drivers, hammer drivers, lamp drivers, display drivers (LED et gaz de décharge), line drivers, et des circuits de tampon logique pour 100-V (interchangeable) dans les versions d'ULN2003A et ULN2004A.

Le circuit ULN2003A a été conçu spécialement avec une tension de 14-V à 25-V PMOS. Chaque entrée de ce circuit a une diode Zener et une résistance en séries pour limiter le courant dans l'entrée. La résistance de base pour l'ULN2003A et l'ULQ2003A est de 2.7-k $\Omega$  pour chaque paire Darlington

Voici le schéma du circuit pour chaque paire Darlington comme montre la Fig A4 suivante.



**Fig A4: Schéma du circuit (Chaque paire DARLINGTON)**

Les valeurs des résistances sont toutes nominales.

La jonction Emetteur-collecteur de la diode est une structure parasite et ne devrait pas être utilisée pour conduire le courant. Si le courant du collecteur est en dessous de la masse, une diode Schottky devrait être ajoutée.

### Caractéristiques

Tension de saturation pour la junction Collecteur-Emetteur

Courant du collecteur total (deux DARLINGTONS)

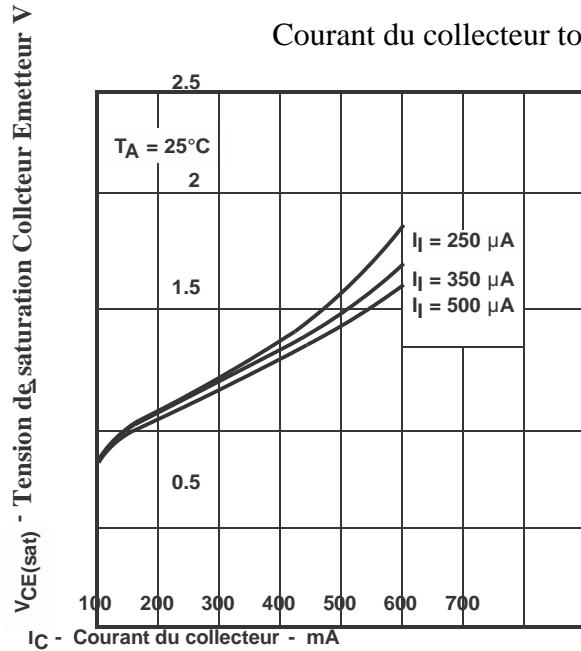


Fig A.5 Caractéristique 1

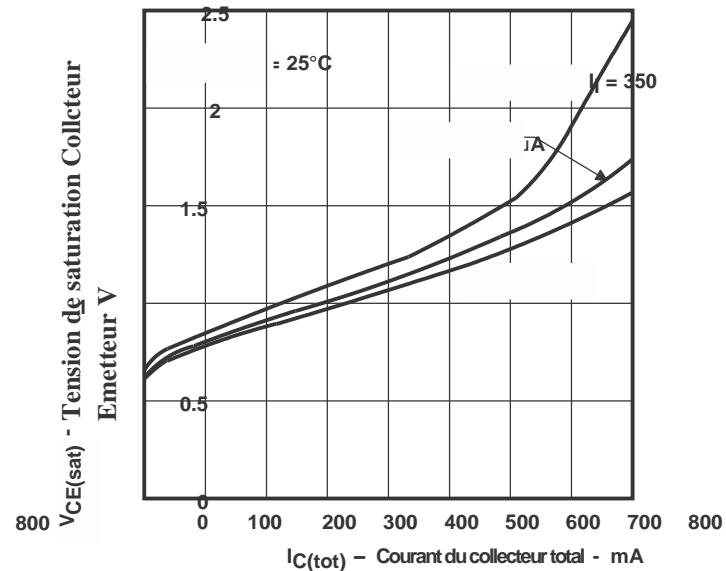


Fig A.6 Caractéristique 2

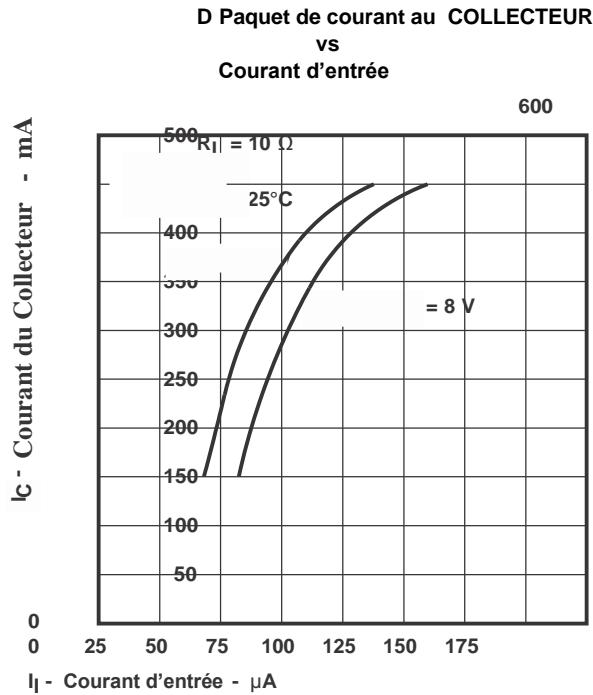


Fig A.7 Caractéristique 3

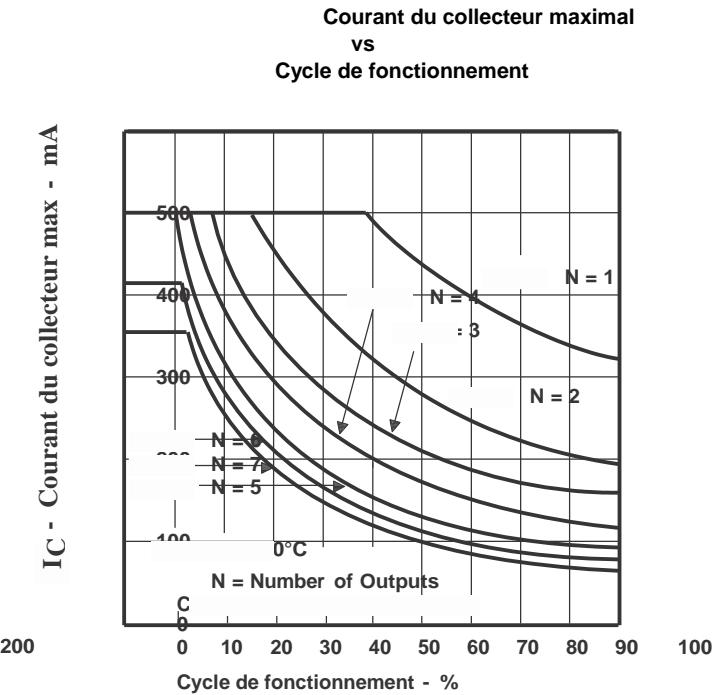


Fig A.8 Caractéristique 4

## ANNEXE III: CODE SOURCE de la Transformé de Fourier Rapide

### III.1 Définition arithmétique complexe : « complexe\_arithmétic.h »

```
#include <math.h>

typedef struct complex_t
{
    double re;
    double im;
} complex;

complex complex_from_polar(double r, double theta_radians);
double complex_magnitude(complex c);
complex complex_add(complex left, complex right);
complex complex_sub(complex left, complex right);
complex complex_mult(complex left, complex right);

complex complex_from_polar(double r, double theta_radians)
{
    complex result;
    result.re = r * cos(theta_radians);
    result.im = r * sin(theta_radians);
    return result;
}

double complex_magnitude(complex c)
{
    return sqrt(c.re*c.re + c.im*c.im);
}

complex complex_add(complex left, complex right)
{
    complex result;
    result.re = left.re + right.re;
```

```

        result.im = left.im + right.im;

        return result;
    }

complex complex_sub(complex left, complex right)
{
    complex result;

    result.re = left.re - right.re;

    result.im = left.im - right.im;

    return result;
}

complex complex_mult(complex left, complex right)
{
    complex result;

    result.re = left.re*right.re - left.im*right.im;

    result.im = left.re*right.im + left.im*right.re;

    return result;
}

```

### III.2 Fichier "fft.h": Twiddle factor, butterfly equation

```

#include "complex_simple.h"

#include <stdlib.h>

#define PI 3.1415926535897932

complex* FFT_simple(complex* x, int N /* must be a power of 2 */);

complex* FFT_simple(complex* x, int N )
{
    complex* X = (complex*) malloc(sizeof(struct complex_t) * N);

    complex * d, * e, * D, * E;

    int k;

    if (N == 1)

```

```

{

    X[0] = x[0];

    return X;

}

e = (complex*) malloc(sizeof(struct complex_t) * N/2);

d = (complex*) malloc(sizeof(struct complex_t) * N/2);

for(k = 0; k < N/2; k++)

{

    e[k] = x[2*k];

    d[k] = x[2*k + 1];

}

E = FFT_simple(e, N/2);

D = FFT_simple(d, N/2);

// twiddle factor

for(k = 0; k < N/2; k++)

{

/* Multiply entries of D by the twiddle factors e^(-2*pi*i/N * k) */

    D[k] = complex_mult(complex_from_polar(1, -2.0*PI*k/N), D[k]);

}

for(k = 0; k < N/2; k++) // FFT- butterfly equation

{

    X[k] = complex_add(E[k], D[k]);

    X[k + N/2] = complex_sub(E[k], D[k]);

}

free(D);

free(E);

return X;

}

```

## ANNEXE IV: GRAFCET

### - Définition

Le GRAFCET (GRAph Fonctionnel de Commande Étape Transition) est un langage graphique de modélisation destiné à représenter le fonctionnement d'automatismes séquentiels dont les informations sont de type logique (vrai ou faux). On parle également de diagramme séquentiel fonctionnel. On l'utilise en général pour représenter ou spécifier les systèmes de commande de ces dispositifs, pour définir les cahiers des charges des automatismes séquentiels ou pour programmer des systèmes aptes à les piloter.

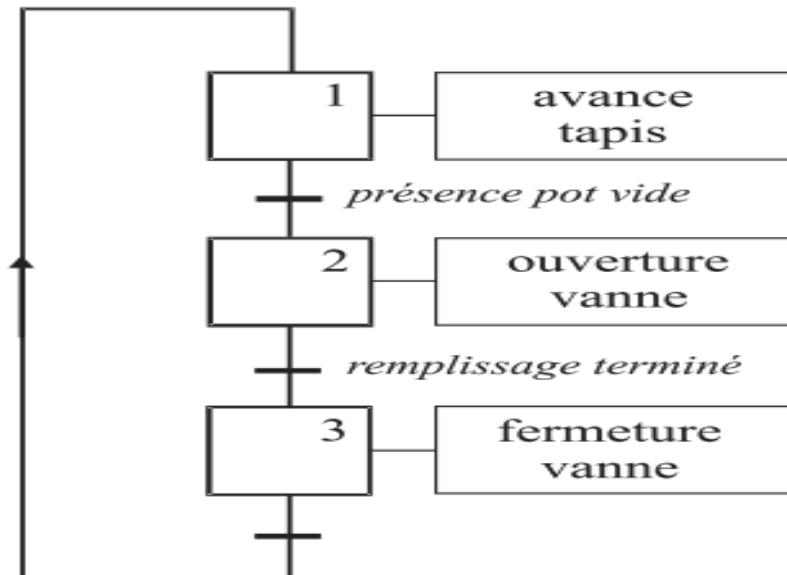
### - Principe de représentation

#### *Etape*

Une étape correspond, d'une manière générale à un état donné du système. Elle peut être associée à une action ou encore à un comportement particulier dans l'organisation générale de sa séquence ; elle peut être active ou inactive. Dans le fonctionnement séquentiel d'un système, les étapes ont vocation à être successivement actives et inactives au fur et à mesure du déroulement du processus. On associe à chaque étape une variable logique d'étape qui est considérée à 1 lorsque l'étape est active et à 0 dans le cas contraire.

#### *Transition*

Le passage d'une étape à un autre, s'il est schématisé par un trait ou par un arc, est en général conditionné par une condition (ou réceptivité) : c'est la notion de transition que l'on représente par une petite barre au travers de cet arc. Il se peut qu'une transition ne soit associée à aucune condition. On dit alors que la réceptivité de la transition est toujours vraie. C'est le cas où deux étapes s'enchaînent sans condition particulière.

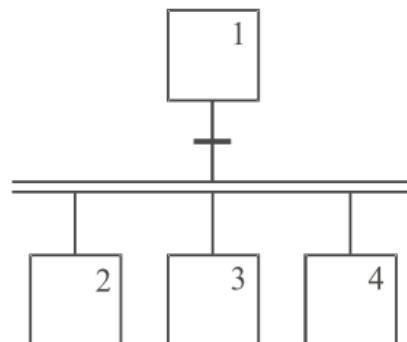


**Figure A.3 : Exemple de GRAFCET pour un système de remplissage**

- Règles de construction d'un GRAFCET

#### *Divergence en ET*

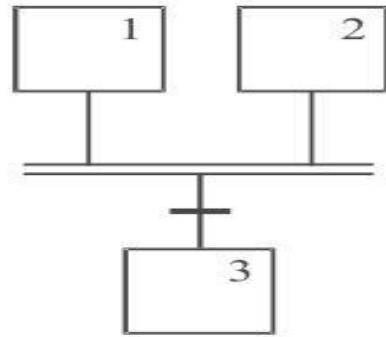
La divergence en ET correspond à la synchronisation du démarrage simultané de plusieurs étapes qui seront actives en même temps.



**Figure A.4 : Divergence en ET**

#### *Convergence en ET*

On appelle « convergence en ET » ou synchronisation amont, le cas où, les deux étapes situées en amont de la transition devront être actives et la condition de transition devra être validée pour que la transition puisse être franchie vers l'étape suivante.



**Figure A.5 : Convergence en ET**

#### *Divergence en OU*

La divergence en OU correspond à l'activation conditionnelle de plusieurs étapes « aval » possédant chacune leur propre condition d'activation.

#### *Convergence en OU*

Il s'agit de symboliser le fait qu'une seule transition suffit pour activer l'étape suivante. C'est la « convergence en OU ».

## REFERENCES

- [1] Benoit Lelong; "Paul Langevin et la détection sous-marine, 1914-1929. Un physicien acteur de l'innovation industrielle et militaire"; Epistémologiques Vol I n° 3-4; Septembre 2001
- [2] Paul DEBOUNY et Pierre DELCOURT; "Notions de topographie"; Préparation à l'accession au grade d'assistant contrôle des travaux, construction et cartographie; Février 2008
- [3] Pr. Fahim BELHADAD; "Cartes et Coupes Topographiques"; Travaux pratiques de Géologie; Département des Sciences de la Terre; Serie Cartographie; Université Mohammed V - AGDAL; Année Universitaire 2009/2010
- [4] Wafia BOUBGUIRA ; « Modélisation Numérique de Terrain : Etude de Synthèse et Application » ; Mémoire de Magistère ; Département d'Informatique ; Option : Système d'Information et IA Distribués ; Université MENTOURI – Constantine, Faculté des Sciences de l'Ingénieur ; 2007
- [5] D. Coeurjolly, R.Chaine ; Cours de « Géométrie Discrète/Géométrie Algorithmique » ; Mémoire de Master 2 Recherche Informatique ; Lyon ; 2004 - 2005
- [6] Geoffrey BECKER; "Analyse de précision d'un lever bathymétrique de gravière"; Mémoire de soutenance de diplôme d'Ingénieur INSA; Spécialité TOPOGRAPHIQUE; Institut National des Sciences Appliquées de Strasbourg; Septembre 2012
- [7] Multibeam Sonar; "Theory of Operation"; L-3 Communications SeaBeam Instruments; 141 Washington Street East Walpole; 2000
- [8] E435; Mesure des Grandeurs Physiques et Capteurs; Cours de 4<sup>ème</sup>- Année; Département Electronique; ESP Antananarivo; 2011-2012
- [9] Roger Woods, John McAllister, Gaye Lightbody et Ying Yi; “FPGA-based Implementation of Signal Processing Systems” ; WILEY
- [10] Steven T. Karris; « Signals and Systems with Matlab Computing and Simulink Modeling » Fourth Edition; Orchard Publications; 2008
- [11] SmartFusion Evaluation Kit;  
[http://www.microsemi.com/document-portal/doc\\_download/130773-smartfusion-evaluation-kit-user-s-guide](http://www.microsemi.com/document-portal/doc_download/130773-smartfusion-evaluation-kit-user-s-guide); 25 mars 2014
- [12] E304; Analyse de Circuits avec SPICE; Cours de 3<sup>ème</sup>-Année; Département Electronique; ESPA; 2010-2011
- [13] ULN2003A Datasheet; <http://www.doyoung.net/video/DATASHEET/PDF/ULN2003.pdf>
- [14] E311; Technologie des Circuits Numériques ; Cours de 3<sup>ème</sup>-Année; Département Electronique; ESP Antananarivo; 2010-2011
- [15] E341; Théorie du Signal; Cours de 3<sup>ème</sup>-Année; Département Electronique; ESP Antananarivo; 2010-2011

[16] E531; Traitement Numérique du Signal; Cours de 5ème-Année; Département Electronique; ESP Antananarivo; 2012-2013

[17] E553 EA; Electronique Industrielle; Cours de 5ème-Année ; Département Electronique; ESP Antananarivo; 2012-2013

[18] JAVA 2, Les fondements du langage Java, Cours d'initiation à la programmation en Java ; RM di Scala : révision du 05 Septembre 2004

[19] E410;Programmation en Langage Orientée Objet; Cours de 4ème-Année; Département Electronique; ESP Antananarivo; 2011-2012

[20] Jean-Michel DOUDOUX; “Développons en Java” Version 1.60 ; 11 Septembre 2011

[21] E556 IA JAVA/HTML ; Cours de 5<sup>ème</sup> Année ; Département Electronique ; ESP Antananarivo ; 2012-1013.

**Auteur** : Sandy Andrianjafy MIARISOA

**Option** : INFORMATIQUE APPLIQUEE

**Titre** : Traitement de données du sondeur Multifaisceaux : « Soft-Eye » à base de composants FPGA

**Nombre de pages:** 72

**Nombre de tableaux :** 6

**Nombre de figures :** 44

### **RESUME :**

L'objet de ce mémoire est fondé sur la conception et la réalisation d'un sondeur multifaisceaux. Un instrument qui permet d'effectuer une étude topographique des surfaces immergées, là où les méthodes d'étude classiques sur terrain et la télédétection aérienne ne sont plus admissibles. Notre contribution consiste à discerner la structure du sondeur et proposer une nouvelle solution, par l'utilisation du circuit FPGA (Field Programmable Gate Array) comme support pour l'implantation du processus de traitement et de contrôle des flux de données.

Une réalisation à l'échelle laboratoire est élaborée, intitulée : Soft-Eye, dont le principe et la structure prennent en considération toutes les éventualités et les contraintes de l'exploitation à l'échelle industrielle. L'exécution du projet se fera en plusieurs étapes : génération, interprétation du flot d'onde ultrason et adaptation du signal en données topographiques. D'autre part, une interface graphique développée avec le langage JAVA permet d'effectuer une série d'analyses topographiques et d'afficher les résultats.

**Mots clés** : Sondeur multifaisceaux, topographie, FPGA, onde, Soft-Eye, JAVA.

**Encadreur** : Mme Harisoa Nathalie RAMANANTSIVOARANA

### **Contact de l'auteur :**

Tél : (+261) 33 21 752 34

[sandymiarisoa@gmail.com](mailto:sandymiarisoa@gmail.com)