

TABLE DES MATIERES

REMERCIEMENTS.....	5
TABLE DES MATIERES	7
LISTE DES TABLEAUX	15
INTRODUCTION GENERALE	17
1. ETAT DE L'ART.....	17
1.1. INTRODUCTION.....	18
1.2. HISTOIRE DU GAN COMME SEMI-CONDUCTEUR	19
1.3. PRINCIPES PHYSIQUES DES HEMT EN GAN	21
1.3.1. Polarisation spontanée	22
1.3.2. L'hétérojonction AlGaN/GaN	24
1.3.3. Formation du gaz bidimensionnel d'électrons	25
1.3.4. Mobilité des électrons	26
1.4. STRUCTURE DU HEMT EN GAN	27
1.4.1. Couches du HEMT en GaN	28
1.4.1.1. Substrat	28
1.4.1.2. Couche de transition	29
1.4.1.3. Le buffer en GaN.....	29
1.4.1.4. Espaceur AlN	30
1.4.1.5. La couche barrière	30
1.4.1.6. Le cap de GaN	31
1.4.1.7. Les électrodes	31
1.4.1.8. Field plates	32
1.5. HEMT NORMALLY-OFF POUR L'ELECTRONIQUE DE PUISSANCE.....	32
1.5.1. Intérêt pour l'électronique de puissance	32
1.5.2. Structures normally-off (enhancement-mode)	33
1.5.3. Structure cascode	36
1.5.4. Résumé de structures <i>normally-off</i>	37
1.6. FABRICANTS DE HEMTs DE PUISSANCE EN GAN	38
1.6.1. Efficient Power Conversion (EPC)	38

1.6.2. GaN Systems	40
1.6.3. Panasonic	41
1.6.4. Exagan	42
1.6.5. Récapitulatif du marché actuel des transistors en GaN	43
1.7. MECANISMES DE DÉFAILLANCE IDENTIFIÉS	45
1.7.1. Ionisation par impact	46
1.7.2. TDDB (Time-Dependent Dielectric Breakdown)	47
1.7.3. Effet piézoélectrique inverse.....	47
1.7.4. Punchthrough.....	49
1.7.5. Courant de fuite vertical	50
1.7.6. Modes de défaillance liés aux effets de piégeage.....	51
1.7.6.1. Courant de fuite de grille assisté par pièges	52
1.7.6.2. Surface hopping	52
1.7.6.3. $R_{DS(ON)}$ dynamique.....	54
1.8. METHODES CLASSIQUES DE CARACTÉRISATION.....	55
1.9. CONCLUSION	59
2. METHODES DE CARACTÉRISATION DES EFFETS DE PIÉGEAGE 61	
2.1. INTRODUCTION	63
2.2. PREMIÈRE MÉTHODE : DLTS	64
2.2.1.1. <i>Mise en place de la C-DLTS</i>	65
2.3. DEUXIÈME MÉTHODE : MESURE DE $R_{DS(ON)}$ DYNAMIQUE	69
2.4. MESURE C(V) ET SURFACE D'HYSTÉRESIS	70
2.4.1. <i>Mise en place de la mesure C(V).....</i>	72
2.4.1.1. <i>Mesures à température contrôlée.....</i>	74
2.4.1.2. <i>Mesures à différentes fréquences</i>	78
2.5. CONCLUSION	81
3. BANC DE CYCLAGE ACTIF.....	83
3.1. INTRODUCTION	85
3.2. PRÉSENTATION DU BANC DE CYCLAGE ACTIF	86
3.3. CONCEPTION DU BANC DE TEST	87

3.3.1. Mise en place des composants sous test.....	88
3.3.2. Conception d'un circuit spécifique de commande	90
3.3.2.1. <i>Génération des signaux de commande</i>	90
3.3.2.2. <i>PCB spécifique pour la commande des HEMT</i>	91
3.3.3. Réalisation finale de la carte	92
3.3.4. Détermination du protocole de test.....	93
3.3.4.1. <i>Discrimination des effets thermomécaniques</i>	94
3.4. MESURES REALISEES.....	98
3.5. CAMPAGNES DE CYCLAGE	99
3.5.1. Référence_1	100
3.5.2. Référence_2	105
3.5.3. Référence_3	107
3.6. MESURES C(V_{GS}) POUR LE BANC DE CYCLAGE	108
3.6.1. Analyse des courbes d'hystérésis	111
3.6.1.1. <i>Point maximum de surface d'hystérésis</i>	112
3.6.1.2. <i>Pente de dC/dV</i>	113
3.6.1.3. <i>Modélisation des courbes d'hystérésis</i>	116
3.6.1.4. <i>Rôle des paramètres sur la surface d'hystérésis</i>	120
CONCLUSION.....	122
4. EFFET DES RADIATIONS.....	125
4.1. INTRODUCTION.....	126
4.2. COMPOSANTS SOUS TEST	127
4.3. METHODOLOGIE	128
4.4. MISE EN PLACE	129
4.4.1. Préparation des échantillons	131
4.4.1.1. <i>Composants Radiationref_1 et Radiationref_2</i>	131
4.4.1.2. <i>Composants Radiationref_3</i>	132
4.4.1.3. <i>Composants Radiationref_4</i>	133
4.4.1.4. <i>Composants Radiationref_5</i>	133
4.4.1.5. <i>Composants Radiationref_6</i>	134
4.5. RESULTATS	135
4.5.1. Résultats Radiationref_1	135

4.5.2. Résultats Radiationref_2	136
4.5.3. Résultats Radiationref_3	137
4.5.4. Résultats Radiationref_4	138
4.5.5. Résultats Radiationref_5	139
4.5.6. Résultats Radiationref_6	139
4.6. CONCLUSION	141
5. DISCUSSION ET CONCLUSION	143
6. BIBLIOGRAPHIE	147
7. ANNEXES	157
7.1. EXTRACTION DE V_{TH}	158
7.2 TABLEAUX DE RESULTATS	159
RESUME	162
ABSTRACT.....	163

TABLE DES FIGURES

<i>Figure 1 : Structure de bandes d'un semi-conducteur à gap direct (a) et indirect (b)[2]</i>	19
<i>Figure 2 : Diode LED bleue réalisée en 1972 [1]</i>	19
<i>Figure 3 : Historique de l'utilisation du GaN comme semi-conducteur.</i>	20
<i>Figure 4 : Réseau cristallin du nitrure de gallium.....</i>	22
<i>Figure 5 : Contribution des dipôles électriques pour la génération de la polarisation spontanée</i>	23
<i>Figure 6 : Polarité face Ga (a) et N(b) dans le réseau cristallin GaN.....</i>	23
<i>Figure 7 : Paramètre de maille (en abscisses) et largeur de bande interdite (ordonnées) pour différents matériaux semi-conducteurs [18]</i>	24
<i>Figure 8 : Contrainte mécanique (a) et polarisations piézoélectrique et spontanées (b) de l'hétéro-structure AlGaN/GaN</i>	25
<i>Figure 9 : Diagramme de bandes d'énergie d'une hétéro-structure AlGaN/GaN</i>	26
<i>Figure 10 : Mobilité des électrons dans le gaz bidimensionnel en fonction de la température et des différents taux d'aluminium [22]</i>	27
<i>Figure 11 : Structure typique d'un transistor HEMT (normally-on) en GaN.....</i>	28
<i>Figure 12 : Variation de la densité d'électrons (gauche) et de sa mobilité (droite) en fonction du taux d'aluminium [25]</i>	30
<i>Figure 13 : Diagramme de bandes d'un HEMT (a) et densité d'électrons dans le canal (b) [27]</i>	31
<i>Figure 14 : Schéma d'un convertisseur DC/DC Buck à commutation synchrone.....</i>	32
<i>Figure 15 : Diagramme de bandes d'énergie sous la grille d'un HEMT à l'état bloqué(a) et à l'état passant (b)</i>	33
<i>Figure 16 : Différentes structures normally-off pour les HEMT en GaN.....</i>	34
<i>Figure 17 : (a) Structure normally-off, (b) structure avec la couche p-GaN et (c) diagramme de la bande de conduction avec (rouge) et sans la couche p-GaN (noir) sous la grille [30]</i>	35
<i>Figure 18 : (a) Structure GIT et (b) courbe $I_D(V_{GS})$ et $I_G(V_{DS})$ d'une telle structure [31]</i>	35
<i>Figure 19 : Schéma électrique d'une structure cascode</i>	36
<i>Figure 20 : Transistor MOSFET en silicium et HEMT en GaN Dans un même packaging [32]</i>	36
<i>Figure 21 : Timeline des acteurs des HEMTs en GaN depuis 2010 [33]</i>	38
<i>Figure 22 : Principales caractéristiques du transistor EPC2011C [34]</i>	39
<i>Figure 23 : Caractéristiques et schéma de la cellule de commutation EPC2102 [35]</i>	39
<i>Figure 24 : Caractéristiques et schéma du driver EPC 2115 [36]</i>	39
<i>Figure 25 : Les deux familles de composants de GaN Systems en fonction de leur $R_{DS(ON)}$ et I_D</i> [37].....	40
<i>Figure 26 : Schéma du package GaNXP de GaN Systems [38]</i>	40
<i>Figure 27 : Composants de packagés de Panasonic [39]</i>	41
<i>Figure 28 : Structure d'un HEMT en GaN de Panasonic</i>	41
<i>Figure 29 : Composant Exagan packagé [41]</i>	42
<i>Figure 30 : Cartes de test d'Exagan [42]</i>	42
<i>Figure 31 : Comparaison de la structure du VJFET en GaN de NexGeN et d'un HEMT en GaN.....</i>	44
<i>Figure 32 : Localisation des différents mécanismes de défaillance dans un transistor GaN. (1) Ionisation par impact ; (2) Punch-through ; (3) Surface hopping ; (4) Fuite verticale ; (5) TDDB ; (6) Effet piézoélectrique inverse</i>	45
<i>Figure 33 : Exemple d'un électron qui génère une paire électron-trous dans un semi-conducteur</i>	46
<i>Figure 34 : Schéma de l'effet piézoélectrique inverse</i>	48
<i>Figure 35 : HEMT en GaN soumis à un stress mécanique induit par le champ électrique [49]</i>	48

<i>Figure 36 : Grille d'une HEMT en GaN. Les défauts sont sources d'électroluminescence [50]</i>	48
<i>Figure 37 : Distribution de la densité de courant dans un HEMT en GaN normally-on polarisé à $V_{GS} = -6\text{ V}$ et $V_{DS} = 20\text{ V}$. [51]</i>	49
<i>Figure 38 : HEMT à double hétérostructure pour un meilleur confinement des électrons dans le 2DEG [52]</i>	50
<i>Figure 39 : Gaz bidimensionnel d'électrons généré entre les couches de transition et le substrat en silicium [53]</i>	50
<i>Figure 40 : Structure d'un HEMT en GaN avec la couche GaN dopée C [55]</i>	51
<i>Figure 41 : Courant de fuite vertical pour différentes épaisseurs du buffer en GaN [56]</i>	51
<i>Figure 42 : Courant de fuite assisté par pièges [57]</i>	52
<i>Figure 43 : Courant de fuite vertical (IV) et surface hopping (IS) [58]</i>	53
<i>Figure 44 : Courant de fuite vertical (a) et horizontale (b) pour différentes distances entre électrodes [58]</i>	53
<i>Figure 45 : Courant de fuite horizontale pour différentes longueurs grille-drain [58]</i>	53
<i>Figure 46 : Courant de fuite en fonction de la température [58]</i>	54
<i>Figure 47 : Allure de V_{DS} et de R_{DSON} lors d'un cycle de commutation en lien avec le phénomène de piégeage</i>	55
<i>Figure 48 : (a) Caractéristique $I_D(V_{DS})$ et (b) $I_D(V_{GS})$ d'un HEMT en GaN</i>	56
<i>Figure 49 : (a) Capacités C_{oss}, C_{iss} et C_{rss} en fonction de V_{DS} et (b) charge de grille d'un HEMT en GaN</i>	56
<i>Figure 50 : (a) Modèle équivalent de la capacité de grille dans un HEMT en GaN normally-off avec la structure p-GaN [66]</i>	57
<i>Figure 51 : Schéma de la variation de ZCE et du piégeage/dépiégeage d'électrons</i>	64
<i>Figure 52 : Puce RÉFÉRENCE_1 soudée sur le PCB (côté puce)</i>	65
<i>Figure 53 : Carte PCB avec la puce RÉFÉRENCE_1 (côté bonding)</i>	65
<i>Figure 54 : Structure d'un HEMT de puissance en GaN et stack de grille</i>	66
<i>Figure 55 : Enceinte DLTS ouverte avec la connectique pour réaliser la mesure</i>	67
<i>Figure 56 : Enceinte thermique fermée lors de la mesure C-DLTS</i>	67
<i>Figure 57 : Allure de la tension V_{GS} (en bleu) et variation de la capacité (en rouge) dans notre fenêtre de mesure Tw lors de l'utilisation du banc DLTS PhysTech®</i>	68
<i>Figure 58 : Courbe expérimentale de la variation de la capacité du stack de grille pGaN</i>	68
<i>Figure 59 : Schéma du banc développé par D. Trémouilles [70]</i>	69
<i>Figure 60 : Mesure sous pointes de R_{DSON} Dynamique</i>	69
<i>Figure 61 : Mesure de résistance à l'état passant juste après la commutation</i>	70
<i>Figure 62 : Courbe C(V) d'un transistor de puissance en GaN [72]</i>	71
<i>Figure 63 : (a) Mesures des capacités C_{iss}, C_{oss} et C_{rss} et (b) les courbes données par le fabricant [75]</i>	72
<i>Figure 64 : Schéma du circuit de mesure (a) et boîtes de connexion de l'appareil B1505 (b).</i>	73
<i>Figure 65 : Temptronic TP04200 Thermostream</i>	74
<i>Figure 66 : Capacité Source-Grille mesurée à 200K et à une fréquence de 1 MHz</i>	75
<i>Figure 67 : Intégrale de la capacité par rapport à la tension (mesure réalisée à 200K et à 1 MHz)</i>	75
<i>Figure 68 : Caractéristique C(V) mesurée à 225K et à une fréquence de 1 MHz</i>	76
<i>Figure 69 : Intégrale de la capacité par rapport à la tension (mesure réalisée à 275K et à 1 MHz)</i>	77
<i>Figure 70 : Intégrale de la capacité par rapport à la tension (mesure réalisée à 350K et à 1 MHz)</i>	77
<i>Figure 71 : Surface d'hystérosis (C) en fonction de la température (K). En pointillé les courbes de 5 échantillons, et en bleu la moyenne</i>	78
<i>Figure 72 : Courbe C(V) et surface d'hystérosis (mesure réalisée à 300K et à 10 kHz)</i>	79

Figure 73 : Courbe C(V) et surface d'hystérésis (mesure réalisée à 300K et à 1 kHz).....	79
Figure 74 : Schéma électrique du banc de cyclage.....	86
Figure 75 : Schéma de l'allure de tension et courant lors d'une commutation hard-switching	86
Figure 76 : Composant sous test soudés sur les cartes PCB1 et des connecteurs	88
Figure 77 : Cartes PCB2 avec les composants sous test (a) et les connecteurs compatibles (b)	89
Figure 78 Schéma électronique (a) et layout de la carte PCB2 (b)	89
Figure 79 : Carte Arduino Leonardo utilisée pour programmer les signaux de commande de grille	90
Figure 80 : Carte PCB spécifique pour la commande des HEMT	90
Figure 81 : Schéma électrique du circuit de commande pour les cartes PCB1	91
Figure 82 : Schéma électrique du circuit de commande pour les cartes PCB2	92
Figure 83 : Face avant et face arrière de la carte de commande	92
Figure 84 : Signaux PWM et V_{GS} , avec le schéma électrique des points de mesure	93
Figure 85 : Image infrarouge d'une puce en GaN lors du cyclage	95
Figure 86 : (a) Schéma thermique de la puce GaN et la caméra IR ; (b) circuit électrique équivalent ..	95
Figure 87 : Résistance $R_{DS(on)}$ en fonction de la température de jonction T_J [61]	96
Figure 88 : Tableau de l'impédance thermique normalisée [61]	97
Figure 89 : Allure de V_{DS} , I_D , puissance et de la température T_J en régime commutation	97
Figure 90 : Courbe $I_D(V_{GS})$ avant et après être soumis au stress S1 - Référence_1 ($V_{DS}=6V$) Saturation de l'appareil de mesure à 10 A	100
Figure 91 : Résistance $R_{DS(on)}$ pour une tension de grille V_{GS} de 5V. La résistance est extraite à partir de la mesure du courant I_D pendant le balayage de V_{DS} de 0 V à 50 mV – Référence_1	101
Figure 92 : Résistance $R_{DS(on)}$ en fonction de V_{GS} pour une tension V_{DS} de 20 mV – Référence_1	101
Figure 93 : Courant de fuite de grille I_G en fonction de V_{GS} avant et après le stress S1 ($V_{DS}=0$ V) Référence_1	102
Figure 94 : Evolution de la tension de seuil V_{TH} au cours de la campagne de cyclage par rapport à la moyenne initiale x_{to} – Référence_1	103
Figure 95 : Evolution du courant de fuite de grille I_G au cours de la campagne de cyclage – Référence_1	103
Figure 96 : Allure de la tension de commande de grille V_{GS} lors de la commutation OFF/ON	104
Figure 97 : Courant de fuite de grille I_G en fonction de V_{GS} avant et après le stress S1 ($V_{DS}=0$ V) Référence_2	105
Figure 98 : Evolution de la tension de seuil V_{TH} au long de la campagne de cyclage – Référence_2 ..	106
Figure 99 : Evolution de la tension de seuil V_{TH} au long de la campagne de cyclage par rapport à la moyenne initiale x_{to} – Référence_2	106
Figure 100 : Courant de fuite de grille I_G en fonction de V_{GS} avant et après le stress S1 ($V_{DS}=0$ V) Référence_3	107
Figure 101 : Evolution de la tension de seuil V_{TH} au long de la campagne de cyclage – Référence_3	108
Figure 102 : Evolution du courant I_G au long de la campagne de cyclage – Référence_3	108
Figure 103 : Evolution de la courbe $C(V_{GS})$ – vieilli à $V_{GS} = 5$ V	109
Figure 104 : Intégrale de la capacité par rapport à la tension V_{GS} vieilli à $V_{GS} = 5$ V	109
Figure 105 : Intégrale de la capacité par rapport à la tension V_{GS} vieilli à $V_{GS} = 4$ V	110
Figure 106 : (a) Courbes $C(V)$ et (b) courbe de la surface d'hystérésis	111
Figure 107 : Relation entre la tension de seuil et le maximum de la surface d'hystérésis	112
Figure 108 : Courbe $C(V)$ d'une hétérostructure AlGaN/GaN [114]	113
Figure 109 : Capacité mesurée en fonction de V_{GS} (en noir) et la dérivée de la capacité en fonction de V_{GS} (en rouge).	114
Figure 110 : Évolution de la densité surfacique d'électrons $N_s/\mathcal{E}A^2$	115

Figure 111 : Surface d'hystérésis d'un transistor neuf et distribution de Pearson type IV	116
Figure 112 : Courbes de distribution de Pearson type IV (a) avant, (b) pendant et (c) après vieillissement.	117
Figure 113 : Courbe C(V) d'un transistor neuf (a.1) et avec décalage (b.1) entre le front montant et descendant, et ses conséquences sur la forme des surfaces d'hystérésis (a.2 et b.2)	120
Figure 114 : Courbe C(V) d'un transistor neuf (a.1) et d'un transistor avec une dérivée dC/dV plus petite (b.1), et ses conséquences sur la forme des surfaces d'hystérésis (a.2 et b.2)	121
Figure 115 : Composant Radiationref_5, (a) vue externe (b) et boîtier ouvert.....	127
Figure 116 : Schéma électronique du circuit de test	128
Figure 117 : Enceinte soumise au vide	129
Figure 118 : Intérieur de l'enceinte avec le support et le système de positionnement.....	130
Figure 119 : Station de travail avec l'écran qui permet de viser le faisceau	130
Figure 120 : Vue schématique de la section de la puce flip-chip	131
Figure 121 : Mapping de l'épaisseur de la puce Radiationref_1 après amincissement	131
Figure 122 : Mapping de l'épaisseur de la puce Radiationref_2 après amincissement	132
Figure 123 : Radiationref_3 vu de dessus (a) de dessous (b), radiographie de l'intérieur (c) et vue interne de la puce sans le capot(d).....	132
Figure 124 : Packaging vu de dessus (a) de dessous (b), radiographie de l'intérieur (c) et vue interne de la puce sans le capot(d).....	133
Figure 125 : Packaging extérieur (a), packaging sandwich intérieur (b), puce du transistor sans le packaging sandwich (c), et vue détaillée de la puce et du fil de bonding (d)	134
Figure 126 : Packaging TO-247 face avant (a), face arrière (b). Puce du transistor dans le packaging (c), vue détaillée de la puce et fils de bonding (d)	135
Figure 127 : Schéma de la méthode d'extrapolation dans la région linéaire	158

LISTE DES TABLEAUX

<i>Tableau 1 : Propriétés physiques du silicium, du SiC et du GaN würzite à 300K [15]</i>	21
<i>Tableau 2 : Comparaison des propriétés des matériaux permettant une épitaxie du GaN (à 300K)</i>	29
<i>Tableau 3 : Avantages et inconvénients de chaque structure normally-off</i>	37
<i>Tableau 4 : Fabricants de transistors en GaN et caractéristiques plus importantes</i>	43
Tableau 5 : Structure du transistor et modèles électriques équivalents de la mesure à l'état ON, en commutation et à l'état OFF.	71
<i>Tableau 6 : Caractéristiques les plus importantes des composants sous test [75], [88], [89]</i>	87
<i>Tableau 7 : Mode et mécanisme de défaillance avec la mesure mise en place, basé sur [108]</i>	99
<i>Tableau 8 : Conditions de stress Référence_1</i>	100
<i>Tableau 9 : Conditions de stress Référence_2</i>	105
<i>Tableau 10 : Conditions de stress Référence_3</i>	107
Tableau 11 : Paramètres des distributions Pearson type IV avant, pendant et après le vieillissement....	116
Tableau 12 : Moments de Pearson type IV en fonction du vieillissement	118
Tableau 13 : Les principales caractéristiques des composants sous test.....	127
Tableau 14 : Particules disponibles au cyclotron de l'Université Catholique de Louvain-la-Neuve.....	129
Tableau 15 : Paramètres de test des transistors Radiationref_1	136
Tableau 16 : Paramètres de test des transistors Radiationref_2	136
Tableau 17 : Paramètres de test des transistors Radiationref_3	137
Tableau 18 : Paramètres de test des transistors Radiationref_4	138
Tableau 19 : Paramètres de test des transistors Radiationref_5	139
Tableau 20 : Paramètres de test des transistors Radiationref_6	140
Tableau 21 : Tableau de résultats - Tension de seuil V_{TH} (V)	159
Tableau 22 : Tableau de résultats - Courant de fuite de grille I_G (A)	160

GLOSSAIRE

μ_n	Mobilité des électrons
2DEG	Gaz bidimensionnel d'électrons
Å	Ångström
BV	Tension de claquage
DLTS	Spectroscopie transitoire des niveaux profonds
DUT	Composant sous test
ϵ_0	Permittivité du vide
ϵ_r	Permittivité relative
ESD	Décharge électrostatique
eV	Électronvolt
K	Kelvin
LET	Transfert d'énergie linéique
Ns	Concentration d'électrons
PCB	Printed Circuit Board
PWM	Modulation de largeur d'impulsions
q	Charge élémentaire
SEE	Perturbation par une particule isolée
TDDDB	Claquage diélectrique en fonction du temps
v_e	Vitesse des électrons
V_{GS}	Tension grille-source
V_{TH}	Tension de seuil
λ_{th}	Conductivité thermique
P_{SP}	Polarisation spontanée
P_{PZ}	Polarisation piézoélectrique

INTRODUCTION GENERALE

Le transistor de puissance à haute mobilité électronique en nitrure de gallium (power-GaN-HEMT, de l'anglais *High Electron Mobility Transistor*) est apparu dans les années 2010, et a beaucoup évolué cette dernière décennie suscitant l'intérêt de nombreux domaines industriels, notamment le spatial.

Ce composant présente une résistance à l'état passant R_{DSON} très faible et une commutation rapide, limitant ainsi les pertes de conduction et de commutation. La possibilité de piloter ces transistors à haute fréquence de commutation permet de réduire la valeur des composants passifs des convertisseurs de puissance. De ce fait on peut concevoir des convertisseurs plus légers et moins encombrants. De plus, comme les autres matériaux semi-conducteurs à large bande interdite, le nitrure de gallium peut être utilisé à des températures nettement plus élevées que celles limitées par l'utilisation des composants en silicium. Par ailleurs, débarrassé de l'oxyde de grille présent dans la structure MOS, la structure HEMT en GaN présente une meilleure robustesse face aux radiations. Toutes ces caractéristiques font du HEMT de puissance en GaN un candidat très intéressant pour de nombreuses d'applications, et plus particulièrement pour les applications spatiales.

Malgré tous les avantages énumérés précédemment, l'utilisation des composants en GaN à grande échelle reste limitée à cause de la méconnaissance de leur fiabilité et des conséquences de leur vieillissement. En effet, les transistors HEMT en GaN présentent des phénomènes physiques impactant leurs performances que l'on n'avait pas à prendre en compte dans les transistors de puissance en silicium (MOSFET, IGBT). Notons par exemple le fait que la résistance à l'état passant (R_{DSON}) n'atteint pas sa valeur nominale immédiatement après la commutation. Ceci pénalise l'augmentation en fréquence car les pertes de conduction deviendraient considérables.

Par ailleurs, les méthodes de caractérisation conventionnelles dédiées aux composants classiques en silicium ne ciblent pas la mise en évidence des phénomènes qui impactent les HEMT en GaN, particulièrement les effets dus aux charges piégées dans certaines zones de la structure (effets de piégeage).

L'objectif de ces travaux est d'étudier la fiabilité des transistors de puissance en GaN afin de déterminer leur adaptation à une utilisation dans des applications spatiales. Pour cela, nous avons étudié des mécanismes de défaillance disponibles dans la littérature et nous avons adopté de nouvelles méthodes de caractérisation. Ce qui nous a permis d'analyser les effets du vieillissement en régime de commutation d'une part, et d'autre part les effets des radiations. Ces travaux de thèse, développés au LAAS-CNRS, ont été financés par le CNES et l'IRT Saint-Exupéry.

Ce mémoire est structuré en quatre chapitres :

Dans le premier chapitre nous allons présenter l'état de l'art des HEMT de puissance en GaN : les différentes structures et fabricants que nous pouvons

trouver aujourd’hui. Ensuite, nous allons identifier les mécanismes de défaillance dans la structure du transistor. Nous rappellerons aussi les méthodes de caractérisation utilisées pour étudier les performances des transistors de puissance en silicium.

Dans le deuxième chapitre, nous allons présenter les méthodes explorées pour mesurer les effets de piégeage. Ces méthodes ont été testées ce qui nous a permis de sélectionner une méthode basée sur la surface d'hystérésis de la courbe C(V). Par ailleurs, la méthode retenue tient compte de l’effet de la température et de la fréquence de mesure.

Le troisième chapitre porte sur la conception et la réalisation d'un banc de cyclage actif qui nous a permis d'étudier la dérive des performances des HEMT de puissance en GaN avec le vieillissement. Cette étude nous a permis d'identifier le stress qui fait vieillir davantage les transistors (activation des mécanismes de défaillance), et les zones les plus fragiles dans la structure du transistor. Ces données peuvent être utiles pour les ingénieurs qui souhaitent exploiter les HEMT en GaN dans des convertisseurs de puissance.

Dans le quatrième chapitre nous allons présenter la préparation et les résultats d'une campagne de test d'irradiation de composants de différents constructeurs réalisée dans le cyclotron de l'UCL de Louvain-la-Neuve. Ceci nous a permis de comparer la robustesse de différentes technologies face aux radiations. Ces données peuvent être intéressantes pour une validation dans une application spatiale.

1.

ETAT DE L'ART

1.1. INTRODUCTION

Dans le présent chapitre nous décrivons l'état de l'art des transistors à haute mobilité électronique en nitrate de gallium (HEMT en anglais : *High Electron Mobility Transistor*). L'objectif de ce chapitre est de faire une analyse de cette technologie, avec toute la littérature disponible afin de comprendre son fonctionnement et d'identifier les verrous qui freinent le déploiement à grande échelle de ces transistors.

Pour cela, tout d'abord nous allons faire une introduction historique succincte sur le nitrate de gallium comme matériau semi-conducteur pour l'électronique.

Ensuite nous allons décrire les principes physiques essentiels pour comprendre le fonctionnement des transistors à haute mobilité électronique (HEMT) en GaN et la structure de ces composants. Ces principes physiques seront indispensables pour comprendre les avantages que présentent les HEMT en GaN par rapport aux transistors en silicium, mais aussi pour comprendre leurs points faibles et les nouveaux défis qu'ils amènent.

Nous allons présenter les structures internes des composants *normally-off*, car ceux-ci sont fondamentaux pour l'électronique de puissance

Ultérieurement, nous allons présenter les fabricants que nous pouvons trouver aujourd'hui sur le marché, et l'évolution du marché pendant la dernière décennie.

Nous allons également exposer les mécanismes de défaillance propres à cette technologie, ainsi comme les méthodes de caractérisation pour faire un diagnostic de la défaillance connue aujourd'hui.

Et pour conclure ce chapitre, nous allons identifier les lacunes dans la connaissance de cette technologie à l'état actuel et nous essayerons de les expliquer dans les chapitres suivants.

1.2. HISTOIRE DU GAN COMME SEMI-CONDUCTEUR

Les premières recherches sur le GaN comme semi-conducteur ont commencé le 1968 [1]. La largeur de bande interdite du GaN, et sa condition de semi-conducteur à gap direct (voir Figure 1) confèrent à ce matériau des propriétés optiques intéressantes pour des longueurs d'onde courtes.

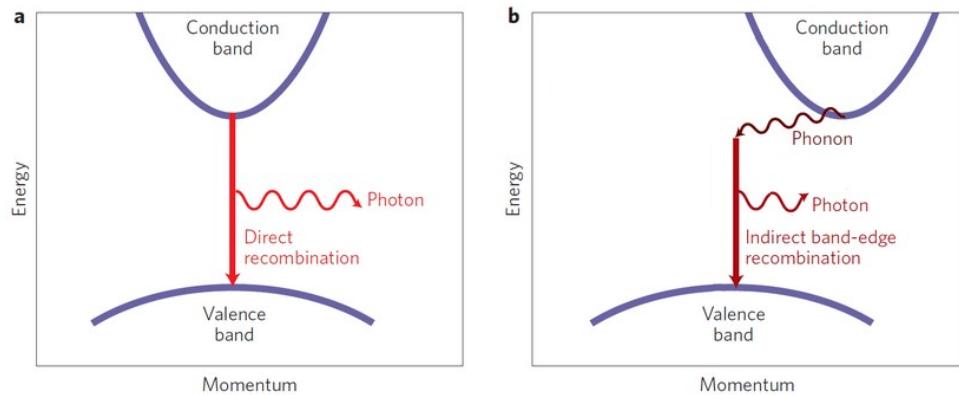


Figure 1 : Structure de bandes d'un semi-conducteur à gap direct (a) et indirect (b)[2]

À cette époque, les diodes LED étant limitées aux couleurs rouge et jaune, des recherches, en 1968, ont visé le développement de diodes LED vertes et bleues. La première diode LED bleue en GaN a été réalisée en 1971 [3] par H. P. Maruska et son équipe (voir Figure 2). Dans les années qui suivent, les recherches se sont focalisées sur la technique de dopage de type-P du GaN en magnésium [4]. Ces recherches ont été très importantes pour le futur, car ce type de dopage est indispensable pour les transistors de puissance en GaN actuels. Par contre, la croissance de cristaux purs en GaN, onéreuse et difficile, reste un verrou technologique jusqu'aux années quatre-vingt-dix.

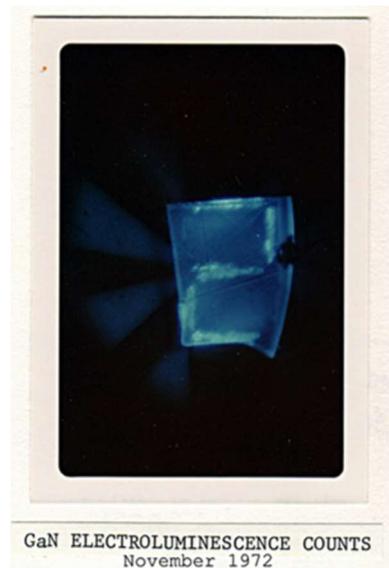


Figure 2 : Diode LED bleue réalisée en 1972 [1]

En 1993 Shuji Nakamura développe plusieurs alliages à base de GaN pour réaliser des LED à haute luminosité dans tout le spectre visible. Ces recherches ont rendu possible la diode blanche, utilisée aujourd’hui pour l’éclairage ; la télévision LED ou les diodes lasers bleues, utilisées pour les lecteurs de disques Blu-ray. Shuji Nakamura a été colauréat du prix Nobel de Physique en 2014 avec Hiroshi Amano et Isamu Akasaki [5] pour ses recherches dans ce domaine.

Dans les années quatre-vingt-dix sont apparus aussi les premiers transistors HEMTs *normally-on* en GaN [6]. Cependant, ces composants ne présentent pas des caractéristiques avantageuses par rapport aux MOSFET en silicium en termes de densité de puissance et vitesse de commutation[7]. En 1999 S.T. Seppard présente un HEMT qui peut commuter à 10 GHz[8]. Néanmoins, la densité de puissance reste trop faible pour faire de la concurrence aux composants en silicium.

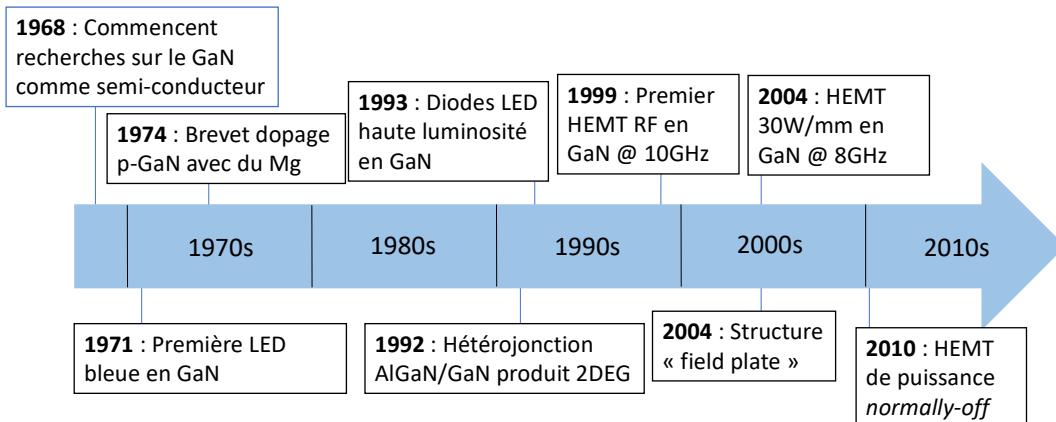


Figure 3 : Historique de l'utilisation du GaN comme semi-conducteur.

Dans les années 2000, un saut technologique permet d'augmenter la densité de puissance des transistors GaN grâce à la technologie *field-plate* [9]. Il s'agit de l'introduction de métallisations qui permettent d'étaler la distribution du champ électrique, ce qui permet d'augmenter la tension maximale du composant. C'est ainsi que ces composants ont pris leur place dans les applications de télécommunications. Cependant, pour l'électronique de puissance les composants *normally-on* ne sont pas adaptés pour certaines applications, car ils ont besoin d'une polarisation négative pour la grille qui complexifie le design, spécialement dans le spatial. En plus, dans les convertisseurs d'énergie l'utilisation de transistors *normally-on* est dangereuse, car une défaillance dans le circuit de commande peut générer un court-circuit sur l'entrée. Pour cela, des recherches pour la réalisation de structures *normally-off* ont commencé vers 2010 [10].

1.3. PRINCIPES PHYSIQUES DES HEMT EN GAN

Le nitrate de gallium est un matériau semi-conducteur composé (groupe III / groupe V) qui possède une semi-conductivité intrinsèque. Il s'agit d'un semi-conducteur à large bande interdite (3,4 eV).

Les principaux avantages du GaN par rapport au silicium sont :

- Champ électrique critique élevé : Ce qui permet, pour une tenue en tension donnée, d'avoir des dimensions plus réduites qu'un composant en silicium. Et par conséquent, on peut aussi acheminer une densité de puissance plus importante à l'état passant.
- Énergie de liaison plus élevée : Ce qui confère à ce matériau une température de fusion plus importante que celle du silicium [11].
- Énergie d'ionisation plus élevée : Le nitrate de gallium est un matériau plus robuste aux radiations (a besoin de plus d'énergie que le silicium pour s'ioniser).[12]
- Faible densité de porteurs intrinsèques : permet de garder la fonctionnalité semi-conductrice à des températures plus élevées que celles du silicium [13].
- Haute vitesse des électrons : les composants en GaN peuvent commuter à des fréquences plus élevées [14].

Dans le tableau 1, on voit les propriétés physiques du silicium et des semi-conducteurs à large bande interdite : le nitrate de gallium et le carbure de silicium :

Paramètre	Symbole	Unité	Si	GaN	SiC
Band Gap	E_{gap}	eV	1,1	3,4	3,2
Champ électrique critique	E_c	MV/cm	0,3	3,5	3
Mobilité des électrons	μ_n	$10^3 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$	1,3	0,9*	0,9
Vitesse des électrons	v_e	10^5 m/s	1	2,5	2
Conductivité thermique	λ_{th}	W/cm K	1,5	1,3	3,7

Tableau 1 : Propriétés physiques du silicium, du SiC et du GaN wurtzite à 300K [15]

Il est important de remarquer que dans le tableau précédent, la mobilité des électrons indiquée pour le GaN est celle propre au matériau. Sachant que dans les HEMTs en GaN la mobilité qui compte est celle des électrons dans le gaz bidimensionnel formé au niveau de l'hétérojonction AlGaN/GaN (que nous détaillerons plus loin) qui est plus élevée ($2000 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$).

La puissance dissipée par effet Joule doit être évacuée pour limiter la température de jonction. La conductivité thermique est le paramètre physique qui

mesure la facilité de cette évacuation. La conductivité thermique du GaN est un peu plus faible que celle du silicium, il présente donc une résistance thermique plus importante que celle d'un composant en silicium avec les mêmes dimensions. Néanmoins, le besoin d'évacuation des calories dépend de la température maximale de fonctionnement du composant. Et comme le GaN peut fonctionner à des températures plus élevées, il compense largement ce qui paraissait comme un inconvénient. Par ailleurs, nous verrons par la suite que comme les composants GaN sont constitués de couches d'autres matériaux (Silicium, AlN...), la résistance thermique globale ne dépend pas que des propriétés thermiques du GaN.

En regardant les propriétés physiques intrinsèques du GaN, on peut déduire qu'a priori les transistors en GaN peuvent travailler à plus haute température, avec une densité de puissance plus élevée et à plus hautes fréquences.

Néanmoins, pour étudier en détail les performances qu'un transistor en GaN peut avoir dans un système de puissance, il faut prendre en compte la composition de la structure complète du composant (les différents matériaux utilisés), mais aussi les conditions et l'environnement de fonctionnement.

1.3.1. Polarisation spontanée

On peut trouver le nitrure de gallium sous trois structures cristallines différentes : le zinc blende, le sel gemme et la structure würzite. L'arrangement le plus stable mécaniquement et thermiquement est le type würzite. Cette structure est caractérisée par les paramètres de maille a , c et u , avec $u = l / c$, où l est la longueur de la liaison entre le gallium et l'azote (Figure 4). A température ambiante (300° K) $a = 0,318 \text{ nm}$, $c = 0,518 \text{ nm}$ et $u = l/c = 0,038 \text{ nm}$ [16].

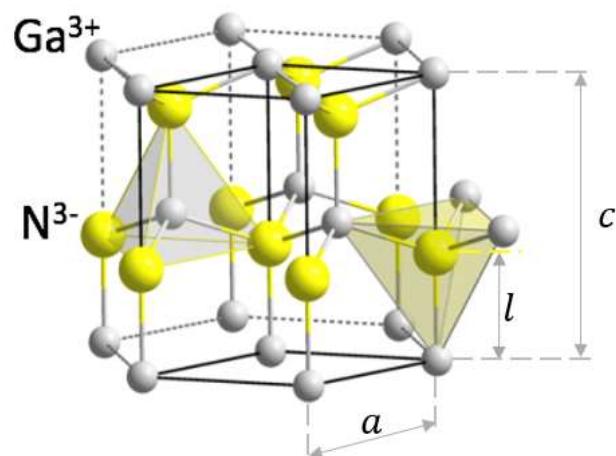


Figure 4 : Réseau cristallin du nitrure de gallium

Dans le réseau cristallin du GaN de la Figure 4, les atomes s'organisent suivant une structure de type würtzite. Les atomes de gallium (en gris) forment des prismes hexagonaux, et les atomes d'azote (en jaune) forment des tétraèdres dans les prismes. Dans une telle configuration, la distribution des charges positives (les noyaux atomiques) et négatives (les électrons) fait que les barycentres des charges ne coïncident pas. Cela crée un ensemble de dipôles électriques suivant un même axe : le cristal est le siège d'une polarisation macroscopique. Ce phénomène, qui existe même en l'absence de toute contrainte ou excitation extérieure, s'appelle « polarisation spontanée[17] ».

Dans la Figure 5 on peut voir la contribution de chaque liaison pour générer la polarisation spontanée dans le réseau cristallin du nitride de gallium.

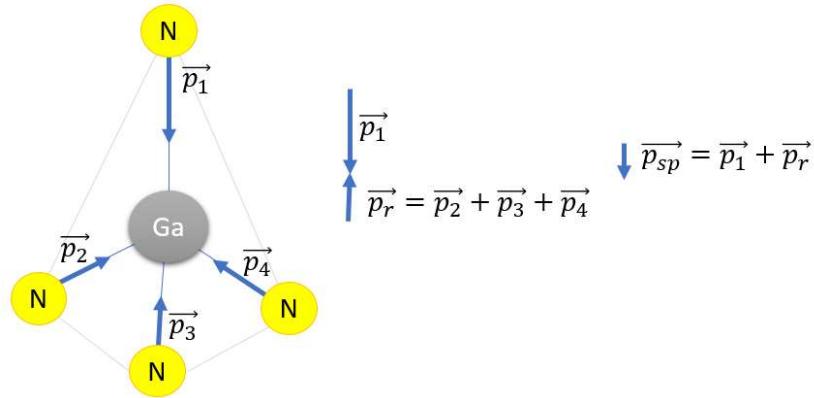


Figure 5 : Contribution des dipôles électriques pour la génération de la polarisation spontanée

La structure würtzite n'est pas symétrique dans l'axe (0001). C'est pour cela que suivant l'orientation cristalline dans la structure du composant, cette polarisation spontanée doit être prise en compte.

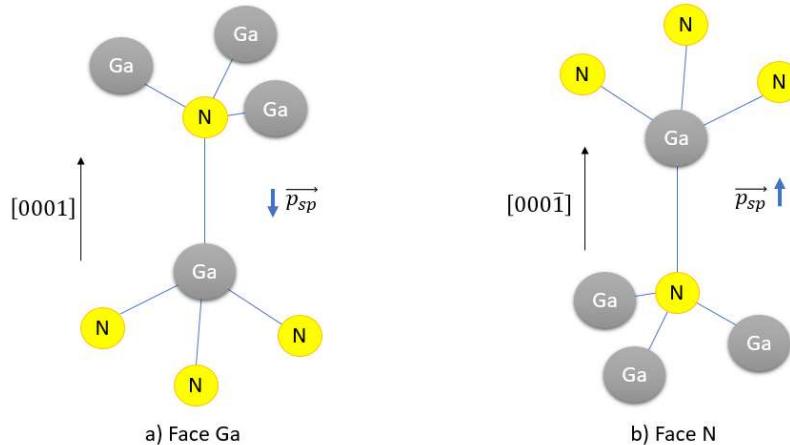


Figure 6 : Polarité face Ga (a) et N(b) dans le réseau cristallin GaN

La Figure 6 montre les deux arrangements possibles : dans le premier cas on dit qu'on a une polarité face Ga ; dans le deuxième, on a une polarité face N.

1.3.2. L'hétérojonction AlGaN/GaN

Plusieurs composés chimiques peuvent adopter la structure wurtzite (AgI, ZnO, CdS, AlN). Exploiter cette propriété de la structure wurtzite est un autre des intérêts que présente le nitrate de gallium. On peut, donc, obtenir des couches hétéroépitaxiales à base d'alliages d'aluminium ou d'indium. Le transistor HEMT en nitrate de gallium consiste à réaliser un empilement d'une couche $\text{Al}_x\text{Ga}_{1-x}\text{N}$ sur une couche GaN. La couche d' $\text{Al}_x\text{Ga}_{1-x}\text{N}$ est un réseau cristallin dans lequel une certaine proportion d'atomes de gallium a été remplacée par des atomes d'aluminium.

La valeur de 'x' dans la notation d' $\text{Al}_x\text{Ga}_{1-x}\text{N}$ représente la proportion d'aluminium. Ainsi, pour $x=0$ la proportion est zéro : il s'agit du GaN. Pour $x=1$ tous les atomes ont été remplacés par de l'aluminium (AlN). Pour des valeurs comprises entre 0 et 1, on a un réseau cristallin avec des propriétés comprises entre celles du GaN et celles du AlN. Mais toutes les proportions d'aluminium ne sont pas possibles : pour des valeurs supérieures à 0,35 apparaissent des défauts dans le cristal. Les valeurs utilisées pour les transistors de puissance sont comprises entre 0,18 et 0,30.

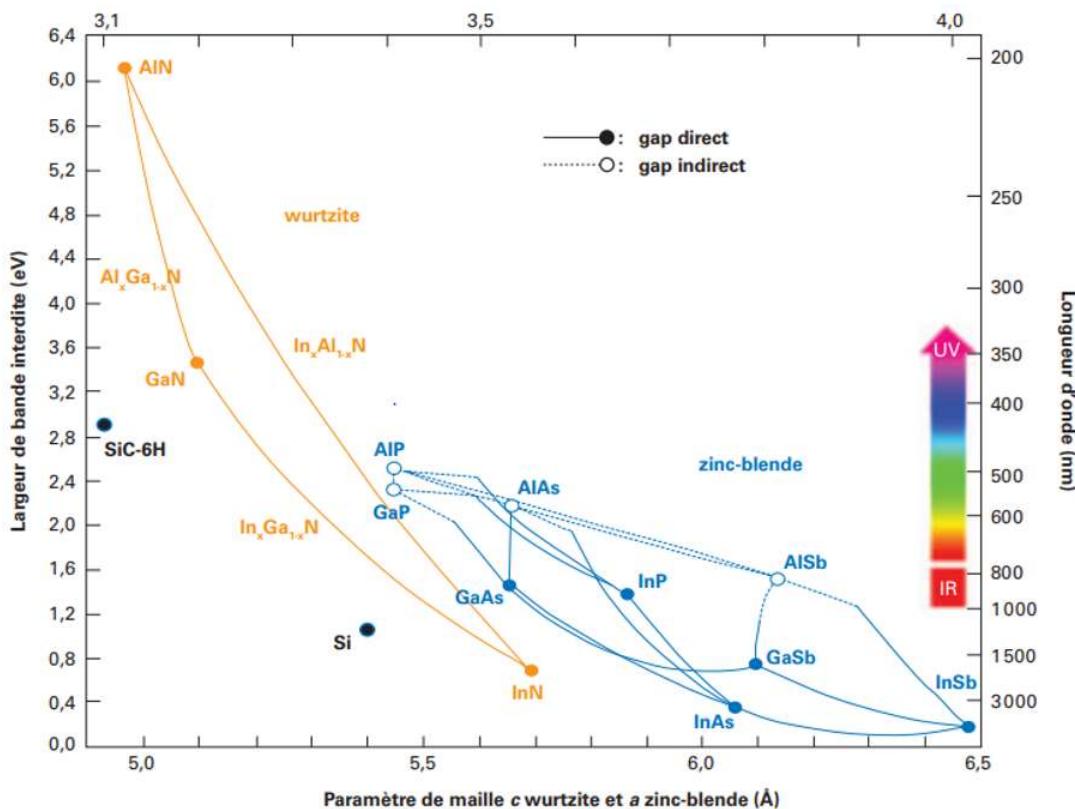


Figure 7 : Paramètre de maille (en abscisses) et largeur de bande interdite (ordonnées) pour différents matériaux semi-conducteurs [18]

Comme on peut observer sur la Figure 7, la constante maille du GaN est sensiblement supérieure à celle de l'AlN. Le paramètre de maille du $\text{Al}_x\text{Ga}_{1-x}\text{N}$ est compris entre celui du GaN et celui de l'AlN. Si la couche $\text{Al}_x\text{Ga}_{1-x}\text{N}$ a une épaisseur inférieure à une certaine valeur critique, c'est la couche GaN qui va imposer son paramètre de maille. La couche $\text{Al}_x\text{Ga}_{1-x}\text{N}$ est, donc, contrainte mécaniquement (voir Figure 8.a).

Cette contrainte mécanique a comme conséquence une polarisation piézoélectrique de la couche $\text{Al}_x\text{Ga}_{1-x}\text{N}$ [19]. Avec un bon choix du sens de la polarisation spontanée (face Ga) les deux champs électriques se renforcent, et créent un champ électrique résultant plus fort. La polarisation spontanée de la couche GaN a une contribution négative à la création du champ électrique à l'interface (voir équation 1.1).

$$\sigma^+ = |\vec{E}_{SP_{\text{AlGaN}}}|-|\vec{E}_{SP_{\text{GaN}}}|+|\vec{E}_{PZ_{\text{AlGaN}}}| \quad (1.1)$$

Où σ^+ est la densité de charge à l'interface, \vec{E}_{SP} et \vec{E}_{PZ} sont les polarisations spontanées et piézoélectrique.

Néanmoins, les contributions piézoélectrique et spontanée de la couche $\text{Al}_x\text{Ga}_{1-x}\text{N}$ étant plus importantes, la résultante est une densité de charge fixe positive (σ^+) à la jonction entre la couche GaN et la couche $\text{Al}_x\text{Ga}_{1-x}\text{N}$ [20], comme montré dans la Figure 8 (b).

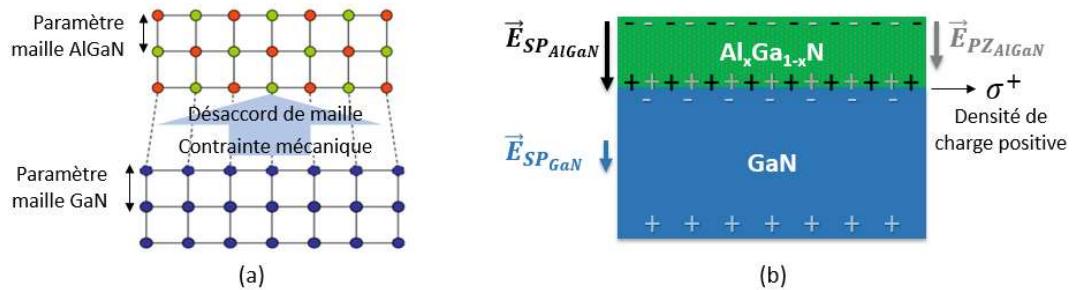


Figure 8 : Contrainte mécanique (a) et polarisations piézoélectrique et spontanées (b) de l'hétéro-structure AlGaN/GaN

1.3.3. Formation du gaz bidimensionnel d'électrons

Afin de compenser la zone de charge positive σ^+ , un gaz d'électrons est confiné à l'interface entre la couche GaN et la couche $\text{Al}_x\text{Ga}_{1-x}\text{N}$. Ce gaz, appelé gaz bidimensionnel d'électrons (ou 2DEG, de l'anglais *Two Dimensional Electron Gas*) forme le canal du transistor.

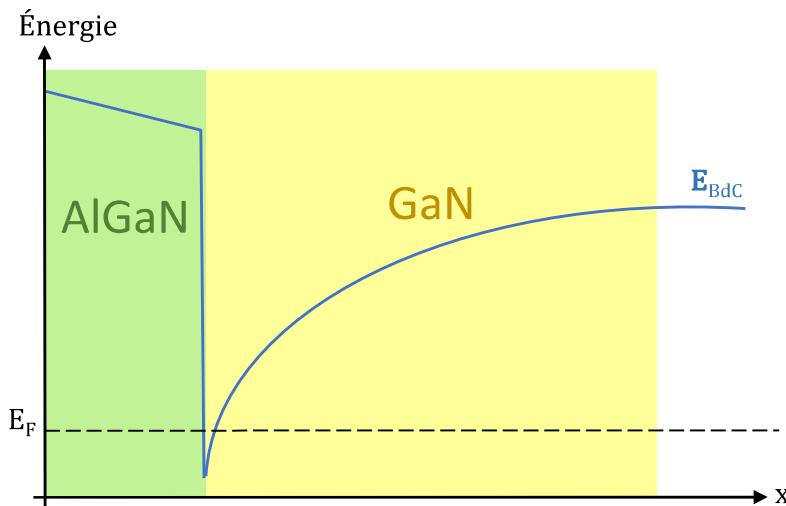


Figure 9 : Diagramme de bandes d'énergie d'une hétéro-structure AlGaN/GaN

Dans la Figure 9 on observe le diagramme de bandes d'énergie d'une hétéro-structure typique d'un transistor GaN. On voit que l'énergie de la bande de conduction (E_{BdC} , en bleu) est supérieure à l'énergie des électrons (niveau de Fermi, E_F) pour toute ‘ x ’ sauf au niveau de l'hétérojonction. Ce minimum de la bande de conduction est un puits de potentiel quantique. Les électrons vont occuper le niveau le plus bas de la bande de conduction qui est sous l'énergie de Fermi. Dans cette zone, les électrons ont plus d'énergie que l'énergie de la bande de conduction. Ce sont, donc, des électrons libres avec une mobilité élevée (plus élevée que la mobilité intrinsèque au GaN). Les électrons peuvent circuler dans tous les points de l'espace où $E_F > E_{BdC}$ et tous ces points forment un plan. D'où le nom gaz bidimensionnel d'électrons : les électrons sont libres de bouger dans ces deux dimensions, mais confinés dans la troisième.

1.3.4. Mobilité des électrons

Le gaz bidimensionnel est très important dans les transistors HEMTs en nitrure de gallium : c'est la base du fonctionnement de cette structure. La mobilité des électrons dans le canal est extrêmement élevée, plus du double de la mobilité intrinsèque du GaN.

Dans les transistors la mobilité des porteurs de charge joue un rôle très important. D'un côté, à l'état passant, on a intérêt à avoir une mobilité élevée car plus la mobilité est importante, plus faible est la résistance R_{DS} à l'état passant entre drain et source (et plus faibles sont les pertes par conduction pour un courant donné). D'un autre côté, à l'état bloqué on a intérêt à avoir une mobilité réduite, afin d'avoir un courant de fuite le plus faible possible. Dans les transistors HEMT en nitrure de gallium on a une mobilité élevée au canal ($2000 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$) : juste à

l'endroit où on a intérêt à avoir une haute conductivité. Par contre, on a une mobilité plus réduite intrinsèque au GaN ($900 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$) qui limite le courant de fuite (à condition de créer la déplétion au gaz bidimensionnel).

La mobilité dans le gaz bidimensionnel dépend de la température et du taux d'aluminium [21] dans la couche $\text{Al}_x\text{Ga}_{1-x}\text{N}$. Comme on peut le voir dans la Figure 10, la mobilité des électrons diminue avec le taux d'aluminium.

Cependant, la mobilité dépend aussi d'autres paramètres : désordre d'alliage, défauts dans le réseau cristallin, impuretés ionisées, etc.

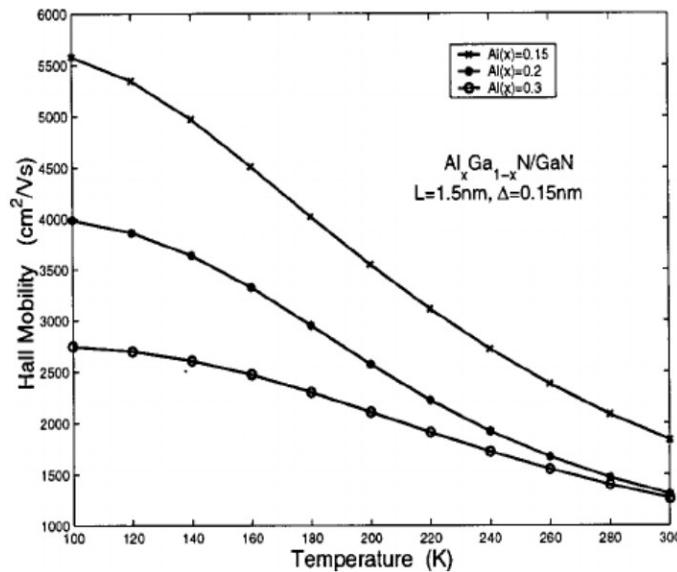


Figure 10 : Mobilité des électrons dans le gaz bidimensionnel en fonction de la température et des différents taux d'aluminium [22]

1.4. STRUCTURE DU HEMT EN GAN

La principale différence entre un HEMT et un transistor classique (MOSFET, IGBT...) est que dans un transistor classique le courant circule à travers un semi-conducteur dopé, tandis que dans un HEMT le courant circule dans un gaz bidimensionnel d'électrons créé à partir de la juxtaposition de deux matériaux semi-conducteurs.

Le principe qui permet de commander le transistor (passer de l'état bloqué à l'état passant) consiste à moduler l'énergie de Fermi des électrons pour arriver à dépasser l'énergie du puits de potentiel. Si l'on diminue l'énergie des électrons au-delà du minimum du puits de potentiel, les électrons n'auront pas assez d'énergie pour rester dans la bande de conduction : le gaz bidimensionnel disparaît sous la

grille et le transistor sera bloqué. Pour faire cela, on applique un champ électrique (via la tension de grille).

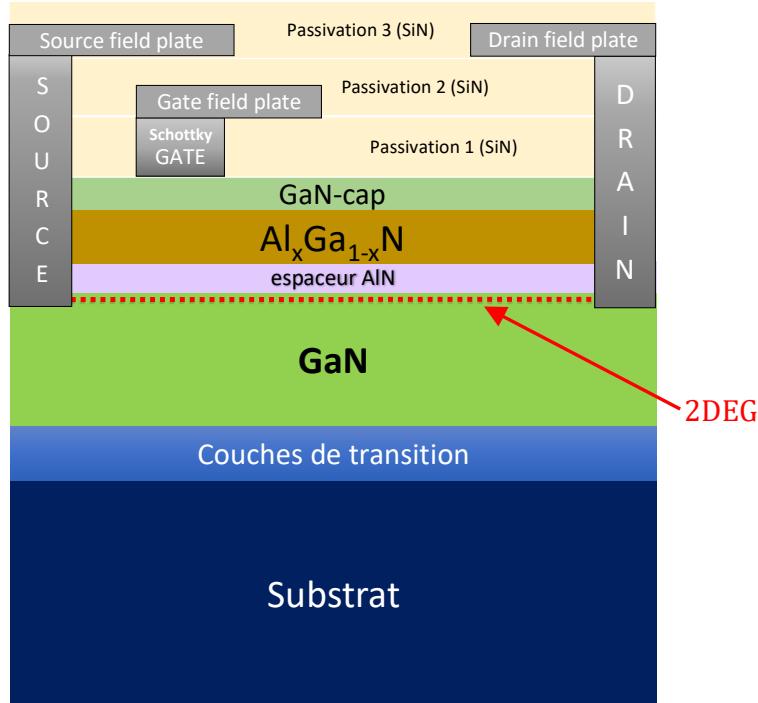


Figure 11 : Structure typique d'un transistor HEMT (normally-on) en GaN

Dans la Figure 11 on peut voir la structure d'un transistor HEMT en GaN *normally-on*. Dans cette figure les couches ne sont pas à échelle (par exemple la couche GaN fait quelques micromètres, tandis que la couche $\text{Al}_x\text{Ga}_{1-x}\text{N}$ fait quelques nanomètres).

1.4.1. Couches du HEMT en GaN

1.4.1.1. Substrat

Le substrat sert de base pour la croissance des différentes couches du transistor. C'est la surface sur laquelle on va empiler les autres couches du composant. Le rôle principal du substrat est d'assurer l'isolation électrique et la tenue mécanique des couches actives. Pour cela, il faut que le désaccord de maille entre le substrat et la couche supérieure soit faible. A priori, la réponse la plus évidente pour ce choix est le GaN (désaccord de maille nul), mais la réalisation de substrats massifs en GaN est très difficile et onéreuse : pression d'azote de plus de 10 kbars et une température de 1800 K [23]. Le saphir (Al_2O_3) est moins coûteux,

mais par contre n'est pas adapté à l'électronique de puissance pour sa faible conductivité thermique ($25 \text{ W}\cdot\text{K}^{-1}\text{m}^{-1}$ contre $130 \text{ W}\cdot\text{K}^{-1}\text{m}^{-1}$ du GaN). Le carbure de silicium présente une conductivité thermique très élevée ($370 \text{ W}\cdot\text{K}^{-1}\text{m}^{-1}$) et un bon accord de maille avec le GaN. Par contre, son prix, même s'il est moins cher que les substrats en GaN, reste très élevé. Cependant, l'utilisation de substrats en silicium semble être le choix le plus intéressant pour les applications de puissance grâce à la forte capacité de production, son faible coût et la maîtrise de la croissance de ce matériau.

Substrat	GaN	SiC	Si
Paramètre de maille (Å)	3,19	3,08	5,43
Désaccord de maille (% GaN)	0 %	3,5 %	17 %
Conductivité thermique ($\text{W}\cdot\text{K}^{-1}\text{m}^{-1}$)	130	370	148
Taille de wafer disponible	3"	6"	8"
Coût en €/cm ²	100	10	0,1

Tableau 2 : Comparaison des propriétés des matériaux permettant une épitaxie du GaN (à 300K)

Dans le Tableau 2 on observe que le désaccord de maille du silicium par rapport au nitrure de gallium est assez important. Afin de corriger ce paramètre, on est obligé de mettre en place des couches de transition de maille.

1.4.1.2. Couches de transition

Les couches de transition ou de nucléation servent à éviter que les dislocations et les défauts produits par le désaccord de maille entre le substrat et la couche GaN se propagent vers la zone active du transistor. Il s'agit d'un réseau composé de fines couches où chaque couche a progressivement un paramètre de maille plus petit afin de coïncider aux extrêmes avec le réseau cristallin en silicium (substrat) et le réseau cristallin en GaN.

1.4.1.3. Le buffer en GaN

Le rôle de cette couche est de confiner les porteurs qui vont générer le gaz bidimensionnel. Le gaz est contenu dans la partie supérieure de la couche GaN sur une épaisseur de quelques nanomètres. Selon les fabricants, le buffer en GaN a une épaisseur d'entre 1 et 5 µm.

En plus, le GaN peut être dopé au carbone pour rendre le GaN plus isolant et mieux confiner les électrons.

1.4.1.4. Espaceur AlN

Entre la couche $\text{Al}_x\text{Ga}_{1-x}\text{N}$ et la couche GaN, une fine couche d'AlN (*AlN spacer layer*) réduit l'interaction des électrons du gaz bidimensionnel avec la couche $\text{Al}_x\text{Ga}_{1-x}\text{N}$. Cette couche, de quelques nanomètres, facilite le transit des électrons dans le gaz bidimensionnel et augmente sa mobilité, paramètre important pour réduire la résistance R_{DSON} et réduire les pertes par conduction [24].

1.4.1.5. La couche barrière

La couche barrière ($\text{Al}_x\text{Ga}_{1-x}\text{N}$), juxtaposée au GaN, crée l'hétérojonction et, ainsi, le gaz bidimensionnel d'électrons qui forme le canal du transistor à haute mobilité électronique. Son épaisseur détermine la densité de porteurs dans le canal. Le taux d'aluminium (qu'on écrit 'x' dans la notation $\text{Al}_x\text{Ga}_{1-x}\text{N}$) joue un rôle très important, car il détermine la densité d'électrons et la mobilité dans le canal du transistor.

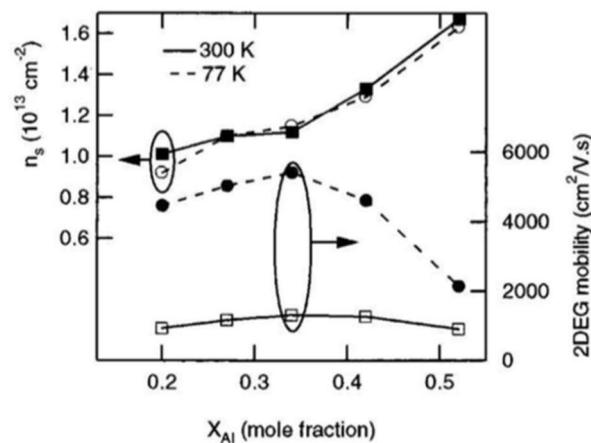


Figure 12 : Variation de la densité d'électrons (gauche) et de sa mobilité (droite) en fonction du taux d'aluminium [25]

Dans la Figure 12 on observe que la concentration d'électrons augmente en fonction du taux d'aluminium. Par contre, la mobilité a un maximum pour $x \approx 0.35$ et puis décroît. La dégradation de la qualité de l'hétérostructure pour un taux d'aluminium trop élevé est la cause de cette chute de la mobilité pour $x > 0.35$. L'épaisseur la couche barrière dépend du fabricant, normalement elle est de l'ordre d'une dizaine de nanomètres.

1.4.1.6. Le cap de GaN

En principe, le cap de GaN est une couche protectrice mise en place pour protéger la couche barrière tout au long du procédé de fabrication du transistor. De plus, il a été observé que cette couche protectrice améliore le contact entre le métal de grille et la couche barrière et réduit le courant de fuite de grille [26]. Dans la Figure 13 on observe la différence entre un transistor HEMT avec et sans le cap de GaN. Dans ce cas, l'épaisseur de la couche $\text{Al}_x\text{Ga}_{1-x}\text{N}$ est de 12,5 nm, le buffer en GaN de 1,6 μm . Le cap de GaN est une couche très fine de 1,6 nm. Par contre, la densité des électrons diminue avec l'introduction du cap de GaN par rapport à une structure sans cap de GaN.

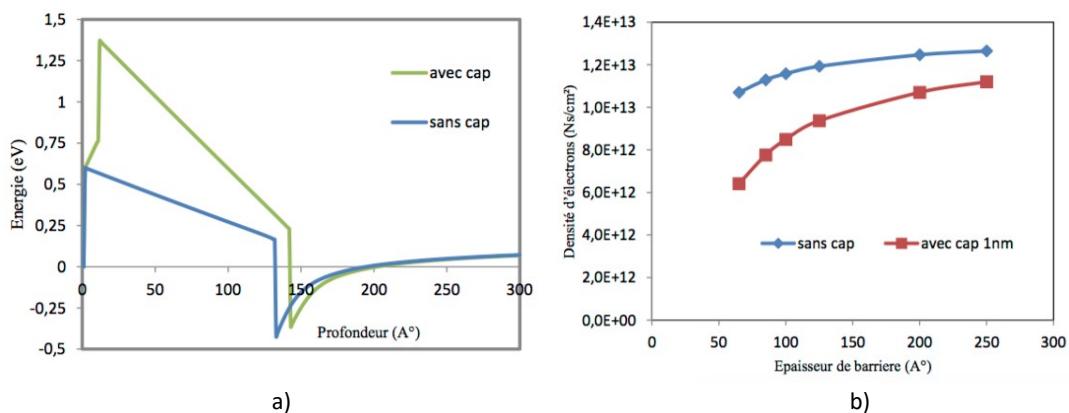


Figure 13 : Diagramme de bandes d'un HEMT (a) et densité d'électrons dans le canal (b) [27]

Il faut trouver un compromis entre la limitation du courant de fuite de grille et le maintien de la densité d'électrons dans le canal.

1.4.1.7. Les électrodes

Comme les MOSFET, ce transistor est constitué de trois électrodes : la grille, le drain et la source. Certains fabricants rendent accessible l'électrode de substrat (*bulk*). Les électrodes de source et de drain traversent la couche barrière $\text{Al}_x\text{Ga}_{1-x}\text{N}$ et sont en contact direct avec le canal d'électrons, formant ainsi des contacts ohmiques. Par contre, l'électrode de grille n'est pas en contact avec le gaz bidimensionnel.

1.4.1.8. Field plates

Afin d'améliorer la densité de puissance, la technologie *field plate* a été introduite au niveau du contact de grille [9]. Cette modification de la grille consiste en une métallisation qui modifie la distribution du champ électrique en étalant les lignes de champ électrique, permettant ainsi de faire travailler le composant à des tensions plus élevées.

Ensuite, les *field plates* ont été introduites également aux électrodes de drain et de source des HEMT en GaN pour mieux répartir le champ électrique.

1.5. HEMT NORMALLY-OFF POUR L'ELECTRONIQUE DE PUSSANCE

1.5.1. Intérêt pour l'électronique de puissance

Un transistor avec la structure de la Figure 11 est un transistor *normally-on* (transistor passant sans polarisation de la grille). Dans ce type de transistor il faut appliquer une tension négative à la grille pour créer une déplétion dans la zone du gaz bidimensionnel et bloquer le transistor. Dans la littérature, on peut trouver aussi la notation *d-mode HEMT* (*depletion-mode HEMT*).

Cependant, pour l'électronique de puissance un transistor *normally-off* ou *e-mode HEMT* (*enhancement-mode*) est indispensable. Dans les convertisseurs d'énergie l'utilisation de transistors *normally-on* est dangereuse, car une défaillance dans le circuit de commande peut générer un court-circuit sur l'entrée. Dans la Figure 14 on peut voir le schéma électrique d'un convertisseur DC/DC, application très répandue en électronique de puissance. Si les transistors Q1 et Q2 sont *normally-on*, on peut court-circuiter V_{in} en absence de polarisation de grille. Il faut que la commande soit toujours active pour protéger la source d'entrée (une batterie, par exemple).

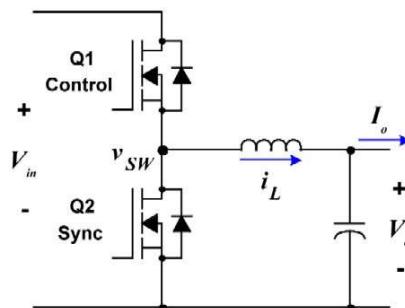


Figure 14 : Schéma d'un convertisseur DC/DC Buck à commutation synchrone

Pour réaliser un transistor *normally-off* il faut modifier la structure du transistor pour créer la déplétion du canal en absence de tension sur la grille. Plusieurs architectures ont été développées pour obtenir ce transistor, mais le principe est toujours le même : faire que, sous la grille, l'énergie de Fermi des électrons soit en dessous du minimum du puits de potentiel en l'absence de polarisation de la grille (voir Figure 15a). Quand on polarise la grille à une tension $V_{GS} \geq V_{TH}$, on crée un champ électrique qui fournit aux électrons l'énergie nécessaire pour occuper le puits de potentiel et former le canal du transistor (Figure 15.b) pour le rendre passant.

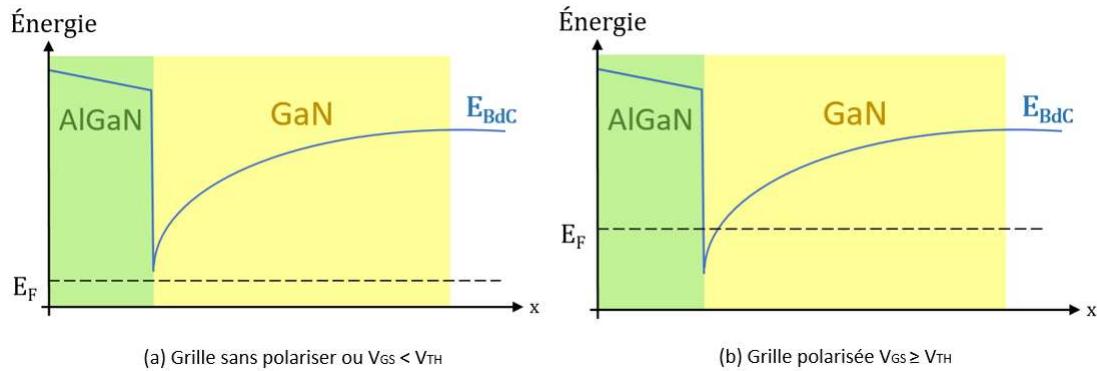


Figure 15 : Diagramme de bandes d'énergie sous la grille d'un HEMT à l'état bloqué(a) et à l'état passant (b)

Il est important de remarquer que le diagramme de bandes de la Figure 15 n'est valable que sous la grille du transistor (qui est le seul endroit où on souhaite créer la déplétion au gaz bidimensionnel d'électrons). Dans le reste du transistor, le gaz bidimensionnel est toujours formé indépendamment de la polarisation de grille.

1.5.2. Structures normally-off (enhancement-mode)

Dans la Figure 16 on observe les différentes structures possibles pour réaliser un transistor *normally-off*. Dans la première configuration, celle avec la grille encastrée (Figure 16.a), on réduit l'épaisseur de la couche barrière ($\text{Al}_x\text{Ga}_{1-x}\text{N}$) sous la grille afin de créer la déplétion du canal. On a déjà montré la dépendance de la densité d'électrons au canal en fonction de l'épaisseur de la couche $\text{Al}_x\text{Ga}_{1-x}\text{N}$. Quand l'épaisseur est en dessous d'un certain seuil, on n'arrive pas à générer le canal dans cette zone, car les polarisations spontanées et piézoélectriques de la couche $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ne sont pas assez fortes pour compenser la polarisation spontanée de la couche GaN (voir équation 1). Néanmoins, cette structure a un inconvénient important: la réduction de la couche $\text{Al}_x\text{Ga}_{1-x}\text{N}$ a comme

conséquence une augmentation du courant de fuite vertical de la grille. En effet, plus mince est la couche barrière, plus des électrons pourront la traverser.

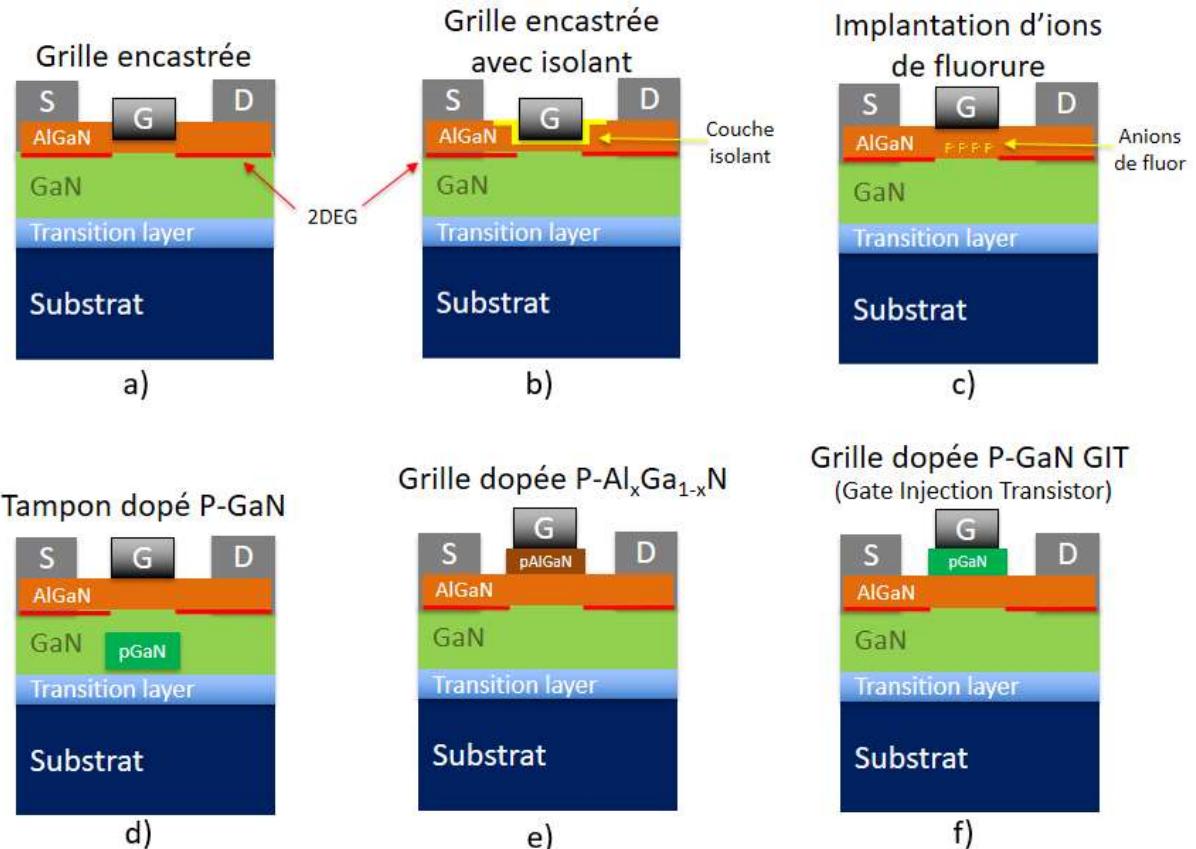


Figure 16 : Différentes structures normally-off pour les HEMT en GaN

Afin de réduire ce courant de fuite, une deuxième version du transistor avec grille encastrée a été développée. Cette version consiste à ajouter une couche de passivation (Figure 16.b). Cette couche de matériau isolant (typiquement SiN) permet de réduire le courant de fuite. Cependant, la difficulté pour déposer de fines couches d'isolant à l'échelle nanométrique rend la réalisation de cette structure compliquée. En plus, la structure de grille encastrée (avec ou sans la couche d'isolant) a un autre inconvénient : l'instabilité de la tension de seuil V_{TH} .

Une autre façon de réaliser un transistor *normally-off* est l'implantation d'ions négatifs dans la couche barrière (Figure 16.c) afin de modifier le diagramme de bande d'énergie. Pour faire cela on utilise l'anion de fluorure F^- . Il s'agit d'un atome de fluor qui a gagné un électron pour avoir sa dernière couche d'électrons saturée. Avec une telle configuration on arrive à réaliser un transistor *normally-off* avec un courant de fuite plus faible que les versions montrées précédemment. Par contre, V_{TH} est faible (de l'ordre d'1 V) et instable [28]. Avoir une tension V_{TH} faible est un handicap important dans l'électronique de puissance, car une moindre

perturbation peut déclencher une commutation intempestive malgré le soin porté à l'immunité CEM du composant.

Les structures introduisant des dopages type P sont montrées dans les Figure 16d, Figure 16e et Figure 16f [29]. En effet, l'introduction de ces couches dopantes modifie le diagramme de bandes d'énergie en faisant augmenter l'énergie (modulée par le taux de dopage P) que nécessite un électron pour arriver à la bande de conduction (voir Figure 17).

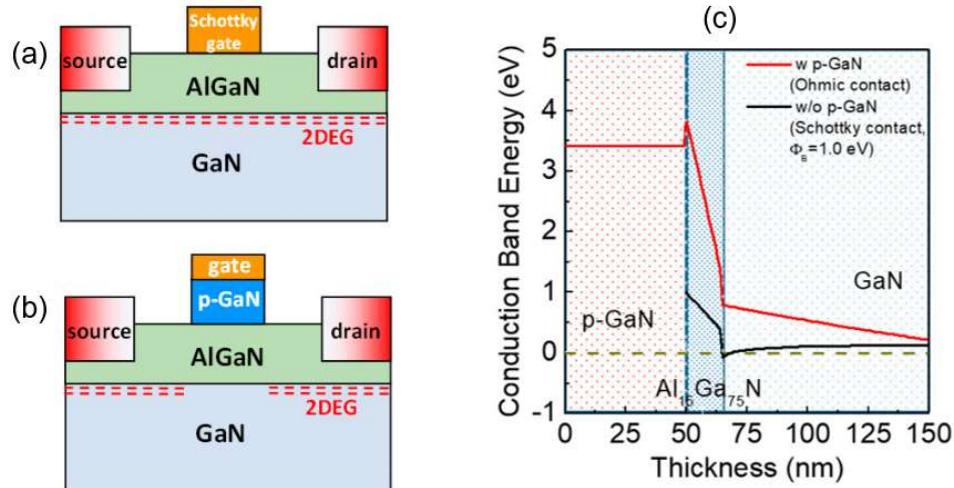


Figure 17 : (a) Structure normally-off, (b) structure avec la couche p-GaN et (c) diagramme de la bande de conduction avec (rouge) et sans la couche p-GaN (noir) sous la grille [30]

Avec la grille dopée P, on arrive à des tensions V_{TH} plus élevées et plus stables qu'avec les autres technologies *normally-off*. La structure avec la grille dopée p est utilisée par EPC et GaN Systems, entre autres, pour réaliser leurs transistors *normally-off* en GaN. Dans une telle structure, la zone sous la grille est désertée par les électrons, et le transistor est bloqué en absence de polarisation de la grille. Il faut appliquer une tension positive à la grille pour attirer les électrons, peupler le canal 2DEG et rendre le transistor passant (voir Figure 18).

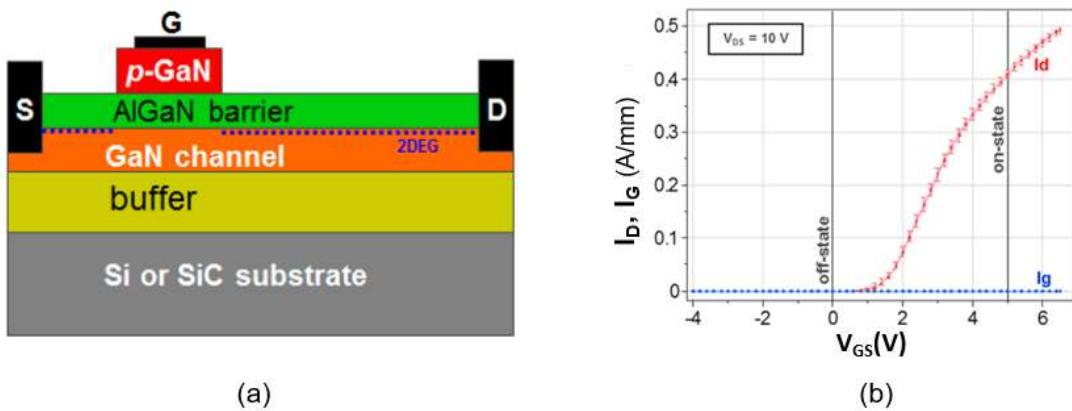


Figure 18 : (a) Structure GIT et (b) courbe $I_D(V_{GS})$ et $I_G(V_{DS})$ d'une telle structure [31]

1.5.3. Structure cascode

Pour obtenir un transistor *normally-off*, certains fabricants ont développé la structure cascode. Cette structure consiste à placer en série un HEMT *normally-on* avec un MOSFET, comme montré dans la Figure 19.

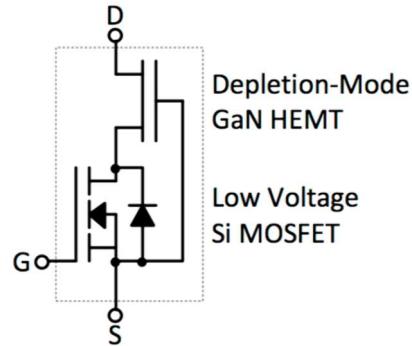


Figure 19 : Schéma électrique d'une structure cascode

Ainsi, on obtient un transistor haute tension avec les caractéristiques de grille d'un MOSFET. Un des avantages d'une telle configuration, est qu'on peut réutiliser les drivers et les circuits de commande de grille des MOSFETs.



Figure 20 : Transistor MOSFET en silicium et HEMT en GaN Dans un même packaging [32]

Afin de minimiser les impédances parasites entre le MOSFET et le HEMT, on peut trouver les deux transistors de la structure cascode dans un même packaging, comme montré dans la Figure 20.

1.5.4. Résumé de structures *normally-off*

Dans le Tableau 3 nous résumons les différentes structures que nous avons présentées avec leurs avantages et inconvénients.

Structure	Avantages	Inconvénients
Cascode	<ul style="list-style-type: none"> - Compatible avec les drivers MOSFET - Tension V_{TH} stable et robuste du MOSFET en silicium 	<ul style="list-style-type: none"> - Fréquence de commutation limitée par le MOSFET - Intégration limitée en utilisant deux transistors - Structure non robuste aux effets des radiations
Grille pGaN	<ul style="list-style-type: none"> - Fréquence de commutation élevée 	<ul style="list-style-type: none"> - Grille fragile aux dépassemens de tension V_{GS} - Grille fragile aux ESD
Grille encastrée	<ul style="list-style-type: none"> - Meilleure intégration (1 transistor) - Fonctionnement haute température - Robustesse aux effets des radiations 	<ul style="list-style-type: none"> - Tension de seuil V_{TH} instable - Courant de fuite de grille élevé
Implantation d'anions F^-		<ul style="list-style-type: none"> - Faible V_{TH} créant une faiblesse d'immunité CEM - Tension de seuil V_{TH} instable

Tableau 3 : Avantages et inconvénients de chaque structure *normally-off*

Les avantages que présentent les structures *e-mode* (grille encastrée, grille pGaN et implantation d'anions F^-) sont des caractéristiques propres au HEMT en GaN pur (fréquence de commutation, robustesse aux effets des radiations, etc.) Alors que la structure cascode présente les limitations du silicium. En revanche, la structure cascode présente les avantages de la robustesse et de la maturité technologique de la grille du MOSFET.

1.6. FABRICANTS DE HEMTs DE PUISSANCE EN GaN

Dans la Figure 21 on montre la ligne du temps des principaux acteurs des transistors en GaN de la dernière décennie.

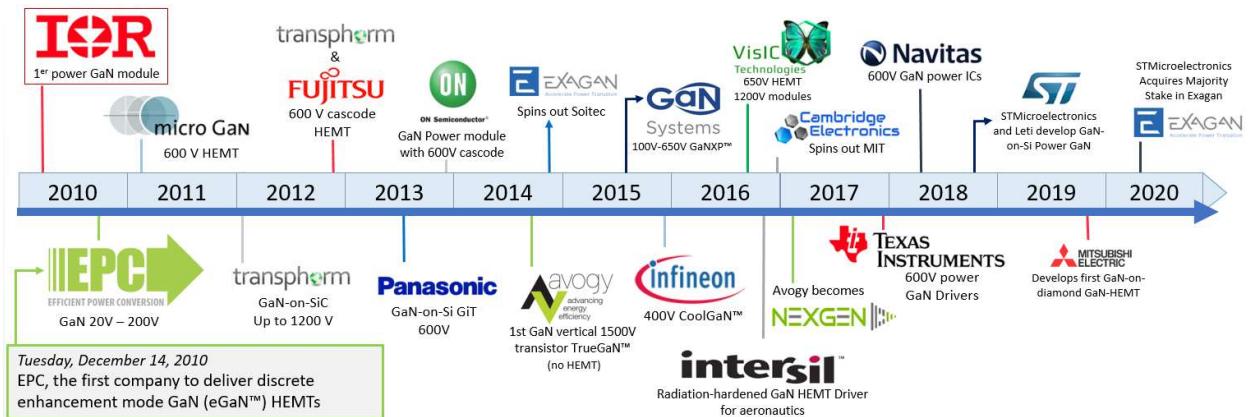


Figure 21 : Timeline des acteurs des HEMTs en GaN depuis 2010 [33]

Dans cette ligne du temps, on montre les fabricants qui ont mis des composants sur le marché (EPC, GaN Systems, Panasonic, etc.), mais aussi des sociétés qui développent des composants qui ne sont pas encore sur le marché (comme ExaGaN) ou des sociétés qui ne font pas de HEMT de puissance mais des outils qui ont un lien avec cette technologie (comme Texas Instruments, qui réalise des drivers pour des HEMTs en GaN).

Par la suite, on va décrire uniquement les sociétés les plus importantes au niveau mondial et européen qui commercialisent ou développent des HEMTs de puissance.

1.6.1. Efficient Power Conversion (EPC)

Efficient Power Conversion, société étasunienne basée en Californie, a été la première à proposer des composants sur le marché. EPC se caractérise par la commercialisation de composants pour des tensions jusqu'à 200 V sans packaging (puce nue et montage dit *flip-chip*, voir Figure 22). De ce fait, c'est à l'utilisateur de décider du packaging. A cette fin, EPC donne des informations détaillées de ses composants dans leurs *datasheets*, comprenant les caractéristiques électriques classiques des transistors, capacités parasites, vitesse de commutation, caractéristiques thermiques, suggestions pour le circuit de commande, etc.

EPC2001C - Enhancement Mode Power Transistor



Figure 22 : Principales caractéristiques du transistor EPC2011C [34]

Efficient Power Conversion commercialise également des circuits intégrés avec des cellules de commutation déjà pensées pour le design de convertisseurs d'énergie, comme le EPC 2102 que l'on montre dans la Figure 23. Ceci présente l'avantage de réduire les inductances parasites par rapport à une cellule non intégrée.

EPC2102 - Enhancement Mode GaN Power Transistor Half Bridge



Figure 23 : Caractéristiques et schéma de la cellule de commutation EPC2102 [35]

Dans le catalogue d'EPC nous pouvons également trouver des drivers intégrés spécifiques pour piloter les grilles pGaN des transistors commercialisés (voir Figure 24). Il est en effet intéressant de disposer de drivers spécifiques et proches du composant car les grilles des transistors *enhancement-mode* (à enrichmentnement avec la grille pGaN) présentent des fragilités que nous détaillerons plus loin.



Figure 24 : Caractéristiques et schéma du driver EPC 2115 [36]

1.6.2. GaN Systems

GaN Systems est une société canadienne qui, à la différence d'EPC a développé des packagings pour ses transistors en GaN. On peut trouver deux familles, l'une pour une tension de 100 V et l'autre de 650 V. Dans la Figure 25 on peut voir les deux familles, avec leur tenue en tension, leur calibre en courant et leur résistance RDSON.

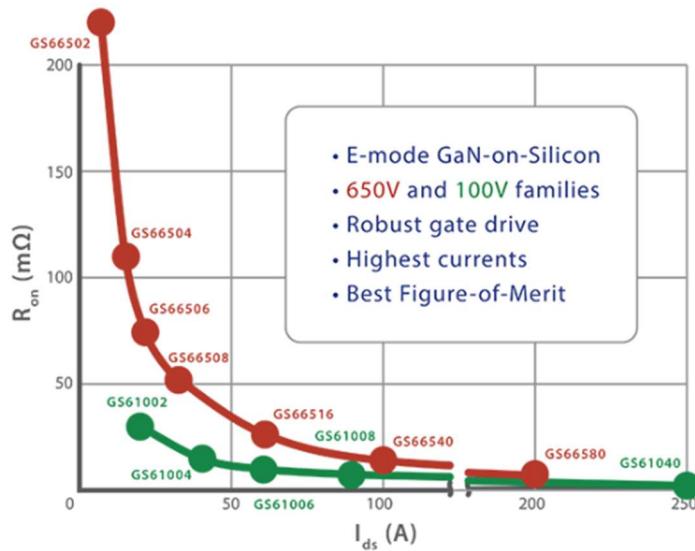


Figure 25 : Les deux familles de composants de GaN Systems en fonction de leur R_{DSON} et I_D [37]

L'avantage le plus important par rapport à EPC consiste au packaging GaNXP (Figure 26) qui entoure la puce et assure l'évacuation de la chaleur à travers des piliers métalliques vers des pads thermiques auxquels on peut souder des dissipateurs.

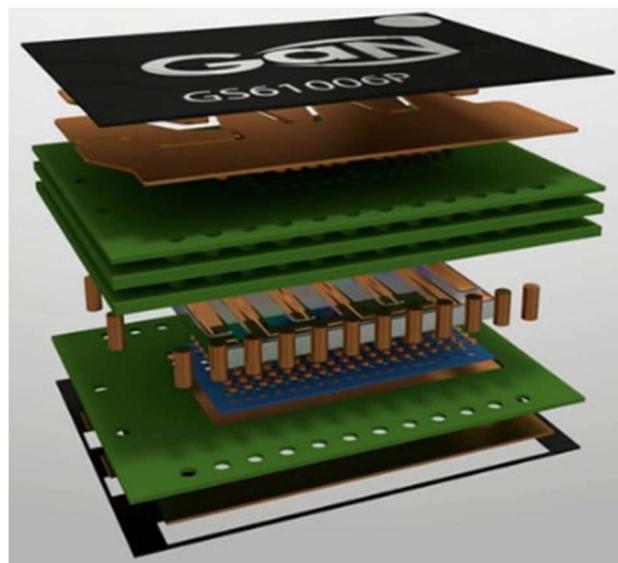


Figure 26 : Schéma du package GaNXP de GaN Systems [38]

1.6.3. Panasonic

La société japonaise Panasonic commercialise des transistors GaN encapsulés (voir Figure 27) pour des tensions d'utilisation de 650 V. A la différence des autres fabricants, Panasonic a développé une structure unique pour la grille pGaN.

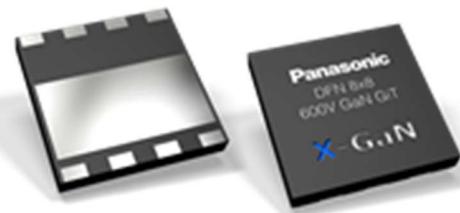


Figure 27 : Composants de packagés de Panasonic [39]

Comme nous verrons plus en détail dans ce chapitre, l'un des problèmes des transistors HEMT en GaN réside dans le phénomène de piégeage de charges. Pour répondre à ces problèmes, Panasonic a développé une structure de grille spécifique qui a fait l'objet d'un brevet [40].

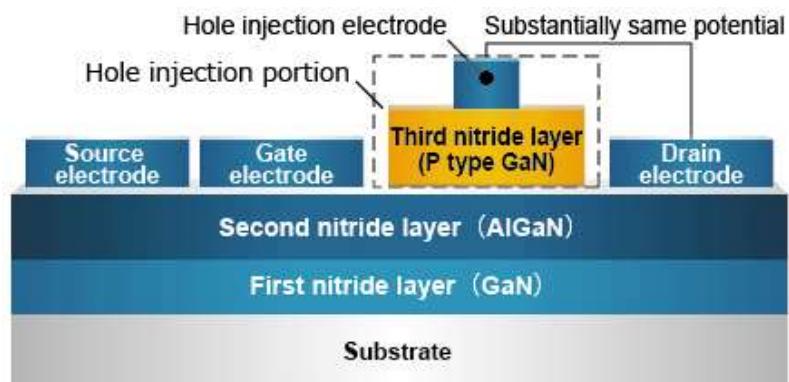


Figure 28 : Structure d'un HEMT en GaN de Panasonic

La structure dans la Figure 28 présente deux grilles : la première (à gauche) est la grille classique qui sert à faire commuter le transistor ; et la deuxième, en jaune, a comme objectif d'injecter des trous afin d'éliminer les électrons piégés. En effet, la recombinaison d'une paire électron-trou fait disparaître les charges piégées.

1.6.4. Exagan

Exagan est une société d'origine française, *spin-off* du CEA-Leti qui a été rachetée par STMicroelectronics en 2020. Exagan développe des transistors GaN de puissance et des drivers pour les piloter. A ce jour, les transistors d'Exagan ont une structure cascode.

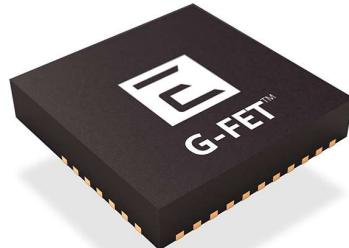


Figure 29 : Composant Exagan packagé [41]

Les transistors d'Exagan ont une tension de fonctionnement pouvant aller jusqu'à 650 V. Pour tester les transistors et les drivers, Exagan propose des cartes d'évaluation avec les applications plus courantes de l'électronique de puissance (voir Figure 30).

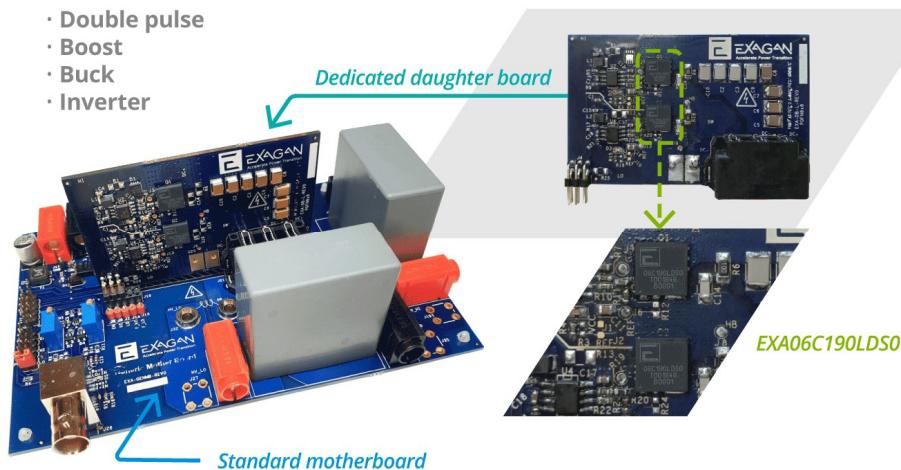


Figure 30 : Cartes de test d'Exagan [42]

1.6.5. Récapitulatif du marché actuel des transistors en GaN

Dans le Tableau 4, nous resumons les fabricants transistors de puissance en GaN et les caractéristiques les plus importantes.

Fabricant	Normally	Type de transistor	V _{DS} max	Caractéristiques
 Efficient Power Conversion	Off	HEMT e-mode	350 V	eGaN™ puce nue
 GaN Systems	Off	HEMT e-mode	650 V	Packaging sandwich GaNXPTM
 Panasonic	Off	HEMT e-mode	600 V	XGaN™ Hole-injection structure
 NEXGEN	Off	VJFET	1500 V	Vertical FET TrueGaN™
 VisIC Technologies	Off	HEMT d-mode + circuit intégré	650 V	Normally-off avec un Circuit Intégré
 IR is now Infineon	Off	HEMT e-mode	600 V	Packaging sandwich CoolGaN™
 transphorm	Off	HEMT d-mode + MOSFET Cascode	900 V	Packaging TO-220, TO-247

Tableau 4 : Fabricants de transistors en GaN et caractéristiques plus importants

Il est important de remarquer que les transistors de Nexgen ne sont pas de vrais HEMT, même si la publicité peut induire en erreur. Il s'agit de transistors verticaux à effet de champs ou VJFET [43]. Dans ce type de transistor, le courant circule verticalement dans le transistor, et non pas dans un gaz bidimensionnel d'électrons (voir Figure 31).

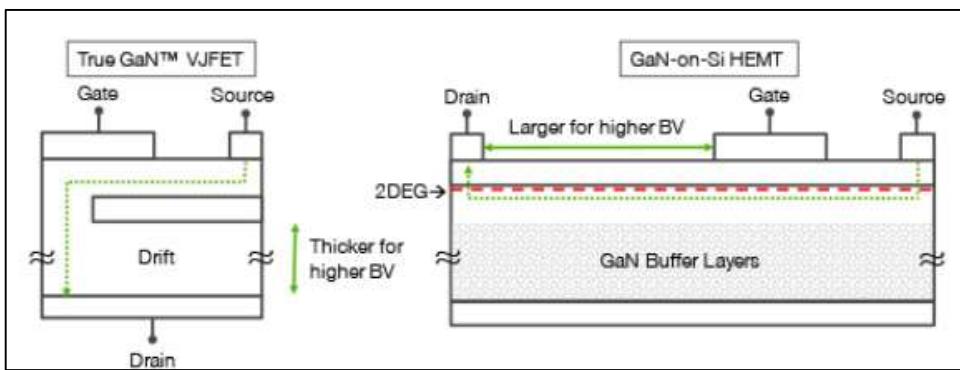


Figure 31 : Comparaison de la structure du VJFET en GaN de NexGeN et d'un HEMT en GaN

Dans une telle structure la mobilité des électrons est celle intrinsèque au GaN, bien inférieure à celle dans un HEMT (voir le tableau 1). Avec cette structure la tenue en tension est plus élevée (1500 V), en revanche, la résistance à l'état passant est plus élevée et la fréquence de commutation est plus faible que ce que nous offre la structure HEMT.

1.7. MECANISMES DE DÉFAILLANCE IDENTIFIÉS

Dans cette section nous allons décrire les mécanismes de défaillance des HEMT. La Figure 32 montre la localisation des mécanismes de défaillance dans la structure HEMT en GaN.

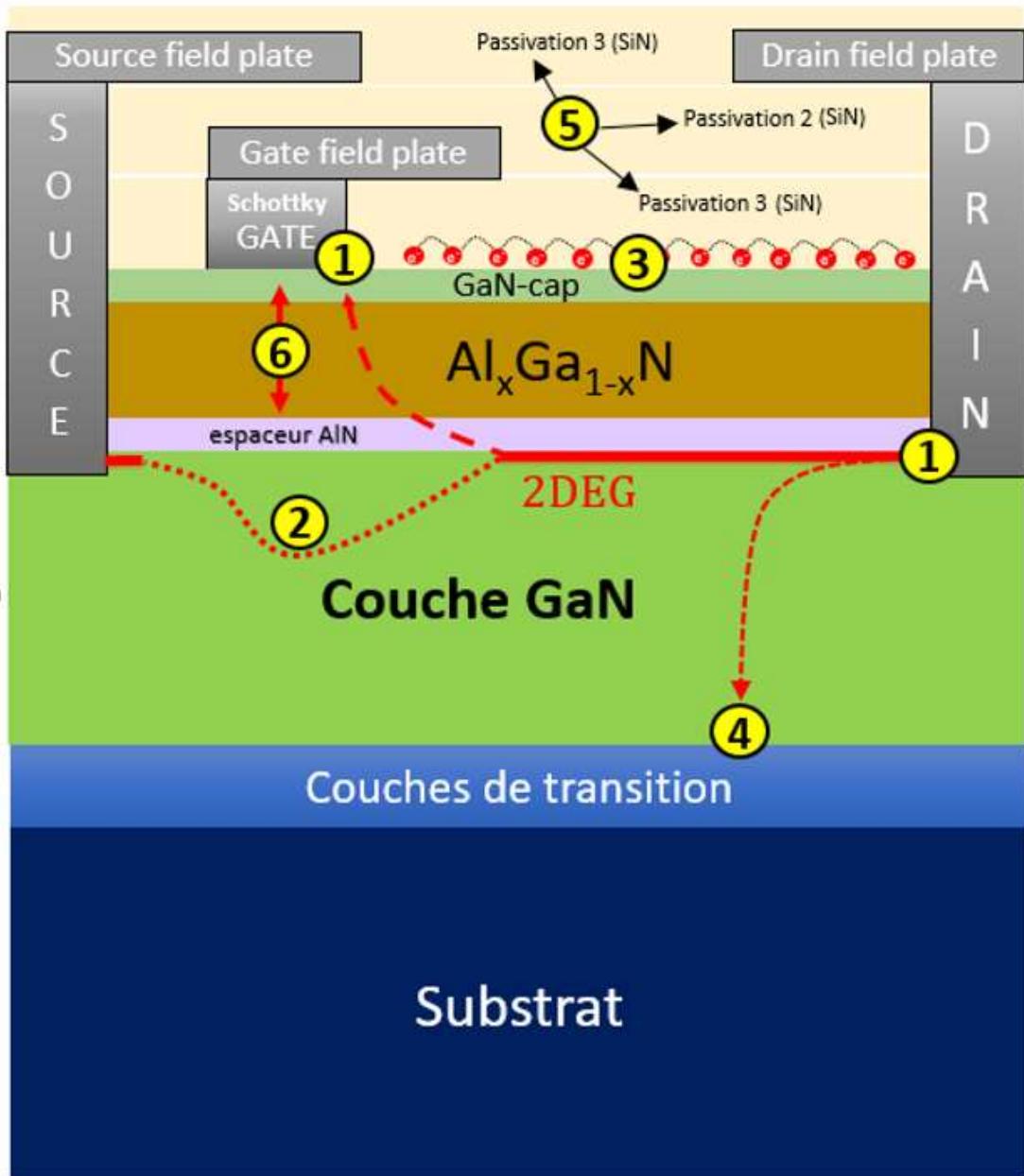


Figure 32 : Localisation des différents mécanismes de défaillance dans un transistor GaN. (1) Ionisation par impact ; (2) Punch-through ; (3) Surface hopping ; (4) Fuite verticale ; (5) TDDB ; (6) Effet piézoélectrique inverse

1.7.1. Ionisation par impact

Il s'agit d'un phénomène physique qui consiste à ioniser un atome (faire varier sa charge électrique) par l'impact de particules chargées. Dans les semi-conducteurs, un électron qui a acquis suffisamment d'énergie cinétique peut impacter un atome, transférer son énergie à un électron (qui était lié à l'atome) et en faire un électron libre, créant ainsi une paire électron-trou.

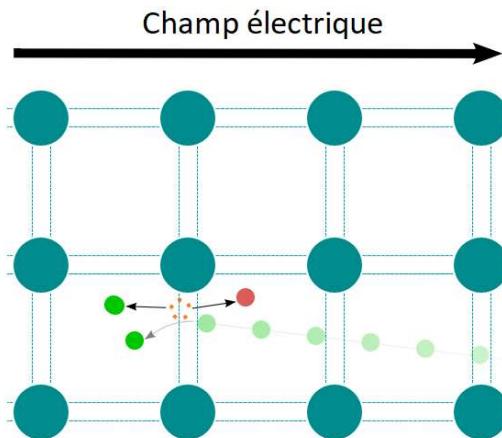


Figure 33 : Exemple d'un électron qui génère une paire électron-trous dans un semi-conducteur

La condition indispensable pour arriver à ioniser un atome lors d'un impact est la supériorité de l'énergie cinétique de l'électron au moment de l'impact par rapport à l'énergie de liaison dans l'atome. La valeur seuil dépend principalement du schéma de bande, mais aussi de l'orientation cristalline du semi-conducteur et de la fraction molaire dans les matériaux composés (taux l'aluminium dans la couche $\text{Al}_x\text{Ga}_{1-x}\text{N}$). Cette énergie dépend, donc, de la largeur de la bande interdite du matériau. Ainsi, plus le gap d'un matériau est important, plus le champ électrique pourra être élevé sans que l'ionisation par impact n'intervienne. Par cet aspect, le GaN est plus intéressant que le silicium, car il est plus difficile à ioniser.

Pour accélérer un électron il faut un champ électrique intense et un libre parcours moyen élevé. Le libre parcours moyen est la distance moyenne d'accélération de l'électron : si l'électron accélère suffisamment il va atteindre des vitesses plus élevées et il aura assez d'énergie pour ioniser des atomes. Par contre, si l'électron collisionne avant d'avoir assez de vitesse, l'énergie sera perdue sous forme de chaleur et l'ionisation par impact n'aura pas lieu.

La Figure 32.1 montre que ce phénomène est localisé à la grille (côté drain) et au drain (côté du gaz bidimensionnel). Par effet de pointe, le champ électrique est plus intense aux angles des électrodes. Plus particulièrement du côté du gaz bidimensionnel car à cet endroit les électrons peuvent atteindre des vitesses plus importantes.

L'ionisation par impact peut déclencher la dégradation du contact de grille et ainsi modifier les paramètres électriques du transistor, comme par exemple son courant de saturation. Par ailleurs, l'ionisation par impact peut provoquer aussi des changements de liaisons chimiques et de la structure du réseau cristallin aux alentours de la grille [44]. Cela peut provoquer une modification de la répartition du champ électrique du côté de la grille, et générer des pics d'intensité du champ électrique accélérant la dégradation.

Un cas extrême de l'ionisation par impact est l'effet d'avalanche. Cet effet peut amener à la destruction du composant. Il intervient quand les électrons libérés lors d'ionisations par impact ont suffisamment d'énergie eux-mêmes pour impacter et ioniser d'autres atomes, libérant de nouveaux électrons. Le nombre d'électrons augmente exponentiellement, d'où le nom effet d'avalanche.

La génération d'électrons chauds (énergétiques) décroît avec l'augmentation de la température [45].

1.7.2. TDDB (Time-Dependent Dielectric Breakdown)

Le TDDB est un mécanisme de défaillance qui consiste en la dégradation des couches isolantes pour des expositions à des champs électriques relativement faibles (par rapport à la tension de claquage), mais qui durent dans le temps. Dans les transistors HEMT, ce phénomène peut arriver dans les couches de passivation entre les électrodes (voir Figure 32.5).

Pour éviter ce phénomène, la qualité des couches de passivation[46] est fondamentale, ainsi que la maîtrise du design du composant, la distance entre électrodes ou les *field-plates* pour redistribuer les lignes de champ électrique, etc.

1.7.3. Effet piézoélectrique inverse

L'effet piézoélectrique est un phénomène physique réversible : une contrainte mécanique cause une polarisation électrique et une polarisation électrique cause également une contrainte mécanique. Il est localisé dans la couche barrière, à proximité de la grille (voir Figure 32.6).

Lorsqu'on polarise la grille, par effet piézoélectrique elle est soumise à des contraintes mécaniques (voir Figure 34). Ces contraintes mécaniques peuvent amener à la dégradation de la grille.



Figure 34 : Schéma de l'effet piézoélectrique inverse

L'effet piézoélectrique inverse est un mécanisme de défaillance activé uniquement par la présence d'un champ électrique sur la grille [47]. Ce mécanisme peut générer des défauts dans lesquels les électrons peuvent être piégés. Les pièges à électrons sont responsables de la dégradation de la conductivité et de l'augmentation du courant de fuite de grille [48].

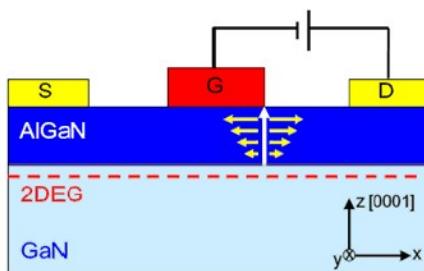


Figure 35 : HEMT en GaN soumis à un stress mécanique induit par le champ électrique [49]

Les effets de ce mécanisme de défaillance sont visibles au niveau de la grille des transistors (voir Figure 36).

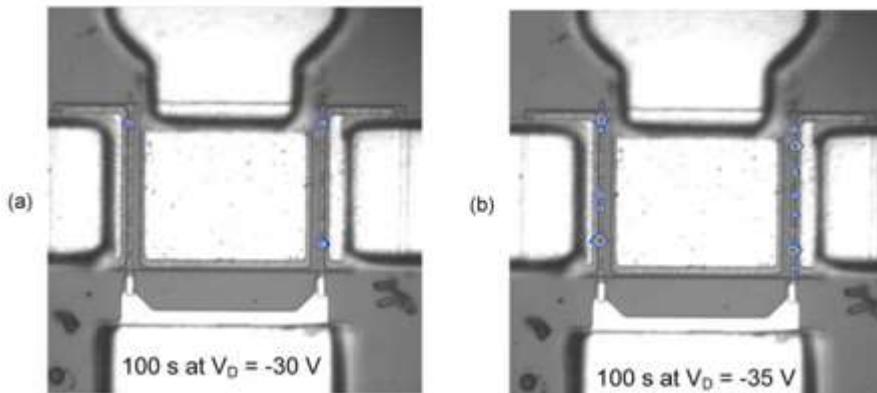


Figure 36 : Grille d'une HEMT en GaN. Les défauts sont sources d'électroluminescence [50]

Après avoir soumis la grille des transistors à des champs électriques intenses, on observe la formation de cracks et de cavités qui peuvent arriver à la dizaine de nanomètres, dans la couche $\text{Al}_x\text{Ga}_{1-x}\text{N}$, et pour quelques cas dans l'hétérojonction et dans la couche GaN. La dégradation induite par l'effet piézoélectrique inverse est accélérée par la température [30].

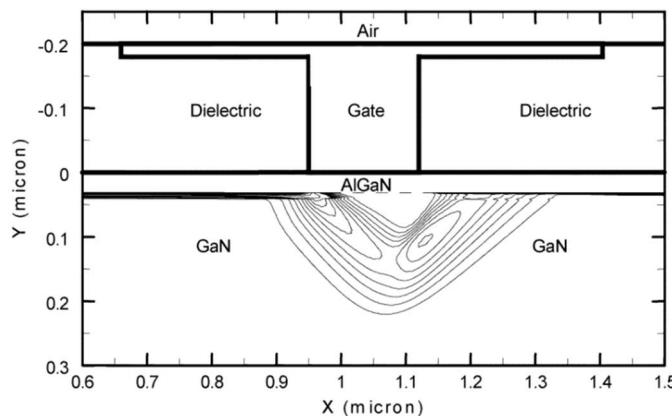
Comme conséquence de cette dégradation, des chemins (*paths*) dans la couche $\text{Al}_x\text{Ga}_{1-x}\text{N}$ sont générés. Des électrons chauds peuvent être injectés dans cette couche, et ensuite décélérer quand ils arrivent dans le canal. L'énergie

cinétique perdue par les électrons chauds est dégagée sous forme de photons, normalement dans l'infrarouge. Pour cette raison, analyser l'émission de lumière (visible et infrarouge) émise lorsque l'on stresse un composant est une bonne méthode pour étudier ce mécanisme de défaillance.

La susceptibilité des transistors à ce mécanisme de défaillance dépend de plusieurs paramètres. Tous les facteurs qui peuvent contribuer à générer un champ électrique intense au niveau de la grille (épaisseur de la couche $\text{Al}_x\text{Ga}_{1-x}\text{N}$, géométrie de la grille, tension de commande, les *field-plates*, ou les défauts dans le réseau cristallin) doivent être pris en compte.

1.7.4. Punchthrough

Le *punchthrough* est un phénomène qui a été observé dans les HEMT radio fréquence (*normally-on*), qui n'a pas été remarqué dans les HEMT de puissance. Néanmoins, il mérite d'être connu. Il se produit quand la tension de grille V_{GS} n'est pas suffisamment basse pour que la déplétion au canal soit créée correctement sous la grille et la couche GaN n'est pas suffisamment isolante. Ce mécanisme de défaillance consiste en la création d'un chemin de conduction (*path*) entre la source et le drain dans la couche GaN (voir Figure 32.2).



Dans la Figure 37 on observe la distribution de la densité de courant dans un transistor au moment du blocage. Les électrons ne sont pas correctement confinés, circulent dans la couche GaN formant un chemin de conduction qui connecte le drain et la source.

Ce n'est pas un mécanisme qui mène à la défaillance immédiate du composant, mais qui peut initier des processus de dégradation dans le temps.

Pour éviter ce mécanisme de défaillance plusieurs solutions ont été proposées, comme par exemple d'ajouter de couches d' $\text{Al}_x\text{Ga}_{1-x}\text{N}$ sous le buffer GaN pour un meilleur confinement des électrons dans le gaz bidimensionnel.

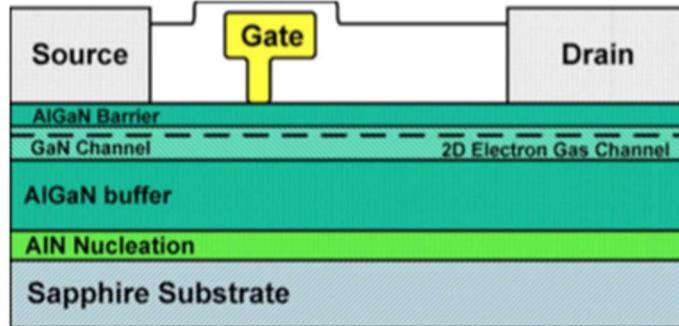


Figure 38 : HEMT à double hétérostructure pour un meilleur confinement des électrons dans le 2DEG [52]

La Figure 38 montre un transistor à double hétérostructure. Dans cette structure, le buffer AlGaN, avec une largeur de bande interdite plus grande que celle du GaN, sert à confiner les électrons dans le gaz bidimensionnel et à éviter la création de chemins de conduction sous le canal.

1.7.5. Courant de fuite vertical

Le courant fuite vertical traverse verticalement la couche GaN (voir Figure 32.4, et arrive à l'hétérostructure formée par les couches de transition avec le substrat (Si) où les électrons peuvent former un autre gaz bidimensionnel [53]. Ces derniers restent confinés dans l'hétérostructure AlN/Si (voir Figure 39).

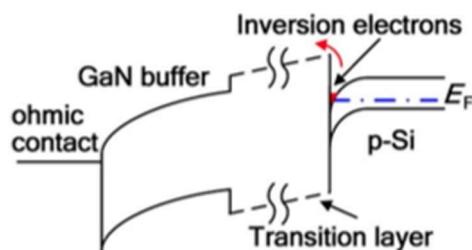


Figure 39 : Gaz bidimensionnel d'électrons généré entre les couches de transition et le substrat en silicium [53]

Pour limiter cet effet, plusieurs modifications de la structure du transistor ont été proposées. Par exemple, en enlevant le substrat en silicium on élimine le gaz bidimensionnel entre les couches de transition et le silicium [54]. En fait cette solution est équivalente à utiliser un substrat massif en GaN. Même si c'est une solution qui donne de bons résultats, les substrats en GaN ne sont pas encore faisables à cause de leur prix.

D'autres recherches proposent de doper la couche GaN avec du carbone pour la rendre plus isolante [55] (voir Figure 40).

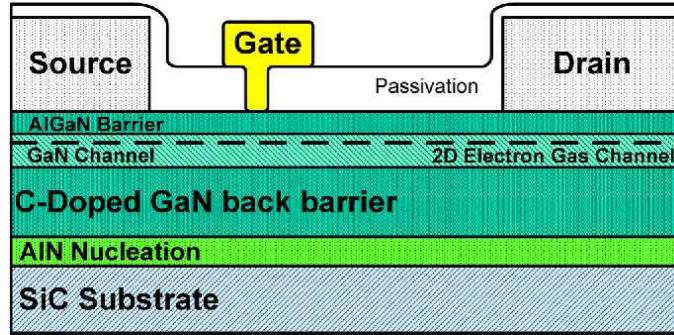


Figure 40 : Structure d'un HEMT en GaN avec la couche GaN dopée C [55]

Une autre possibilité est d'augmenter l'épaisseur du buffer GaN. En effet, en augmentant l'épaisseur du buffer en GaN on réduit le courant de fuite vertical.

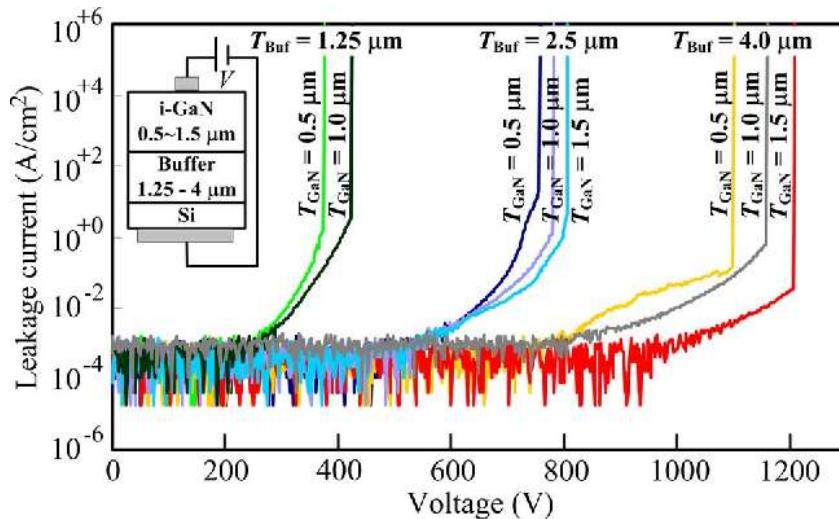


Figure 41 : Courant de fuite vertical pour différentes épaisseurs du buffer en GaN [56]

La Figure 41 montre le courant de fuite vertical en fonction de la tension pour différentes épaisseurs du buffer en GaN et de la couche isolante i-GaN.

1.7.6. Modes de défaillance liés aux effets de piégeage

Jusque-là, nous avons évoqué les mécanismes de défaillance. La différence entre un mode de défaillance et un mécanisme de défaillance est très importante : un mécanisme de défaillance est le mécanisme physique qui cause la dégradation ; par contre un mode de défaillance est la façon d'observer ou de mesurer cette dégradation, c'est-à-dire la signature électrique qui permet d'identifier une dégradation. Dans ce paragraphe nous allons présenter les modes de défaillance qui sont causés par les pièges.

Lorsque le réseau cristallin d'un semi-conducteur n'est pas parfait, il présente des niveaux d'énergie qui agissent comme des « pièges » en capturant des porteurs de charge. Les pièges peuvent se trouver aussi à l'interface entre différents matériaux, dans ce cas on les appelle états de surface. Les pièges jouent un rôle très important dans les HEMT de puissance en GaN en impactant le courant de fuite de grille I_G et Rdson Dynamique.

1.7.6.1. Courant de fuite de grille assisté par pièges

Le courant de fuite de grille assisté par pièges permet aux électrons de traverser le *stack* de grille verticalement (tampon pGaN et couche AlGaN) jusqu'au gaz bidimensionnel. Le courant de fuite dépend de la différence de potentiel entre le gaz bidimensionnel et la grille, des caractéristiques du *stack* de grille, de la présence du cap de GaN mentionné dans le point 1.4.1.6 de ce chapitre, des pièges présents au niveau du stack de grille et de la température.

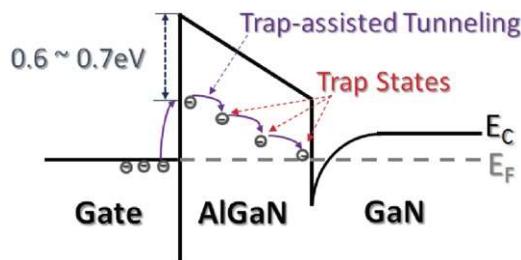


Figure 42 : Courant de fuite assisté par pièges [57]

Il est important de faire la différence entre le courant de fuite de grille assisté par pièges (vertical), et le courant de surface horizontal (*surface hopping*) décrit ci-dessous. Le courant de fuite vertical est indépendant de la distance grille-drain, tandis que le courant horizontal *surface hopping* dépend de la distance grille-drain [43].

1.7.6.2. Surface hopping

Le phénomène *surface hopping* est un déplacement de charges à travers des états de surface présents à l'interface qui génère un courant de fuite entre la grille et le drain (voir Figure 43) sans passer par le gaz bidimensionnel.

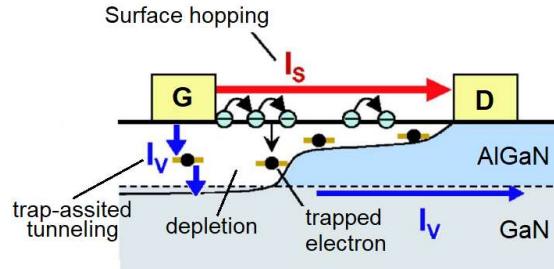


Figure 43 : Courant de fuite vertical (I_V) et surface hopping (I_S) [58]

La Figure 44 montre que le courant de surface augmente lors de la diminution de la distance grille-drain (L_{GG}), en faisant penser à un effet purement résistif.

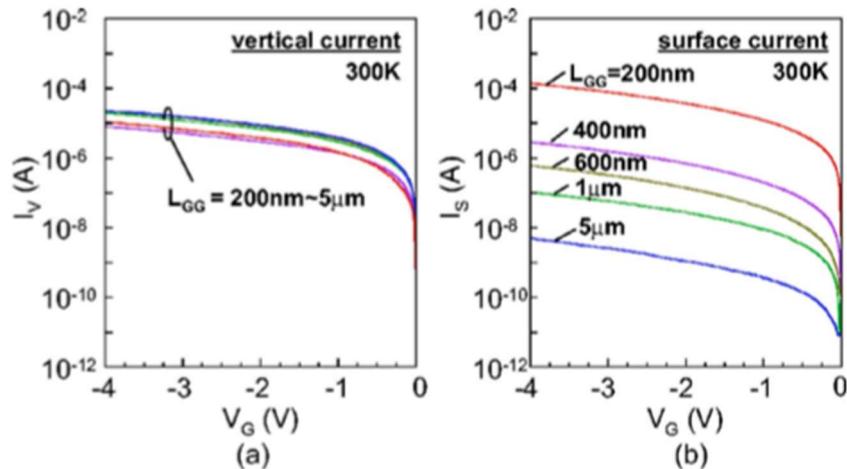


Figure 44 : Courant de fuite vertical (a) et horizontale (b) pour différentes distances entre électrodes [58]

Néanmoins, dans la Figure 45 on observe que pour des distances grille-drain inférieures à 1 micromètre, les valeurs du courant n'obéissent pas à une loi résistive (courbe bleue en pointillé).

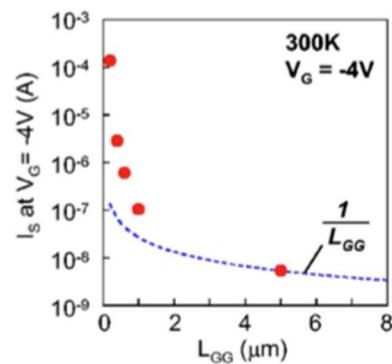


Figure 45 : Courant de fuite horizontale pour différentes longueurs grille-drain [58]

La Figure 46 montre que le courant de surface dépend fortement de la température en suivant la loi exponentielle. Cela indique que la conduction de

charges à travers la surface obéit à une loi non résistive mettant en évidence le rôle des pièges. Ces pièges sont engendrés par la rupture de la périodicité du réseau cristallin entre deux couches créant des états de surface, c'est-à-dire des niveaux d'énergie où les charges électriques peuvent être piégées.

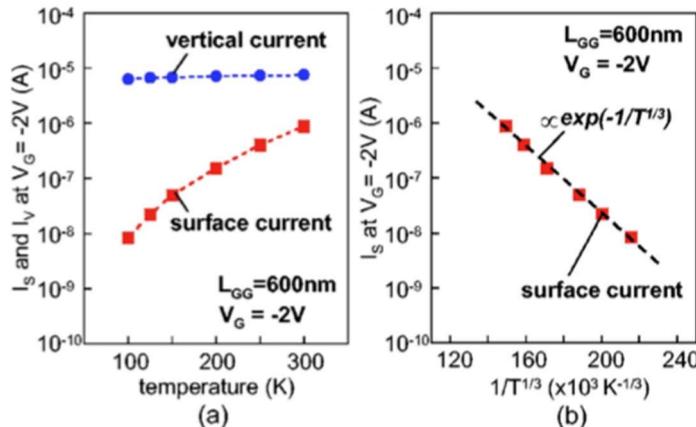


Figure 46 :Courant de fuite en fonction de la température [58]

1.7.6.3. $R_{DS\text{ON}}$ dynamique

Ce phénomène appelé aussi *current collapse* est un effondrement du courant de drain observé dans les transistors GaN à hautes fréquences. Le terme *current collapse* est souvent associé aux HEMT en GaN radio fréquence (*normally-on*) [59], tandis que pour les transistors de puissance *normally-off* on utilise le terme $R_{DS\text{ON}}$ dynamique [60] [61].

L'effondrement du courant (*current collapse*) de drain ou $R_{DS\text{ON}}$ Dynamique, qui est observé après la commutation de l'état bloqué à l'état passant, est associé à la présence de pièges à électrons [62]. Ceux-ci affectent la densité d'électrons dans le canal du transistor et provoquent une augmentation transitoire de la résistance $R_{DS\text{ON}}$ lors de la commutation à l'état passant. Les électrons peuvent être piégés dans les impuretés des couches : GaN, $\text{Al}_x\text{Ga}_{1-x}\text{N}$, passivation SiN, dans des états de surface ou dans des dislocations produites par le désaccord de maille du réseau cristallin.

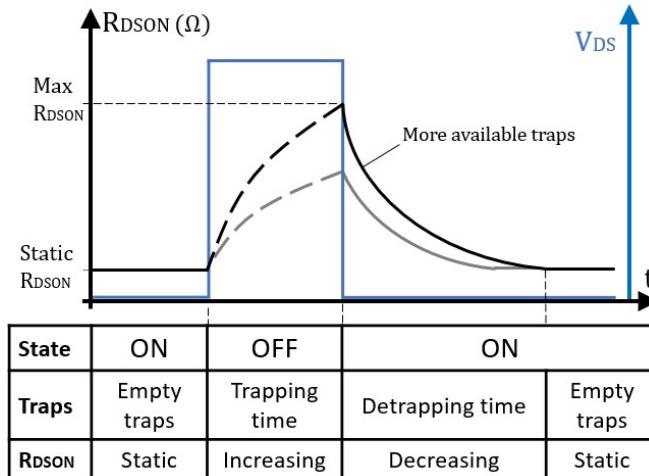


Figure 47 : Allure de V_{DS} et de R_{DSON} lors d'un cycle de commutation en lien avec le phénomène de piégeage.

Pour recouvrir la valeur nominale de R_{DSON} à l'état passant sous polarisation V_{GS} donnée, les électrons piégés doivent être libérés (voir Figure 47).

Remarque : la courbe en pointillé durant la période OFF ne représente évidemment pas R_{DSON} . Elle nous montre l'augmentation de R_{DSON} au moment de la commutation OFF/ON en fonction du temps à l'état OFF.

De plus, un champ électrique élevé pendant l'état OFF (V_{DS} élevé) maintenu longtemps, augmente la valeur de la résistance à l'état passant après la commutation OFF/ON [63], car plus d'électrons peuvent être piégés (ils ont plus de temps et plus énergie pour être piégés). Les électrons piégés se trouvent davantage à proximité des électrodes de drain et de grille, où le champ électrique est plus élevé à cause de l'effet de pointe. Lorsque la durée à l'état OFF est suffisamment longue pour remplir tous les pièges disponibles, R_{DSON} n'augmentera plus, la résistance dynamique arrive à saturation.

Dans les transistors HEMT en GaN pour l'électronique de puissance, ce phénomène peut faire augmenter les pertes par conduction, dégradant ainsi l'efficacité des HEMT en GaN.

1.8. METHODES CLASSIQUES DE CARACTERISATION

Les méthodes utilisées aujourd'hui pour caractériser les transistors permettent d'extraire les principaux paramètres électriques que l'on peut trouver dans les *datasheet* des composants en nitride de gallium.

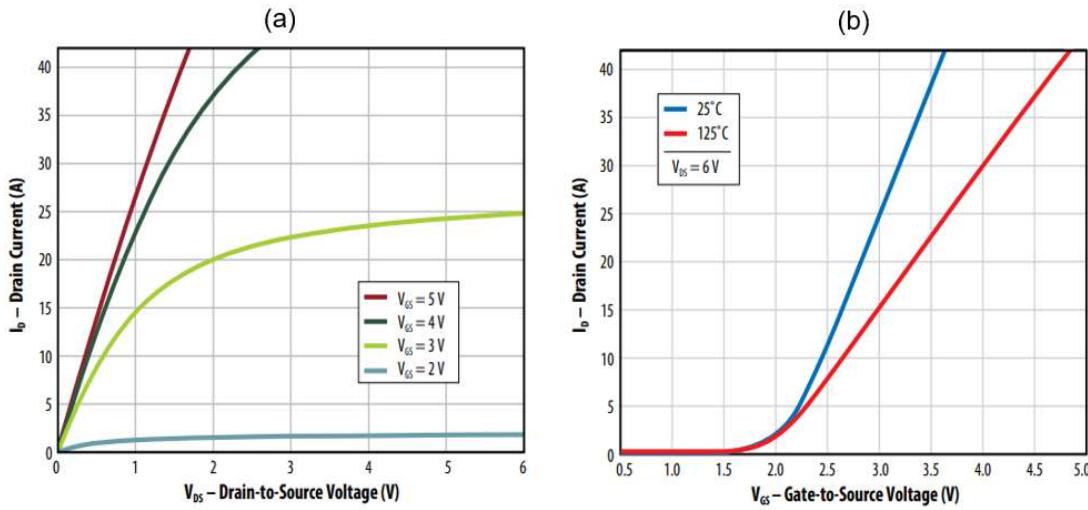


Figure 48 : (a) Caractéristique $I_D(V_{DS})$ et (b) $I_D(V_{GS})$ d'un HEMT en GaN

La courbe $I_D(V)$ qu'on peut voir dans la Figure 48 est un bon exemple. Cette caractéristique $I_D(V)$ contient beaucoup d'informations : tension de drain, courant de drain pour différentes polarisations de grille, et nous pouvons extraire également la valeur de la résistance $R_{DS(on)}$ comme la pente d'une caractéristique $I_D(V_{DS})$ à V_{GS} et I_D donnés (généralement proches des conditions nominales d'utilisation).

D'autres méthodes de caractérisation comme la courbe $I_G(V_{GS})$ permet de mesurer le courant de fuite de grille. La courbe $I_D(V_{GS})$ permet de relever la tension de seuil V_{TH} (le plus souvent définie par les fabricants par la valeur de V_{GS} pour un courant I_D donné à $V_{GD}=0$). En plus, toutes ces courbes peuvent être extraites à différentes températures pour voir la dépendance des caractéristiques électriques de la température.

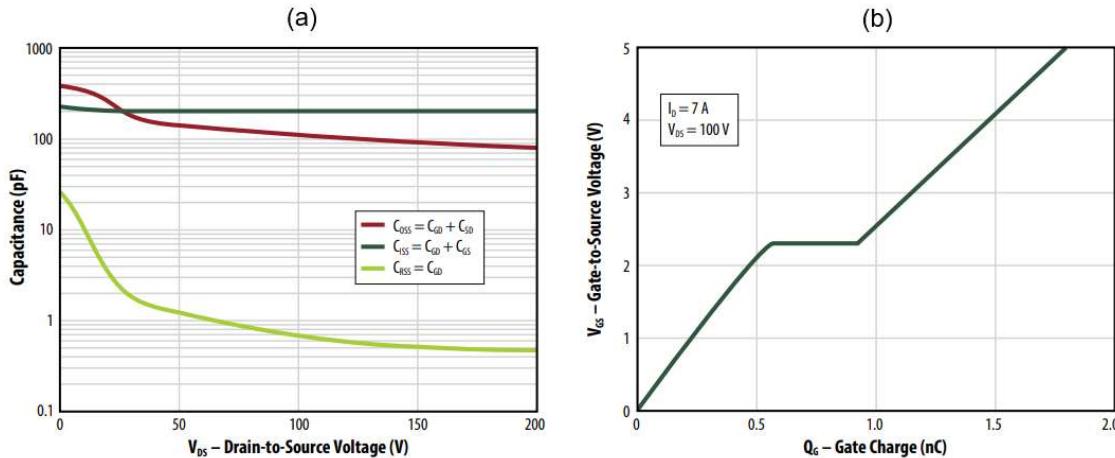


Figure 49 : (a) Capacités C_{GSS} , C_{ISS} et C_{RSS} en fonction de V_{DS} et (b) charge de grille d'un HEMT en GaN

Nous pouvons également obtenir beaucoup d'informations sur la commutation des transistors avec la mesure des capacités parasites, ou le profil de charge de la grille.

Toutes ces méthodes sont très utilisées, et permettent d'étudier les performances des transistors classiques (MOSFET, IGBT en silicium). Par contre, ces méthodes ne sont pas prévues pour prendre en compte les effets de piégeage ni les spécificités de la grille p-GaN, car ceci n'était pas un problème dans les transistors en silicium. Donc pour étudier les performances des HEMT en GaN il est nécessaire de compléter ces méthodes classiques avec d'autres techniques de caractérisation [64] [65].

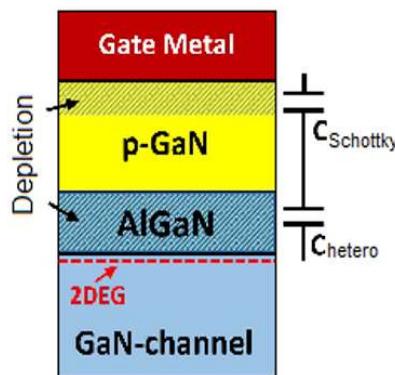


Figure 50 : (a) Modèle équivalent de la capacité de grille dans un HEMT en GaN normally-off avec la structure p-GaN [66]

La grille p-GaN mérite une étude plus approfondie, car elle introduit un empilement de couches de différents matériaux (métal/pGaN/AlGaN/GaN) qui détermine l'allure de la capacité en fonction de V_{GS} et le comportement dynamique des charges à proximité du canal. Certains travaux (voir Figure 50, [66]) proposent des méthodes et des modèles pour étudier cette structure qui seront développés par la suite.

Les effets de piégeage jouent un rôle important dans les performances des transistors. Ces effets dépendent de beaucoup de variables : structure du transistor, température, conditions de commutation (*hard-switching, soft-switching*), tension V_{DS} , temps à l'état off du transistor...) Il faut donc trouver de nouvelles méthodes qui nous permettent de caractériser les pièges des HEMT en GaN sous différentes conditions.

Avec une telle méthode on pourrait accéder à :

- La comparaison entre différents composants issus de différents fabricants
- L'étude des liens qui existent entre les pièges et la dérive des performances des transistors
- La génération de nouveaux pièges avec le vieillissement

- L'identification des stress électriques qui font apparaître davantage des nouveaux pièges.

Ceci nous permettra de prendre en compte toute cette information pour le design des systèmes de conversion d'énergie afin de faire travailler les HEMT en GaN dans un environnement optimal et ainsi prolonger la durée de vie utile des composants sans la moindre dérive de ses performances.

1.9. CONCLUSION

Ce chapitre avait comme objectif de faire un état des lieux actuel des HEMT de puissance en GaN.

Après un bref historique du développement et de l'utilisation des composants GaN, nous avons décrit les principes physiques de fonctionnement des HEMT en GaN. Nous avons exposé ensuite la structure des HEMT en GaN, avec les différentes couches, leur rôle et leur composition. Nous avons présenté les différentes structures qui permettent de réaliser des composants *normally-off*, fonctionnalité indispensable pour l'électronique de puissance, avec les technologies cascode ou à enrichissement (*enhancement-mode*).

Ensuite, nous avons passé en revue les différents fabricants de transistors de puissance en GaN de la dernière décennie, avec les particularités de chaque société concernant le packaging, la gestion thermique, la tenue en tension, le calibre en courant, etc.

Puis, nous avons décrit des mécanismes de défaillance dans la structure des HEMT en GaN. Nous avons vu que certains mécanismes de défaillance sont liés aux effets de piégeage. Ces effets jouent un rôle important dans les HEMT de puissance en GaN, impactant particulièrement le courant de fuite de grille et la résistance à l'état passant lors de la commutation OFF/ON (R_{DSON} dynamique).

Finalement, nous avons vu qu'il y a certains mécanismes physiques dans les transistors en GaN qui sont responsables de la dérive des performances que nous ne pouvons pas bien relever avec les méthodes classiques de caractérisation, que nous avons préalablement exposées. Effectivement, les effets de piégeage peuvent provoquer une dérive des performances et il n'existe pas de méthodes précises pour les identifier. Dans le chapitre suivant, nous allons voir les méthodes que nous avons mises en place pour répondre à ces besoins. Ces méthodes serviront à quantifier les pièges, et dans la suite nous étudierons la corrélation entre les effets de piégeage et d'autres signatures électriques de dégradation.

2.

**METHODES DE
CARACTERISATION DES EFFETS
DE PIEGEAGE**

2.1. INTRODUCTION

Dans ce chapitre nous allons présenter les méthodes que nous avons mises en place pour caractériser les mécanismes de défaillance liés aux effets de piégeage. Ces méthodes ne sont pas utilisées à ce jour pour caractériser des transistors de puissance en GaN. Cependant ce sont des méthodes utilisées pour étudier la qualité des matériaux semi-conducteurs. Nous allons étudier les méthodes existantes à ce jour, les modifier pour pouvoir réaliser des mesures sur les transistors de puissance en GaN. Nous devons également adapter nos échantillons afin de pouvoir réaliser la mesure, car chaque méthode a des besoins spécifiques (mesure sous pointes, mesures à température contrôlée, besoins de polarisation dans une enceinte, passage de câbles, etc.) Nous allons chercher une méthode qui nous permette de réaliser des mesures fiables et répétables, et en même temps des procédures rapides et faciles à mettre en place.

En plus, cette méthode doit nous servir également à suivre l'évolution des pièges avec le vieillissement. C'est pour cela, qu'il ne faut pas utiliser des mesures destructives ou qui dégradent l'échantillon. La puce doit rester fonctionnelle pour la faire vieillir sur un banc de cyclage (que nous allons décrire dans le chapitre 3) et faire plusieurs mesures afin d'observer la variation des pièges en fonction du vieillissement.

Les pièges que nous voulons relever ont une constante de temps de piégeage/dépiégeage qui peut varier de l'ordre de la microseconde jusqu'à plusieurs heures. En plus, ces constantes de temps varient en fonction de la température. A cause de la nature multi-dépendante des pièges, nous allons être très vigilants à bien maîtriser la température et à prendre en compte la constante de temps pour pouvoir suivre l'évolution des pièges avec le vieillissement. En effet, il est important de noter que les méthodes utilisées doivent être répétables. Pour cela, nous allons établir une méthodologie et la suivre scrupuleusement.

2.2. PREMIERE METHODE : DLTS

La spectroscopie transitoire de niveaux profonds (ou DLTS, de l'anglais *Deep-Level Transient Spectroscopy*) est une méthode expérimentale permettant d'étudier les défauts électriquement actifs (appelés pièges à porteurs de charge) dans les semi-conducteurs. La spectroscopie transitoire de niveaux profonds mesure la concentration des pièges dans un matériau semi-conducteur. Certains paramètres sont considérés comme des signatures électriques utilisées pour leurs identifications et leurs analyses.

La C-DLTS (de l'anglais *Capacitance-DLTS*) examine les défauts présents dans une région de charge d'espace d'un dispositif électronique. Les plus couramment utilisées sont les jonctions Schottky ou les jonctions p-n. Dans cette méthode de mesure, la tension de polarisation inverse de la diode en régime permanent est perturbée par une impulsion de tension. Cette impulsion fait varier la zone de charge d'espace et perturbe les porteurs libres dans le semi-conducteur piégés dans les défauts du réseau cristallin. Après l'impulsion, lorsque la tension revient à sa valeur d'équilibre, les électrons commencent à être libérés. La technique observe la variation de la capacité de la zone de charge d'espace, où la récupération de l'état de charge en régime permanent provoque une variation transitoire de la zone de charge d'espace, comme montré dans la Figure 51. Finalement, les impulsions de tension suivies par la récupération de l'état de charge par défaut sont mesurées, ce qui permet avec l'application de différentes méthodes de traitement du signal, l'analyse du processus de charge et décharge des pièges.

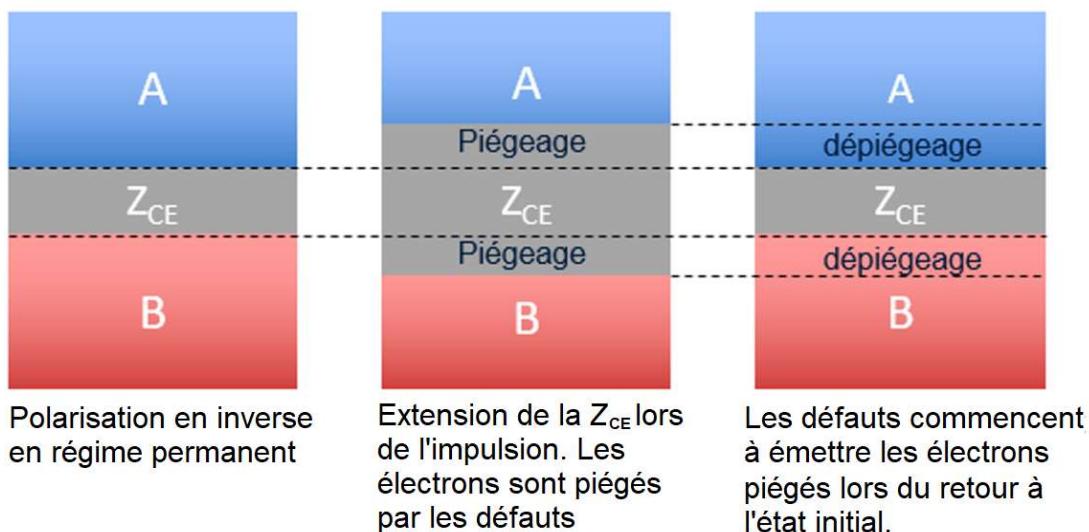


Figure 51 : Schéma de la variation de Z_{CE} et du piégeage/dépiégeage d'électrons.

La technique DLTS a une sensibilité plus élevée que presque toutes les autres techniques de diagnostic à semi-conducteurs. Par exemple, dans le silicium, il peut détecter des impuretés et des défauts à une concentration d'une partie sur 10^{12} des atomes piégés dans le matériau [67]. Cette fonctionnalité la rend très populaire dans les laboratoires de recherche et les usines de production de matériaux semi-conducteurs.

2.2.1.1. Mise en place de la C-DLTS

Dans un premier temps, nous avons mis en place une mesure C-DLTS afin de réaliser des mesures au niveau de la grille des transistors GaN de puissance. Les transistors sont reportés sur des petites cartes PCB qui donnent accès aux électrodes du transistor avec des pistes des deux côtés : Drain, Grille et Source d'un côté (voir Figure 52) ; et de l'autre côté Source Sense, Drain Sense et le Substrat (voir Figure 53).

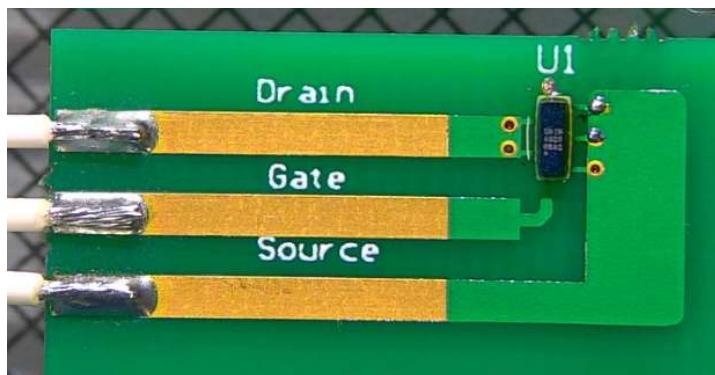


Figure 52 : Puce RÉFÉRENCE_1 soudée sur le PCB (côté puce)

La Figure 53 montre le fil de *bonding* qui connecte le substrat à la source, car ils ne sont pas connectés en interne.

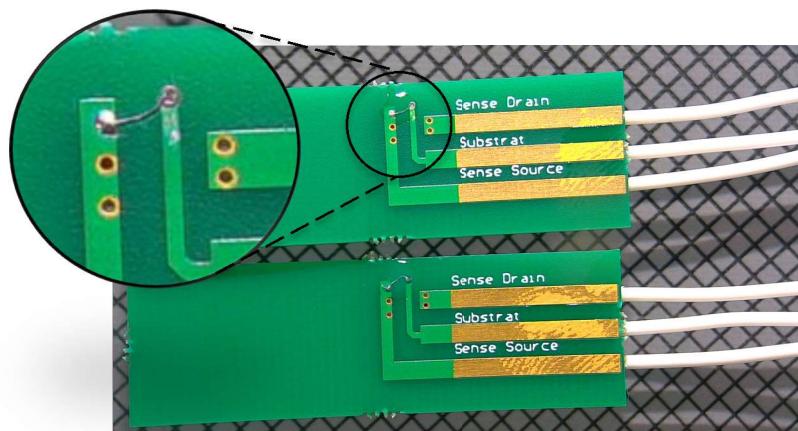


Figure 53 : Carte PCB avec la puce RÉFÉRENCE_1 (côté bonding)

Pour faire la mesure C-DLTS nous considérons le *stack* de grille montré dans la Figure 54. Le *stack* est formé d'un empilement de différents matériaux : d'une électrode grille, en métal ; du tampon pGaN qui sert à créer la déplétion au canal pour les transistors *normally-off*; et enfin, de la couche barrière en AlGaN. Nous avons choisi de réaliser cette mesure car la grille pGaN est l'un des éléments les plus fragiles des transistors de puissance en GaN. En effet, le stack de grille est l'un des éléments qui peut contenir le plus de défauts, à cause des états de surface à l'interface des différentes couches. En plus, dû à la présence de l'électrode de grille, des champs électriques très intenses se retrouvent surtout aux angles où ; par effet de pointe les lignes de champ se resserrent [68].

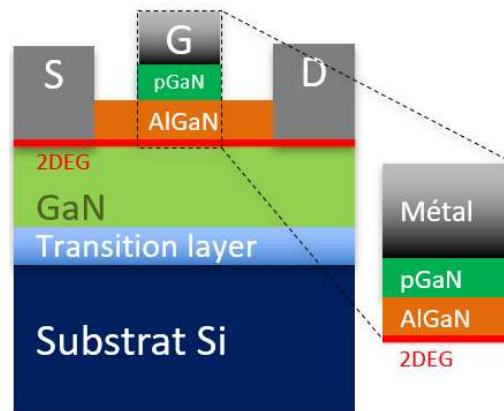


Figure 54 : Structure d'un HEMT de puissance en GaN et stack de grille

Pour réaliser la mesure C-DLTS nous avons utilisé le banc de PhysTech® FT1030 HERA-DLTS. Ce banc est utilisé pour mesurer les défauts des matériaux semi-conducteurs, normalement au niveau d'une jonction PN ou Schottky. Nous essayons de réaliser une mesure C-DLTS dans le *stack* de grille, une hétérojonction plus complexe (pGaN/AlGaN).

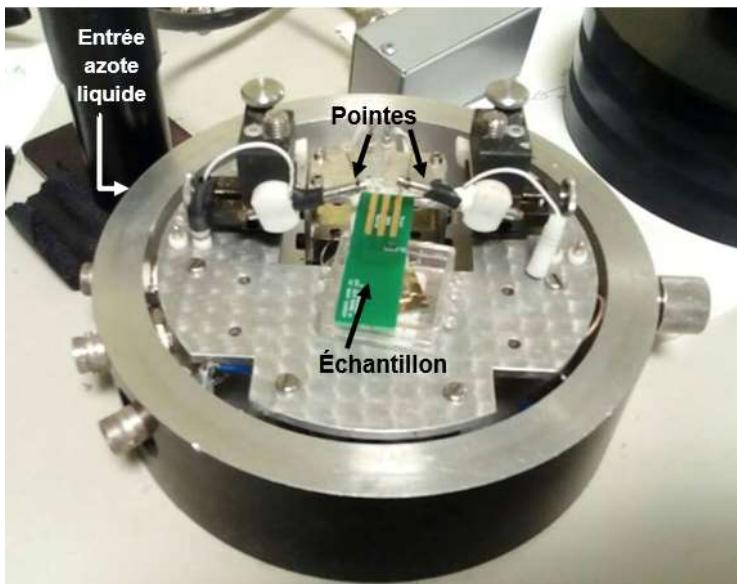


Figure 55 : Enceinte DLTS ouverte avec la connectique pour réaliser la mesure

Le transistor est positionné à l'intérieur de l'enceinte de régulation thermique refroidie avec un circuit d'azote liquide avant de réaliser la mesure (voir Figure 55 et Figure 56).



Figure 56 : Enceinte thermique fermée lors de la mesure C-DLTS

Compte tenu des spécifications du banc DLTS de PhysTech® [69] et du transistor EPC2019, nous avons choisi de polariser la grille en inverse à $V_{GS \text{ MAX}} = -4 \text{ V}$.

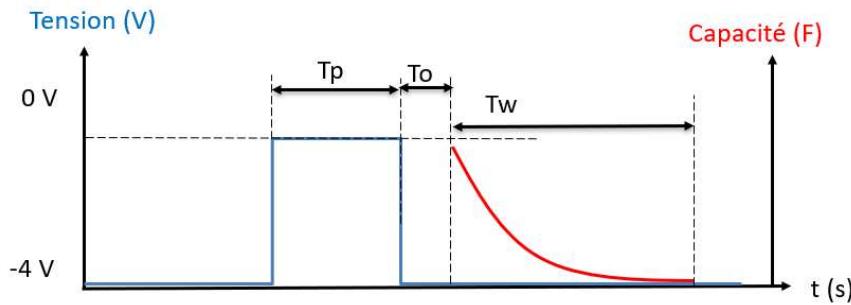


Figure 57 : Allure de la tension V_{GS} (en bleu) et variation de la capacité (en rouge) dans notre fenêtre de mesure T_w lors de l'utilisation du banc DLTS PhysTech®

Nous pouvons extraire des informations sur les pièges à partir de la courbe exponentielle pendant le temps T_w (voir schéma de la Figure 57 et la courbe de la Figure 58). L'écart entre la valeur initiale et finale de cette courbe dépend de la concentration de pièges, et la constante de temps mesurée en fonction de la température donne le niveau d'énergie des pièges dans la bande interdite et la section efficace de capture.

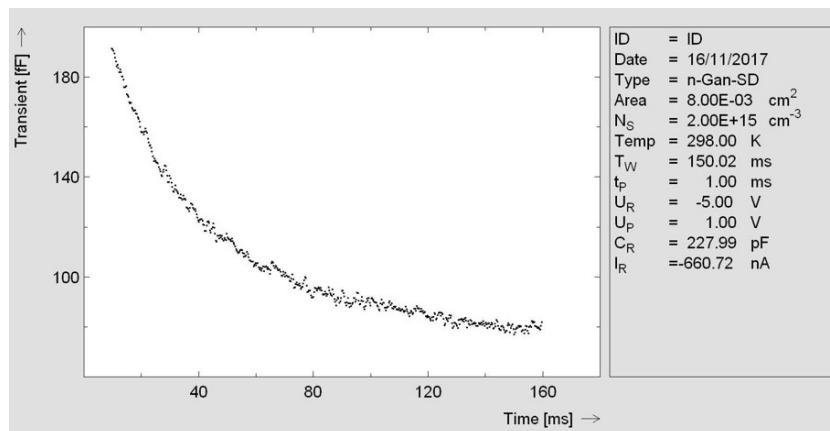


Figure 58 : Courbe expérimentale de la variation de la capacité du stack de grille pGaN

Nous avons obtenu plusieurs courbes à différentes températures. Les courbes exponentielles indiquent la présence de pièges. Néanmoins, il nous faudra avoir plus de renseignements pour pouvoir exploiter toute l'information sur les pièges que nous offre cette méthode. On doit connaître le taux de dopage p du tampon pGaN, le taux d'aluminium dans la couche AlGaN et idéalement on doit aussi connaître la géométrie du *stack* de grille. De plus, la DLTS est une méthode difficile à mettre en place si nous voulons faire plusieurs mesures afin d'observer la variation des pièges en fonction du vieillissement.

2.3. DEUXIEME METHODE : MESURE DE R_{DSON} DYNAMIQUE

Une fois constaté que les méthodes C-DLTS ne peuvent pas être appliquées à l'analyse des défauts dans les HEMT en GaN, nous avons réalisé une mesure qui nous permet de relever les effets de piégeage. Nous avons utilisé un banc de test développé et mis en place par David Trémouilles [70]. Cette méthode consiste à mesurer en même temps le courant de drain I_D et la tension de drain V_{DS} lors de la commutation OFF/ON du transistor. Le schéma électrique du banc est montré dans la Figure 59.

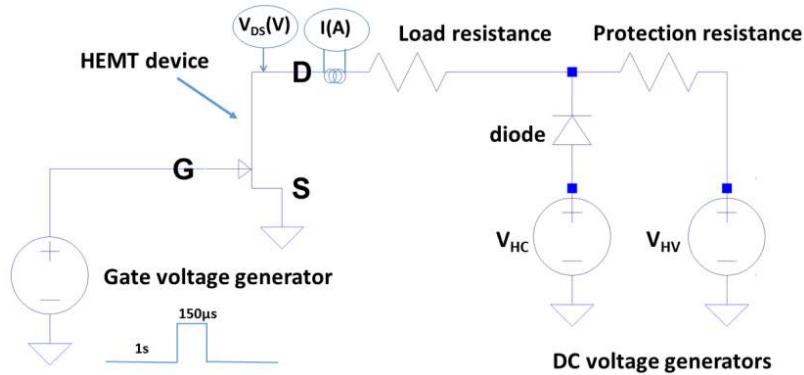


Figure 59 : Schéma du banc développé par D. Trémouilles [70]

Avec la mesure du courant de drain I_D et la tension de drain V_{DS} on peut calculer la résistance R_{DSON} Dynamique. La variation de la résistance lors de la commutation dépend des électrons piégés pendant l'état OFF, comme nous l'avons décrit dans le paragraphe 1.7.6.3.

Nous avons réalisé la mesure sous pointes comme montré dans la Figure 60.

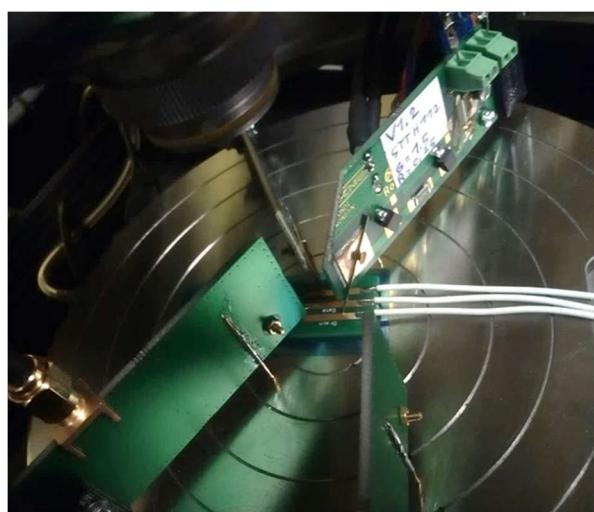


Figure 60 : Mesure sous pointes de R_{DSON} Dynamique

Nous avons obtenu la mesure du courant de drain I_D et la tension de drain V_{DS} par des canaux différents. En faisant la division de ses deux grandeurs on extrait la valeur de la résistance $R_{DS0N} + R_{SONDE}$ juste après la commutation (Figure 61). La résistance juste après la commutation OFF/ON commence à une certaine valeur et décroît. Dans cette mesure on constate qu'il y a beaucoup de dispersion entre les points. En effet, il est très complexe de réaliser des mesures propres en présence de fortes variations de courant et de tension de l'ordre de la microseconde.

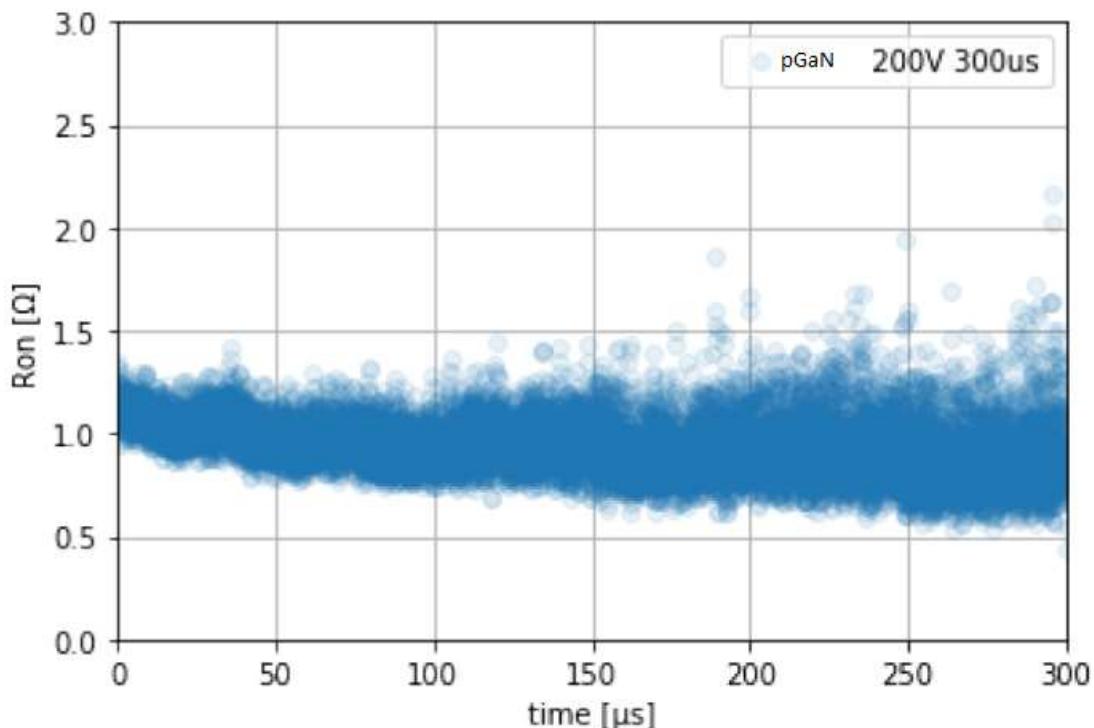


Figure 61 : Mesure de résistance à l'état passant juste après la commutation

Nous avons besoin d'un banc de test stable afin de pouvoir réaliser des mesures répétables pour suivre l'évolution de nos composants sous test.

2.4. MESURE C(V) ET SURFACE D'HYSERESIS

Pour étudier les effets de piégeage, nous avons mis en place la mesure de la courbe $C(V_{GS})$ pour observer le phénomène d'hystérésis comme décrit dans [71]. Cette méthode n'a jamais été utilisée pour des transistors HEMT de puissance *normally-off* en GaN.

La méthode consiste à réaliser un balayage de la tension de grille V_{GS} en allant de l'état passant (V_{GS} positif) à l'état bloqué (V_{GS} négatif) appelé « aller » ; et de l'état bloqué à l'état passant appelé « retour », le drain étant relié à la source ($V_{DS}=0$)

V), tout en mesurant l'évolution de la capacité C_{GS} . La Figure 62 montre la courbe $C(V)$ d'un HEMT de puissance en GaN. Les flèches sur chaque courbe indiquent la direction du balayage de tension de grille V_{GS} .

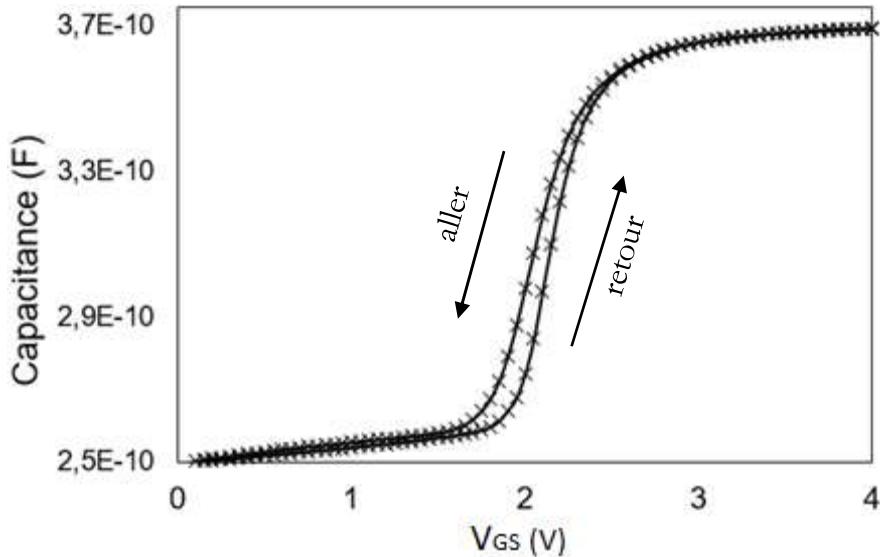


Figure 62 : Courbe $C(V)$ d'un transistor de puissance en GaN [72]

La capacité mesurée à l'état OFF est faible avec une légère pente positive en fonction de V_{GS} . Quand la polarisation de grille s'approche de V_{TH} , le transistor est en commutation (typiquement aux alentours de 2 V) on observe un saut de 100 pF de la capacité (voir Figure 62). Une fois arrivé à l'état ON, la capacité se stabilise aux alentours de 370 pF.

	État OFF	Commutation	État ON
Structure HEMT			
Capacités dans la structure			
Modèle équivalent de la mesure $C(V)$			

Tableau 5 : Structure du transistor et modèles électriques équivalents de la mesure à l'état ON, en commutation et à l'état OFF.

Dans le Tableau 5 on décrit la variation de la capacité mesurée avec $V_{DS}=0V$. À l'état OFF, on mesure la capacité C_1 (correspondant à la capacité de l'empilement de grille) en série avec C_2 et C_3 en parallèle (correspondant à la déplétion du canal

2DEG). Quand V_{GS} approche de V_{TH} , le canal commence à se former et la valeur de C_2 et C_3 augmente, ce qui explique l'augmentation de la capacité équivalente mesurée aux alentours de V_{TH} (voir Figure 62). À l'état ON, le canal est complètement formé, C_2 et C_3 disparaissent et la capacité totale mesurée est égale à C_1 , ce qui explique la stabilisation de la capacité à l'état ON.

Lors du balayage retour de V_{GS} , on observe un décalage dans la courbe $C(V)$. La surface enfermée entre les courbes du balayage « aller » et le balayage « retour » dépend de la charge électrique piégée dans la structure du transistor [73]. Il faut noter que la surface d'hystérésis est une charge électrique en coulombs : une capacité (F) multipliée par une tension (V). Ce décalage entre le balayage « aller » et le balayage « retour », peut s'expliquer comme la nécessité d'une polarisation de grille plus élevée pour attirer les électrons piégés afin de former le canal. Ceci a pour conséquence une surface d'hystérésis plus grande.

Cette méthode a été étudiée avec des transistors RF (*normally-on*) en GaN [71]. Le phénomène d'hystérésis décrit dans cette étude présente une dépendance avec la température qui est identique à celle des pièges. La corrélation entre la surface d'hystérésis mesurée et la quantité de pièges présents dans le semi-conducteur a été validée avec des mesures C-DLTS dans des diodes Schottky en GaN [74].

2.4.1. Mise en place de la mesure $C(V)$

Premièrement, afin de valider l'utilisation du traceur de courbes $C(V)$ B1505 de Keysight, nous avons reproduit les courbes $C(V)$ données par le fabricant concernant les capacités C_{ISS} , C_{OSS} et C_{RSS} .

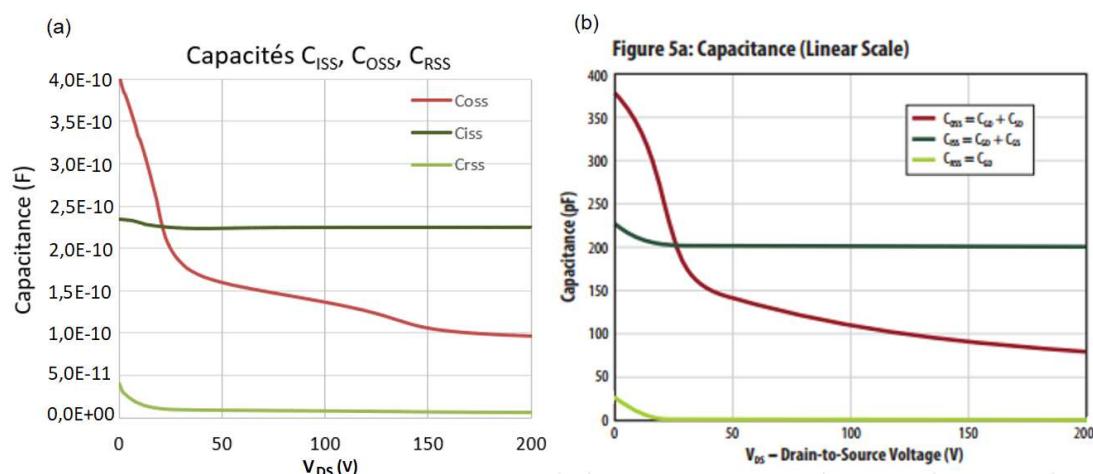


Figure 63 : (a) Mesures des capacités C_{ISS} , C_{OSS} et C_{RSS} et (b) les courbes données par le fabricant [75]

Dans la Figure 63 nous pouvons constater la bonne utilisation du traceur de courbes C(V), et que l'on arrive à reproduire globalement les caractéristiques C(V) données par le fabricant.

Afin de bien mettre en place la mesure C(V) et d'assurer sa répétabilité, nous définissons les conditions de mesure suivantes:

- Utilisation de l'appareil B1505 Power Device Analyzer/Curve Tracer de Keysight [76] avec la disposition montrée dans la Figure 64.

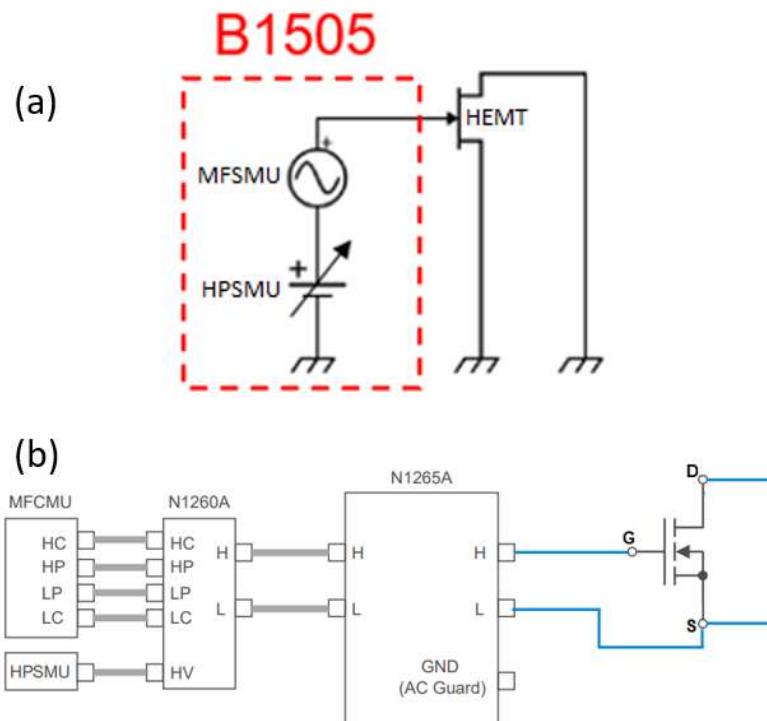


Figure 64 : Schéma du circuit de mesure (a) et boîtes de connexion de l'appareil B1505 (b).

- Balayage de la tension de grille V_{GS} de 6 V à -4 V avec un pas de 50 mV/1ms pilotée par le HPSMU (*High Power Source Monitor Unit*) de l'appareil B1505. Ces valeurs de tension ont été choisies pour ne pas dépasser les valeurs maximales données par le fabricant.
- Nous fixons la fréquence de mesure à 1MHz qui donne selon le constructeur la meilleure précision de mesure dans les centaines de pF [76].
- Nous utilisons des câbles coaxiaux pour connecter le transistor GaN à l'appareil B1015 pour minimiser l'effet des perturbations électromagnétiques.

2.4.1.1. Mesures à température contrôlée

Pour ces mesures nous fixons la fréquence à 1 MHz de l'unité de mesure MFCMU (*Multi Frequency Capacitance Monitor Unit*) de l'appareil B1505. Nous avons réalisé des mesures de capacité à différentes températures afin d'étudier la dépendance de la courbe $C(V_{GS})$ avec la température. Pour contrôler la température, nous avons utilisé l'appareil Temptronic TP04200 Thermostream de la Figure 65. Le tuyau envoie un flux d'air à une température contrôlée dans une enceinte fermée dans laquelle est placé le composant.



Figure 65 : Temptronic TP04200 Thermostream

Nous avons posé l'enceinte sur une mousse isolante thermique qui nous permet de faire passer les fils de mesure en toute sécurité. Lors de chaque nouvelle régulation en température nous laissons le flux d'air pendant une minute afin d'assurer que la température de la puce a atteint la température souhaitée (temps de thermalisation). Ce temps a été déterminé par des essais successifs où nous avons observé qu'à partir d'une minute de flux d'air nous obtenons des mesures répétables.

Nous avons réalisé des mesures à une température allant de 200K (-73,15 °C) à 375K (101,85 °C) avec un pas de 25 K. Dans la Figure 66 nous montrons la courbe $C(V_{GS})$ à 200K.

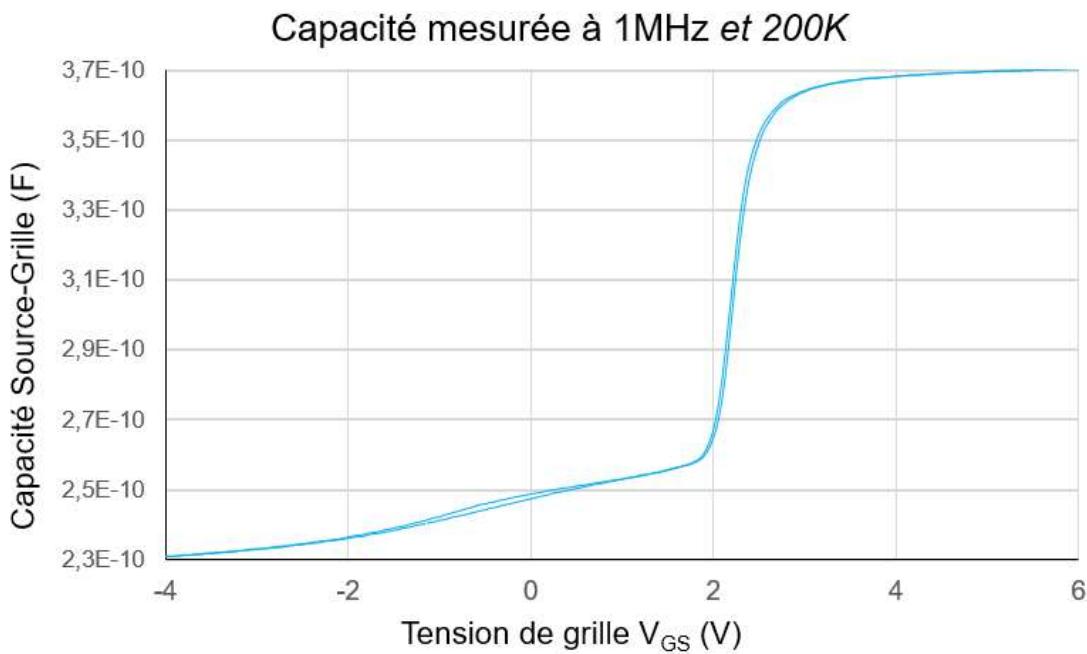


Figure 66 : Capacité Source-Grille mesurée à 200K et à une fréquence de 1 MHz

Nous avons constaté la présence d'une surface d'hystérésis. Afin de mieux étudier la mesure réalisée, nous avons calculé l'intégrale de la courbe $C(V)$.

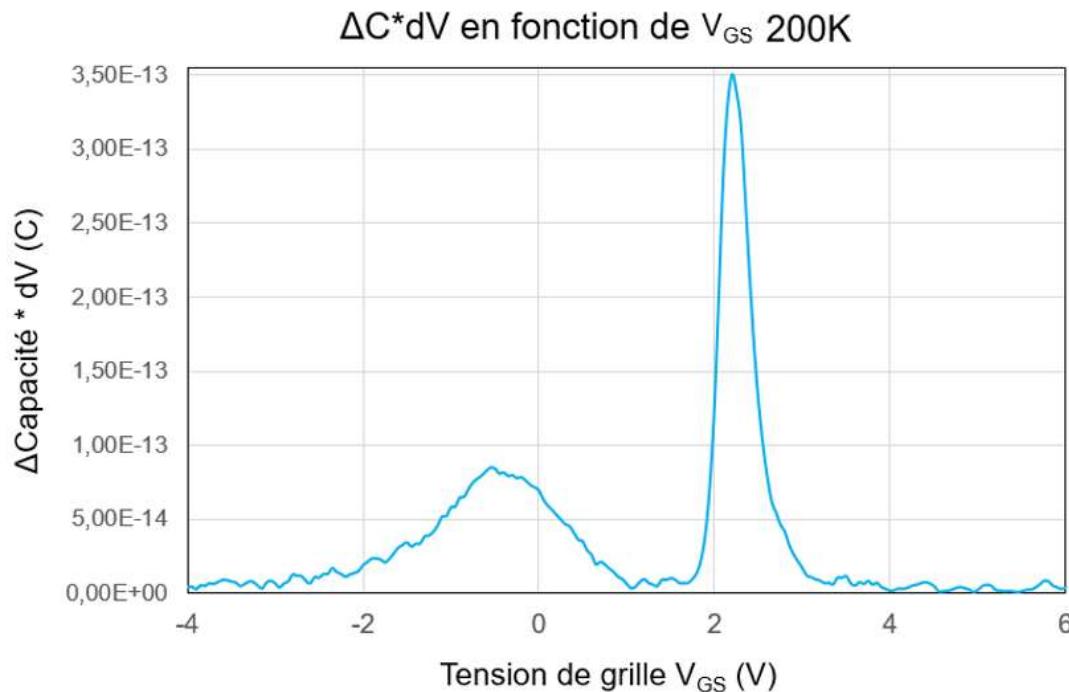


Figure 67 : Intégrale de la capacité par rapport à la tension (mesure réalisée à 200K et à 1 MHz)

Pour obtenir l'intégrale de la Figure 67, nous avons soustrait pour chaque V_{GS} la valeur de capacité du balayage descendant à celle du balayage montant, pour

obtenir la variation de capacité ΔC , qui ensuite est multipliée par la valeur du pas de V_{GS} (50 mV), comme montré par l'équation 2.1. Nous avons obtenu, donc, une charge électrique (Farads × Volts = Coulombs).

$$S_i = (C_i^{up} - C_i^{down}) \times V_{pas} \quad (2.1)$$

Où S_i est la surface d'hystérésis ; C_i^{up} et C_i^{down} sont les valeurs des capacités mesurées lors du balayage montant et descendant, respectivement ; et V_{pas} est le pas de mesure du balayage de V_{GS} (50 mV)

Dans les mesures réalisées à d'autres températures nous avons relevé des courbes similaires. Dans la Figure 68 nous montrons la mesure à 225K.

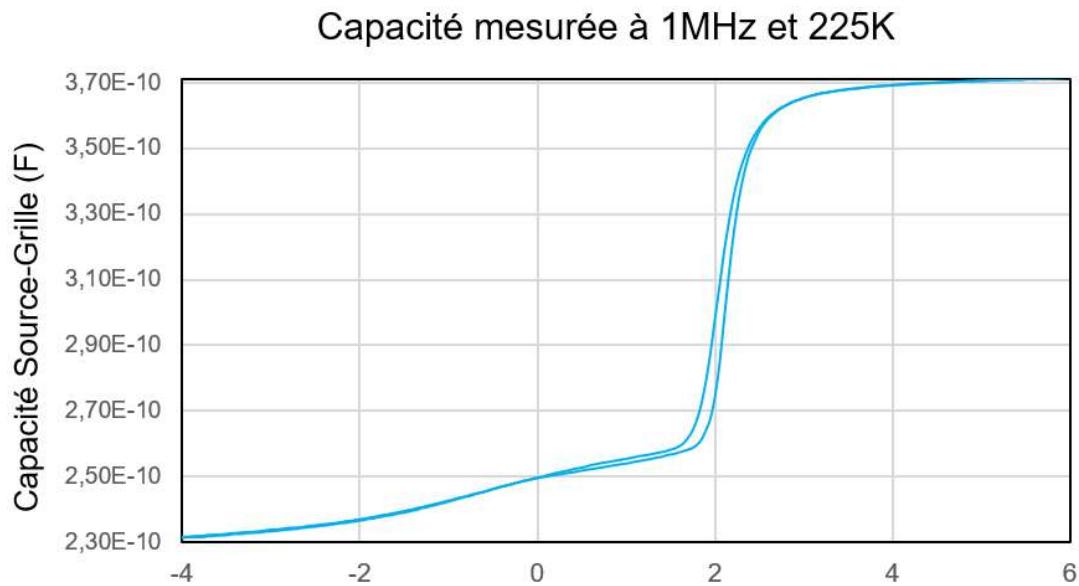


Figure 68 : Caractéristique $C(V)$ mesurée à 225K et à une fréquence de 1 MHz

Au fur et à mesure de l'augmentation de la température, la surface d'hystérésis est de plus en plus grande, jusqu'à arriver à un maximum entre 275K et 300K (voir Figure 69), ensuite la surface décroît lorsque la température augmente (voir Figure 70).

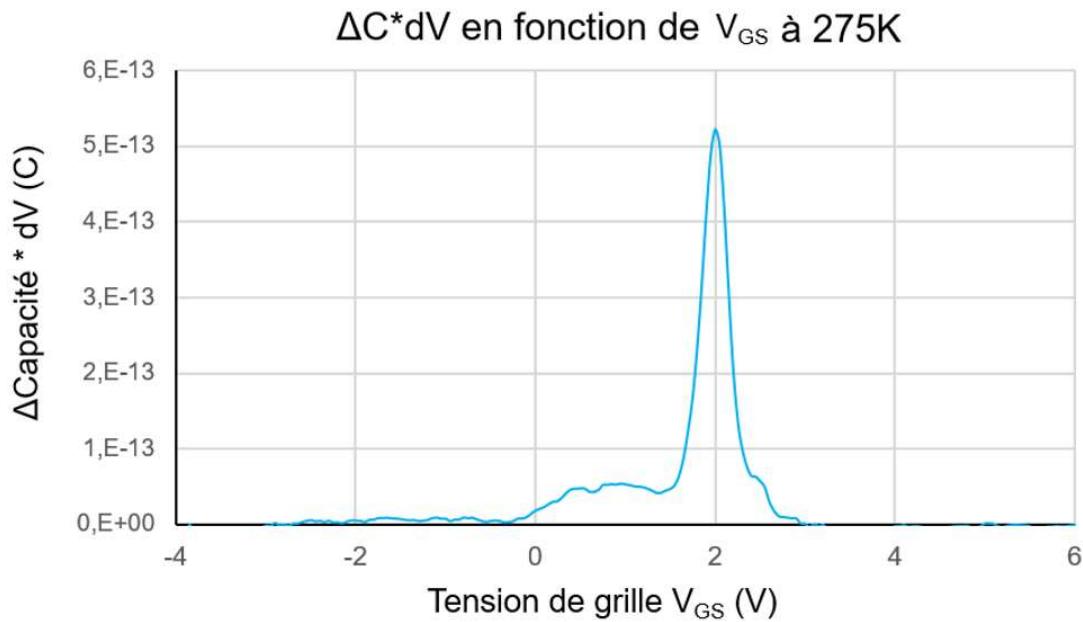


Figure 69 : Intégrale de la capacité par rapport à la tension (mesure réalisée à 275K et à 1 MHz)

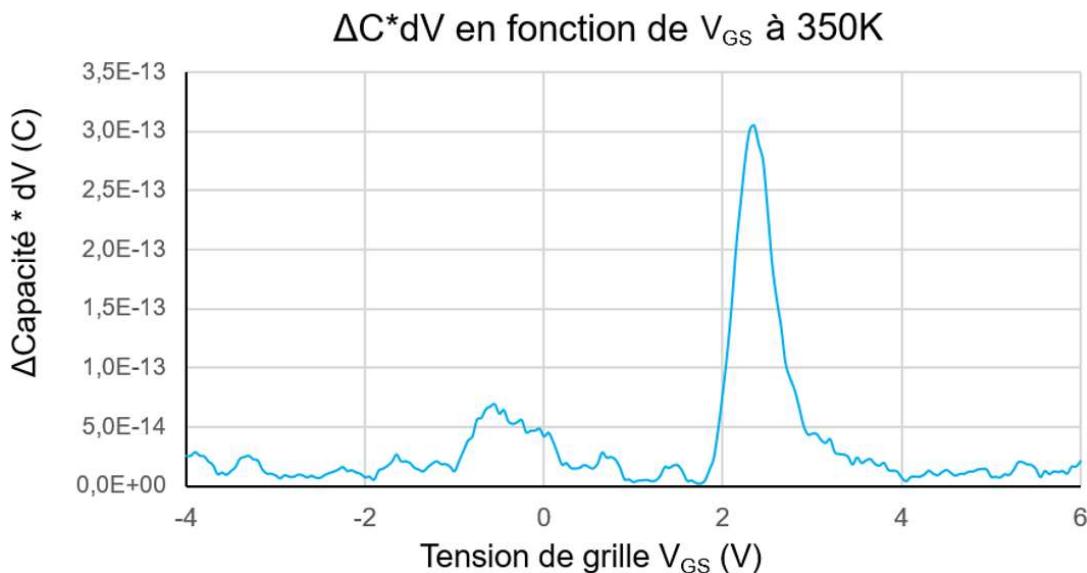


Figure 70 : Intégrale de la capacité par rapport à la tension (mesure réalisée à 350K et à 1 MHz)

La variation la surface d'hystérésis en fonction de la température est tracée dans la courbe de la Figure 71.

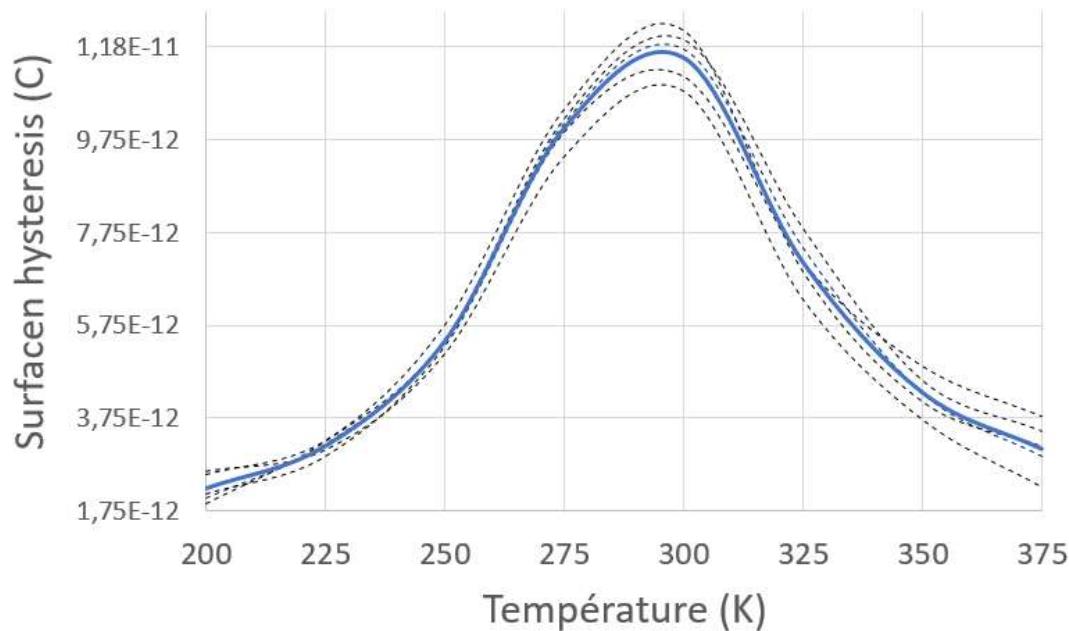


Figure 71 : Surface d'hystérésis (C) en fonction de la température (K). En pointillé les courbes de 5 échantillons, et en bleu la moyenne.

Nous observons que le phénomène d'hystérésis est très réduit à basse température (200 K), montrant que les pièges ne sont pas thermiquement actifs. Aux alentours de 300 K, la courbe présente un pic, et pour des températures plus élevées le phénomène d'hystérésis décroît. Cette allure suggère que à des températures supérieures à 300 K les pièges ont assez d'énergie pour commencer à se dépiéger spontanément. En effet, la constante de temps de piégeage et dépiégeage (ou temps de relaxation) diminue avec la température. Aux alentours de 300 K on trouve un compromis entre piégeage et dépiégeage qui crée le maximum d'hystérésis.

La dépendance entre la surface d'hystérésis et la température que nous constatons avec nos mesures C(V) avec des HEMT de puissance en GaN est similaire à celle observée dans d'autres travaux avec des transistors HEMT RF en GaN (*normally-on*) [71], [77] et des diodes Schottky en GaN [74].

2.4.1.2. Mesures à différentes fréquences

Nous avons également étudié la dépendance de la mesure double C(V) avec la fréquence. Ceci pourrait être intéressant, car la fréquence est un critère de sélectivité de type de pièges selon leur constante de temps piégeage/dépiégeage : par exemple à des hautes fréquences on ne pourra pas relever les pièges « lents » (qui ont une constante de temps élevée) [78].

Pour faire cela, nous avons réalisé des mesures, toutes à la même température (300K), et à des fréquences de 1 kHz, 10 kHz, 100 kHz, 1 MHz et 5 MHz, fréquence maximum de l'unité MFCMU de l'appareil de mesure B1505. La Figure 72 montre la mesure à une fréquence de 10 kHz.

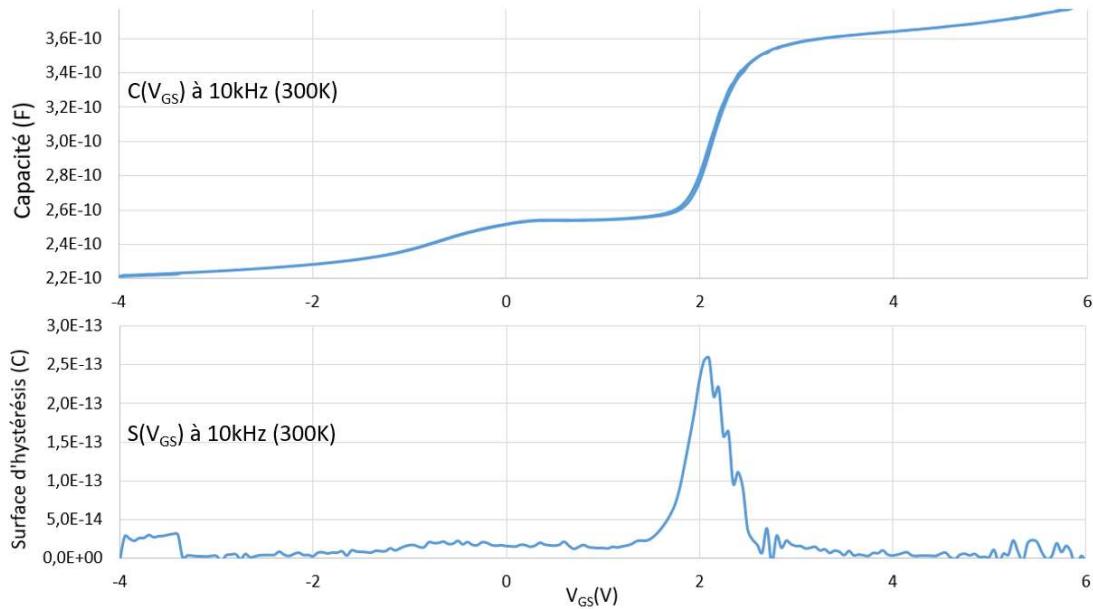


Figure 72 : Courbe $C(V)$ et surface d'hystérésis (mesure réalisée à 300K et à 10 kHz)

Nous avons réalisé des mesures à plusieurs reprises, avec des composants différents. Nous avons constaté qu'à basses fréquences, la mesure est très bruitée. Nous avons réalisé des mesures en changeant la longueur des fils de mesure et sa disposition sur le banc de mesures. Les mesures à moins de 10 kHz ne sont pas lisibles et ne sont pas répétables.

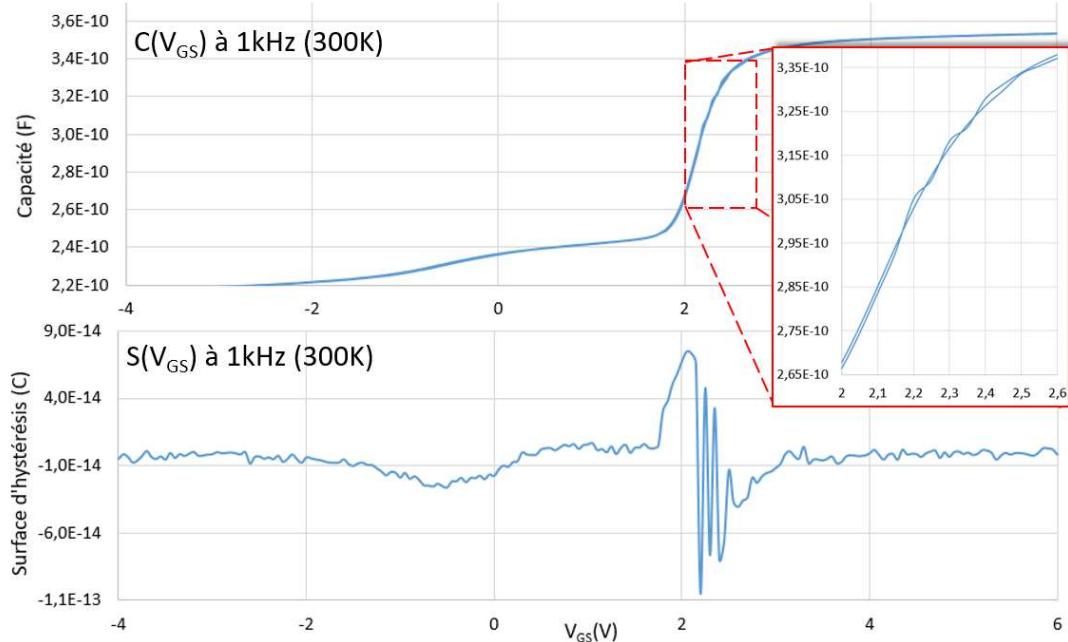


Figure 73 : Courbe $C(V)$ et surface d'hystérésis (mesure réalisée à 300K et à 1 kHz)

La Figure 73 montre la mesure à une fréquence de 1 kHz. Nous constatons que la mesure est très bruitée, et l'on obtient des surfaces négatives. Cela s'explique à cause de l'entrecroisement des courbes C(V) des balayages d'aller et de retour.

Après avoir réalisé plusieurs tests, nous avons décidé, de réaliser des mesures à 1MHz car à cette fréquence nous obtenons des mesures répétables et moins bruitées. De plus, à 1 MHz nous relevons les pièges qui ont une constante de temps de piégeage/dépiégeage de l'ordre de la microseconde, qui jouent le rôle le plus important dans les performances de HEMT en GaN car dans les convertisseurs d'énergie, les interrupteurs de puissance fonctionnent à une fréquence de quelques centaines de kHz (voir MHz pour les HEMT en GaN). Les pièges qui pourront s'activer à la commutation sont ceux dont la constante de temps de piégeage/dépiégeage est de l'ordre de la microseconde.

2.5. CONCLUSION

Dans ce chapitre nous avons décrit les méthodes expérimentales que nous avons mises en place pour caractériser les effets de piégeage.

Tout d'abord nous avons opté pour la spectroscopie transitoire de niveaux profonds (ou DLTS, en anglais). Nous avons mis en place le banc de mesures et nous avons adapté nos échantillons afin de réaliser la mesure. Néanmoins, la technique C-DLTS n'est pas adaptée du fait qu'il est nécessaire de connaître le taux de dopage p du tampon pGaN, le taux d'aluminium dans la couche AlGaN et la géométrie du stack de grille. En effet, c'est une méthode plutôt adaptée pour les jonctions PN ou Schottky dont on connaît la géométrie. Réaliser des mesures C-DLTS au niveau d'un *stack* de grille avec plus de deux couches semble alors très ambitieux.

Ensuite, nous avons réalisé une mesure qui nous permet de mesurer les effets de piégeage : au travers de la variation transitoire de la résistance $R_{DS\text{ON}}$ connue comme $R_{DS\text{ON}}$ Dynamique. Pour réaliser cette mesure nous avons utilisé un banc qui mesure le courant I_D et la tension V_{DS} en même temps, pour pouvoir ensuite en déduire la résistance $R_{DS\text{ON}}$ lors de la commutation OFF\ON. Cependant, ce banc présente une dispersion élevée et il va évoluer car il est en cours de développement.

Finalement nous avons mis en place la méthode basée sur la courbe $C(V_{GS})$, procédé qui n'a jamais été décrit avant pour caractériser le phénomène de piégeage dans les transistors de puissance HEMT en GaN. Auparavant cette méthode a été utilisée pour des transistors RF (*normally-on*) en GaN [71] et a été démontrée la dépendance de la surface d'hystérésis avec la quantité de pièges [74]. Nous avons décrit le banc de mesure, les appareils utilisés, et toutes les conditions de mesure. Nous avons également fait une étude pour connaître l'influence de la température et de la fréquence sur la mesure.

Dans la suite, nous allons exploiter cette méthode pour étudier l'effet du vieillissement sur les composants. Nous allons également étudier l'existence d'un lien entre cette méthode de caractérisation et d'autres indicateurs de dégradation ou de dérive des performances des transistors de puissance en GaN.

3.

BANC DE CYCLAGE ACTIF

3.1. INTRODUCTION

Dans ce chapitre nous allons décrire la conception et la réalisation d'un banc de cyclage actif ou *power cycling*. Le but de ce banc de cyclage est double : d'un côté, nous allons obtenir des données sur la fiabilité des transistors en GaN ; et de l'autre côté, nous allons utiliser la méthode de caractérisation présentée dans le chapitre 2 pour étudier l'évolution des pièges dans les transistors.

Tout d'abord, nous allons décrire les étapes pour concevoir le banc de cyclage actif. Ce banc doit permettre de brancher et débrancher les transistors afin de réaliser des mesures pour suivre l'évolution de leurs caractéristiques. Notre banc de cyclage nécessite un circuit de commande adapté aux HEMT en GaN (génération des signaux de commande de grille, drivers compatibles pGaN, etc.) Nous avons prévu toutes les sources de tension adaptées à nos besoins et tous les composants de puissance et connecteurs nécessaires. Ensuite, nous avons réalisé le design des schémas électroniques des cartes, tracé les circuits, fabriqué les cartes et validé leur fonctionnement.

Ensuite, nous avons établi une procédure et un ensemble de mesures afin de connaître les performances des transistors de puissance en GaN. La comparaison entre l'ensemble des mesures initiales et des mesures que nous avons réalisées tout au long de la campagne de vieillissement nous permet de suivre l'évolution des composants sous test.

Une fois développé le hardware du banc de cyclage et notre ensemble de mesures, nous avons établi les conditions de vieillissement selon le principe de la contrainte échelonnée. Pour faire cela, nous avons commencé avec un stress faible (tension de drain V_{DS} et courant de drain I_D faibles) et nous avons augmenté le stress progressivement. Nous avons suivi la température du transistor avec une caméra infrarouge pour ne pas dépasser la fluctuation de température qui peut engendrer une dégradation thermomécanique [79], [80] car nous voulons observer uniquement la dégradation électrique interne à la puce.

Les données de fiabilité obtenues lors du cyclage nous permettent d'identifier les signatures de dégradation ou de défaillance des transistors. Nous avons utilisé la nouvelle méthode de caractérisation pour étudier la dérive des performances des transistors en fonction du vieillissement causé par les effets de piégeage. Et nous avons aussi cherché un lien entre cette méthode de caractérisation et d'autres indicateurs de dégradation.

3.2. PRÉSENTATION DU BANC DE CYCLAGE ACTIF

Le banc de cyclage soumet les composants sous test à un stress de commutation dit *hard-switching*. Ce type de commutation est représentatif de l'utilisation des transistors GaN de puissance (soit comme un simple interrupteur ON/OFF d'un équipement, soit dans un convertisseur d'énergie). Pour faire cela, nous avons polarisé le drain des transistors à une tension de V_{IN} et nous avons piloté la grille (voir Figure 74).

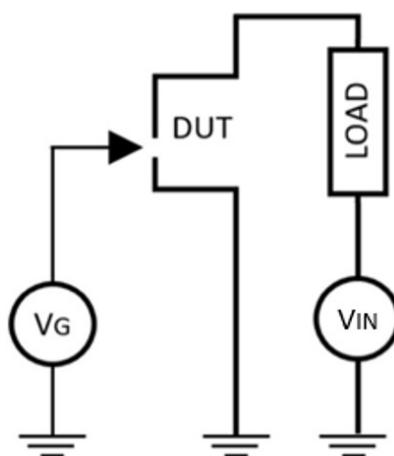


Figure 74 : Schéma électrique du banc de cyclage

Le *hard-switching* fait vieillir davantage les transistors de puissance. Lors de la commutation, le produit tension V_{DS} fois courant I_{DS} passe par un maximum de puissance pendant une brève période (voir schéma de la Figure 75). L'énergie dissipée pendant ce laps de temps, active la génération de défauts dans le GaN [81] [82] et le piégeage d'électrons chauds (énergétiques) au niveau de la grille pGaN [83] [84].

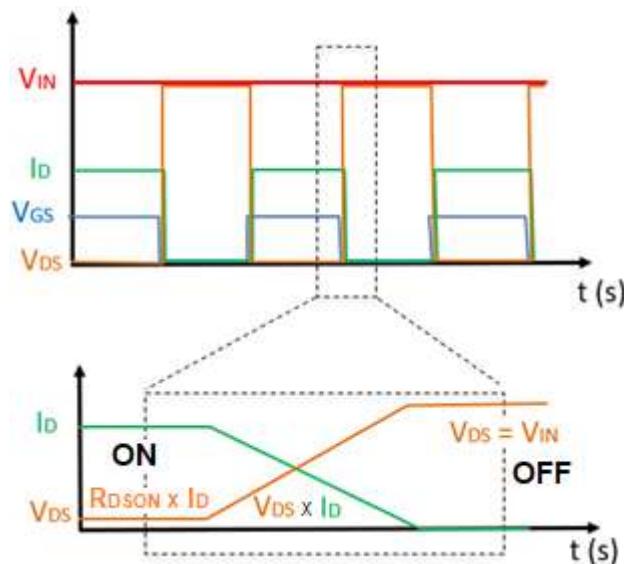


Figure 75 : Schéma de l'allure de tension et courant lors d'une commutation hard-switching

L'activation des mécanismes de défaillance change à chaque état du cycle de commutation du transistor [85] :

- Pendant l'état OFF ($V_{GS} = 0$ V, $V_{DS} = V_{in}$), le transistor GaN est soumis à un champ électrique élevé. Dans cette phase, des porteurs de charge peuvent être piégés dans les défauts présents dans la structure du transistor. Ces pièges sont responsables du phénomène transitoire appelé $R_{DS(on)}$ Dynamique, un effet spécifique des HEMT en GaN [86].
- Pendant la commutation *hard-switching*, un champ électrique élevé et un courant élevé seront présents en même temps comme nous l'avons déjà indiqué précédemment. En plus, un éventuel dépassement transitoire à la tension de commande de grille peut dégrader la grille provoquant un décalage (*shift*) de la tension de seuil V_{TH} et une augmentation du courant de fuite de grille I_G [87].
- Pendant l'état ON ($V_{GS} > V_{TH}$), nous pouvons observer l'effet $R_{DS(on)}$ Dynamique. En fonction de la charge piégée, les pertes à l'état ON peuvent être importantes, compromettant ainsi l'efficacité énergétique des équipements conçus avec des transistors HEMT de puissance en GaN.

3.3. CONCEPTION DU BANC DE TEST

Nous avons testé des composants de différents fabricants proposés par les partenaires du projet. Les composants sous test supportent une tension V_{DS} de 100 et 200 V [75], [88], [89]. Ce sont les valeurs typiques de tenue en tension utilisées dans la gestion de l'énergie dans l'industrie spatiale. Dans le Tableau 6 nous résumons les caractéristiques les plus importantes des composants sous test.

Paramètre	Référence_1	Référence_2	Référence_3
Tenue V_{DS}	200 V	100 V	100 V
Courant I_D	8,5 A	36 A	90 A
Résistance $R_{DS(on) TYP}$	36 mΩ	5,6 mΩ	7 mΩ
Résistance $R_{DS(on) MAX}$	50 mΩ	7 mΩ	9,5 mΩ
Tension de seuil $V_{TH TYP}$	1,4 V	1,4 V	1,7 V
Tension de seuil $V_{TH MAX}$	2,5 V	2,5 V	2,6 V
Tension de grille $V_{GS MAX}$	6 V	6 V	7 V
Courant de fuite $I_G MAX$	2,5 mA	5 mA	200 μA
Carte support	PCB1	PCB2	PCB2

Tableau 6 : Caractéristiques les plus importantes des composants sous test [75], [88], [89]

Il est important de préciser que pour la mesure de V_{TH} chaque fabricant utilise une méthode différente. Pour mesurer V_{TH} , le fabricant de la Référence_1 connecte le drain avec la grille ($V_{DS} = V_{GS}$) et mesure pour quelle valeur de V_{GS} le courant de drain I_D vaut 1,5 mA. Le fabricant de la Référence_3 fait la même opération mais pour une valeur de 7 mA. Nous utilisons pour tous les composants

une méthode universelle, celle de l'extrapolation dans la région linéaire de la courbe $I_D(V_{GS})$ [90] afin de pouvoir comparer entre différentes références et fabricants. Pour cela, les valeurs que nous allons mesurer peuvent être légèrement différentes de celles données par les fabricants.

3.3.1. Mise en place des composants sous test

Nous rendons possible le branchement et le débranchement des composants sous test au banc de cyclage afin de réaliser l'ensemble de mesures à plusieurs reprises au long des campagnes de vieillissement. Pour cela nous utilisons des connecteurs verticaux de puissance compatibles avec les cartes PCB sur lesquels sont reportés les transistors (voir Figure 76 Figure 77).

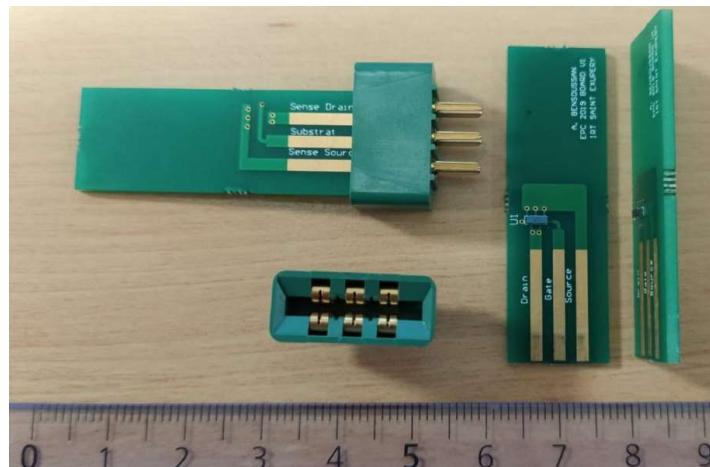


Figure 76 : Composant sous test soudés sur les cartes PCB1 et des connecteurs

Les cartes PCB1 (Figure 76) sont à double face. D'un côté on a accès au Drain, à la Grille et à la Source ; et par l'autre face on a accès au substrat, et à une piste Drain *Sense* et Source *Sense*. Nous avons aussi d'autres échantillons avec une autre configuration, les cartes PCB2. Dans ce cas, les composants sont reportés sur une carte avec deux connecteurs de dix pins (2×5) de chaque côté de la carte (voir Figure 77 et Figure 78).

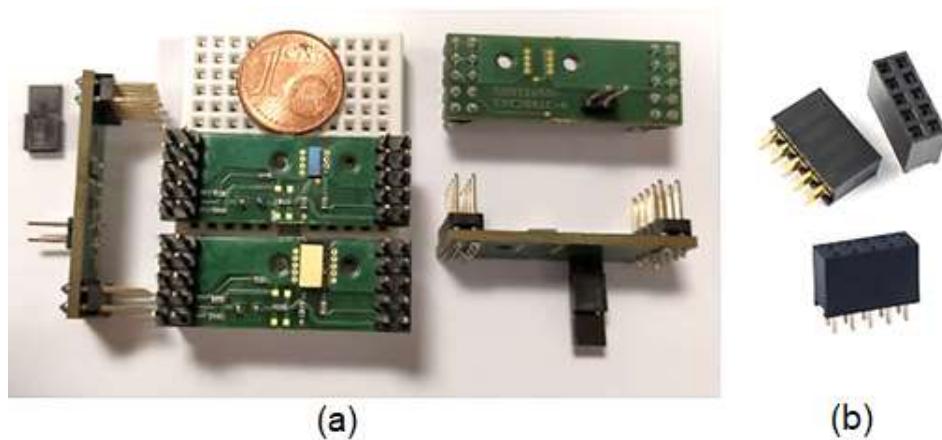


Figure 77 : Cartes PCB2 avec les composants sous test (a) et les connecteurs compatibles (b)

Dans les cartes PCB2 nous avons un circuit spécifique qui protège la grille. Ce circuit a été incorporé par sécurité, car la grille des HEMT de puissance en GaN est sensible aux décharges électrostatiques (ESD) qui peuvent avoir lieu avec la manipulation des échantillons, lors du branchement, etc.

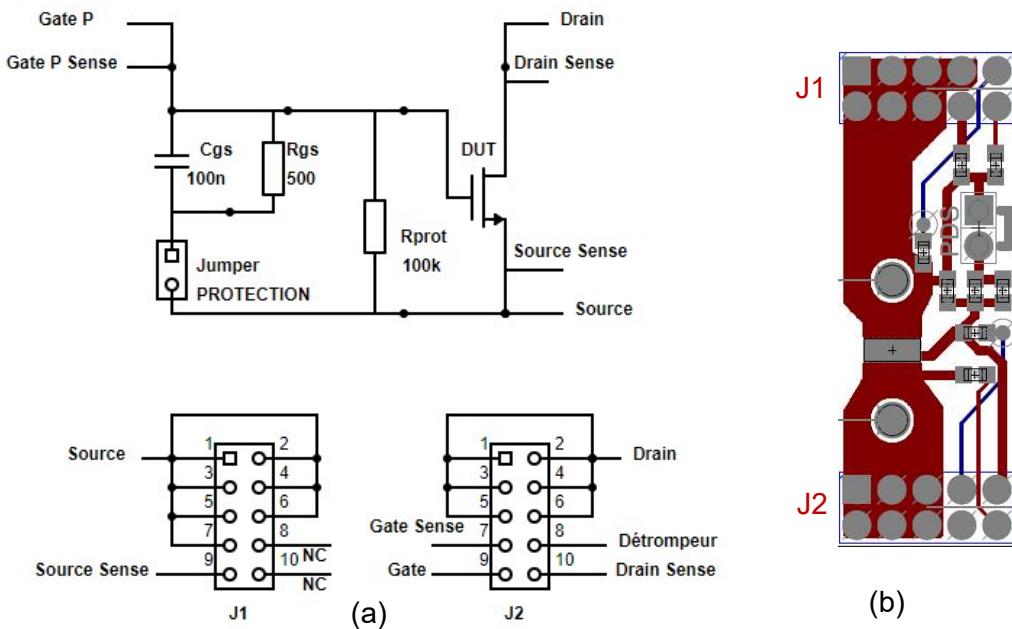


Figure 78 Schéma électrique (a) et layout de la carte PCB2 (b)

Le *jumper* (voir Figure 78.a) connecte la grille à un circuit RC qui la protège lors du branchement/débranchement de la carte PCB au banc de cyclage ou aux appareils de mesure. Lorsque la carte est branchée, on peut enlever le *jumper* afin de déconnecter la grille du circuit de protection.

3.3.2. Conception d'un circuit spécifique de commande

3.3.2.1. Génération des signaux de commande

Pour commander la grille des transistors nous utilisons un microcontrôleur. Ceci nous permet de programmer différents codes que nous pourrons exécuter pour soumettre les composants sous tests à différents types de stress. Nous avons choisi le microcontrôleur ATmega32u4 [91] qui dispose de sept sorties MLI (modulation de largeur d'impulsions ou PWM, de l'anglais *Pulse Width Modulation*). Le microcontrôleur est dans une carte Arduino Leonardo [92] qui est programmée à l'aide d'une connexion USB (voir Figure 79).



Figure 79 : Carte Arduino Leonardo utilisée pour programmer les signaux de commande de grille

Les sorties PWM de la carte Arduino Leonardo sont connectées à travers des connecteurs verticaux à une carte PCB spécifique que nous avons conçue (Figure 80).

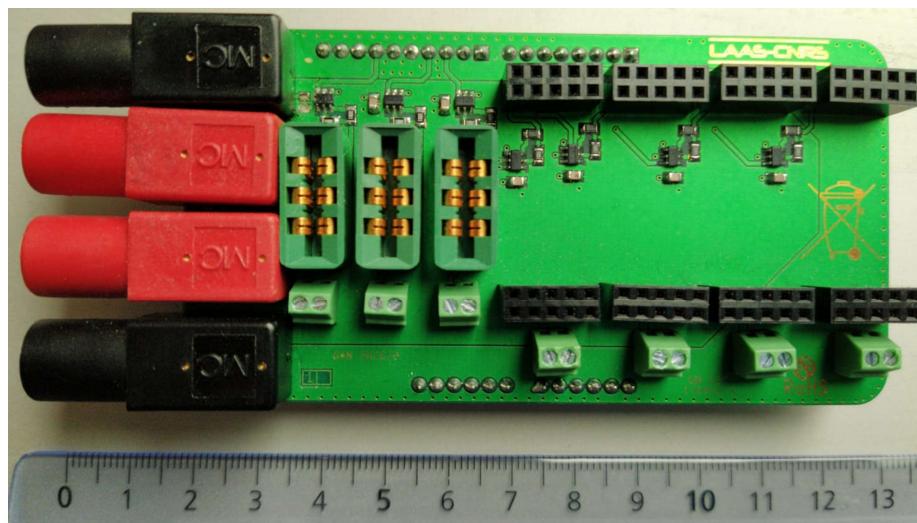


Figure 80 : Carte PCB spécifique pour la commande des HEMT

3.3.2.2. PCB spécifique pour la commande des HEMT

Entre les signaux de commande générés par le microcontrôleur et la grille des transistors, il faut placer un circuit spécifique pour les HEMT en GaN. Nous utilisons des drivers compatibles avec la grille pGaN connectés à des résistances pull-up et pull-down selon les indications des fabricants [93] pour obtenir la commande adéquate du HEMT.

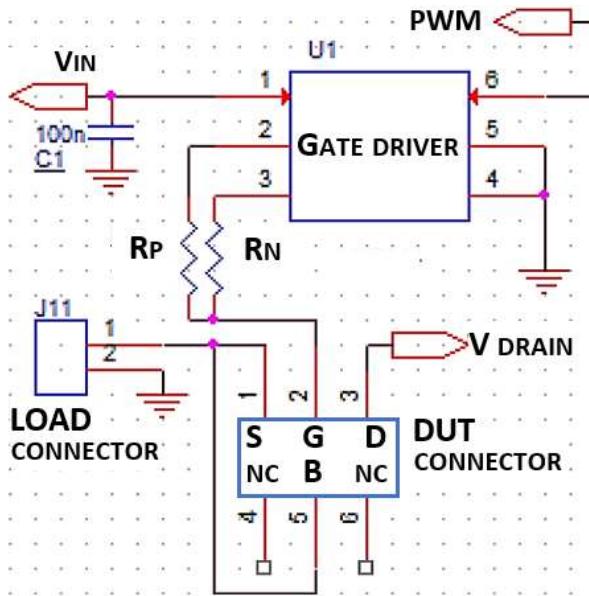


Figure 81 : Schéma électrique du circuit de commande pour les cartes PCB1

La Figure 81 montre le driver avec la capacité de découplage, les résistances de pull-up et pull-down reliées au connecteur prévu pour recevoir le composant sous test. Nous avons prévu également un connecteur pour y fixer la résistance de charge.

Nous avons réalisé un circuit similaire pour l'autre configuration de cartes, avec cette fois deux connecteurs : un pour le drain et la grille et l'autre avec la source et la sortie pour connecter la résistance de charge (voir Figure 82).

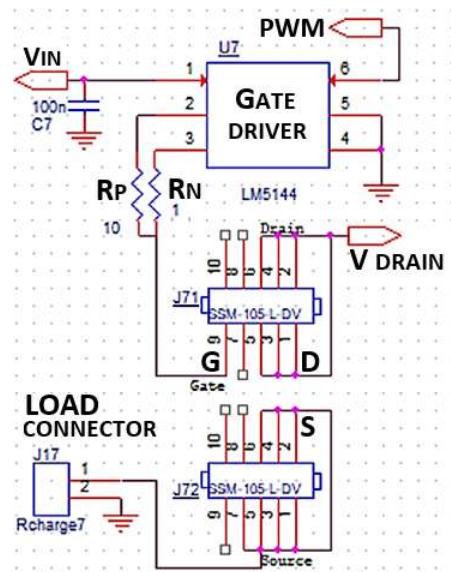


Figure 82 : Schéma électronique du circuit de commande pour les cartes PCB2

3.3.3. Réalisation finale de la carte

Une fois conçus les circuits de commande, nous avons tracé le reste de connectique nécessaire : bornes de connexion pour la tension de drain, alimentation des drivers et connecteurs pour les résistances de charge.

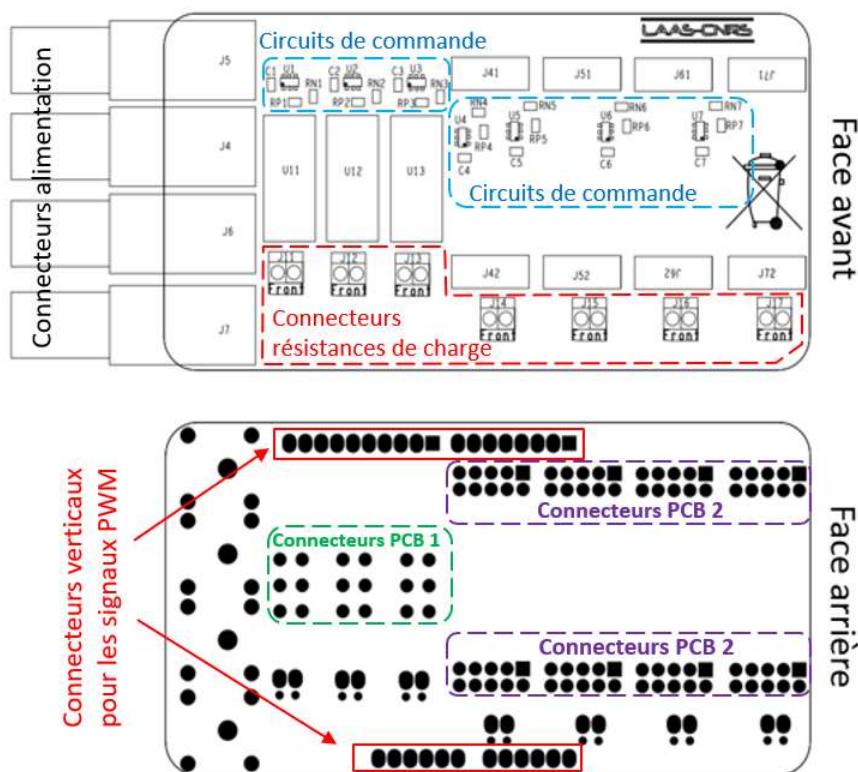


Figure 83 : Face avant et face arrière de la carte de commande

Comme le microcontrôleur ATmega32u4 dispose de sept sorties PWM [91], nous pouvons brancher au total sept composants sous test par carte.

La Figure 83 montre les deux faces de la carte de commande. Nous pouvons voir dans la face avant la disposition des circuits de commande et des connecteurs d'alimentation et des résistances de charge. Sur la face arrière, nous avons le plan de perçage. Sur cette face, nous voyons les connecteurs pour les cartes PCB1 et PCB2. Nous voyons aussi les connecteurs verticaux en haut et en bas qui vont nous servir pour acheminer les signaux PWM du microcontrôleur vers les drivers.

Nous avons vérifié le bon fonctionnement de la carte. Nous avons examiné les connecteurs de puissance et la connexion avec la carte Arduino. Nous avons validé aussi le bon fonctionnement des drivers. Pour cela, nous avons observé à l'oscilloscope la tension de grille V_{GS} sur le connecteur de la grille et le signal PWM (à l'entrée du driver), et nous avons obtenu les chronogrammes de la Figure 84.

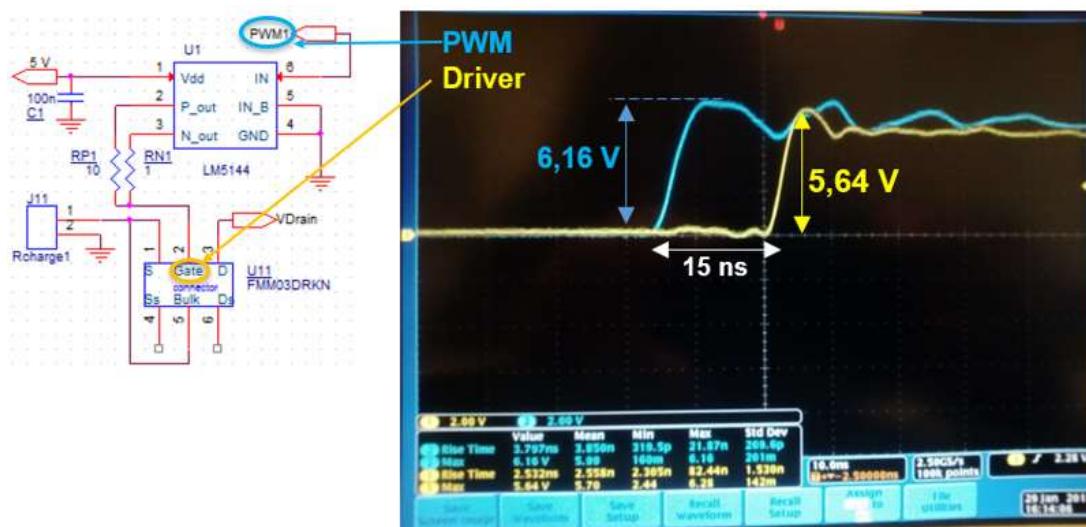


Figure 84 : Signaux PWM et V_{GS} , avec le schéma électrique des points de mesure

Nous constatons que le driver fonctionne bien. Le driver réduit le dépassement lors du front montant (de 6,16 V à 5,65 V), et le temps de montée (de 3,85 ns à 2,55 ns).

3.3.4. Détermination du protocole de test

L'un des objectifs de ce travail est d'étudier les effets de piégeage. Les électrons piégés dans le composant dégradent la résistance à l'état passant lors de la commutation OFF/ON. On observe cet effet transitoire de la résistance qui est plus élevée juste après la commutation jusqu'à arriver à la valeur nominale de

RDSON [60] [94]. D'autres travaux suggèrent que les mêmes effets de piégeage peuvent provoquer un décalage de la tension de seuil ou V_{TH} shift [95] [96], et activer le courant de fuite de grille assisté par les pièges [97]. Certains travaux suggèrent une dépendance entre la tension de grille V_{GS} et la génération de défauts au niveau de la grille [98]. Nous avons étudié le vieillissement des transistors avec différentes tensions de grille afin de tester la dépendance entre la tension de grille V_{GS} et la génération de défauts.

D'autres travaux ont montré que le contrôle de la température était primordial. Dans un banc de cyclage, une grande fluctuation de température peut activer des mécanismes de défaillance thermomécaniques [79]. Notre banc de cyclage doit activer les mécanismes de défaillance internes (niveau puce) dans les transistors en GaN, pour permettre d'étudier la dégradation liée aux effets de piégeage qui sont spécifiques aux HEMT de puissance en GaN. Notre objectif est donc de contourner les effets thermomécaniques afin de n'activer que des effets de dégradation interne spécifiques aux HEMT en GaN.

3.3.4.1. Discrimination des effets thermomécaniques

S. Song [79] et S. Munk-Nielsen [80] ont démontré qu'une variation répétée de température ΔT de 100°C ou plus, cause une dégradation thermomécanique. Cette dégradation est consécutive à une dilatation et contraction de la puce, qui avec le temps finit par une délamination de la brasure entre la puce et la carte PCB. Cette délamination comporte une détérioration progressive de la conductivité thermique et électrique entre les *pads* de la puce en GaN et la carte PCB. Si nous faisions subir un stress similaire à nos composants, nous ne pourrions pas distinguer les effets de dégradation interne de la puce, car les effets thermomécaniques par le biais de la modification de la résistance électrique éclipseraient nos mesures.

Pour contourner les effets thermomécaniques, nous contrôlons la puissance injectée dans le composant via le courant de drain I_D et la tension de drain V_{DS} lors du cyclage, ainsi que la commande de grille par le biais du rapport cyclique et de la fréquence de commutation. On fixe toutes ces valeurs en observant la température de la puce avec une caméra infrarouge FLIR x6580sc [99]. On ajuste les paramètres du stress pour ne pas dépasser pas les 100°C (en prenant en compte l'impédance thermique transitoire des *datasheets* [75], [88], [89]).

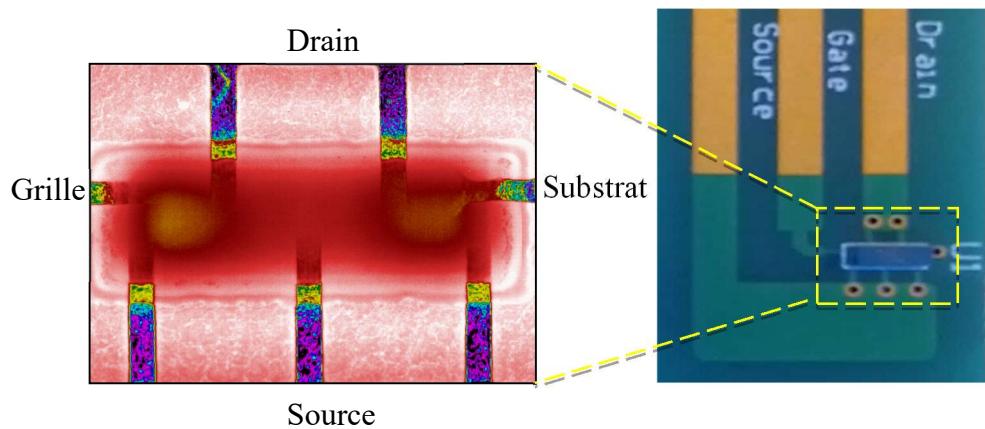


Figure 85 : Image infrarouge d'une puce en GaN lors du cyclage

Sur la Figure 85 nous voyons une image infrarouge de la puce d'un HEMT de puissance en GaN lors du cyclage.

Pendant le cyclage nous avons suivi la température de la puce avec une caméra infrarouge afin de limiter la fluctuation de T_J et sa valeur maximale. Nous allons décrire l'estimation de la température T_J et ΔT_J que nous avons réalisée.

Avec la caméra infrarouge nous avons mesuré la température extérieure de la puce T_C , et nous souhaitons faire une estimation de T_J . La résistance thermique $R_{\theta(J-C)}$ entre l'extérieur de la puce (T_C) et la zone active (T_J) est donnée par le fabricant. À titre d'exemple, pour la Référence_1 la résistance thermique $R_{\theta(J-C)}$ vaut 2,7 K/W.

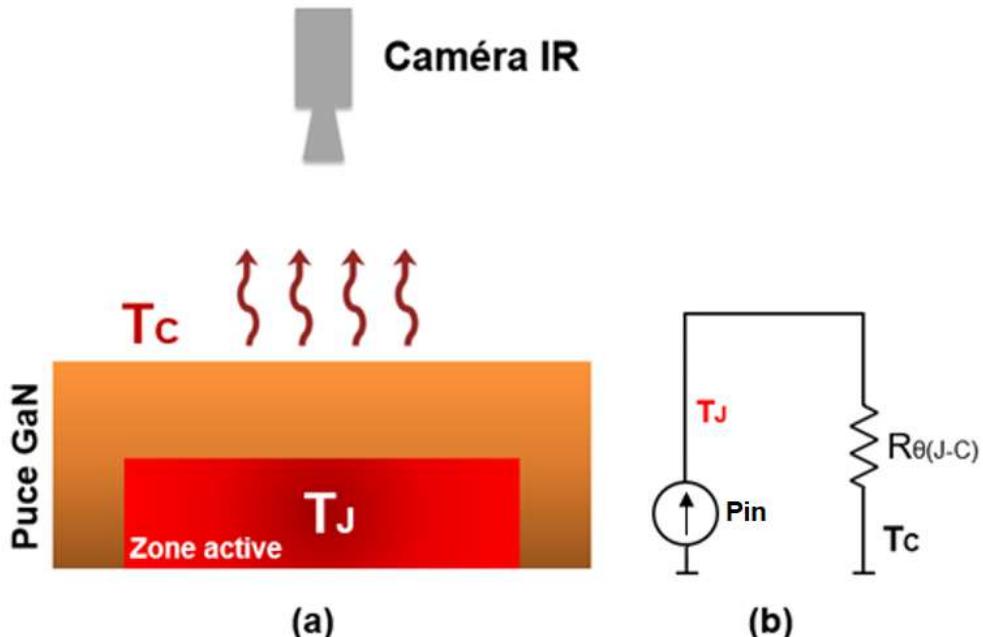


Figure 86 : (a) Schéma thermique de la puce GaN et la caméra IR ; (b) circuit électrique équivalent

Le schéma de la mesure de T_C avec la caméra IR et le circuit électrique équivalent sont montrés sur la Figure 86. En régime statique, on peut estimer la valeur de T_J à l'aide de l'équation suivante :

$$T_J = T_C + P_{in} \times R_{\theta(J-C)} \quad (3.1)$$

Où T_J est la température de jonction en K, T_C est la température extérieure en K, $R_{\theta(J-C)}$ est la résistance thermique en K/watt, et P_{in} est la puissance dissipée en watts, que nous pouvons calculer avec :

$$P_{in} = R_{DS(on)} \times I_D^2 \quad (3.2)$$

Où I_D est le courant de drain en ampères, et $R_{DS(on)}$ est la résistance à l'état passant en ohms.

En régime de commutation la valeur de T_J varie : elle augmente à l'état passant et diminue à l'état bloqué. Nous avons, donc, une fluctuation de température ΔT_J (voir Figure 89) qui varie en fonction de la fréquence de commutation et du rapport cyclique. De plus, en commutation la valeur de $R_{DS(on)}$ varie, d'un côté à cause de l'effet $R_{DS(on)}$ Dynamique (effet de piégeage), et de l'autre à cause de la fluctuation de température T_J . Dans la *datasheet* on peut trouver la dépendance de $R_{DS(on)}$ en fonction de T_J (voir Figure 87). Pour calculer la valeur maximale de T_J en commutation nous ne pouvons pas utiliser l'équation (3.1) car elle sert seulement en régime statique.

Figure 8: Normalized On-State Resistance vs. Temperature

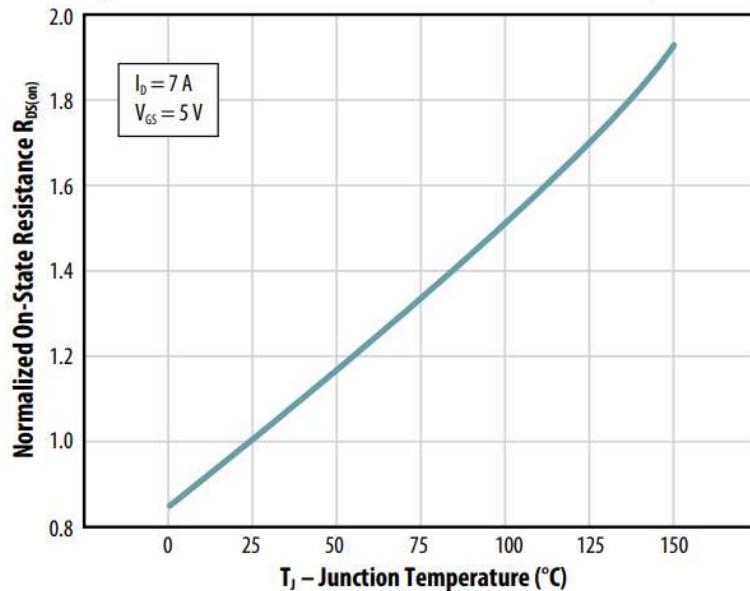


Figure 87 : Résistance $R_{DS(on)}$ en fonction de la température de jonction T_J [61]

En commutation on peut estimer la fluctuation de température ΔT_J à partir de l'impédance thermique normalisée $Z_{\theta(J-C)}$ qui est donnée par les fabricants (voir Figure 88) en fonction de la durée du pulse et du rapport cyclique.

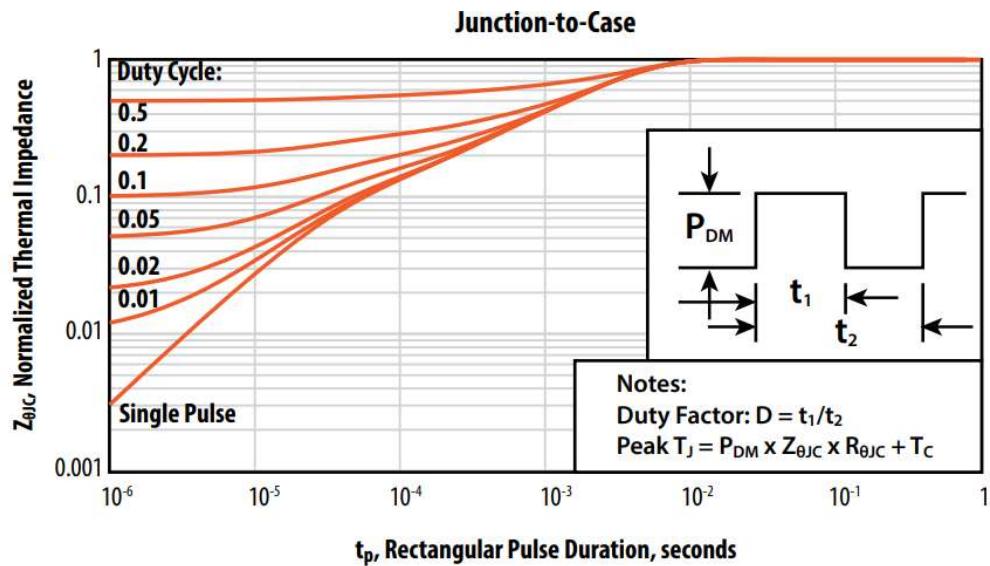
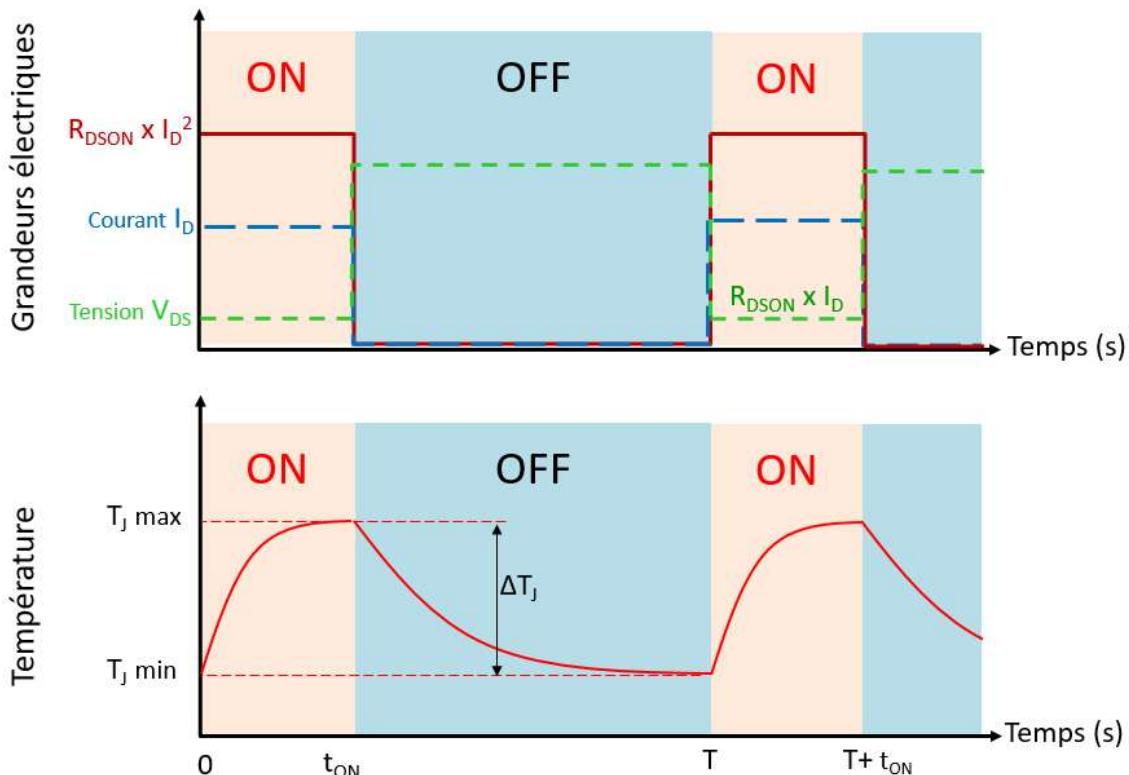


Figure 88 : Tableau de l'impédance thermique normalisée [61]

En régime de commutation la valeur du pic de T_J est :

$$T_{Jmax} = T_C + P_{in} \times R_{\theta(J-C)} \times Z_{\theta(J-C)} \quad (3.3)$$

Figure 89 : Allure de V_{DS} , I_D , puissance et de la température T_J en régime commutation

Prenons à titre d'exemple un HEMT commutant à 1kHz et un rapport cyclique de 20% avec un courant I_D de 5 A et une résistance à l'état passant de 0,1 Ω . Nous avons aussi $T_C = 78^\circ\text{C}$, $R_{\theta(J-C)} = 2,7^\circ\text{C}/\text{W}$ et $Z_{\theta(J-C)} = 0,5$:

$$P_{in} = 0,1 \times 5^2 = 2,5 \text{ W} \quad (3.4)$$

$$T_{J\max} = 78^\circ\text{C} + 2,5 \text{ W} \times 2,7 \frac{^\circ\text{C}}{\text{W}} \times 0,5 = 81,4^\circ\text{C} \quad (3.5)$$

Pour réaliser cette estimation nous avons pris le pire des cas pour la résistance $R_{DS\text{ON}}$ (la valeur maximale de la *datasheet* avec l'augmentation par effet de la température montrée dans la Figure 87). Nous avons donc, surestimé la valeur de $R_{DS\text{ON}}$ et la valeur de la puissance dissipée (voir équation 2). Vu que notre objectif est de limiter la température, il est préférable de prendre le pire cas et surestimer la valeur de la température T_J .

Nous avons développé le hardware de ce banc de cyclage, ainsi que le code qui commande la grille des transistors. Il faut maintenant choisir l'ensemble des mesures qui va nous permettre de suivre l'évolution de nos composants sous test.

3.4. MESURES REALISEES

L'ensemble des tests que nous avons prévus pour ce banc de cyclage a été mis au point en prenant en compte le mode de défaillance lié au mécanisme physique de défaillance que nous avions identifié. Nous allons expliquer dans la suite ces deux concepts qui sont importants :

- Le mode de défaillance est la signature électrique que nous pouvons relever. En effet, comme nous ne pouvons pas accéder au phénomène en cause dans le composant sans le détruire, nous sommes obligés de faire un diagnostic à partir de la variation d'une valeur physique mesurable : une augmentation de résistance, une variation de courant ou de tension, etc.
- Le mécanisme de défaillance est le processus physique qui peut causer une dégradation dans la structure du composant (un *path* de courant, un *crack* dans une couche, des défauts dans le réseau cristallin, etc.) qui peut, avec le temps, produire une défaillance du composant.

L'une des conséquences des mécanismes de défaillance est le mode de dégradation que nous pouvons mesurer. Ceci nous permet de faire le lien entre l'origine physique et la signature électrique. Il faut prendre en compte que les mécanismes de défaillance ne sont pas toujours soudains, mais évoluent progressivement.

Dans le Tableau 7 nous avons résumé les mesures mises en place, avec les modes de dégradation et l'origine physique pour chaque étude.

Mode de défaillance	Mécanisme de défaillance	Mesure mise en place
V_{TH} shift	Piégeage d'électrons au niveau du stack de grille [98] [100] [101]	$I_D(V_D)$ à différents V_{GS} Courbe $I_D(V_{GS})$ et V_{TH}
R _{DSON} Dynamique	Génération de défauts dans le réseau cristallin [81] [82]	Mesure R _{DSON}
	Piégeage d'électrons au voisinage du canal [102] [103]	Mesure C(V) et surface d'hystérésis
Courant de fuite	Génération de paths de conduction [104] [105] Court-circuit grille-canal 2DEG [106] [107]	Mesure courant de fuite
	Courant de fuite de grille assisté par pièges [97] [48]	Mesure C(V) et surface d'hystérésis

Tableau 7 : Mode et mécanisme de défaillance avec la mesure mise en place, basé sur [108]

Les courbes I(V) sont réalisées avec le traceur de courbes HP4142B. Avec l'unité fort courant HCU (*High Current Unit*) de cet appareil, nous pouvons faire des mesures jusqu'à 10A (mesures impulsionnelles de 1ms) [109]. Les mesures C(V) sont extraites avec l'appareil B1505 Power Device Analyzer/Curve Tracer de Keysight [76] comme nous avons décrit dans le chapitre précédent. Pour mesurer la tension de seuil V_{TH} , nous utilisons la méthode d'extrapolation dans la région linéaire de la courbe $I_D(V_{GS})$ [90], que nous traçons avec l'appareil HP4142B.

3.5. CAMPAGNES DE CYCLAGE

Nous avons réalisé des campagnes de vieillissement avec des paramètres électriques de stress adaptés à chaque référence étudiée, car les transistors ont des caractéristiques différentes. Les caractéristiques les plus importantes de chaque référence sont résumées dans le Tableau 6.

Nous avons fixé les paramètres du stress et le nombre de cycles en cherchant un compromis entre la sensibilité de la détection de la dérive, et la défaillance catastrophique du composant car nous voulons relever une dégradation progressive et éviter une casse abrupte. À cette fin, nous avons réalisé des tests préliminaires avec chaque référence où nous avons commencé par un stress court et ensuite nous avons augmenté le nombre de cycles pour pouvoir mesurer une dérive des transistors sans pour autant arriver à la casse du composant. En plus, nous avons fait des campagnes de vieillissement en faisant varier seulement la tension de commande de grille V_{GS} pour étudier son rôle sur le vieillissement des transistors.

Dans la suite, nous allons présenter les stress pour chaque campagne de vieillissement et les résultats obtenus.

3.5.1. Référence_1

Nous avons soumis 8 composants de la Référence_1 à la campagne de cyclage. L'ensemble des conditions de stress est résumé dans le Tableau 8. Nous avons réalisé deux tests en cyclage actif : l'un avec une tension de commande de grille V_{GS} de 5 V et l'autre avec V_{GS} de 4 V.

Stress	I_D	V_{DS}	kcycles	f_commande	V_{GS}
S1	1 A	10 V	172 k	1 kHz	4 et 5 V
S2	2 A	20 V	172 k	1 kHz	4 et 5 V
S3	4 A	40 V	172 k	1 kHz	4 et 5 V

Tableau 8 : Conditions de stress Référence_1

Après le stress S1 nous avons mesuré sur tous les composants un décalage de la tension de seuil V_{TH} de 6,1% en moyenne, comprise dans les valeurs données par le fabricant. Le décalage a été plus élevé parmi les composants vieillis à V_{GS} de 5 V (d'un 7,8 %, contre un 4,3 % pour ceux vieillis avec V_{GS} de 4 V).

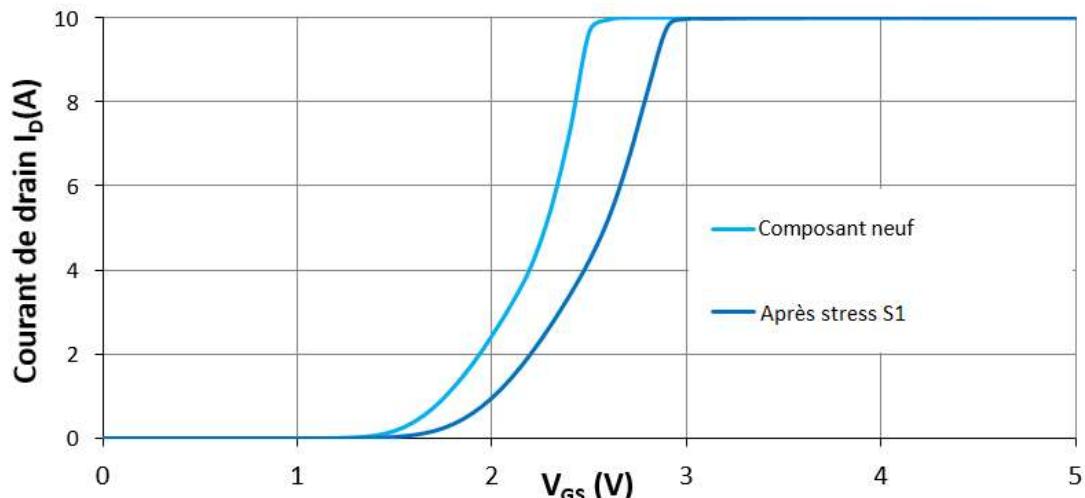


Figure 90 : Courbe $I_D(V_{GS})$ avant et après être soumis au stress S1 - Référence_1 ($V_{DS}=6V$) Saturation de l'appareil de mesure à 10 A.

Les courbes $I_D(V_{GS})$ avant et après stress d'un transistor de la Référence_1 sont tracées sur la Figure 90. L'appareil sature à 10 A (impulsionnelle). Nous remarquons que le courant de drain I_D baisse pour une même valeur de tension de grille V_{GS} .

Nous avons également mesuré une augmentation de la Résistance $R_{DS(on)}$ de 11%, comprise dans les valeurs de la *datasheet* (la valeur maximale de $R_{DS(on)}$ selon le fabricant est de 50 mΩ, voir Tableau 6). La légère augmentation de $R_{DS(on)}$ en fonction de V_{DS} que nous pouvons voir sur la Figure 91 est due à l'échauffement par l'intermédiaire de l'augmentation du courant I_D .

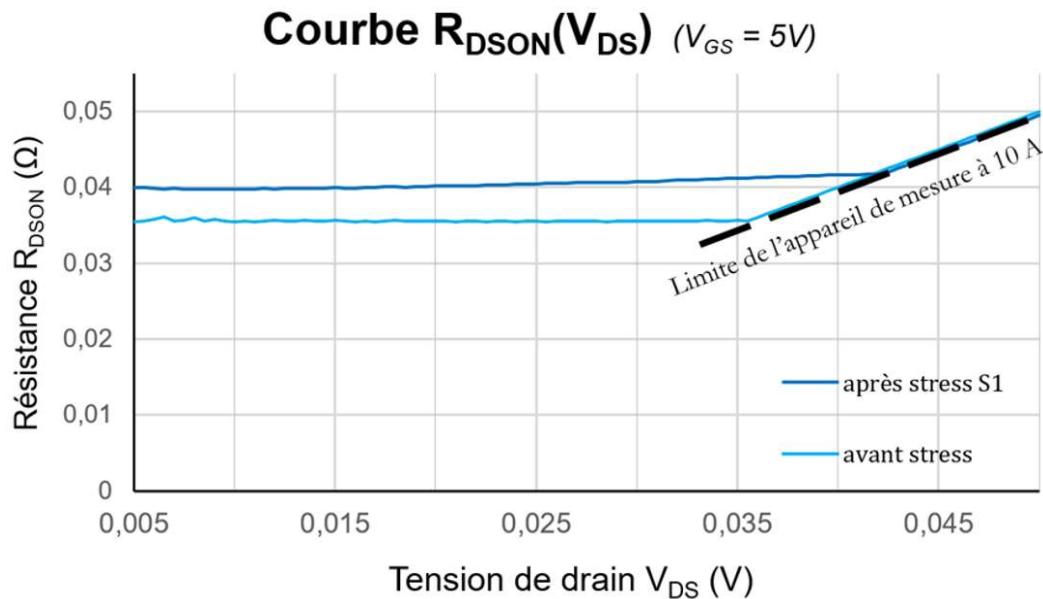


Figure 91 : Résistance R_{DSON} pour une tension de grille V_{GS} de 5V. La résistance est extraite à partir de la mesure du courant I_D pendant le balayage de V_{DS} de 0 V à 50 mV – Référence_1

Afin d'étudier plus en détail la variation de tension de seuil V_{TH} et l'augmentation de la résistance R_{DSON} nous avons tracé également la résistance R_{DSON} en fonction de V_{GS} sur la Figure 92.

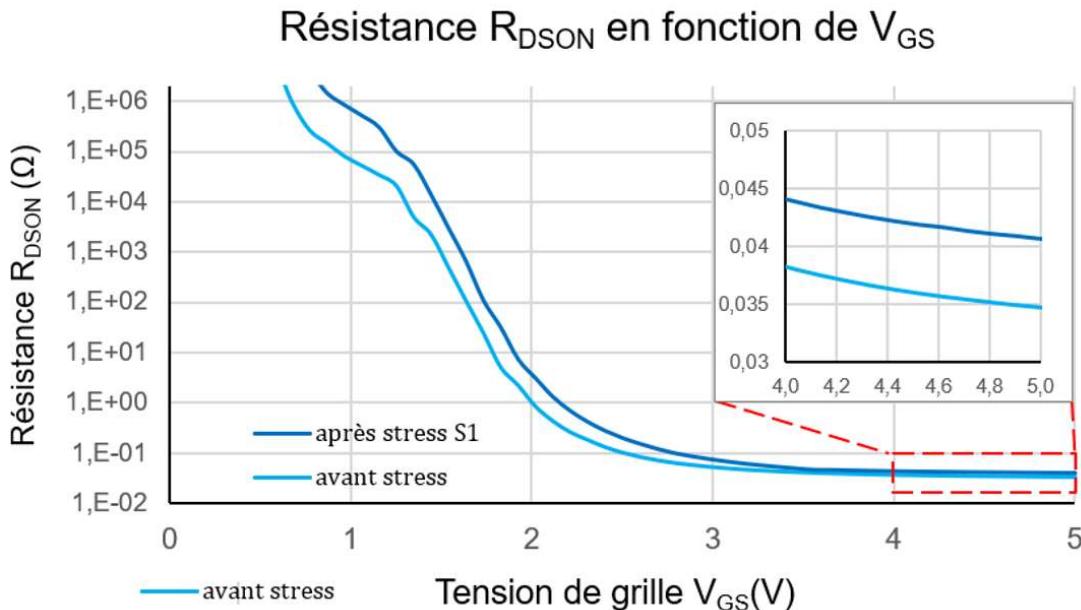


Figure 92 : Résistance R_{DSON} en fonction de V_{GS} pour une tension V_{DS} de 20 mV – Référence_1

Les courbes $I_D(V_{GS})$, $R_{DS(on)}(V_D)$ et $R_{DS(on)}(V_{GS})$ donnent différentes façons de relever un même mode de défaillance. Nous pouvons interpréter cela comme un décalage de la tension de seuil ($V_{TH} shift$), car on a besoin d'une tension de grille plus élevée pour atteindre une même valeur de R_{DSON} suffisamment basse pour considérer que le transistor est passant.

Jusque-là nous avons relevé une légère dégradation, un peu plus importante dans les composants vieillis avec V_{GS} de 5 V mais toujours des valeurs qui sont dans les tolérances de la *datasheet*.

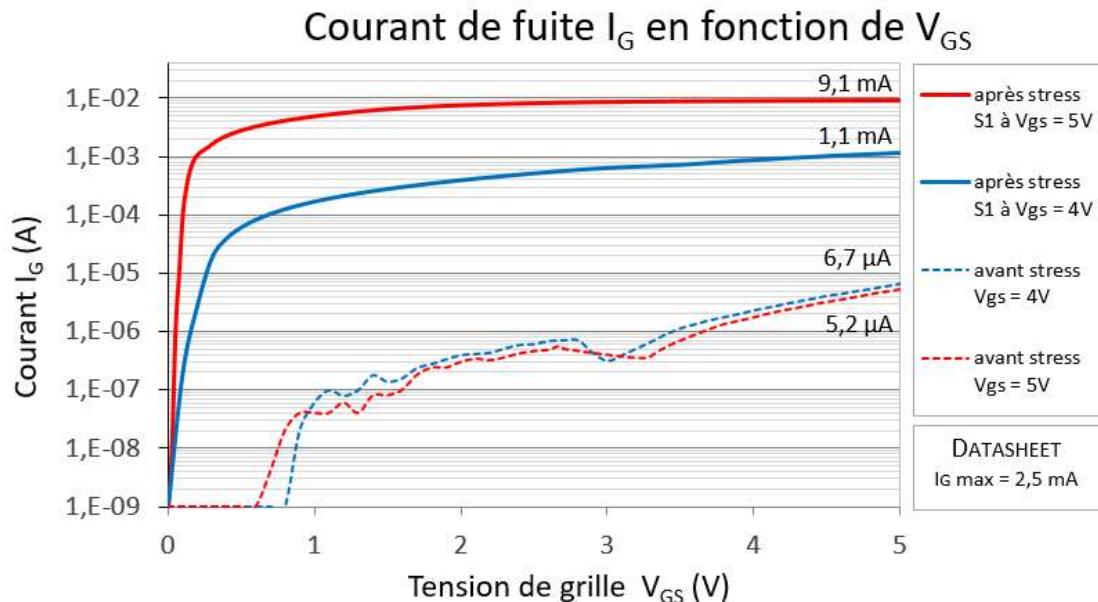


Figure 93 : Courant de fuite de grille I_G en fonction de V_{GS} avant et après le stress S1 ($V_{DS}=0$ V)
Référence_1

Sur la Figure 93 nous avons tracé le courant de fuite I_G de deux composants de la Référence_1, l'un vieilli avec $V_{GS}=4V$ et l'autre avec $V_{GS}=5V$.

Nous voyons que le courant de fuite a dépassé les 2,5 mA dans les composants vieillis à $V_{GS}=5V$ (moyenne de 7,2 mA). Pour les composants vieillis à $V_{GS}=4V$ le courant de fuite reste dans les valeurs de la *datasheet* (moyenne de 1,2 mA).

Ensuite, nous avons appliqué les stress S2 et S3, et nous avons réalisé à nouveau les mesures que nous montrons dans la Figure 94 et la Figure 95.

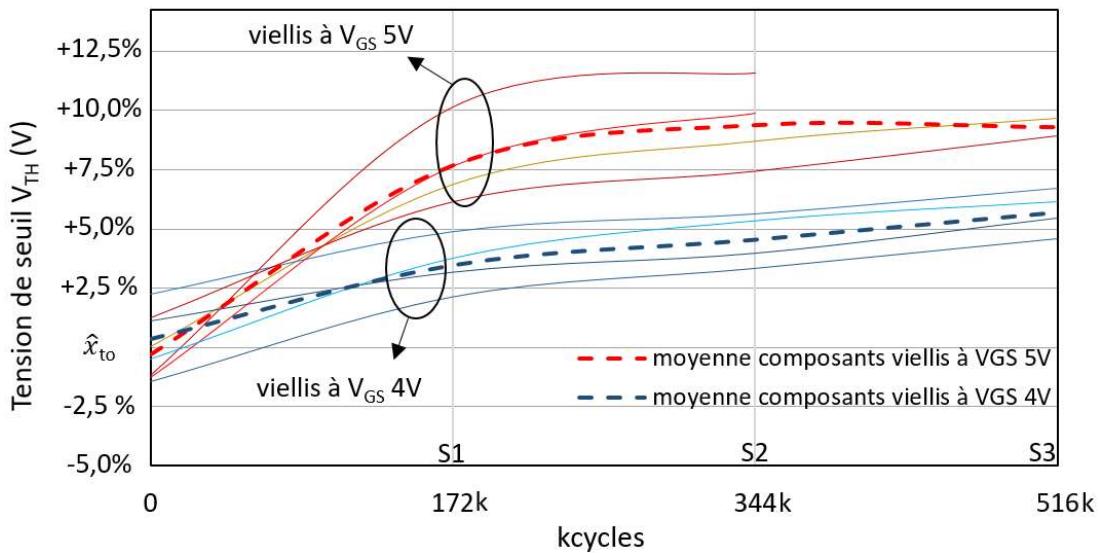


Figure 94 : Evolution de la tension de seuil V_{TH} au cours de la campagne de cyclage par rapport à la moyenne initiale \hat{x}_{to} – Référence_1

Sur la Figure 94 nous avons tracé l'évolution de la tension de seuil V_{TH} en fonction du vieillissement. Nous remarquons que la tension de seuil augmente davantage dans les composants vieillis avec une tension de grille V_{GS} de 5V. Deux composants vieillis à V_{GS} de 5V ont été détruits après le stress S2.

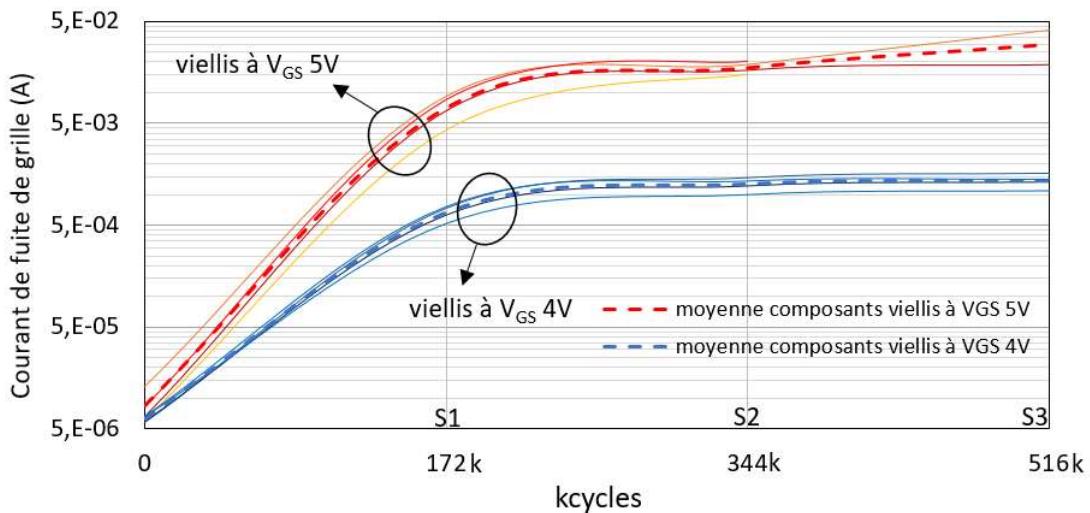


Figure 95 : Evolution du courant de fuite de grille I_G au cours de la campagne de cyclage – Référence_1

Les composants vieillis avec une tension de grille V_{GS} de 5V dépassent 2,5 mA de courant de fuite de grille I_G . Par contre, les composants vieillis avec une tension de grille V_{GS} de 4V présentent une augmentation du courant I_G au bout du premier test et ensuite, pour les stress suivants, ils restent stables et toujours dans les tolérances de la *datasheet* (voir Figure 95). Ceci montre que la dégradation observée dans les composants dépend essentiellement de la commande de grille.

Afin de trouver la cause de cette dégradation, nous avons observé à l'oscilloscope le signal de commande à la grille des transistors qui sont pilotés à 5V. Nous avons mesuré ce signal au plus proche possible du pad de la grille, et nous avons obtenu l'allure de la Figure 96.

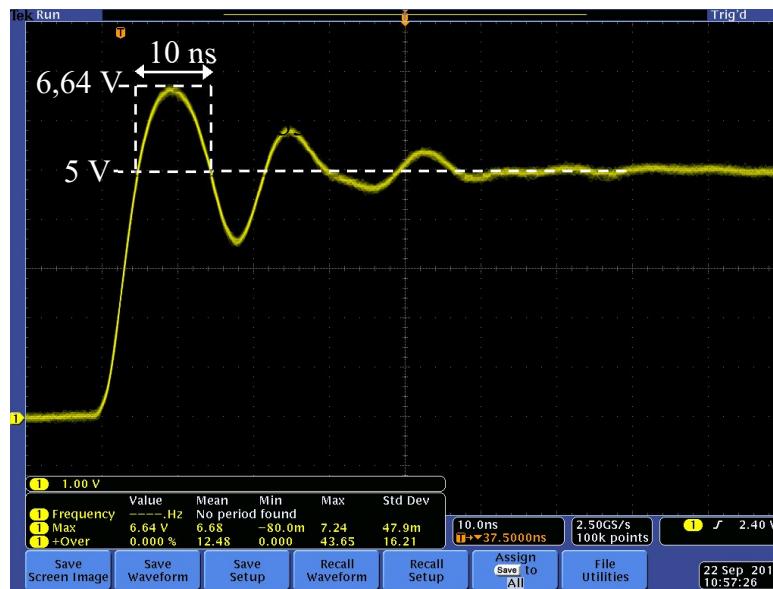


Figure 96 : Allure de la tension de commande de grille V_{GS} lors de la commutation OFF/ON

Nous voyons qu'il y a un dépassement au-delà de la valeur maximale donnée par la *datasheet* ($V_{GSMAX} = 6$ V). La fragilité de la grille pGaN à des surtensions a été étudiée dans plusieurs travaux [107] [110] [111] [112]. Pour les composants vieillis à $V_{GS} = 4$ V, le dépassement que nous avons mesuré à l'oscilloscope est de 5,1 V valeur dans les limites données par la *datasheet*. Tout semble indiquer que ce dépassement qui sort des tolérances données par le constructeur est à l'origine de la dégradation observée dans les composants Référence_1 vieillis à une tension de grille V_{GS} de 5V.

La cause de ce dépassement pourrait être dû au circuit de commande de grille. La carte PCB1 que nous avons utilisée dans cette campagne de cyclage présente une piste de 25mm qui, avec le connecteur et la piste qui sort des drivers et les résistances de pull-up et pull-down, pourrait rajouter une inductance parasite qui cause le dépassement observé. Comme nous avons développé deux types de carte (PCB1 et PCB2), l'utilisation d'une carte plus petite (PCB2), nous permet de confirmer cette analyse. Ceci sera détaillé dans le paragraphe suivant.

3.5.2. Référence_2

Nous avons soumis 8 composants de la Référence_2 à la campagne de cyclage. L'ensemble des conditions de stress est résumé dans le Tableau 9. Nous avons réalisé deux tests en cyclage actif en faisant varier la tension de commande de grille V_{GS} : un test avec de $V_{GS} = 5$ V et l'autre avec $V_{GS} = 4$ V.

Stress	I_D	V_{DS}	kcycles	f_commande	V_{GS}
S1	1 A	10 V	172 k	1 kHz	4 et 5 V
S2	3 A	15 V	172 k	1 kHz	4 et 5 V
S3	5 A	25 V	172 k	1 kHz	4 et 5 V

Tableau 9 : Conditions de stress Référence_2

Après avoir soumis les composants aux stress S1 nous avons réalisé les mesures de caractérisation. La Figure 97 montre l'évolution du courant de fuite de grille I_G avant et après le stress S1.

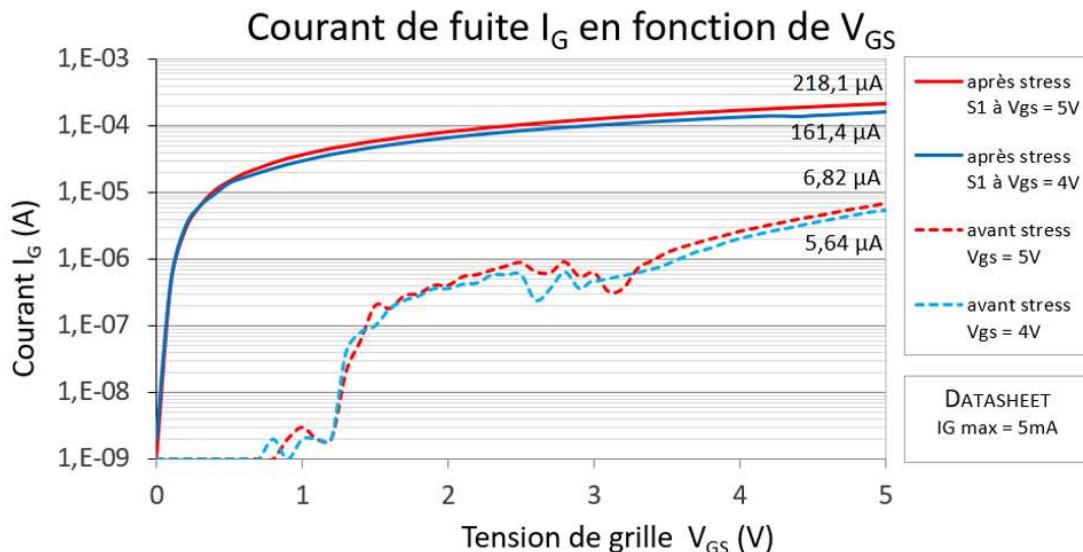


Figure 97 : Courant de fuite de grille I_G en fonction de V_{GS} avant et après le stress S1 ($V_{DS}=0$ V)
Référence_2

Nous constatons qu'après le stress S1 le courant de fuite a augmenté par rapport à la caractérisation initiale en restant dans les tolérances données par le fabricant. Contrairement aux résultats du test sur les composants de la Référence_1, il n'y a pas une différence remarquable entre les composants vieillis à $V_{GS} = 5$ V et ceux à $V_{GS} = 4$ V.

La tension de seuil a également augmenté dans les tolérances données par la datasheet, et nous n'observons pas de différence entre les composants vieillis à une tension de grille V_{GS} de 5 V et de 4 V.

Nous avons poursuivi le test avec les stress S2 et S3 sans observer aucune défaillance.

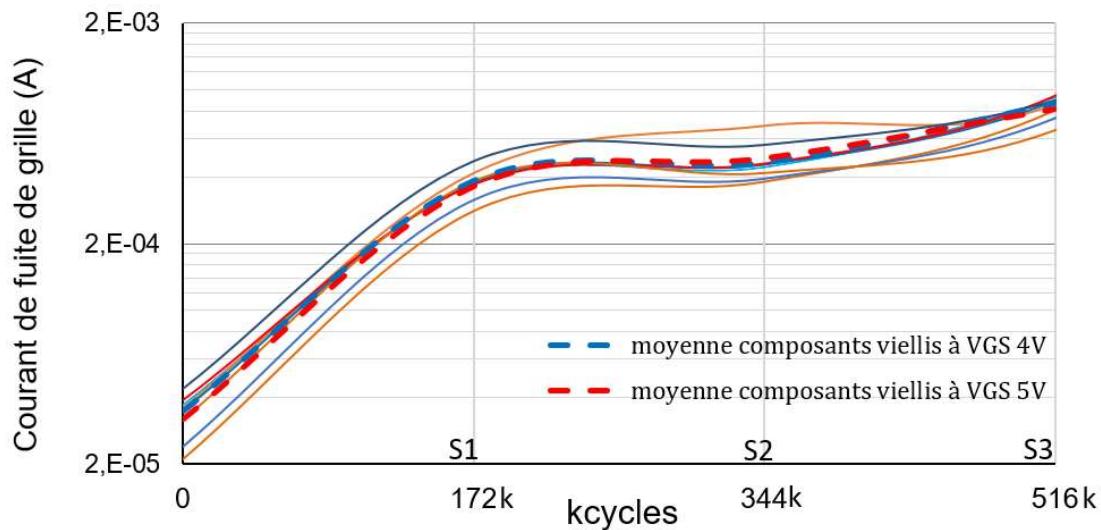


Figure 98 : Evolution de la tension de seuil V_{TH} au long de la campagne de cyclage – Référence_2

Sur les Figures 89 et 90 sont montrés l'évolution du courant de fuite de grille I_G et de la tension de seuil V_{TH} en fonction du vieillissement.

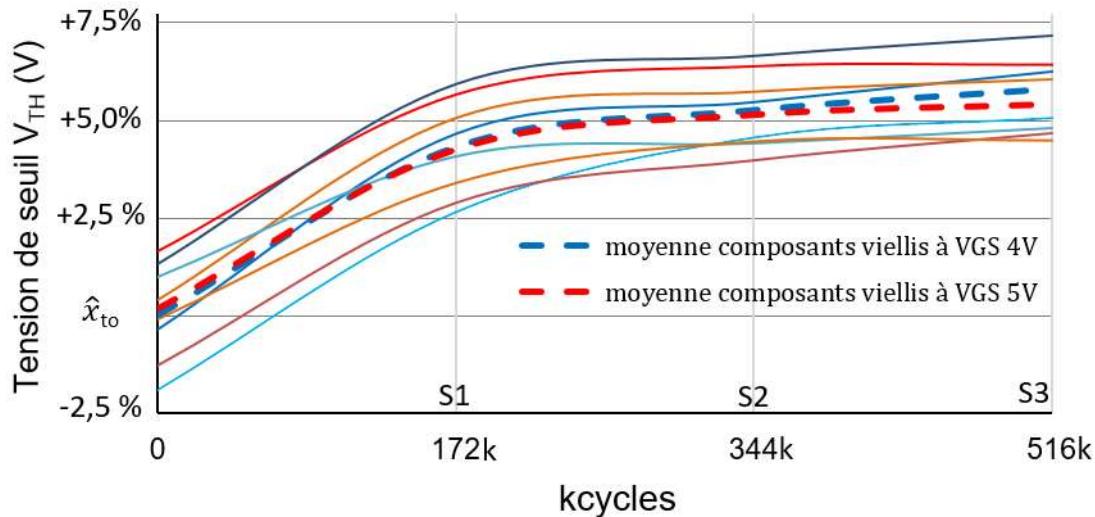


Figure 99 : Evolution de la tension de seuil V_{TH} au long de la campagne de cyclage par rapport à la moyenne initiale \hat{x}_{to} – référence_2

Lors des tests des composants Référence_2 nous n'avons pas observé de dépassement de la tension de commande de grille V_{GS} . Ceci valide notre hypothèse sur l'origine de la dégradation que nous avons observée (test de la Référence_1) et qui serait reliée au dépassement de la tension de grille.

3.5.3. Référence_3

Les composants de la Référence_3 ont des caractéristiques différentes des composants étudiés précédemment concernant la tension de commande de grille (voir Tableau 6). Nous avons soumis 8 composants de la Référence_3 à la campagne de cyclage avec les conditions de stress montrées dans le Tableau 10. Nous avons fait varier la tension de commande de grille V_{GS} de 5 V à 6 V afin d'étudier la robustesse de la grille des composants.

Stress	I_D	V_{DS}	kcycles	f_commande	V_{GS}
S1	5 A	25 V	172 k	1 kHz	5 et 6 V
S2	6 A	30 V	172 k	1 kHz	5 et 6 V
S3	6 A	30 V	172 k	1 kHz	6 et 7 V

Tableau 10 : Conditions de stress Référence_3

Après avoir soumis les composants aux stress S1 nous avons réalisé les mesures de caractérisation.

Courant de fuite I_G en fonction de V_{GS}

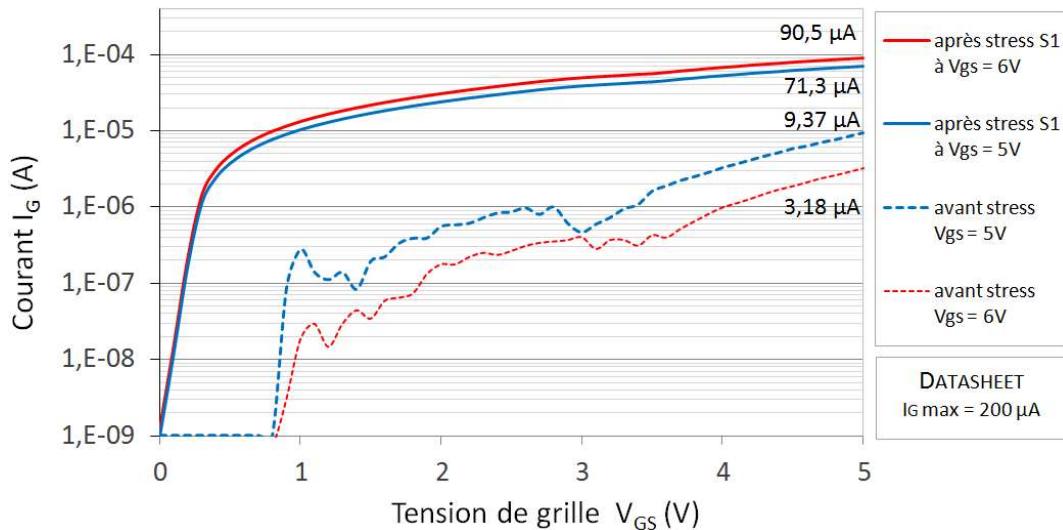


Figure 100 : Courant de fuite de grille I_G en fonction de V_{GS} avant et après le stress S1 ($V_{DS}=0$ V) Référence_3

La Figure 100 montre l'évolution du courant de fuite de grille I_G avant et après le stress S1. Le courant de fuite a augmenté par rapport à la caractérisation initiale, mais reste toujours dans les tolérances données par le fabricant. Nous ne voyons pas une différence entre les composants vieillis à une tension de grille V_{GS} de 5 V et de 6 V. La tension de seuil a très légèrement augmenté (de 0,2% en moyenne).

Nous avons poursuivi le test avec les stress S2 et S3, sans observer aucune défaillance. Les évolutions de la tension de seuil V_{TH} et du courant de fuite de grille I_G avec le vieillissement sont montrées dans les figures 92 et 93.

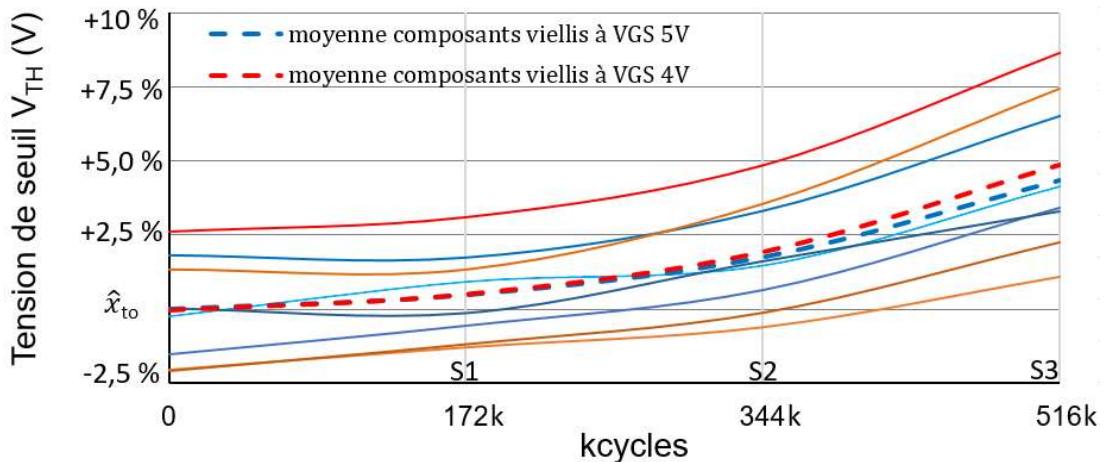


Figure 101 : Evolution de la tension de seuil V_{TH} au long de la campagne de cyclage – Référence_3

Après le stress S2 la tension de seuil V_{TH} a augmenté de 1,3 % en moyenne. Ensuite, nous avons soumis les composants au stress S3, avec une tension de commande de grille V_{GS} de 6 V et 7 V et nous avons mesuré une augmentation de la tension de seuil V_{TH} de 2,9 % en moyenne. Nous n'avons pas mesuré de différence entre les composants vieillis à V_{GS} de 5 V et 6 V.

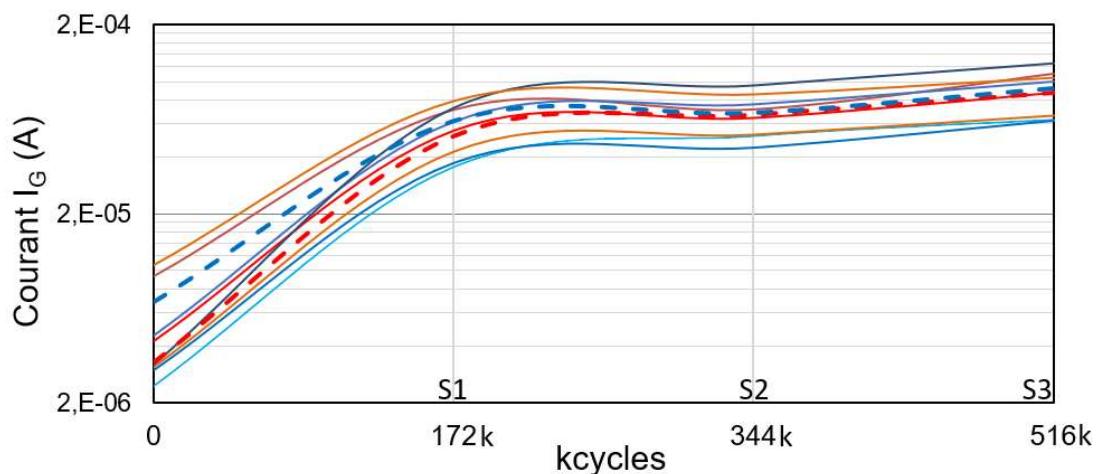


Figure 102 : Evolution du courant I_G au long de la campagne de cyclage – Référence_3

Nous avons constaté une légère augmentation du courant de fuite de grille, mais toujours dans les tolérances données par le fabricant.

3.6. MESURES C(V_{GS}) POUR LE BANC DE CYCLAGE

Nous avons étudié l'évolution de la caractéristique $C(V_{GS})$ pendant le vieillissement des composants. La Figure 103 montre l'évolution de la caractéristique $C(V_{GS})$ avec le vieillissement.

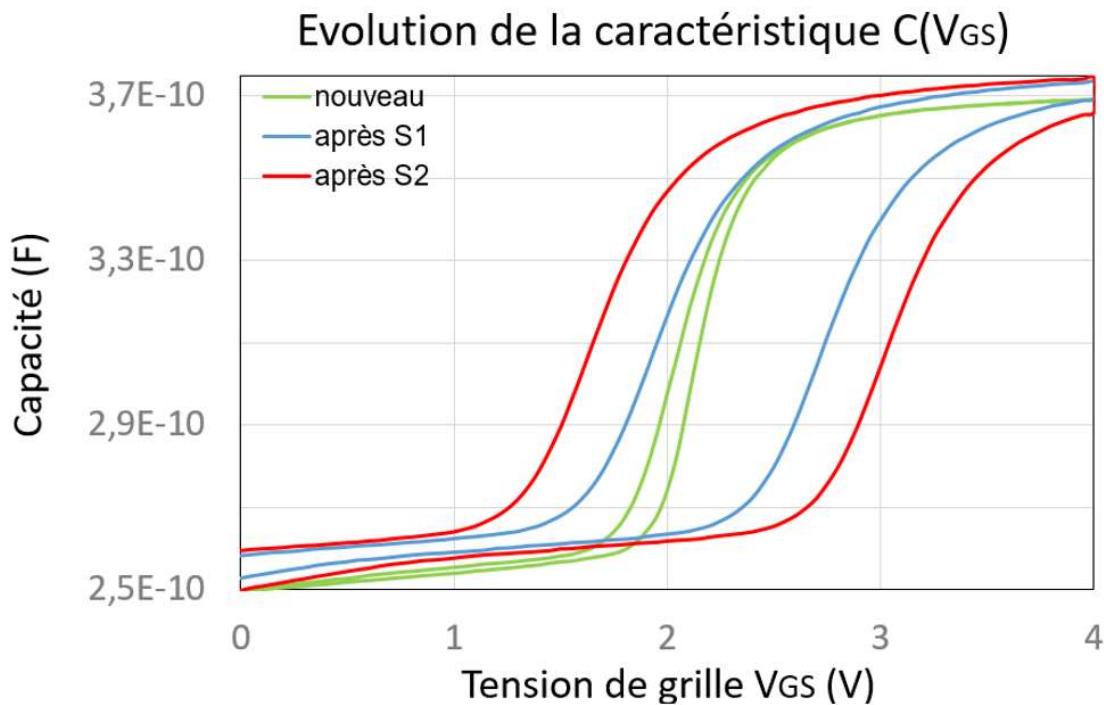


Figure 103 : Evolution de la courbe $C(V_{GS})$ – vieilli à $V_{GS} = 5$ V

Nous constatons que la surface d'hystérésis augmente en fonction du vieillissement. Pour mieux apprécier l'évolution de la surface d'hystérésis nous avons tracé l'intégrale de la capacité en fonction de la tension de grille V_{GS} dans la Figure 104.

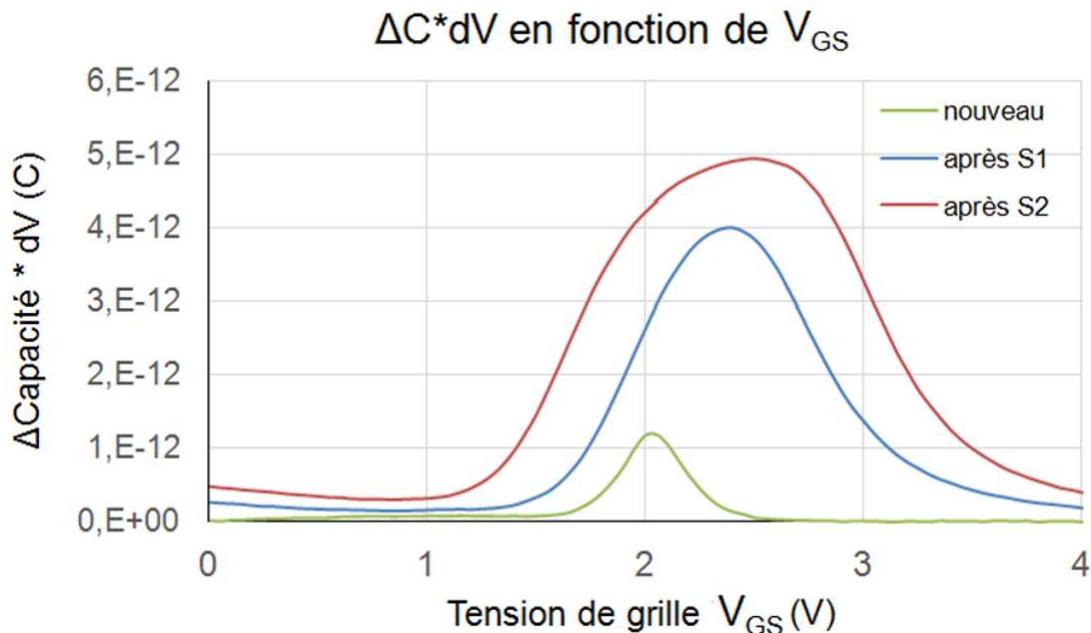


Figure 104 : Intégrale de la capacité par rapport à la tension V_{GS} vieilli à $V_{GS} = 5$ V

Nous pouvons remarquer que le maximum de la surface d'hystérésis est décalé à droite (après chaque stress, le maximum apparaît sur une valeur de V_{GS} plus élevée).

Pour bien mettre en évidence l'effet du dépassement de la tension de grille, nous comparons avec les résultats de test à $V_{GS} = 4V$ (donc sans dépassement de la tension V_{GS}) donnés par la Figure 105. Nous pouvons constater que l'augmentation de surface d'hystérésis et le décalage du sommet sont plus modérés.

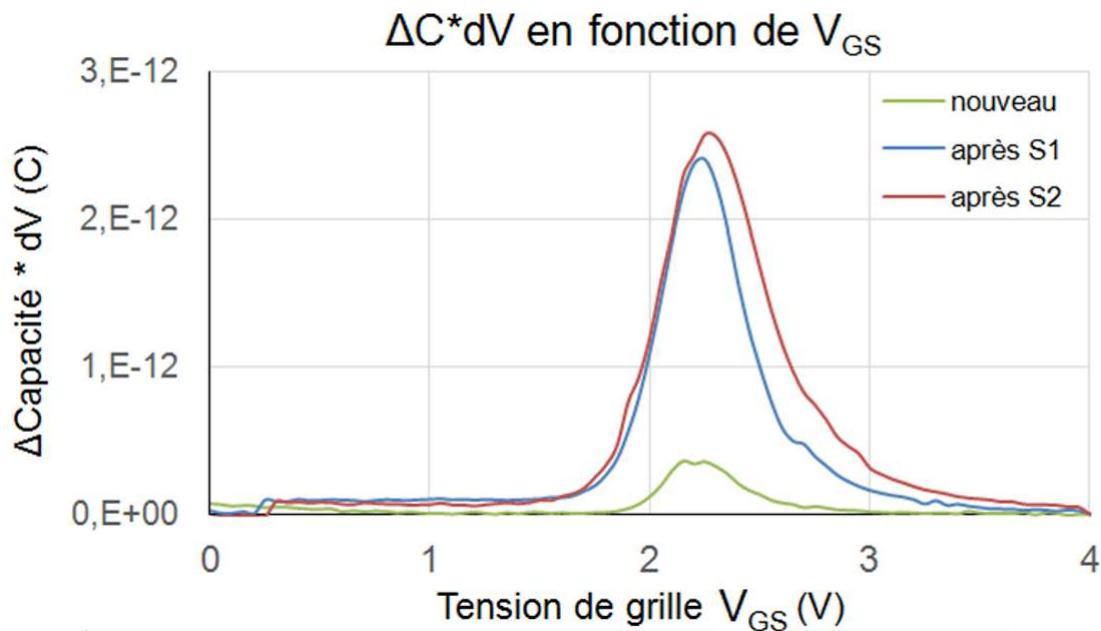


Figure 105 : Intégrale de la capacité par rapport à la tension V_{GS} vieilli à $V_{GS} = 4 V$

3.6.1. Analyse des courbes d'hystérésis

La surface d'hystérésis enfermée entre les courbes $C(V)$ du balayage d'aller et de retour dépend de la charge électrique piégée dans la structure du transistor [73]. L'unité de surface dans le plan capacité-tension est une charge électrique en coulombs : une capacité (F) multipliée par une tension (V).

Nous pouvons identifier les différents paramètres de cette courbe :

- Pente de la courbe $C(V)$, c'est-à-dire, la dérivée dC/dV de la capacité par rapport à la tension,
- Décalage de la courbe $C(V)$ entre de balayage d'aller et de retour,
- Allure de la courbe de surface d'hystérésis,
- Maximum de la courbe de surface d'hystérésis.

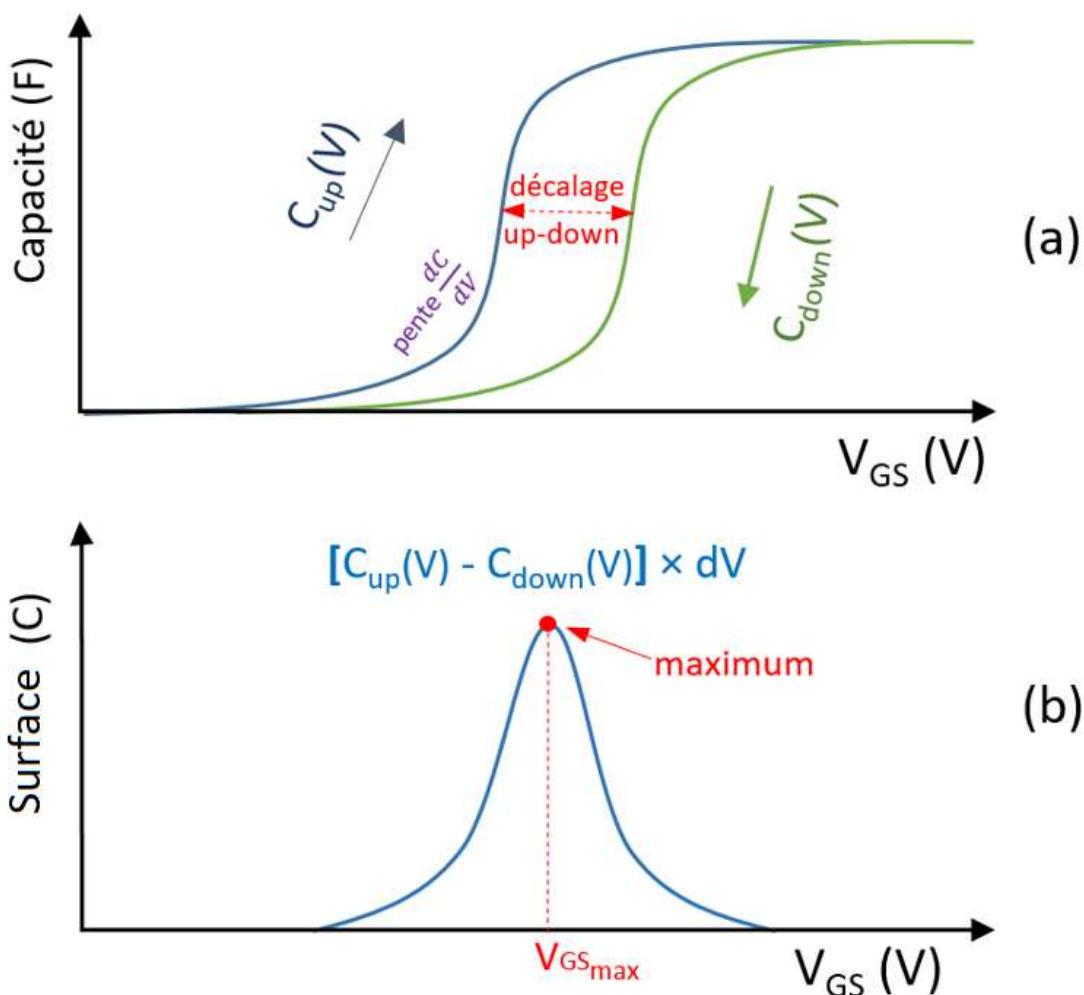


Figure 106 : (a) Courbes $C(V)$ et (b) courbe de la surface d'hystérésis

3.6.1.1. Point maximum de surface d'hystérésis

Dans les campagnes de vieillissement nous avons observé un décalage du maximum de la surface d'hystérésis allant dans le sens de l'augmentation de la tension V_{GS} (voir figures Figure 104 et Figure 105). Nous observons le même phénomène pour la tension de seuil V_{TH} (voir Figure 94). Il semble donc y avoir un lien entre l'augmentation de la tension de seuil V_{TH} et l'évolution de la valeur de V_{GS} pour laquelle on trouve le maximum de surface d'hystérésis. Dans la Figure 107 nous avons tracé la relation entre la tension de seuil V_{TH} et la tension V_{GS} pour le maximum de la surface d'hystérésis.

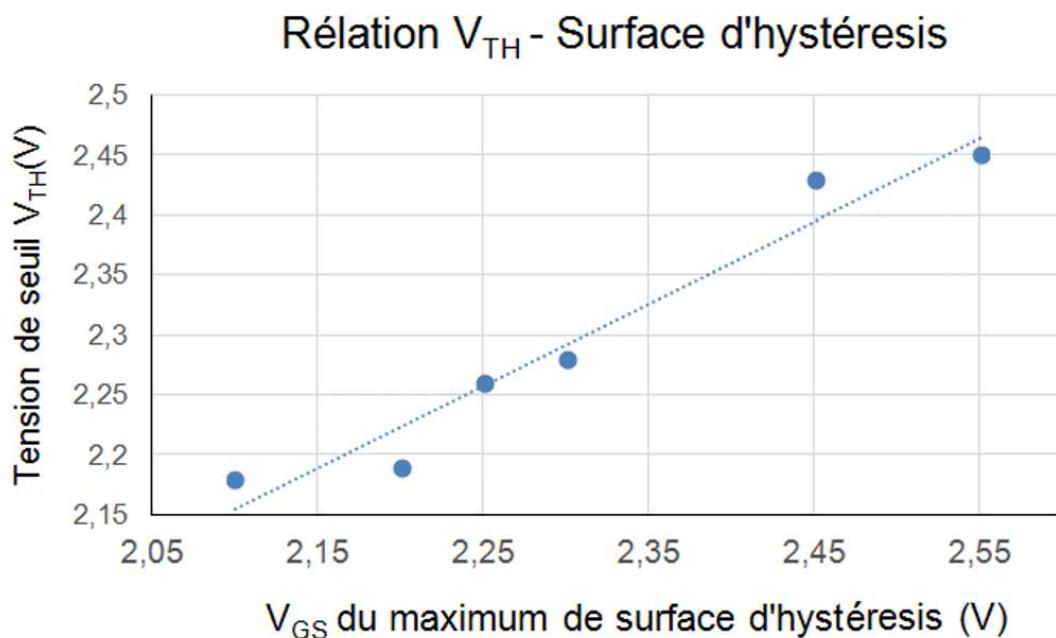


Figure 107 : Relation entre la tension de seuil et le maximum de la surface d'hystérésis

Chaque point représente la tension de seuil (en ordonnées) et la valeur de V_{GS} où se trouve le maximum de surface d'hystérésis (en abscisses). Le décalage à droite du maximum de la courbe d'hystérésis est donc lié à l'augmentation de la tension de seuil V_{TH} . Il existe une relation quasiment linéaire entre l'évolution de la tension de seuil V_{TH} et celle de la tension V_{GS} à laquelle on observe le maximum de surface d'hystérésis.

3.6.1.2. Pente de dC/dV

La pente dC/dV lors du balayage montant (commutation OFF-ON) est un paramètre important. Nous avons observé qu'elle varie lors du vieillissement, et ceci a un impact sur la densité surfacique d'électrons N_s dans l'hétérostructure au niveau de la grille. Nous pouvons calculer N_s à partir de l'équation suivante [113], [114] :

$$N_s = \frac{1}{q\epsilon_0\epsilon_r A^2} \times \frac{C^3}{dC/dV} \quad (3.6)$$

Où q est la charge de l'électron, ϵ est la permittivité diélectrique de la couche concernée, A est la surface du contact Schottky, C est la capacité surfacique de déplétion (à l'état OFF) et dC/dV est la pente de la courbe $C(V)$ entre V_1 et V_2 (voir Figure 108).

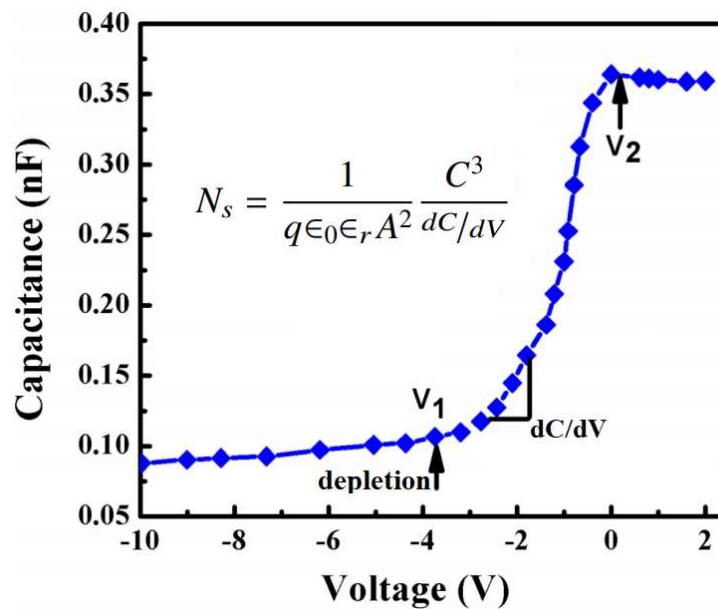


Figure 108 : Courbe $C(V)$ d'une hétérostructure AlGaN/GaN [114]

Dans [113] et [114] a été calculé la concentration d'électrons dans une hétérostructure AlGaN/GaN. La tension appliquée (l'axe d'abscisses dans la Figure 108) correspond à une tension entre l'anode et la cathode de l'hétérostructure, ce qui dans notre cas correspond à la tension V_{GS} . Il faut noter que dans notre cas, nous ne polarisons pas seulement une structure AlGaN/GaN, mais un empilement de grille (pGaN, AlGaN, GaN). La concentration d'électrons N_s que nous pouvons relever sera une image de la concentration d'électrons à

l'hétérostructure au niveau du canal 2DEG [114] et de la concentration d'électrons piégés à proximité de la grille [113].

Nous ne connaissons ni la surface A ni la permittivité diélectrique \mathcal{E} de notre transistor. Cependant, nous pouvons comparer la concentration d'électrons dans l'hétérostructure N_s avant et après vieillissement, étant donné que le produit $\mathcal{E}A^2$ reste constant.

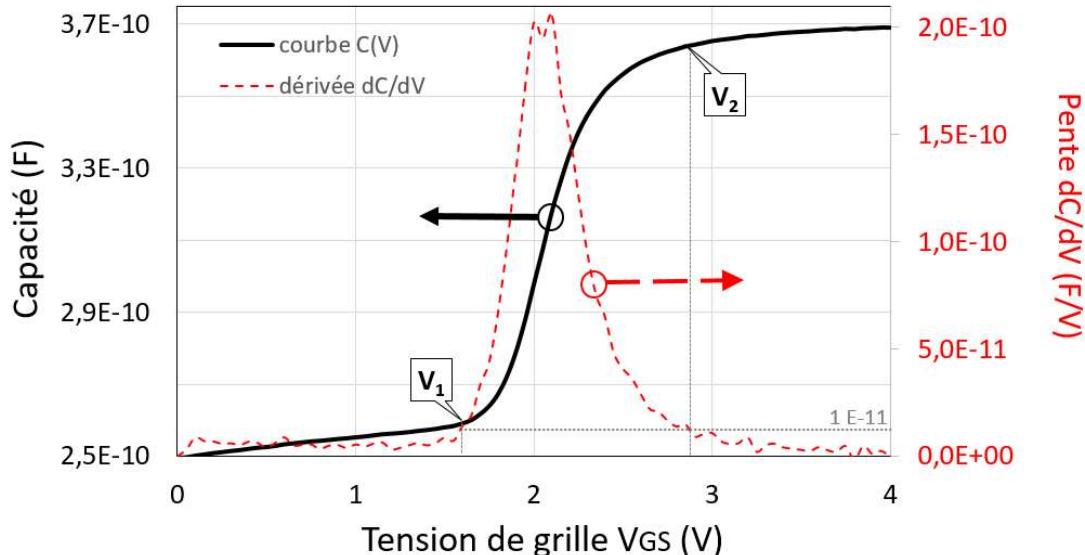


Figure 109 : Capacité mesurée en fonction de V_{GS} (en noir) et la dérivée de la capacité en fonction de V_{GS} (en rouge).

Dans la Figure 109 nous avons tracé la caractéristique $C(V_{GS})$ en noir et sa dérivée par rapport à la tension V_{GS} en rouge. Nous avons identifié les points V_1 et V_2 . Le point V_1 est le point dans la courbe $C(V)$ où, le transistor étant à l'état bloqué, la capacité commence à croître (sa dérivée vaut $1 \times 10^{-11} \text{ F/V}$). Nous avons pris cette valeur par analogie avec [114], et nous avons gardé la même méthode dans la suite afin de comparer la densité d'électrons dans l'hétérostructure en fonction du vieillissement. Le point V_2 est le point dans la courbe $C(V)$ où, le transistor étant à l'état passant, on arrive au plateau et la capacité se stabilise (sa dérivée vaut $1 \times 10^{-11} \text{ F/V}$).

Nous avons calculé la densité d'électrons avec tous les transistors au cours de la campagne de vieillissement. Sur la Figure 110 nous avons tracé l'évolution de densité d'électrons pour différents transistors, en rouge pointillé l'évolution de la moyenne. Nous avons observé que la concentration d'électrons augmente avec le vieillissement. L'augmentation d'électrons dans l'hétérostructure pourrait être due à la présence de nouveaux pièges au niveau de la grille [113] ou à une augmentation de la concentration d'électrons au canal [114]. Nous avons mesuré une augmentation de la résistance $R_{DS(on)}$ en fonction du vieillissement (voir 3.5.1), ceci semble indiquer que la cause de l'augmentation de $N_s/\mathcal{E}A^2$ est la présence de

nouveaux pièges au niveau de la grille et non à une augmentation de la concentration d'électrons au canal.

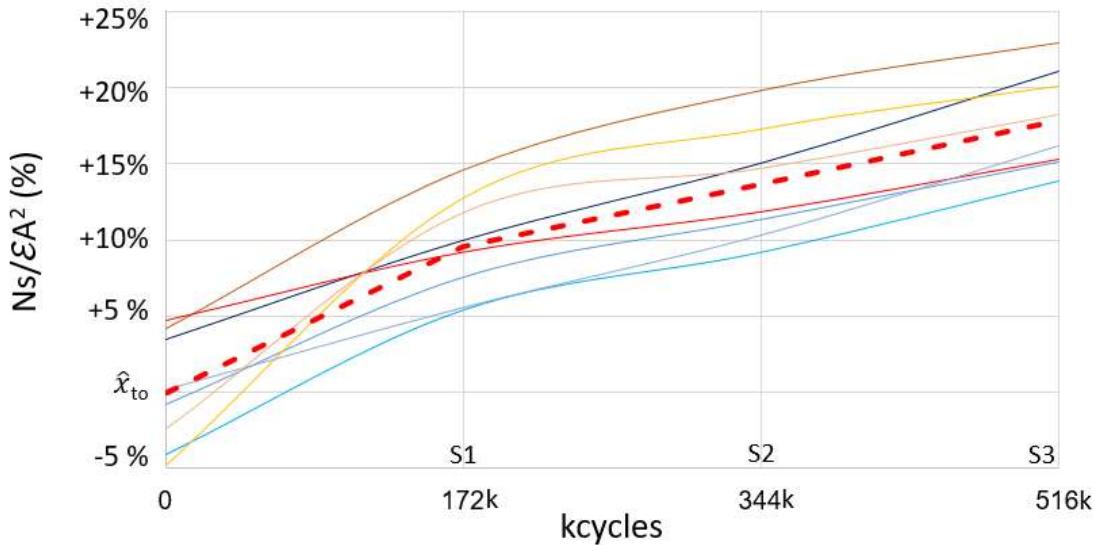


Figure 110 : Évolution de la densité surfacique d'électrons $N_s/\epsilon A^2$

Le paramètre de l'équation 3.6 qui change plus fortement avec le vieillissement est la pente de la courbe dC/dV . La diminution de la pente dC/dV , est donc la variable qui fait augmenter $N_s/\epsilon A^2$.

3.6.1.3. Modélisation des courbes d'hystérésis

Nous avons modélisé les courbes de surface d'hystérésis afin d'étudier leur évolution en fonction du vieillissement. Les courbes d'hystérésis ont été normalisées, centrées autour de zéro avant de les modéliser avec la distribution de Pearson de type IV (voir équation 3.7). Nous avons choisi cette distribution parce qu'elle permet de modéliser des courbes symétriques et non-symétriques avec quatre paramètres (m , v , a et k) que l'on peut utiliser pour étudier la forme de la courbe [115].

$$f(x)dx = k \left[1 + \left(\frac{x - \lambda}{a} \right)^2 \right]^{-m} \exp \left[-v \times \tan^{-1} \left(\frac{x - \lambda}{a} \right) \right] \quad (3.7)$$

Sur la Figure 111 nous avons tracé la courbe d'hystérésis normalisée d'un transistor avant vieillissement, centrée à $x=0$. La distribution de Pearson type IV se superpose à celle de la surface d'hystérésis pour une valeur de $m=14,15$; $v=0,18$; $a=1,24$ et $k=1,01$.

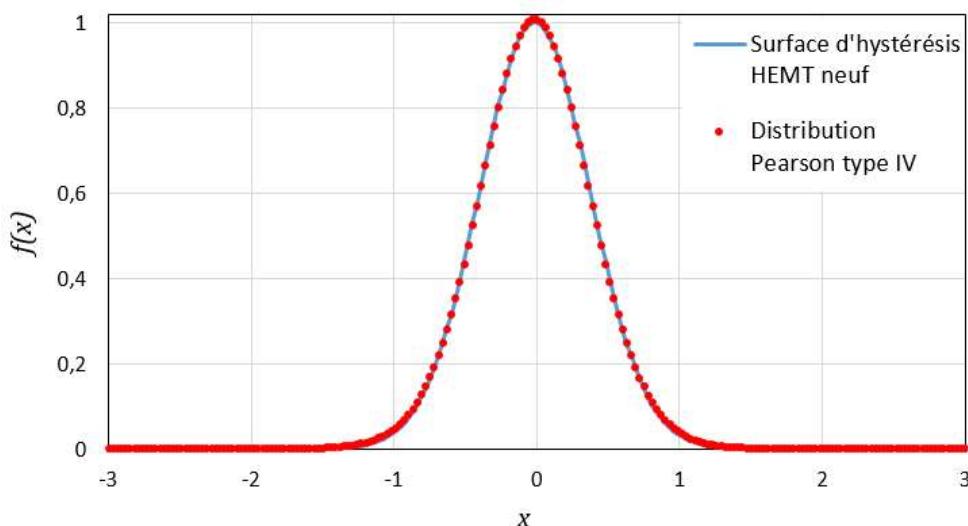


Figure 111 : Surface d'hystérésis d'un transistor neuf et distribution de Pearson type IV

Nous avons réalisé la même procédure pour un transistor après le stress S1 et S2, et nous avons trouvé les valeurs montrées dans le Tableau 11 :

Paramètre	Composant neuf	Après stress S1	Après stress S2
m	14,15	3,96	2,74
v	0,18	0,05	0,03
a	1,24	1,29	1,46
k	1,01	1,03	1,04

Tableau 11 : Paramètres des distributions Pearson type IV avant, pendant et après le vieillissement

Sur la Figure 112 nous avons tracé les courbes de distribution de Pearson avec les paramètres que nous avons calculés.

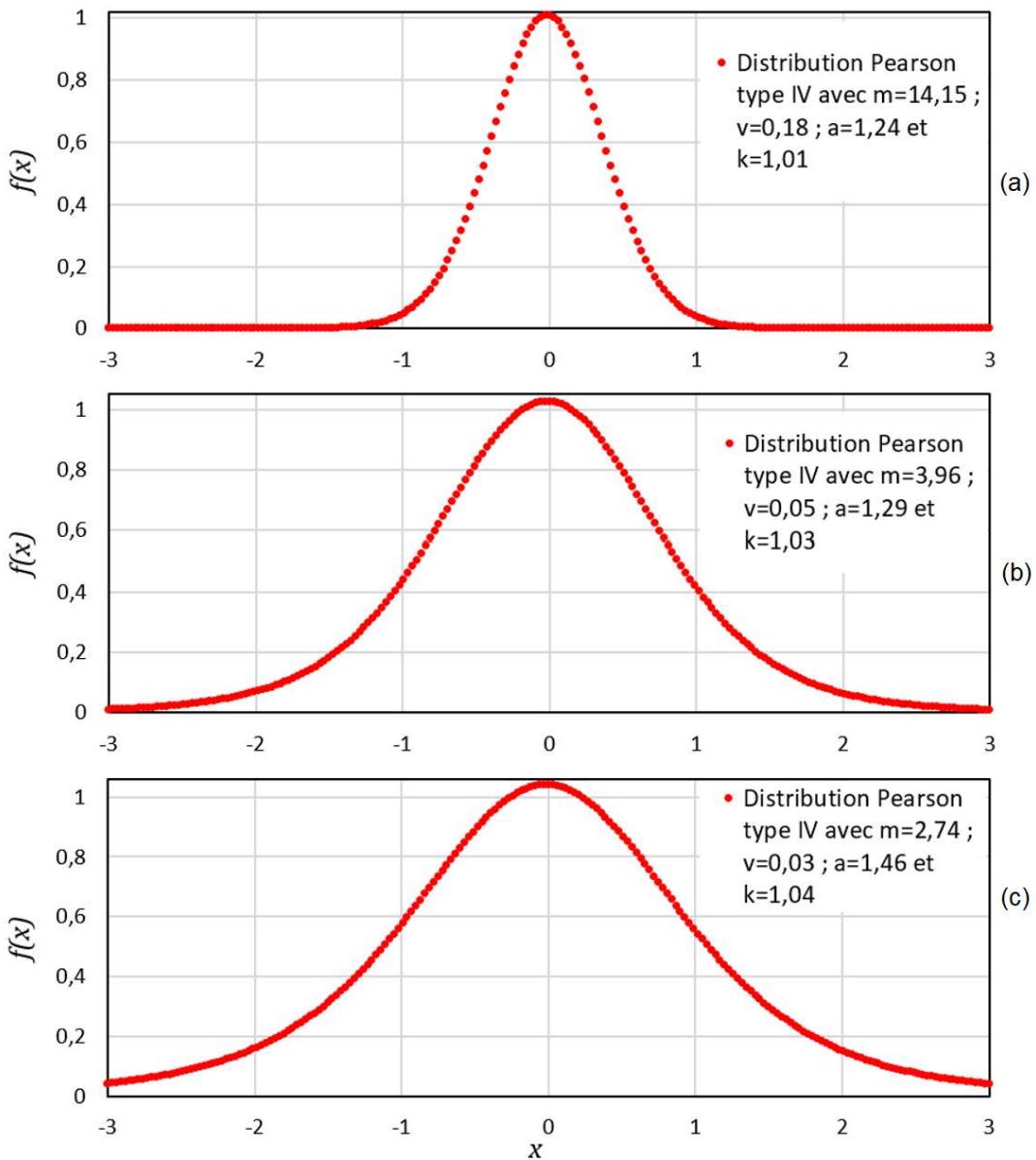


Figure 112 : Courbes de distribution de Pearson type IV (a) avant, (b) pendant et (c) après vieillissement.

Avec les paramètres obtenus, on peut calculer les moments des distributions de Pearson. Les moments sont des indicateurs de la forme de la distribution, à savoir la symétrie, le maximum ou l'étalement [116].

Le moment Skewness (γ) donne la forme de la distribution et, plus précisément une indication sur la symétrie de la distribution. Si $\gamma=0$, alors la distribution est parfaitement symétrique ; $\gamma<0$ indique une queue à gauche du pic central (il y a plus de surface à gauche du pic) ; et $\gamma>0$ indique au contraire une

queue plus importante à droite du maximum. La valeur de γ en fonction des paramètres de Pearson est donnée par l'équation 3.8.

$$\gamma = -\frac{2\nu}{m-2} \times \sqrt{\frac{2m-3}{\nu^2 + (2m-2)^2}} \quad (3.8)$$

Le moment Kurtosis (β) contient information sur la forme de la distribution dans la région du maximum, c'est-à-dire, si est plus ou moins pointue. Pour des valeurs de $\beta=3$, la distribution sera pointue comme une courbe de loi normale. Plus grande sera β , plus aplatie sera la région du maximum. L'expression de β en fonction des paramètres de Pearson est donnée par l'équation 3.9.

$$\beta = \frac{\gamma^2(2m-6) + 6m-9}{2m-5} \quad (3.9)$$

Sigma (σ) donne l'étalement de la courbe, c'est-à-dire, si la surface est concentrée dans la région du maximum ou si, au contraire, la surface s'étale à gauche et à droite du maximum (une équivalence de l'écart type pour la loi normale). L'expression de σ en fonction des paramètres de Pearson est donnée par l'équation 3.10.

$$\sigma = \frac{4a}{\sqrt{16(r-1) - 3\gamma^2(r-2)^2}} \text{ où } r = \frac{6(\beta - \gamma^2 - 1)}{2\beta - 3\beta\gamma^2 - 6} \quad (3.10)$$

Nous avons calculé les moments pour la modélisation Pearson type IV des transistors en fonction du vieillissement.

Moment	Composant neuf	Après stress S1	Après stress S2
Skewness (γ)	-0,0056	-0,0184 (+228,6%)	-0,0322 (+75%)
Kurtosis (β)	3,2573	5,0527 (+55,1%)	15,1468 (+199,8%)
Sigma (σ)	0,0123	0,0656 (+433,3%)	0,1464 (+123,2%)

Tableau 12 : Moments de Pearson type IV en fonction du vieillissement

Nous constatons que les valeurs de Skewness (γ) restent proches de zéro mais évoluent en fonction du vieillissement montrant l'apparition d'une légère dissymétrie des courbes. Le moment Kurtosis (β) indique que les courbes sont plus pointues quand le transistor est neuf, et en fonction du vieillissement deviennent de plus en plus aplatis. L'évolution de Sigma (σ) en fonction du vieillissement montre que dans les transistors neufs, la surface d'hystérésis se trouve concentrée autour du pic central, et avec le vieillissement la surface s'étale à droite et à gauche du pic. Nous savons aussi que la surface s'étale d'avantage à

gauche du pic, car Skewness (γ) est de plus en plus négative en fonction du vieillissement.

3.6.1.4. Rôle des paramètres sur la surface d'hystérésis

Chaque un des paramètres que nous avons étudié (décalage entre le balayage d'aller et le balayage de retour, la dérivée dC/dV et l'allure de la courbe) a un effet sur la surface d'hystérésis.

Dans les courbes d'hystérésis on observe un plateau (voir Figure 113b.2) qui fait augmenter la surface d'hystérésis. Un plateau apparaît quand l'écart entre le balayage d'aller et celui de retour $\Delta C = C_{up}(V_{GS}) - C_{down}(V_{GS})$ est constant pour un intervalle de V_{GS} .

Le décalage entre le balayage d'aller et celui de retour que l'on constante avec le vieillissement engendre un plateau sur la courbe de surface d'hystérésis quand l'écart entre le front montant et descendant est très important (voir Figure 113b.1), car le balayage d'aller C_{up} est arrivé presque à sa valeur maximal, tandis que balayage de retour C_{down} n'est pas encore arrivé au coude de montée.

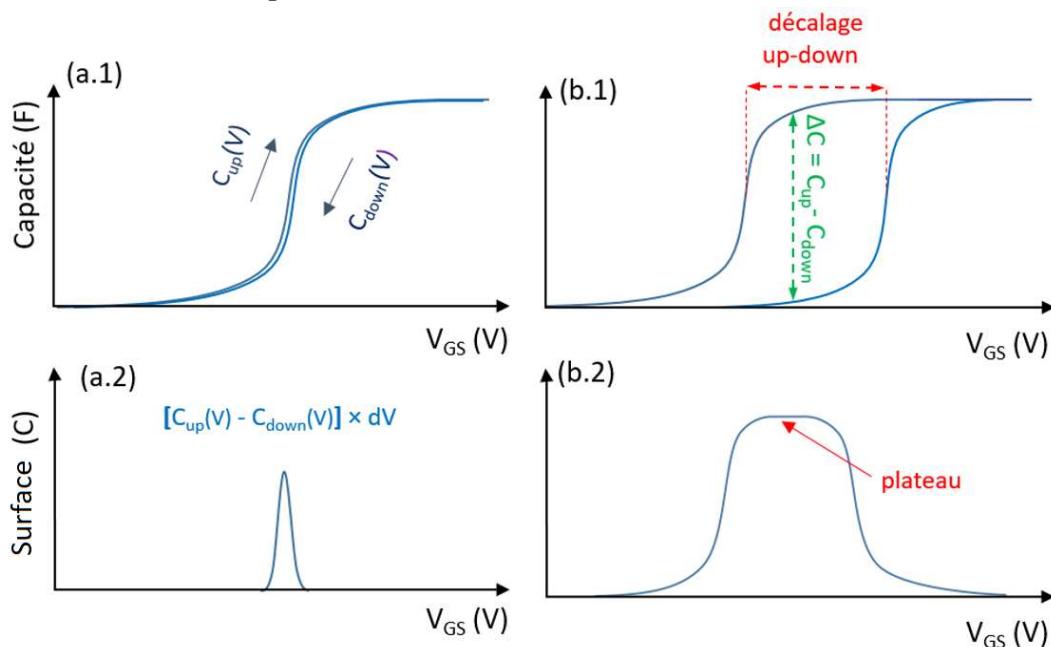


Figure 113 : Courbe $C(V)$ d'un transistor neuf (a.1) et avec décalage (b.1) entre le front montant et descendant, et ses conséquences sur la forme des surfaces d'hystérésis (a.2 et b.2)

Sur la Figure 113 nous avons tracé un schéma des courbes $C(V)$ et de surface d'hystérésis d'un transistor neuf (a.1 et a.2) ; et la courbe $C(V)$ et surface d'hystérésis d'un transistor avec un décalage entre le balayage d'aller et celui de retour (b1 et b.2).

L'autre paramètre qui fait apparaître des plateaux sur les courbes d'hystérésis est la dérivée dC/dV . Avec le vieillissement, nous constatons que la dérivée dC/dV diminue. Quand dérivée dC/dV est faible, la courbe $C(V)$ met plus de temps pour arriver à sa valeur maximal, et l'écart entre le balayage d'aller et celui de retour reste constant pour un intervalle de V_{GS} , engendrant un plateau sur la courbe d'hystérésis. Sur la Figure 114 nous avons tracé un schéma des courbes avec

différentes valeurs de dC/dV . Nous pouvons voir que la valeur de $\Delta C = C_{\text{up}} - C_{\text{down}}$ (Figure 114 b.1) qui détermine la hauteur du plateau (Figure 114 b.2) est moindre que celle que nous avons observée avec le décalage entre le front montant et descendant Figure 113 b.2.

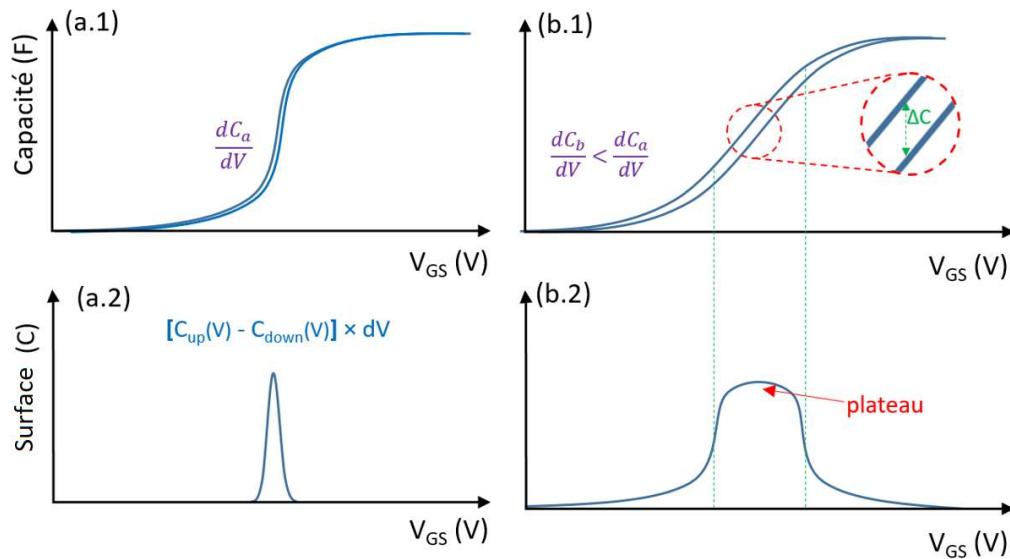


Figure 114 : Courbe $C(V)$ d'un transistor neuf (a.1) et d'un transistor avec une dérivée dC/dV plus petite (b.1), et ses conséquences sur la forme des surfaces d'hystérésis (a.2 et b.2)

Pour modéliser si la région du maximum est pointue ou aplatie, nous avons utilisé Kurtosis (β), et nous avons vu que avec le vieillissement la région du maximum devient aplatie.

L'allure de la courbe change aussi avec le vieillissement. Nous avons vu que pour un transistor neuf, la courbe d'hystérésis correspond à une valeur de Sigma $\sigma=0,0123$. Avec une telle valeur de σ , la surface d'hystérésis se concentre sur un pic central, et pour les valeurs à gauche et à droite du pic central, la courbe de surface décroît fortement. Avec le vieillissement, la valeur de σ augmente. Avec cette augmentation, la surface n'est plus concentrée que sur le pic central mais elle se distribue à gauche et à droite de celui-ci. La courbe s'étale et la surface d'hystérésis augmente avec le vieillissement (pour une valeur de pic égale).

CONCLUSION

Dans ce chapitre nous avons décrit le banc de cyclage actif que nous avons conçu afin d'étudier l'évolution des performances des HEMT de puissance en GaN en fonction du vieillissement.

Tout d'abord, nous avons présenté l'objectif du banc de test et les critères suivis dans sa conception. Nous avons souligné l'importance de la commutation *hard-switching* et l'activation des mécanismes de défaillance à chaque état du cycle de commutation du transistor.

Nous avons prévu des cartes électroniques avec toutes les fonctionnalités : génération des signaux de commande de grille, drivers compatibles pGaN, connecteurs... Nous avons aussi répondu au besoin de brancher et débrancher les composants sous test afin de réaliser des mesures pour suivre leur dégradation. Les étapes suivies étant :

- design des schémas électroniques,
- fabrication des cartes électroniques,
- validation de leur fonctionnement,
- détermination du protocole de test,
- choix des mesures de caractérisation à effectuer.

Et afin de contourner toute dégradation thermomécanique, nous avons déterminé à l'aide d'une caméra infrarouge la température et sa fluctuation maximales.

Une fois réalisées les campagnes de cyclage, nous avons sélectionné pour chaque référence de composant les mesures les plus importantes à présenter dans ce mémoire. A partir de ces mesures, nous avons identifié les stress qui ont activé les dégradations observées.

Nous avons mis en lumière une fragilité dans la grille des composants de la Référence_1 et une dégradation dans les composants soumis à un dépassement de la tension de grille $V_{GS} > 6$ V. Les composants de la Référence_2 présentent une légère dérive lors du premier stress, et restent stables par la suite et toujours dans les tolérances données par le fabricant. Les composants de la Référence_3 présentent une robustesse de grille assez importante, même quand ils sont pilotés par une tension de commande de grille $V_{GS} > 6$ V.

Dans la littérature nous pouvons trouver les indicateurs classiques de vieillissement (courbe $I_D(V_{GS})$ et extraction de V_{TH} , courant de fuite I_G , résistance $R_{DS(on)}$...) que nous avons bien entendu mesurés et que l'on peut retrouver dans ce chapitre. Mais nous avons également mis en évidence que le phénomène d'hystéresis de la courbe $C(V_{GS})$ peut être un bon indicateur pour étudier l'évolution des pièges au niveau de la grille (zone identifiée fragile) des HEMT de

puissance. Il s'agit d'un indicateur quantitatif qui donne accès à la variation de charges piégées, bien qu'il ne donne pas accès ni à leur nature, ni à leur énergie d'activation.

Afin d'étudier les effets de piégeage, nous avons exploité l'évolution de la courbe d'hystérésis de $C(V_{GS})$ en fonction du vieillissement. Nous avons constaté que cette surface d'hystérésis augmente avec le vieillissement, mettant en évidence la génération de nouveaux pièges.

Nous avons établi une corrélation quasiment linéaire entre le déplacement du sommet de la surface d'hystérésis vers des valeurs de V_{GS} plus grandes et l'augmentation de la tension de seuil V_{TH} avec le vieillissement.

Nous avons modélisé les courbes d'hystérésis et comparé à des courbes de distribution de Pearson type IV. Nous avons utilisé les moments de Pearson comme indicateurs afin d'étudier les courbes de surfaces d'hystérésis en fonction du vieillissement :

- γ donne l'information sur la symétrie de la distribution
- β donne information sur la forme de la distribution dans la région du maximum, si elle est plus ou moins pointue.
- σ donne l'étalement de la courbe, si la surface est concentrée dans la région du maximum ou si elle s'étale à gauche et à droite du maximum.

Nous pouvons alors considérer que ces paramètres nous donnent une indication sur l'état de vieillissement des transistors.

4.
EFFET DES RADIATIONS

4.1. INTRODUCTION

Les composants en nitride de gallium sont très prometteurs dans l'industrie spatiale. En effet, la forte énergie de liaison chimique que présentent les semi-conducteurs III-V comme le nitride de gallium [117], [118] confère à ce matériau une robustesse intrinsèque face aux effets de la radiation comparé au silicium ou à l'arséniure de gallium. Cependant, la robustesse d'un HEMT de puissance en GaN aux effets de la radiation ne dépend pas seulement du matériau GaN, mais aussi de la technologie et des autres matériaux constituants.

La robustesse des composants HEMT en GaN *normally-on* aux effets des radiations a fait l'objet de différentes études [119]–[121]. Néanmoins, les composants GaN *normally-off* n'ont pas bénéficié d'autant d'études, notamment face aux ions lourds. Même si la robustesse du GaN dopé-p a été étudiée avec des diodes en GaN [122], il faut étudier le fonctionnement de la structure complète des HEMTs de puissance *normally-off* pour vérifier leur robustesse aux effets des radiations.

Dans ce chapitre nous présentons une campagne de test pour étudier la robustesse à la radiation des HEMT de puissance en GaN *normally-off*. La méthodologie suivie, le banc de test, les composants choisis et leur préparation pour assurer la pénétration des ions dans la zone active y sont également décrits.

Finalement, une présentation et une analyse des résultats seront données.

4.2. COMPOSANTS SOUS TEST

Nous avons testé 6 références de 5 fabricants différents. Le Tableau 13 résume les caractéristiques les plus importantes des composants sous test.

Référence	Packaging	Tenue V_{DS}	Courant I_D	Technologie de grille
Radiationref_1	Puce nue	100 V	36 A	enhancement-mode pGaN gate
Radiationref_2	Puce nue	200 V	5 A	
Radiationref_3	Encapsulé	400 V	30 A	
Radiationref_4	Encapsulé	600 V	15 A	
Radiationref_5	Double encapsulé	100 V	120 A	
Radiationref_6	TO-247	650 V	46 A	Cascode Si-MOS

Tableau 13 : Les principales caractéristiques des composants sous test

Afin d'étudier la robustesse des différentes technologies de grille, nous avons choisi des composants *enhancement-mode* (avec la grille pGaN) et des composants cascode (avec la grille MOS en silicium).

Les composants sous test présentent des spécificités que nous devons prendre en compte lors du test radiations afin de soumettre toutes les références à un stress radiatif équivalent. Nous avons des composants avec et sans packaging. Par exemple la Figure 115 (b) montre l'intérieur d'un composant Radiation ref_5. Avec le capot retiré, nous voyons qu'il y a un deuxième packaging.

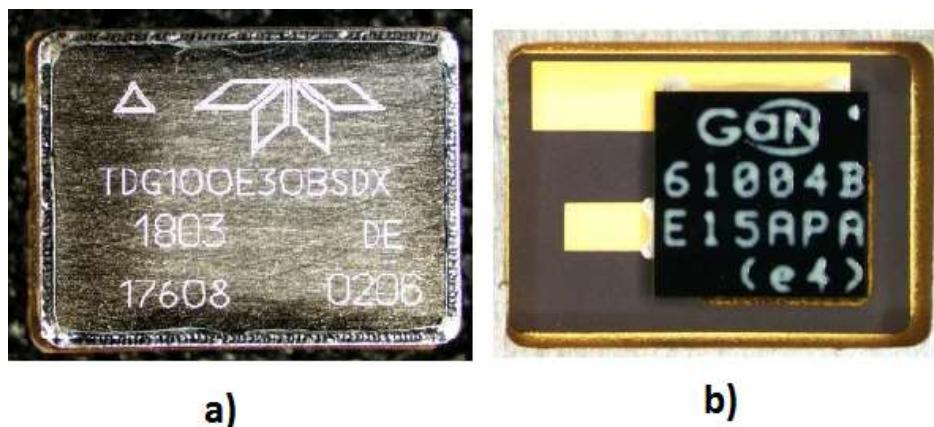


Figure 115 : Composant Radiationref_5, (a) vue externe (b) et boîtier ouvert

Nous allons préparer les échantillons pour assurer que le faisceau d'ions arrive à pénétrer dans la zone active dans tous les composants en prenant en compte la distance de pénétration (*range*) des ions que nous utilisons. Nous allons décrire plus en détail cette préparation dans le paragraphe 4.4.1 de ce chapitre.

4.3. METHODOLOGIE

Nous avons décidé d'effectuer un test similaire à ce qui est généralement effectué avec des tests MOSFET de puissance en silicium afin de comparer la robustesse des HEMT en GaN par rapport à leurs équivalents en silicium. Le schéma du circuit de test est montré par la Figure 116. Le test est réalisé en 5 étapes :

1. **Test de grille avant irradiation** (sans faisceau d'ions) : Le courant I_G est mesuré afin de vérifier le bon état du transistor avant l'exposition. Ceci se fait à l'aide d'un balayage de la tension de grille de la valeur minimale de V_{GS} jusqu'à la valeur maximale de V_{GS} avec la tension de drain $V_{DS} = 0$ V.
2. **Test à l'état ON** (sans faisceau d'ions) : Mesure du courant de drain I_D . Ceci se fait en polarisant la grille à la valeur V_{TH} et la tension de drain V_{DS} à la valeur souhaitée.
3. **Test à l'état OFF** (sans faisceau d'ions) : Mesure du courant de fuite de drain avec le transistor bloqué (tension de grille $V_{GS} = 0$ V) et la tension de drain V_{DS} à la valeur souhaitée.
4. **Irradiation pendant l'état OFF** : Le courant de fuite de drain est mesuré pendant que le composant sous test est soumis au faisceau d'ions. La tension de grille $V_{GS} = 0$ V et la tension de drain V_{DS} à la valeur souhaitée (50 %, 60 % jusqu'à arriver à 100 % de la valeur nominale de V_{DS}).
5. **Test de grille après irradiation** (sans faisceau d'ions) : Le courant I_G est mesuré afin de vérifier le bon état du transistor après l'exposition. Ceci est fait avec un balayage de la tension de grille de la valeur minimale de V_{GS} jusqu'à la valeur maximale de V_{GS} avec la tension de drain $V_{DS}=0$ V.

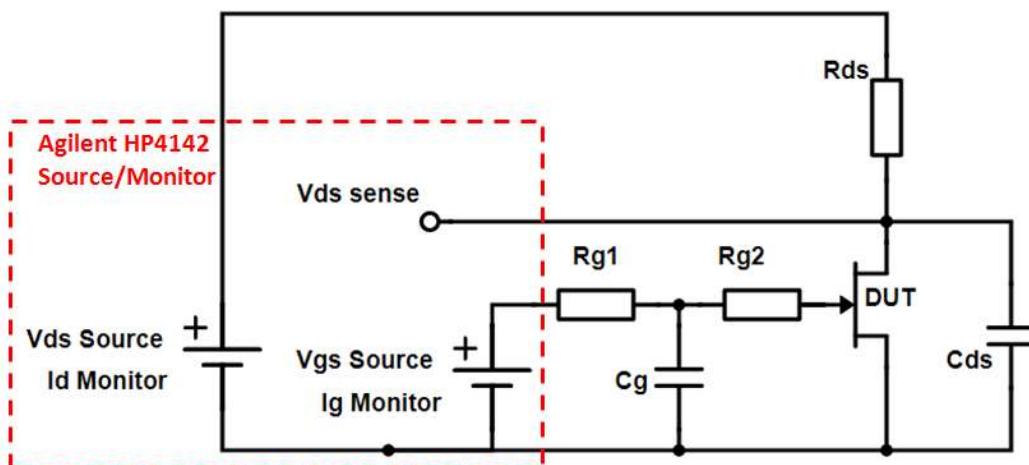


Figure 116 : Schéma électrique du circuit de test

4.4. MISE EN PLACE

Nous avons réalisé les tests sous radiation au cyclotron de l'Université Catholique de Louvain-la-Neuve avec la société Hirex Engineering. Le cyclotron peut accélérer un faisceau d'ions à différentes vitesses pour atteindre une certaine énergie (voir Tableau 14 : Particules disponibles au cyclotron de l'Université Catholique de Louvain-la-Neuve). Le flux de particules du faisceau peut varier entre quelques particules·sec⁻¹·cm⁻² et quelques 10⁶ particules·sec⁻¹·cm⁻². Le flux est modifié depuis la station de travail de l'opérateur en fonction des besoins de l'utilisateur. L'homogénéité du faisceau sur un diamètre de 25mm est de ± 10 %.

Ion	Energie [MeV]	Range [μm]	LET [MeV × mg⁻¹ × cm⁻²]
¹³ C ⁴⁺	131	269.3	1.3
²² Ne ⁷⁺	238	202.0	3.3
²⁷ Al ⁸⁺	250	131.2	5.7
⁴⁰ Ar ¹²⁺	379	120.5	10.0
⁵³ Cr ¹⁶⁺	513	107.6	16.0
⁵⁸ Ni ¹⁸⁺	582	100.5	20.4
⁸⁴ Kr ²⁵⁺	769	94.2	32.4
¹⁰³ Rh ³¹⁺	972	88.7	45.8
¹²⁴ Xe ³⁵⁺	995	73.1	62.5

Tableau 14 : Particules disponibles au cyclotron de l'Université Catholique de Louvain-la-Neuve

Pendant le test, il faut que les composants soient dans le vide car si le faisceau d'ions circulait dans l'air les ions seraient freinés par les particules présentes dans l'air, et on ne pourrait pas maîtriser ni leur énergie ni leur profondeur de pénétration.

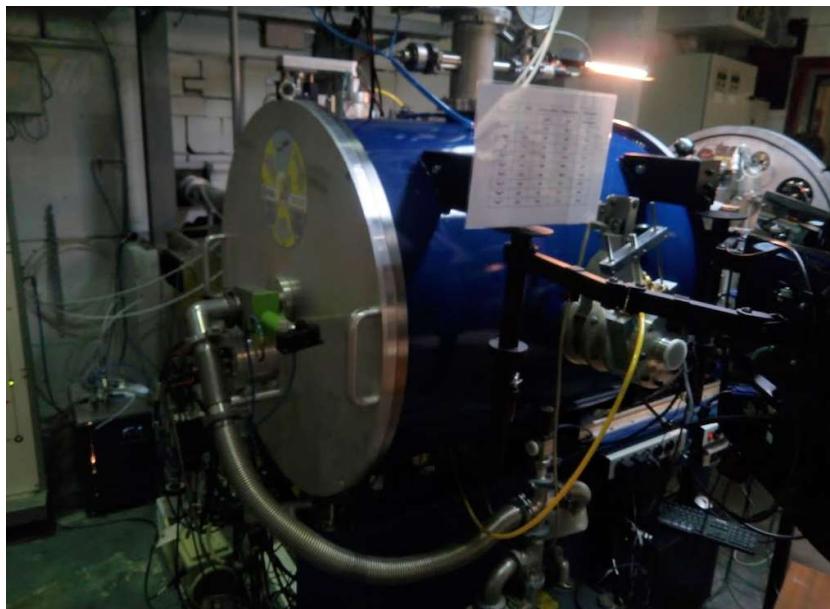


Figure 117 : Enceinte soumise au vide

Les cartes avec les composants sous test sont disposées dans une enceinte soumise au vide (voir Figure 117). A l'aide d'un système de positionnement guidé avec des caméras situées à l'intérieur de l'enceinte, on peut placer les composants sous test pour les mettre dans le faisceau d'ions (voir Figure 118).

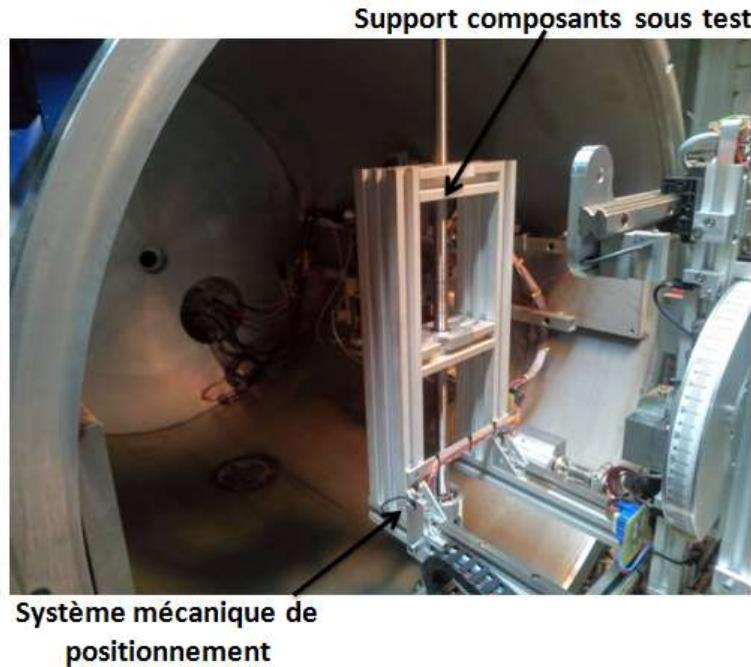
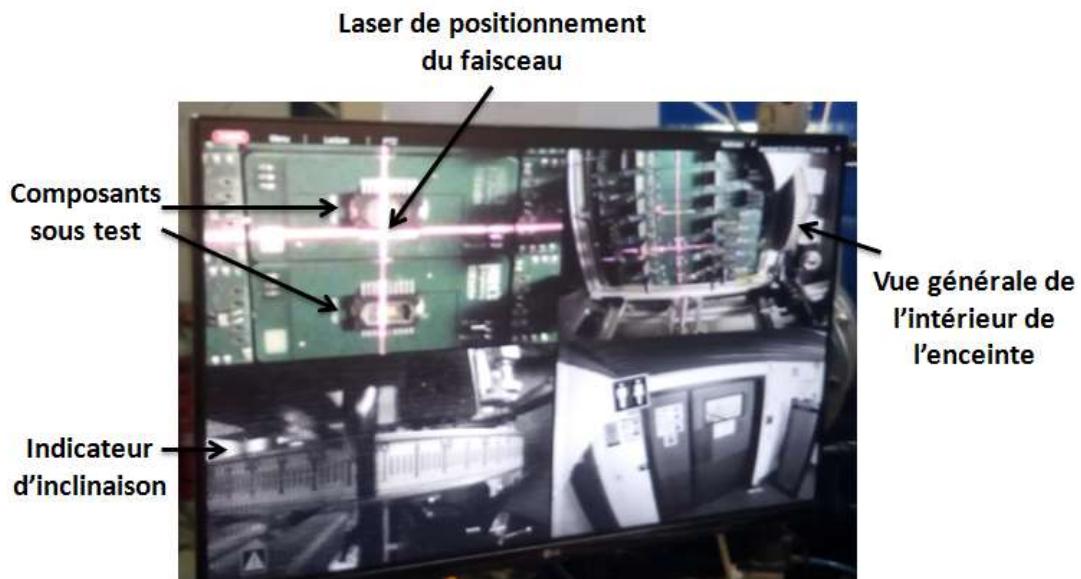


Figure 118 : Intérieur de l'enceinte avec le support et le système de positionnement

Les cartes avec les composants sous test sont placées sur un support que nous pouvons déplacer depuis l'extérieur. Chaque fois que nous voulons tester un composant, nous déplaçons le support afin de positionner le nouveau composant au centre du faisceau d'ions, signalé par un laser. Toute l'opération est contrôlée depuis la station de travail montrée dans la Figure 119.



4.4.1. Préparation des échantillons

Pour assurer que le faisceau d'ions arrive sur la zone active des composants sous test, les transistors doivent être adaptés avant de réaliser les tests en fonction des spécificités du composant et de son packaging comme nous allons le voir ci-dessous.

4.4.1.1. Composants Radiationref_1 et Radiationref_2

Les transistors des deux premières références sont des composants *flip-chip* sans packaging. Dans ces composants la zone active se trouve du côté des pads, et le substrat en silicium est en haut, comme montré dans la Figure 120.

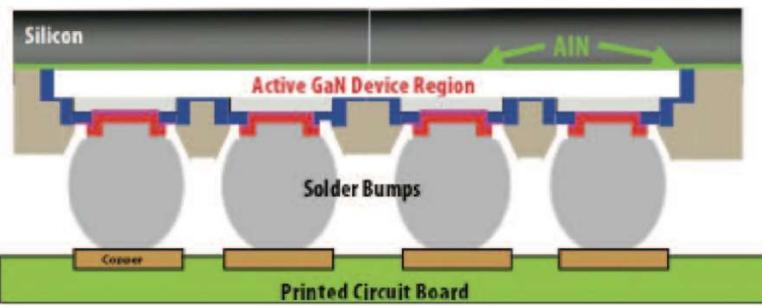


Figure 120 : Vue schématique de la section de la puce flip-chip

Pour être sûr que le faisceau d'ions pénètre dans la zone active, ces composants ont été soumis à un amincissement du substrat en silicium pour avoir une épaisseur d'environ 50 µm. Avec une telle épaisseur tous les types d'ions pourront atteindre la zone active du transistor (la plus faible pénétration est celle du xénon $^{124}\text{Xe}^{35+}$: 73,1 µm).

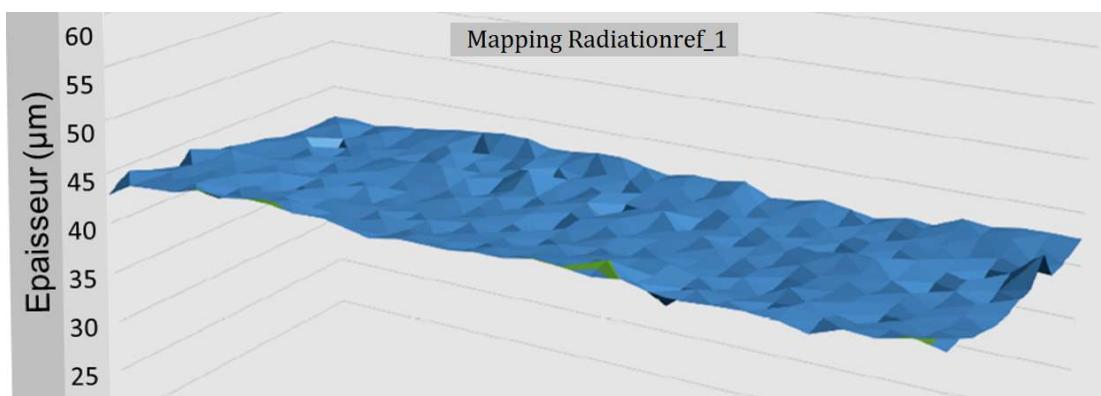


Figure 121 : Mapping de l'épaisseur de la puce Radiationref_1 après amincissement

Les Figures 121 et 122 montrent le *mapping* de l'épaisseur des puces Radiationref_1 et Radiationref_2 après l'aminçissement.

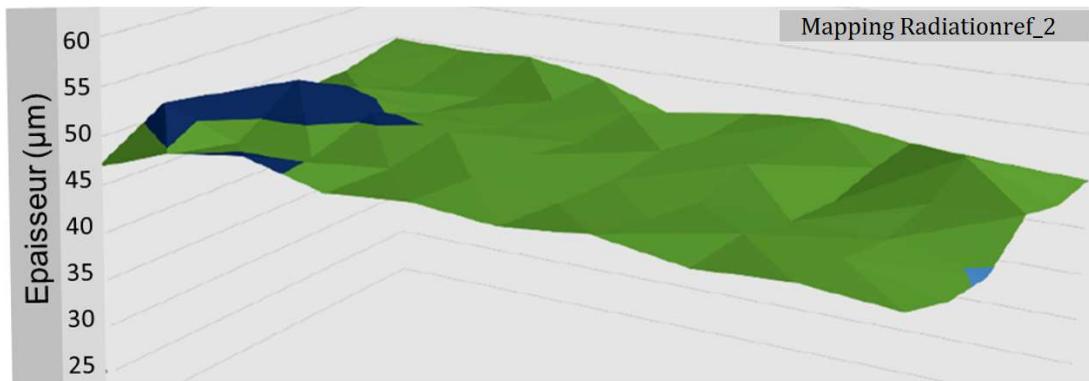


Figure 122 : Mapping de l'épaisseur de la puce Radiationref_2 après amincissement

4.4.1.2. Composants Radiationref_3

Les transistors Radiationref_3 sont encapsulés dans un packaging de 10 mm x 11,7 mm. À l'intérieur du packaging il y a la puce qui mesure 4,7 mm x 2,2 mm. Les fils de *bounding* relient la puce aux pads du packaging.

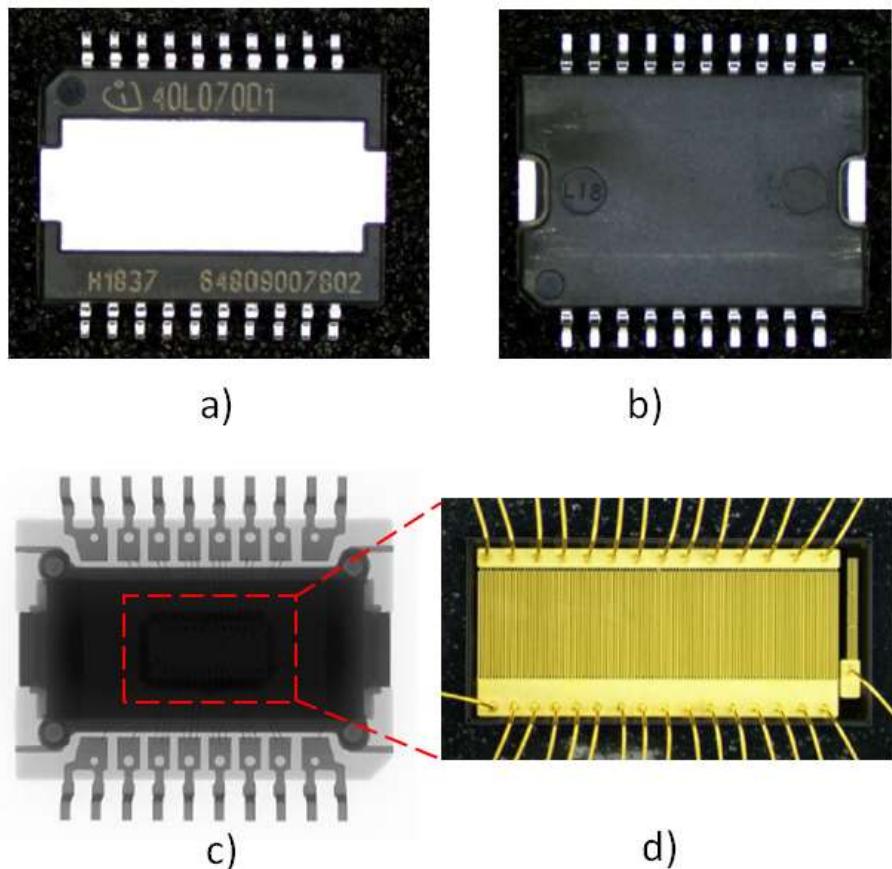


Figure 123 : Radiationref_3 vu de dessus (a) de dessous (b), radiographie de l'intérieur (c) et vue interne de la puce sans le capot(d)

La Figure 123 montre la disposition de la puce dans le packaging. Nous devons soumettre les transistors Radiationref_4 au faisceau d'ions sans le capot afin d'assurer la pénétration des ions dans la zone active.

4.4.1.3. Composants Radiationref_4

Les transistors Radiationref_4 sont encapsulés dans un packaging de 8 mm x 8 mm. À l'intérieur il y a la puce qui mesure 2 mm x 2 mm. Dans la Figure 124(d) nous voyons les fils de *bonding* qui relient la puce aux pads du packaging.

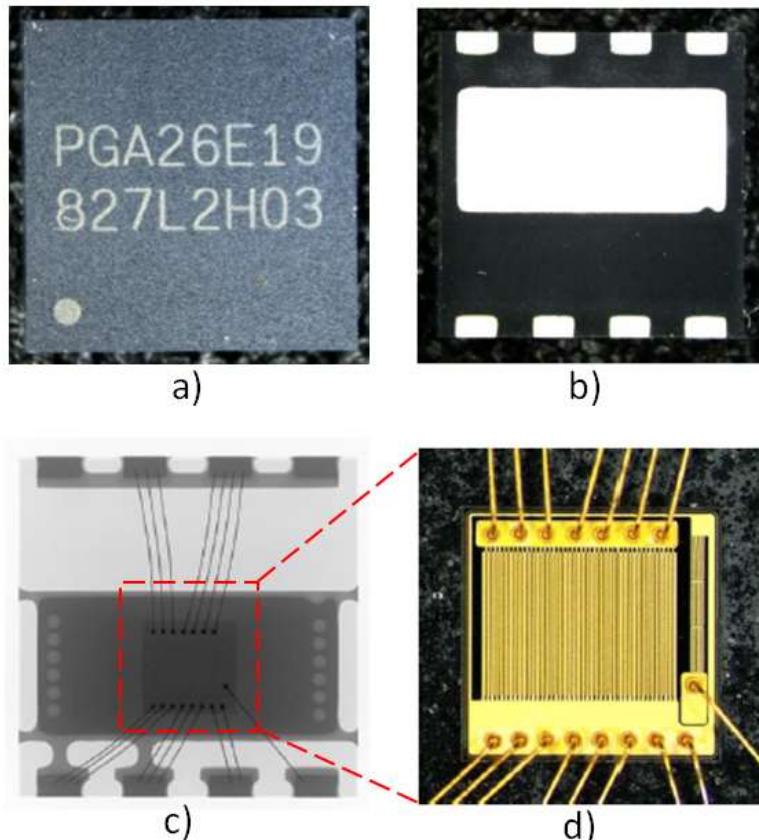


Figure 124 : Packaging vu de dessus (a) de dessous (b), radiographie de l'intérieur (c) et vue interne de la puce sans le capot(d)

Nous devons soumettre les composants Radiationref_4 au faisceau d'ions sans le capot, pour assurer la pénétration des ions dans la zone active.

4.4.1.4. Composants Radiationref_5

Les composants Radiationref_5 ont deux *packagings*. Le capot du *packaging* extérieur et du *packaging* type sandwich intérieur ont été retirés, et les fils de *bonding* ont été supprimés à cause de cette ouverture. Trois fils de *bonding* ont été rajoutés pour connecter la puce avec les pads du *packaging* extérieur comme montré dans la Figure 125 (d).

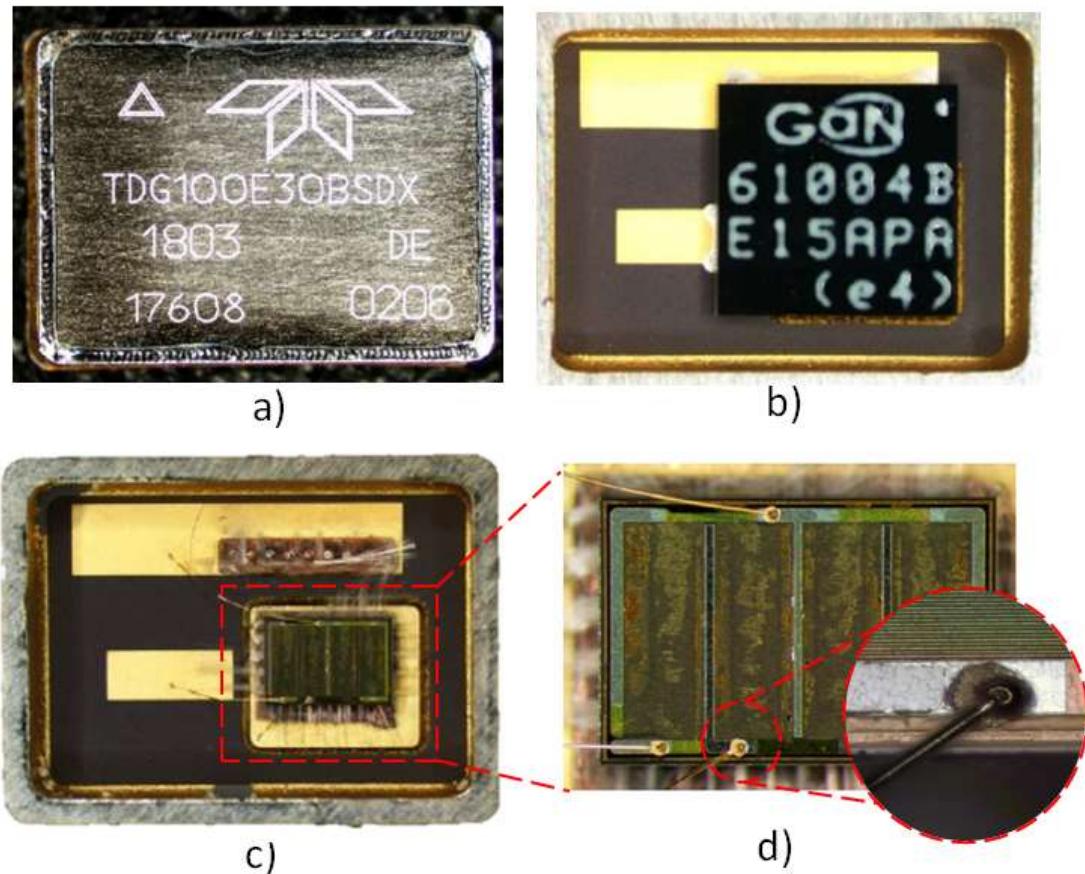


Figure 125 : Packaging extérieur (a), packaging sandwich intérieur (b), puce du transistor sans le packaging sandwich (c), et vue détaillée de la puce et du fil de bonding (d)

Nous devons soumettre les composants Radiationref_5 au faisceau d’ions sans les capots (puce nue) afin d’assurer la pénétration des ions dans la zone active du transistor.

4.4.1.5. Composants Radiationref_6

Les composants cascode Radiationref_6 sont encapsulés dans un *packaging* TO-247 qui contient le transistor GaN *normally-on* et le MOSFET en silicium. A l’intérieur on trouve la puce avec les fils de *bonding* (voir Figure 126 c, d).

Nous allons soumettre les composants Radiationref_6 au faisceau d’ions sans le *packaging* (puce nue) afin d’assurer la pénétration des ions dans la zone active du transistor.

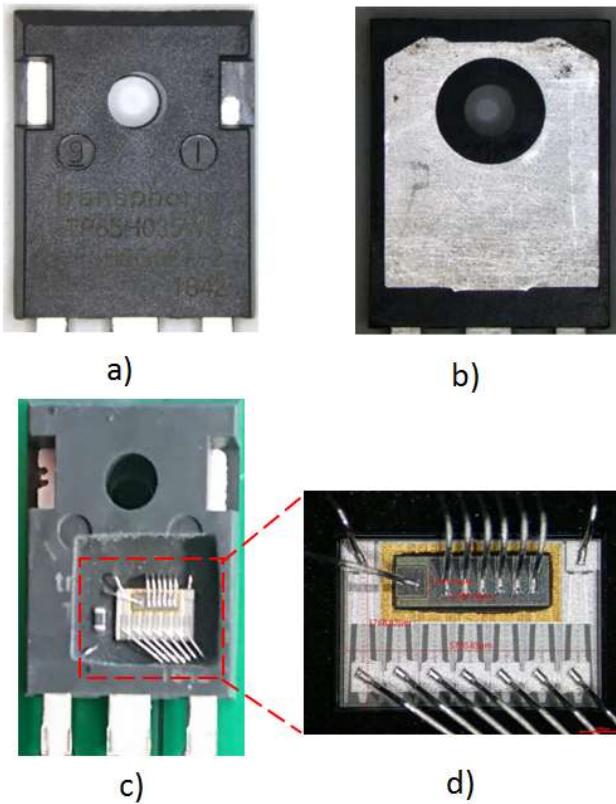


Figure 126 : Packaging TO-247 face avant (a), face arrière (b). Puce du transistor dans le packaging (c), vue détaillée de la puce et fils de bonding (d)

4.5. RESULTATS

Tout d'abord nous présentons les termes nécessaires pour comprendre les tableaux des résultats des tests sous radiations.

- **LET** : Le transfert d'énergie linéique (en anglais *Linear Energy Transfer*) est une grandeur utilisée pour mesurer l'effet du rayonnement ionisant sur des matériaux. Il s'agit de l'énergie transférée par une particule ionisante traversant la matière exprimée par unité de masse et de surface du matériau irradié.
- **Fluence** : La fluence de particules d'un faisceau de radiation est la quantité d'ions par seconde et par unité de surface.
- **SEE** : (de l'anglais *Single Event Effect*) est tout effet mesurable (perturbation, dégradation ou défaillance) d'un composant électronique ou d'un équipement causé par l'impact d'un seul ion lourd ou d'un seul proton énergétique.

4.5.1. Résultats Radiationref_1

Nous avons soumis les composants Radiationref_1 au faisceau d'ions lourds avec les paramètres de tests montrés dans le Tableau 15.

Tension de drain V_{DS}	DUT#	Ion	Tilt ($^{\circ}$)	LET (MeV \times mg $^{-1}\times$ cm $^{-2}$)	Durée (s)	Fluence (ions \times s $^{-1}\times$ cm $^{-2}$)
50 V	2001-1	Xe	0	62.5	470	4.87E+05
80 V	2001-1	Xe	0	62.5	419	4.85E+05
100 V	2001-1	Xe	0	62.5	339	5.32E+06
100 V	2001-2	Xe	0	62.5	332	4.86E+06
100 V	2001-3	Xe	0	62.5	258	4.83E+06
100 V	2001-4	Xe	0	62.5	285	4.85E+06
50 to 100 V	2001-3	Xe	45	88.39	426	6.82E+06

Tableau 15 : Paramètres de test des transistors Radiationref_1

Nous avons soumis les composants Radiationref_1 au faisceau de xénon ($^{124}\text{Xe}^{35}$), particule avec une énergie de 995 MeV, et une fluence maximale de $6,82 \times 10^6$ ions \cdot sec $^{-1}\cdot$ cm $^{-2}$. Nous avons commencé par une tension de drain V_{DS} de 50 V et nous l'avons augmentée jusqu'à arriver à la valeur maximale de la *datasheet* (100 V). Nous avons réalisé des tests avec une inclinaison de 0 ° et de 45 ° des composants par rapport au faisceau d'ions.

Dans toute la durée de la campagne d'irradiation, les composants Radiationref_1 n'ont pas montré de dégradation, et le test de grille après irradiation n'a pas montré de variation par rapport au test de grille avant irradiation.

4.5.2. Résultats Radiationref_2

Nous avons soumis les composants Radiationref_2 au faisceau d'ions lourds avec les paramètres de tests montrés dans le Tableau 16.

Tension de drain V_{DS}	DUT#	Ion	Tilt ($^{\circ}$)	LET (MeV \times mg $^{-1}\times$ cm $^{-2}$)	Durée (s)	Fluence (ions \times s $^{-1}\times$ cm $^{-2}$)
50 V	2012-1	Xe	0	62.5	353	4.86E+05
60 V	2012-1	Xe	0	62.5	1161	1.92E+07
100 V	2012-1	Xe	0	62.5	807	3.06E+07
200 V	2012-1	Xe	0	62.5	589	3.35E+07
200 V	2012-2	Xe	0	62.5	541	3.34E+07
100 to 200 V	2012-3	Xe	45	88.39	692	7.01E+06

Tableau 16 : Paramètres de test des transistors Radiationref_2

Nous avons soumis les composants Radiationref_2 à un test similaire à celui des Radiationref_1. Nous avons irradié les transistors avec un faisceau de xénon ($^{124}\text{Xe}^{35}$) d'une fluence maximale de $3,35 \times 10^7$ ions \cdot sec $^{-1}\cdot$ cm $^{-2}$ avec une inclinaison de 0 ° et de 45 ° des composants par rapport au faisceau d'ions. Nous avons commencé le test par

une tension de drain V_{DS} de 50 V et nous l'avons augmentée jusqu'à arriver à 200 V, la valeur maximale de la *datasheet*.

Dans toute la durée de la campagne d'irradiation, les composants Radiationref_2 n'ont pas montré de dégradation, et le test de grille après irradiation n'a pas montré de variation par rapport au test de grille avant irradiation.

4.5.3. Résultats Radiationref_3

Nous avons soumis les composants Radiationref_3 de Panasonic au faisceau d'ions de rhodium ($^{103}\text{Rh}^{31+}$) et de xénon ($^{124}\text{Xe}^{35+}$) avec les paramètres de tests montrés dans le Tableau 17.

Tension de drain V_{DS}	DUT#	Ion	LET (MeV $\times\text{mg}^{-1}\times\text{cm}^{-2}$)	Durée (s)	Fluence (ions $\times\text{s}^{-1}\times\text{cm}^{-2}$)	Résultat
200 V	PGA - 1	Xe	62.5	678	4.85E+06	-
300 V	PGA - 1	Xe	62.5	329	4.83E+06	-
350 V	PGA - 2	Xe	62.5	100	7.89E+04	Destuctive SEE
280 V	PGA - 3	Xe	62.5	444	4.84E+06	-
300 V	PGA - 3	Xe	62.5	497	4.95E+06	-
300 V	PGA - 3	Rh	45.8	284	4.66E+06	-
400 V	PGA - 3	Rh	45.8	76	3.28E+05	Destuctive SEE
325 V	PGA - 4	Rh	45.8	530	4.99E+06	-
350 V	PGA - 4	Rh	45.8	322	4.66E+06	-
375 V	PGA - 4	Rh	45.8	158	9.64E+05	Destuctive SEE
325 V	PGA - 5	Rh	45.8	328	5.09E+06	-
350 V	PGA - 5	Rh	45.8	323	4.67E+06	-
200 V	PGA - 1	Xe	62.5	678	4.85E+06	-
300 V	PGA - 1	Xe	62.5	329	4.83E+06	-

Tableau 17 : Paramètres de test des transistors Radiationref_3

Nous avons commencé le test par le faisceau de xénon avec une tension de drain V_{DS} de 200 V et nous avons augmenté la tension progressivement. Nous avons constaté qu'à partir d'une tension de drain V_{DS} de 350 V (58% de la valeur maximale) un SEE a détruit le transistor, car nous avons mesuré un courant de fuite de drain > 10 mA (limite de l'appareil de mesure pour le courant de fuite).

Nous avons réalisé un nouveau test avec du rhodium. Nous avons constaté qu'avec une tension de drain V_{DS} de 375 V (62,5% de la valeur maximale) le transistor a été détruit par un SEE, montrant un courant de fuite de drain > 10 mA.

Dans le test de grille après irradiation, les composants affectés par un SEE présentent un courant de fuite de grille $I_G > 10$ mA, montrant ainsi que la grille a été détruite.

4.5.4. Résultats Radiationref_4

Nous avons soumis les composants Radiationref_4 au faisceau d'ions de rhodium ($^{103}\text{Rh}^{31+}$) et de xénon ($^{124}\text{Xe}^{35+}$) avec les paramètres de tests montrés dans le Tableau 18.

Tension de drain V_{DS}	DUT#	Ion	LET (MeV $\times\text{mg}^{-1}\times\text{cm}^{-2}$)	Durée (s)	Fluence (ions $\times\text{s}^{-1}\times\text{cm}^{-2}$)	Résultat
100 V	IGOT-1	Xe	62.5	658	4.85E+06	-
200 V	IGOT-1	Xe	62.5	295	4.85E+06	-
300 V	IGOT-1	Xe	62.5	319	4.83E+06	-
400 V	IGOT-1	Xe	62.5	121	8.58E+05	Destruive SEE
350 V	IGOT-2	Xe	62.5	148	2.12E+05	-
300 V	IGOT-4	Xe	62.5	472	4.82E+06	-
300 V	IGOT-4	Rh	45.8	264	4.67E+06	-
325 V	IGOT-4	Rh	45.8	284	4.66E+06	-
350 V	IGOT-4	Rh	45.8	232	4.66E+06	-
375 V	IGOT-4	Rh	45.8	263	4.67E+06	-
400 V	IGOT-4	Rh	45.8	77	3.37E+05	Destruive SEE
350 V	IGOT-3	Rh	45.8	225	4.68E+06	-
375 V	IGOT-3	Rh	45.8	149	8.24E+05	Destruive SEE
375 V	IGOT-5	Rh	45.8	246	4.67E+06	-
100 V	IGOT-1	Xe	62.5	658	4.85E+06	-
200 V	IGOT-1	Xe	62.5	295	4.85E+06	-

Tableau 18 : Paramètres de test des transistors Radiationref_4

Nous avons soumis les composants au faisceau de xénon avec une tension de drain V_{DS} de 100 V et nous avons augmenté la tension progressivement. Nous avons constaté qu'à une tension de drain V_{DS} de 400 V (valeur maximale donnée par le fabricant) un SEE a détruit le transistor, qui présentait un courant de fuite de drain > 10 mA.

Nous avons réalisé un nouveau test avec du rhodium. Nous avons constaté qu'à partir d'une tension de drain V_{DS} de 375 V (94% de la valeur maximale) un SEE a détruit le transistor, car nous avons mesuré à nouveau un courant de fuite > 10 mA.

Dans le test de grille après irradiation, les composants affectés par un SEE présentent un courant de fuite de grille $I_G > 10 \text{ mA}$, montrant ainsi que la grille de ces transistors a été détruite.

4.5.5. Résultats Radiationref_5

Nous avons soumis les composants Radiationref_5 au faisceau d'ions de xénon ($^{124}\text{Xe}^{35}$) avec les paramètres de tests montrés dans le Tableau 19.

Tension de drain V_{DS}	DUT#	Ion	LET (MeV $\times\text{mg}^{-1}\times\text{cm}^{-2}$)	Durée (s)	Fluence (ions $\times\text{s}^{-1}\times\text{cm}^{-2}$)	Résultat
50 V	TDG-1	Xe	62.5	389	4.83E+06	Non-Destructive SEE
80 V	TDG-1	Xe	62.5	147	8.43E+05	
60 V	TDG-2	Xe	62.5	1009	5.03E+06	
60 V	TDG-4	Xe	62.5	560	4.83E+06	
80 V	TDG-4	Xe	62.5	657	4.85E+06	
90 V	TDG-4	Xe	62.5	598	4.82E+06	
90 V	TDG-3	Xe	62.5	563	8.50E+06	

Tableau 19 : Paramètres de test des transistors Radiationref_5

Nous avons soumis les composants au faisceau de xénon avec une tension de drain V_{DS} de 50 V (50 % de la valeur maximale) et nous avons augmenté progressivement la tension jusqu'à 90 V. Nous avons mesuré un courant de fuite de drain de 600 μA , au-delà des tolérances donnés par la *datasheet* (maximum $I_{DSS} = 50 \mu\text{A}$).

Dans le test de grille après irradiation, les composants affectés par un SEE présentent un courant de fuite de grille $I_G > 250 \mu\text{A}$, au-delà des tolérances donnés par la *datasheet* (maximum $I_G = 100 \mu\text{A}$).

4.5.6. Résultats Radiationref_6

Nous avons soumis les composants cascode Radiationref_6 au faisceau d'ions de rhodium ($^{103}\text{Rh}^{31+}$) et de xénon ($^{124}\text{Xe}^{35}$) avec les paramètres de tests montrés dans le Tableau 20.

Tension de drain V_{DS}	DUT#	Ion	LET (MeV $\times\text{mg}^{-1}\times\text{cm}^{-2}$)	Durée (s)	Fluence (ions $\times\text{s}^{-1}\times\text{cm}^{-2}$)	Résultat
325 V	TP-1	Xe	62.5	199	1.46E+05	Destructive SEE
50 V	TP-4	Rh	45.8	117	9.54E+05	

50 V	TP-3	Rh	45.8	87	3.29E+05	Non-Destructive SEE
------	------	----	------	----	----------	---------------------

Tableau 20 : Paramètres de test des transistors Radiationref_6

Nous avons soumis les composants au faisceau de xénon avec une tension de drain V_{DS} de 325 V (50 % de la valeur maximale) et le transistor a fait défaillance à cause d'un SEE, avec un courant de fuite de drain >10 mA.

Nous avons réalisé un nouveau test avec du rhodium et à une tension de 50 V (8 % de la tension maximale) et le transistor a fait défaillance à cause d'un SEE, car nous avons mesuré un courant de fuite de drain >10 mA.

Dans le test de grille après irradiation, le composant touché par un SEE $^{124}\text{Xe}^{35}$ présente un courant de fuite de grille $I_G > 10$ mA, montrant ainsi que la grille de ces transistors a été détruite. Dans composants touchés par un SEE $^{103}\text{Rh}^{31+}$ a été mesuré un courant de fuite de grille < 400 nA (dans les tolérances données par la *datasheet*) montrant que la grille n'a pas été détruite. Néanmoins, avec un courant de fuite de drain >10 mA, le composant est défaillant.

4.6. CONCLUSION

Dans ce chapitre nous avons décrit la campagne de test sous radiations des transistors HEMT de puissance en GaN.

Nous avons présenté les composants sous test : six références différentes de plusieurs fabricants afin de comparer les technologies de grille (différentes grilles pGaN et la technologie cascode).

Ensuite, la méthodologie du test sous radiations a été décrite, ainsi que le banc test, le cyclotron de l'Université Catholique de Louvain-la-Neuve. Nous avons suivi un test similaire aux tests MOS de puissance afin de pouvoir comparer la robustesse des HEMT en GaN avec les MOSFET en silicium.

Postérieurement nous avons détaillé la préparation des échantillons afin d'assurer que le faisceau d'ions pénètre dans la zone active des transistors. Pour cela, et pour les transistors d'EPC nous avons dû amincir la couche silicium, et pour les autres composants, le packaging a été ouvert.

Ensuite, nous avons décrit les paramètres des radiations auxquels les composants ont été soumis (durée de l'irradiation, type d'ion, la fluence d'ions et tension de drain V_{DS}).

Les composants Radiationref_1 et Radiationref_2 ont présenté la meilleure robustesse face aux radiations. Ne présentent aucune variation dans leur fonctionnement après avoir suivi l'irradiation de xénon ($^{124}\text{Xe}^{35+}$). Les transistors Radiationref_3 ont fait preuve d'une bonne robustesse. Leur défaillance est survenue pour une tension de drain V_{DS} à 94 % de la valeur maximale sous un faisceau d'ions de rhodium ($^{103}\text{Rh}^{31+}$). Les composants Radiationref_4 soumis à un faisceau d'ions de xénon ($^{124}\text{Xe}^{35+}$) ont été détruits (non fonctionnels) pour une tension de drain V_{DS} de 58 % de la valeur maximale. Les composants de Radiationref_5 montrent un courant de fuite élevé quand ils sont polarisés à une tension de drain V_{DS} de 50 % de la valeur maximale sous un faisceau d'ions de xénon ($^{124}\text{Xe}^{35+}$). Les transistors Radiationref_6, avec la technologie cascode (grille MOS en silicium), se sont montrés les plus fragiles, car même à une tension V_{DS} faible, sous irradiation ($^{103}\text{Rh}^{31+}$), ils présentent une grande dérive (courant de fuite de drain au-delà des valeurs données par le fabricant).

Par ailleurs, l'abondante littérature sur les effets d'irradiations des transistors MOS en silicium, montre que ceux-ci se dégradent fortement quand ils sont soumis à une irradiation de LET de $30 \text{ MeV} \times \text{mg}^{-1} \times \text{cm}^{-2}$ [101] – [103]. Les ions que nous avons utilisés dans ce test ont une LET de $62,5 \text{ MeV} \times \text{mg}^{-1} \times \text{cm}^{-2}$ (xénon $^{124}\text{Xe}^{35+}$) et de $45,8 \text{ MeV} \times \text{mg}^{-1} \times \text{cm}^{-2}$ (rhodium $^{103}\text{Rh}^{31+}$). Ces résultats montrent que les transistors en GaN sont plus robustes aux effets des irradiations que leurs équivalents MOSFET en silicium, ce qui les prédispose à des applications dans le spatial.

5.

DISCUSSION ET CONCLUSION

Dans le premier chapitre nous avons présenté l'état de l'art des HEMT de puissance en GaN, en commençant par un succinct historique du développement et de l'utilisation de ces composants. Les principes physiques nécessaires pour comprendre leur fonctionnement et leur structure ont été donnés. Ensuite, les différents fabricants de HEMT de puissance en GaN de la dernière décennie ont été passés en revue avec leurs particularités (packaging, tenue en tension, calibre en courant gestion thermique...).

Certains mécanismes de défaillance sont bien connus dans les composants en silicium, par contre d'autres mécanismes sont spécifiques aux structures HEMT de puissance en GaN. Ces derniers sont liés aux effets de piégeage, impactant particulièrement la résistance à l'état passant lors de la commutation ($R_{DS(ON)}$ dynamique) engendrant une dégradation des performances. Dans ce chapitre, nous avons décrit ces mécanismes spécifiques aux composants étudiés. Nous avons également mis en évidence le fait que les méthodes classiques de caractérisation pour les transistors en silicium ne permettent pas de bien mesurer les effets de piégeage dans les HEMT de puissance en GaN.

Dans le deuxième chapitre nous avons exploré les possibilités d'utilisation de méthodes disponibles pour mesurer les effets de piégeage afin de répondre au besoin identifié dans le premier chapitre.

En premier lieu, nous avons tenté l'utilisation de la spectroscopie transitoire de niveaux profonds (ou DLTS, en anglais). Nous avons mis en place un banc de mesures en conséquences, et nous avons préparé et adapté les échantillons pour la mesure. Malheureusement, cette technique nécessite la connaissance de nombreux paramètres technologiques auxquels nous n'avons pas accès.

Ensuite, nous avons utilisé un banc en cours de développement au LAAS-CNRS conçu pour mettre en évidence la résistance $R_{DS(ON)}$ dynamique. Néanmoins, il est très complexe de réaliser des mesures propres en présence de fortes variations de courant et de tension à l'ordre de la microseconde. Pour cela, ce banc présente une dispersion élevée et il n'est pas encore adapté à nos besoins.

Finalement nous avons mis en place une méthode basée sur la mesure de la surface d'hystérésis de la courbe $C(V_{GS})$. Cette méthode n'a jamais été décrite pour caractériser le phénomène de piégeage dans les HEMT de puissance en GaN (*normally-off*). Partant de ce qui a été décrit dans la littérature, nous avons développé un banc de mesure de $C(V_{GS})$ pour des transistors HEMT de puissance en GaN (*normally-off*). Avec ce banc nous avons également fait une étude pour connaître l'influence de la température et de la fréquence sur la mesure.

Le troisième chapitre porte sur la conception et réalisation d'un banc de cyclage actif. Nous avons déterminé tous les paramètres de conception du banc et des protocoles de mesures (design des schémas électroniques, fabrication des cartes,

validation de leur fonctionnement, détermination du protocole de test et choix des mesures de caractérisation à effectuer). Ce banc nous a permis de réaliser une étude sur la dérive des performances des transistors de puissance en GaN avec le vieillissement. Nous avons identifié la grille pGaN comme l'élément le plus sensible dans la structure du transistor. En effet, ce banc nous a permis d'identifier la tension de commande de grille comme un paramètre important dans le niveau de dégradation des transistors pour un cyclage donné.

Nous nous sommes interrogés sur le lien possible entre le vieillissement et l'évolution du phénomène de piégeage décrit au chapitre précédent. Pour répondre à cela, nous avons exploité la méthode de mesure de la surface d'hystérésis de la courbe $C(V_{GS})$.

Nous avons établi une corrélation entre le déplacement du sommet de la surface d'hystérésis vers des valeurs de V_{GS} plus grandes et l'augmentation de la tension de seuil V_{TH} avec le vieillissement. Par ailleurs, pour modéliser l'évolution de la surface d'hystérésis nous avons eu recours à des courbes de distribution de Pearson type IV, ce qui nous a permis d'identifier des paramètres qui peuvent nous servir comme indicateurs de l'état de vieillissement du transistor.

Dans le quatrième chapitre nous avons décrit la campagne de test d'irradiation des transistors HEMT de puissance en GaN. La méthodologie du test d'irradiation a été décrite. Celle-ci a été volontairement similaire aux tests subis par les composants en silicium afin de pouvoir comparer la robustesse des HEMT en GaN avec les MOSFET de puissance en silicium.

Ensuite nous avons détaillé la préparation des échantillons afin d'assurer la pénétration du faisceau d'ions dans la zone active des transistors. Nous avons aussi décrit les paramètres des tests auxquels on a soumis chaque composant (durée de l'irradiation, type d'ion, fluence d'ions et tension de drain V_{DS}).

Finalement, nous avons identifiés les faiblesses de chaque type de composant, et nous avons mis en valeur les composants les plus robustes pour des applications spatiales.

6.
BIBLIOGRAPHIE

- [1] H. P. Maruska et W. C. Rhines, « A modern perspective on the history of semiconductor nitride blue light sources », *Solid-State Electron.*, vol. 111, p. 32-41, sept. 2015, doi: 10.1016/j.sse.2015.04.010.
- [2] M. Fujita, « Nanocavity brightens silicon », *Nat. Photonics*, vol. 7, n° 4, p. 264-265, avr. 2013, doi: 10.1038/nphoton.2013.65.
- [3] J. I. Pankove J. E. Berkeyheiser et E. A. Miller, « Electroluminescence in GaN | SpringerLink ». https://link.springer.com/chapter/10.1007/978-1-4684-2043-2_57 (consulté le juin 03, 2019).
- [4] D. Stevenson, W. Rhines, et H. Maruska, « Gallium nitride metal-semiconductor junction light emitting diode », US3819974A, juin 25, 1974.
- [5] The Royal Swedish Academy of Sciences, « The Nobel Prize press release », *The Nobel Prize in Physics 2014*, oct. 07, 2014. <https://www.nobelprize.org/prizes/physics/2014/press-release/>.
- [6] M. Asif Khan, A. Bhattacharai, J. N. Kuznia, et D. T. Olson, « High electron mobility transistor based on a GaN-Al_xGa_{1-x}N heterojunction », *Appl. Phys. Lett.*, vol. 63, n° 9, p. 1214-1215, août 1993, doi: 10.1063/1.109775.
- [7] Cyril Lagarde, « Modélisation de transistor de puissance en technologie GaN : conception d'un amplificateur de type Doherty pour les émetteurs à puissance adaptative / Cyril Lagarde ; sous la direction de Philippe Bouysse et Jean-Michel Nébus », Université de Limoges, 2006.
- [8] S. T. Sheppard *et al.*, « High-power microwave GaN/AlGaN HEMTs on semi-insulating silicon carbide substrates », *IEEE Electron Device Lett.*, vol. 20, n° 4, p. 161-163, avr. 1999, doi: 10.1109/55.753753.
- [9] A. Chini, D. Buttari, R. Coffie, S. Heikman, S. Keller, et U. K. Mishra, « 12 W/mm power density AlGaN/GaN HEMTs on sapphire substrate », *Electron. Lett.*, vol. 40, n° 1, p. 73, 2004, doi: 10.1049/el:20040017.
- [10] T. Imada, M. Kanamura, et T. Kikkawa, « Enhancement-mode GaN MIS-HEMTs for power supplies », in *The 2010 International Power Electronics Conference - ECCE ASIA* -, Sapporo, Japan, juin 2010, p. 1027-1033, doi: 10.1109/IPEC.2010.5542039.
- [11] G. Delamare, « Convertisseurs DC/DC à base de HFETs GaN pour applications spatiales », thesis, Toulouse, INPT, 2015.
- [12] M. Sall, « Irradiation par des ions de grande énergie de semiconducteurs III-N (AlN, GaN, InN) : création de défauts ponctuels et étendus », thesis, Caen, 2013.
- [13] Bernard Boittiaux, *Electronique -Les composants semi-conducteurs - 2ème édition - Librairie Eyrolles*, 2^e éd. .
- [14] J.-G. Tartarin, *La technologie gan et ses applications pour l'électronique robuste, haute fréquence et de puissance*. 2008.
- [15] C. Buttay *et al.*, « State of the art of high temperature power electronics », *Mater. Sci. Eng. B*, vol. 176, n° 4, p. 283-288, mars 2011, doi: 10.1016/j.mseb.2010.10.003.
- [16] T. Hanada, « Basic Properties of ZnO, GaN, and Related Materials », in *Oxide and Nitride Semiconductors: Processing, Properties, and Applications*, T. Yao et S.-K. Hong, Éd. Berlin, Heidelberg: Springer Berlin Heidelberg, 2009, p. 1-19.
- [17] Nicolas Grandjean et Jean Massies, « Les nitrures d'éléments III : des semiconducteurs III-V ». CNRS -CRHEAU, Consulté le: juill. 05, 2019. [En ligne].

- Disponible sur: <https://studylibfr.com/doc/2734043/les-nitrides-d-éléments-iii--des-semiconducteurs-iii-v>.
- [18] J.-C. D. Jaeger, « Dispositifs HEMT à base de GaN - Matériaux et épitaxie », *Ref tip350web - Électronique*, août 2017, Consulté le: févr. 06, 2020. [En ligne]. Disponible sur: <https://www.techniques-ingenieur.fr/base-documentaire/42286210-technologies-des-dispositifs-actifs/download/e1995/dispositifs-hemt-a-base-de-gan.html>.
 - [19] T. D. H. Nguyen, « Réalisation et caractérisation de HEMTs AlGaN/GaN sur silicium pour applications à haute tension », Paris Sud, 2013.
 - [20] O. Ambacher *et al.*, « Pyroelectric properties of Al(In)GaN/GaN hetero- and quantum well structures », *J. Phys. Condens. Matter*, vol. 14, n° 13, p. 3399-3434, avr. 2002, doi: 10.1088/0953-8984/14/13/302.
 - [21] A. Asgari, M. Kalafi, et L. Faraone, « Effects of partially occupied sub-bands on two-dimensional electron mobility in $\text{Al}_x\text{Ga}_{1-x}\text{N}/\text{GaN}$ heterostructures », *J. Appl. Phys.*, vol. 95, n° 3, p. 1185-1190, févr. 2004, doi: 10.1063/1.1635654.
 - [22] T.-H. Yu et K. F. Brennan, « Theoretical study of the two-dimensional electron mobility in strained III-nitride heterostructures », *J. Appl. Phys.*, vol. 89, n° 7, p. 3827-3834, avr. 2001, doi: 10.1063/1.1352558.
 - [23] H. Kamimura, *Comprehensive Semiconductor Science and Technology*. ELSEVIER, 2011.
 - [24] R. Borges, E. Piner, A. Vescan, J. D. Brown, S. Singhal, et R. Therrien, « Gallium nitride on silicon », in *2001 International Semiconductor Device Research Symposium. Symposium Proceedings (Cat. No.01EX497)*, Washington, DC, USA, 2001, p. 382-383, doi: 10.1109/ISDRS.2001.984522.
 - [25] K. P. O'Donnell et X. Chen, « Temperature dependence of semiconductor band gaps », *Appl. Phys. Lett.*, vol. 58, n° 25, p. 2924-2926, juin 1991, doi: 10.1063/1.104723.
 - [26] C. J. Kao, J. K. Sheu, W. C. Lai, M. L. Lee, M. C. Chen, et G. C. Chi, « Effect of GaN cap layer grown at a low temperature on electrical characteristics of Al_{0.25}Ga_{0.75}N/GaN heterojunction field-effect transistors », *Appl. Phys. Lett.*, vol. 85, n° 8, p. 1430-1432, août 2004, doi: 10.1063/1.1784038.
 - [27] S. Bouzid-Driad, « Réalisation et caractérisation de transistors HEMTs GaN pour des applications dans le domaine millimétrique », thesis, Lille 1, 2013.
 - [28] L.-C. Chang, S.-Y. Yin, et C.-H. Wu, « Effect of border traps on the threshold voltage instability of fluoride-doped AlGaN/GaN metal–insulator–semiconductor high-electron-mobility transistors », *J. Phys. Appl. Phys.*, vol. 52, n° 19, p. 195102, mai 2019, doi: 10.1088/1361-6463/ab053d.
 - [29] Y. Uemoto *et al.*, « Gate Injection Transistor (GIT)—A Normally-Off AlGaN/GaN Power Transistor Using Conductivity Modulation », *IEEE Trans. Electron Devices*, vol. 54, n° 12, p. 3393-3399, 2007, doi: 10.1109/TED.2007.908601.
 - [30] Fabrizio Roccaforte, Giuseppe Greco, et Patrick Fiorenza, « An Overview of Normally-Off GaN-Based High Electron Mobility Transistors », *Mater. 2019* 12 1599, p. 18, avr. 2019.
 - [31] M. Meneghini, O. Hilt, J. Wuerfl, et G. Meneghesso, « Technology and Reliability of Normally-Off GaN HEMTs with p-Type Gate », *Energies*, vol. 10, n° 2, p. 153, janv. 2017, doi: 10.3390/en10020153.

- [32] H.-P. Chou, S. Cheng, C.-H. Cheng, et C.-W. Chuang, « Development and characterization of the thermal behavior of packaged cascode GaN HEMTs », *Mater. Sci. Semicond. Process.*, vol. 41, p. 304-311, janv. 2016, doi: 10.1016/j.mssp.2015.09.023.
- [33] Yole Développement, « Power GaN : Epitaxy, Devices, Applications dans Technology Trends », Yole, oct. 2017. Consulté le: avr. 19, 2020. [En ligne]. Disponible sur: http://www.yole.fr/PowerGaN_SupplyChain_GaNCon.aspx#.Xpxhn8j7TDd.
- [34] Efficient Power Conversion, « EPC2001C Enhancement Mode Power Transistor Datasheet », janv. 23, 2020. https://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC2001C_datasheet.pdf (consulté le janv. 23, 2020).
- [35] « EPC2012 ». <https://epc-co.com/epc/Products/eGaNFETsandICs/EPC2012.aspx> (consulté le juin 24, 2020).
- [36] « EPC2115: Dual 150 V, 5 A Integrated Gate Drivers eGaN IC ». <https://epc-co.com/epc/Products/eGaNFETsandICs/EPC2115.aspx> (consulté le juin 24, 2020).
- [37] « GaN Power Transistor Products », *GaN Systems*. <https://gansystems.com/gan-transistors/> (consulté le juin 24, 2020).
- [38] GaN Systems, *GaN Systems - GaNPX packaging process flow*. 2015.
- [39] « GaN Power Devices - Industrial Devices & Solutions - Panasonic ». <https://industrial.panasonic.com/ww/products/semiconductors/powerics/ganpower> (consulté le juin 24, 2020).
- [40] Panasonic corporation, « Field Effect Transistor Patent », US 8, 148,752 B2.
- [41] « Exagan - Products - G-FETTM series ». <http://www.exagan.com/en/products/g-fet/> (consulté le juin 24, 2020).
- [42] « Exagan - Products - Evaluation boards ». <http://www.exagan.com/en/products/evaluation-boards/> (consulté le juin 24, 2020).
- [43] H. Nie *et al.*, « 1.5-kV and 2.2mOhms /cm² Vertical GaN Transistors on Bulk-GaN Substrates », *IEEE Electron Device Lett.*, vol. 35, n° 9, p. 939-941, sept. 2014, doi: 10.1109/LED.2014.2339197.
- [44] Alberto Sozza, « Reliability of AlGaN/GaN HEMTs for RF and microwave applications », University of Padova.
- [45] A. M. Ozbek, « Measurement of Impact Ionization Coefficients in GaN. », 2011.
- [46] P. Moens *et al.*, « Technology and design of GaN power devices », in *2015 45th European Solid State Device Research Conference (ESSDERC)*, sept. 2015, p. 64-67, doi: 10.1109/ESSDERC.2015.7324714.
- [47] David J. Cheney et Lu Liu, « Degradation Mechanisms for GaN and GaAs High Speed Transistors », *Materials* 5(12):2498-2520, nov. 2012.
- [48] A. A. Khan, S. Mohammad, Md. Fahim-Al-Fattah, Md. A. Amin, et C. Z.-U. Hasan, « Analytical demonstration of gate leakage current in AlGaN/GaN/InGaN/GaN DH-HEMT », in *2017 2nd IEEE International Conference on Recent Trends in Electronics, Information Communication Technology (RTEICT)*, mai 2017, p. 392-395, doi: 10.1109/RTEICT.2017.8256624.

- [49] Antonio Stocco, « Reliability and failure mechanisms of GaN HEMT devices suitable for high-frequency and high-power applications - Semantic Scholar », Padova.
- [50] G. Meneghesso *et al.*, « Reliability of GaN High-Electron-Mobility Transistors: State of the Art and Perspectives », *IEEE Trans. Device Mater. Reliab.*, vol. 8, n° 2, p. 332-343, juin 2008, doi: 10.1109/TDMR.2008.923743.
- [51] M. J. Uren *et al.*, « Punch-through in short-channel AlGaN/GaN HFETs », *IEEE Trans. Electron Devices*, vol. 53, n° 2, p. 395-398, févr. 2006, doi: 10.1109/TED.2005.862702.
- [52] E. Bahat-Treidel, O. Hilt, F. Brunner, J. Wurfl, et G. Trankle, « Punchthrough-Voltage Enhancement of AlGaN/GaN HEMTs Using AlGaN Double-Heterojunction Confinement », *IEEE Trans. Electron Devices*, vol. 55, n° 12, p. 3354-3359, déc. 2008, doi: 10.1109/TED.2008.2006891.
- [53] C. Zhou, Q. Jiang, S. Huang, et K. J. Chen, « Vertical Leakage/Breakdown Mechanisms in AlGaN/GaN-on-Si Devices », *IEEE Electron Device Lett.*, vol. 33, n° 8, p. 1132-1134, août 2012, doi: 10.1109/LED.2012.2200874.
- [54] Domenica Visalli, « Experimental and simulation study of breakdown voltage enhancement of AlGaN/GaN heterostructures by Si substrate removal: Applied Physics Letters: Vol 97, No 11 », Consulté le: juill. 18, 2019. [En ligne]. Disponible sur: <https://aip.scitation.org/doi/abs/10.1063/1.3488024?journalCode=apl>.
- [55] E. Bahat-Treidel, F. Brunner, O. Hilt, E. Cho, J. Wurfl, et G. Trankle, « AlGaN/GaN/GaN:C Back-Barrier HFETs With Breakdown Voltage of Over 1 kV and Low \$R_{\text{ON}}\$ », *IEEE Trans. Electron Devices*, 2010, doi: 10.1109/TED.2010.2069566.
- [56] I. B. Rowena, S. L. Selvaraj, et T. Egawa, « Buffer Thickness Contribution to Suppress Vertical Leakage Current With High Breakdown Field (2.3 MV/cm) for GaN on Si », *IEEE Electron Device Lett.*, vol. 32, n° 11, p. 1534-1536, nov. 2011, doi: 10.1109/LED.2011.2166052.
- [57] L. Xing et J. Huaxing, « Ultralow reverse leakage current in AlGaN/GaN lateral Schottky barrier diodes grown on bulk GaN substrate », *Applied Physics Express*, vol. 9, n° 3, janv. 28, 2016.
- [58] Junji Kotani, « Mechanism of surface conduction in the vicinity of Schottky gates on AlGaN/GaN heterostructures: Applied Physics Letters: Vol 91, No 9 », Consulté le: juill. 18, 2019. [En ligne]. Disponible sur: <https://aip.scitation.org/doi/abs/10.1063/1.2775834?journalCode=apl>.
- [59] D. Pavlidis et P. Valizadeh, « AlGaN/GaN high electron mobility transistor (HEMT) reliability - IEEE Conference Publication », présenté à European Gallium Arsenide and Other Semiconductor Application Symposium, GAAS 2005, oct. 2005, Consulté le: juill. 18, 2019. [En ligne]. Disponible sur: <https://ieeexplore-ieee-org-s.docadis.ups-tlse.fr/document/1637201>.
- [60] D. Jin et J. A. del Alamo, « Mechanisms responsible for dynamic ON-resistance in GaN high-voltage HEMTs », in *2012 24th International Symposium on Power Semiconductor Devices and ICs*, juin 2012, p. 333-336, doi: 10.1109/ISPSD.2012.6229089.
- [61] P. Dherbecourt *et al.*, « New Technologies of Power Transistors for Efficiency Increase of Power Converters: The Reliability Consideration », présenté à Third International Conference on Computing and Wireless Communication Systems,

- ICCWCS 2019, April 24-25, 2019, Faculty of Sciences, Ibn Tofail University - Kénitra- Morocco, Kenitra, Morocco, 2019, doi: 10.4108/eai.24-4-2019.2284211.
- [62] S. C. Binari *et al.*, « Trapping effects and microwave power performance in AlGaN/GaN HEMTs », *IEEE Trans. Electron Devices*, vol. 48, n° 3, p. 465-471, mars 2001, doi: 10.1109/16.906437.
 - [63] G. Meneghesso *et al.*, « Degradation of AlGaN/GaN HEMT devices: Role of reverse-bias and hot electron stress », *Microelectron. Eng.*, vol. 109, p. 257-261, sept. 2013, doi: 10.1016/j.mee.2013.03.017.
 - [64] J. Lutz et J. Franke, « Reliability and reliability investigation of wide-bandgap power devices », *Microelectron. Reliab.*, vol. 88-90, p. 550-556, sept. 2018, doi: 10.1016/j.microrel.2018.07.001.
 - [65] M. Elharizi, « Contribution à l'étude des modes de dégradation des transistors HEMT à base de GaN pour les applications de puissance », These de doctorat, Université Paris-Saclay (ComUE), 2018.
 - [66] A. Abdulsalam, N. Karumuri, et G. Dutta, « Modeling and Analysis of Normally-OFF p-GaN Gate AlGaN/GaN HEMT as an ON-Chip Capacitor », *IEEE Trans. Electron Devices*, vol. 67, n° 9, p. 3536-3540, sept. 2020, doi: 10.1109/TED.2020.3007370.
 - [67] D. V. Lang, « Deep-level transient spectroscopy: A new method to characterize traps in semiconductors », *J. Appl. Phys.*, vol. 45, n° 7, p. 3023-3032, juill. 1974, doi: 10.1063/1.1663719.
 - [68] J. Möreke, C. Hodges, L. L. E. Mears, M. J. Uren, R. M. Richardson, et M. Kuball, « Liquid crystal electrography: Electric field mapping and detection of peak electric field strength in AlGaN/GaN high electron mobility transistors », *Microelectron. Reliab.*, vol. 54, n° 5, p. 921-925, mai 2014, doi: 10.1016/j.microrel.2014.01.006.
 - [69] A. Mühlbachbogen, « PhysTech GmbH Hall, DLTS, Customized Physical Measurement Equipment », p. 12.
 - [70] E. Marcault, D. Trémouilles, K. Isoird, F. Morancho, et M. Gavelle, « Dynamic of power-GaN-HEMT electrical parameters: Why DC characterization might be misleading », in *2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe)*, sept. 2016, p. 1-6, doi: 10.1109/EPE.2016.7695492.
 - [71] S. Saadaoui, M. M. B. Salem, O. Fathallah, M. Gassoumi, C. Gaquière, et H. Maaref, « Leakage current, capacitance hysteresis and deep traps in Al_{0.25}Ga_{0.75}N/GaN/SiC high-electron-mobility transistors », *Phys. B Condens. Matter*, vol. 412, p. 126-129, mars 2013, doi: 10.1016/j.physb.2012.11.031.
 - [72] M. A. González-Sentís, P. Tounsi, A. Bensoussan, et A. Dufour, « Degradation indicators of power-GaN-HEMT under switching power-cycling », *Microelectron. Reliab.*, vol. 100-101, p. 113412, sept. 2019, doi: 10.1016/j.microrel.2019.113412.
 - [73] M. Gassoumi, S. Saadaoui, M. M. Ben Salem, C. Gaquiere, et H. Maaref, « Correlation between hysteresis phenomena and hole-like trap in capacitance-voltage characteristics of AlGaN/GaN of Schottky barrier diode », *Eur. Phys. J. Appl. Phys.*, vol. 55, n° 3, p. 30101, sept. 2011, doi: 10.1051/epjap/2011110136.
 - [74] S. Saadaoui et M. M. B. Salem, « Electrical characterization of (Ni/Au)/Al_{0.25}Ga_{0.75}N/GaN/SiC Schottky barrier diode: Journal of Applied Physics: Vol 110, No 1 », *J. Appl. Phys.*, vol. 110, n° 013701, 2011, doi: 10.1063.

- [75] Efficient Power Conversion, « EPC2019 Enhancement Mode Power Transistor Datasheet ». https://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC2019_datasheet.pdf (consulté le janv. 23, 2020).
- [76] Keysight Technologies, « B1505A Power Device Analyzer / Curve Tracer | Keysight ». <https://www.keysight.com/en/pd-1480796-pn-B1505A/power-device-analyzer-curve-tracer?nid=-33786.809392.00&cc=FR&lc=fre> (consulté le janv. 27, 2020).
- [77] S. Saadaoui, M. M. Ben Salem, M. Gassoumi, H. Maaref, et C. Gaquière, « Anomaly and defects characterization by I-V and current deep level transient spectroscopy of Al_{0.25}Ga_{0.75}N/GaN/SiC high electron-mobility transistors », *J. Appl. Phys.*, vol. 111, n° 7, p. 073713, avr. 2012, doi: 10.1063/1.3702458.
- [78] W. Yang, J.-S. Yuan, B. Krishnan, et P. Shea, « Characterization of Deep and Shallow Traps in GaN HEMT Using Multi-Frequency C-V Measurement and Pulse-Mode Voltage Stress », *IEEE Trans. Device Mater. Reliab.*, vol. 19, n° 2, p. 350-357, juin 2019, doi: 10.1109/TDMR.2019.2910454.
- [79] S. Song, S. Munk-Nielsen, C. Uhrenfeldt, et I. Trintis, « Failure mechanism analysis of a discrete 650V enhancement mode GaN-on-Si power device with reverse conduction accelerated power cycling test », in *2017 IEEE Applied Power Electronics Conference and Exposition (APEC)*, mars 2017, p. 756-760, doi: 10.1109/APEC.2017.7930779.
- [80] S. Song, S. Munk-Nielsen, et C. Uhrenfeldt, « Failure mechanism analysis of off-state drain-to-source leakage current failure of a commercial 650V discrete GaN-on-Si HEMT power device by accelerated power cycling test », *Microelectron. Reliab.*, vol. 76-77, p. 539-543, sept. 2017, doi: 10.1016/j.microrel.2017.07.011.
- [81] Y. S. Puzyrev *et al.*, « Dehydrogenation of defects and hot-electron degradation in GaN high-electron-mobility transistors », *J. Appl. Phys.*, vol. 109, n° 3, p. 034501, févr. 2011, doi: 10.1063/1.3524185.
- [82] Y. S. Puzyrev, B. R. Tuttle, R. D. Schrimpf, D. M. Fleetwood, et S. T. Pantelides, « Theory of hot-carrier-induced phenomena in GaN high-electron-mobility transistors », *Appl. Phys. Lett.*, vol. 96, n° 5, p. 053505, févr. 2010, doi: 10.1063/1.3293008.
- [83] M. Meneghini, A. Tajalli, P. Moens, A. Banerjee, E. Zanoni, et G. Meneghesso, « Trapping phenomena and degradation mechanisms in GaN-based power HEMTs », *Mater. Sci. Semicond. Process.*, vol. 78, p. 118-126, mai 2018, doi: 10.1016/j.mssp.2017.10.009.
- [84] M. Ruzzarin *et al.*, « Evidence of Hot-Electron Degradation in GaN-Based MIS-HEMTs Submitted to High Temperature Constant Source Current Stress », *IEEE Electron Device Lett.*, vol. 37, n° 11, p. 1415-1417, nov. 2016, doi: 10.1109/LED.2016.2609098.
- [85] M. Meneghini, G. Meneghesso, et E. Zanoni, *Power GaN Devices | Materials, Applications and Reliability*. Switzerland, 2017.
- [86] K. Li, P. Evans, et M. Johnson, « GaN-HEMT dynamic ON-state resistance characterisation and modelling », in *2016 IEEE 17th Workshop on Control and Modeling for Power Electronics (COMPEL)*, Trondheim, Norway, juin 2016, p. 1-7, doi: 10.1109/COMPEL.2016.7556732.

- [87] A. F. Wilson, A. Wakejima, et T. Egawa, « Influence of GaN Stress on Threshold Voltage Shift in AlGaN/GaN High-Electron-Mobility Transistors on Si under Off-State Electrical Bias », *Appl. Phys. Express*, vol. 6, n° 8, p. 086504, août 2013, doi: 10.7567/APEX.6.086504.
- [88] Efficient Power Conversion, « EPC2001C Enhancement Mode Power Transistor Datasheet ». https://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC2001C_datasheet.pdf (consulté le janv. 23, 2020).
- [89] GaN Systems, « GS61008T 100V Enhancement Mode GaN Transistor Datasheet », *GaN Systems*. <https://gansystems.com/wp-content/uploads/2018/04/GS61008T-DS-Rev-180420.pdf> (consulté le janv. 23, 2020).
- [90] L. Dobrescu, M. Petrov, D. Dobrescu, et C. Ravariu, « Threshold voltage extraction methods for MOS transistors », in *2000 International Semiconductor Conference. 23rd Edition. CAS 2000 Proceedings (Cat. No.00TH8486)*, oct. 2000, vol. 1, p. 371-374 vol.1, doi: 10.1109/SMICND.2000.890257.
- [91] At. Atmel, « ATmega16U4/32U4 Datasheet ». 2016, [En ligne]. Disponible sur: http://ww1.microchip.com/downloads/en/DeviceDoc/Atmel-7766-8-bit-AVR-ATmega16U4-32U4_Datasheet.pdf.
- [92] « Arduino - ArduinoBoardLeonardo ». https://www.arduino.cc/en/Main/Arduino_BoardLeonardo (consulté le janv. 21, 2020).
- [93] A. Lidow et J. Strydom, « eGaN® FET Drivers and Layout Considerations », p. 7, 2016.
- [94] G. Meneghesso, M. Meneghini, E. Zanoni, P. Vanmeerbeek, et P. Moens, « Trapping induced parasitic effects in GaN-HEMT for power switching applications », in *2015 International Conference on IC Design Technology (ICICDT)*, juin 2015, p. 1-4, doi: 10.1109/ICICDT.2015.7165899.
- [95] N. Ronchi et D. Stefaan, « Combined plasma-enhanced-atomic-layer-deposition gate dielectric and in situ SiN cap layer for reduced threshold voltage shift and dynamic ON-resistance dispersion of AlGaN/GaN high electron mobility transistors on 200 mm Si substrates - IOPscience », *Japanese Journal of Applied Physics*, Japan, févr. 10, 2015.
- [96] S. Yang, Y. Lu, H. Wang, S. Liu, C. Liu, et K. J. Chen, « Dynamic Gate Stress-Induced V_{th} Shift and Its Impact on Dynamic Ron in GaN MIS-HEMTs », *IEEE Electron Device Lett.*, vol. 37, n° 2, p. 157-160, févr. 2016, doi: 10.1109/LED.2015.2505334.
- [97] S. Turuvekere, D. S. Rawal, A. DasGupta, et N. DasGupta, « Evidence of Fowler–Nordheim Tunneling in Gate Leakage Current of AlGaN/GaN HEMTs at Room Temperature », *IEEE Trans. Electron Devices*, vol. 61, n° 12, p. 4291-4294, déc. 2014, doi: 10.1109/TED.2014.2361436.
- [98] X. Li, G. Xie, C. Tang, et K. Sheng, « Charge trapping related channel modulation instability in P-GaN gate HEMTs », *Microelectron. Reliab.*, vol. 65, p. 35-40, oct. 2016, doi: 10.1016/j.microrel.2016.07.040.
- [99] FLIR Systems, « FLIR X6580sc technical data ». http://www.flirmedia.com/MMC/THG/Brochures/RND_088/RND_088_US.pdf (consulté le janv. 23, 2020).

- [100] M. Meneghini *et al.*, « Gate Stability of GaN-Based HEMTs with P-Type Gate », *Electronics*, vol. 5, n° 4, p. 14, mars 2016, doi: 10.3390/electronics5020014.
- [101] X. Tang, B. Li, H. A. Moghadam, P. Tanner, J. Han, et S. Dimitrijev, « Mechanism of Threshold Voltage Shift in p-GaN Gate AlGaN/GaN Transistors », *IEEE Electron Device Lett.*, vol. 39, n° 8, p. 1145-1148, août 2018, doi: 10.1109/LED.2018.2847669.
- [102] M. Meneghini *et al.*, « Trapping in GaN-based metal-insulator-semiconductor transistors: Role of high drain bias and hot electrons », *Appl. Phys. Lett.*, vol. 104, n° 14, p. 143505, avr. 2014, doi: 10.1063/1.4869680.
- [103] D. Bisi *et al.*, « Trapping mechanisms in GaN-based MIS-HEMTs grown on silicon substrate », *Phys. Status Solidi A*, vol. 212, n° 5, p. 1122-1129, mai 2015, doi: 10.1002/pssa.201431744.
- [104] M. Meneghini *et al.*, « Extensive Investigation of Time-Dependent Breakdown of GaN-HEMTs Submitted to OFF-State Stress », *IEEE Trans. Electron Devices*, vol. 62, n° 8, p. 2549-2554, août 2015, doi: 10.1109/TED.2015.2446032.
- [105] M. Čapajna, O. Hilt, E. Bahat-Treidel, J. Würfl, et J. Kuzmík, « Gate Reliability Investigation in Normally-Off p-Type-GaN Cap/AlGaN/GaN HEMTs Under Forward Bias Stress », *IEEE Electron Device Lett.*, vol. 37, n° 4, p. 385-388, avr. 2016, doi: 10.1109/LED.2016.2535133.
- [106] I. Rossetto *et al.*, « Field-Related Failure of GaN-on-Si HEMTs: Dependence on Device Geometry and Passivation », *IEEE Trans. Electron Devices*, vol. 64, n° 1, p. 73-77, janv. 2017, doi: 10.1109/TED.2016.2623774.
- [107] T.-L. Wu *et al.*, « Forward Bias Gate Breakdown Mechanism in Enhancement-Mode p-GaN Gate AlGaN/GaN High-Electron Mobility Transistors », *IEEE Electron Device Lett.*, vol. 36, n° 10, p. 1001-1003, oct. 2015, doi: 10.1109/LED.2015.2465137.
- [108] M. Meneghini *et al.*, « Reliability and failure analysis in power GaN-HEMTs: An overview », in *2017 IEEE International Reliability Physics Symposium (IRPS)*, avr. 2017, p. 3B-2.1-3B-2.8, doi: 10.1109/IRPS.2017.7936282.
- [109] Keysight Technologies, « 4142B Modular DC Source/Monitor Keysight ». <https://www.keysight.com/en/pd-542694-pn-4142B/modular-dc-source-monitor?cc=FR&lc=fre> (consulté le janv. 27, 2020).
- [110] I. Rossetto *et al.*, « Time-Dependent Failure of GaN-on-Si Power HEMTs With p-GaN Gate », *IEEE Trans. Electron Devices*, vol. 63, n° 6, p. 2334-2339, juin 2016, doi: 10.1109/TED.2016.2553721.
- [111] S. Stoffels *et al.*, « Failure mode for p-GaN gates under forward gate stress with varying Mg concentration », in *2017 IEEE International Reliability Physics Symposium (IRPS)*, avr. 2017, p. 4B-4.1-4B-4.9, doi: 10.1109/IRPS.2017.7936310.
- [112] A. N. Tallarico *et al.*, « Investigation of the p-GaN Gate Breakdown in Forward-Biased GaN-Based Power HEMTs », *IEEE Electron Device Lett.*, vol. 38, n° 1, p. 99-102, janv. 2017, doi: 10.1109/LED.2016.2631640.
- [113] H. Mosbahi, « Electron traps studied in AlGaN/GaN HEMT on Si substrate using capacitance deep level transient spectroscopy », Consulté le: juill. 04, 2020. [En ligne]. Disponible sur: https://www.academia.edu/24600666/Electron_traps_studied_in_AlGaN_GaN_HEMT_on_Si_substrate_using_capacitance_deep_level_transient_spectroscopy.

- [114] S. M. Dinara *et al.*, « Enhancement of two dimensional electron gas concentrations due to Si₃N₄ passivation on Al_{0.3}Ga_{0.7}N/GaN heterostructure: strain and interface capacitance analysis », *AIP Adv.*, vol. 5, n° 4, p. 047136, avr. 2015, doi: 10.1063/1.4919098.
- [115] J. Hienrich, « Pearson Type IV Distribution ». University of Pennsylvania, US, déc. 21, 2004, [En ligne]. Disponible sur: https://www-cdf.fnal.gov/physics/statistics/notes/cdf6820_pearson4.pdf.
- [116] E. Taylor, « Pearson Family of Distributions ». https://variation.com/wp-content/distribution_analyzer_help/hs130.htm (consulté le janv. 13, 2021).
- [117] P. Arivazhagan, R. Ramesh, M. Balaji, K. Asokan, et K. Baskar, « Structural, surface potential and optical studies of AlGaN based double heterostructures irradiated by 120 MeV Si₉₊ swift heavy ions », *J. Alloys Compd.*, vol. 679, p. 94-103, sept. 2016, doi: 10.1016/j.jallcom.2016.03.241.
- [118] M. Karlušić *et al.*, « Response of GaN to energetic ion irradiation: conditions for ion track formation », *J. Phys. Appl. Phys.*, vol. 48, n° 32, p. 325304, août 2015, doi: 10.1088/0022-3727/48/32/325304.
- [119] D. Mahajan, S. A. Albahrani, J. Hodges, et S. Khandelwal, « Robust Circuit Model for GaN-Based Radiation-Hard Electronics », in *2018 IEEE Nuclear Science Symposium and Medical Imaging Conference Proceedings (NSS/MIC)*, Sydney, Australia, nov. 2018, p. 1-2, doi: 10.1109/NSSMIC.2018.8824520.
- [120] R. Jiang *et al.*, « Dose-Rate Dependence of the Total-Ionizing-Dose Response of GaN-Based HEMTs », *IEEE Trans. Nucl. Sci.*, vol. 66, n° 1, p. 170-176, janv. 2019, doi: 10.1109/TNS.2018.2873059.
- [121] S. J. Pearton, Y.-H. Hwang, et F. Ren, « Radiation Effects in AlGaN/GaN and InAlN/GaN High Electron Mobility Transistors », *ECS Trans.*, vol. 66, n° 1, p. 3-13, mai 2015, doi: 10.1149/06601.0003ecst.
- [122] S. J. Pearton, F. Ren, E. Patrick, M. E. Law, et A. Y. Polyakov, « Review—Ionizing Radiation Damage Effects on GaN Devices », *ECS J. Solid State Sci. Technol.*, vol. 5, n° 2, p. Q35-Q60, 2016, doi: 10.1149/2.0251602jss.

7. ANNEXES

7.1. Extraction de V_{TH}

Pour la mesure de la tension de seuil V_{TH} nous avons utilisé la méthode de l'extrapolation dans la région linéaire de la courbe $I_D(V_{GS})$ ou ELR (de l'anglais *Extrapolation in Linear Region*) [90].

La méthode consiste à trouver l'intersection entre l'axe des abscisses et l'interpolation de la courbe $I_D(V_{GS})$ à sa dérivée maximale (maximum de la pente, c'est-à-dire le maximum de transconductance g_m).

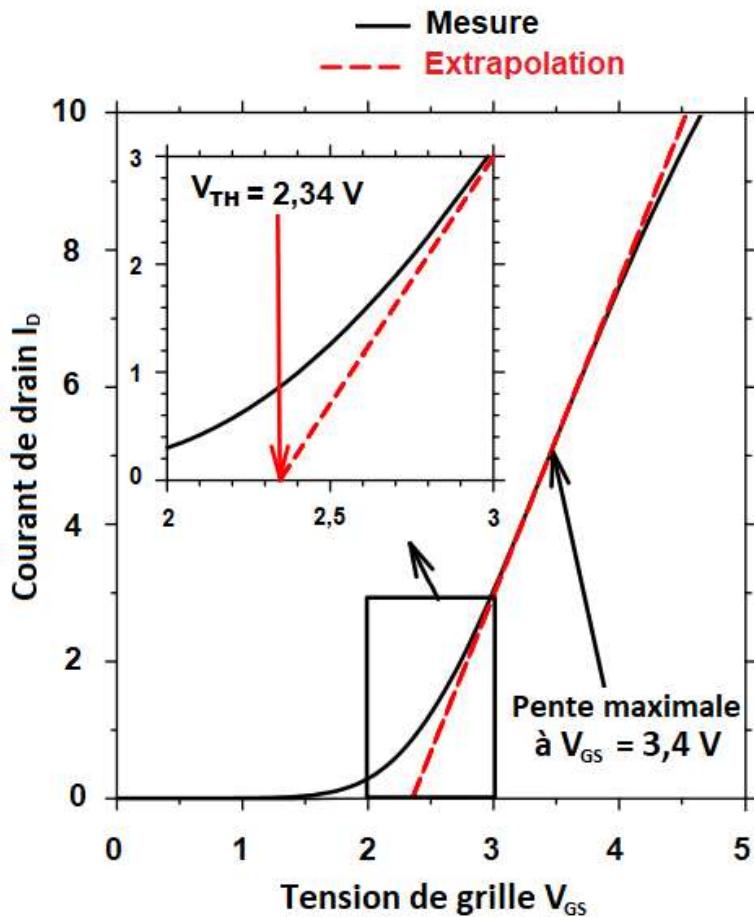


Figure 127 : Schéma de la méthode d'extrapolation dans la région linéaire

La Figure 127 montre l'extraction de V_{TH} utilisant la méthode de l'extrapolation dans la région linéaire. Pour faire cela, il faut calculer la dérivée de la courbe $I_D(V_{DS})$ et trouver son maximum. Ensuite, sur ce point nous traçons la tangente à la courbe $I_D(V_{DS})$. L'intersection entre la tangente et l'axe d'abscisses est la tension de seuil V_{TH} .

Nous avons utilisé cette méthode afin de pouvoir comparer entre différentes références et fabricants, car comme nous l'avons expliqué dans le paragraphe 3.3 la valeur de V_{TH} donnée dans la *datasheet* dépend de la méthode utilisée pour chaque fabricant.

7.2 TABLEAUX DE RESULTATS

	Composants sous test	kcycles			
		0	172k	344k	516k
Référence_1	DUT2	2,216	2,353	2,389	2,409
	DUT3	2,240	2,338	2,364	2,394
	DUT4	2,191	2,418	2,447	
	DUT5	2,189	2,368	2,413	
	DUT6	2,260	2,312	2,327	2,349
	DUT7	2,186	2,258	2,282	2,307
	DUT8	2,237	2,278	2,294	2,324
	DUT9	2,206	2,291	2,322	2,338
	moyenne V _{GS} 4V	2,222	2,285	2,306	2,329
	moyenne V _{GS} 5V	2,209	2,369	2,403	2,401
Référence_2	DUT22	2,185	2,287	2,329	2,341
	DUT23	2,219	2,331	2,349	2,367
	DUT24	2,249	2,318	2,326	2,335
	DUT25	2,257	2,360	2,376	2,388
	DUT26	2,199	2,292	2,316	2,332
	DUT27	2,236	2,340	2,355	2,362
	DUT28	2,264	2,354	2,370	2,371
	DUT29	2,225	2,303	2,327	2,327
	moyenne V _{GS} 4V	2,227	2,324	2,345	2,357
	moyenne V _{GS} 5V	2,231	2,322	2,342	2,348
Référence_3	DUT32	2,155	2,180	2,192	2,250
	DUT33	2,199	2,198	2,232	2,301
	DUT34	2,127	2,148	2,174	2,234
	DUT35	2,161	2,157	2,195	2,231
	DUT36	2,116	2,132	2,147	2,184
	DUT37	2,115	2,134	2,157	2,209
	DUT38	2,216	2,227	2,265	2,346
	DUT39	2,189	2,189	2,237	2,321
	moyenne V _{GS} 4V	2,161	2,171	2,198	2,254
	moyenne V _{GS} 5V	2,159	2,171	2,201	2,265

Tableau 21 : Tableau de résultats - Tension de seuil V_{TH} (V)

	Composants sous test	kcycles			
		0	172k	344k	516k
Référence_1	DUT2	6,62E-06	6,64E-03	1,66E-02	1,88E-02
	DUT3	1,29E-05	9,20E-03	1,89E-02	4,11E-02
	DUT4	8,12E-06	8,40E-03	2,01E-02	
	DUT5	6,02E-06	4,26E-03	1,51E-02	
	DUT6	6,70E-06	7,63E-04	1,36E-03	1,41E-03
	DUT7	5,73E-06	7,36E-04	1,47E-03	1,62E-03
	DUT8	6,01E-06	6,27E-04	1,21E-03	1,32E-03
	DUT9	6,57E-06	5,15E-04	9,90E-04	1,08E-03
	moyenne V _{GS} 4V	6,25E-06	6,60E-04	1,26E-03	1,36E-03
	moyenne V _{GS} 5V	8,42E-06	7,13E-03	1,77E-02	3,00E-02
Référence_2	DUT22	3,70E-05	3,72E-04	4,42E-04	9,17E-04
	DUT23	3,50E-05	3,78E-04	4,56E-04	8,89E-04
	DUT24	2,40E-05	3,16E-04	3,95E-04	7,43E-04
	DUT25	4,40E-05	4,74E-04	5,62E-04	8,94E-04
	DUT26	3,60E-05	4,19E-04	6,87E-04	8,62E-04
	DUT27	2,10E-05	2,81E-04	3,82E-04	8,06E-04
	DUT28	3,90E-05	3,71E-04	4,62E-04	9,37E-04
	DUT29	3,20E-05	3,84E-04	4,19E-04	6,54E-04
	moyenne V _{GS} 4V	3,50E-05	3,85E-04	4,64E-04	8,61E-04
	moyenne V _{GS} 5V	3,20E-05	3,64E-04	4,87E-04	8,15E-04
Référence_3	DUT32	2,45E-06	3,53E-05	5,14E-05	6,26E-05
	DUT33	2,97E-06	3,72E-05	4,48E-05	6,23E-05
	DUT34	4,56E-06	6,16E-05	7,62E-05	1,01E-04
	DUT35	3,18E-06	7,25E-05	9,53E-05	1,25E-04
	DUT36	9,37E-06	7,13E-05	7,16E-05	1,11E-04
	DUT37	3,08E-06	4,28E-05	5,26E-05	6,64E-05
	DUT38	4,24E-06	5,48E-05	6,39E-05	8,68E-05
	DUT39	1,08E-05	7,87E-05	8,54E-05	1,04E-04
	moyenne V _{GS} 4V	3,29E-06	5,17E-05	6,69E-05	8,76E-05
	moyenne V _{GS} 5V	6,86E-06	6,19E-05	6,84E-05	9,21E-05

Tableau 22 : Tableau de résultats - Courant de fuite de grille I_G (A)

RESUME

Le transistor HEMT (*High Electron Mobility Transistor*) de puissance en nitrure de gallium présente une faible résistance passante $R_{DS(ON)}$ et une commutation rapide, limitant ainsi les pertes de conduction et commutation. Sa haute fréquence de commutation permet de réduire la valeur des composants passifs des convertisseurs d'énergie. De ce fait on peut concevoir des équipements plus légers et moins encombrants. En plus, le GaN est intrinsèquement robuste aux effets de la radiation et peut travailler à des températures extrêmes.

Malgré tous ces avantages, l'utilisation des HEMT de puissance en GaN à grande échelle reste limitée à cause de la méconnaissance de la fiabilité de ces composants avec le vieillissement. Ces composants présentent des effets physiques qu'on ne trouvait pas dans les transistors de puissance en silicium et qu'il faut prendre en compte lors de l'étude de ces composants. En effet, les tests conventionnels qu'on utilise aujourd'hui pour les transistors de puissance en silicium n'arrivent pas à couvrir toutes les exigences des HEMT de puissance en GaN, spécialement les effets de piégeage.

Nous avons réalisé une analyse de cette technologie, avec toute la littérature disponible afin de comprendre son fonctionnement et d'identifier les mécanismes de défaillance et les verrous qui freinent le déploiement de ces transistors. Nous avons exploré les possibilités d'utilisation de méthodes disponibles pour mesurer les effets de piégeage afin de compléter les tests conventionnels qu'on utilise aujourd'hui pour caractériser les transistors de puissance. Un banc de cyclage actif a été conçu afin d'étudier la dérive des performances et les effets de piégeage des transistors en fonction du vieillissement en commutation. Finalement, nous avons soumis des composants à un test d'irradiation pour étudier leur robustesse face aux ions lourds afin de déterminer leur convenance pour des applications spatiales.

Mots clefs : nitrure de gallium, power-GaN-HEMT, fiabilité, électronique de puissance, caractérisation, radiation

ABSTRACT

Characterization of the failure mechanisms of power-GaN-HEMT transistors in switching regime

Power-GaN-HEMT is the up-and-coming device in space applications. Gallium nitride tolerates higher operational temperatures than silicon, and it is an inherently radiation-hard material. In addition, GaN-based transistors offer remarkable performances for power switching energy converters like low on-resistance and high power densities compared to silicon-based devices. Furthermore, due to its higher switching frequency, smaller and lighter power converters can be conceived in as much the value of passive devices can be reduced when operating at higher frequencies.

Notwithstanding all these advantages, the use of large-scale power-GaN-HEMTs remains limited due to the lack of awareness of the reliability of these components with aging. These components have physical effects that were not found in silicon power transistors and that must be taken into account when studying these components. Indeed, the conventional tests that we use today for silicon power transistors do not manage to cover all the requirements of HEMT power in GaN, especially the trapping effects.

We carried out an analysis of this technology, in order to study the failure mechanisms and the technological bottle-neck which slow down the deployment of power-GaN-HEMT. We have explored methods to measure the trapping effects in order to complete conventional tests that are used today to characterize power transistors. A power-cycling bench has been designed to study the degradation and the trapping effects with the aging in switching regime. Finally, we carried out radiation tests in order to study the power-GaN-HEMT suitability for space applications.

Keywords: gallium nitride, power-GaN-HEMT, reliability, power electronics, characterization, radiation