

Liste des symboles

b	Ouverture entre deux anneaux adjacents (structure FLIMOS)
C_{gs}	Capacité grille-source
C_{gs1}	Capacité de recouvrement de la grille sur la diffusion N^+ source
C_{gsb}	Capacité entre la grille et le canal d'inversion
C_{gs2}	Capacité entre la métallisation de source et le polysilicium de grille
C_{ds}	Capacité drain-source
C_{ds1}	Capacité drain-source de la jonction principale
C_{ds2}	Capacité de transition de la jonction "P-îlot/N- drift"
C_{ds1a}, C_{ds2a}	Capacités des jonctions planes PN^- drift
C_{ds1b}, C_{ds2b}	Capacités des jonctions cylindriques PN^- drift
C_{gd}	Capacité grille-drain
C_{gdmax}	Capacité d'oxyde entre la grille et la zone intercellulaire de drift
C_{gddep}	Capacité de déplétion dans la zone intercellulaire sous la grille
C_{ox}	Capacité d'oxyde de grille par unité de surface
C_T	Capacité de transition d'une jonction
C_{j0}	Capacité de transition pour une polarisation nulle
C_{iss}	Capacité d'entrée avec sortie en court-circuit
C_{oss}	Capacité de sortie avec entrée en court-circuit
C_{rss}	Capacité de transfert grille-drain
D	Longueur d'une cellule élémentaire ($l+La$)
d	Distance entre la jonction principale et l'îlot flottant
E_C	Valeur du champ critique de claquage
e_{ox}	Épaisseur de l'oxyde mince de canal
E_{sub}	Épaisseur du substrat
H	Hauteur de la couche épitaxiée
h	Épaisseur des bandes N et P (cas de la Superjonction)
h_2	Profondeur de la diffusion P
I_{ds}	Courant de drain
K_P	Facteur de pente (ou paramètre de transconductance)
l	Largeur d'un caisson P
L	Longueur du canal
L_a	Longueur de la zone accumulée
L_{N^+}	Largeur de la diffusion N^+ de source
L_{ox}	Distance entre le P-body et la fin de métallisation de l'oxyde mince de grille
L_{cr}	Distance entre la diffusion P source et le premier îlot P (FLIMOS latéral)
m	Facteur de gradualité de la jonction

Liste des symboles

N^+	Zone de type N fortement dopée
N^-	Zone de type N faiblement dopée (zone de "drift")
n	Nombre d'îlots P^+ (notion FLIMOS)
N_a	Densité de dopage de la bande P de la superjonction
N_A	Densité de dopage de la zone du canal
$N_{A\max}$	Valeur maximale du dopage de la zone du canal
N_d	Densité de dopage des zones N (zone de drift, bande N de la superjonction)
n_i	Densité intrinsèque des porteurs à l'équilibre thermodynamique
N_{sub}	Densité de dopage de la région de substrat
q	Charge électrique élémentaire
Q_{SS}	Charge d'oxyde ramenée à l'interface Si-SiO ₂
R_{ch}	Résistance de canal
$R_{\text{ch}.S}$	Résistance spécifique de canal
R_a	Résistance de la zone d'accès au drain
$R_{a.S}$	Résistance spécifique de la zone d'accès au drain
R_{acc}	Résistance de la couche accumulée sous la grille
$R_{\text{acc}.S}$	Résistance spécifique de la couche accumulée sous la grille
R_{JFET}	Résistance de volume de la zone d'accès au drain
$R_{\text{JFET}.S}$	Résistance spécifique de volume de la zone d'accès au drain
R_{bulk}	Résistance série équivalent à $R_d + R_{\text{sub}}$
R_d	Résistance de la zone de "drift"
$R_{d.S}$	Résistance spécifique de la zone de "drift"
R_g	Résistance du polysilicium de grille
R_{N^+}	Résistance de la diffusion N ⁺ de source
R_{on}	Résistance à l'état passant du transistor MOS de puissance
$R_{\text{on}.S}$	Résistance passante spécifique du transistor MOS de puissance
R_{sub}	Résistance du substrat N ⁺ relié au drain
$R_{\text{sub}.S}$	Résistance spécifique du substrat N ⁺
R_s	Résistance de source
S	Surface active de la puce d'un transistor MOS de puissance
T	Température (en K)
T_0	Température initiale (300 K sauf indication contraire)
U_T	Potentiel thermodynamique
V_{DBR}	Tension de claquage drain-source du transistor MOS
V_{ds}	Tension drain-source
V_{dsat}	Tension de saturation (SPICE niveau 3)

Liste des symboles

V_{FB}	Tension de bandes plates
V_{gs}	Tension grille-source
V_p	Valeur de la tension de drain au début du pincement du canal
V_{per}	Tension de perçage de l'îlot flottant (structure FLIMOS avec un seul îlot)
V'_{gs}	Tension effective de grille
V_{max}	Vitesse limite des porteurs dans le canal
V_T	Tension de seuil
W	Largeur des bandes N et P (cas de la Superjonction)
W_{epi}	Épaisseur de l'épitaxie (cas du LDMOS Resurf)
W_0	Extension de la ZCE du côté N ⁻ drift dans la zone de JFET du MOS
W_N, W_P	Largeur des bandes N et P de la superjonction
Z	"Périmètre" total du canal
μ_n, μ_p	Mobilité des électrons et des trous
μ_{nacc}	Mobilité des électrons dans la couche accumulée
μ_{nsub}	Mobilité des électrons dans la couche N ⁺ de substrat
μ_0	Mobilité des porteurs dans le volume du semi-conducteur à champ faible
μ_{0acc}	Mobilité des porteurs majoritaires dans la couche accumulée à champ faible
μ_s	Mobilité de porteurs en surface dans le canal d'inversion
μ_{eff}	Mobilité effective des porteurs dans le canal
ϕ_{ms}	Différence des travaux de sortie métal-semi-conducteur
ϕ_B	Potentiel interne du substrat
ϕ_F	Potentiel de Fermi
ϕ_s	Potentiel électrostatique à la surface du semi-conducteur
Ψ	Potentiel transverse de réduction de la mobilité (couche inversée)
Λ	Potentiel transverse de réduction de la mobilité (couche accumulée)
θ	Coefficient de dégradation de la mobilité ($\theta = 1/\Psi$)
ϵ_0	Permittivité absolue du vide
ϵ_{Si}	Permittivité relative du silicium
α_n, α_p	Coefficients d'ionisation des électrons et des trous

TABLE DES MATIÈRES

Table des matières

INTRODUCTION GÉNÉRALE	1
Évolution des composants de puissance.....	3
Objectif de ce travail	4
CHAPITRE I : ÉTAT DE L'ART DES COMPOSANTS MOS DE PUISSANCE.....	7
I.1. Introduction	9
I.2. Structures de composants MOS de puissance et principe de fonctionnement.....	10
I.2.1. Composants discrets.....	10
I.2.1.1. Le transistor VDMOS	10
I.2.1.2. Le transistor MOS à tranchées	11
I.2.2. Composants intégrés	13
I.2.2.1. Le transistor LDMOS	13
I.2.2.2. Le transistor VDMOS up-drain	15
I.2.2.3. Le transistor LUDMOS.....	15
I.3. Caractéristiques statiques d'un transistor VDMOS de puissance	16
I.3.1. Tension de claquage.....	16
I.3.1.1. Cas d'une jonction plane infinie en non limitation "Non Punch Through" (NPT)	19
I.3.1.2. Cas d'une jonction plane en limitation "Punch Through" (PT)	20
I.3.2. Résistance à l'état passant.....	23
I.3.2.1. Résistance du canal	24
I.3.2.2. Résistance d'accès	24
I.3.2.3. Résistance de drift.....	25
I.3.2.4. Les autres résistances	26
I.3.3. Limite du silicium des transistors DMOS verticaux	26
I.3.4. Limite du silicium des transistors DMOS latéraux	27
I.4. Quelques solutions pour dépasser (ou "briser") la limite dite du silicium.....	28
I.4.1. Transistors MOS de puissance à Superjonction.....	28
I.4.2. Composants MOS à îlots flottants : le transistor FLIMOS	32
I.5. Matériaux semi-conducteurs à grand gap pour l'électronique de puissance	33
I.5.1. Introduction.....	33
I.5.2. Compromis "résistance passante spécifique / tension de claquage"	35
I.6. Conclusion	37
CHAPITRE II : ANALYSE STATIQUE ET DYNAMIQUE DU TRANSISTOR FLIMOS DE PUISSANCE.....	39
II.1. Introduction	41
II.2. Approche analytique unidimensionnelle	42
II.2.1. Tension de claquage	42
II.2.2. Résistance à l'état passant	47
II.2.2.1. Résistance du canal.....	48
II.2.2.2. Résistance d'accès	48
II.2.2.3. Résistance de drift	49
II.2.2.4. Limite du silicium des structures FLIMOS verticales.....	50
II.2.3. Optimisation des structures FLIMOS verticales.....	52
II.2.4. Capacité grille-source C_{gs}	54
II.2.5. Capacité drain-source C_{ds}	54

Table des matières

II.2.6. Capacité grille-drain C_{gd}	55
II.3. Simulation 2D et interprétation des résultats.....	56
II.3.1. Outil de simulation bidimensionnelle PISCES.....	56
II.3.2. Structure DMOS verticale	57
II.3.2.1. Structure FLIMOS 900 Volts	57
II.3.2.1.1. Simulation de la tenue en tension et de la résistance passante spécifique de la structure VDMOS 900 Volts.....	57
II.3.2.1.2. Structure FLIMOS 900 Volts à trois îlots flottants	58
II.3.2.2. Structure FLIMOS 73 Volts	62
II.3.2.3. Conclusion	63
II.3.3. Structure latérale.....	64
II.3.3.1. Structure LDMOS conventionnelle	64
II.3.3.2. Structure FLIMOS latérale 60 Volts à deux îlots flottants.....	65
II.3.3.3. Paramètres de la structure FLIMOS	65
II.3.3.4. Simulation de la structure FLIMOS latérale en coupe	66
II.3.3.5. Simulation de la partie supérieure de la structure en surface	67
II.3.3.6. Résistance passante spécifique	67
II.3.3.7. Conclusion	68
II.3.4. Impact des îlots sur les performances dynamiques	69
II.3.4.1. Capacité grille-source	69
II.3.4.2. Capacité drain-source	69
II.3.4.2.1. Structure FLIMOS verticale à un îlot flottant 73 Volts.....	69
II.3.4.2.2. Structure FLIMOS verticale à 9 îlots flottants 900 Volts.....	70
II.3.4.3. Capacité grille-drain	71
II.3.4.3.1. Structure FLIMOS verticale à un îlot flottant 73 Volts.....	71
II.3.4.3.2. Structure FLIMOS verticale à 9 îlots flottants 900 Volts.....	72
II.3.5. Conclusion	73
II.4. Conclusion	73

CHAPITRE III : MODÉLISATION SPICE DU TRANSISTOR FLIMOS VERTICAL..... 75

III.1. Introduction	77
III.2. Approche physique de la modélisation	78
III.2.1. Modèle statique	79
III.2.1.1. Zone du canal	79
III.2.1.2. Nouveau modèle SPICE du générateur de courant	81
III.2.1.3. Zone d'accès.....	82
III.2.1.4. Zone de drift	83
III.2.1.5. Diode Dbody	83
III.2.1.6. Extraction des paramètres statiques	84
III.2.1.6.1. Tension de seuil V_{T0} et facteur de transconductance K_P	84
III.2.1.6.2. Paramètres θ , V_{MAX} et ETA	85
III.2.1.6.3. Résistances R_a et R_{bulk}	85
III.2.1.7. Validation du modèle statique	86
III.2.2. Modèle dynamique	88
III.2.2.1. Capacité grille-source C_{gs}	90
III.2.2.2. Capacité grille-drain C_{gd}	90
III.2.2.3. Capacité drain-source C_{ds}	93
III.2.2.4. Extraction des paramètres dynamiques	93

Table des matières

III.2.2.4.1. Mesures des capacités inter-électrodes C_{iss} , C_{rss} et C_{oss}	93
III.2.2.4.2. Détermination des paramètres C_{j0} , V_j et m	95
III.2.2.5. Validation du modèle dynamique	95
III.2.2.6. Simulation du “gate charge”	97
III.3. Conclusion.....	99
CONCLUSION GÉNÉRALE.....	101
BIBLIOGRAPHIE.....	107
ANNEXES.....	121
Annexe 1.....	123
Annexe 2.....	124
Annexe 3.....	137

Table des matières

INTRODUCTION GÉNÉRALE

Introduction générale

Évolution des composants de puissance

Ces dernières années, des progrès en rendement et miniaturisation des composants de puissance ont permis l'intégration de l'électronique de puissance dans plusieurs applications comme l'automobile et l'électroménager par exemple. Les composants de puissance jouent en général le rôle d'interrupteurs de commande et de transfert d'énergie électrique. Les principales caractéristiques d'un interrupteur de puissance sont : la tension blocable, le courant admissible, la "commandabilité", la résistance à l'état passant (qui traduit les pertes par conduction dans l'interrupteur) et la rapidité.

Plusieurs composants de puissance sont commercialisés couvrant une large gamme de puissances électriques et de tensions blocables. Parmi ces dispositifs de puissance, on trouve : les transistors bipolaires, les thyristors, les GTO (Gate Turn-Off Thyristor), les VDMOS et les IGBTs. Le choix du composant de puissance est lié à l'application de puissance visée.

Tous les composants de puissance doivent intégrer dans leurs structures physiques une zone faiblement dopée, appelée zone de drift, qui permet au composant de tenir la tension à l'état bloqué. Pour soutenir des tensions élevées, la zone de drift doit être large et faiblement dopée. Par conséquent, cette zone large contribue au fonctionnement, à l'état passant, par une résistance très grande et génère des pertes par conduction qui peuvent endommager le composant.

Dans la pratique, la résistance de cette zone de drift peut être réduite par la modulation de sa conductivité en y injectant les porteurs minoritaires, cas des composants bipolaires, ou par augmentation de la surface active du composant, cas des transistors VDMOS par exemple.

Les transistors bipolaires, les thyristors et les GTO sont des composants qui fonctionnent avec les deux types de porteurs : ils peuvent donc commuter des courants très importants et présenter une résistance à l'état passant très faible grâce à la modulation de conductivité de la zone de drift. Les deux inconvénients majeurs de ces dispositifs bipolaires sont :

- i) une commande en courant par une énergie non négligeable, donc des circuits de commande complexe.
- ii) une fréquence d'utilisation limitée à cause de la charge stockée à l'état passant.

Contrairement aux composants bipolaires, les transistors MOS de puissance fonctionnent avec un seul type de porteurs (les majoritaires) et ils sont commandés en tension à travers une résistance d'entrée très grande. Conséquence, le transistor MOS de puissance est plus rapide (pas de charge stockée), sa résistance d'entrée est très grande et l'énergie électrique nécessaire pour le commander est très faible. Toutefois, le champ d'utilisation du transistor MOS de puissance de structure conventionnelle se limite aux applications de puissance de tensions de claquage ne dépassant pas les 250 Volts car sa résistance à l'état passant augmente d'une façon considérable avec l'augmentation de la tension de claquage. Cette limitation est due à l'épaisseur et au dopage de la zone de drift dans la structure conventionnelle du transistor MOS de puissance et notamment à la faible énergie d'ionisation du silicium.

Plusieurs travaux de recherche ont été effectués pour développer de nouvelles structures de composants de puissance plus faciles à commander et ayant une résistance faible à l'état passant. Dans les années 1980, une nouvelle structure de composants de puissance, appelée IGBT (Insulated-Gate Bipolar Transistor), a été proposée présentant l'avantage d'être commandée en tension à travers une grille isolée, comme le transistor MOS, et de fonctionner avec les deux types de porteurs, comme le transistor bipolaire. Ainsi, l'IGBT a remplacé le GTO dans plusieurs applications hautes tensions grâce à sa commande plus simple et une

puissance commutée très importante. Les modules IGBT, c'est-à-dire puces IGBT mises en parallèle pour augmenter le courant à l'état passant, sont actuellement utilisés dans la traction électrique, la gestion de sources d'énergie éolienne ou solaire, les véhicules électriques et les appareils domestiques. L'inconvénient majeur de l'IGBT est la charge stockée à l'état passant qui limite son utilisation aux basses fréquences (< 20 kHz).

Pour les applications hautes fréquences ne dépassant pas des tensions de 250 Volts, le transistor MOS de puissance unipolaire reste le composant de choix grâce à une vitesse de commutation plus élevée que celle des transistors de puissance bipolaires.

Des progrès technologiques de lithographie et en diffusion ont permis la miniaturisation des diffusions P des cellules élémentaires constitutives du transistor MOS de puissance et, par conséquent, le développement de structures améliorant d'une façon significative la résistance à l'état passant. Parmi ces structures, on peut citer le HDTMOS de Motorola [1] et le transistor MOS à tranchées [2], innovation de Ueda et al [3], largement utilisé par plusieurs fabricants de semi-conducteurs de puissance à ce jour.

D'autres études menées sur le développement de nouvelles structures innovantes ont permis la découverte de deux structures très intéressantes permettant une nette amélioration du compromis entre la résistance à l'état passant et la tension de claquage pour les composants MOS de puissance. Parmi ces structures, on peut citer les composants MOS de puissance à superjonction [4] et les composants MOS de puissance à îlots flottants [5].

Cependant, si les composants de puissance ont beaucoup progressé au niveau de leurs structures actuellement, les limites physiques et thermiques du silicium empêchent une amélioration encore plus grande de leurs performances statiques et dynamiques. Pour surmonter ces limitations, les composants de puissance doivent faire appel à d'autres matériaux semi-conducteurs à large bande interdite (bandgap) pour remplacer le silicium dans plusieurs applications de puissance et notamment en haute température. Parmi ces matériaux semi-conducteurs à large bandgap, on peut citer le carbure de silicium (SiC), le nitrate de gallium (GaN) et le diamant.

Actuellement, des wafers en carbure de silicium et en nitrate de gallium (en couches minces sur saphir ou sur carbure de silicium) sont disponibles sur le marché pour fabriquer des composants de puissance capables de continuer à fonctionner à des températures très élevées avec des faibles pertes statiques et dynamiques. Le diamant est le matériau semi-conducteur à large bandgap qui présente les meilleures caractéristiques physiques et thermiques mais son processus de fabrication, nécessitant des températures très grandes, est loin d'être résolu. Une autre caractéristique intéressante pour ces matériaux semi-conducteurs à large bandgap est le fort champ électrique de claquage.

Ainsi, en utilisant un tel matériau, on peut fabriquer des composants ayant une tension de claquage très élevée avec une faible résistance de drift. Une étude menée sur un transistor MOS de puissance 660 Volts fabriqué à base de carbure de silicium a montré que les résistances du canal d'inversion et des fils de connexion deviennent non négligeables [6]. D'autres travaux de recherche sont actuellement en cours pour améliorer la qualité des substrats obtenus en matériaux à large bandgap et diminuer leur densité de défauts.

Objectif de ce travail

L'objectif de ce travail est d'effectuer une étude de modélisation électrique du nouveau composant de puissance MOS à îlots flottants "Floating Island MOSFET" (FLIMOS).

Dans le premier chapitre, nous allons présenter l'état de l'art des transistors MOS de puissance de structures verticales et latérales. La limite théorique, dite "limite du silicium", permettant de calculer la résistance passante spécifique minimale en fonction de la tension de claquage sera donnée dans chaque cas. Ensuite, nous allons exposer le principe de la superjonction qui peut permettre aux structures verticales de "briser" cette limite théorique dans le cas des transistors MOS haute tension.

Enfin, en raison des avancées technologiques fulgurantes dans l'obtention de substrats en matériaux semi-conducteurs à large bandgap, l'impact de ces nouveaux matériaux sur les performances statiques et dynamiques des composants de puissance sera expliqué et commenté.

Le deuxième chapitre sera consacré à l'étude physique du composant FLIMOS. Dans un premier temps, nous allons effectuer une analyse physique pour étudier le claquage et la résistance à l'état passant dans cette nouvelle structure. La limite du silicium de la structure FLIMOS sera donnée et comparée à celle de la structure conventionnelle. Ensuite, en se basant sur une approche analytique unidimensionnelle et des simulations numériques bidimensionnelles [7], nous montrerons l'impact des îlots flottants sur la résistance à l'état passant et nous définirons le domaine des tensions pour lesquelles le compromis entre la tension de claquage et la résistance passante spécifique sera amélioré par rapport aux structures conventionnelles. Pour compléter notre étude, nous allons aussi donner les expressions analytiques des capacités inter-électrodes de cette structure FLIMOS en les comparant aux capacités de la structure conventionnelle. Pour valider ce modèle analytique, on comparera les résultats obtenus par les équations analytiques aux résultats de mesures et de simulations bidimensionnelles.

Le troisième chapitre sera consacré à la modélisation électrique du FLIMOS. Le modèle proposé sera compatible avec le simulateur de circuit SPICE. En effet, un nouveau modèle SPICE sera proposé utilisant un nouveau formalisme du générateur de courant de drain et permettant de décrire avec plus de précision le comportement électrique du FLIMOS dans toutes ses régions de fonctionnement (zone ohmique et zone de saturation). Cette modélisation sera basée sur l'analyse physique du FLIMOS, l'étude analytique, la simulation numérique bidimensionnelle réalisée avec le logiciel ATLAS [7] et la mesure. Comparé au modèle SPICE niveau 3, le nouveau modèle obtenu permet de décrire d'une façon satisfaisante le comportement statique et dynamique du composant. Ce modèle sera ensuite vérifié et validé par le circuit d'attaque de grille à courant constant ("gate charge").

Introduction générale

CHAPITRE I :

ÉTAT DE L'ART DES COMPOSANTS MOS DE PUISSANCE

I.1. Introduction

En électronique de puissance, les transistors bipolaires et les thyristors étaient les premiers dispositifs de puissance commandables utilisés dans plusieurs applications de puissance. Toutefois, ces dispositifs bipolaires ne sont pas adaptés aux applications en commutation haute fréquence et exigent un circuit de commande complexe fournissant une énergie non négligeable.

L'évolution des technologies dans le domaine des circuits intégrés MOS a permis le développement de familles de transistors MOS de puissance capables de fonctionner en haute fréquence avec une commande simplifiée à travers une grille isolée par un oxyde mince.

Le transistor MOS de puissance de structure conventionnelle en silicium est un composant unipolaire qui est très utilisé dans les applications de puissance en commutation haute fréquence pour des tensions de claquage ne dépassant pas les 250 Volts. Le courant dans le transistor MOS de puissance est un courant de conduction d'un seul type de porteurs (les majoritaires), il n'existe donc aucun délai d'évacuation dû à la charge stockée ou à la recombinaison des porteurs minoritaires comme dans le cas des dispositifs bipolaires. Par conséquent, la vitesse de commutation des transistors MOS de puissance est très supérieure à celle des transistors bipolaires. C'est cette propriété qui fait du transistor MOS de puissance le composant de choix pour les applications en commutation haute fréquence.

Le transistor MOS de puissance est constitué d'une multitude de cellules élémentaires mises en parallèle pour permettre au composant de commuter des courants très importants. Contrairement aux transistors bipolaires, la mise en parallèle des cellules MOS élémentaires est possible grâce au coefficient de dérive thermique positif de la résistance à l'état passant de ces cellules. Par conséquent, la distribution de courant direct reste homogène entre les cellules constitutives du transistor MOS de puissance.

En ce qui concerne la technologie MOS de puissance, le transistor MOS de puissance est fabriqué en utilisant le processus de double diffusion planar de type P et N⁺ pour réaliser les zones P base du canal et N⁺ de source. D'ailleurs, le nom de ces transistors DMOS est tiré directement de ce processus de double diffusion, c'est-à-dire réalisation d'une double diffusion P et N⁺ à travers la même fenêtre utilisant la grille en polysilicium comme bord de masquage. Cette technique d'auto-alignement de ces diffusions permet de régler et contrôler la longueur du canal du transistor DMOS à des dimensions submicroniques.

Pour les premiers transistors MOS de puissance commercialisés, les fabricants de semi-conducteurs de puissance proposaient plusieurs configurations géométriques des cellules P source du transistor. L'objectif était de rechercher la forme géométrique des diffusions P source qui permettait d'obtenir la plus grande densité d'intégration – rapport Z/S du périmètre à la surface de la puce – et, par suite, le plus grand courant par unité de surface [1], [2]. Pour les mêmes largeurs et profondeurs des diffusions P source, Hu [1] a démontré que les résistances optimales, représentant les différentes zones du passage du courant à l'état passant dans la structure VDMOS, obtenues par ces différentes formes géométriques sont à peu près les mêmes si les rapports entre la surface de la diffusion P et la surface de la cellule sont identiques.

Par contre, des progrès technologiques ont été réalisés permettant l'augmentation de la densité d'intégration en réduisant la taille des cellules élémentaires constitutives du transistor MOS de puissance. On peut citer par exemple : le transistor MOS à tranchées, appelé aussi UMOS [3] et le transistor HDTMOS (High Density TMOS de Motorola) [4].

Dans ce chapitre, nous allons exposer les principales caractéristiques de différentes structures DMOS de puissance dans le cas des composants intégrés et discrets. Plus précisément, nous allons donner la limite dite du silicium qui relie la tension de claquage à la résistance passante spécifique, qui est le produit de la résistance à l'état passant par la surface active du composant, des transistors DMOS de puissance. Ensuite, deux structures silicium innovantes permettant de "briser" cette limite seront données en rappelant les concepts de fabrication utilisés : le concept de la superjonction et le concept des îlots flottants.

Enfin, étant donnés les progrès technologiques réalisés en matière de processus d'obtention de substrats en matériaux semi-conducteurs à large bandgap présentant des meilleures performances à des températures très élevées, il nous est apparu utile de rappeler ici l'impact de l'utilisation de ces nouveaux matériaux sur le compromis "résistance passante spécifique / tension de claquage" des transistors MOS de puissance verticaux.

I.2. Structures de composants MOS de puissance et principe de fonctionnement

Il existe deux types de transistors DMOS de puissance : les transistors discrets (structures verticales) et les transistors intégrés (structures latérales en général). Les structures latérales LDMOS (latéral DMOS) sont utilisées pour des applications de puissance basses tensions radio fréquences [5] ne dépassant pas des tensions de 100 Volts

I.2.1. Composants discrets

I.2.1.1. Le transistor VDMOS

La figure I.1 montre une cellule élémentaire du transistor VDMOS. Ce transistor est fabriqué en utilisant le processus de double diffusion MOS. La source et la grille sont localisées à la surface de la puce alors que le drain se situe à l'arrière de la puce. À l'état passant, la tension grille-source V_{gs} est supérieure à la tension de seuil V_T et un canal d'inversion de type N est ainsi formé en surface de la zone du canal permettant le passage du courant entre le drain et la source. Ce courant passe, en grande partie, dans le volume de la structure à travers la zone de drift N⁻. Une partie de ce courant passe en surface dans le canal et dépend de la mobilité des électrons dans la couche inversée.

La résistance du canal d'inversion est une limitation supplémentaire dans le cas des transistors VDMOS basse tension et elle est aussi importante dans le cas des nouveaux MOS de puissance fabriqués à base de carbure de silicium, à cause de la faible mobilité dans la couche inversée [6].

La zone de drift N⁻ assure au transistor VDMOS la faculté de bloquer la tension à l'état bloqué. Pour une structure VDMOS bien optimisée [7, 8], la tension de claquage dépend du dopage et de l'épaisseur de la zone de drift. En effet, pour bloquer des tensions très élevées, la zone de drift doit être faiblement dopée et suffisamment large pour permettre à la zone de charge d'espace de s'étendre. Par conséquent, cette zone large et faiblement dopée devient, à l'état passant, une résistance très grande que l'on ne peut réduire que par augmentation de la surface active du composant ou par utilisation de nouveaux concepts comme le concept de la superjonction par exemple. L'utilisation de matériaux de forte énergie d'ionisation peut aussi être une très bonne solution à ce problème.

Il existe donc un compromis entre la résistance à l'état passant et la tension de claquage des transistors VDMOS de puissance.

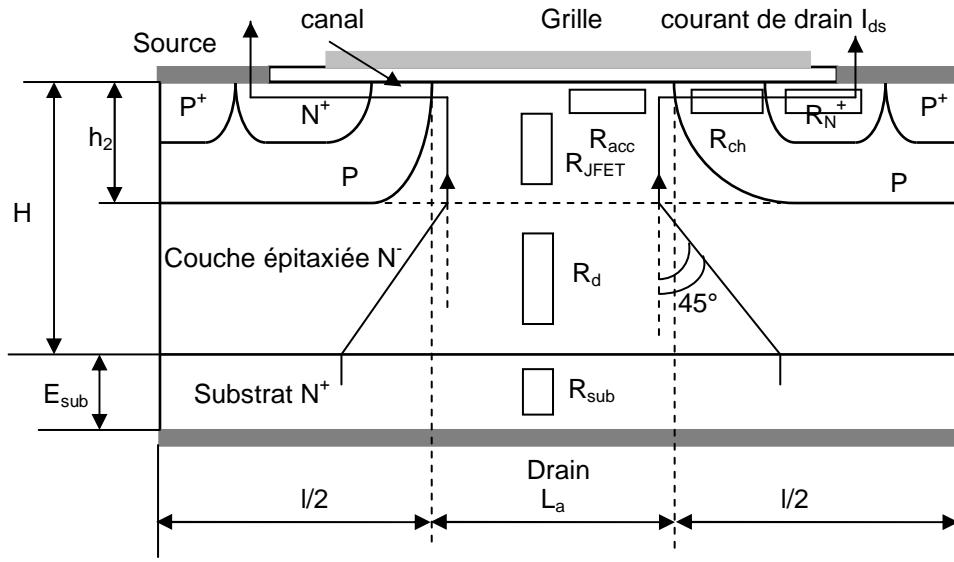


Figure I.1 : Coupe schématique d'une cellule du transistor VDMOS.

On peut remarquer aussi que l'électrode de grille joue ici le rôle d'une plaque de champ et réduit le champ électrique à la surface de la jonction "P-body/N⁻ drift". Ceci n'est pas sans conséquence car cette électrode de grille étalée sur toute la surface intercellulaire entre les diffusions P source introduit une capacité parasite MOS entre la grille et le drain. Cette capacité, connue sous le nom de capacité Miller, cause une contre-réaction entre la sortie et l'entrée du composant et réduit considérablement la fréquence de transition du transistor.

Pour remédier à ce problème, on peut par exemple éliminer une partie de la grille [8, 9] au dessus de la couche épitaxiée N⁻. Dans ce cas, une augmentation significative de la fréquence de transition du transistor peut être obtenue. Toutefois, cette élimination d'une partie de la grille provoque une réduction de la tension de claquage du dispositif, à cause du fort champ électrique à la fin de métallisation de grille, et une augmentation de la résistance à l'état passant car la longueur de la zone accumulée est réduite.

D'autre part, la résistance équivalente du transistor VDMOS est composée de plusieurs résistances en série : résistance du canal, résistance accumulée à la surface de la zone intercellulaire entre les diffusions P source adjacentes, résistance JFET de la région entre les diffusions P source adjacentes, résistance de la zone volumique de drift N⁻, résistance de substrat et résistances de contact.

L'effet résistif de la zone de JFET entre les diffusions P source est d'autant plus grand que le dopage de la zone épitaxiée est faible, cas des transistors prévus pour fonctionner en hautes tensions, ou si la distance entre les diffusions P source est très faible. C'est ce dernier phénomène, augmentation de la résistance JFET en diminuant la distance intercellulaire, qui limite la densité d'intégration des composants MOS de puissance.

I.2.1.2. Le transistor MOS à tranchées

Une solution au problème de l'augmentation de la résistance JFET, limitant la densité d'intégration de la structure VDMOS, est la structure innovante, appelée structure MOS à tranchées, proposée par Ueda et al. [10] permettant d'éliminer la zone de JFET et

d'augmenter la densité d'intégration des cellules élémentaires MOS. Cette structure est largement utilisée dans le cas des transistors MOS de puissance basse tension pour diminuer la résistance à l'état passant du composant et, par conséquent, augmenter l'autonomie des systèmes nomades de faibles puissances.

La figure I.2 montre une coupe schématique du transistor MOS de puissance à tranchées. Cette structure est appelée aussi le UMOS à cause de la forme en U de la grille enterrée sous la métallisation de source. Cette structure permet d'augmenter le périmètre du canal et de réduire la partie de la zone N⁻ drift sous la diffusion P source qui ne contribue pas au passage du courant à l'état passant (problème de défocalisation des lignes de courant, figure I.1). Ainsi, la résistance des transistors MOS à tranchées basse tension est très réduite, comparée aux transistors VDMOS de structure conventionnelle de même tension de claquage.

La technologie de fabrication de ce type de transistor provient directement de la technologie R.I.E (Reactive Ion Etching) [11] utilisée dans le procédé de fabrication des mémoires DRAM.

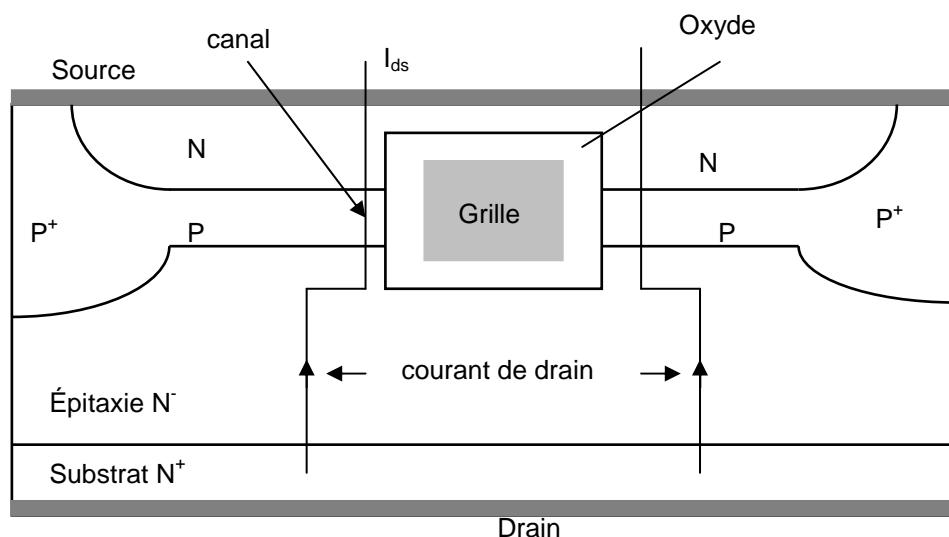


Figure I.2 : Coupe schématique d'une cellule du transistor MOS à tranchées.

Le transistor MOS à tranchées a une configuration verticale et le courant passe dans le volume le long du canal d'inversion qui est maintenant vertical. Comme dans le cas du transistor VDMOS, le transistor MOS à tranchées possède une zone faiblement dopée N⁻ pour soutenir la tension à l'état bloqué et il est constitué par la mise en parallèle de plusieurs cellules MOS assurant le passage d'un fort courant à l'état passant. Au niveau des performances dynamiques, on peut remarquer qu'il n'y a pas d'amélioration au niveau de la capacité Miller grille-drain à cause de la partie de grille, au-dessus du drain, enterrée sous la diffusion P source.

Pour les deux types de transistors verticaux cités ici, il n'y a pas de limitation de courant et on peut mettre, a priori, autant de cellules MOS élémentaires en parallèle pour assurer le passage du courant désiré à l'état passant. Concernant la tension de claquage, il n'existe aucune limitation fondamentale mais l'effet résistif de la zone de drift, large et faiblement dopée dans le cas des MOS haute tension, peut engendrer des pertes par conduction qui peuvent causer la destruction du transistor de puissance.

I.2.2. Composants intégrés

L'intérêt de ces structures coplanaires est qu'elles peuvent être intégrées avec la partie traitement du signal analogique ou numérique pour le développement du système sur une puce (System-on-Chip : SoC). L'avantage de cette intégration réside dans l'élimination des éléments parasites dus aux fils de liaison dans les circuits discrets, suppression de circuits d'interface entre la puissance et le contrôle et la réduction du poids et du coût de la fonction électronique de puissance réalisée sur une puce. Les technologies les plus connues sont : "SmartMOS" utilisée par Freescale et "BCD" utilisée par ST Microelectronics. Le composant intégré le plus utilisé est le LDMOS car il est capable de fonctionner à des fréquences très élevées [5] et parce que ses trois électrodes sont en surface, ce qui facilite son intégration.

I.2.2.1. Le transistor LDMOS

La figure I.3 montre une coupe schématique du transistor LDMOS classique. La tension de claquage est limitée dans cette structure à des tensions de l'ordre de 250 Volts. En effet, le claquage dans cette structure se produit généralement à la fin de la métallisation de grille (à cause de la faible épaisseur de l'oxyde de grille) ou à la jonction cylindrique PN⁻. Il dépend principalement du dopage de la zone de drift et de la distance L_d entre la fin de la métallisation de grille et le début de l'ouverture de la diffusion de drain [12, 13]. La couche enterrée N⁺ permet de limiter l'extension de la zone de charge d'espace dans la région N⁻ et d'éviter le perçage du substrat P. Elle peut permettre aussi d'annuler le gain du transistor parasite PNP entre le substrat et la diffusion P source du transistor MOS de puissance.

Le courant électrique passe en surface de la structure et dépend de la distance L_d ; cette distance est appelée aussi longueur de la zone de drift. Plus cette distance est faible et plus la résistance à l'état passant du composant est faible. Malheureusement, la tension de claquage diminue quand L_d diminue et il a été démontré par des simulations numériques bidimensionnelles [13] qu'il existait une distance de drift optimale assurant une tension de claquage maximale pour un dopage de drift donné.

Ceci limite donc la densité d'intégration car le choix de la distance de drift, qui se trouve en surface de la structure, sera imposé par le compromis entre la tension de claquage et la résistance passante spécifique.

De plus, la présence des trois électrodes sur la face supérieure de la puce ne facilite pas la densification des cellules mises en parallèle pour former le transistor LDMOS de puissance. La source et le drain se présentent le plus souvent sous forme de bandes parallèles interdigitées.

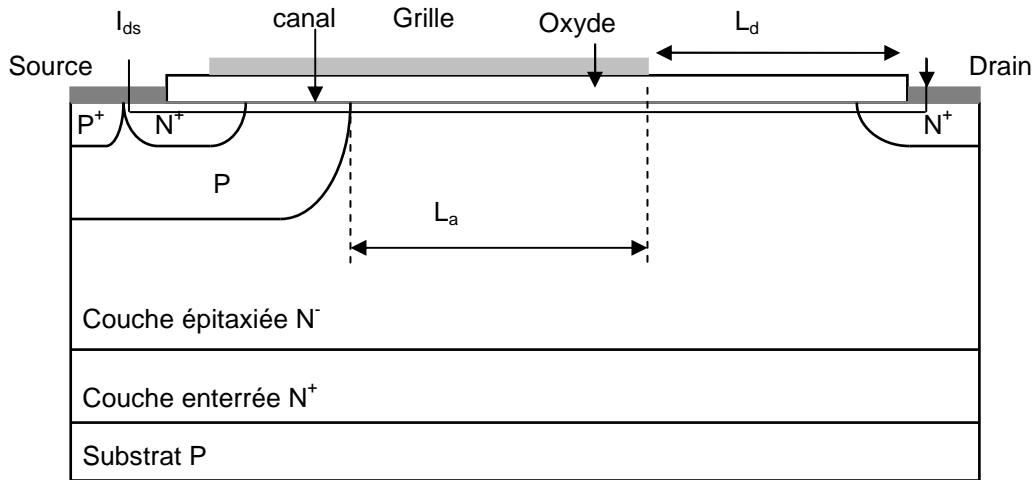


Figure I.3 : Coupe schématique d'un transistor LDMOS classique.

Grâce à une capacité Miller très faible par rapport à la structure verticale, le LDMOS est le composant de choix pour les applications radiofréquences [14].

De nombreuses variantes de la structure du transistor LDMOS ont été proposées pour améliorer sa tension de claquage ; on peut citer par exemple :

a) le transistor LDMOS LOCOS (LOCal Oxidation in Silicon) : dans cette structure, le champ électrique à la fin de la métallisation de grille est fortement réduit grâce à une oxydation locale du silicium. Le problème majeur de cette structure est la dégradation de la surface de passage du courant à l'état passant et, par conséquent, une augmentation significative de la résistance passante spécifique comparée à celle des structures LDMOS classiques.

b) Le LDMOS Resurf (Reduced surface field) (figure I.4) : cette structure est obtenue en remplaçant l'épitaxie N- sur substrat N+ par une couche épitaxiée N- sur un substrat P-. Le substrat P- doit être relié à la source, à travers la diffusion P source, pour que la diode plane ainsi formée soit polarisée en inverse et soutienne, dans certaines conditions, la tension drain-source. Si la structure Resurf est bien conçue, la zone N- doit être complètement déplétée avant que la zone de surface n'ait un point où le champ atteigne le champ critique de claquage. Si, en plus, la distance entre la source et la diffusion N+ de drain est telle que le perçage de la zone N+ drain soit effectif, le claquage peut s'opérer à la jonction plane N/P- permettant ainsi d'améliorer nettement la tension de claquage par rapport à la structure LDMOS classique. Un autre avantage de cette structure est que la résistance à l'état passant reste identique à celle de la structure LDMOS classique alors que la tension de claquage est nettement améliorée. Cette technique a permis aux circuits intégrés de puissance monolithiques de dépasser des tensions de claquage de 250 Volts.

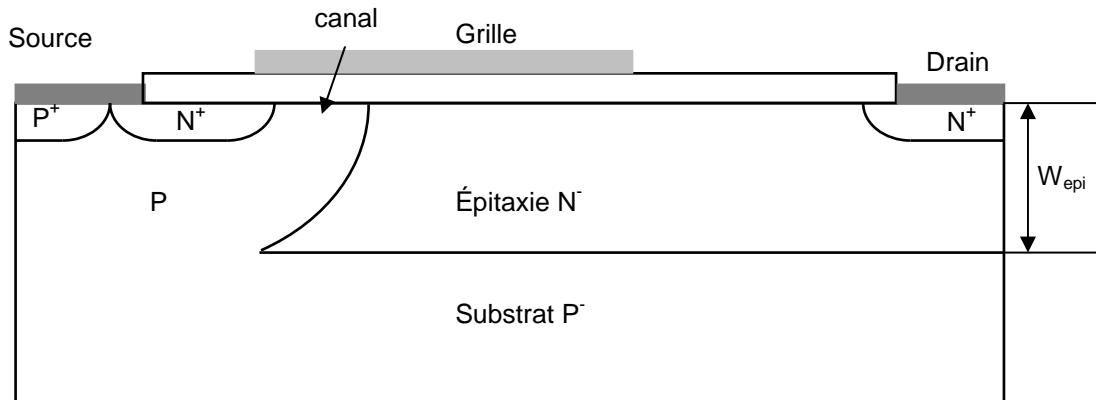


Figure I.4 : Coupe schématique d'un transistor LDMOS Resurf.

I.2.2.2. Le transistor VDMOS up-drain

La structure du transistor VDMOS up-drain (figure I.5) ressemble à la structure du transistor bipolaire NPN vertical avec le drain jouant le rôle du collecteur. Cette solution a été proposée pour résoudre les problèmes d'isolation apparaissant entre deux VDMOS fabriqués sur la même plaquette. Dans cette structure, le courant passe, en grande partie, entre le drain et la source verticalement. La couche enterrée N⁺ sert à collecter les électrons et les drainer vers le drain à la surface de la puce à travers le puit N⁺ du drain. Malheureusement, ce trajet d'électrons trop long augmente la résistance à l'état passant de ce type de transistor MOS de puissance et, par conséquent, les pertes par conduction du composant.

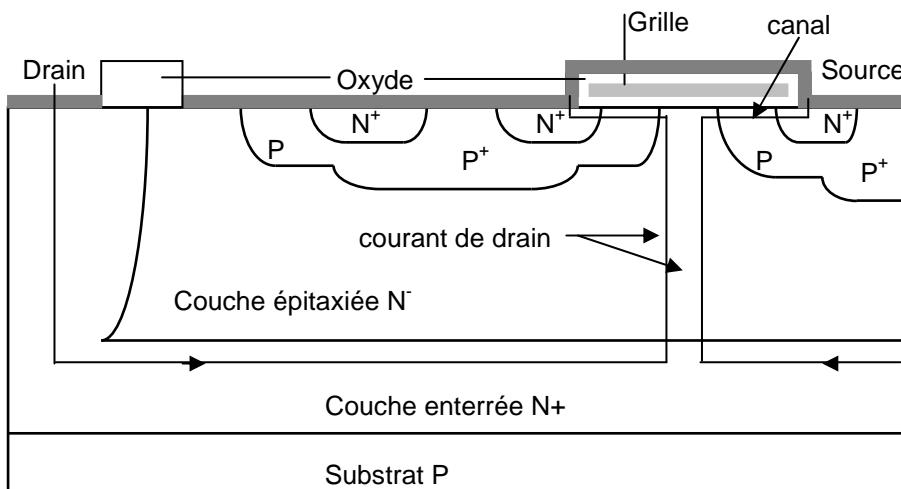


Figure I.5 : Coupe schématique d'un transistor VDMOS up-drain.

I.2.2.3. Le transistor LUDMOS

Afin d'améliorer la tension de claquage des structures MOS latérales, M. Zitouni [13] a proposé une structure LDMOS intégrant une tranchée d'oxyde dans la zone de drift à la fin de métallisation de grille. Cette structure (figure I.6), appelée LUDMOS, permet de réduire le champ électrique en surface. Zitouni a ensuite proposé, en essayant de réduire la résistance

passante spécifique, plusieurs variantes [13] de cette structure en éliminant la distance entre la tranchée et le drain (structure 2), puis en remplissant la tranchée par le polysilicium de grille (structure 3) et, enfin, en surdopant la surface de la zone de drift (structure 4).

Malgré l'allongement du trajet du passage du courant cette structure permet d'obtenir un meilleur compromis entre la résistance passante spécifique et la tension de claquage comparée à une structure LDMOS conventionnelle de même tension de claquage. À l'aide de simulations bidimensionnelles, il a été montré [13] que pour une tension de claquage de 60 Volts, la résistance passante spécifique n'est que de $0,6 \text{ m}\Omega \cdot \text{cm}^2$ contre $1,57 \text{ m}\Omega \cdot \text{cm}^2$ pour une structure LDMOS conventionnelle 60 Volts, soit une réduction de plus de 60%.

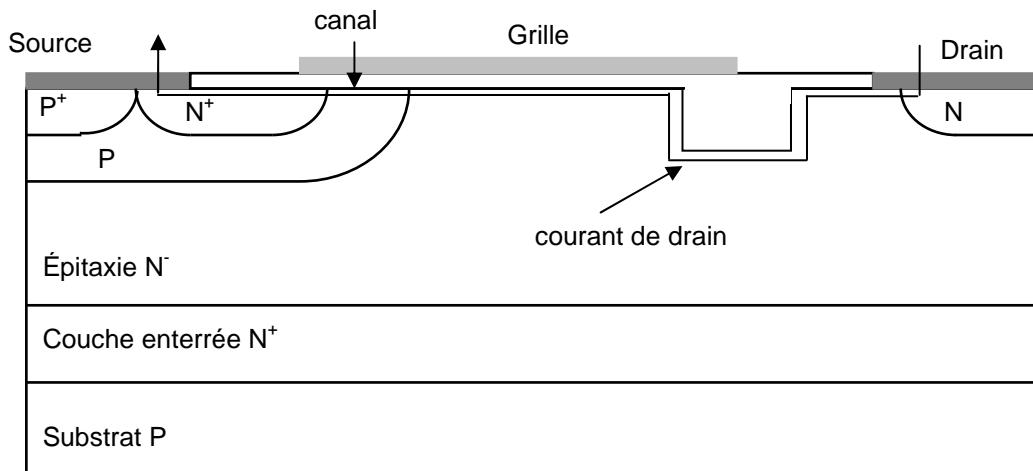


Figure I.6 : Coupe schématique d'un transistor LUDMOS.

I.3. Caractéristiques statiques d'un transistor VDMOS de puissance

Comme dans le cas des autres structures de puissance silicium, le transistor MOS de puissance doit intégrer dans sa structure une zone faiblement dopée, N⁻ dans le cas du transistor VDMOS canal N, pour soutenir la tension à l'état bloqué. La tension de claquage dépend de l'épaisseur et du niveau de dopage de cette zone de drift N⁻.

Dans ce paragraphe, nous allons nous intéresser à l'étude de la tension de claquage, appelée tension de premier claquage, équivalente à la tension maximale drain-source V_{ds} pour une tension grille-source V_{gs} nulle. Le transistor est à l'état bloqué et aucun courant ne circule entre le drain et la source. À cause du dopage de la diffusion P source supérieur au dopage de la zone de drift N⁻, la zone de déplétion s'étend principalement dans la zone faiblement dopée N⁻ de drift. Si la structure est bien conçue [7, 8], on peut considérer que le claquage s'opère à la jonction plane "P-body/N⁻ drift". Dans ce cas, on peut assimiler la structure du transistor VDMOS à une diode PN⁻N⁺ polarisée en inverse.

I.3.1. Tension de claquage

À l'état bloqué et pour une tension V_{gs} nulle, la tension de drain ne peut évoluer au-delà d'une tension maximale connue sous le nom de tension de premier claquage. À l'approche de cette limite, le claquage se produit par avalanche et le courant de drain augmente inconsidérément.

Le claquage de la structure VDMOS a de multiples origines -figure I.7- : 1) zones latérales où les effets de courbures des jonctions sont prépondérants, 2) zones frontales où l'extension de la charge d'espace peut être ou ne pas être limitée, 3) zones de surface de la région peu dopée recouverte de l'oxyde de grille et 4) l'oxyde lui-même.

Ces problèmes ont été largement traités par Gharbi [7]. Plusieurs techniques de garde de jonctions sont utilisées pour éviter un claquage prématûre de la structure en tentant de minimiser les effets de surface et d'allonger le rayon de courbure des jonctions, inévitable dans le cas des diffusions, pour essayer d'atteindre le claquage théorique de la jonction plane [7, 15, 16].

Il faut noter que l'électrode de grille étalée sur toute la surface intercellulaire permet aussi de réduire le champ à la surface de la structure. En plus, par un choix judicieux de la distance intercellulaire, on peut obtenir un autoblindage pour protéger l'oxyde de grille [7, 8].

Dans la pratique, on utilise des techniques de garde de jonction pour permettre à la structure de tenir jusqu'à 90% de la tension de claquage de la jonction plane [7].

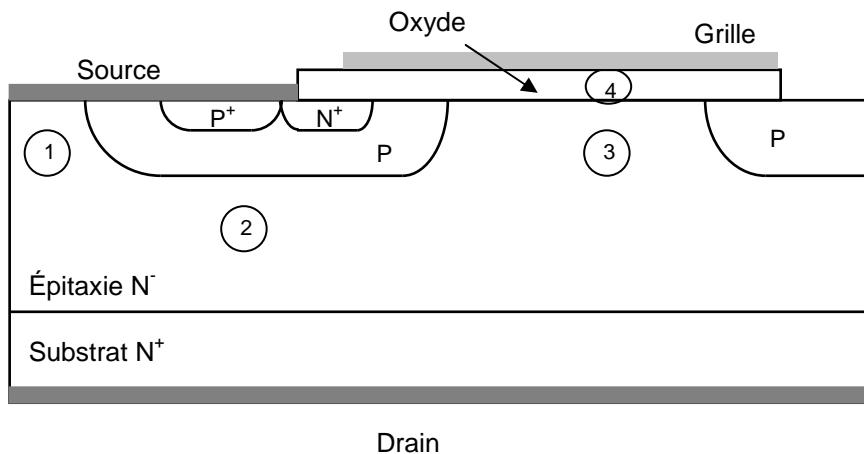


Figure I.7 : Zones de claquage d'une structure VDMOS.

Pour une structure VDMOS bien conçue, on peut donc considérer que la claquage s'opère dans le volume de la structure à la jonction plane ‘‘P-body/N⁻ drift’’. Cette tension de claquage dépend de l'épaisseur et du dopage de la zone de drift. Pour une diode unidimensionnelle PN polarisée en inverse, les conditions de claquage sont régies par le mécanisme de multiplication par avalanche. On considère que ces conditions sont satisfaites lorsque l'intégrale d'ionisation (I_n ou I_p) est égale à l'unité soit :

$$I_n = \int_0^W \alpha_n \cdot \exp\left(\int_w^x (\alpha_n - \alpha_p) dx'\right) dx \quad (I.1)$$

$$I_p = \int_0^W \alpha_p \cdot \exp\left(\int_0^x (\alpha_n - \alpha_p) dx'\right) dx \quad (I.2)$$

où α_n et α_p sont respectivement les coefficients d'ionisation des électrons et des trous. Ces coefficients α_n et α_p représentent le nombre probable de collisions ionisantes que subit un porteur incident, trou ou électron, par unité de longueur de parcours.

Selon Sze [17], ces deux équations sont strictement équivalentes quant à la détermination des tensions de claquage; on peut utiliser indifféremment l'une ou l'autre d'entre elles car elles atteignent l'unité pour la même tension.

Pour le transistor VDMOS qui nous intéresse, et par utilisation d'un logiciel de simulation bidimensionnelle tel que ATLAS (outil SILVACO), la détermination de la tension de claquage est réalisée par le calcul de l'intégrale d'ionisation à partir des coefficients α_n et α_p dont les valeurs sont différentes, selon le modèle choisi.

Pour le calcul analytique, un des problèmes majeurs est celui de la formulation des coefficients d'ionisation. En effet, ces coefficients s'expriment en fonction du champ électrique sous la forme suivante :

$$\alpha_i = \alpha_i^\infty \cdot \exp\left(-\frac{E_i^{crit}}{|E|}\right)_{i=n,p} \quad (I.3)$$

Pour faciliter cette tâche, Mac Kay [18] a montré que les coefficients d'ionisation pouvaient être approchés par des fonctions plus simples qui sont des expressions polynomiales du type :

$$\alpha_n(cm^{-1}) = A' \cdot E^7 \quad (I.4)$$

$$\alpha_p(cm^{-1}) = A'' \cdot E^7 \quad (I.5)$$

où A' et A'' sont deux constantes dont les valeurs ont été proposées respectivement par :

$$i) \text{ Fulop [19]} : \quad A' = A'' = A = 1,8 \cdot 10^{-35} \quad (I.6)$$

$$ii) \text{ Gharbi [7]} : \quad A' = 3,6 \cdot 10^{-35} \quad (I.7)$$

$$A'' = 0,3 \cdot 10^{-35} \quad (I.8)$$

On remarque que les valeurs proposées pour A' et A'' par Fulop sont identiques. Par contre, Gharbi propose deux valeurs différentes pour A' et A'' . D'autres auteurs ont proposé des valeurs différentes mais on retiendra les valeurs proposées par Gharbi car elles représentent une moyenne pour ces valeurs proposées.

Il existe deux cas de figure avant le claquage de la diode PN⁻N⁺ :

1) cas de la jonction infinie en non limitation ou en non perçage ("Non Punch Through") (NPT) : dans ce cas, la zone de charge d'espace est inférieure à l'épaisseur de la zone N⁻ et la forme du champ électrique est triangulaire -figure I.8-

2) cas de la jonction en perçage ou en limitation ("Punch Through") (PT) : la zone de charge d'espace est supérieure à l'épaisseur de la zone N⁻ et la forme du champ électrique peut être considérée comme "trapézoïdale" -figure I.9-.

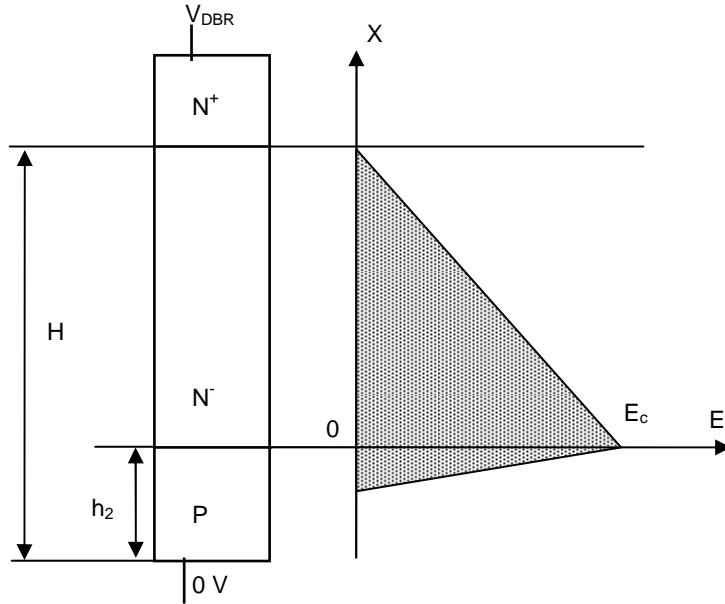


Figure I.8 : Cas de la jonction infinie en non limitation "Non Punch Through" (NPT).

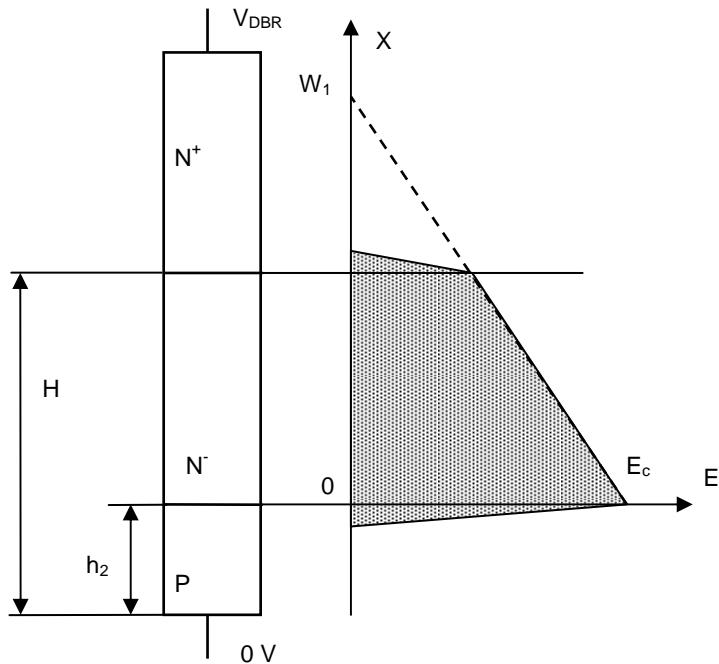


Figure I.9 : Cas de la jonction en limitation ou en perçage "Punch Through" (PT).

I.3.1.1. Cas d'une jonction plane infinie en non limitation “Non Punch Through” (NPT)

Dans l'hypothèse d'une jonction plane abrupte P+N dissymétrique, l'intégration de l'équation de Poisson permet de déterminer l'expression du champ électrique :

$$E(x) = \frac{q \cdot N_d}{\epsilon_0 \cdot \epsilon_{si}} \cdot [x - (H - h_2)] \quad (I.9)$$

$(H - h_2)$ est, dans ce cas, considérée être l'extension maximale de la zone de charge d'espace (ZCE) d'une jonction plane infinie -figure I.8-.

En se basant sur les équations (I.4), (I.5) et (I.9), le calcul de l'intégrale d'ionisation à l'aide de l'équation (I.1) ou (I.2) permet d'exprimer la condition de claquage de la jonction PN en fonction des paramètres de la structure (annexe 1) :

$$\ln\left(\frac{A'}{A''}\right) = \frac{A' - A''}{8} \cdot \left(\frac{q \cdot N_d}{\epsilon_0 \cdot \epsilon_{si}}\right)^7 \cdot (H - h_2) \quad (I.10)$$

D'autre part, l'extension maximale $(H - h_2)$ de la charge d'espace de la jonction PN plane abrupte, c'est-à-dire au moment du claquage, est donnée par [17] :

$$(H - h_2) = \left(\frac{2 \cdot \epsilon_0 \cdot \epsilon_{si}}{q \cdot N_d} \cdot V_{DBR} \right)^{\frac{1}{2}} \quad (I.11)$$

En combinant les expressions (I.10) et (I.11), on obtient ainsi l'extension de la charge d'espace maximale $(H - h_2)$ en fonction de la tension de claquage V_{DBR} :

$$(H - h_2) = \left[16 \cdot \frac{A' - A''}{\ln\left(\frac{A'}{A''}\right)} \right]^{\frac{1}{6}} \cdot (V_{DBR})^{\frac{7}{6}} \quad (I.12)$$

Puis la tension de claquage V_{DBR} en fonction du dopage N_d :

$$V_{DBR} = \left[\frac{1}{2 \cdot (A' - A'')} \cdot \left(\frac{\epsilon_0 \cdot \epsilon_{si}}{q} \right)^3 \cdot \ln\left(\frac{A'}{A''}\right) \right]^{\frac{1}{4}} \cdot (N_d)^{-\frac{3}{4}} \quad (I.13)$$

En utilisant les valeurs de A' et A'' proposées par Gharbi, on peut calculer les expressions de la tension de claquage et de l'extension maximale de la charge d'espace en fonction du dopage pour une jonction plane infinie en non limitation de la zone de charge d'espace :

$$V_{DBR} (\text{Volts}) = 5,72 \cdot 10^{13} \cdot N_d^{-\frac{3}{4}} \quad (I.14)$$

$$W (\text{cm}) = H - h_2 = 2,7 \cdot 10^{10} \cdot N_d^{-\frac{7}{8}} \quad (I.15)$$

I.3.1.2. Cas d'une jonction plane en limitation “Punch Through” (PT)

Compte tenu des relations (I.4) et (I.5), l'intégrale (I.2) peut s'écrire :

$$I_p = \int_0^W A'' \cdot E^7 \cdot \exp \left[- \int_0^x (A'' - A') \cdot E^7 dx' \right] dx \quad (I.16)$$

W est l'extension de charge d'espace, elle est égale dans ce cas à (H-h₂), d'après la figure I.9. Le champ électrique E est obtenu par l'intégration unidimensionnelle de l'équation de Poisson et s'écrit sous la forme :

$$E(x) = -\frac{q \cdot N_d}{\epsilon_0 \cdot \epsilon_{si}} \cdot (W_1 - x) \quad (I.17)$$

W₁ est l'extension maximale de la charge d'espace définie sur la figure I.9 dans le cas d'une jonction plane en non limitation.

L'intégrale (I.16) étant égale à l'unité, sa résolution aboutit au critère de claquage suivant :

$$W_1^8 - [W_1 - (H - h_2)]^8 = \frac{8 \cdot (\epsilon_0 \cdot \epsilon_{si})^7}{(A' - A'') \cdot (q \cdot N_d)^7} \cdot \ln \left(\frac{A'}{A''} \right) \quad (I.18)$$

Pour des raisons de commodité d'écriture, on pose :

$$W' = H - h_2 \quad \text{et} \quad C = \frac{8 \cdot (\epsilon_0 \cdot \epsilon_{si})^7}{(A' - A'') \cdot (q \cdot N_d)^7} \cdot \ln \left(\frac{A'}{A''} \right) \quad (I.19)$$

L'équation (I.18) peut être écrite alors sous la forme :

$$W_1^8 - (W_1 - W')^8 = C \quad (I.20)$$

L'expression (I.20) n'admet pas une solution analytique "directe". Pour la résoudre, nous utilisons la procédure itérative suivante :

Au premier ordre : pour W₁ = W' on obtient la solution : $W_1^1 = C^{\frac{1}{8}}$ (I.21)

Au second ordre : on remplace la première solution dans l'équation (I.20), ce qui donne :

$$W_1^2 = \left[C + \left(C^{\frac{1}{8}} - W' \right)^8 \right]^{\frac{1}{8}} \quad (I.22)$$

Au troisième ordre, on remplace la deuxième relation dans l'équation (I.20). On obtient ainsi :

$$W_1^3 = \left\{ C + \left[C + \left(C^{\frac{1}{8}} - W' \right)^8 \right]^{\frac{1}{8}} - W' \right\}^{\frac{1}{8}} \quad (I.23)$$

Ce qui donne à l'ordre n, la solution suivante :

$$W_1|^{n+1} = \left[C + (W_1|^{n} - W')^8 \right]^{\frac{1}{8}} \quad (I.24)$$

Pour étudier l'influence de cette méthode de résolution sur la tenue en tension, nous calculons les courbes de la tenue en tension en fonction du dopage et ceci pour plusieurs valeurs de l'épaisseur d'épitaxie. La résolution unidimensionnelle de l'équation de Poisson permet d'aboutir à l'expression suivante :

$$V_{DBR} = \frac{q \cdot N_d}{\epsilon_0 \cdot \epsilon_{si}} \cdot \frac{H - h_2}{2} \cdot [2 \cdot W_1 - (H - h_2)] \quad (I.25)$$

La figure I.10 représente les caractéristiques de la tension de claquage en fonction du dopage et de l'épaisseur d'épitaxie ($H-h_2$) dans le cas de la jonction plane en limitation. Les courbes tracées pour $n=1$ présentent des maxima dont l'existence est liée à l'approximation faite sur l'ordre de la solution. Lorsque l'ordre n augmente, les courbes présentent une asymptote horizontale qui est la solution limite ($n \rightarrow \infty$), calculable aussi analytiquement en faisant tendre le terme du dopage N_d vers zéro :

$$V_{DBR} = \left[\frac{1}{A' - A''} \cdot \ln \left(\frac{A'}{A''} \right) \right]^{\frac{1}{7}} \cdot H^{\frac{6}{7}} \quad (I.26)$$

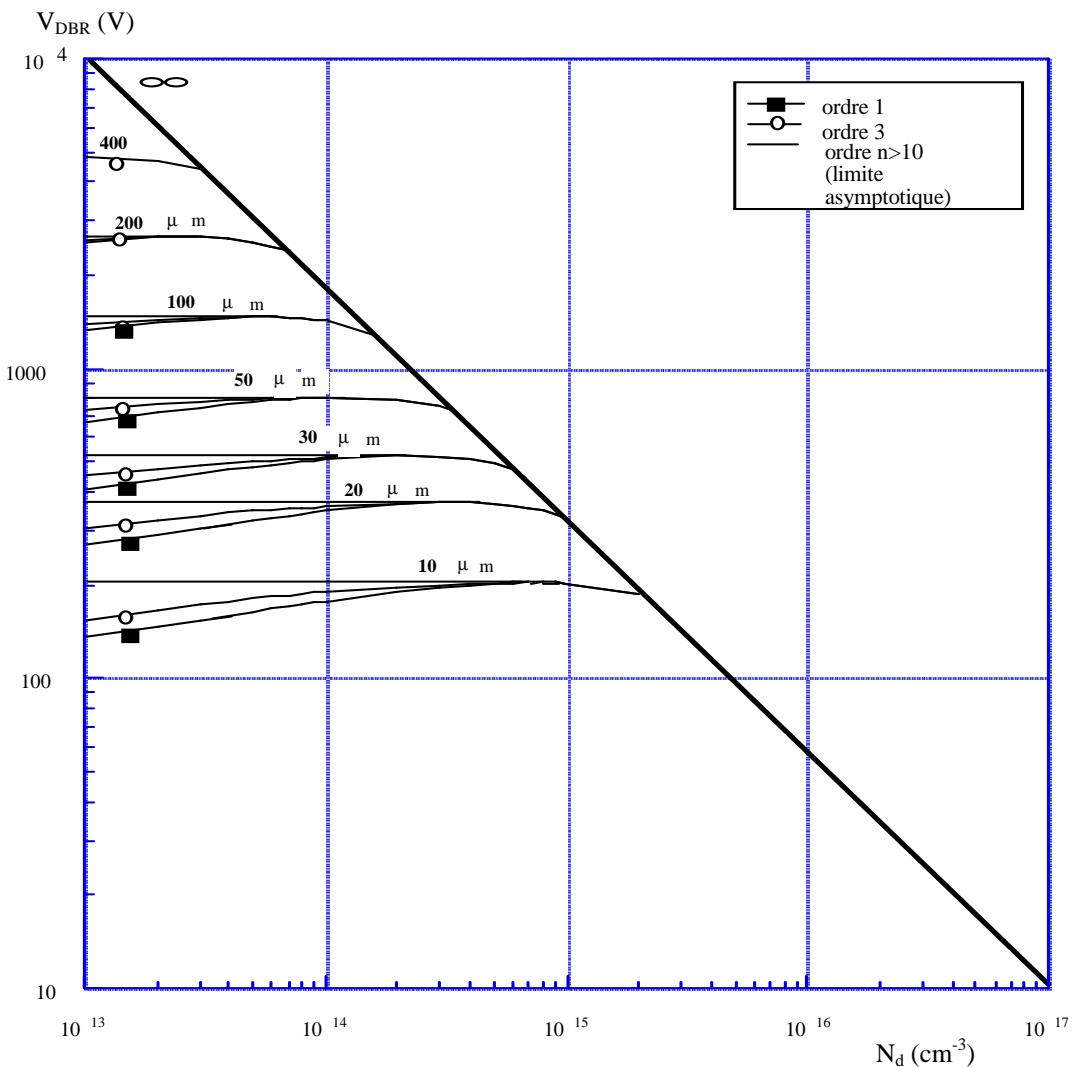


Figure I.10 : Tension de claquage de la jonction PN⁺N en limitation "Punch Through".

L'épaisseur de la zone N⁺ épitaxiée dans le cas de la structure en limitation (PT) sera plus faible que celle dans le cas de la non limitation (NPT). Par conséquent, la résistance à l'état passant sera plus faible dans le cas de la limitation de la ZCE que dans le cas de la non limitation. Dans le cas des IGBTs, il existe sur le marché les deux structures PT et NPT. Les structures PT IGBTs ont des pertes par conduction réduites alors que les structures NPT sont plus rapides avec des faibles pertes par commutation. Des nouvelles structures IGBTs sont apparues ces dernières années pour tenter de réunir les avantages des deux structures PT et NPT (LPT : Light PT pour Mitsubishi et SPT : Soft PT pour ABB par exemple).

I.3.2. Résistance à l'état passant

La résistance à l'état passant du transistor MOS de puissance est définie comme étant la résistance totale qui apparaît entre la source et le drain lorsque le transistor conduit en régime linéaire, à faible tension drain-source. Sa valeur peut être calculée en déterminant le rapport :

$$R_{on} = \left. \frac{V_{ds}}{I_{ds}} \right|_{V_{ds} \rightarrow 0} \quad (I.27)$$

Dans la pratique, sa valeur est donnée pour une tension de grille de 10 Volts.

Cette résistance (figure I.1) est équivalente à la somme de plusieurs résistances en série : la résistance de la diffusion N⁺ source, la résistance du canal, la résistance accumulée en surface de la zone intercellulaire sous la grille, la résistance JFET de la zone de drift entre les diffusions P source adjacentes, la résistance de drift, la résistance du substrat, les résistances de métallisations et les résistances des fils électriques de connexion au boîtier.

Pour les composants VDMOS haute tension, la résistance de drift représente plus de 90% de la résistance à l'état passant du composant.

Par contre, dans le cas des transistors VDMOS basse tension, la résistance de substrat est non négligeable et la résistance de canal et la résistance d'accès (résistance accumulée + résistance JFET) deviennent comparables à la résistance de drift.

I.3.2.1. Résistance du canal

La résistance du canal est calculée en déterminant le rapport :

$$R_{ch} = \frac{V_{ch}}{I_{ds}} \Big|_{V_{ch} \rightarrow 0} \quad (I.28)$$

où V_{ch} est la tension entre le drain et la source aux bornes du canal d'inversion et I_{ds} est le courant de drain [20].

Dans l'hypothèse du dopage uniforme dans le canal, l'expression de la résistance du canal peut être donnée par :

$$R_{ch} = \left(\mu_0 \cdot C_{ox} \cdot \psi \cdot \frac{Z}{L} \right)^{-1} \cdot \frac{V_{gs}' + \psi - 2\Phi_F}{V_{gs}' - V_T} \quad (I.29)$$

où μ_0 est la mobilité à champ électrique faible, C_{ox} est la capacité d'oxyde, ψ est le potentiel transverse de réduction de la mobilité, V_{gs}' est la tension effective de grille ($V_{gs}' = V_{gs} + Q_{ss}/C_{ox} - \Phi_{ms}$), V_T est la tension de seuil du transistor et Φ_F est le potentiel de fermi. Z est le périmètre du canal et L est la longueur du canal.

D'après cette expression, on voit bien l'intérêt d'augmenter le périmètre du canal dans le cas des structures MOS de puissance faible tension où la résistance du canal n'est pas négligeable.

I.3.2.2. Résistance d'accès

La résistance d'accès R_a d'un transistors MOS de puissance est la résistance équivalente de deux résistances en série : la résistance de la couche accumulée en surface dans la zone intercellulaire (R_{acc}) et la résistance JFET (R_{JFET}) entre les diffusions P source adjacentes. Plusieurs auteurs ont proposé des formules pour calculer cette résistance [8, 21, 22]. L'expression de la résistance d'accès peut s'écrire sous forme [8] :

$$R_a = K \frac{L_a}{2 \cdot \mu_{0acc} \cdot C_{ox} \cdot \Lambda} \cdot \frac{(V_{gs}' + \Lambda - 2\Phi_F)}{(V_{gs}' - V_T)} + \rho_D \cdot \frac{h_2}{Z \cdot (L_a - 2W_0)} \quad (I.30)$$

où L_a est la longueur de la zone accumulée, h₂ est la profondeur de la diffusion P source et W₀ est l'extension de la zone de charge d'espace dans la zone de JFET coté N⁻ drift. μ_{0acc} est la mobilité à champ faible dans la couche accumulée, Λ est le potentiel de réduction de la

mobilité dans la couche accumulée [22] et ρ_D est la résistivité de la zone de drift N⁻. K est un facteur correctif qui tient compte de la nature bidimensionnelle du passage du courant du canal vers la zone de drift à travers la zone pincée de JFET.

Dans l'expression (I.30), le premier terme est équivalent à la résistance de la zone accumulée, alors que le deuxième terme correspond à la résistance de la région de JFET.

T.P. Pham [21] et J-L. Sanchez [22] ont proposé une méthode de calcul basée sur un schéma distribué de la zone d'accès selon les directions verticales et horizontales. Dans ce cas, l'expression de la résistance d'accès R_a peut être donnée par :

$$R_a = \frac{2 \cdot h_2}{q \cdot \mu_n \cdot N_d \cdot Z \cdot L_a} \cdot \lambda' \quad (\text{I.31})$$

μ_n est la mobilité dans le volume de la zone de drift N⁻ et λ' est un paramètre qui dépend de la tension grille-source V_{gs} , du dopage de la zone de drift N⁻, de la profondeur des diffusions P source et de la mobilité.

I.3.2.3. Résistance de drift

C'est la résistance de la couche qui permet de soutenir la tension à l'état bloqué. En première approximation, on peut considérer que le courant passe uniformément dans cette zone et la résistance de drift est équivalente à une résistance de drift idéale qui peut être calculée selon la relation classique d'un barreau semi-conducteur :

$$R_d = \frac{H - h_2}{q \cdot N_d \cdot \mu_n \cdot S} \quad (\text{I.32})$$

où S est la surface de la cellule élémentaire.

Le caractère bidimensionnel du phénomène de défocalisation des lignes de courant dans le volume du matériau ne permet pas une approche analytique adaptée à l'étude de tous les cas de géométrie de surface et d'épaisseur de la couche épitaxiée. En considérant la défocalisation des lignes de courant sous la diffusion P source selon un angle 45° (figure I.1), B.J. Baliga [8] a proposé l'expression suivante :

$$R_d = \frac{1}{q \cdot N_d \cdot \mu_n \cdot Z} \cdot \ln \left(\frac{(L_a - W_0) + (H - h_2)}{L_a - W_0} \right) \quad (\text{I.33})$$

Il existe d'autres expressions analytiques pour calculer cette résistance selon plusieurs géométries de cellules élémentaires. Dans notre cas, on utilisera la formule (I.33) qui donne une bonne approximation de la résistance de drift du transistor FLIMOS.

Le courant dans la zone de drift passe, en grande partie, dans la région sous la grille (figure I.1) créant ainsi une zone inutilisée sous la diffusion P source [23]. Grâce aux progrès technologiques de densification des cellules élémentaires du transistor MOS, cette zone inutilisée a été fortement réduite et, par conséquent, la résistance passante spécifique du composant MOS de puissance a été améliorée [23]. Plus récemment, des structures innovantes, basées sur le concept de la superjonction et le concept des îlots flottants, ont permis une nette amélioration de la résistance de drift.

La résistance de drift dépend principalement du dopage et de l'épaisseur de la zone de drift qui fixe la tension de claquage du composant. Il est donc également possible de réduire cette

résistance en introduisant des matériaux semi-conducteurs à large bandgap de forte énergie d'ionisation. Plus cette énergie est grande et plus la résistance de drift est faible. C'est une des raisons pour lesquelles de nouveaux matériaux à forte énergie d'ionisation sont à l'étude pour développer des transistors MOS de puissance de faible résistance à l'état passant et qui peuvent fonctionner en plus en haute température grâce à leur large bandgap.

I.3.2.4. Les autres résistances

Les autres résistances de la structure VDMOS sont : la résistance de la diffusion N⁺ de source, la résistance du substrat et les résistances des contacts. La résistance de la diffusion N⁺ de source est négligeable devant les autres résistances à cause du fort dopage N⁺. Par contre, la résistance du substrat est non négligeable dans le cas des transistors basse tension car le substrat doit être suffisamment épais pour permettre la robustesse de la plaquette durant les étapes de fabrication du composant. La résistance du substrat peut être calculée en utilisant la formule de calcul de la résistance d'un barreau semi-conducteur de dopage N_{sub} et d'épaisseur E_{sub} :

$$R_{sub} = \frac{E_{sub}}{q \cdot N_{sub} \cdot \mu_{nsub} \cdot S} \quad (I.34)$$

Dans le cas des transistors MOS de petites puissances destinés aux applications portables (tension de claquage de l'ordre de 30 Volts), les résistances de connexion ne sont plus négligeables devant les résistances du silicium grâce aux nouvelles structures MOS de puissance à haute densité d'intégration comme les transistors MOS à tranchées par exemple. C'est pour cette raison que plusieurs fabricants de composants de puissance ont modifié la façon de connecter leurs puces, dans le cas des composants de petites puissance, afin de résoudre les divers problèmes dus aux boîtiers standards utilisés : résistance de connexion, inductance parasite et résistance thermique.

I.3.3. Limite du silicium des transistors DMOS verticaux

En théorie, on peut admettre que la résistance à l'état passant du transistor MOS de puissance dépend du nombre de cellules élémentaires mises en parallèle constitutives de ce composant. Cela implique qu'en augmentant le nombre de cellules mises en parallèle, on peut réduire la résistance à l'état passant du transistor MOS de puissance. Mais cette réduction sera accompagnée d'une surface de puce trop importante. C'est donc le produit (R_{on}.S) de la résistance à l'état passant par la surface active, appelé résistance passante spécifique ou "specific on-resistance" en anglais, qui est le paramètre le plus important pour les composants MOS de puissance.

Si on considère que la résistance à l'état passant est équivalente à la résistance idéale de drift, c'est-à-dire en négligeant les autres résistances, la résistance passante spécifique idéale peut être donnée par :

$$R_{on} \cdot S = \frac{H - h_2}{q \cdot N_d \cdot \mu_n} \quad (I.35)$$

La relation liant la mobilité à la tension de claquage peut être donnée par [24] :

$$\mu_n (cm^2 \cdot V^{-1} \cdot s^{-1}) = 7,1 \cdot 10^2 \cdot V_{DBR}^{0,1} \quad (I.36)$$

Dans le cas de la limitation de la ZCE, Gharbi [7] a considéré que le champ électrique de claquage à la jonction principale reste égal à celui de la jonction en non limitation et a exprimé le couple “épaisseur-dopage” de la zone de drift suivant les relations suivantes :

$$(H - h_2)(cm) = 1,87 \cdot 10^{-6} \cdot V_{DBR}^{\frac{7}{6}} \quad (I.37)$$

$$N_d(cm^{-3}) = 1,85 \cdot 10^{18} \cdot V_{DBR}^{-\frac{4}{3}} \quad (I.38)$$

Nous avons considéré le cas de la limitation qui donne la plus faible épaisseur de la zone épitaxiée et donc la plus faible résistance à l'état passant.

En utilisant les équations (I.35), (I.36), (I.37) et (I.38), on trouve :

$$R_{on} \cdot S(\Omega \cdot cm^2) = 8,9 \cdot 10^{-9} \cdot V_{DBR}^{2,4} \quad (I.39)$$

Cette équation exprime pour un composant MOS vertical, ou plus généralement pour les composants unipolaires de puissance verticaux, la résistance minimale qu'on ne peut pas dépasser pour une tension de claquage donnée.

B.J. Baliga a donné [8] une formule différente de l'équation (I.39), avec un calcul basé sur un dopage de drift non uniforme, dans laquelle la tension de claquage est à la puissance 2,5 :

$$R_{on} \cdot S(\Omega \cdot cm^2) = 8,3 \cdot 10^{-9} \cdot V_{DBR}^{2,5} \quad (I.40)$$

Cependant, les valeurs des résistances passantes spécifiques calculées par les formules (I.39) et (I.40) sont très proches. Par suite, on utilisera l'équation (I.39).

Par des techniques de protection de la jonction principale de la structure DMOS verticale, de nouvelles structures ont permis de réduire considérablement la résistance de drift et, par conséquent, la résistance passante spécifique des composants unipolaires de puissance.

Toutefois, l'équation (I.39) est une limite très difficile à dépasser ou à "briser" dans le cas des transistors VDMOS de puissance basse tension car la résistance de drift ne représente, dans ce cas, que 30 à 40% de la résistance totale de ces structures conventionnelles. Par contre, cette limite peut être dépassée par des nouvelles structures dans le cas des composants MOS haute tension car la résistance de drift représente, dans ce cas, plus de 90% de la résistance totale à l'état passant.

Plusieurs travaux de recherches, sur de nouvelles structures silicium ou bien de nouveaux matériaux de substitution au silicium, ont été menés ces dernières années pour essayer de s'approcher ou de "briser" cette limite dite du silicium. C'est ainsi que de nouvelles structures MOS de puissance ont été présentées ; on peut citer, par exemple, les structures à superjonction [25] et les structures à îlots flottants [26, 27, 28, 29].

I.3.4. Limite du silicium des transistors DMOS latéraux

La structure LDMOS classique est limitée intrinsèquement à des tensions de claquage ne dépassant pas les 250 Volts. Pour dépasser cette limite, on utilise en général la structure LDMOS Resurf. Nous allons donc retenir cette dernière structure pour définir la limite dite du silicium dans le cas des structures DMOS latérales. Fujihira [25] a proposé une estimation de la relation de silicium pour les structures Resurf conventionnelles :

$$R_{on} \cdot S(\Omega \cdot cm^2) = 2,04 \cdot 10^{-6} \cdot W_{epi}^{\frac{5}{12}} \cdot V_{DBR}^{-2} \quad (I.41)$$

W_{epi} étant l'épaisseur de la zone épitaxiée (figure I.4). Cette épaisseur dépend du dopage de la zone épitaxiée pour éviter un claquage prématûre de la structure [25].

I.4. Quelques solutions pour dépasser (ou "briser") la limite dite du silicium

I.4.1. Transistors MOS de puissance à Superjonction

Le concept de la superjonction est basé sur le remplacement de la zone de drift N⁻ par plusieurs bandes N et P alternées pour augmenter la surface de la jonction principale. Cela veut dire que le champ électrique peut se développer, dans certaines conditions, non seulement verticalement comme dans le cas des structures conventionnelles mais aussi latéralement. Par conséquent, le claquage dans ces structures ne dépend plus du dopage et de l'épaisseur de la zone de drift N⁻ mais il dépend de la différence des niveaux de dopage et de l'épaisseur des bandes N et P introduites. La résistance à l'état passant dépend du nombre et du dopage des bandes N mises en parallèle, dans le cas du transistor MOS de puissance à canal N.

La figure I.11 donne le schéma de la diode à superjonction constituée d'une succession de trois bandes parallèles de types N et P.

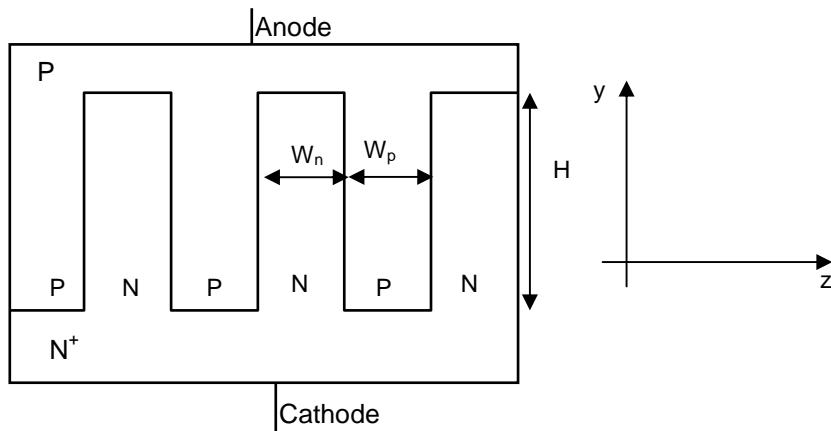


Figure I.11 : Coupe schématique d'une superjonction.

Pour simplifier le calcul de la limite du silicium dans le cas de ces nouvelles structures, Fujihira [25] a supposé que le niveau de dopage de la zone N (N_d) est égal au niveau de dopage de la zone P (N_a). Si on applique une tension en inverse entre l'anode (source dans le cas du MOS) et la cathode (drain dans le cas du MOS) de la structure, la zone de charge d'espace se développe plus vite latéralement suivant z, car W ($W=W_n=W_p$) $\ll H$, et dépeuple les zones N et P avant que le champ critique ne soit atteint. En exprimant la relation entre le champ critique et le dopage, d'une part, et une autre relation qui évite à la structure un claquage prématûre suivant z, d'autre part, Fujihira a exprimé le dopage en fonction de la largeur W des bandes N et P :

$$N_d(cm^{-3}) = 1,41 \cdot 10^{12} \cdot \alpha^{\frac{7}{6}} \cdot W^{-\frac{7}{6}} \quad (I.42)$$

où α est un facteur compris entre 0 et 1 introduit dans le calcul pour tenir compte du fait que le champ électrique latéral ne doit pas dépasser le champ critique de claquage E_c , pour éviter un claquage prématué de la structure.

D'après l'équation (I.42), l'augmentation du niveau de dopage, pour diminuer la résistance à l'état passant, sera limitée par la difficulté technologique de fabrication de zones très dopées et très fines.

Dans ces conditions, on peut admettre que la zone entre l'anode et la cathode est équivalente à un diélectrique et la tension de claquage devient proportionnelle à la distance H [25] :

$$V_{DBR} = H \cdot E_{y \max} = H \cdot (1 - \alpha) \cdot E_c \quad (I.43)$$

Le champ électrique dépend de la distance W , de la distance H et de la balance des charges entre les bandes N et P, c'est-à-dire la différence des niveaux de dopage entre ces zones.

En effet, pour assurer une déplétion complète des bandes N et P avant le claquage, les charges dans les bandes N et P doivent obéir à la relation suivante :

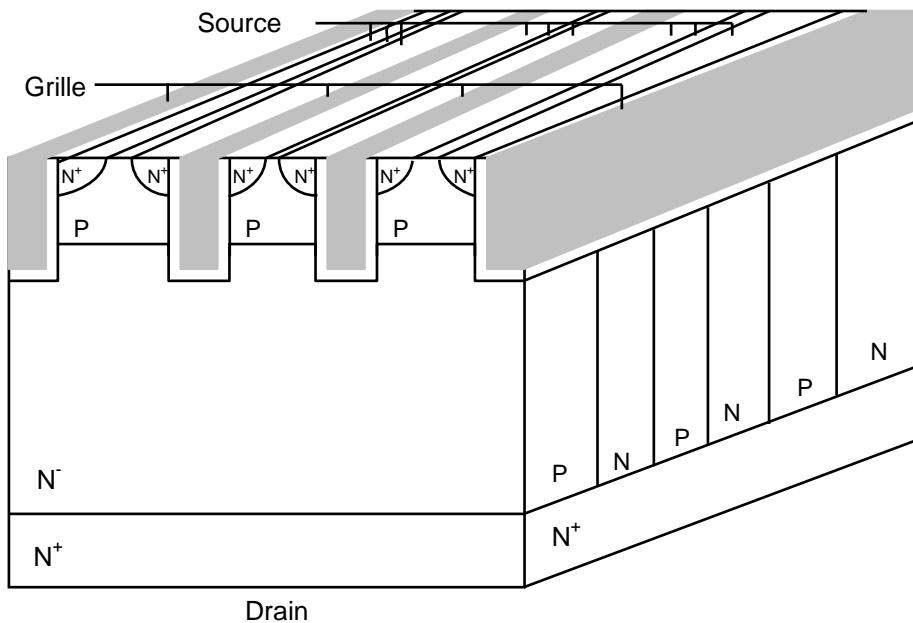
$$\frac{N_d \cdot W_n}{2} = \frac{N_a \cdot W_p}{2} < \frac{\epsilon_s \cdot E_c}{q} \quad (I.44)$$

Et par conséquent :

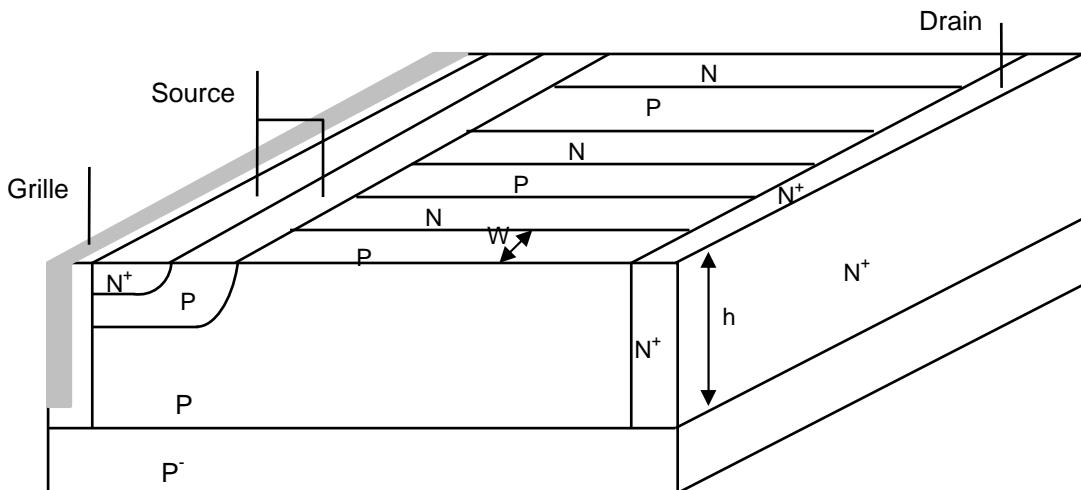
$$N_d \cdot W_n = N_a \cdot W_p \quad (I.45)$$

Ce concept est analogue à celui du Resurf réservé aux structures latérales, La seule différence est que le Resurf est constitué d'une seule bande N épitaxiée sur un substrat P alors que la superjonction peut comprendre plusieurs bandes N et P alternées. D'ailleurs, certains auteurs appellent la superjonction le "Multiple RESURF" [30] ou le "Multi RESURF" [31].

Fujihira [25] a proposé ensuite deux structures de transistor MOS de puissance à superjonction (à tranchées) : la structure verticale (figure I.12-a) et la structure latérale (figure I.12-b).



a)



b)

Figure I.12 : MOS à superjonction a) structure verticale, b) structure latérale.

Dans le cas des structures à superjonction verticales, cet auteur a exprimé la résistance spécifique idéale en fonction de la tension de claquage en cherchant le coefficient α qui donne la résistance spécifique minimale :

$$R_{on} \cdot S (\Omega \cdot cm^2) = 1,98 \cdot 10^{-1} \cdot W^{\frac{5}{4}} \cdot V_{DBR} \quad (I.46)$$

On voit bien ici l'intérêt d'utiliser cette technique de la superjonction dans le cas des structures verticales haute tension car le calcul de la résistance passante spécifique idéale se

fait maintenant selon une loi linéaire en fonction de la tension de claquage (V_{DBR}) alors que ce calcul se faisait selon une loi en croissance géométrique ($V_{DBR}^{2,4}$) dans le cas des structures conventionnelles (équation I.39).

La figure I.13 montre une comparaison entre la limite du silicium pour les composants MOS verticaux de structures conventionnelles et de structures à superjonction.

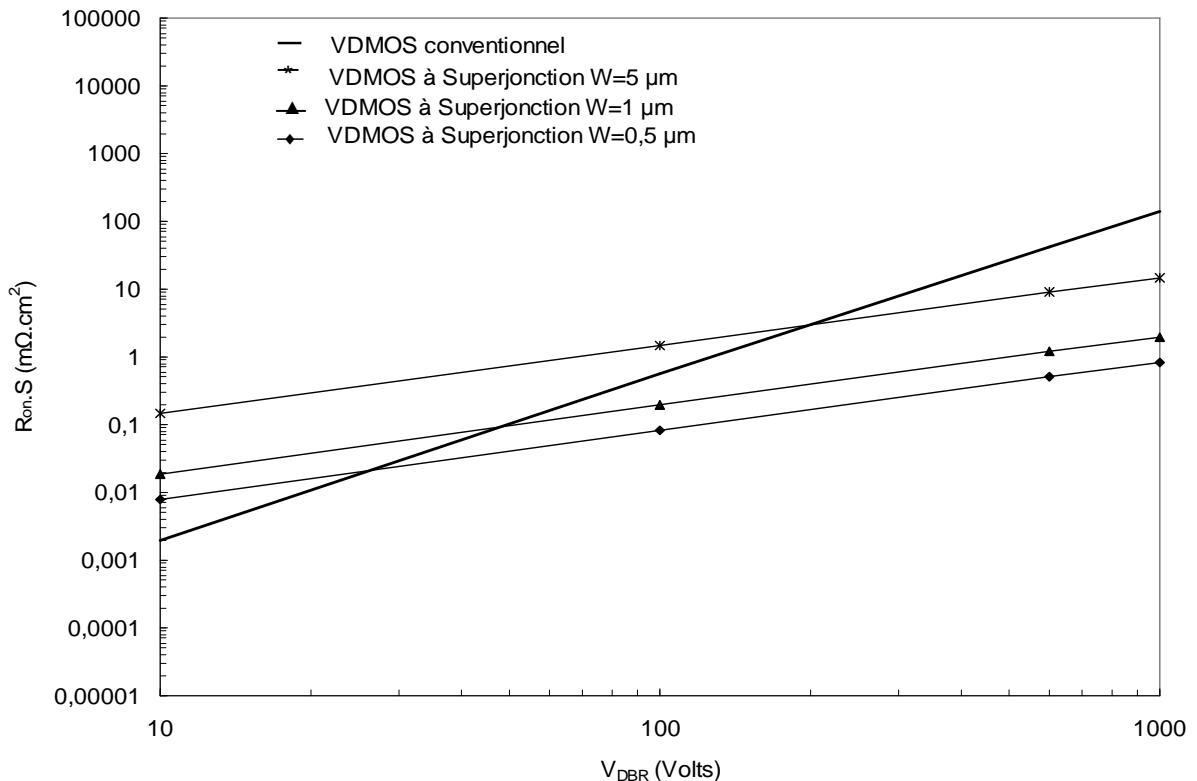


Figure I.13 : Limite du silicium, $R_{on,S}/V_{DBR}$, dans le cas des composants unipolaires verticaux de structures conventionnelles et de structures à superjonction.

Pour les faibles tensions de claquage ($V_{DBR} < 100$ Volts), la réduction de la résistance spécifique des structures MOS à superjonction verticales n'est pas significative et il faut réaliser des structures avec des bandes très fines pour que l'amélioration de cette résistance soit effective. Par contre, pour les structures MOS à superjonction haute tension, la réduction de la résistance passante spécifique est très significative. C'est donc pour les hautes tensions que ces structures à superjonction verticales sont très intéressantes à utiliser. Dans le cas des faibles tensions de claquage, ces structures à superjonction sont confrontées à la difficulté de fabriquer des couches fines avec un dopage très élevé. Dans ce dernier cas, un autre problème à résoudre sera d'éviter le claquage par perçage dans la zone du canal à cause du fort dopage des bandes N et P introduites.

Pour les structures à superjonction latérales, Fujihira a proposé la relation suivante :

$$R_{on,S}(\Omega.cm^2) = 4,08 \cdot 10^{-6} \cdot W^{16} \cdot h^{-1} \cdot V_{DBR}^{17} \quad (I.47)$$

Dans le cas des structures latérales, il faut réaliser des couches très fines pour obtenir une amélioration de la résistance passante spécifique par rapport aux structures Resurf (équation I.41).

Enfin, il faut noter que l'augmentation de la surface de la jonction drain-source, dans les transistors MOS à superjonction, peut réduire la rapidité, pour laquelle les MOS de puissance sont préférés aux bipolaires [32].

Le premier transistor MOS à superjonction, appelé CoolMOS, a été fabriqué et commercialisé par la société Infineon [33]. Ce transistor (figure I.14) présente, pour une tension de claquage de 600 Volts, une résistance passante spécifique cinq fois plus faible que celle d'un transistor VDMOS conventionnel [33]. En outre, cette résistance est plus faible que la limite théorique du silicium des composants unipolaires verticaux.

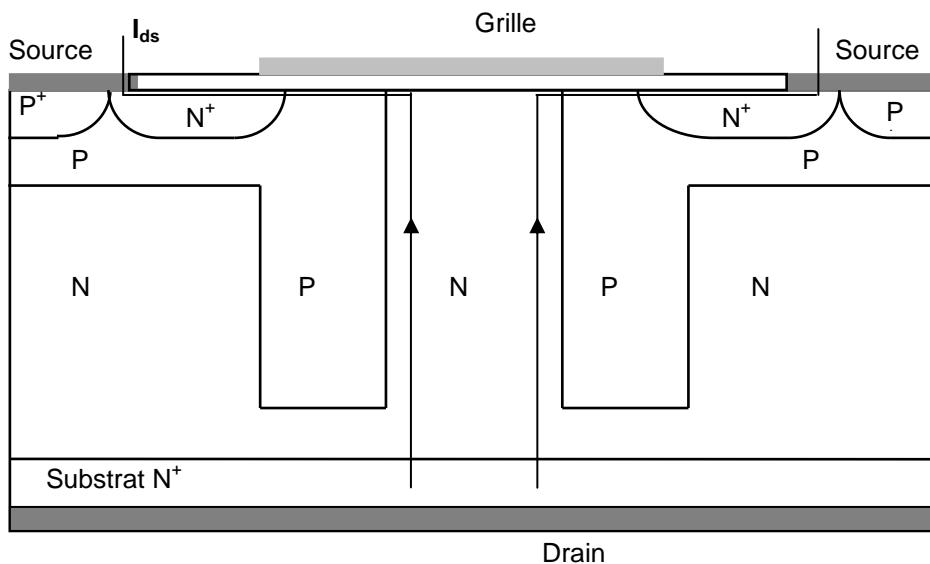


Figure I.14 : Coupe schématique d'une cellule d'un transistor CoolMOS.

I.4.2. Composants MOS à îlots flottants : le transistor FLIMOS

Une autre solution permettant de réduire la résistance passante spécifique des composants unipolaires a été proposée pour la première fois au LAAS en 1999 [26]. Cette solution consiste à introduire des îlots fortement dopés dans la zone de drift d'une structure VDMOS classique (figure I.15) pour réduire le champ électrique à la jonction principale. Ainsi, ces îlots flottants jouent le rôle de diviseurs de champ électrique exactement comme les anneaux de garde pour les jonctions planar. Le claquage dépend du nombre de puits introduits et du dopage de la zone de drift.

Pour une structure verticale à îlots flottants bien optimisée, le niveau de dopage de la zone de drift est supérieur à celui de la structure verticale conventionnelle de même tension de claquage. En dépit de la réduction du chemin de passage du courant dans la zone de drift, la résistance à l'état passant du transistor MOS de puissance à îlots flottants, appelé FLIMOS – Floating Island MOSFET –, est très faible par rapport à celle d'un transistor VDMOS de même tension de claquage [27, 28]. Récemment, des structures FLIMOS verticales 73 Volts ont été réalisées présentant des faibles résistances à l'état passant [34].

Le chapitre 2 sera consacré à l'étude statique et dynamique de cette structure.

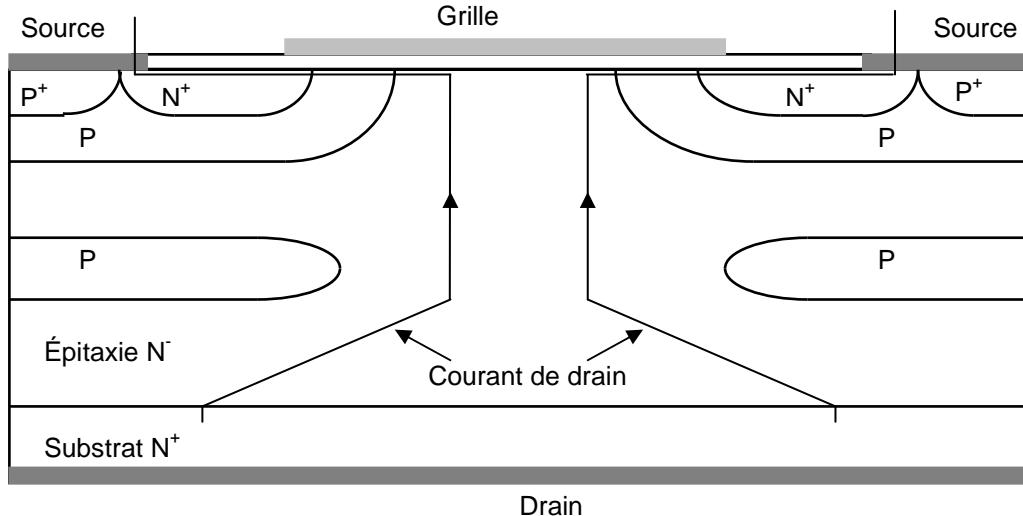


Figure I.15 : Coupe schématique d'une cellule d'un transistor FLIMOS vertical.

I.5. Matériaux semi-conducteurs à grand gap pour l'électronique de puissance

I.5.1. Introduction

Les besoins de nouvelles applications de l'électronique de puissance, dans les véhicules hybrides par exemple, exigent une électronique fiable, rapide, de faibles pertes en conduction et en commutation et qui peut fonctionner à des températures très élevées. Le silicium, matériau le plus utilisé en microélectronique actuellement, ne peut pas répondre à ces exigences à cause de ces caractéristiques physiques et thermiques qui limitent son utilisation dans beaucoup d'applications de puissance et notamment dans l'électronique automobile. C'est donc vers de nouveaux matériaux semi-conducteurs à large bande interdite que la recherche s'est focalisée ces dernières années pour répondre aux exigences citées précédemment.

En effet, plusieurs travaux de recherche sont actuellement menés pour promouvoir des matériaux semi-conducteurs à large bandgap qui peuvent améliorer les performances statiques et dynamiques des composants de puissance.

Il est bien connu que, du fait de l'agitation thermique dans le réseau cristallin d'un matériau semi-conducteur, la hauteur de la bande interdite diminue lorsque la température augmente et, par conséquent, ce matériau peut devenir conducteur en haute température. Le choix de matériaux semi-conducteurs à large bandgap est donc la solution pour avoir une électronique capable de continuer à fonctionner en haute température.

En plus, le champ critique de claquage du matériau semi-conducteur est lié à la hauteur de la bande interdite. Plus la hauteur de la bande interdite est grande et plus le champ critique de claquage est grand. Par conséquent, ces matériaux semi-conducteurs à large bandgap seront très intéressants pour les applications en électronique de puissance car pour tenir des tensions élevées à l'état bloqué, le dopage de la zone de drift sera fortement amélioré et l'épaisseur de cette zone sera très mince. Dans ce cas, la résistance de drift ne sera plus un handicap pour les composants MOS de puissance haute tension (> 250 Volts) en matériaux semi-conducteurs à large bandgap. On peut noter aussi que la résistance des fils de connexion et la résistance du canal ne seront plus négligeables pour les tensions de claquage inférieures à 1 kV à cause de la forte réduction de la résistance de drift.

Parmi les matériaux prometteurs de substitution au silicium dans les applications de puissance haute température, on peut citer le carbure de silicium (SiC), le nitre de gallium (GaN) et le diamant.

Dans le cas des composants MOS de puissance en carbure de silicium par exemple [6], [35], la faible mobilité dans la couche d'inversion reste un des problèmes majeurs à résoudre pour les composants MOS haute tension. Il a été démontré [35] que la résistance du canal peut représenter 44% de la résistance à l'état passant alors que la résistance de drift ne représente plus que 17% de cette résistance pour un transistor MOS de puissance en carbure de silicium 660 Volts. Cette expérimentation montre la nécessité d'une nouvelle définition de la limite du matériau dans le cas des composants unipolaires fabriqués à base de semi-conducteurs à large bandgap car la résistance de drift ne représente plus la composante importante jusqu'à des tensions de l'ordre de 10 kV.

Dans la pratique, des diodes Schottky fabriquées à base de carbure de silicium sont commercialisées pour des tensions de claquage dépassant les 500 Volts avec un fort courant à l'état passant. Par exemple, la société Infineon propose des diodes Schottky en carbure de silicium 600 Volts avec un courant maximal à l'état passant de 100 Ampères (caractéristiques de cette diode peuvent être consultées sur le site Internet de la société : composant sous référence IDT02S60C).

La vitesse de saturation des électrons des matériaux semi-conducteurs à large bandgap est très supérieure à celle du silicium et, par conséquent, il est possible que les composants fabriqués à bases de ces matériaux soient capables de fonctionner en hautes fréquences. En plus, la charge stockée et le temps de recouvrement seront considérablement réduits grâce à la faible épaisseur de la zone de drift.

Un dernier paramètre important pour ces matériaux de substitution au silicium est la conductivité thermique. Plus la conductivité thermique est grande et plus la résistance thermique est faible et, par conséquent, le matériau peut donc transmettre facilement la chaleur à l'extérieur. Ceci permet une augmentation lente de la température dans le dispositif de puissance.

Le tableau I.1 donne les principales caractéristiques physiques des matériaux semi-conducteurs à large bandgap. Il existe deux types de substrats en carbure de silicium : le 4H-SiC et le 6H-SiC. Avant l'introduction sur le marché du 4H-SiC en 1994, le seul substrat disponible en carbure de silicium était le 6H-SiC. Ces deux matériaux ont des propriétés similaires sauf la mobilité des électrons qui est dans le cas du 4H-SiC isotrope et supérieure à la mobilité anisotrope des électrons dans le cas du 6H-SiC.

D'après le tableau I.1, le diamant est le matériau semi-conducteur de référence grâce à son fort champ critique de claquage, une mobilité d'électrons supérieure à celles des autres matériaux et une conductivité thermique la plus élevée. Le nitre de Gallium présente la conductivité thermique la plus faible, comparé aux autres matériaux semi-conducteurs, silicium inclus, mais il peut être très intéressant pour les applications optoélectroniques de puissance grâce à son gap direct et son champ critique de claquage 6 fois supérieur au champ critique du silicium.

	Si	GaAS	6H-SiC	4H-SiC	GaN	Diamant
Largeur de la bande interdite E_g (eV)	1,12	1,43	3,03	3,26	3,45	5,45
Permittivité (ϵ_r)	11,9	13,1	9,66	10,1	9	5,5
Champ critique de claquage E_c (V/cm)	3.10^5	$3,5.10^5$	25.10^5	22.10^5	20.10^5	10^7
Mobilité des électrons μ_n , ($\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$)	1350	8800	500 80	1000	1250	2200
Mobilité des trous μ_p , ($\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$)	480	400	101	115	300	850
Conductivité thermique λ (W/cm.K)	1,412	0,455	4,9	4,9	1,3	22
Vitesse de saturation des électrons ($\text{cm} \cdot \text{s}^{-1}$)	1.10^7	1.10^7	2	2.10^7	$2,2.10^7$	$2,7.10^7$

Tableau I.1 : Caractéristiques principales du silicium, du GaAS et des matériaux semi-conducteurs à large bandgap.

I.5.2. Compromis "résistance passante spécifique / tension de claquage"

Pour une jonction PN⁻, la tension de claquage dépend du champ critique de claquage du matériau semi-conducteur utilisé :

$$V_{DBR}(\text{Volts}) = \frac{\epsilon_0 \cdot \epsilon_r \cdot E_c^2}{2 \cdot q \cdot N_d} \quad (\text{I.48})$$

où ϵ_0 (en F/cm) et ϵ_r représentent les permittivités du vide et du matériau semi-conducteur utilisé respectivement, q la charge élémentaire de l'électron en Coulomb, N_d le dopage de la zone N⁻ en cm^{-3} et E_c le champ critique de claquage en V/cm.

La résistance passante spécifique idéale de drift à l'état passant peut être donnée par la relation suivante [25] :

$$R_{on} \cdot S(\Omega \cdot \text{cm}^2) = \frac{27 \cdot V_{DBR}^2}{8 \cdot \epsilon_0 \cdot \epsilon_r \cdot E_c^3 \cdot \mu_n} \quad (\text{I.49})$$

μ_n étant la mobilité des électrons du matériau utilisé en $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$.

La figure I.16 représente la résistance passante spécifique, calculée à partir de l'équation (I.49), des principaux matériaux semi-conducteurs à large bandgap en fonction de la tension de claquage.

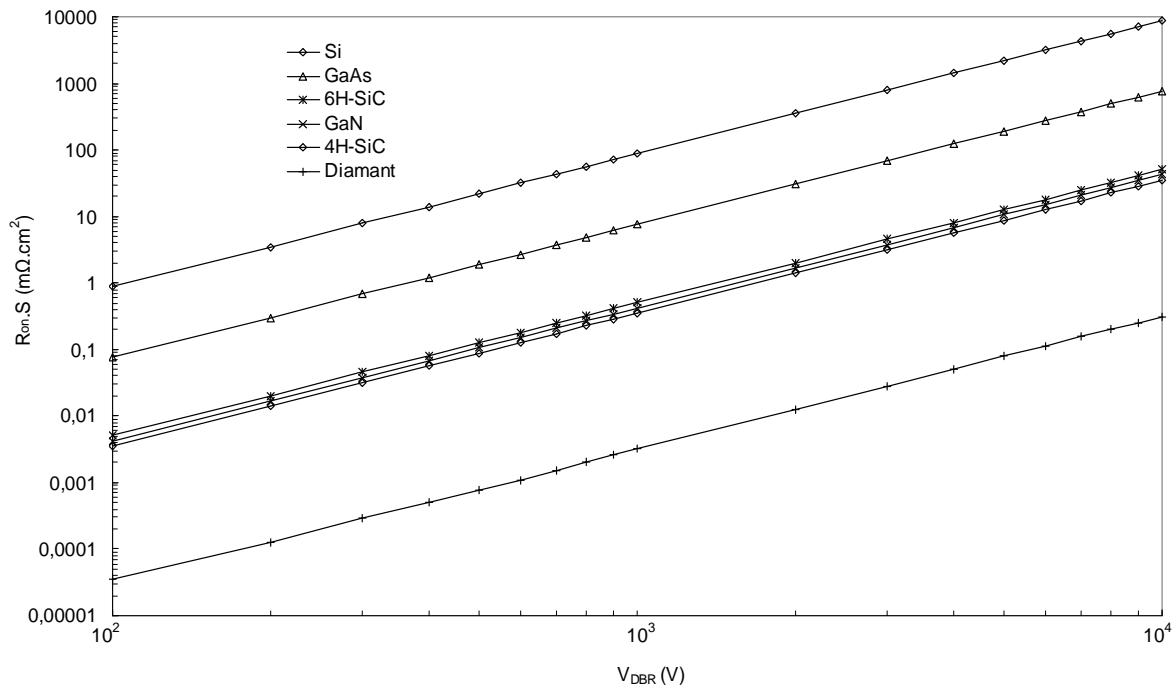


Figure I.16 : Limites du silicium, du GaAs et des matériaux à large bandgap.

En conclusion, voici quelques avantages et inconvénients de chaque matériau semi-conducteur à large bande interdite cités précédemment :

1) Le diamant : c'est le matériau qui présente les meilleures caractéristiques électriques et thermiques et il est capable de fonctionner à des très hautes températures. Mais son processus de fabrication nécessitant des températures très élevées est loin d'être résolu.

2) Le carbure de silicium : grâce à une technologie plus avancée par rapport aux autres matériaux semi-conducteurs à large bandgap, des composants en carbure de silicium sont commercialisés actuellement. Dernièrement la fondation Cree Research, principal fournisseur de wafers en carbure de silicium, propose des diodes Schottky en carbure de silicium 1200 Volts avec un courant de 50 Ampères (www.cree.com). D'autres études sont en cours pour réduire les microdéfauts dans les substrats en carbure de silicium et pour améliorer la mobilité de la couche inversée dans le cas des transistors MOS de puissance fabriqués à base de ce matériau.

3) Le nitrate de gallium : c'est un matériau qui peut être utilisé pour les applications optoélectroniques (gap direct) et en hautes fréquences (mobilité et vitesse de saturation des électrons supérieures à celles du carbure de silicium). Les performances dynamiques des diodes Schottky en nitrate de gallium sont légèrement supérieures à celles des diodes en carbure de silicium [36]. Cependant, plusieurs travaux de recherche sont actuellement en cours pour résoudre les problèmes liés au processus technologique du nitrate de gallium : a) le nitrate de gallium à l'état liquide n'existe pas et, par conséquent, un wafer en GaN massif est très difficile à obtenir : les wafers proposés actuellement sont fabriqués par une croissance d'un film fin de nitrate de gallium formé par dépôt en phase vapeur sur des substrats en saphir, en carbure de silicium ou en silicium parfois pour diminuer le coût de fabrication, b) oxydation thermique non possible qui est très utilisée dans la fabrication des transistors MOS, c) la densité de défauts dans les wafers proposés est non négligeable.

I.6. Conclusion

Dans ce chapitre, nous avons passé en revue quelques structures de transistor MOS de puissance en rappelant leur mode de fonctionnement, les avantages et les inconvénients de chaque structure. Dans un premier temps, nous avons présenté les structures conventionnelles des transistors MOS de puissance discrets et intégrés. Ensuite, nous avons donné l'expression de la limite du silicium, qui exprime la relation entre la résistance passante spécifique et la tension de claquage dans le cas des transistors MOS de puissance unipolaires verticaux et latéraux. Par cette relation, nous avons démontré que la limite du silicium était liée à la structure du composant unipolaire et à l'énergie d'ionisation du matériau utilisé.

Cette expression démontre clairement que pour les composants unipolaires conventionnels, la résistance passante spécifique devient très grande dans le cas des composants prévus pour fonctionner en hautes tensions. C'est pour cette raison que les transistors VDMOS de puissance ont été limités, dans la pratique, à des applications de tensions de claquage ne dépassant pas les 250 Volts.

Pour les nouvelles structures MOS verticales à superjonction, la relation entre la tension de claquage et la résistance passante spécifique idéale est linéaire. Ainsi, ces structures à superjonction sont donc capables de fonctionner à des tensions élevées avec une résistance passante spécifique plus faible que celle des structures conventionnelles de même tension de claquage. Ces dernières années, des nouveaux transistors MOS de puissance 600 à 800 Volts, appelés les CoolMOS, basés sur le principe de la superjonction sont fabriqués et commercialisés par la société Infineon permettant une forte réduction de la résistance passante spécifique.

D'autres structures basées sur le concept des îlots flottants, appelés FLIMOS, sont aussi de très bons candidats pour améliorer le compromis entre la résistance passante spécifique et la tension de claquage des transistors MOS de puissance. Ces structures MOS à îlots flottants utilisent la technique de garde des jonctions par des anneaux de garde flottants et peuvent présenter des résistances passantes spécifiques inférieures à celles des structures MOS conventionnelles. Le claquage dans les structures FLIMOS dépend du dopage et du nombre d'îlots introduits dans la zone de drift. Par contre, le claquage dans les structures à superjonction est très sensible à la balance des charges entre les bandes P et N introduites. Par conséquent, le processus de fabrication des structures à îlots flottants est moins complexe que celui des structures à superjonction.

Notre contribution s'inscrit dans un travail d'investigation et de modélisation des structures FLIMOS de puissance. Dans le deuxième chapitre, nous allons exposer une approche analytique unidimensionnelle pour optimiser les structures à îlots flottants et la limite du silicium de ce type de composant sera donnée. Cette approche sera basée sur la structure physique du composant et une attention particulière à la dynamique de ces structures sera portée dans ce chapitre.

CHAPITRE II :

ANALYSE STATIQUE ET DYNAMIQUE DU TRANSISTOR FLIMOS DE PUISSANCE

II.1. Introduction

Le problème majeur des transistors unipolaires MOS de puissance de structure conventionnelle est l'augmentation considérable de leur résistance passante spécifique avec l'augmentation de la tension de claquage au-delà de 200 Volts. Pour les structures VDMOS de puissance par exemple, il a été démontré dans le chapitre précédent que la tension de claquage dépendait de l'épaisseur et du niveau de dopage de la zone de drift et, plus précisément, de l'énergie d'ionisation du matériau semi-conducteur utilisé. Plus la tension de claquage désirée est grande et plus la zone de drift doit être large et faiblement dopée, se comportant, à l'état passant, comme une résistance très élevée qui peut engendrer des pertes par conduction non négligeables. Plusieurs travaux de recherche ont été menés ces dernières années pour réduire la résistance à l'état passant des transistors MOS de puissance, ce qui a fait d'eux les principaux transistors de puissance de choix pour les tensions en dessous de 200 Volts et bientôt au-delà grâce aux structures MOS à superjonction (le transistor CoolMOS de la société Infineon par exemple).

Une solution à ce problème de la résistivité de la zone de drift est la modulation de la conductivité de cette zone par l'injection de porteurs minoritaires, méthode utilisée dans le transistor IGBT qui est devenu un composant mature de l'électronique de puissance grâce à des investissements soutenus en recherche et développement. En effet, l'IGBT peut commuter des courants beaucoup plus importants par unité de surface que le transistor MOS de puissance, tout en étant bien plus facile à commander qu'un thyristor ou un GTO. Malheureusement, l'utilisation de l'IGBT est limitée à des fréquences ne dépassant pas quelques kiloHertz à cause de la charge stockée à l'état passant.

Une autre solution consiste à réduire, par des techniques de garde de jonction, le champ électrique de claquage à la jonction principale “P-source/N⁻ drift” et, par conséquent, d'améliorer la tension de claquage des transistors MOS de puissance. Ainsi, ces dernières années, deux structures innovantes – structures à superjonction et structures à îlots flottants – ont été proposées permettant une nette amélioration du compromis entre la résistance passante spécifique et la tension de claquage des structures unipolaires de puissance. Ces deux structures sont basées sur le principe de la réduction du champ électrique à la jonction principale.

Les structures à superjonction utilisent un concept similaire au Resurf utilisé principalement dans le cas des structures DMOS latérales. Ces structures à superjonction ont été traitées dans le chapitre précédent.

Le principe des îlots flottants consiste à protéger la jonction principale en introduisant des îlots flottants fortement dopés dans la zone de drift des structures DMOS conventionnelles [1]. Les structures ainsi obtenues sont appelées FLIMOS. Les îlots flottants jouent le même rôle que les anneaux de garde dans le cas des jonctions planar et améliorent la tension de claquage des structures FLIMOS par rapport aux structures DMOS de même niveau de dopage de drift. Les premiers résultats théoriques, obtenus à l'aide de la simulation numérique bidimensionnelle, ont montré que la résistance passante spécifique d'un transistor vertical FLIMOS 900 Volts pouvait être améliorée de 70% par rapport à un transistor VDMOS conventionnel de même tension de claquage [2, 3, 4]. Il a été aussi démontré [2, 3, 4] que ces structures pouvaient être de sérieux concurrents aux structures à superjonction pour les faibles tensions de claquage (< 200 Volts). Un autre avantage de ces structures est que la tension de claquage ne dépend pas du dopage des îlots introduits : le processus de fabrication de ces

structures FLIMOS est donc moins complexe que le processus de fabrication des structures à superjonction qui nécessitent un contrôle très précis du niveau de dopage des bandes N et P introduites dans la zone de drift [5, 6]. La première réalisation a montré que la résistance passante spécifique du transistor FLIMOS vertical était améliorée de 33% par rapport à celle d'une structure VDMOS conventionnelle de même tension de claquage, 73 Volts [7].

Dans ce chapitre, nous présentons une approche analytique unidimensionnelle permettant d'estimer les valeurs de la tension de claquage, de la résistance à l'état passant et des capacités inter-électrodes des structures FLIMOS verticales à un seul îlot flottant. Ensuite, nous allons donner la limite du silicium de ces structures FLIMOS, en la comparant à celle des structures à superjonction et des structures conventionnelles.

En outre, nous allons aussi présenter les résultats théoriques de simulation 2D dans le cas des structures FLIMOS verticales 900 Volts (haute tension) et 73 Volts (basse tension), ainsi que la structure latérale 60 Volts avec deux îlots flottants.

Pour valider le modèle analytique proposé, les résultats obtenus seront comparés aux résultats de simulation bidimensionnelle et à la mesure dans le cas de la structure FLIMOS verticale 73 Volts fabriquée [7]. Enfin, nous allons analyser l'impact de ces îlots introduits dans la zone de drift sur les capacités inter-électrodes des transistors FLIMOS verticaux.

II.2. Approche analytique unidimensionnelle

II.2.1. Tension de claquage

Pour une structure VDMOS NPT, on peut considérer que le claquage s'opère en première approximation à la jonction plane “P-source/N⁻ drift” et que la tension de claquage est donnée par la relation suivante [8] :

$$V_{DBR} = 5,72 \cdot 10^{13} \cdot N_d^{-\frac{3}{4}} \quad (\text{II.1})$$

Le concept des îlots flottants consiste à introduire des îlots flottants non polarisés et dopés dans la zone de drift de la structure DMOS conventionnelle afin de protéger la jonction principale. Les îlots flottants jouent le même rôle que les anneaux de garde dans le cas des jonctions planar et permettent d'augmenter la tension de claquage de la nouvelle structure FLIMOS ainsi obtenue par rapport à la structure VDMOS conventionnelle de même niveau de dopage de la zone de drift.

Afin de comparer les résultats théoriques aux mesures effectuées sur le transistor FLIMOS 73 Volts vertical fabriqué possédant un seul îlot flottant [7], nous allons étudier une structure FLIMOS verticale faible tension de mêmes paramètres physiques que la structure fabriquée. On prendra comme paramètre le dopage de l'épitaxie et la distance d entre la jonction principale et l'îlot flottant.

La figure II.1 montre une structure FLIMOS verticale à un îlot flottant introduit dans la zone de drift. Pour que cet îlot puisse avoir un effet sur la tension de claquage, la distance entre l'îlot et la jonction principale doit être inférieure ou égale à l'extension maximale de la zone de charge d'espace de la jonction principale :

$$d \leq W \quad (\text{II.2})$$

où d est la distance entre l'îlot et la jonction principale et W est l'extension maximale de la zone de charge d'espace de la jonction principale.

L'extension maximale de la zone de charge d'espace dépend du dopage de la zone de drift ; son expression a été calculée dans le chapitre 1 :

$$W(cm) = 2,7 \cdot 10^{10} \cdot N_d^{-\frac{7}{8}} \quad (II.3)$$

À l'état bloqué, si la tension drain-source augmente, la zone de charge d'espace augmente de la source vers le drain et le champ électrique à la jonction principale augmente aussi. Si la zone de charge d'espace atteint l'îlot flottant avant que le champ critique de claquage ne soit atteint, la distribution des équipotentielles est modifiée de sorte qu'elles contournent l'îlot flottant (figure II.1). Dans ce cas, la courbure des lignes équipotentielles est allongée retardant ainsi le claquage qui peut s'opérer cette fois à la jonction "P-îlot/N⁻ drift" ou simultanément aux deux jonctions PN⁻ drift si la structure est bien conçue. La zone de charge d'espace perce l'îlot et fixe son potentiel exactement comme dans le cas des anneaux de garde de jonctions planar [9, 10].

Dans ces conditions, l'îlot flottant joue le rôle de diviseur de champ électrique en deux maxima, répartis sur les jonctions PN⁻ drift, inférieurs au champ électrique E_c de la jonction principale de la structure VDMOS conventionnelle (figure II.1). Autrement dit, pour un même niveau de dopage de drift, la structure FLIMOS peut tenir une tension supérieure à celle de la structure VDMOS. La structure FLIMOS améliore donc la tenue en tension des transistors MOS de puissance. La distribution du champ électrique est multi-triangulaire alors qu'elle était triangulaire (NPT) ou trapézoïdale (PT) dans le cas des structures VDMOS conventionnelles.

Ce concept peut également être appliqué à tous les composants unipolaires de puissance, à la diode Schottky silicium par exemple pour améliorer sa tension de claquage limitée généralement à 200 Volts.

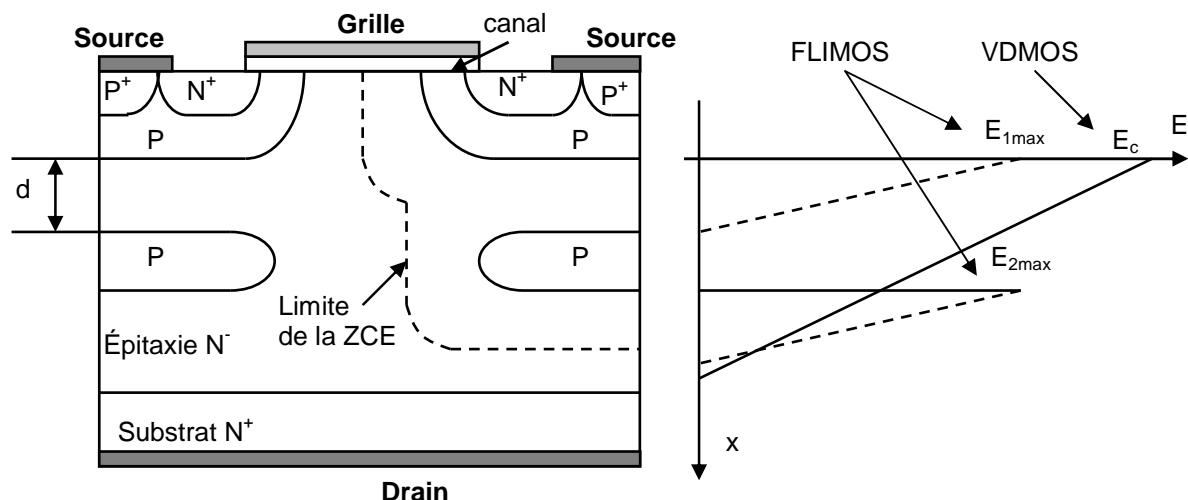


Figure II.1 : Coupe schématique d'une cellule du transistor FLIMOS vertical à un seul îlot et forme des champs électriques de cette structure et de la structure VDMOS conventionnelle.

Contrairement à la structure à superjonction, l'îlot introduit n'est pas polarisé et sa tension de perçage dépend du niveau de dopage de la zone de drift et de la distance d entre la diffusion de source et l'îlot lui-même. Si l'îlot est placé à une distance inférieure ou égale à l'extension maximale de la zone de charge d'espace, la tension de perçage de l'îlot flottant peut s'écrire :

$$V_{per} - V_s = \frac{q \cdot N_d \cdot d^2}{2 \cdot \epsilon_0 \cdot \epsilon_{si}} \quad (\text{II.4})$$

Si on considère que le claquage dans la structure FLIMOS s'opère à la jonction "P-îlot/N-drift" ou aux deux jonctions PN-drift simultanément, la tension de claquage de la structure peut être donnée par :

$$V_{DBR} = 5,72 \cdot 10^{13} \cdot N_d^{-\frac{3}{4}} + \frac{q \cdot N_d \cdot d^2}{2 \cdot \epsilon_0 \cdot \epsilon_{si}} \quad (\text{II.5})$$

L'îlot flottant ne doit pas être complètement déplétée et, par conséquent, le niveau de dopage de l'îlot doit être supérieur au niveau de dopage de la zone de drift. La zone de charge d'espace doit s'étaler plus du coté N-drift.

La figure II.2 montre l'évolution de la tension de claquage en fonction du dopage de drift de la structure FLIMOS calculée analytiquement, à l'aide de la relation (II.5), et la tension de claquage de la structure VDMOS conventionnelle calculée analytiquement, à l'aide de la relation (II.1), dans le cas des faibles tensions de claquage (< 200 Volts), pour différentes valeurs de la distance d entre l'îlot et la jonction principale.

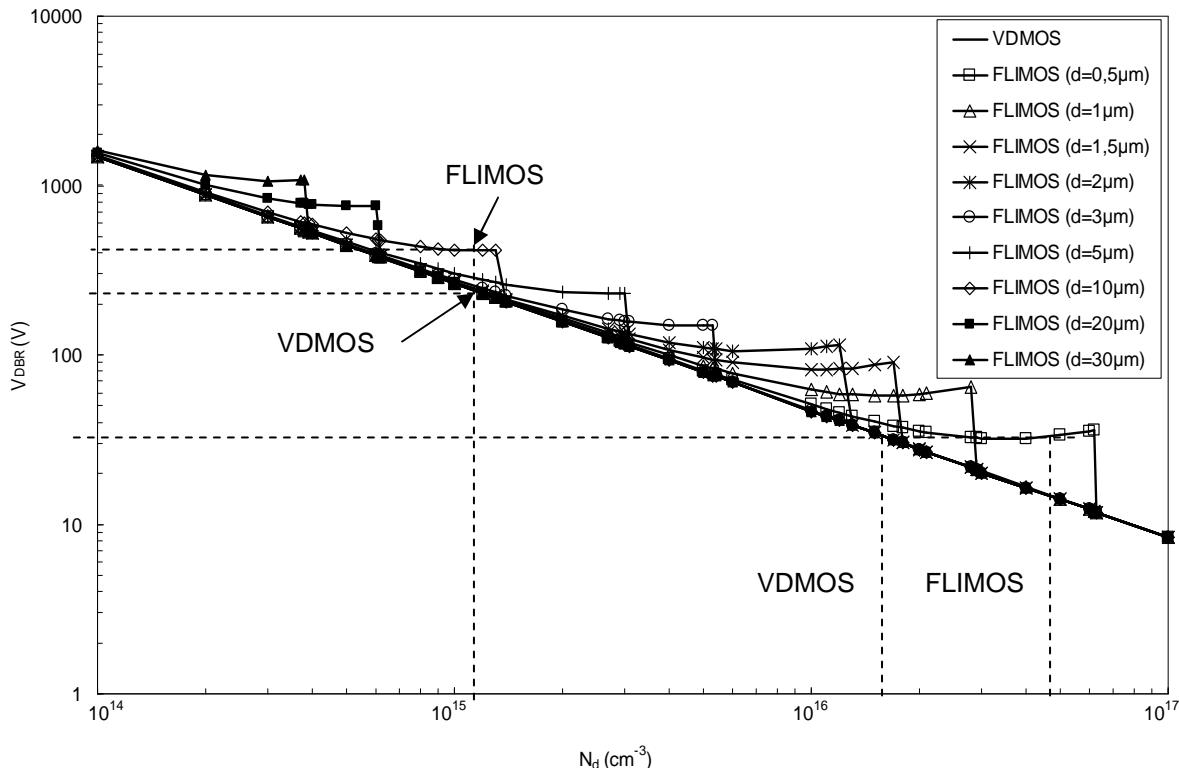


Figure II.2 : Tension de claquage des structures VDMOS et FLIMOS en fonction du niveau de dopage de la zone de drift, pour différentes valeurs de la distance d .

D'après la figure II.2, l'impact de l'îlot flottant sur la tension de claquage est clairement visible par l'augmentation de la tension de claquage de la structure FLIMOS par rapport à la structure VDMOS conventionnelle de même niveau de dopage de la zone de drift. Autrement dit, si on choisit une structure FLIMOS et une structure VDMOS de même tension de claquage, le niveau de dopage de la zone de drift de la structure FLIMOS peut être augmenté. La limite de cette augmentation, qui est aussi une limite de validité de l'équation (II.5), est obtenue lorsque la distance d entre la jonction principale et l'îlot flottant devient égale à l'extension maximale de la zone de charge d'espace de la jonction principale. En effet, la structure FLIMOS est optimisée si la distance entre l'îlot et la diffusion P source est égale à l'extension maximale de la ZCE de la jonction principale. Après cette limite, l'îlot n'a aucun effet sur la tension de claquage et le claquage de la structure FLIMOS devient similaire au claquage de la structure VDMOS conventionnelle.

Cette analyse est confirmée par les figures II.3 et II.4 qui présentent les courbes de la tension de claquage calculée analytiquement en fonction de la distance d pour différents niveaux de dopage de la zone de drift ; ces courbes sont tracées pour des tensions comprises entre 20 à 350 Volts (figure II.3) et 200 à 1400 Volts (figure II.4).

Pour les faibles distances d , le potentiel de perçage de l'îlot est faible et, par conséquent, la tension de claquage est faible. Quand la distance d augmente, le potentiel de perçage de l'îlot augmente et, par conséquent, la tension de claquage augmente : la limite est obtenue lorsque la distance d devient égale à l'extension maximale de la ZCE de la jonction principale. Au-delà de cette distance, l'îlot flottant n'a aucun effet sur la tension de claquage et le claquage de la structure FLIMOS est similaire au claquage de la structure VDMOS conventionnelle.

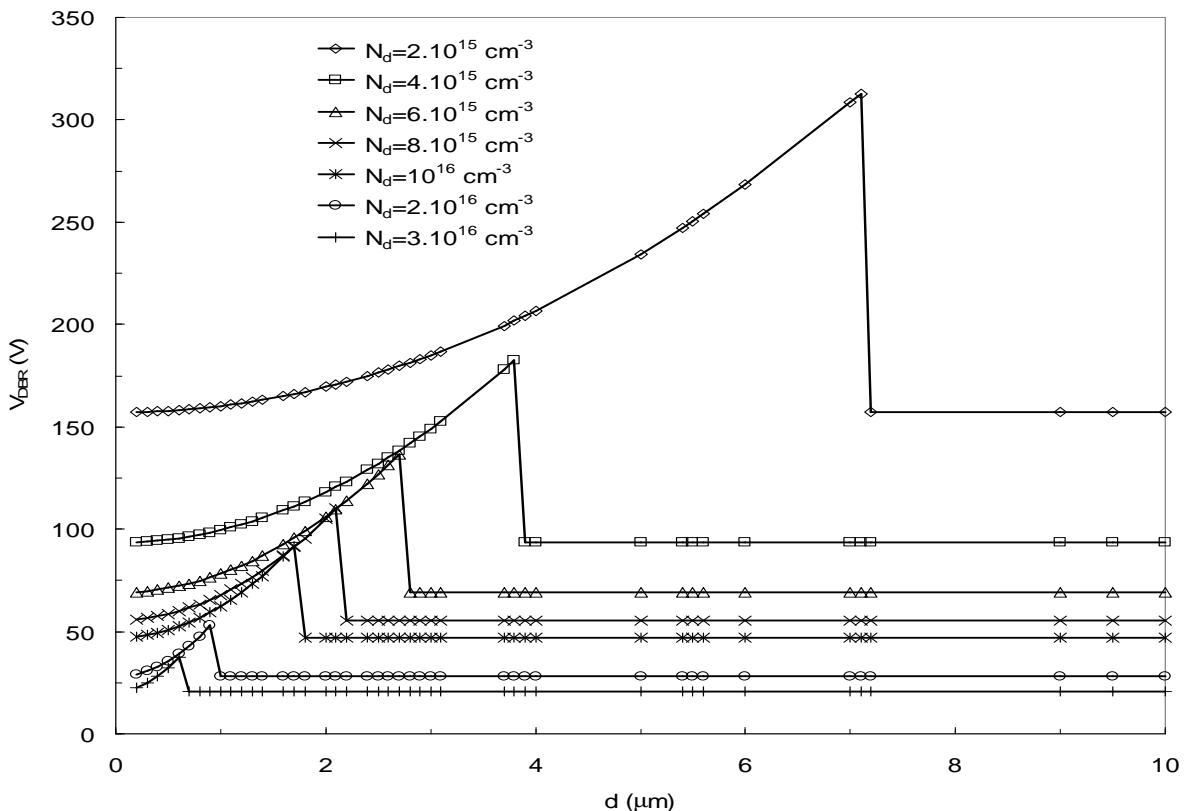


Figure II.3 : Tension de claquage de la structure FLIMOS en fonction de la distance d , pour différents niveaux de dopage de la zone de drift (20 V < V_{DBR} < 350 V).

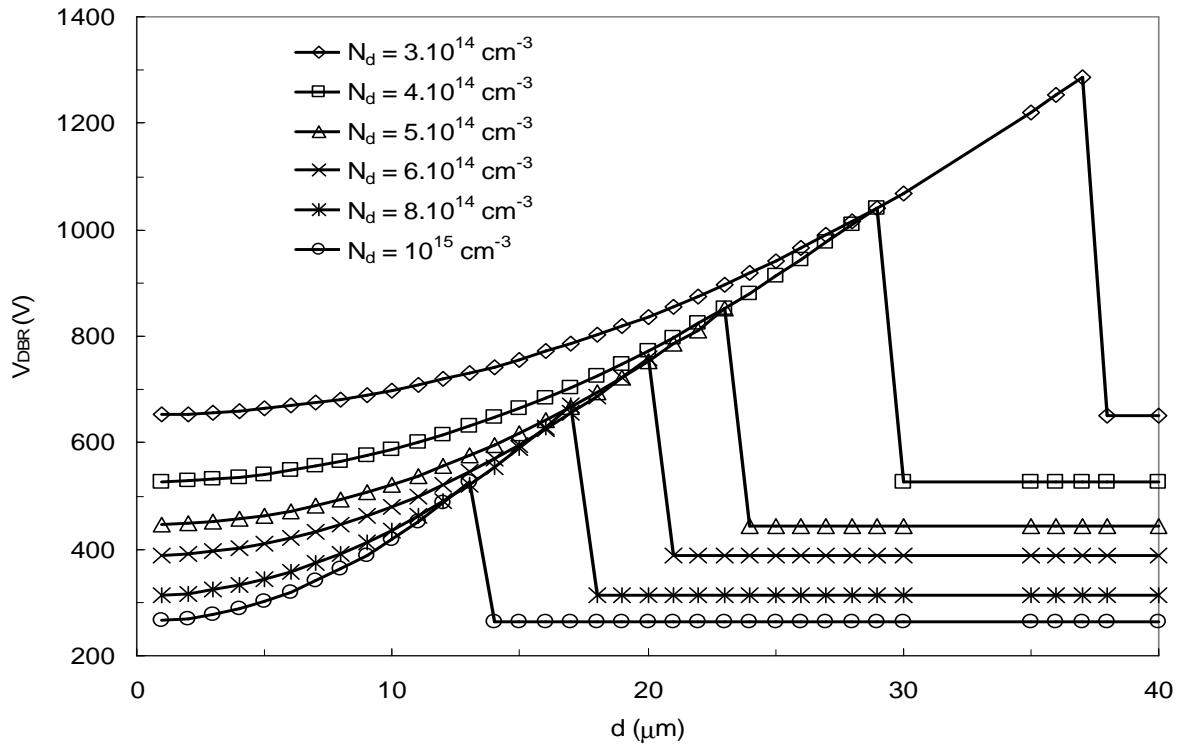


Figure II.4 : Tension de claquage de la structure FLIMOS en fonction de la distance d , pour différents niveaux de dopage de la zone de drift ($200 \text{ V} < V_{\text{DBR}} < 1400 \text{ V}$).

Pour éliminer les effets de courbures des jonctions “P-îlot/N- drift” et l’influence de la longueur des îlots flottants sur la tension de claquage, l’ouverture entre les îlots adjacents a été choisie de telle sorte que la structure FLIMOS soit auto-blindée c’est-à-dire comme s’il n’existait pas à l’état bloqué d’ouverture entre les îlots introduits (figure II.5). Ce phénomène d’auto-blindage peut être obtenu lorsque les deux zones de charges d’espace des jonctions “P-îlot/N- drift” coté N- drift des îlots adjacents se rejoignent. Dans ce cas, on peut considérer que la zone de drift de la structure FLIMOS est divisée en deux zones de drift équivalentes. Rappelons que les ouvertures entre les îlots adjacents permettront le passage du courant à l’état passant. Pour chaque structure FLIMOS, une série de simulations numériques bidimensionnelles permet de calculer la distance minimale nécessaire à l’auto-blindage de la structure.

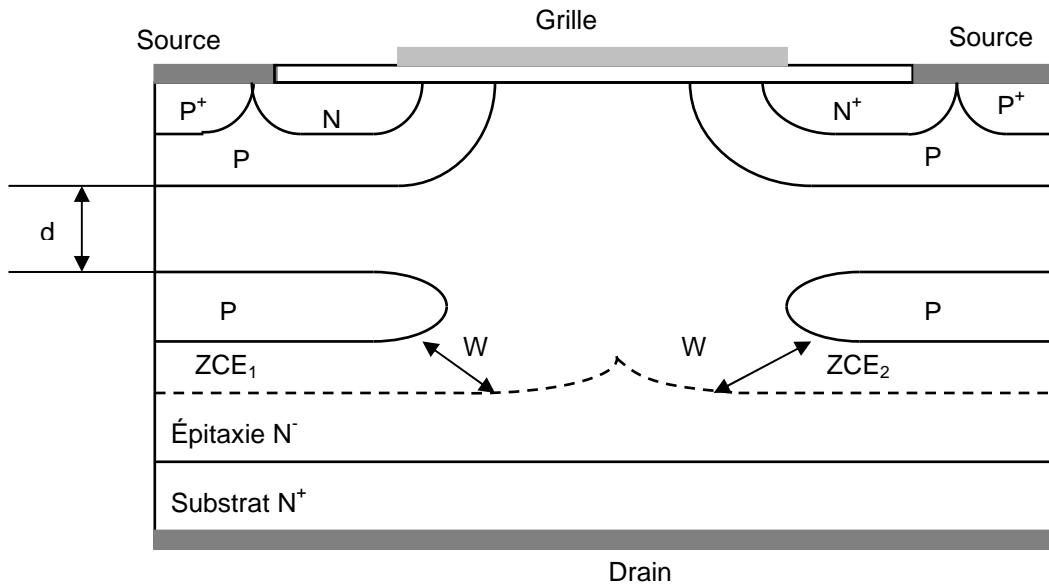


Figure II.5 : Phénomène d'auto-blindage dans la structure FLIMOS à un seul îlot flottant.

Nous allons à présent déterminer l'impact de l'introduction de ces îlots flottants sur la résistance à l'état passant et déterminer les niveaux de dopage de la zone de drift pour lesquels le compromis entre la résistance passante spécifique et la tension de claquage sera amélioré.

II.2.2. Résistance à l'état passant

Nous avons démontré dans le paragraphe précédent que les îlots introduits dans la zone de drift permettaient d'améliorer la tension de claquage des structures VDMOS de puissance. Autrement dit, pour deux structures FLIMOS et VDMOS de puissance de même tension de claquage, le niveau de dopage de la structure FLIMOS peut être augmenté. Ce phénomène d'augmentation du dopage de la zone de drift, démontré pour les transistors FLIMOS à un seul îlot flottant, s'accentue lorsqu'on augmente le nombre d'îlots. Nous allons, dans ce paragraphe, analyser l'impact de ces îlots flottants sur la résistance à l'état passant des transistors MOS de puissance verticaux et proposer une approche analytique unidimensionnelle pour calculer les valeurs des différentes composantes de cette résistance.

La figure II.6 montre la localisation des différentes composantes de la résistance à l'état passant de la structure FLIMOS verticale. L'augmentation du niveau de dopage peut permettre de réduire la résistance d'accès ($R_a = R_{acc} + R_{JFET}$) et la résistance de drift ($R_d = R_{d1} + R_{d2} + R_{d3}$) de la structure FLIMOS. Le rétrécissement des lignes de courant induit par l'introduction des îlots flottants dans la zone de drift est compensé par l'augmentation du niveau de dopage de la zone de drift.

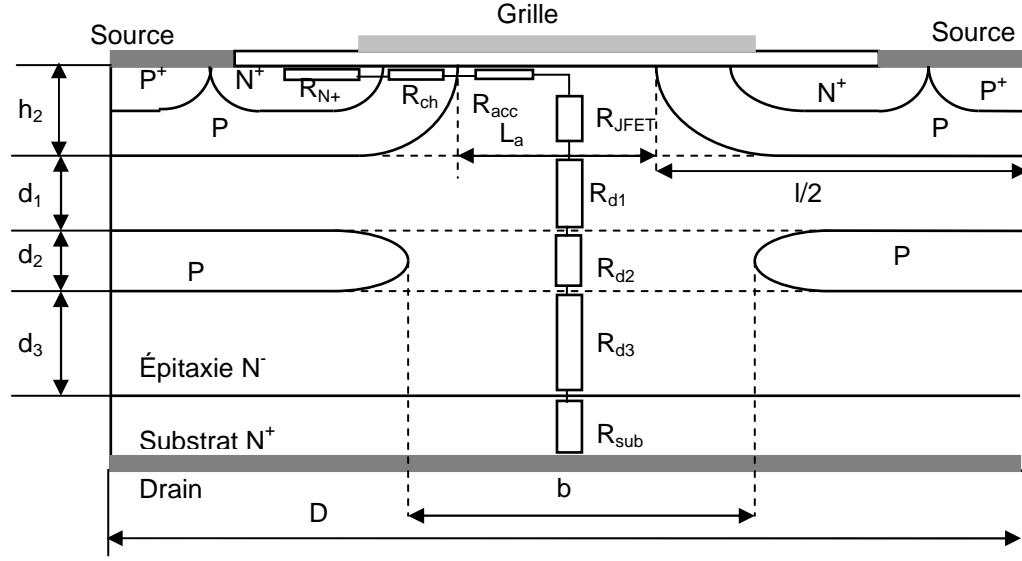


Figure II.6 : Coupe schématique d'une cellule du transistor FLIMOS à un seul îlot flottant et localisation des composantes de sa résistance à l'état passant.

II.2.2.1. Résistance du canal

La résistance du canal de la structure FLIMOS est la même que celle d'une structure VDMOS conventionnelle de même tension de claquage. L'îlot flottant n'a aucun effet sur cette résistance. La résistance du canal peut être calculée par l'expression (I.29) donnée au chapitre précédent.

II.2.2.2. Résistance d'accès

La résistance d'accès se compose de deux résistances en série : la résistance de la zone accumulée (R_{acc}) et la résistance de la zone pincée de JFET (R_{JFET}). Son expression a été donnée dans le chapitre 1 par :

$$R_a = K \frac{L_a}{2 \cdot \mu_{0acc} \cdot C_{ox} \cdot \Lambda} \cdot \frac{(V_{gs} + \Lambda - 2\Phi_F)}{(V_{gs} - V_T)} + \rho_D \cdot \frac{h_2}{Z \cdot (L_a - 2W_0)} \quad (\text{II.6})$$

L'augmentation du niveau de dopage de la zone de drift permet de diminuer la résistance de JFET (deuxième terme de l'expression II.6) en diminuant la résistivité (ρ_D) de cette zone. La résistance accumulée (premier terme de l'expression II.6) augmentera sensiblement car la mobilité des électrons à champ faible dans la zone accumulée (μ_{0acc}) diminue avec l'augmentation du niveau de dopage. Expérimentalement, il a été montré que sa valeur pouvait être à peu près égale à 80% de la mobilité dans le volume à champ faible [11]. Λ est le potentiel de réduction de la mobilité ; sa valeur dépend de l'épaisseur de l'oxyde de grille [12].

Pour avoir une idée de l'impact des îlots flottants sur la résistance d'accès, la figure II.7 montre l'évolution de la résistance spécifique d'accès calculée à partir de l'équation (II.6) en fonction du dopage N_d de la région de drift et en prenant comme paramètre le rapport de la surface de la zone accumulée sur la surface d'une cellule élémentaire de la structure FLIMOS. La profondeur de la jonction P-body h_2 a été prise égale à 0,8 µm. Au niveau de la forme

géométrique des cellules élémentaires du transistor FLIMOS, on peut noter que la surface de la zone accumulée est un disque de diamètre L_a (figure II.6) et la surface des cellules élémentaires est un carré de coté D ($D = L_a + l$, l étant la longueur de la diffusion P source).

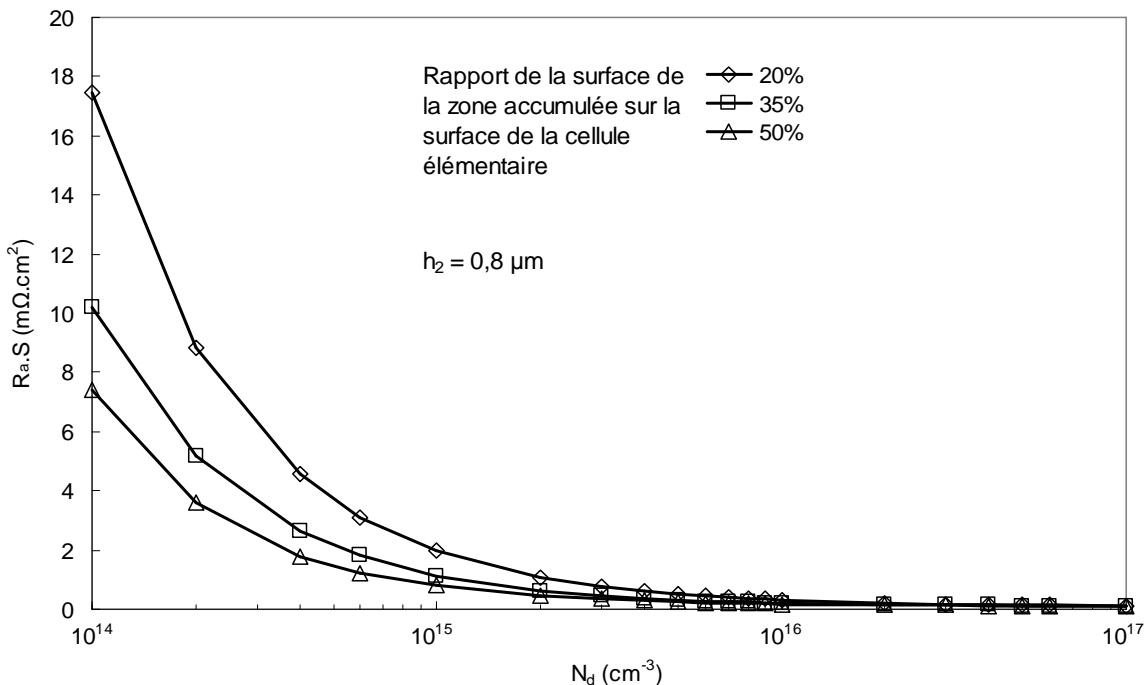


Figure II.7 : Évolution de la résistance spécifique d'accès calculée analytiquement en fonction du niveau de dopage de la zone de drift de la structure FLIMOS verticale.

On voit bien l'intérêt d'utiliser ce concept car, en augmentant le niveau de dopage de la zone de drift, on peut réduire la résistance de JFET et, par suite, pouvoir augmenter la densité d'intégration des cellules élémentaires des transistors MOS de puissance.

II.2.2.3. Résistance de drift

La résistance de drift est constituée de trois résistances en série (figure II.6) : la résistance de la première zone de drift R_{d1} , la résistance de la zone pincée entre les îlots adjacents R_{d2} et la résistance de la deuxième zone de drift R_{d3} . Les deux résistances R_{d1} et R_{d3} peuvent être évaluées analytiquement en tenant compte de la défocalisation des lignes de courant par l'expression de la résistance de la zone de drift donnée dans le chapitre précédent :

$$R_d = \frac{1}{q \cdot N_d \cdot \mu_n \cdot Z} \cdot \ln\left(\frac{L_a + d}{L_a}\right) \quad (\text{II.7})$$

où d est égale à d_1 ou d_3 et L_a est la longueur de la zone accumulée. Afin d'être plus précis, on peut utiliser une formule différente pour calculer la résistance R_{d3} en remplaçant la distance L_a par la distance entre îlots adjacents b dans l'équation (II.7). Les rapports des distances $(L_a + d_1)/L_a$ et $(b + d_3)/b$ sont très proche dans notre cas, on peut considérer donc que R_{d1} et R_{d3} sont à peu près égales.

La résistance R_{d2} de la zone pincée entre les îlots flottants peut être calculée en utilisant la formule de la résistance d'un barreau semi-conducteur :

$$R_{d2} = \frac{1}{q \cdot N_d \cdot \mu_n} \cdot \frac{d_2}{S} \quad (\text{II.8})$$

S étant la section de passage du courant entre les îlots flottants adjacents. Cette résistance est d'autant plus grande que la section de passage du courant est étroite.

La figure II.8 montre l'évolution de la résistance spécifique de drift calculée à l'aide des équations (II.7) et (II.8) en fonction du niveau de dopage de drift pour une structure FLIMOS basse tension en prenant le rapport de la longueur de la zone accumulée sur la longueur de la cellule élémentaire comme paramètre.

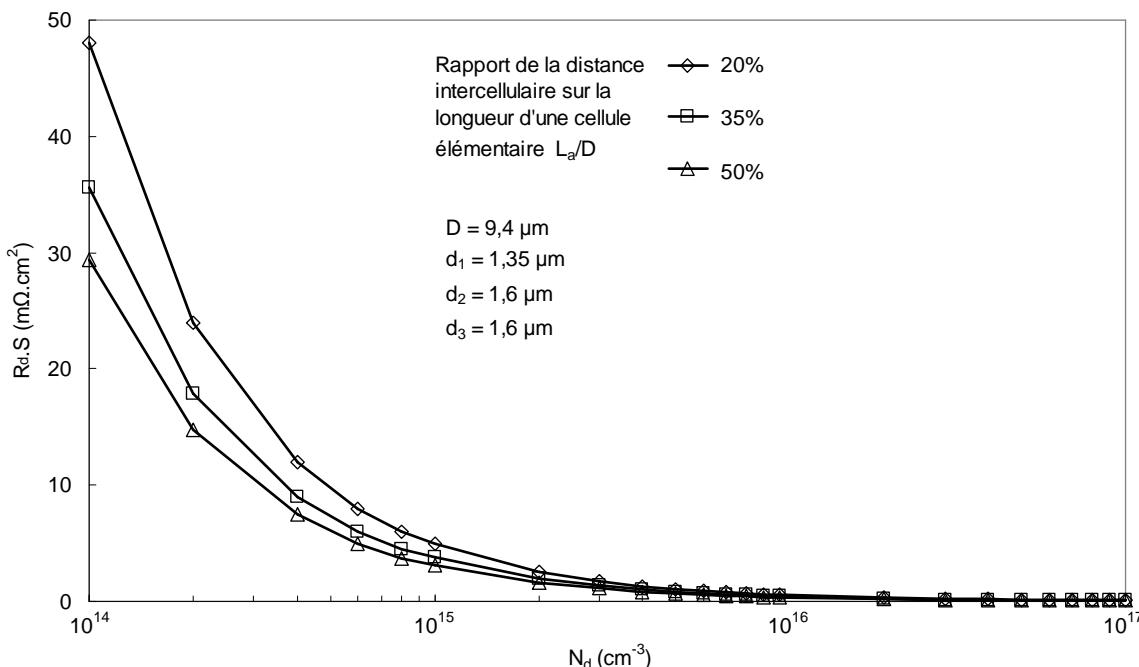


Figure II.8 : Évolution de la résistance de drift calculée analytiquement en fonction du niveau de dopage de la zone de drift de la structure FLIMOS verticale.

Ce résultat montre évidemment que la résistance de drift de la structure FLIMOS peut être réduite considérablement si on augmente le dopage de la zone de drift, ce qui est possible lorsqu'on insère un ou plusieurs îlots flottants. L'inconvénient majeur de ceci est le nombre d'épitaxies qu'exige la réalisation d'une telle structure et la difficulté technologique d'avoir un dopage uniforme de la zone de drift.

II.2.2.4. Limite du silicium des structures FLIMOS verticales

La figure II.9 montre une structure FLIMOS verticale à quatre îlots flottants équidistants. Si on considère que la structure est optimisée, on peut donc admettre que la zone de drift est la somme de cinq petites zones de drift tenant chacune une tension égale à $V_{DBR}/5$. Plus généralement, pour une structure à n îlots flottants (cas qui nous intéresse pour définir la limite du silicium), on peut admettre que la zone de drift peut être considérée équivalente à $(n+1)$ zones tenant chacune une tension égale à $V_{DBR}/(n+1)$. En outre, on considérera que

l'épaisseur d_2 des îlots flottants est négligeable par rapport à d_1 , d_3 , d_5 , d_7 et d_9 . Dans notre cas, les îlots flottants sont équidistants : $d_1 = d_3 = d_5 = d_7 = d_9$.

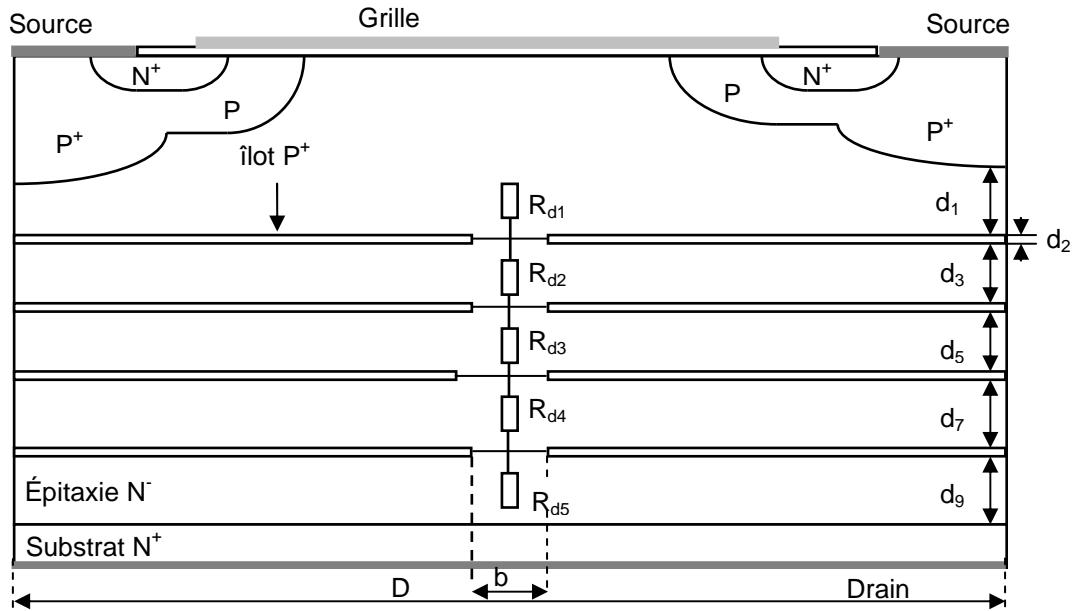


Figure II.9 : Coupe schématique d'une cellule d'un transistor FLIMOS vertical à 4 îlots flottants et localisation des 5 ($n+1$ avec $n=4$ îlots ici) zones et résistances de drift.

L'expression de la limite du silicium, dans le cas des structures FLIMOS verticales à n îlots flottants, peut donc être calculée en considérant que la résistance de la zone de drift est la somme de $(n+1)$ résistances de drift identiques en série. Le rétrécissement des lignes de courant dans la zone de drift induit par l'introduction des îlots peut être pris en compte par l'intermédiaire d'un paramètre S_0 qui est le rapport de l'ouverture entre les îlots adjacents b sur la longueur de la cellule élémentaire D : ($S_0 = b/D$) (figure II.9). Dans ce cas, la limite du silicium des structures FLIMOS verticales à “ n ” îlots flottants peut être donnée par :

$$R_{on} \cdot S(\Omega \cdot cm^2) = 8,9 \cdot 10^{-9} \cdot \left(\frac{V_{DBR}}{n+1} \right)^{2,4} \cdot (S_0)^{-1} \cdot (n+1) \quad (II.9)$$

ce qui donne :

$$R_{on} \cdot S(\Omega \cdot cm^2) = 8,9 \cdot 10^{-9} \cdot (V_{DBR})^{2,4} \cdot (S_0)^{-1} \cdot (n+1)^{-1,4} \quad (II.10)$$

La figure II.10 compare la limite du silicium des structures FLIMOS verticales à la limite du silicium des structures VDMOS conventionnelles et des structures MOS à superjonction (W étant la largeur des bandes N et P formant la superjonction). La limite des structures FLIMOS est donnée en fonction du nombre n d'îlots flottants pour une section de passage du courant S_0 de 50%.

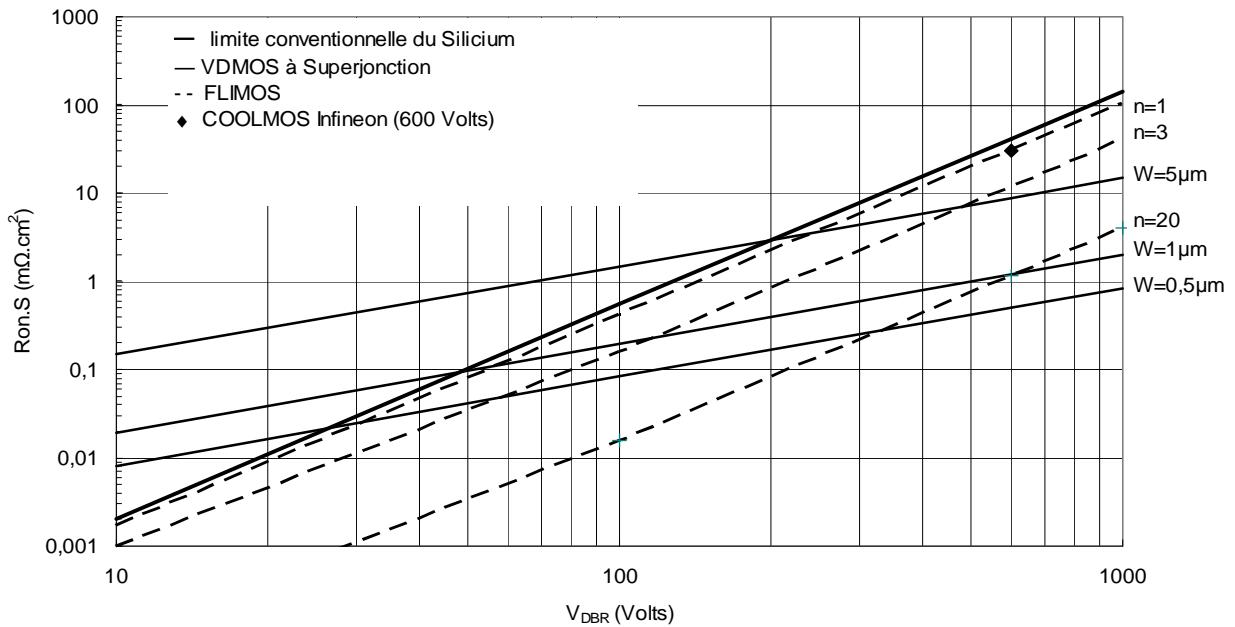


Figure II.10 : Limite du silicium des structures VDMOS, FLIMOS et des structures à superjonction verticales.

On constate que les structures à superjonction présentent le meilleur compromis entre la tension de claquage et la résistance passante spécifique pour les hautes tensions (> 200 Volts). C'est un résultat attendu car le calcul de la résistance passante spécifique se fait selon une loi linéaire en fonction de la tension de claquage pour les structures à superjonction (équation I.46 du chapitre 1) contre une loi en croissance géométrique ($V_{DBR}^{2,4}$) pour les structures FLIMOS. Pour rivaliser avec les structures à superjonction dans le domaine des hautes tensions, les structures FLIMOS doivent intégrer plusieurs îlots flottants, correspondant à plusieurs épitaxies pendant le processus de fabrication qui risquent de dégrader les propriétés physiques et l'uniformité de la zone de drift.

Par contre, pour les faibles tensions de claquage (< 200 Volts), on constate que les structures à îlots flottants deviennent plus intéressantes que les structures à superjonction. En effet, pour surpasser les structures à îlots flottants pour les faibles tensions de claquage, les structures à superjonction doivent avoir des bandes N et P, de même niveau de dopage, très minces et fortement dopées, qui sont très difficiles à réaliser avec les technologies actuelles.

II.2.3. Optimisation des structures FLIMOS verticales

L'objectif recherché est de trouver les valeurs “utiles” des niveaux de dopage de la zone de drift pour lesquelles la résistance passante spécifique de la structure FLIMOS devient plus faible que celle de la structure VDMOS conventionnelle équivalente.

Pour illustrer ceci, nous avons tracé sur le même graphe les courbes représentant les évolutions de la tension de claquage et de la résistance passante spécifique, calculées analytiquement, de la structure FLIMOS basse tension à un seul îlot en fonction du dopage de drift et en prenant en compte les mêmes paramètres géométriques et technologiques que la structure FLIMOS 73 Volts verticale fabriquée [13] (figure II.11). La distance d entre l'îlot flottant et la jonction principale est prise égale à $1,3$ µm, correspondant à la valeur expérimentale mesurée sur le transistor FLIMOS. Nous avons commencé par placer les données expérimentales de la structure VDMOS 73 Volts.

On constate que, pour une même tension de claquage (73 Volts par exemple sur la figure II.11), le dopage de la structure FLIMOS peut être augmenté par rapport à la structure VDMOS conventionnelle.

La résistance passante spécifique de la structure VDMOS 73 Volts conventionnelle est de $0,89 \text{ m}\Omega\text{.cm}^2$ pour un dopage de $5,5 \cdot 10^{15} \text{ cm}^{-3}$. La structure FLIMOS verticale à un seul îlot flottant, de résistance passante spécifique $0,89 \text{ m}\Omega\text{.cm}^2$, est obtenue pour un dopage de drift de $6,8 \cdot 10^{15} \text{ cm}^{-3}$ (figure II.11), sa tension de claquage calculée analytiquement est égale à 80 Volts. La structure FLIMOS optimale est obtenue pour un dopage de la zone de drift de $1,9 \cdot 10^{16} \text{ cm}^{-3}$ correspondant à une résistance passante spécifique de $0,59 \text{ m}\Omega\text{.cm}^2$ et un claquage légèrement supérieur à 73 Volts (à peu près 78 Volts).

Pour tous les niveaux de dopage de drift compris entre $6,8 \cdot 10^{15} \text{ cm}^{-3}$ et $1,9 \cdot 10^{16} \text{ cm}^{-3}$ la structure FLIMOS présente une résistance passante spécifique plus faible que celle de la structure VDMOS 73 Volts.

Sur ce même graphe (figure II.11), nous avons placé aussi les données réelles (technologiques et mesurées) de la structure FLIMOS 73 Volts verticale fabriquée (tension de claquage, niveau de dopage de la zone de drift et résistance passante spécifique). On remarque une bonne corrélation entre les valeurs mesurées et les valeurs théoriques, ce qui confirme la validité de notre approche analytique.

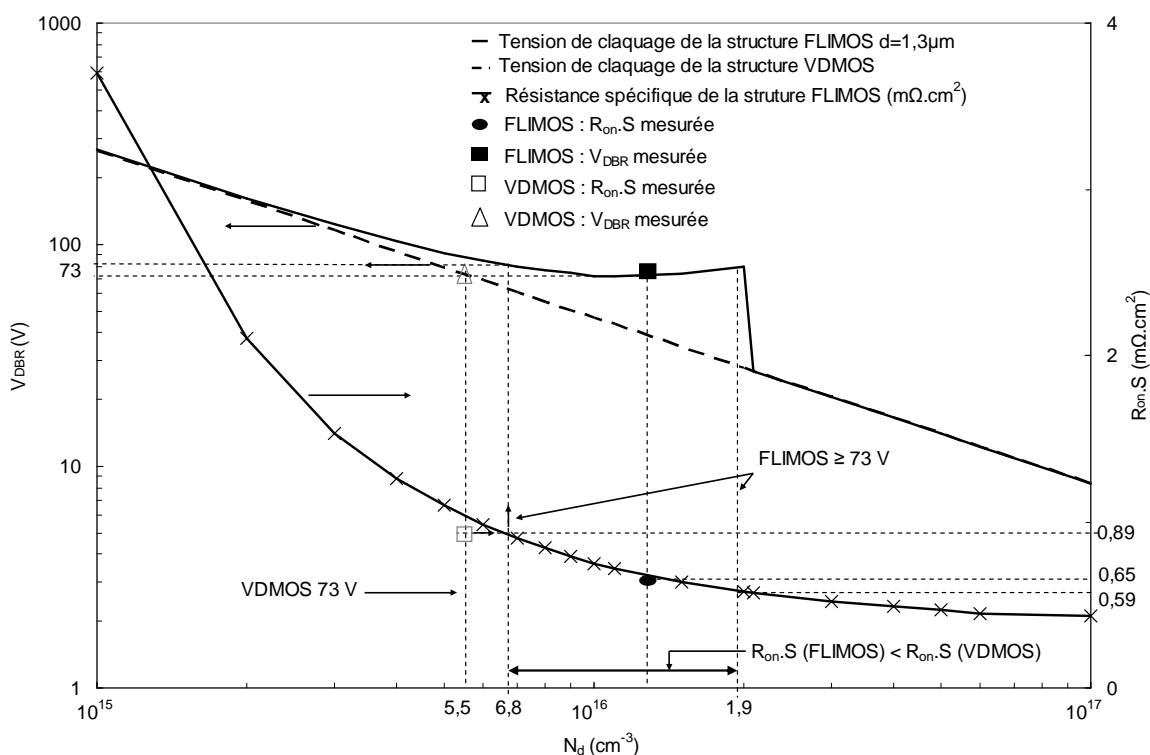


Figure II.11 : Tension de claquage et résistance passante spécifique de la structure FLIMOS verticale calculées analytiquement en fonction du dopage de drift.

Ce résultat nous permet d'annoncer qu'il existe pour chaque structure FLIMOS verticale une plage de niveaux de dopage “utiles” de la zone de drift dans laquelle la résistance passante spécifique devient plus faible que celle de la structure VDMOS conventionnelle de même tension de claquage.

Afin d'évaluer les capacités inter-electrodes des structures FLIMOS, nous allons à présent étudier qualitativement l'évolution de ces capacités en fonction des tensions V_{ds} et V_{gs} .

II.2.4. Capacité grille-source C_{gs}

La figure II.12 montre une coupe schématique d'une cellule de la structure FLIMOS avec la localisation des différentes capacités de cette structure. La capacité grille-source C_{gs} est composée de trois capacités mises en parallèle :

- i) la capacité C_{gs1} de recouvrement de l'oxyde de grille sur la diffusion N^+ source,
- ii) la capacité C_{gsb} entre le polysilicium de grille et la zone du canal,
- iii) la capacité C_{gs2} entre la métallisation de source et le polysilicium de grille.

En première approximation, on peut considérer ces capacités constantes. Ainsi, le calcul de ces différentes capacités peut être effectué en utilisant la formule générale de la capacité d'un condensateur plan – $C = (\epsilon \cdot S)/e$ – et en tenant compte de la forme géométrique de la cellule élémentaire de la structure.

II.2.5. Capacité drain-source C_{ds}

La capacité drain-source est constituée de deux capacités : la capacité drain-source de la jonction principale et la capacité de la jonction “P-îlot/N- drift”. Cette dernière capacité intervient uniquement pour les tensions de drain supérieures à la tension de perçage de l'îlot flottant. En effet, si la zone de charge d'espace de la jonction principale ne perce pas l'îlot flottant ($V_{ds} < V_{per}$), le potentiel de l'îlot n'intervient pas dans la modulation de la ZCE. La tension de perçage de l'îlot dépend de la distance d entre la jonction principale et l'îlot flottant et du niveau de dopage de la zone de drift ; sa valeur peut être calculée en utilisant la relation (II.4).

Pour les tensions de drain inférieures à la tension de perçage de l'îlot, la capacité drain-source est donc équivalente à la capacité de la jonction principale. Cette capacité est similaire à la capacité drain-source de la structure VDMOS conventionnelle. Sa valeur peut être calculée en la considérant égale à la somme de deux capacités (capacités en parallèle) : la capacité de la jonction plane (C_{ds1a}) et la capacité de la jonction cylindrique (C_{ds1b}) (figure II.12) : $C_{ds1} = C_{ds1a} + C_{ds1b}$.

La capacité de la jonction plane C_{ds1a} peut être calculée en utilisant l'expression de la capacité de transition d'une jonction plane :

$$C_{ds1a} = S_p \cdot \sqrt{\frac{q \cdot N_d \cdot \epsilon_0 \cdot \epsilon_{si}}{2 \cdot V_{ds}}} \quad (\text{II.11})$$

où S_p est la surface de la jonction plane principale drain-source.

Concernant la capacité cylindrique C_{ds1b} de la jonction drain-source, Sze et Lee [14] ont proposé un calcul numérique basé sur l'utilisation d'abaques pour déterminer la valeur de cette capacité. En se basant sur les valeurs fournies par ces deux auteurs, G. Tardivo [15] a proposé, avec une approximation de moins de 10%, deux expressions analytiques pour calculer cette capacité :

$$C_{ds1b} = \pi \cdot \epsilon_0 \cdot \epsilon_{si} \cdot Z \cdot \left(\frac{V_{ac}}{V_{ds}} \right)^{0,426} \quad \text{si } V_{ds} \leq V_{ac} \quad (\text{II.12})$$

$$C_{ds1b} = \pi \cdot \epsilon_0 \cdot \epsilon_{si} \cdot Z \cdot \left(\frac{V_{ac}}{V_{ds}} \right)^{0,306} \quad \text{si } V_{ds} > V_{ac} \quad (\text{II.13})$$

avec $V_{ac} = \frac{q \cdot N_d \cdot r_j^2}{4 \cdot \epsilon_0 \cdot \epsilon_{si}}$

où r_j est le rayon de courbure de la jonction.

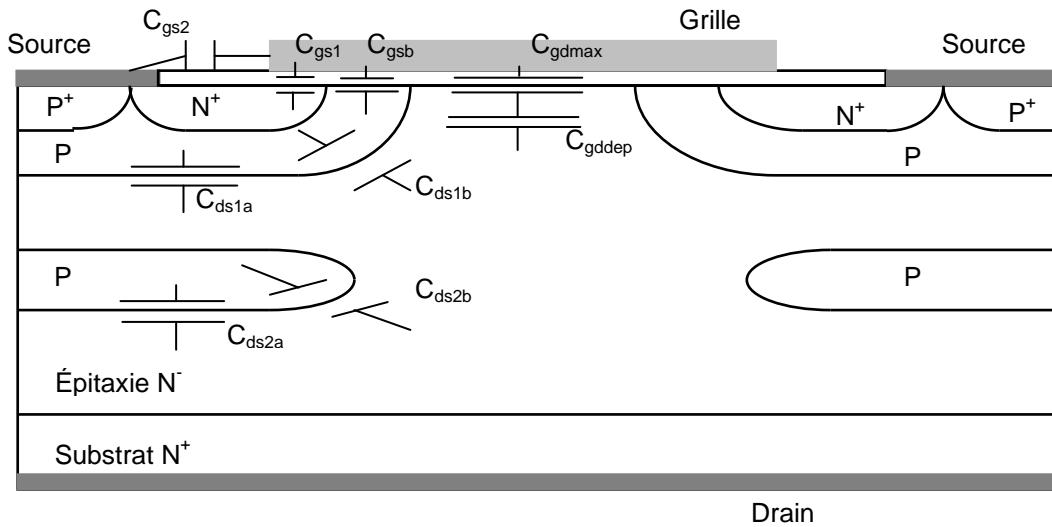


Figure II.12 : Coupe schématique d'une cellule FLIMOS verticale et localisation des différentes capacités inter-électrodes de cette structure.

Pour les tensions de drain supérieures à la tension de perçage de l'îlot flottant ($V_{ds} > V_{per}$), la zone de charge d'espace perce l'îlot et fixe son potentiel. Dans ce cas, la capacité drain-source devient égale à la capacité de déplétion de la jonction principale en série avec la capacité de déplétion de la jonction “P-îlot/N⁻ drift” C_{ds2} :

$$C_{ds} = \frac{C_{ds1} \cdot C_{ds2}}{C_{ds1} + C_{ds2}} \quad (\text{II.14})$$

où $C_{ds2} = C_{ds2a} + C_{ds2b}$

Les capacités des jonctions “P-îlot / N⁻ drift” plane et cylindrique peuvent être calculées en utilisant les relations (II.11), (II.12) et (II.13).

II.2.6. Capacité grille-drain C_{gd}

La capacité grille-drain C_{gd} est un paramètre important des transistors MOS de puissance car elle est l'élément de contre réaction entre l'entrée et la sortie de ces composants. Elle est aussi appelée capacité Miller car elle augmente la capacité dynamique à l'entrée du composant et

réduit ainsi sa vitesse de commutation. En effet, la fréquence de transition d'un transistor MOS de puissance est limitée principalement par la valeur de cette capacité.

Dans le cas de la structure FLIMOS, la capacité grille-drain est analogue à celle de la structure VDMOS conventionnelle. En effet, la capacité grille-drain est constituée de deux capacités en série :

i) une capacité d'oxyde C_{gdmax} de valeur constante, c'est la capacité équivalente de C_{gd} lorsque la tension V_{ds} est inférieure à la tension V_{gs} , c'est-à-dire lorsqu'on se trouve en régime d'accumulation.

ii) une capacité de déplétion C_{gddep} à la surface de la zone intercellulaire sous la grille et qui intervient lorsque la tension V_{ds} devient supérieure à V_{gs} .

La principale différence se situe au niveau du dopage de la zone de drift de la structure FLIMOS qui est supérieur à celui de la structure VDMOS équivalente. Par conséquent, la capacité de déplétion de la structure FLIMOS augmente à cause de l'augmentation du niveau de dopage de la zone sous l'oxyde de grille.

Pour calculer cette capacité, Sze [16] a proposé la formule suivante :

$$C_{gd} = \frac{C_{j0}}{\sqrt{1 + \frac{2 \cdot C_{ox}^2 \cdot V_{dg}}{q \cdot N_d \cdot \epsilon_0 \cdot \epsilon_{si}}}} \quad (\text{II.15})$$

où C_{j0} est égale à C_{gdmax} .

II.3. Simulation 2D et interprétation des résultats

Pour valider notre analyse qualitative, nous avons effectué des simulations numériques bidimensionnelles de la tension de claquage, de la résistance passante spécifique et des capacités inter-électrodes de structures FLIMOS verticales et latérales. La simulation numérique a été effectuée en utilisant l'application PISCES du logiciel de simulation ATLAS de la société SILVACO [17]. PISCES est une application du logiciel ATLAS destinée à la simulation de structures silicium. Nous allons donc donner quelques informations sur ce simulateur. Pour plus d'informations, l'annexe 2 donne un aperçu du logiciel PISCES et des modèles disponibles à choisir pour effectuer des simulations comportementales bidimensionnelles de structures MOS silicium.

II.3.1. Outil de simulation bidimensionnelle PISCES

Les logiciels de simulation numérique bidimensionnelle permettent de prédire le comportement électrique d'un nouveau composant semi-conducteur par résolution des équations qui décrivent le comportement physique de sa structure.

C'est une étape très importante avant de passer à la réalisation d'une nouvelle structure semi-conductrice. Ce type de logiciel est d'une aide capitale pour la compréhension du fonctionnement physique d'une nouvelle structure. En effet, l'influence des paramètres internes à la structure – géométriques et technologiques – peut également être étudiée.

Un des outils largement utilisés par les concepteurs de structures silicium est le logiciel PISCES de la société SILVACO. Ce simulateur permet de prédire le comportement électrique d'une structure silicium, à condition que les modèles choisis soient valides.

À l'état bloqué, on peut observer la répartition des lignes équipotentielles et du champ électrique de la structure. Cette répartition nous permettra de déterminer les zones sensibles de la structure et d'interpréter le comportement à l'état bloqué de cette structure. À l'état passant, on peut observer les lignes de courant et calculer la résistance passante spécifique de la structure.

Pour ces simulations, il est important de choisir les bons modèles et de bien spécifier (par le maillage) les zones les plus critiques de la structure à simuler. La structure est décrite sous forme de maillage dont chaque point d'intersection correspond à un point de calcul.

À l'état bloqué, le modèle le plus utilisé est le modèle de Selberherr [18]. En effet, les valeurs des tensions de claquage simulées en choisissant ce modèle sont en accord avec le calcul analytique et la mesure.

À l'état passant, l'influence des mobilités dans la couche inversée et dans le volume sur le comportement à l'état passant des transistors MOS de puissance est prépondérante. Il existe plusieurs modèles pour la mobilité (voir annexe 2) : nous avons choisi le modèle CVT de Lombardi [19] qui est adapté à l'étude des transistors MOS et tient compte de l'effet de la température et du champ électrique sur la mobilité.

II.3.2. Structure DMOS verticale

Afin de valider notre étude analytique, nous allons étudier, à l'aide de la simulation bidimensionnelle, l'impact des îlots flottants sur les performances statiques des structures FLIMOS verticales haute et basse tension. Les deux structures simulées sont :

- La structure FLIMOS verticale 900 Volts à trois îlots flottants : en haute tension, l'impact des îlots flottants sur la résistance d'accès et de drift peut être très significatif.
- La structure FLIMOS verticale 73 Volts : pour les faibles tensions de claquage (< 200 Volts), l'impact des îlots flottants sur la résistance spécifique n'est pas très significatif mais les structures FLIMOS semblent plus intéressantes dans cette gamme de tension que les structures à superjonction (figure II.10). Pour ces simulations, nous avons pris les mêmes paramètres physiques et géométriques que la structure FLIMOS verticale 73 Volts fabriquée par la société Freescale. Pour des raisons de coût et pour ne pas dégrader les propriétés physiques de la structure, la structure FLIMOS fabriquée contenait un seul îlot flottant. L'objectif était de comparer les valeurs théoriques aux valeurs expérimentales dans le cas de la structure FLIMOS verticale 73 Volts.

II.3.2.1. Structure FLIMOS 900 Volts

II.3.2.1.1. Simulation de la tenue en tension et de la résistance passante spécifique de la structure VDMOS 900 Volts

Nous avons choisi d'étudier une structure VDMOS 900 Volts en non limitation de la zone de charge d'espace. Au chapitre précédent, nous avons démontré que pour une zone de drift de dopage $1,4 \cdot 10^{14} \text{ cm}^{-3}$ et d'épaisseur 120 μm , la tension de claquage est de 900 Volts (équations (I.14) et (I.15)). Les principaux paramètres physiques de la structure sont les suivants :

- dopage de la zone de drift : $1,4 \cdot 10^{14} \text{ cm}^{-3}$.
- profondeur de la couche épitaxie : 120 μm .
- dopage du P-body : 10^{17} cm^{-3} .
- dopage de la source : 10^{19} cm^{-3} .

- profondeur de diffusion de la source : 8 μm .
- épaisseur d'oxyde de grille : 1000 \AA .

La figure II.13 montre le résultat de la simulation bidimensionnelle de la tension de claquage de cette structure en utilisant le logiciel PISCES.

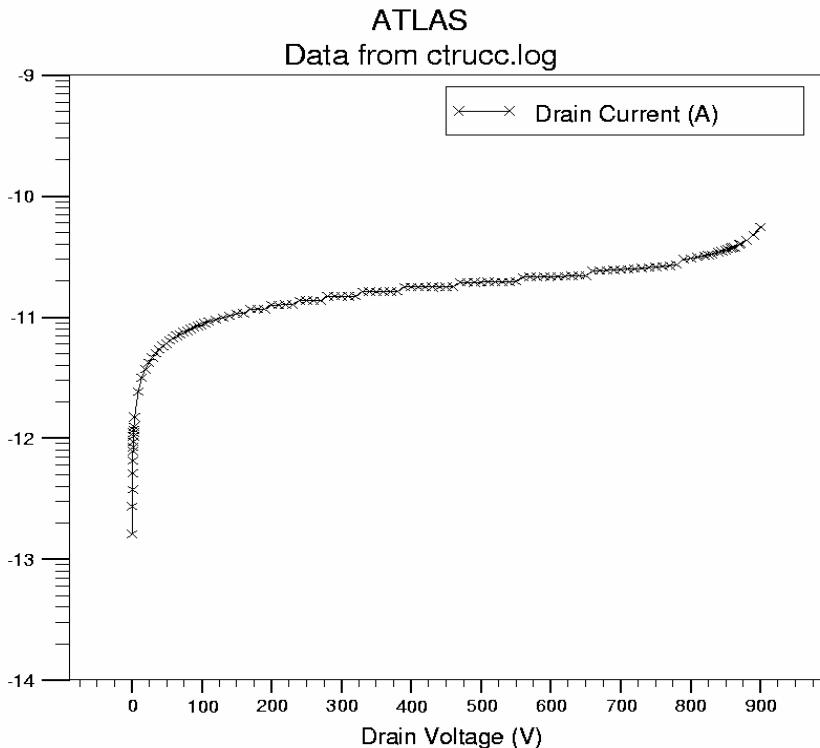


Figure II.13 : Tension de claquage simulée de la structure VDMOS conventionnelle.

On remarque une très bonne corrélation entre le résultat de la simulation bidimensionnelle et les équations analytiques proposées au chapitre précédent puisque la tenue en tension simulée est égale à 900 Volts.

La résistance passante spécifique simulée est, quant à elle, égale à $0,404 \Omega \cdot \text{cm}^2$.

II.3.2.1.2. Structure FLIMOS 900 Volts à trois îlots flottants

Nous présentons ici un exemple de résultats de simulation que nous avons obtenu pour la structure FLIMOS verticale à trois îlots flottants. Pour des îlots flottants sans ouverture, placés à équidistance, et un dopage de drift de $6 \cdot 10^{14} \text{ cm}^{-3}$, la tension de claquage obtenue est de 900 Volts. Nous avons ensuite effectué une série de simulations de la tension de claquage d'une demi-cellule de la structure FLIMOS en fonction de la demi-ouverture $b/2$ (figure II.14) pour trouver l'ouverture optimale d'auto-blindage de la structure complète, c'est-à-dire l'ouverture maximale qui permet à la structure de tenir la même tension de 900 Volts que la structure avec des îlots fermés. Ces ouvertures permettent de laisser passer le courant à l'état passant. Voici les principaux paramètres physiques de la structure FLIMOS 900 Volts simulée :

- profondeur de la structure : 98 μm .
- distance entre les puits : 20 μm .

- demi-largeur ($D/2$) de la demi-cellule : $25 \mu\text{m}$.
- dopage de la zone de drift : $6 \cdot 10^{14} \text{ cm}^{-3}$.

Concernant le choix du dopage de drift, une étude théorique basée sur des simulations numériques bidimensionnelles de la FLIdiode (diode obtenue par introduction d'îlots flottants dans la zone de drift d'une diode de puissance PN^{N^+}), a montré que le nouveau dopage de drift de la FLIdiode pouvait être multiplié par un facteur légèrement supérieur à $(n+1)$ par rapport à celui de la diode de puissance de même tension de claquage [20, 21], “ n ” étant le nombre d'îlots introduits dans la zone de drift.

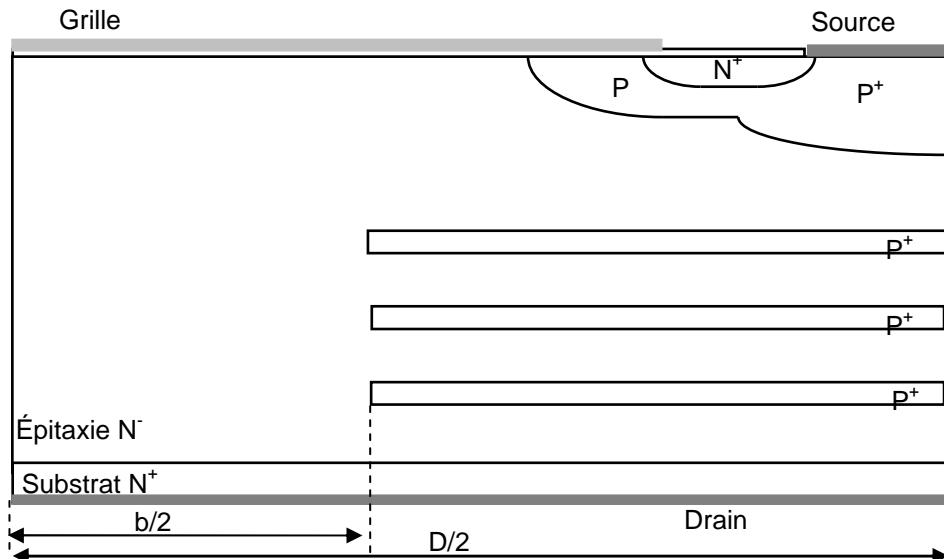


Figure II.14 : Coupe schématique d'une demi-cellule d'un transistor FLIMOS à 3 îlots P^+ .

Nous avons effectué une série de simulations de la tension de claquage et de la résistance passante spécifique d'une demi-cellule de la structure FLIMOS verticale à 3 îlots flottants en fonction du rapport b/D (figure II.14). Les résultats de simulation sont présentés sur la figure II.15.

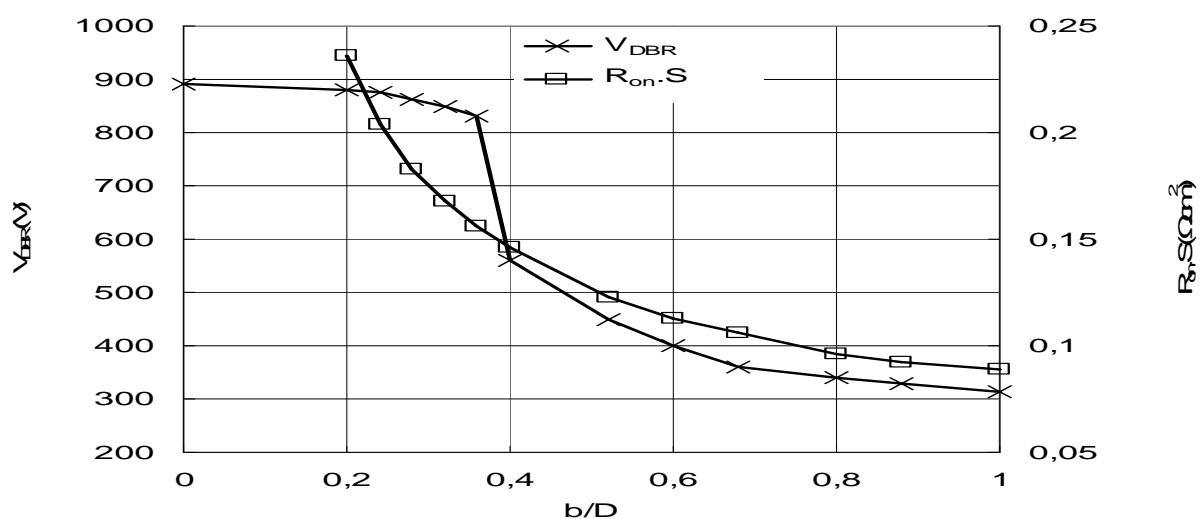


Figure II.15 : Tension de claquage et résistance passante spécifique simulées de la structure FLIMOS à 3 îlots flottants en fonction du rapport b/D .

D'après la figure II.15, on remarque que la courbe de la tension de claquage en fonction du rapport b/D se divise en deux parties :

i) la première partie, où la tension de claquage est maximale, correspond à la partie d'auto-blindage de la structure, c'est-à-dire que la zone de drift initiale est maintenant divisée en quatre zones en série qui supportent chacune à peu près 225 Volts.

La figure II.16 montre un exemple de résultats de simulation bidimensionnelle de ce phénomène pour une demi-ouverture “b/2” égale à 5 μm . On remarque que, pour cette structure, le claquage est localisé au niveau du dernier îlot. Les deux premiers îlots servent ici à protéger la jonction principale : la tension entre îlots flottants est de 200 Volts alors qu'elle est de 240 Volts entre le premier îlot et la jonction principale.

Le potentiel entre le dernier îlot et le drain est de plus de 300 Volts et on se trouve à la limite de perçage de zone N⁺ du drain. La structure n'est pas optimisée car on a choisi de placer les îlots flottants équidistants pour avoir une zone de drift qui se comporte, à l'état bloqué, comme quatre diodes en série. En effet, il a été montré, dans le cas des anneaux de garde, [9, 10] que les distances optimales entre anneaux sont celles qui permettaient d'obtenir un claquage simultané de la jonction principale et de tous les anneaux.

Enfin, on remarque que les lignes de potentiel sont horizontales, ce qui confirme bien l'auto-blindage de la structure. Sachant que la structure est symétrique, les lignes de potentiel seront horizontales et la structure sera équivalente, à l'état bloqué, à quatre diodes en série.

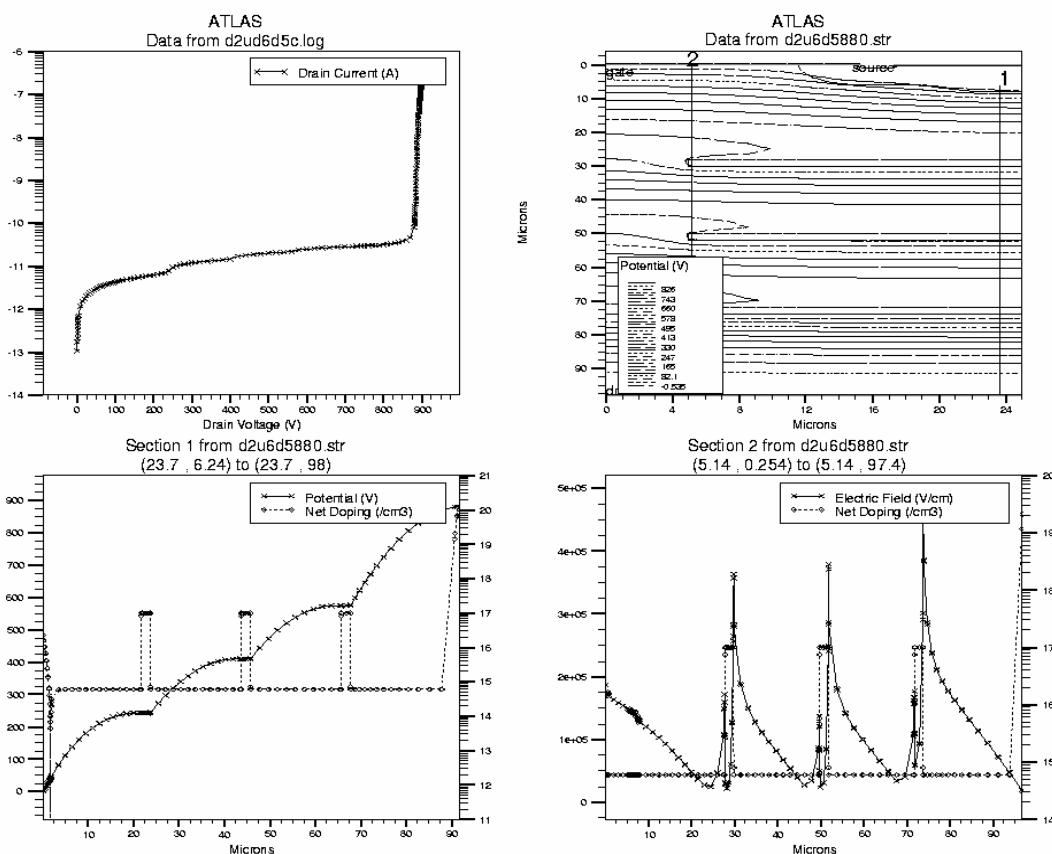


Figure II.16 : Tension de claquage et répartition des lignes de potentiel et du champ électrique : cas où la structure FLIMOS est auto-blindée.

ii) la deuxième partie où la tension de claquage est minimale car la structure n'est pas optimisée. Il faut noter ici que la tension de claquage est plus faible que celle de la structure précédente car l'ouverture choisie entre les îlots flottants ne permet pas une distribution du champ électrique sur toutes les jonctions PN⁻ drift de la structure FLIMOS pour le dopage de drift choisi. La structure n'est pas auto-blindée et le claquage se produit au niveau de la partie la plus arrondie du premier îlot flottant. Cette zone arrondie provoque en effet un resserrement des lignes de potentiel qui peut causer un claquage prématûre de la structure.

Expérimentalement, cette zone arrondie a été constatée suivant une coupe technologique réalisée sur des transistors FLIMOS 73 Volts verticaux à un seul îlot flottant [21]. Cette forme est due principalement à l'épaisseur de l'îlot qui doit être très faible pour ne pas augmenter l'épaisseur de la zone épitaxiée et pour diminuer aussi le temps de la diffusion de l'îlot.

La figure II.17 montre un exemple de ce cas de figure d'une structure FLIMOS qui ne peut tenir qu'une tension de 445 Volts, à cause de l'ouverture importante et du dopage de drift choisis. On remarque, dans ce cas, que le claquage se localise au niveau du premier îlot, les deux autres îlots ne jouant aucun rôle. Ainsi, plus l'ouverture "b" augmente et plus la tension de claquage diminue jusqu'à ce que le claquage se localise à la jonction principale et devient similaire au claquage d'une structure VDMOS conventionnelle.

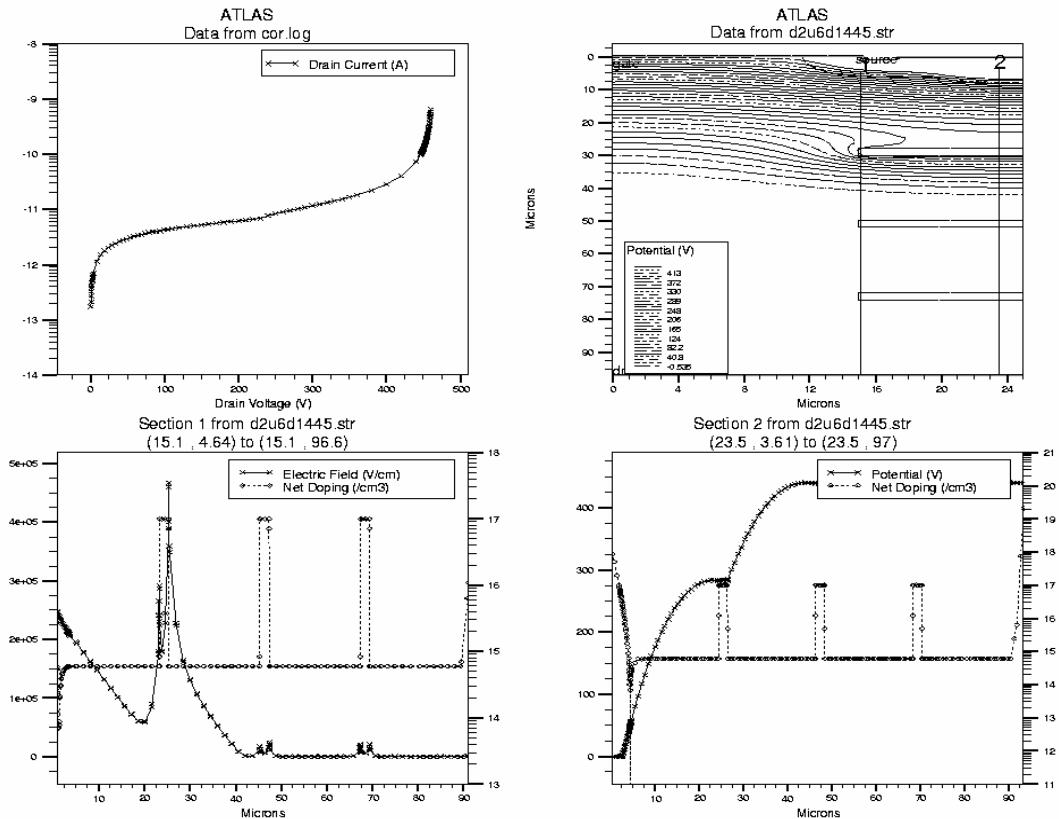


Figure II.17 : Tension de claquage et répartition des lignes de potentiel et du champ électrique : cas où la structure FLIMOS n'est pas auto-blindée.

En ce qui concerne la résistance passante spécifique de la structure FLIMOS, on constate que, dans la zone d'auto-blindage, elle a été divisée par un facteur deux (amélioration de 50%) par rapport à celle de la structure VDMOS de départ (figure II.15).

La résistance passante spécifique diminue quand la demi-ouverture “ $b/2$ ” augmente mais, pour les valeurs de “ $b/2$ ” dépassant 10 μm , la tension de claquage diminue fortement, à cause de la perte du phénomène d’auto-blindage.

II.3.2.2. Structure FLIMOS 73 Volts

Pour valider notre approche analytique, le tableau II.1 représente une comparaison entre le calcul analytique, la simulation bidimensionnelle et la mesure [13] de la tension de claquage des transistors FLIMOS et VDMOS 73 Volts verticaux ainsi que les principales caractéristiques physiques de ces deux composants.

Le tableau II.2 donne les valeurs obtenues par calcul analytique, simulation bidimensionnelle et mesure de la résistance passante spécifique des structures FLIMOS et VDMOS 73 Volts en les comparant aux valeurs théoriques de la limite conventionnelle du silicium et la limite des structures MOS à superjonction.

Pour les simulations bidimensionnelles, nous avons étudié une structure FLIMOS verticale à un seul îlot flottant de mêmes paramètres physiques que la structure fabriquée.

		VDMOS conventionnel	FLIMOS
Épaisseur de la couche épitaxiée N ⁻ (μm)		4,75	4,05
Dopage de la couche épitaxiée N ⁻ (cm^{-3})		$5,5 \cdot 10^{15}$	$1,1 \cdot 10^{16}$
Distance d entre la jonction principale et l’îlot flottant (μm)		--	1,3
Dopage de l’îlot flottant (cm^{-3})		--	$3 \cdot 10^{16}$
Tension de claquage (Volts)	Analytique	74	72
	Simulation 2D	76	72
	Mesure	73	73

Tableau II.1 : Tension de claquage des structures FLIMOS et VDMOS 73 Volts avec les principales caractéristiques physiques de ces structures.

		$R_{ch,S}$ ($m\Omega \cdot cm^2$)	R_a,S ($m\Omega \cdot cm^2$)	R_d,S ($m\Omega \cdot cm^2$)	$R_{sub,S}$ ($m\Omega \cdot cm^2$)	$R_{on,S}$ ($m\Omega \cdot cm^2$)
FLIMOS	Simulation 2D	0,140	0,110	0,182	0,138	0,590
	Analytique	0,139	0,189	0,262	0,138	0,748
	Mesure	--	--	--	--	0,650
VDMOS conventionnel	Simulation 2D	0,150	0,210	0,362	0,138	0,880
	Analytique	0,139	0,260	0,359	0,138	0,916
	Mesure	--	--	--	--	0,890
Limite du Silicium de la structure VDMOS à Superjonction	Expression analytique (éq. I.46)	--	--	--	--	0,962 ($W=5\mu m$) 0,128 ($W=1\mu m$)
Limite du silicium de la structure VDMOS	Expression analytique (éq. I.39)	--	--	--	--	0,282

Tableau II.2 : Calcul analytique, simulation 2D et mesure des résistances passantes spécifiques des structures VDMOS et FLIMOS 73 Volts et valeurs théoriques de la limite du silicium de la structure VDMOS et de la structure MOS à superjonction 73 Volts.

On constate une bonne corrélation entre les valeurs calculées à l'aide des expressions analytiques, la simulation bidimensionnelle et la mesure, ce qui nous permet de valider notre approche analytique. On voit bien aussi l'impact de l'îlot flottant sur la résistance passante spécifique de la structure FLIMOS : la résistance d'accès calculée analytiquement est améliorée de 26% (contre 47% pour la résistance simulée) par rapport à la structure VDMOS équivalente alors que la résistance de drift calculée analytiquement est améliorée de 25% (contre 50% pour la résistance simulée) par rapport à la structure VDMOS équivalente. La principale différence entre le calcul analytique et la simulation bidimensionnelle est due au caractère tridimensionnel du passage du courant dans la zone d'accès et dans la zone de drift. En effet, la simulation bidimensionnelle est plus précise qu'un calcul analytique unidimensionnel, qui ne tient compte de cette nature que par un paramètre correctif K dans le calcul de la résistance d'accès.

II.3.2.3. Conclusion

En conclusion, nous avons démontré que l'impact des îlots flottants sur la résistance passante spécifique était très significatif pour les structures MOS verticales. Le double effet de l'augmentation du dopage de drift sur la résistance d'accès et la résistance de drift permet une nette amélioration du compromis entre la tension de claquage et la résistance passante spécifique pour les transistors MOS de puissance verticaux.

Pour les faibles tensions de claquage, l'amélioration apportée à la résistance passante est moins significative mais la réduction de la résistance de JFET peut permettre d'augmenter encore la densité d'intégration de ces structures et de réduire le phénomène de quasi-saturation dans les transistors MOS de puissance [12]. Enfin, ce concept peut être appliqué, en complément, aux structures MOS à tranchées pour combiner l'effet des îlots flottants sur la résistance d'accès et de drift et l'effet de la tranchée sur la résistance d'accès et sur la densité d'intégration.

II.3.3. Structure latérale

Nous avons vu, dans le chapitre précédent, que le claquage dans la structure LDMOS se localisait généralement à la jonction principale ou à la fin de métallisation de grille. Le concept des îlots flottants peut donc être difficile à appliquer dans ce cas à cause de ces deux zones critiques de claquage où une réduction de champ électrique est l'objectif recherché. En plus, l'introduction des îlots flottants dans la zone de drift risque d'augmenter la surface de la structure FLIMOS par rapport à la surface de la structure LDMOS de départ. Enfin, les îlots flottants introduits ne doivent pas dégrader le trajet du passage du courant, afin de ne pas augmenter la résistance à l'état passant du composant.

II.3.3.1. Structure LDMOS conventionnelle

Nous avons choisi d'appliquer le concept des îlots flottants à une structure LDMOS conventionnelle de tension de claquage 60 Volts. Les paramètres de cette structure sont :

- dopage de la couche épitaxiée N^- : $3,5 \cdot 10^{15} \text{ cm}^{-3}$.
- épaisseur de la couche épitaxiée : 3,4 μm .
- longueur de drift : 1,2 μm .
- épaisseur de l'oxyde mince de grille : 250 \AA .
- épaisseur de l'oxyde épais : 0,385 μm .
- longueur du P body à l'oxyde épais : $L_{\text{ox}} = 0,5 \mu\text{m}$.
- longueur du canal : 0,8 μm .
- dopage de la couche enterrée : $1 \cdot 10^{19} \text{ cm}^{-3}$.

La longueur de drift a été choisie égale à la longueur de la zone déserte dans la zone épitaxiée au claquage afin d'avoir la résistance passante spécifique la plus faible possible.

La tension de claquage, obtenue à l'aide de la simulation 2D, de la structure sous logiciel PISCES (60 Volts) confirme le bon choix du niveau de dopage de drift et de la longueur de drift [22]. La résistance passante spécifique simulée est de $1,57 \text{ m}\Omega \cdot \text{cm}^2$.

La figure II.18 montre le résultat de la simulation bidimensionnelle de la tension de claquage et les lignes de potentiel de la structure LDMOS. Le claquage se produit à la fin de l'oxyde mince de grille.

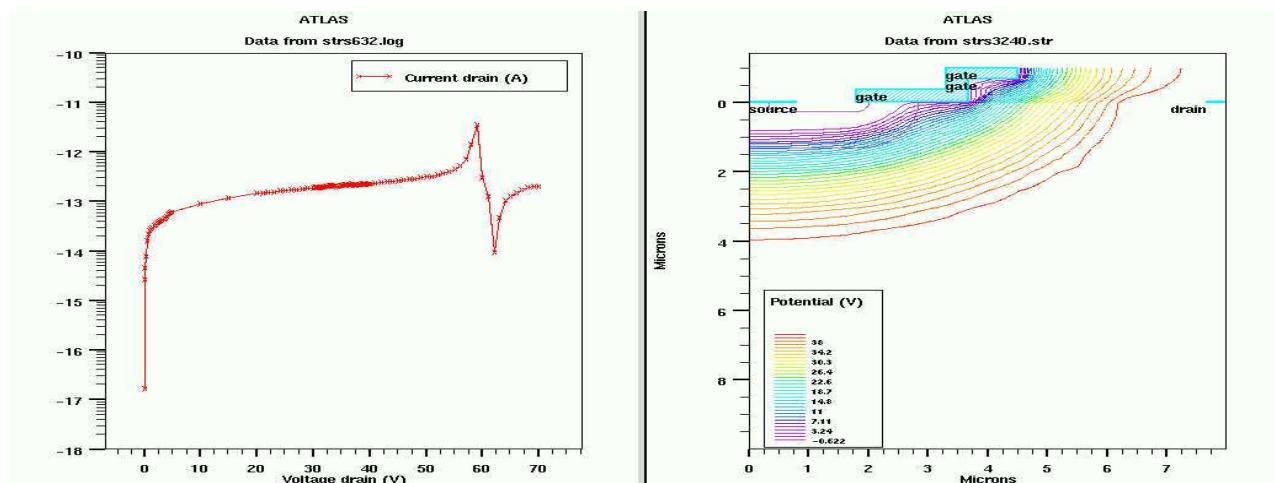


Figure II.18 : Tension de claquage et répartition des lignes de potentiel lors du claquage de la structure LDMOS conventionnelle 60 Volts.

II.3.3.2. Structure FLIMOS latérale 60 Volts à deux îlots flottants

Dans le but d'augmenter la tension de claquage et de réduire la résistance passante spécifique, nous proposons la structure FLIMOS latérale de la figure II.19. Le premier îlot permet de réduire le champ électrique à la jonction principale et de protéger la fin de métallisation de grille sur l'oxyde mince par auto-blindage entre l'îlot et la diffusion P source. Le deuxième îlot sert de translateur de tension et joue le même rôle qu'un anneau de garde dans le cas des jonctions planar.

Les îlots introduits allongent le parcourt du courant, suivant la vue de face de la figure II.19, et risquent de dégrader la résistance à l'état passant de la structure. C'est pour cette raison que nous avons laissé des ouvertures entre les îlots flottants en surface afin d'augmenter la surface de passage du courant drain-source et, par conséquent, de diminuer la résistance passante spécifique. Par conséquent, une vérification de la tenue de la tension de 60 Volts en surface de la structure sera effectuée : en s'appuyant sur des simulations bidimensionnelles, nous allons chercher l'ouverture optimale qui permet un auto-blindage de la structure en surface.

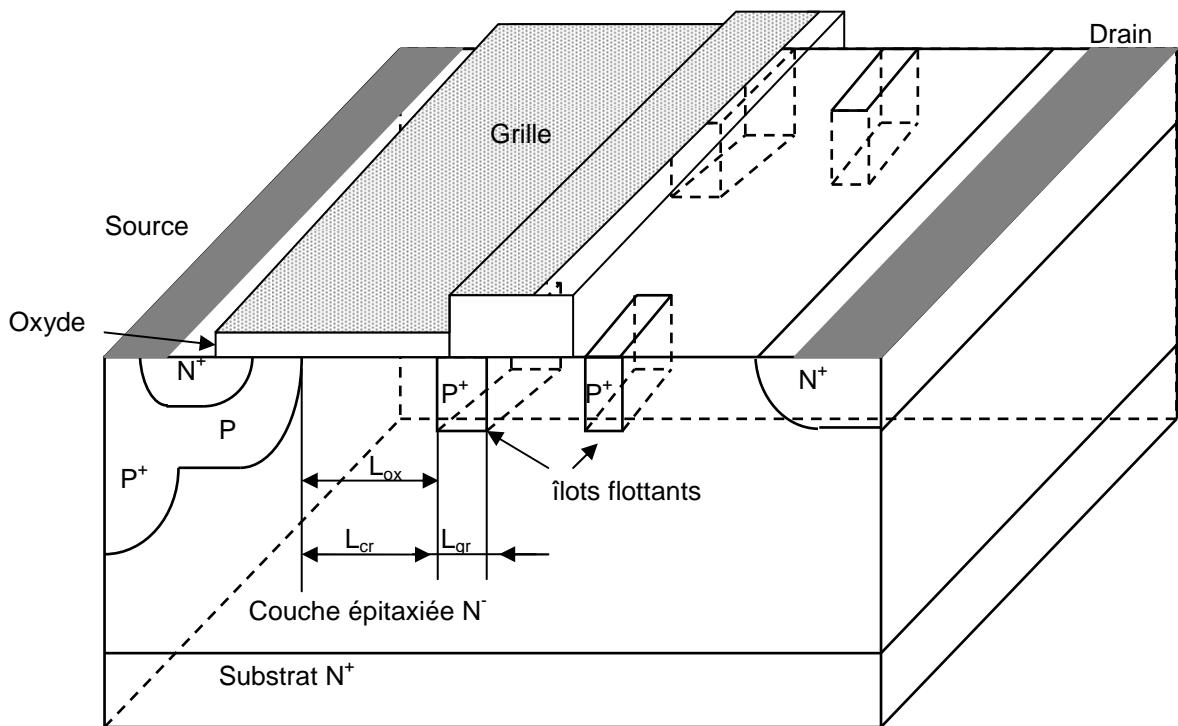


Figure II.19 : Structure FLIMOS latérale.

II.3.3.3. Paramètres de la structure FLIMOS

Pour optimiser la structure, nous utilisons les résultats proposés par Nezar [23]. En effet, cet auteur a proposé une structure LDMOS optimisée avec un seul îlot flottant. Ce résultat est important car il nous permet de bien positionner le premier îlot. Le deuxième îlot jouera le rôle de translateur de tension : il a été positionné, à l'aide de la simulation bidimensionnelle, à une distance optimale du premier îlot.

Différentes simulations ont été effectuées permettant une bonne corrélation avec les équations analytiques proposées [23] :

$$L_{cr} = L_{ox} \quad (II.16)$$

$$C_s \leq 2N_d X_n / X_j \quad (\text{II.17})$$

L_{cr} est la distance entre la diffusion P source et le premier îlot, L_{ox} est la distance entre la diffusion P source et la fin de métallisation de l'oxyde mince, C_s est le niveau de dopage en surface des îlots flottants, X_n est l'extension de la zone de charge d'espace de la jonction "P-îlot/N⁻ drift" coté N⁻ drift et X_j est la profondeur de la diffusion des îlots flottants P⁺.

Afin de ne pas trop dégrader la surface de la structure, on prend :

- $L_{cr} = L_{ox} = 0,7 \mu\text{m}$.
- distance inter-anneaux : $1,5 \mu\text{m}$.
- distance entre le deuxième îlot et le drain : $1,5 \mu\text{m}$.
- dopage des puits : $7.10^{16} \text{ cm}^{-3}$.
- dopage de la zone de drift : $9.10^{15} \text{ cm}^{-3}$.

II.3.3.4. Simulation de la structure FLIMOS latérale en coupe

Les résultats de simulation montrent que la tension de claquage obtenue est de 60 Volts (figure II.20). Le claquage s'opère à l'oxyde mince entre la fin de métallisation de grille et le premier îlot. La tension de claquage dépend aussi de la largeur du premier îlot [23]. Plus cette largeur est grande et plus la tension de claquage augmente. Pour ne pas dégrader la surface de la structure, nous avons choisi de fixer cette largeur à $1 \mu\text{m}$. L'auto-polarisation et la forme de l'îlot flottant ne permettent pas à la structure de tenir des tensions supérieures à 60 Volts à cause de l'oxyde mince et la surface disponible en surface qui doit rester comparable à celle de la structure LDMOS 60 Volts conventionnelle. En effet, nous avons choisi de maintenir des dimensions comparables à celles de la structure LDMOS conventionnelle de départ.

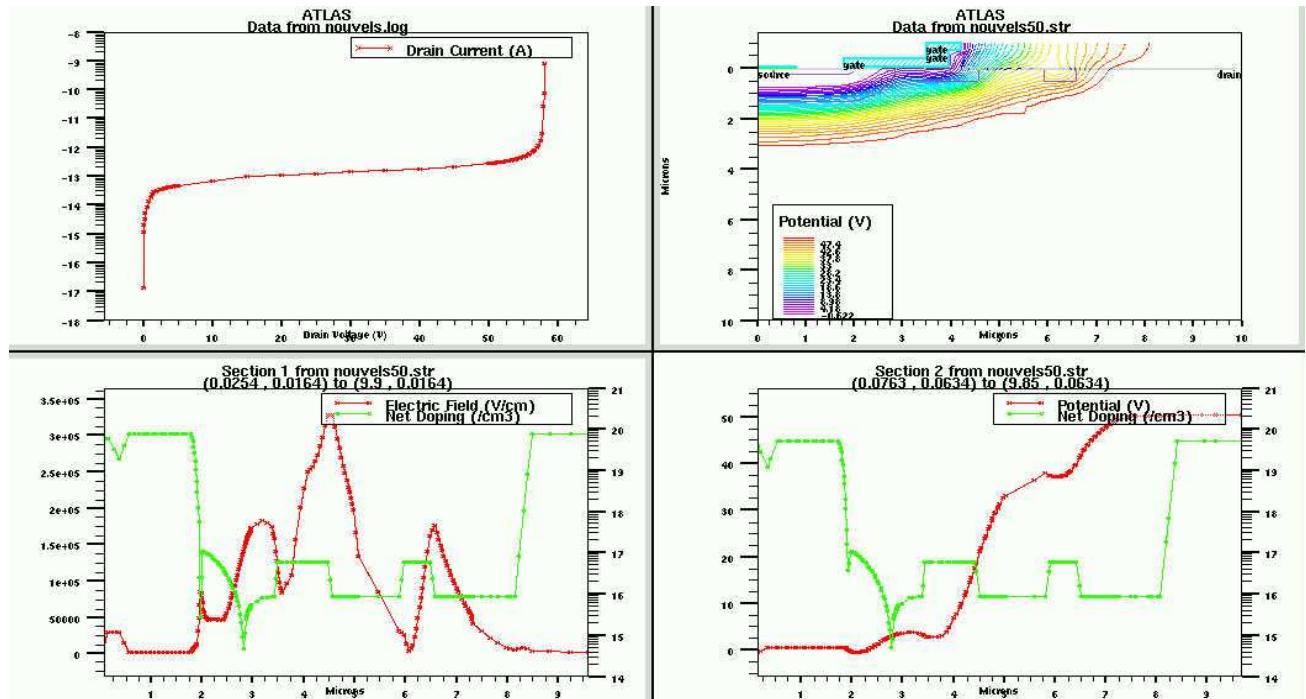


Figure II.20 : Tension de claquage et répartition des lignes de potentiel et de champ électrique dans un FLIMOS latéral 60 Volts : structure en coupe du composant.

La tension de claquage obtenue est de 60 Volts mais nous étions obligé d'augmenter la largeur du premier îlot flottant afin d'obtenir cette tension de claquage. Ceci fait augmenter sensiblement la surface de la structure FLIMOS latérale par rapport à la structure LDMOS de départ.

II.3.3.5. Simulation de la partie supérieure de la structure en surface

Pour remédier au problème de dégradation de la résistance à l'état passant causé par l'introduction des îlots dans la zone de drift, nous avons laissé des ouvertures en surface du composant pour le passage du courant. Nous avons choisi de laisser des ouvertures de 50% par rapport à la surface totale de passage du courant dans le cas de structures sans îlots. En respectant les dimensions de la structure simulée précédemment, une tenue en tension de 60 Volts a été obtenue (figure II.21).

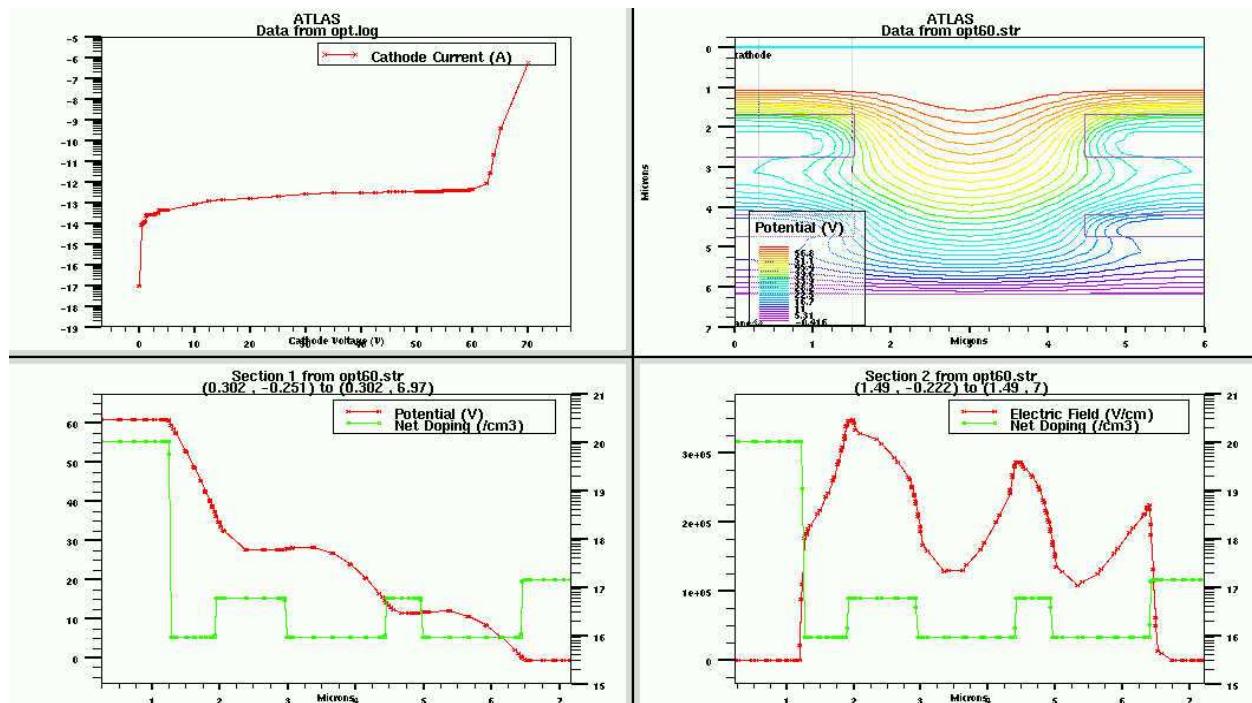


Figure II.21 : Tension de claquage et répartition des lignes de potentiel et de champ électrique du FLIMOS latéral : structure en surface du composant.

La structure n'est pas optimisée parce que le champ électrique n'est pas bien réparti sur toutes les jonctions PN^- drift de la structure. Toutefois, on voit bien que la structure est auto-blindée et que chaque zone entre puits permet de tenir une partie de la tension appliquée. Le claquage s'opère au niveau du premier îlot comme précédemment (structure en coupe).

II.3.3.6. Résistance passante spécifique

Une grande partie du courant drain-source de la structure va passer en surface à travers la couche inversée du canal. L'autre partie du courant passe dans le volume de la zone de drift. La résistance de la structure FLIMOS latérale est équivalente à la résistance de surface en parallèle avec la résistance dans le volume. À cause du trajet dégradé pour le passage du courant, la résistance dans le volume est plus grande que la résistance de surface. On peut donc admettre que la résistance équivalente de cette structure est égale à la résistance de surface.

On va considérer que nous sommes à la limite de l'inversion, la concentration en électrons dans la zone inversée du canal sera prise égale à la concentration en trous dans la zone P source. Cette approximation est justifiée, car au début de l'inversion, la concentration en électrons en surface devient égale à la concentration en trous dans la couche P-body.

La figure II.22 montre le résultat de simulation de la surface de la structure FLIMOS latérale à l'état passant et la répartition des lignes de courant. On peut noter ici que cette simulation ne représente qu'une première approximation car on ne tient pas compte ici de l'influence du champ électrique vertical (V_{gs}) sur la mobilité des porteurs dans la couche inversée du canal. Dans la pratique, la résistance à l'état passant des composants MOS de puissance est donnée pour une tension V_{gs} de 10 Volts.

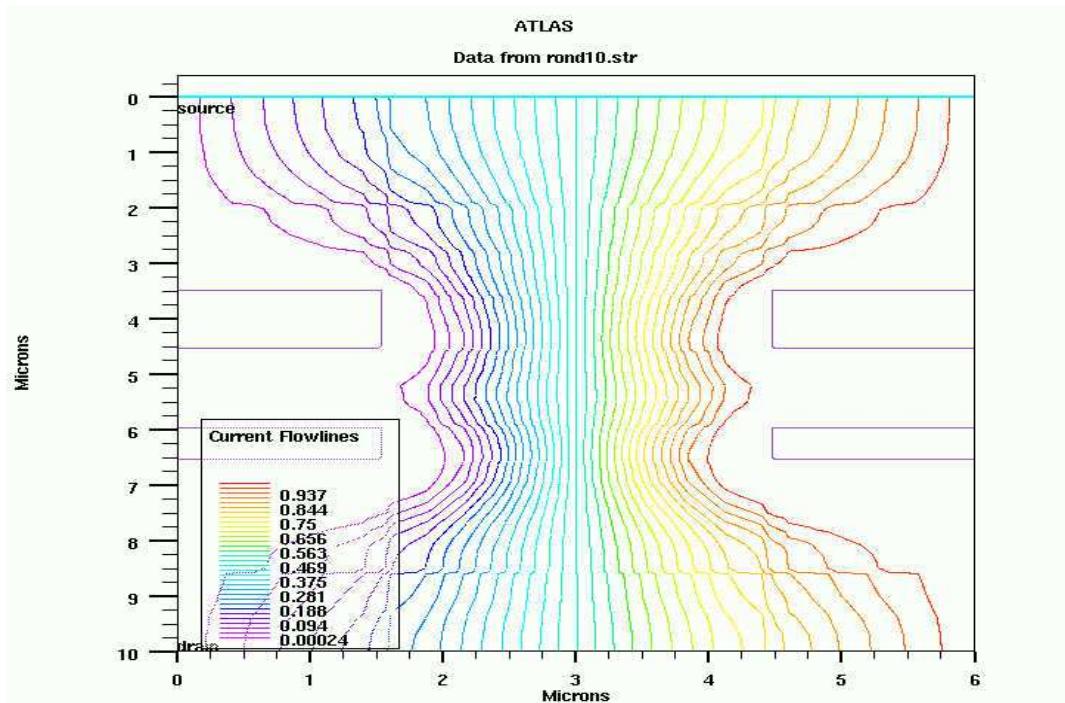


Figure II.22 : Lignes de courant en surface de la structure FLIMOS latérale.

La résistance spécifique à l'état passant est de $1,17 \text{ m}\Omega\text{.cm}^2$, ce qui présente une réduction de 25% par rapport à la structure LDMOS de départ. On remarque que, malgré l'augmentation du niveau de dopage de la zone de drift du FLIMOS latéral 60 Volts (concentration multipliée par 2,5 par rapport au LDMOS latéral), l'amélioration apportée à la résistance passante spécifique n'est pas très significative et la surface du composant a été augmentée.

II.3.3.7. Conclusion

L'application du concept des îlots flottants est plus complexe dans le cas du transistor latéral. En effet, les îlots introduits dans la zone de drift augmentent la surface du composant et le trajet du passage du courant à l'état passant. Les ouvertures entre îlots laissées au-dessus de la structure n'ont pas permis une amélioration significative de la résistance passante spécifique. En plus, le phénomène de claquage en surface de la structure latérale rend plus complexe l'introduction de ces îlots dans la zone de drift.

Pour les composants latéraux, on retiendra les structures LUDMOS développées au LAAS [24] comme solution pour leurs meilleurs compromis “tension de claquage / résistance passante spécifique” dans le cas des composants latéraux basse tension. En effet, la structure

LUDMOS 60 Volts [24] permet d'obtenir une résistance passante spécifique de $0,6 \text{ m}\Omega\text{.cm}^2$, valeur nettement plus faible que celle obtenue par la structure FLIMOS latérale ($1,17 \text{ m}\Omega\text{.cm}^2$).

Le concept des îlots flottants est donc plus intéressant dans le cas des transistors MOS verticaux. Pour les composants latéraux, on lui préfèrera la structure LUDMOS en basse tension et le LDMOS RESURF en haute tension.

II.3.4. Impact des îlots sur les performances dynamiques

Dans le paragraphe précédent, nous avons démontré que le concept des îlots flottants permettait d'améliorer le compromis entre la tension de claquage et la résistance à l'état passant des composants unipolaires verticaux de puissance. Nous nous intéressons à présent à la validation de l'approche analytique proposée aux paragraphes (II.2.5) et (II.2.6) pour le calcul des capacités C_{ds} et C_{gd} respectivement, ainsi qu'à l'impact des îlots flottants sur ces capacités dans le cas des structures FLIMOS verticales haute tension, en les comparant aux structures VDMOS de même tension de claquage.

II.3.4.1. Capacité grille-source

La capacité grille-source C_{gs} d'une structure FLIMOS verticale est composée de trois capacités en parallèle : la capacité C_{gs1} de recouvrement de l'oxyde de grille sur la diffusion N^+ de source, la capacité C_{gsb} entre le polysilicium de grille et la zone du canal et la capacité C_{gs2} entre la métallisation de source et le polysilicium de grille.

Les îlots introduits dans la zone de drift de la structure VDMOS n'ont donc aucun effet sur les valeurs de ces capacités.

II.3.4.2. Capacité drain-source

Nous avons choisi de valider le modèle analytique proposé précédemment pour le calcul de la capacité drain-source (paragraphe II.2.5) en le comparant aux résultats de la simulation 2D et à la mesure dans le cas de la structure FLIMOS verticale 73 Volts à un seul îlot flottant, d'une part, puis de montrer l'impact des îlots flottants sur la capacité C_{ds} pour une structure FLIMOS 900 Volts à 9 îlots flottants, d'autre part.

II.3.4.2.1. Structure FLIMOS verticale à un îlot flottant 73 Volts

En se basant sur l'analyse du paragraphe (II.2.5), nous avons tracé (figure II.23) l'évolution de la capacité drain-source, obtenue à partir des expressions analytiques proposées, en fonction de la tension drain-source ainsi que la capacité C_{ds} simulée (avec le simulateur ATLAS de SILVACO) et mesurée dans le cas du transistor FLIMOS vertical 73 Volts [13]. La simulation 2D a été effectuée en appliquant une rampe de tension sur le drain ainsi qu'une tension sinusoïdale d'amplitude 15 mV et de fréquence 1 MHz sur la source.

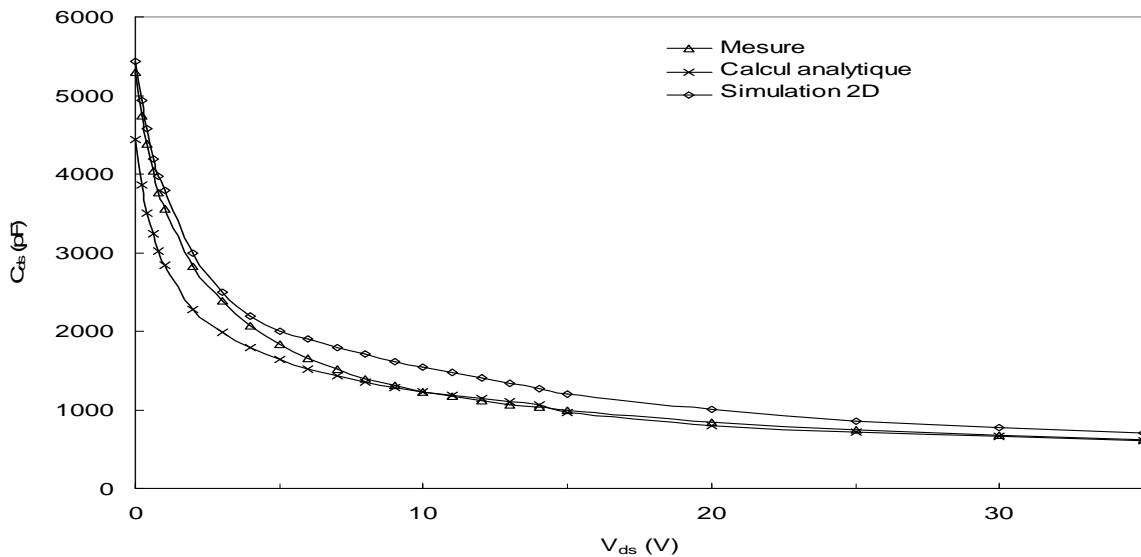


Figure II.23 : Évolution de la capacité C_{ds} en fonction de la tension V_{ds} d'un transistor FLIMOS vertical 73 Volts.

Pour les faibles tensions, les valeurs de la capacité C_{ds} calculées analytiquement sont plus faibles que les capacités simulées et mesurées à cause de l'approximation faite sur le calcul de la capacité de la partie cylindrique de la jonction principale. Après perçage de l'îlot, la mise en série des deux capacités des jonctions PN⁻ drift semble compenser cet écart et la capacité calculée analytiquement et la capacité mesurée deviennent comparables. En revanche, pour les moyennes tensions ($5 \text{ V} < V_{ds} < 20 \text{ V}$), on constate que la capacité simulée est sensiblement supérieur aux deux autres capacités ; ceci peut avoir comme raisons : 1) la forme réelle de la surface de la jonction drain-source peut être différente de celle simulée et 2) le dopage de la zone de drift est considéré uniforme pour la simulation, ce qui n'est pas le cas pour la structure réelle.

Malgré ces écarts, on constate une bonne corrélation entre le calcul analytique, les résultats de simulation bidimensionnelle et de mesure, ce qui confirme la validité de notre analyse qualitative pour calculer cette capacité.

II.3.4.2.2. Structure FLIMOS verticale à 9 îlots flottants 900 Volts

La figure II.24 montre le résultat de simulation 2D de la capacité C_{ds} en fonction de la tension V_{ds} dans le cas de la structure FLIMOS à 9 îlots flottants verticale et la structure VDMOS conventionnelle de tension de claquage 900 Volts. Pour les faibles tensions de drain, on constate que la capacité C_{ds} de la structure FLIMOS est supérieure à la capacité de la structure VDMOS à cause de l'augmentation du niveau de dopage de la zone de drift, ce qui est en accord avec les expressions analytiques proposées au paragraphe (II.2.5) pour calculer cette capacité.

Pour les moyennes tensions, même si la tension de drain devient supérieure à la tension de perçage des îlots, la capacité C_{ds} de la structure FLIMOS, qui est constituée dans ce cas par la mise en série de 10 capacités des jonctions "P/N⁻ drift", reste légèrement supérieure à celle de la structure VDMOS à cause du niveau de dopage de la zone de drift qui a été multiplié ici par un facteur 10.

Pour les tensions de drain supérieures à 200 Volts, on constate que les capacités C_{ds} des deux structures deviennent similaires. Pour ces tensions, la mise en série des capacités des jonctions

“P-îlot/N” drift” compensent l’augmentation de la capacité drain-source due au dopage de drift.

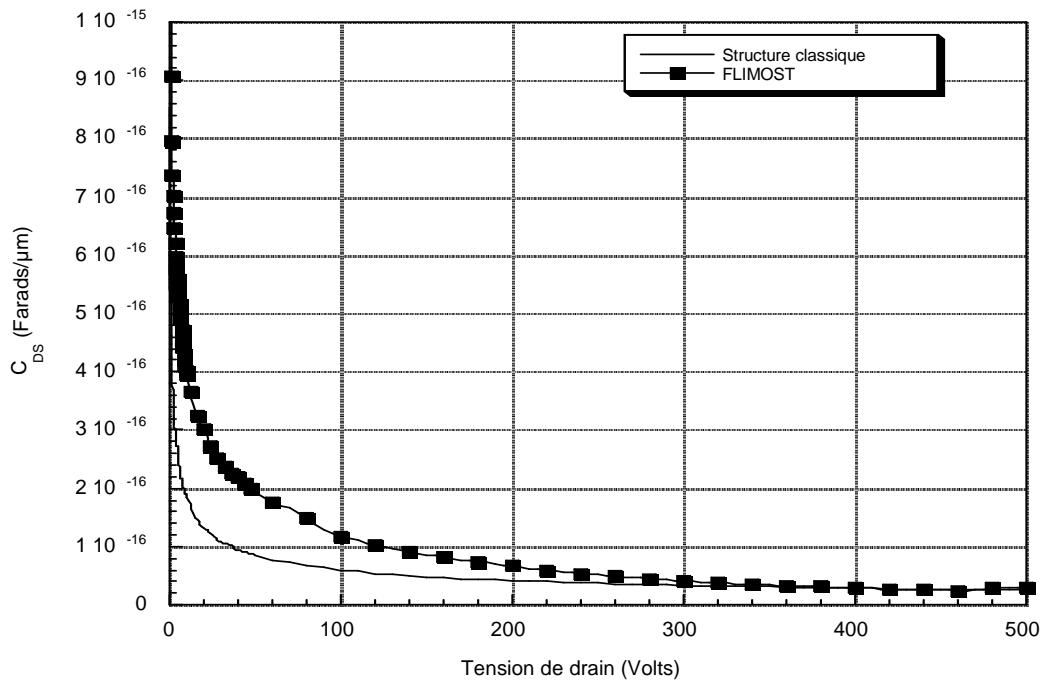


Figure II.24 : Évolution de la capacité C_{ds} en fonction de la tension de drain de la structure FLIMOS à 9 îlots flottants et la structure VDMOS conventionnelle 900 Volts.

II.3.4.3. Capacité grille-drain

Comme précédemment, nous allons ici valider le modèle analytique proposé pour le calcul de la capacité grille-drain au paragraphe (II.2.6) en le comparant aux résultats de simulation 2D et à la mesure dans le cas du transistor FLIMOS vertical 73 Volts, puis nous montrerons l’impact des îlots flottants sur la capacité C_{gd} d’une structure FLIMOS à 9 îlots flottants 900 Volts.

II.3.4.3.1. Structure FLIMOS verticale à un îlot flottant 73 Volts

La figure II.25 montre l’évolution de la capacité grille-drain, obtenue à partir de l’expression analytique (II.15) du paragraphe (II.2.6), en fonction de la tension V_{dg} ainsi que la capacité C_{gd} simulée (avec ATLAS) et mesurée dans le cas du transistor FLIMOS vertical 73 Volts.

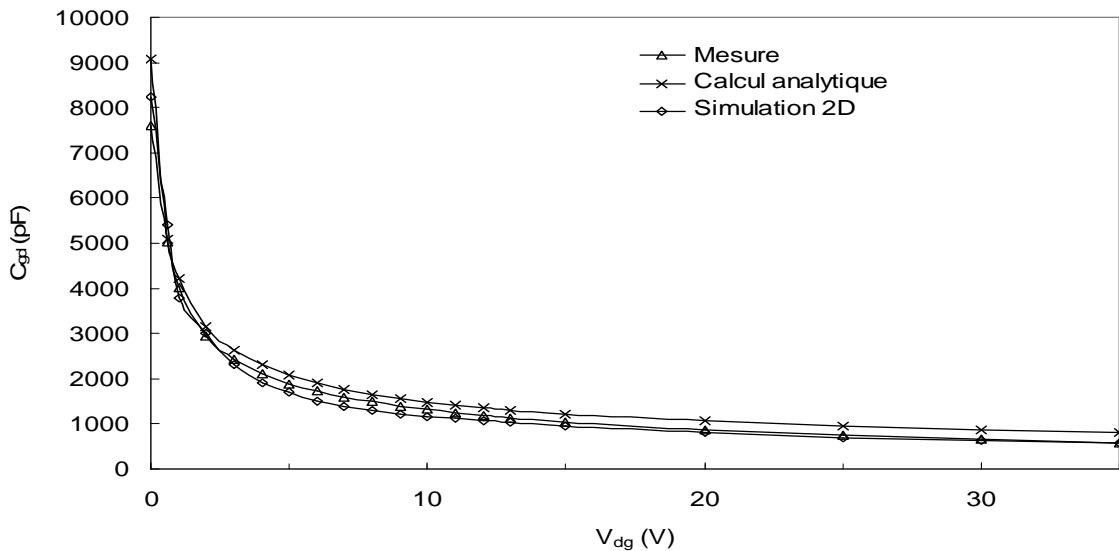


Figure II.25 : Variations de la capacité grille-drain en fonction de la tension V_{dg} d'un transistor FLIMOS vertical 73 Volts.

Pour les tensions V_{dg} supérieures à 3 Volts, on constate des écarts entre les valeurs des différentes capacités qui peuvent avoir pour causes : le calcul analytique est unidimensionnel, la forme réelle de la surface de la zone intercellulaire (différente de celle prise pour la simulation 2D et pour le calcul analytique) et le dopage de la zone de drift (non uniforme en réalité) est considéré uniforme pour le calcul analytique et la simulation 2D. Malgré ces écarts, on peut considérer que les valeurs analytiques concordent correctement avec les valeurs de la simulation bidimensionnelle et les valeurs expérimentales, ce qui confirme la validité des équations proposées pour le calcul de la capacité C_{ds} .

II.3.4.3.2. Structure FLIMOS verticale à 9 îlots flottants 900 Volts

La figure II.26 représente le résultat de la simulation 2D de l'évolution de la capacité C_{gd} dans le cas de la structure FLIMOS verticale à 9 îlots flottants et de la structure VDMOS de tension de claquage 900 Volts. On peut constater que, dès que la tension de drain devient supérieure à la tension de source ($V_{dg} > 0$), la capacité C_{gd} de la structure FLIMOS augmente légèrement par rapport à la capacité C_{gd} de la structure VDMOS à cause de l'augmentation de la capacité de déplétion, due à l'augmentation du niveau de dopage de la zone de drift.

Pour les tensions de drain supérieures à 200 Volts, les capacités C_{gd} des deux structures deviennent similaires car les deux capacités de déplétion de ces structures deviennent comparables.

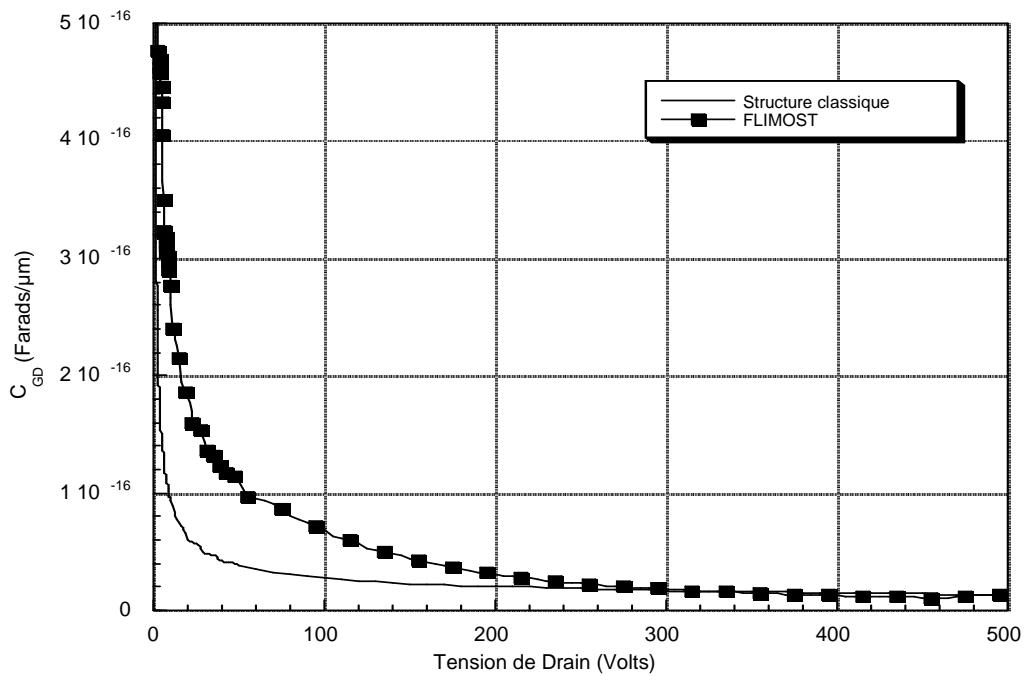


Figure II.25 : Évolution de la capacité C_{gd} en fonction de la tension de drain de la structure FLIMOS à 9 îlots flottants et la structure VDMOS conventionnelle.

II.3.5. Conclusion

Le comportement dynamique des transistors MOS de puissance est intrinsèquement lié aux constantes de temps RC de charge et décharge des capacités inter-électrodes de ces structures. La simulation 2D a montré que les capacités inter-électrodes des structures FLIMOS verticales et VDMOS étaient comparables. Le concept des îlots flottants ne dégrade pas donc les performances dynamiques des structures MOS de puissance verticales et permet de réduire considérablement leurs résistances à l'état passant et, par conséquent, de diminuer les pertes par conduction.

En plus, la structure FLIMOS peut être plus rapide avec une tenue en énergie supérieure à celle de la structure MOS à superjonction. En effet, le concept de la superjonction augmente la surface de la jonction principale et le niveau de dopage de la zone de drift alors que le concept des îlots flottants augmente uniquement le niveau de dopage de la zone de drift.

II.4. Conclusion

Dans ce chapitre nous avons présenté le concept des îlots flottants et donné une approche analytique permettant de prédire la tension de claquage, la résistance passante spécifique et les capacités inter-électrodes de la structure FLIMOS verticale. Nous avons aussi présenté les résultats de simulations bidimensionnelles de la structure FLIMOS verticale – basse et haute tension – et de la structure FLIMOS latérale.

Dans un premier temps, nous avons démontré qu'en régime statique les équations analytiques proposées étaient en accord avec les résultats de la simulation 2D et la mesure dans le cas du transistor FLIMOS vertical 73 Volts. C'est ainsi que nous avons proposé une approche, basée sur l'étude analytique, d'optimisation de niveaux de dopage de drift des structures FLIMOS verticales à un seul îlot flottant.

Dans un deuxième temps, les simulations bidimensionnelles ont démontré que la résistance à l'état passant de la structure verticale était nettement améliorée par rapport à la structure VDMOS conventionnelle de même tension de claquage et de surface active identique. Une simple comparaison des structures à superjonction et des structures FLIMOS verticales peut permettre d'annoncer les interprétations suivantes :

- 1) le concept de la superjonction est plus intéressant dans le domaine des hautes tensions de claquage.
- 2) la structure FLIMOS verticale est plus intéressante dans le cas des basses tensions. Dans cette gamme de tensions, la superjonction doit avoir des bandes très fines et fortement dopées pour améliorer la résistance passante spécifique des transistors VDMOS. En plus, la superjonction nécessite un contrôle très précis du dopage de ces bandes.

Pour la structure FLIMOS latérale, les résultats de simulations bidimensionnelles ont montré que cette structure n'était pas intéressante par rapport à la structure LUDMOS [24]. Les deux principaux problèmes sont la surface de la structure, qui ne doit pas être trop importante, et les différentes zones critiques de claquage, qui doivent aussi être protégées par ces îlots introduits dans la zone de drift. Nous ne retiendrons donc pas cette solution pour les composants MOS latéraux.

Enfin, l'étude théorique, basée sur la simulation bidimensionnelle, a permis de valider les équations analytiques proposées pour le calcul des capacités inter-électrodes des structures FLIMOS. Il a aussi été montré que les capacités inter-électrodes des structures FLIMOS et VDMOS étaient comparables.

CHAPITRE III :

**MODÉLISATION SPICE DU
TRANSISTOR FLIMOS VERTICAL**

III.1. Introduction

Dans le chapitre précédent, nous avons étudié, par une approche analytique, l'impact des îlots flottants sur les performances statiques et dynamiques des transistors MOS de puissance. Ainsi, nous avons montré que ce concept améliorait le compromis entre la tension de claquage et la résistance passante spécifique sans dégrader la rapidité des composants MOS verticaux. Cette étude a été basée sur l'analyse des résultats de simulations physiques (avec le logiciel ATLAS de SILVACO) d'une demi cellule de la structure interne du composant. Ce type de simulation physique, nécessaire à l'analyse physique d'une structure semi-conductrice, n'est pas adapté à la simulation comportementale du composant dans un environnement "circuit" qui nécessitera, dans ce cas, un temps de calcul trop important.

Pour étudier le comportement électrique des composants et circuits intégrés, on utilise généralement un simulateur électrique. En effet, ce type de simulateur permet d'étudier le comportement électrique d'un composant à travers un schéma électrique équivalent le modélisant. En plus, ce logiciel permet d'éviter toute fausse manipulation, lors de mesures réelles, qui risque d'endommager le composant ou le circuit intégré analogique. Cette "caractérisation", à l'aide de ce genre de simulations permet aussi de tester le comportement électrique du composant (ou circuit intégré) vis-à-vis de variations de la température, de la tension d'alimentation et du processus de fabrication. Ces simulations rendent plus attractive l'utilisation de simulateur analogique pour la conception et la modélisation de dispositifs électroniques.

Dans notre cas, nous avons choisi, pour nos simulations électriques du FLIMOS, le logiciel SPICE [1] (Simulation Program with Integrated Circuit Emphasis). Ce logiciel est un simulateur temporel analogique de circuits intégrés et de composants, développé au début des années 70 à l'Université de Berkeley, utilisant une description nodale pour la résolution du système par les lois fondamentales de Kirchhoff. Cette description peut se faire à l'aide d'une "netlist" créée par un simple éditeur de texte. La syntaxe de la "netlist" est compatible avec de nombreux logiciels de simulation analogique, le plus utilisé étant le logiciel ELDO de la société ANACAD.

La simulation SPICE [1] peut être considérée comme une "mesure au laboratoire" à condition que les modèles des composants utilisés les décrivent de la façon la plus exacte possible. Plusieurs fondeurs mettent à la disposition des concepteurs les modèles SPICE de leurs composants. L'ensemble de ces modèles de composants est souvent réuni dans une bibliothèque. Il est aussi possible de définir une nouvelle fonction électrique par un macro-modèle par assemblage de différents modèles de composants qui constituent son schéma électrique équivalent. C'est exactement la procédure que nous allons suivre pour modéliser les transistors FLIMOS de puissance car leur structure physique est différente de celle des transistors MOS de signal définis dans SPICE par le modèle de MEYER [2].

Dans cette optique, nous allons, dans ce chapitre, présenter un macro-modèle électrique du transistor FLIMOS vertical basse tension. Cette modélisation de type "circuit équivalent" sera basée sur l'analyse physique de sa structure, la simulation bidimensionnelle et la mesure. Comme nous l'avons vu au chapitre précédent, les transistors MOS de puissance doivent intégrer dans leur structure physique une zone de drift faiblement dopée qui leur permet de tenir la tension à l'état bloqué. La zone de drift constitue la principale différence entre un transistor MOS de puissance et un transistor MOS de signal.

Cette zone de drift rend plus difficile l'établissement d'un modèle électrique simple qui peut décrire avec exactitude le comportement électrique des transistors MOS de puissance. En

effet, la zone faiblement dopée affecte la résistance à l'état passant, le courant de saturation et les capacités inter-electrodes des transistors MOS de puissance. Par exemple, la rapidité d'un transistor MOS de puissance est extrêmement liée à sa capacité C_{gd} entre la grille et la zone intercellulaire de drift.

Nous avons choisi de modéliser le transistor FLIMOS 73 Volts vertical décrit dans le chapitre 2, ce qui nous permettra de vérifier le modèle établi en comparant les résultats de simulation électrique à la mesure. En outre, le modèle électrique doit tenir compte aussi de l'effet du canal court sur les performances statiques et dynamiques du composant.

Dans la littérature, on trouve plusieurs modèles électriques de transistor MOS de puissance [3, 4, 5] ; ces modèles diffèrent par le bloc représentant la capacité Miller grille-drain. L'approche utilisée pour établir ces modèles consiste, en général, à représenter la zone du canal du transistor MOS de puissance par un transistor MOS idéal auquel on ajoute en externe des éléments (résistances, capacités, inductances, générateur de courant, etc) afin d'obtenir un macro-modèle décrivant le comportement statique et dynamique du composant. La plupart de ces modèles ne sont pas adaptés au transistor FLIMOS basse tension car ils ne tiennent pas compte de quelques caractéristiques particulières de ce dispositif.

III.2. Approche physique de la modélisation

La figure III.1 montre une structure du transistor FLIMOS vertical avec la localisation des différentes zones essentielles de fonctionnement. La méthode de modélisation du transistor FLIMOS que nous proposons est basée sur la structure physique du composant ainsi que les données expérimentales [6, 7]. Chaque zone du transistor FLIMOS – (1) zone du canal, (2) zone accumulée, (3) jonctions “P-body/N⁻ épitaxie” et “P-îlot/N⁻ épitaxie”, (4) zone de drift, (5) substrat – sera décrite en tenant compte des caractéristiques particulières de la structure : canal court, réduction de la mobilité dans la couche inversée et phénomène de défocalisation des lignes de courant dans la zone de drift.

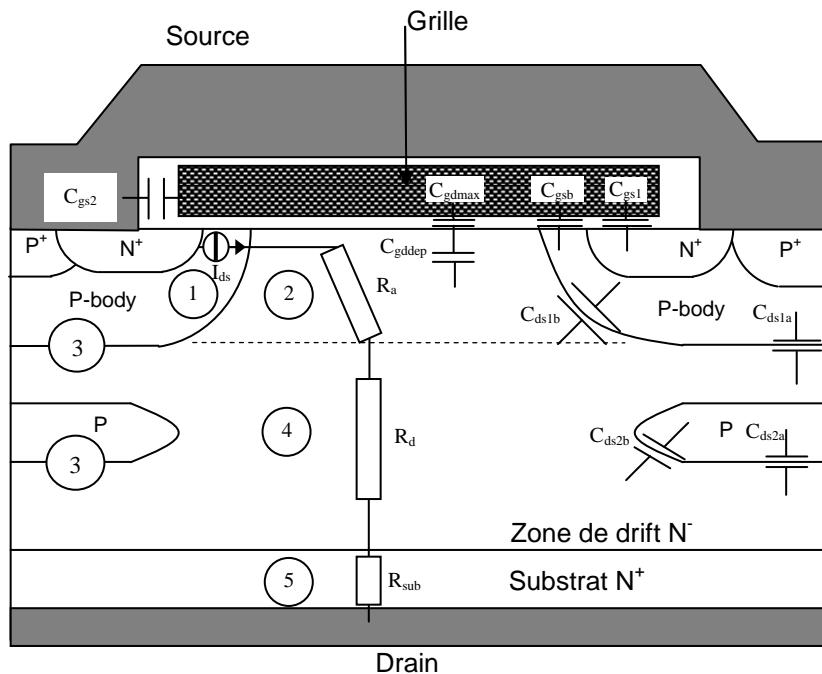


Figure III.1 : Coupe schématique d'une cellule élémentaire d'un transistor FLIMOS.

III.2.1. Modèle statique

III.2.1.1. Zone du canal

C'est la zone active du transistor MOS de puissance. En effet, si la tension V_{gs} est supérieure à la tension de seuil V_T , un canal d'inversion est formé en surface de cette zone assurant le passage du courant à l'état passant du composant.

Pour les tensions V_{gs} inférieures à la tension de seuil V_T , le transistor est bloqué et le courant entre le drain et la source est pratiquement nul. La tension de seuil V_T dépend de l'épaisseur de l'oxyde et de la présence de charges à l'interface Si-SiO₂. En première approximation, pour calculer la tension V_T , on peut considérer que le dopage dans la zone P source est uniforme et sa valeur correspond à la valeur la plus élevée du dopage dans cette zone $N_{A\max}$. Dans ces conditions, la valeur de V_T peut être donnée par [8] :

$$V_T = -\frac{Q_{ss}}{C_{ox}} + \phi_{ms} + 2 \cdot \Phi_F + \sqrt{2 \cdot \Phi_F \cdot \Phi_B} \quad (\text{III.1})$$

où Q_{ss} est la charge totale d'oxyde de grille ramenée à l'interface Si-SiO₂ en C/cm², C_{ox} est la capacité d'oxyde par unité de surface et ϕ_{ms} est la différence des travaux de sortie entre le métal de grille et le silicium. Φ_B est le potentiel interne du substrat, il peut être calculé par :

$$\Phi_B = \frac{2 \cdot q \cdot N_{A\max} \cdot \epsilon_0 \cdot \epsilon_{Si}}{(C_{ox})^2} \quad (\text{III.2})$$

Φ_F est le potentiel de Fermi :

$$\Phi_F = U_T \cdot \ln\left(\frac{N_{A\max}}{n_i}\right) \quad (\text{III.3})$$

U_T étant le potentiel thermodynamique ($U_T = K.T/q$), à peu près 26 mV à la température ambiante.

Un schéma complet de cette zone a été proposé au LAAS [9, 10, 11, 12] afin de tenir compte de son comportement en régime dynamique. Ce schéma équivalent (figure III.2) représente la solution des équations différentielles régissant les variations du potentiel et du courant en tout point de cette zone.

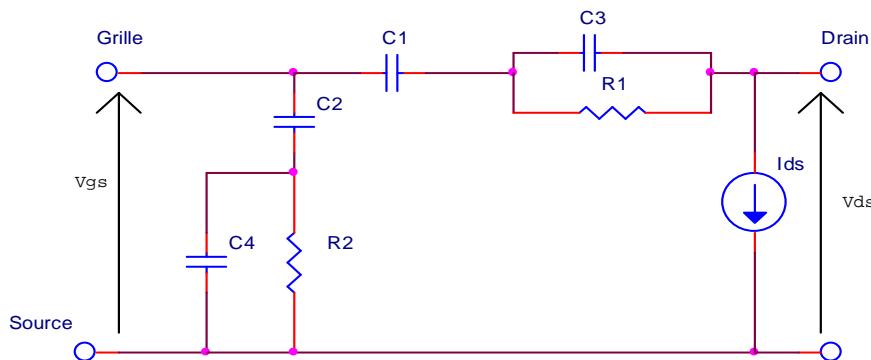


Figure III.2 : Schéma équivalent complet de la zone du canal du transistor MOS de puissance.

En régime statique, le schéma équivalent de cette zone est représenté uniquement par le générateur de courant I_{ds} . Ce générateur de courant représente le courant entre le drain et la source dans le transistor MOS. Sa valeur peut être calculée en fonction des tensions V_{ds} et V_{gs} en choisissant le modèle adéquat (canal court dans notre cas) pour le transistor à modéliser. Nous allons donc représenter cette zone en régime statique par un transistor MOS idéal qui intervient uniquement par son générateur de courant.

Il existe plusieurs formulations de ce générateur correspondant à plusieurs niveaux de modèles MOS introduits dans le logiciel SPICE. Nous allons donner ici les caractéristiques principales de quelques niveaux de modèles SPICE du transistor MOS introduits dans ce logiciel :

i) Le niveau 1 est le modèle de Shichman-Hodges ; c'est le premier modèle SPICE établi pour modéliser le transistor MOS. Cependant, il ne correspond qu'au transistor MOS à canal long. Le courant de drain est défini, dans ce modèle, par la relation suivante :

$$I_{ds} = \mu_0 \cdot \frac{Z}{L} \cdot C_{ox} \cdot [(V_{gs} - V_T) \cdot V_{ds} - \frac{V_{ds}^2}{2}] \cdot (1 + \lambda \cdot V_{ds}) \quad (\text{III.4})$$

où λ est un paramètre qui tient compte de la modulation de la ZCE dans la zone du canal par la tension V_{ds} .

ii) Le niveau 2 : c'est un modèle analytique qui tient compte de la majorité des phénomènes du second ordre dans le transistor MOS de petites dimensions. Dans ce cas, le courant est calculé à l'aide de la relation suivante :

$$I_{ds} = \mu_s \cdot \frac{Z}{L} \cdot C_{ox} \cdot [(V_{gs} - V_{FB} - 2 \cdot \Phi_F - \frac{V_{ds}}{2}) \cdot V_{ds} - \frac{2}{3} \cdot \gamma_s \cdot [(2 \cdot \Phi_F + V_{ds})^{1.5} - (2 \cdot \Phi_F)^{1.5}]] \quad (\text{III.5})$$

Ce modèle correspond aux transistors MOS à canal court mais sa formulation présente des problèmes de convergence.

iii) Le niveau 3 : c'est un modèle semi-empirique qui s'appuie sur des valeurs expérimentales pour décrire la plupart de ces paramètres. L'expression analytique du courant dans la zone linéaire et la zone saturée est donnée par :

$$I_{ds} = \mu_{eff} \cdot \frac{Z}{L} \cdot C_{ox} \cdot \left[(V_{gs} - V_T) - \left(\frac{1 + F_B}{2} \right) \cdot V_{ds}^* \right] \cdot V_{ds}^* \quad (\text{III.6})$$

avec $V_{ds}^* = V_{ds}$ si $V_{ds} < V_{dsat}$ et $V_{ds}^* = V_{dsat}$ si $V_{ds} \geq V_{dsat}$

$$V_{dsat} = \frac{V_{gs} - V_T}{\alpha} + \frac{V_{max} \cdot L}{\mu_s} - \sqrt{\left(\frac{V_{gs} - V_T}{\alpha} \right)^2 + \left(\frac{V_{max} \cdot L}{\mu_s} \right)^2} \quad (\text{III.7})$$

C'est un modèle qui correspond aux transistors MOS à canal court. F_B est un coefficient qui tient compte des effets des canaux courts et étroits.

iii) Le niveau 4 : c'est le modèle BSIM du logiciel SPICE adapté aux transistors MOS de petites dimensions à canal court, mais il utilise plus de 60 paramètres pour décrire le comportement électrique et les effets de géométrie. Ce modèle exige que tous les paramètres doivent être définis par le concepteur et il n'y a donc pas de valeur par défaut pour les paramètres. Il peut y avoir des problèmes si l'un des paramètres est manquant.

Nous avons donc choisi, dans un premier temps, le modèle SPICE niveau 3 car la plupart de ses paramètres sont obtenus par l'expérimentation et il tient compte des effets du canal court sur les performances statiques et dynamiques du transistor. En effet, la mobilité effective des porteurs dans la couche inversée dans ce modèle est définie par :

$$\mu_{eff} = \frac{\mu_s}{1 + \frac{\mu_s \cdot V_{ds}}{V_{max} \cdot L}} \quad \text{avec} \quad \mu_s = \frac{\mu_0}{1 + \theta \cdot (V_{gs} - V_T)} \quad (III.8)$$

Les paramètres SPICE à définir dans notre cas sont les suivants : L et Z qui représentent respectivement la longueur et le périmètre du canal du MOS de puissance, K_p ($C_{ox} \cdot \mu_{eff}$) est le facteur de transconductance, V_{T0} est la tension de seuil pour une tension (N^+ source)-(P-body) nulle, THETA (θ) est un coefficient de réduction de la mobilité, V_{max} est la vitesse de saturation des électrons dans le canal et ETA un paramètre qui tient compte de la réduction de la tension de seuil avec la tension V_{ds} .

Les paramètres du modèle SPICE niveau 3, définis la plupart du temps à partir de données expérimentales, ont permis de simuler avec précision le comportement de transistors MOS de puissance LDMOS, VDMOS à tranchées basse tension et VDMOS RF [13, 14, 15].

III.2.1.2. Nouveau modèle SPICE du générateur de courant

Pour le modèle SPICE niveau 3, nous avons constaté des écarts entre la simulation et la mesure dans la zone de saturation et la zone de transition – zone entre la région linéaire et la région de saturation – du transistor FLIMOS, de plus en plus importants lorsque la tension V_{gs} augmente.

En effet, la dérivée première de l'équation du courant de drain I_{ds} (équation III.6) du modèle SPICE niveau 3 est discontinue au point $V_{ds} = V_{dsat}$ car la tension de pincement calculée par cette équation est différente de la tension de saturation définie dans le modèle. Ce problème peut conduire à une mauvaise estimation de la résistance de sortie du transistor qui est un paramètre important pour les transistors fonctionnant en commutation.

Kouakou [16] a proposé de modifier l'équation du courant dans la zone linéaire pour obtenir une transition progressive des caractéristiques de sortie du transistor entre la zone linéaire et la zone de saturation sans tenir compte de l'effet du canal court sur la tension de seuil des transistors MOS basse tension. Cette formulation élimine le problème posé de la discontinuité de la dérivée première du courant I_{ds} du modèle SPICE niveau 3. Ainsi, la nouvelle tension de pincement V_p désigne (au lieu du V_{dsat} du modèle SPICE niveau 3) l'abscisse pour laquelle la valeur du courant obtenue par la nouvelle équation du courant est maximale. L'équation du courant I_{ds} dans la zone de saturation est la même que celle utilisée dans le modèle SPICE niveau 3. La nouvelle équation décrit une transition progressive dans la zone de transition du transistor et présente une dérivée première continue au point de pincement pour une tension de drain égale à la tension de pincement V_p .

Ce nouveau modèle utilise les mêmes paramètres que le modèle SPICE niveau 3 du transistor MOS. Par suite, ce modèle, qui corrige le modèle SPICE niveau 3, a été introduit sous forme d'équations dans le langage HDL-A [16].

Dans notre cas, nous avons choisi de modifier l'équation du courant de drain pour tenir compte de l'effet du canal court sur la tension de seuil et d'implanter ce nouveau modèle sous logiciel SPICE [17] pour le rendre accessible à tous.

L'équation du courant dans la région linéaire proposée était de la forme :

$$I_{ds} = (a - b \cdot V_{ds}) \cdot V_{ds} \quad (\text{III.9})$$

où a est égale à la tension $\beta(V_{gs} - V_T)$ et b est déterminée en calculant la valeur du courant I_{ds} pour laquelle la dérivée première de l'équation (III.9) s'annule [17].

En calculant la dérivée première de l'équation (III.9) et en choisissant pour le courant de saturation la même équation que celle du modèle SPICE niveau 3, on trouve :

$$I_{ds} = K_p \cdot \frac{Z}{L} \cdot (V_{gs} - V_{th}) \cdot \left(1 - \frac{K_p \cdot \frac{Z}{L} \cdot (V_{gs} - V_{th})}{4 \cdot I_{dsat}} V_{ds} \right) \cdot V_{ds} \quad (V_{ds} < V_p) \quad (\text{III.10})$$

$$I_{dsat} = K_p \cdot \frac{Z}{L} \cdot ((V_{gs} - V_{th}) - V_{dsat}) \cdot V_{dsat} \quad (V_{ds} \geq V_p) \quad (\text{III.11})$$

$$V_p = \frac{2 \cdot I_{dsat}}{K_p \cdot \frac{Z}{L} \cdot (V_{gs} - V_{th})} \quad (\text{III.12})$$

Pour tenir compte de la réduction de la tension de seuil, V_{th} peut être donnée par :

$$V_{th} = V_T - \sigma \cdot V_{ds} \quad (\text{III.13})$$

V_{dsat} est calculée en fonction des paramètres V_{max} , L et μ_s (la mobilité en surface) exactement comme dans le cas du modèle SPICE niveau 3, V_p est la nouvelle tension de pincement du canal.

La "netlist" du programme SPICE décrivant ce modèle est donnée en annexe 3.

III.2.1.3. Zone d'accès

C'est la zone intercellulaire entre les diffusions P source de longueur L_a . Pour tenir compte de l'effet de quasi-saturation dans les transistors MOS de puissance haute tension, cette zone a été modélisée par un transistor JFET par plusieurs auteurs [18], [19]. Le phénomène de quasi-saturation se manifeste par un retard des caractéristiques de sortie $I_{ds} = f(V_{ds})$ à atteindre le point de saturation pour les fortes tensions de grille [20] (figure III.3). Dans notre cas, nous n'avons pas constaté de phénomène de quasi-saturation sur les courbes expérimentales $I_{ds} = f(V_{ds})$; nous avons donc choisi d'utiliser une résistance linéaire R_a pour modéliser cette zone en régime statique. Cette résistance a été calculée dans le chapitre précédent – relation (II.17) – :

$$R_a = K \cdot \frac{L_a}{2 \cdot \mu_{0acc} \cdot C_{ox} \cdot \Lambda} \cdot \frac{(V_{gs} + \Lambda - 2\Phi_F)}{(V_{gs} - V_T)} + \rho_D \cdot \frac{h_2}{Z \cdot (L_a - 2W_0)} \quad (\text{III.14})$$

Comme dans le cas du VDMOS, cette zone intercellulaire peut être décrite par la résistance d'accès R_a et une capacité Miller C_{gd} . Nous allons présenter, dans la partie dynamique, quelques schémas électriques proposés pour modéliser la capacité Miller C_{gd} .

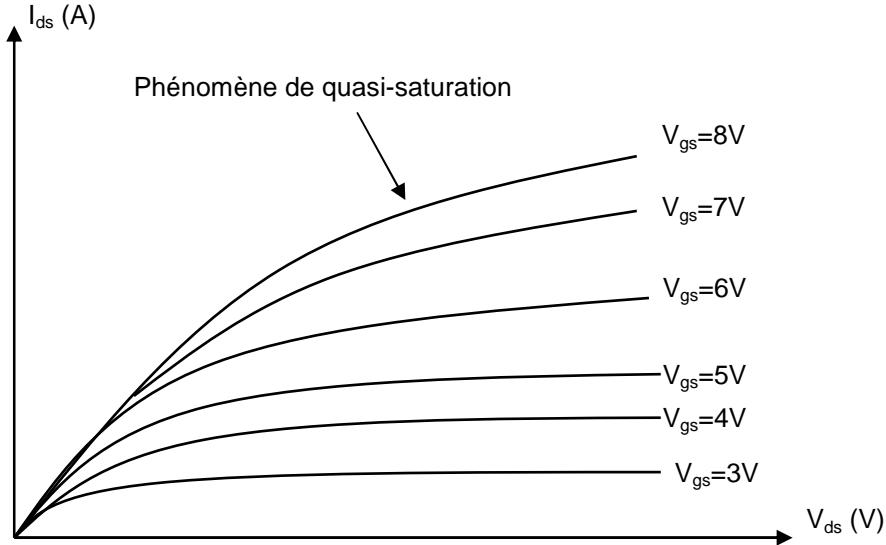


Figure III.3 : Phénomène de quasi-saturation dans les transistors MOS de puissance.

III.2.1.4. Zone de drift

C'est la zone volumique qui permet au transistor de tenir la tension à l'état inverse (zone 4 dans la figure III.1). Dans le cas des transistors haute tension, et pour tenir compte du phénomène de quasi-saturation, des auteurs ont modélisé cette zone par une résistance non-linéaire [21], [22]. Pour le transistor FLIMOS basse tension, ce phénomène de quasi-saturation n'existe pas. Nous avons donc choisi de modéliser cette zone de drift par une résistance constante. Au chapitre précédent, nous avons montré que cette résistance était équivalente à la somme de trois résistances en série : deux résistances de drift séparées par les îlots flottants adjacents et une résistance JFET entre ces îlots. Les valeurs de ces résistances peuvent être calculées en utilisant les relations (II.8) et (II.9) et en tenant compte de la géométrie de la structure FLIMOS et de la défocalisation des lignes de courant dans la zone de drift :

$$R_d = \frac{1}{q \cdot N_d \cdot \mu_n \cdot Z} \cdot \ln\left(\frac{L_a + d}{L_a}\right) \quad (\text{III.15})$$

$$R_{d2} = \frac{1}{q \cdot N_d \cdot \mu_n} \cdot \frac{d_2}{S} \quad (\text{III.16})$$

III.2.1.5. Diode Dbody

C'est la diode de la jonction principale de la structure. Cette diode permet, à la fois, de modéliser la capacité drain-source du transistor MOS et de tenir compte de la tension de claquage par le paramètre BV dans la définition des paramètres du modèle SPICE de la diode.

En outre, cette diode permet aussi de décrire le comportement à l'état inverse ($V_{ds} < 0$) du transistor MOS si celui-ci est utilisé comme convertisseur synchrone.

III.2.1.6. Extraction des paramètres statiques

Le modèle statique du transistor FLIMOS est présenté à la figure III.4. La résistance R_{bulk} représente la résistance équivalente de la résistance de drift R_d en série avec la résistance de substrat R_{sub} (zones 4 et 5 dans la figure III.1). R_g représente la résistance du polysilicium de grille et R_s est la résistance de la diffusion N^+ de la source. Le transistor M1 représente la zone du canal : il intervient uniquement par son générateur de courant dont la formule est donnée par l'équation (III.6) pour le modèle SPICE niveau 3 et par les équations (III.10) et (III.11) dans le cas du nouveau modèle.

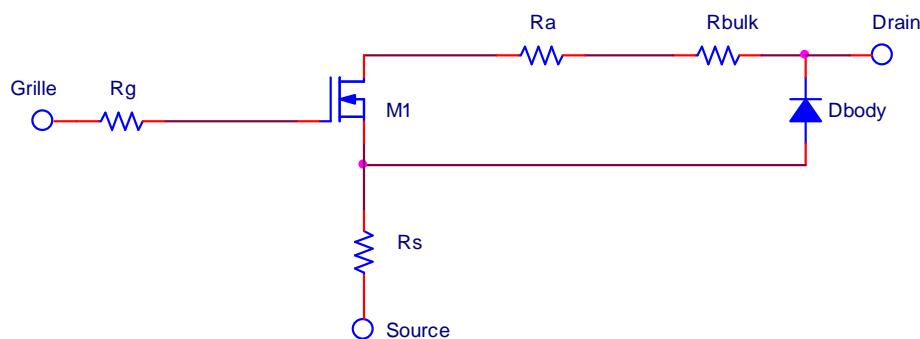


Figure III.4 : Modèle SPICE du transistor FLIMOS en régime statique.

Nous allons à présent donner une méthode d'extraction des paramètres statiques pour les modèles électriques proposés.

III.2.1.6.1. Tension de seuil V_{T0} et facteur de transconductance K_P

La tension de seuil et le facteur de transconductance K_P peuvent être déterminés expérimentalement à l'aide de la caractéristique de transfert $I_{ds}=f(V_{gs})$ pour les faibles tensions de drain (on prend $V_{ds} = 10$ mV). On obtient V_{T0} en extrapolant la pente de la caractéristique de transfert au voisinage du point $I_{ds} = 0$ A : l'intersection de cette droite avec l'axe des abscisses est égale à la tension de seuil (figure III.5). Pour le paramètre K_P , il suffit de déterminer la pente de la droite tracée pour déterminer V_{T0} . Cette pente est égale au produit du paramètre K_P par la tension V_{ds} . En effet, pour les faibles tensions de drain, les équations (III.6) et (III.10) du courant de drain peuvent se mettre sous la forme :

$$I_{ds} \approx \beta \cdot (V_{gs} - V_T) \cdot V_{ds} \quad (\text{III.17})$$

$$\text{avec } \beta = K_P \cdot \frac{Z}{L} = \mu_{eff} \cdot C_{ox} \cdot \frac{Z}{L}$$

En mesurant la pente β , on peut déterminer le paramètre K_P .

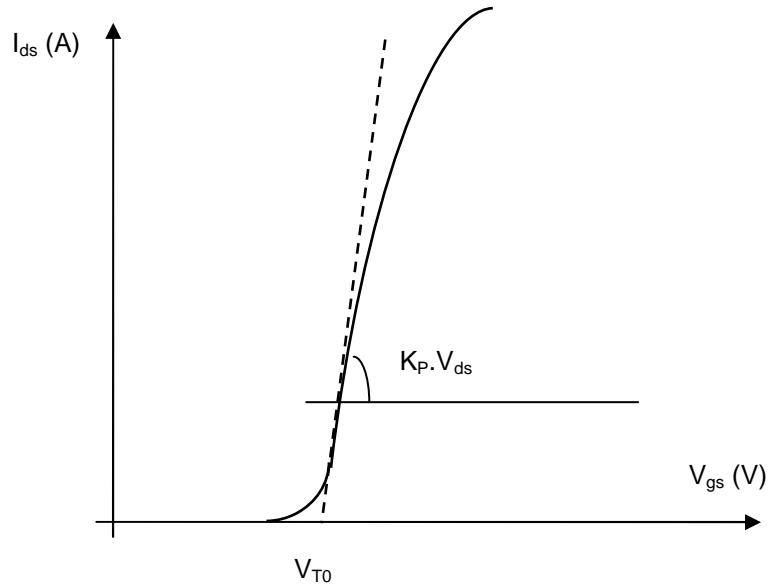


Figure III.5 : Caractéristique de transfert et méthode de détermination de paramètres SPICE K_P et V_{T0} .

III.2.1.6.2. Paramètres θ , V_{MAX} et ETA

θ est un paramètre SPICE électrique qui tient compte de la réduction de la mobilité avec le champ électrique transversal. Une étude effectuée au LAAS [23] a montré que l'inverse de ce paramètre était un potentiel, noté ψ , qui dépend principalement de l'épaisseur de l'oxyde de grille. Le paramètre θ peut donc être déterminé par un graphe traçant la caractéristique $\psi = f(e_{ox})$, e_{ox} étant l'épaisseur de l'oxyde de grille [23].

Dans le modèle SPICE niveau 3, la tension de saturation est calculée en fonction aussi de la vitesse de saturation des porteurs dans le canal. Sa valeur peut être déterminée par ajustement, de telle sorte que les niveaux de courant de saturation des caractéristiques de sortie $I_{ds}=f(V_{ds})$ obtenues par simulation et par mesure soient identiques. Une valeur typique de ce paramètre est 10^5 m/s.

Enfin, d'après nos résultats de mesure, nous avons constaté que la résistance de sortie n'était pas infinie et que le courant I_{ds} continuait à augmenter avec la tension de drain V_{ds} . Ce phénomène est dû à la réduction de la tension de seuil à cause du canal court. Il existe un paramètre SPICE empirique, ETA (η), qui exprime la dépendance de la tension de seuil en fonction de la tension de drain. L'équation simplifiée décrivant ce phénomène est donnée par :

$$V_{th} = V_T - \sigma(\eta) \cdot V_{ds} \quad (III.18)$$

où $\sigma(\eta)$ est un paramètre qui sera définie par l'intermédiaire du paramètre SPICE empirique ETA . Ce paramètre peut être obtenu en traçant la courbe de variation de la tension de seuil en fonction de la tension de drain. La relation dans le modèle SPICE niveau 3 qui relie le paramètre σ au paramètre SPICE η (ETA) est donnée par :

$$\sigma = \eta \cdot \frac{8,15 \cdot 10^{-22}}{C_{ox} \cdot L^3} \quad (III.19)$$

III.2.1.6.3. Résistances R_a et R_{bulk}

Comme nous l'avons précisé précédemment, ces résistances peuvent être calculées analytiquement si on connaît avec précision les paramètres physiques, géométriques et technologiques du processus utilisé. Cette méthode a été utilisée au LAAS [24] pour essayer d'obtenir les paramètres du modèle SPICE des transistors VDMOS à partir des expressions analytiques des résistances et des capacités inter-électrodes de cette structure.

Une autre solution développée au LAAS [25] permet d'extraire ces valeurs expérimentalement. En effet, l'acquisition des paramètres statiques des transistors MOS de puissance s'effectue expérimentalement au LAAS à l'aide d'un système de mesure appelé "M.A.A.C.S.I.M" (Méthodes Automatique d'Acquisition des Caractéristiques Statiques et d'Identification des paramètres des transistors MOS) [26]. Cette méthode est basée sur un calcul analytique rigoureux du courant de drain dans le MOS et permet d'extraire la somme des deux résistances R_a et R_{bulk} en calculant la pente des variations de $(R_{on} \cdot (V_{gs} - V_T))$ en fonction de V_{gs} . La figure III.6 montre un exemple de courbe obtenue par cette méthode pour déterminer la somme des résistances R_a et R_{bulk} . Il faut aussi tracer la courbe d'évolution de la résistance passante en fonction de V_{gs} pour calculer séparément les deux résistances R_a et R_{bulk} .

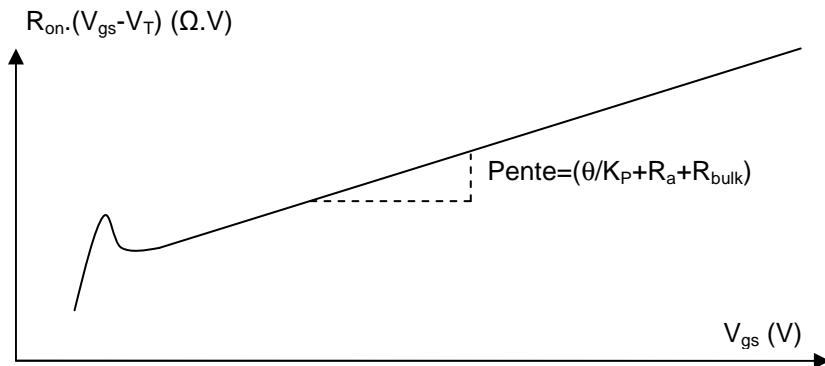


Figure III.6 : Détermination des résistances R_a et R_{bulk} du modèle statique du FLIMOS.

III.2.1.7. Validation du modèle statique

La validation du modèle statique a été effectuée en comparant les caractéristiques de transfert $I_{ds} = f(V_{gs})$ et de sortie $I_{ds} = f(V_{ds})$ simulées et mesurées pour le transistor FLIMOS 73 Volts décrit dans le chapitre précédent. Voici les paramètres principaux de ce transistor : 1) la surface totale est $8,41 \times 4,56 \text{ mm}^2$, 2) le nombre de cellules élémentaires est de 434×10^3 , 3) oxyde mince de grille a une épaisseur de 600 \AA et 4) la longueur du canal est de $0,6 \mu\text{m}$.

Après avoir introduit les paramètres du modèle statique, nous avons effectué des simulations statiques des modèles proposés pour le transistor FLIMOS. Les résultats de la simulation SPICE, utilisant le modèle MOS niveau 3 et le nouveau modèle SPICE, et de la mesure des caractéristiques de transfert $I_{ds} = f(V_{gs})$ – en régime linéaire ($V_{ds} = 10 \text{ mV}$) et en régime saturé ($V_{ds} = 10 \text{ V}$) – sont représentés sur les figures III.7 et III.8 respectivement, alors que les caractéristiques de sortie $I_{ds} = f(V_{ds})$ sont représentées sur la figure III.9.

En régime linéaire, et pour les faibles valeurs de la tension V_{ds} (10 mV), les valeurs du courant I_{ds} obtenues à l'aide de la simulation par les deux modèles sont identiques (figure III.7). En effet, les pentes des deux équations représentant le courant I_{ds} en régime linéaire de ces deux modèles pour les faibles valeurs de V_{ds} sont les mêmes. Par contre, en régime de saturation (figure III.8), on voit bien que les écarts entre les valeurs mesurées et simulées à l'aide du modèle SPICE niveau 3 deviennent de plus en plus importants lorsque V_{gs}

augmente. Le nouveau modèle donne des estimations très satisfaisantes comparées aux valeurs mesurées dans la région de saturation. Notre modèle est donc mieux adapté à simuler les transistors MOS basse tension de puissance opérant dans la région saturée pour des applications en commutation.

Enfin, la figure (III.9) confirme les interprétations effectuées pour les deux régimes de fonctionnement du transistor. En effet, le modèle SPICE niveau 3 n'est pas adapté à la simulation des transistors MOS de puissance basse tension à cause de sa mauvaise estimation de la résistance de sortie.

En revanche, pour le nouveau modèle, on observe une très bonne corrélation entre la simulation et la mesure dans toutes les zones du fonctionnement du transistor et pour toutes les valeurs de V_{gs} . Ce modèle peut être généralisé à tous type de transistors MOS de puissance à canal court car il tient compte aussi, comme le modèle SPICE niveau 3, de l'effet du canal court sur la tension de seuil et la mobilité.

Il existe d'autres modèles utilisant des équations différentes de celles que nous avons utilisées pour décrire le modèle des transistors MOS de puissance, on peut citer par exemple : le modèle 2KP proposé par l'équipe de puissance de l'INSA de Lyon [27] et le modèle empirique pour le transistor en commutation proposé par une équipe de recherche à Grenoble [28]. Le modèle 2KP ne présente pas de discontinuité de la dérivée première de l'équation de courant de drain I_{ds} , mais il ne tient pas compte de l'effet de la tension V_{ds} et V_{max} (vitesse de saturation des porteurs dans la couche inversée) sur la mobilité. Le modèle empirique proposé par l'équipe du laboratoire LEG de Grenoble est très adapté à la modélisation dynamique des transistors MOS de puissance prévu pour fonctionner en commutation mais il utilise une équation simplifiée du courant de drain et ne tient pas compte de la réduction de la mobilité due au champ électrique transversal et longitudinal.

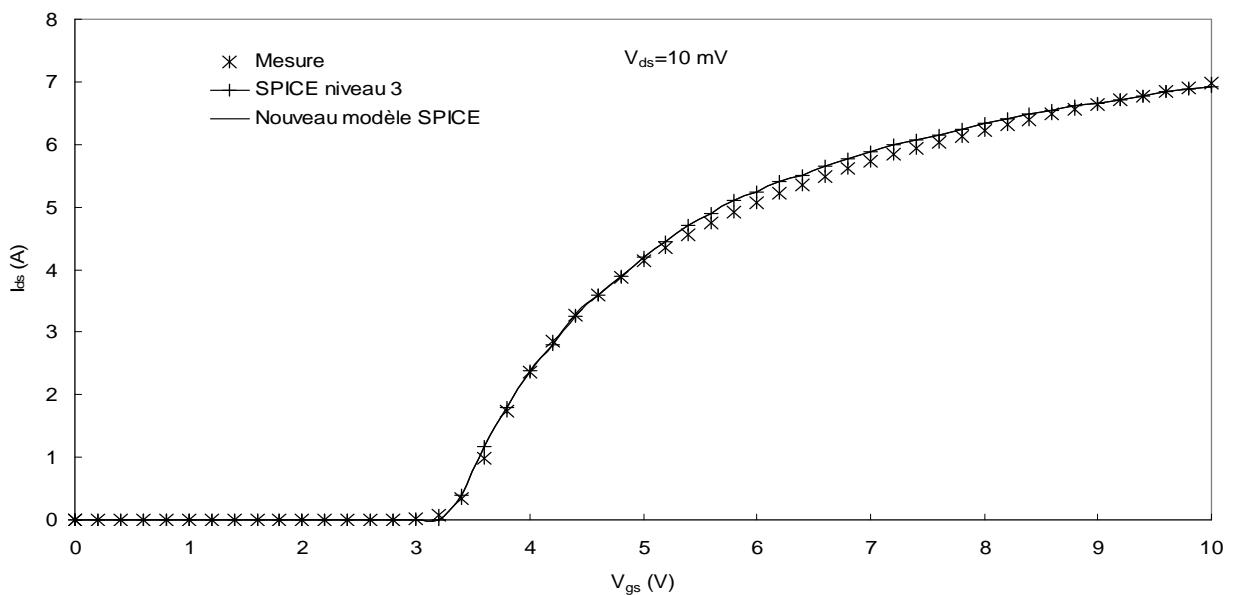


Figure III.7 : Caractéristiques de transfert $I_{ds}=f(V_{gs})$ en régime linéaire du transistor FLIMOS ($V_{ds}=10$ mV).

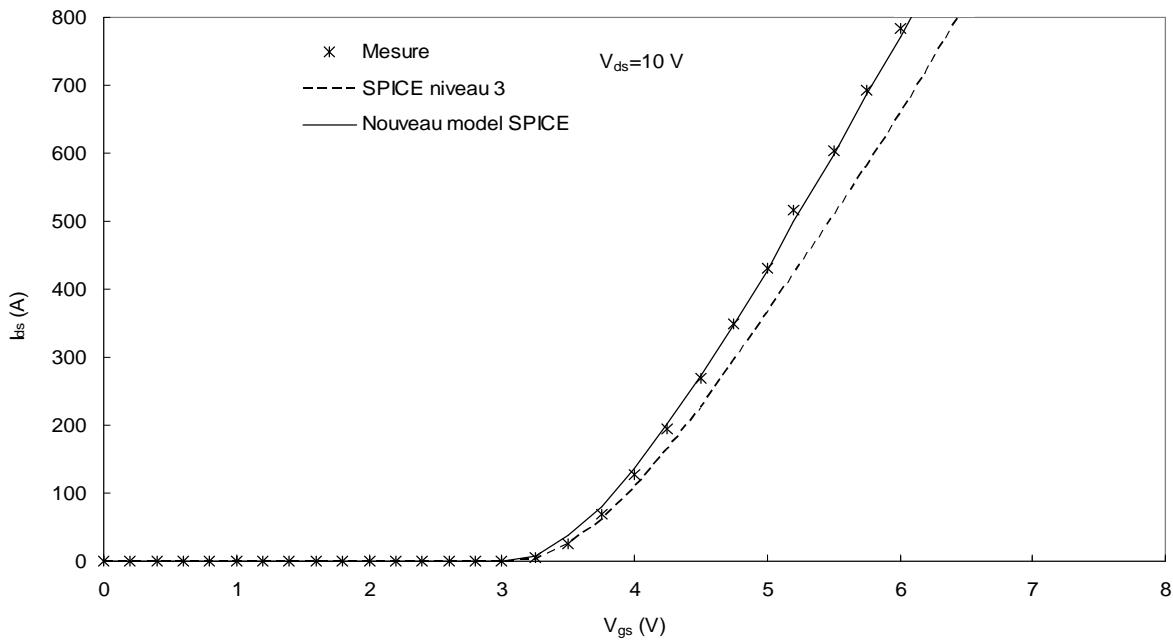


Figure III.8 : Caractéristiques de transfert $I_{ds}=f(V_{gs})$ en régime saturé du transistor FLIMOS ($V_{ds}=10$ V).

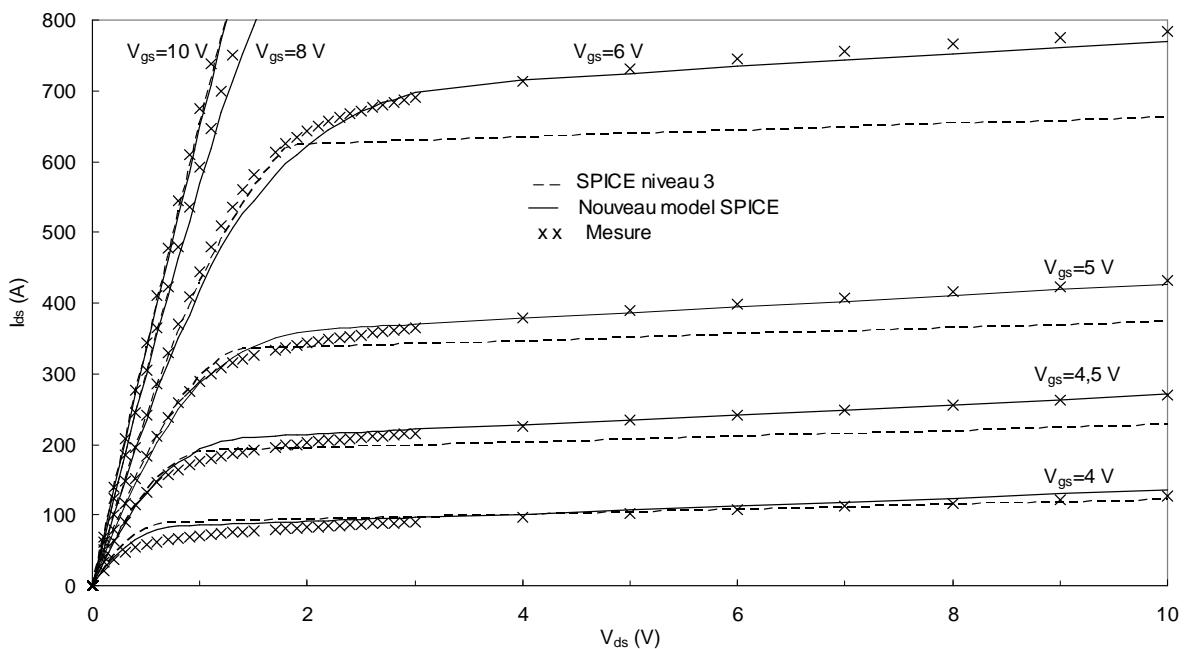


Figure III.9 : Caractéristiques de sortie $I_{ds}=f(V_{ds})$ du transistor FLIMOS.

III.2.2. Modèle dynamique

Le modèle dynamique s'obtient par ajout au modèle statique d'éléments tenant compte du comportement dynamique du composant à modéliser. Une étude rigoureuse basée sur la structure physique du transistor VDMOS a montré que le schéma électrique de ce transistor pouvait être donné par la figure III.10. Chaque élément de ce schéma peut être calculé

analytiquement. Chaque bloc de ce schéma décrit une zone de la structure physique du transistor FLIMOS [6] :

- le bloc, comportant les capacités C_1 à C_4 , les résistances R_1 et R_2 et le générateur de courant, décrit la zone P source du canal.
- le bloc, comportant R_{b1} et R_{b2} , les capacités C_{ds1a} et C_{ds2a} , et les capacités C_{ds1b} et C_{ds2b} , décrit le comportement dynamique des jonctions PN⁻ drift de la structure. C'est la principale différence entre le modèle du FLIMOS et celui du VDMOS conventionnel. En effet, la capacité drain-source de la structure VDMOS est la capacité d'une seule jonction alors que la capacité C_{ds} de la structure FLIMOS est la capacité équivalente à deux capacités en série : la capacité drain-source de la jonction principale et la capacité de la jonction "P-îlot/N⁻ drift".
- la diode D_{body} tient compte de la tenue en tension du FLIMOS. Cette diode peut aussi décrire le comportement du transistor pour une tension drain-source négative.
- la capacité C_{gd} est la capacité Miller, nous allons voir au paragraphe (III.2.2.2) quelques techniques pour modéliser cette capacité.
- les capacités C_{gsb} , C_{gs1} et C_{gs2} constituent la capacité grille-source.
- les capacités C_{gdp} , C_{gsp} et C_{dsp} sont les capacités parasites dues au boîtier et aux fils de connexion.
- les selfs L_s , L_g et L_d représentent les inductances des fils de liaison puce-boîtier.

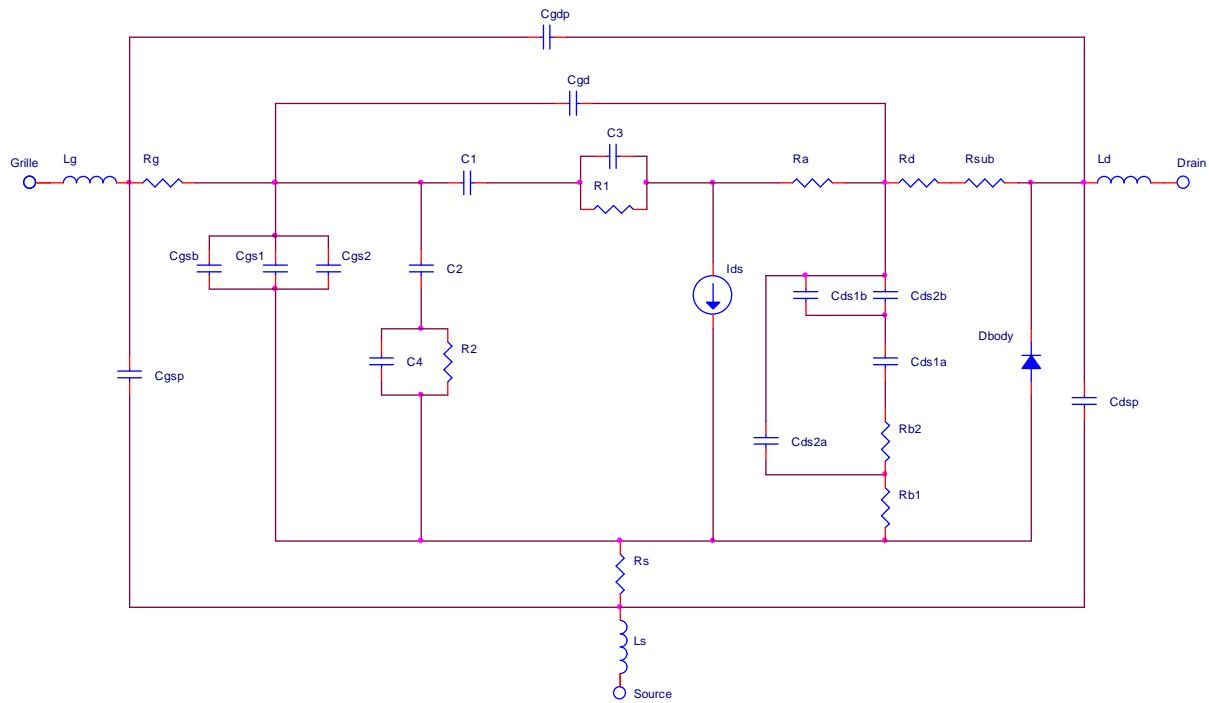


Figure III.10 : Modèle complet du transistor FLIMOS de puissance.

Chaque élément de ce schéma peut être décrit en utilisant les modules standards introduits dans le logiciel SPICE. Malgré le fait que ce schéma est basé sur une étude rigoureuse de la structure physique du FLIMOS, le calcul des éléments non-linéaires de ce modèle peut conduire à des problèmes de convergence et nécessite un temps de calcul parfois important. C'est pour cette raison que nous avons décidé de réduire ce modèle en négligeant les éléments les moins influents.

Le modèle réduit du transistor FLIMOS, que nous allons utiliser dans notre cas, est celui de la figure III.11. Ce modèle produit des résultats suffisamment précis en basse et moyenne

fréquences, est plus simple à utiliser et le temps nécessaire aux simulations comportementales est très réduit. Ceci permet un gain mémoire important lors de la simulation du transistor FLIMOS avec sa partie commande en vue de la conception d'une fonction électronique de puissance.

Les éléments utilisés par le modèle du FLIMOS sont des éléments des bibliothèques introduites dans SPICE. En plus, ce modèle permet de tenir compte de la non-linéarité des capacités grille-drain et drain-source en fonction des tensions V_{gs} et V_{ds} .

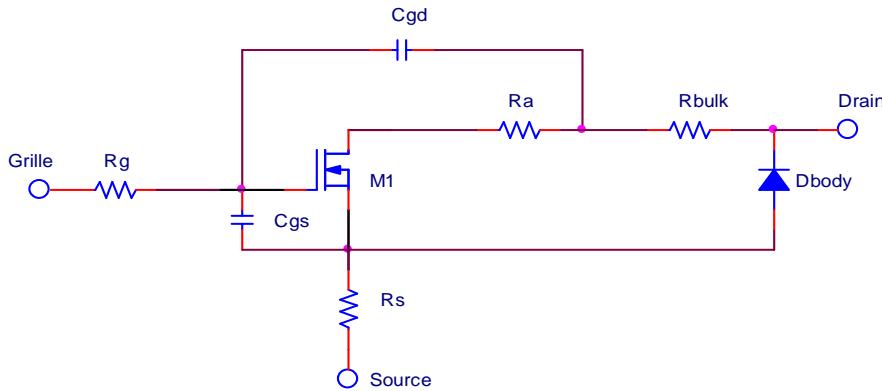


Figure III.11 : Modèle réduit du transistor FLIMOS de puissance.

III.2.2.1. Capacité grille-source C_{gs}

La capacité grille-source C_{gs} du transistor FLIMOS de puissance est composée de trois capacités en parallèle (figure III.1) : la capacité de recouvrement C_{gs1} due au débordement de l'oxyde mince de grille sur la diffusion N⁺ source, la capacité MOS C_{gsb} entre la grille et la diffusion P source du canal, et la capacité C_{gs2} entre la métallisation de la source et le polysilicium de grille.

La capacité MOS C_{gsb} est une capacité non-linéaire qui dépend des tensions de grille et de drain, sa valeur dépend de la zone de fonctionnement du transistor.

En première approximation, on choisit de représenter la capacité C_{gs} par une capacité de valeur constante.

III.2.2.2. Capacité grille-drain C_{gd}

C'est le paramètre le plus important du transistor MOS de puissance. La plupart des modèles électriques des transistors MOS de puissance se différencient par le bloc représentant cette capacité non-linéaire.

La capacité C_{gd} est composée, suivant la structure physique du composant (figure III.1), par l'association en série d'une capacité constante $C_{gd\max}$ (capacité d'oxyde entre le polysilicium de grille et la zone intercellulaire N⁻ de drift) et une capacité de déplétion C_{gddep} de la zone déserte sous la grille à la surface de la zone intercellulaire (capacité qui intervient lorsque V_{dg} devient positive). La capacité C_{gd} peut être traduite par les expressions suivantes :

$$C_{gd} = C_{gd\max} \quad \text{si } V_{dg} < 0 \quad (\text{III.20})$$

$$C_{gd} = \frac{C_{gd\max} \cdot C_{gddep}}{C_{gd\max} + C_{gddep}} \quad \text{si } V_{dg} \geq 0 \quad (\text{III.21})$$

On peut représenter cette capacité par un bloc de deux capacités en série : une capacité constante de valeur C_{gdmax} et une capacité de transition C_{gddep} d'une diode D_{gd} . Ce modèle (figure III.12), dit modèle “à initialisation”, a été l'un des premiers modèles proposés au LAAS [29] mais il pose un problème d'initialisation du potentiel flottant entre la diode D_{gd} et la capacité C_{gdmax} .

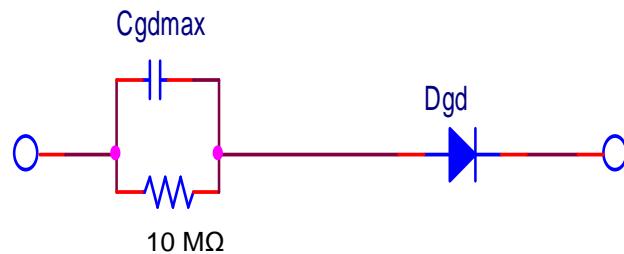


Figure III.12 : Modèle “à initialisation” de la capacité C_{gd} .

Un deuxième modèle, appelé modèle “à interrupteurs” (Figure III.13), n'ayant pas de signification physique réelle, permet de résoudre le problème de l'initialisation du potentiel posé par le modèle “à initialisation”. Les interrupteurs M_2 et M_3 sont des transistors MOS idéaux avec une tension de seuil de 0 Volt. On bascule d'une branche à l'autre suivant la tension appliquée entre la grille et le drain du transistor. Pour les tensions V_{dg} négatives, la capacité C_{gd} est équivalente à une capacité constante C_{gdmax} . Pour les tensions V_{dg} positives, la capacité C_{gd} est équivalente à la capacité de transition de la diode D_{gd} . Néanmoins, ce modèle pose un problème de discontinuité lors du passage par zéro de la tension V_{dg} .

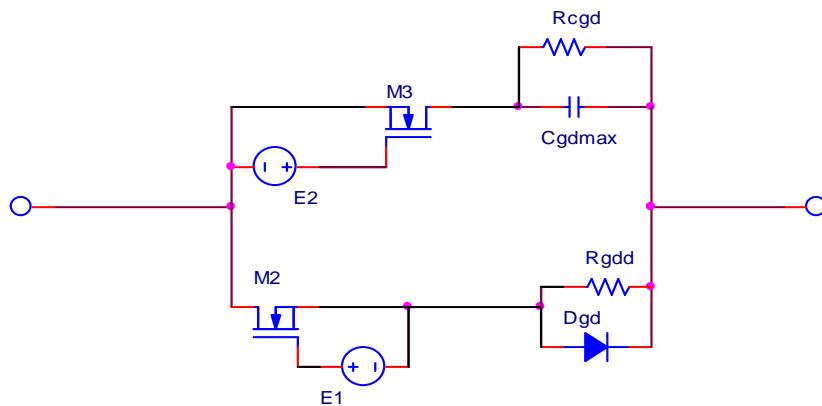


Figure III.13 : Modèle “à interrupteurs” de la capacité C_{gd} .

Pour ces deux modèles la diode représente, par sa capacité de transition, l'évolution de la capacité de grille en fonction de la tension V_{dg} . En effet, la capacité de transition de la diode introduite dans SPICE est définie par :

$$C_T = \frac{C_{j0}}{\left[1 - \frac{V_a}{V_j}\right]^m} \quad (\text{III.22})$$

C_{j0} est la capacité pour une tension de polarisation V_a nulle, V_j est le potentiel de diffusion et m est le coefficient de gradualité de la jonction. Ce sont les paramètres SPICE à définir pour modéliser la capacité de transition d'une diode.

Enfin, le modèle “à source de courant” (figure III.14), qui n’a pas non plus de signification physique réelle, permet de résoudre les problèmes d’initialisation et de discontinuité précédents et simule en un temps très réduit les différents comportements de C_{gd} grâce à un schéma équivalent simple [13], [14].

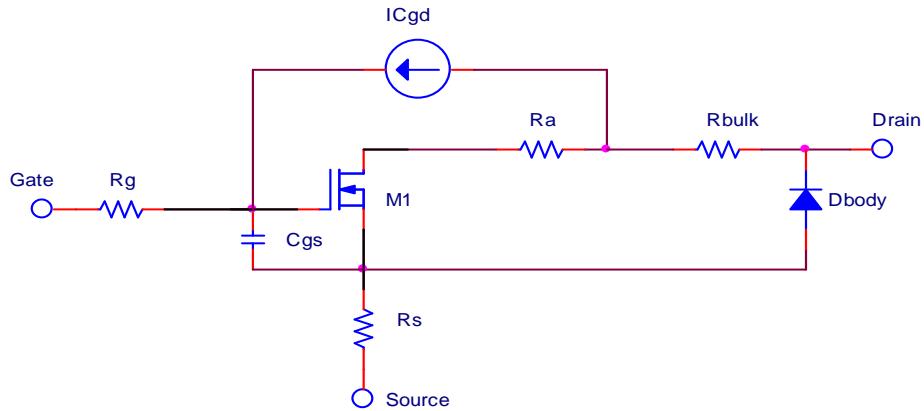


Figure III.14 : Modèle réduit du FLIMOS utilisant un bloc “à source de courant” pour représenter la capacité C_{gd} .

Ce modèle utilise le module ABM “Analog Behavioral Modeling” du logiciel SPICE pour modéliser la capacité C_{gd} . Le générateur de courant décrit l’évolution de la capacité grille-drain en fonction de la tension V_{dg} grâce au module de modélisation comportementale SPICE “Analog Behavioral Modeling”. Dans un premier temps, on commence par créer un sous-circuit série composé d’une tension E_{copy} qui “copie” la tension V_{dg} , une source de tension “fictive” (de tension nulle) V_{sens} et une capacité de référence C_{ref} de valeur 1pF dans notre cas. La figure III.15 représente le schéma équivalent de ce sous-circuit. Le courant I_{sens} peut être donné par :

$$I_{sens} = C_{ref} \cdot \frac{dV_{dg}}{dt} \quad (\text{II.23})$$

Ensuite, on définit le courant délivré par le générateur de courant à l'aide de l'équation suivante :

$$I_{dg} = \frac{C_{j0}}{\sqrt{1 + \frac{V_{dg}}{V_i}}} I_{sens} \quad (III.24)$$

Le courant I_{sens} est obtenu par la variation en fonction du temps de la tension V_{dg} . Le coefficient de gradualité est fixé ici à 0,5.

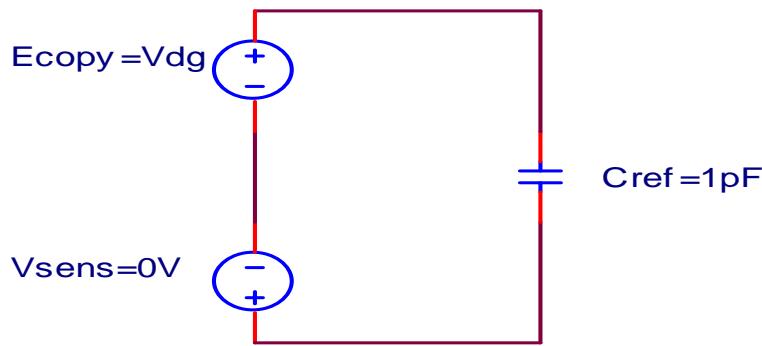


Figure III.15 : Sous-circuit utilisé pour le modèle “à source de courant” de la capacité C_{gd} .

III.2.2.3. Capacité drain-source C_{ds}

La capacité drain-source peut être modélisée en utilisant le modèle de la capacité de transition de la diode Dbody implanté dans SPICE – expression (III.22) –. Les trois paramètres à définir pour modéliser cette capacité sont les suivants :

- capacité C_{j0} à polarisation nulle : sa valeur peut être calculée ou extraite directement de la mesure de $C_{ds}=f(V_{ds})$.
- le potentiel de diffusion V_j : sa valeur peut être calculée en utilisant la relation suivante :

$$V_j = U_T \cdot \ln\left(\frac{N_a \cdot N_d}{n_i^2}\right) \quad (\text{III.25})$$

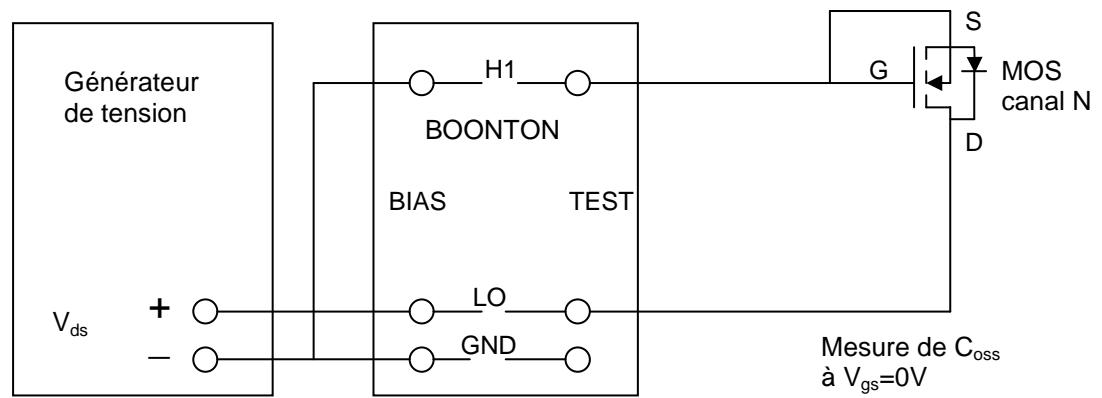
- le coefficient de gradualité “m” qui est compris entre 0 et 0,9.

Nous montrerons au paragraphe (III.2.2.4.2) une méthode expérimentale d'extraction de ces trois paramètres.

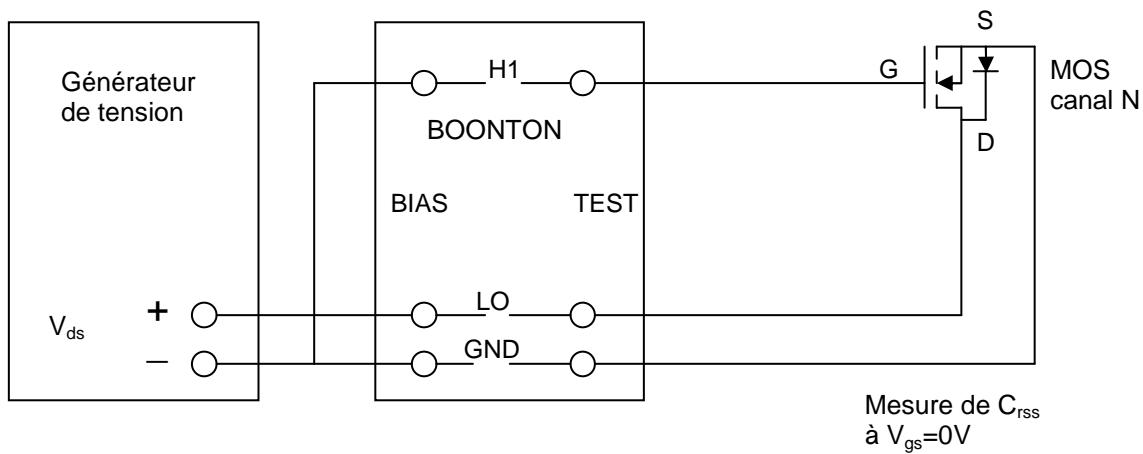
III.2.2.4. Extraction des paramètres dynamiques

III.2.2.4.1. Mesures des capacités inter-électrodes C_{iss} , C_{rss} et C_{oss}

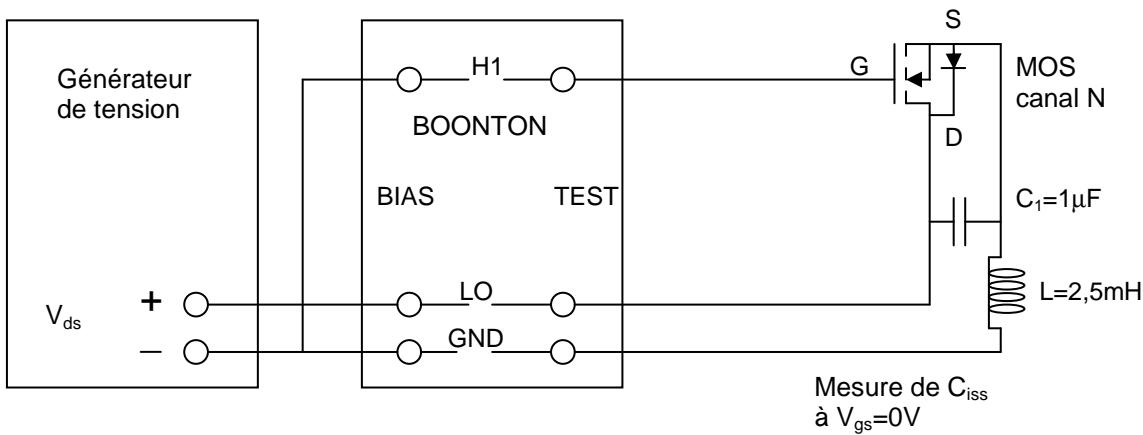
Les capacités C_{gs} , C_{ds} et C_{gd} sont déterminées à partir des mesures des capacités inter-électrodes C_{iss} (capacité d'entrée avec sortie en court-circuit), C_{rss} (capacité de transfert) et C_{oss} (capacité de sortie avec entrée en court-circuit) en fonction des tensions de polarisation V_{ds} et V_{gs} . La figure III.16 représente les différents montages de mesure de ces capacités en fonction de la tension drain-source. Pour ces mesures, on utilise un capacimètre BOONTON 72-B. Pendant la mesure, la tension de drain est une rampe qui varie linéairement avec une pente de 1V/µs alors que $V_{gs} = 0$ V. La fréquence du générateur est fixée à 1MHz.



a)



b)



c)

Figure III.16 : Montages de mesures des capacités inter-électrodes à $V_{gs}=0$ V : a) C_{oss} , b) C_{rss} et c) C_{iss} .

Les capacités inter-électrodes C_{oss} , C_{rss} et C_{iss} peuvent être données par les expressions suivantes :

$$C_{oss} = C_{gd} + C_{ds} \quad (\text{III.26})$$

$$C_{rss} = C_{gd} \quad (\text{III.27})$$

$$C_{iss} = C_{gs} + C_{gd} \quad (\text{III.28})$$

À partir de ces expressions, on peut donc déterminer l'évolution des capacités C_{gs} , C_{ds} et C_{gd} de la structure en fonction de la tension V_{ds} .

III.2.2.4.2. Détermination des paramètres C_{j0} , V_j et m

Les paramètres C_{j0} des capacités C_{ds} et C_{gd} peuvent être calculés directement à partir des relations (III.26) et (III.27) pour une tension V_{ds} nulle :

$$C_{j0} = C_{rss}(0) \quad \text{pour } C_{gd} \quad (\text{III.29})$$

$$C_{j0} = C_{oss}(0) - C_{rss}(0) \quad \text{pour } C_{ds} \quad (\text{III.30})$$

La détermination des paramètres V_j et m se fait à l'aide de la relation (III.22) en traçant en échelle logarithmique C_{j0}/C_{gd} et C_{j0}/C_{ds} en fonction de la tension V_{ds} [12]. En développant l'expression (III.22), on trouve :

$$m \cdot \ln\left(1 + \frac{V_{ds}}{V_j}\right) = \ln\left(\frac{C_{j0}}{C_{gd}}\right) \quad \text{pour } C_{gd} \quad (\text{III.31})$$

$$m \cdot \ln\left(1 + \frac{V_{ds}}{V_j}\right) = \ln\left(\frac{C_{j0}}{C_{ds}}\right) \quad \text{pour } C_{ds} \quad (\text{III.32})$$

Ensuite, on peut déterminer la valeur du potentiel V_j pour une valeur arbitraire de la tension V_{ds} à l'aide de l'équation (III.22) :

$$V_j = \frac{V_{ds}}{\left[\frac{C_{j0}}{C_{gd}}\right]^{\frac{1}{m}} - 1} \quad \text{pour } C_{gd} \quad (\text{III.33})$$

$$V_j = \frac{V_{ds}}{\left[\frac{C_{j0}}{C_{ds}}\right]^{\frac{1}{m}} - 1} \quad \text{pour } C_{ds} \quad (\text{III.34})$$

III.2.2.5. Validation du modèle dynamique

Après avoir déterminé les paramètres dynamiques du modèle, nous avons effectué des simulations SPICE de l'évolution des capacités C_{ds} et C_{gd} en fonction des tensions V_{ds} et V_{dg} respectivement. Le modèle choisi pour la capacité grille-drain est le modèle "à source de

courant''. Les figures III.17 et III.18 représentent respectivement l'évolution des capacités C_{gd} et C_{ds} simulées en les comparant aux valeurs mesurées.

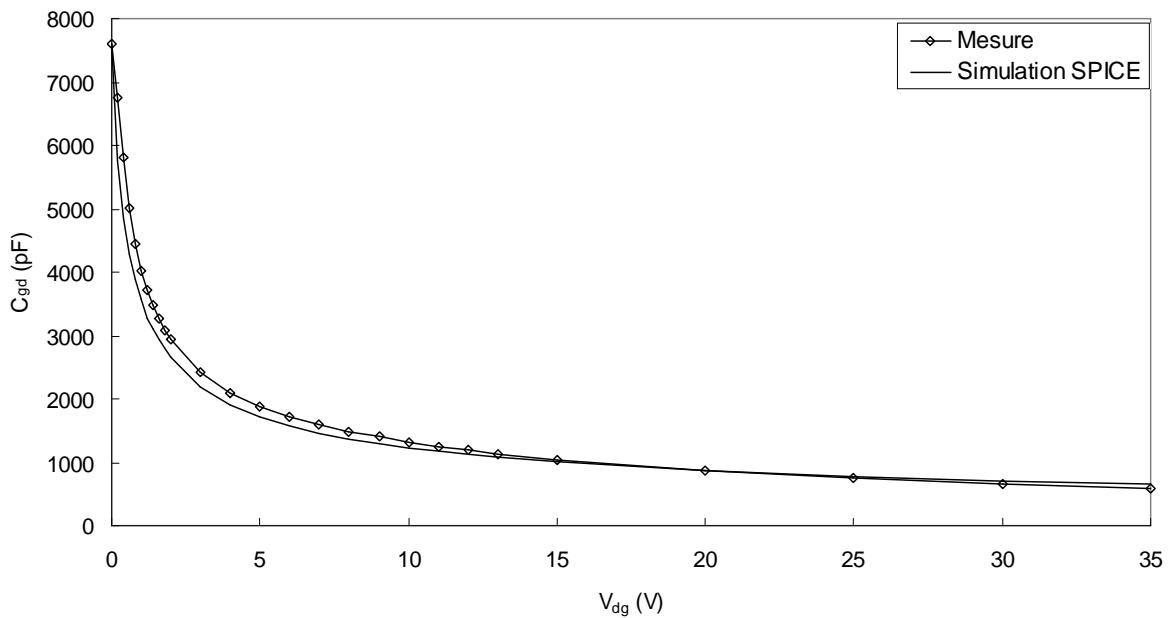


Figure III.17 : Évolution de la capacité C_{gd} simulée et mesurée en fonction de la tension V_{dg} .

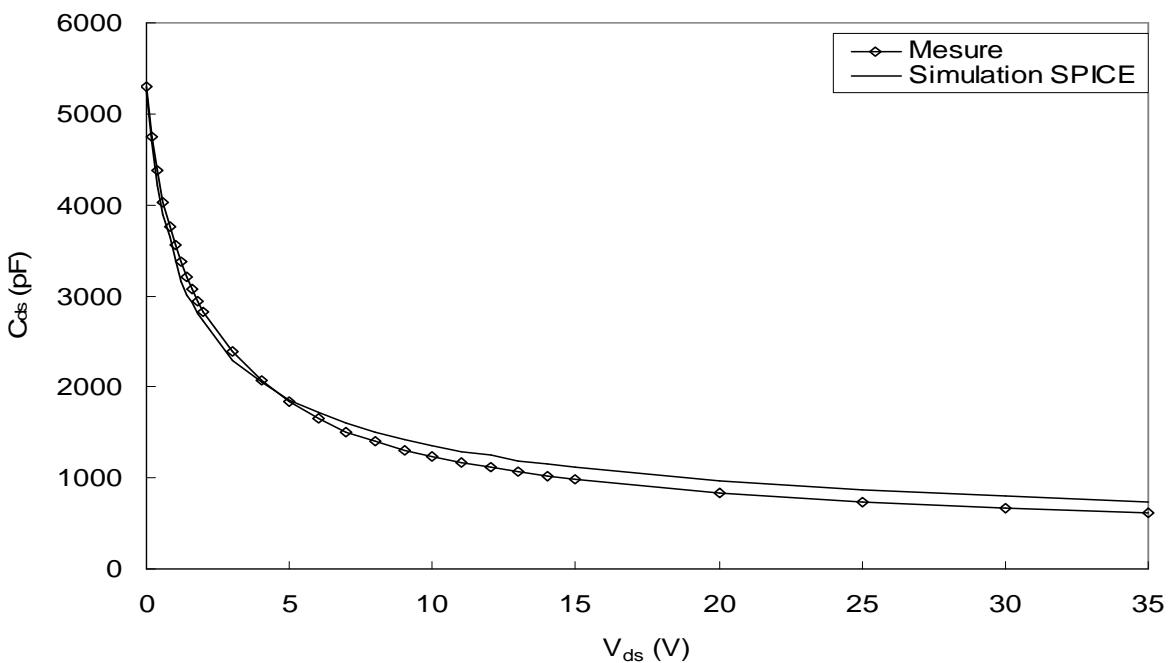


Figure III.18 : Évolution de la capacité C_{ds} simulée et mesurée en fonction de la tension V_{ds} .

On constate une bonne corrélation entre les simulations SPICE et les mesures, ce qui confirme les paramètres du modèle dynamique implanté dans SPICE. Les écarts constatés entre la simulation et la mesure peuvent être liés à la forme physique réelle des surfaces des capacités ainsi qu'au fait que la simulation utilise des équations analytiques avec des approximations.

III.2.2.6. Simulation du “gate charge”

Bien que les capacités inter-electrodes figurent dans les données constructeurs de tous les fabricants des transistors MOS de puissance, ces capacités ne permettent pas de donner des résultats exacts si on désire comparer les performances dynamiques de deux transistors MOS de deux fabricants différents. C'est pour cette raison que les fabricants donnent en général les résultats de mesure du circuit “gate charge” pour avoir une idée des performances dynamiques [30], [31]. Ainsi, plus la charge de grille (Q_g) est faible, plus les pertes par commutation du transistor MOS de puissance sont faibles.

Ce test est réalisé en appliquant un courant constant (2 mA) sur la grille du transistor et en connectant le drain à une tension constante V_{dd} (10 V) à travers une résistance de 2Ω (figure III.19). La figure (III.20) représente les évolutions de V_{gs} et V_{ds} mesurées et simulées en fonction du temps du test gate charge.

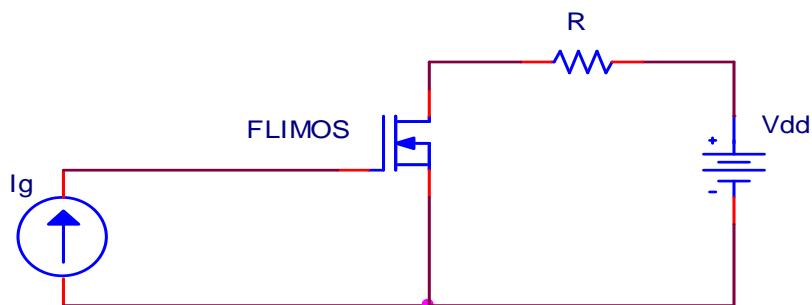


Figure III.19 : Schéma de principe du “gate charge”.

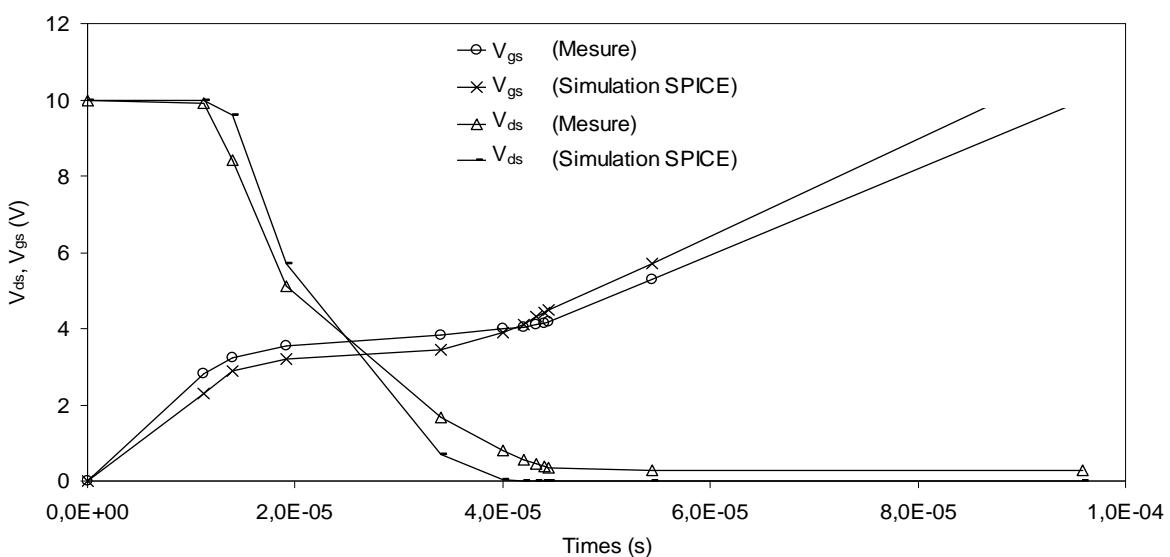


Figure III.20 : Formes d'ondes mesurées et simulées du gate charge.

L'accord entre la simulation SPICE et la mesure est correct dans les deux premières phases du test gate charge : 1) 1^{ère} phase où le transistor est bloqué et 2) 2^{ème} phase où le transistor fonctionne dans sa zone de saturation. Par contre, l'écart entre la simulation et la mesure devient de plus en plus important pour la dernière phase où le transistor entre dans la région linéaire. Ceci est dû au fait que la capacité grille-source, supposée constante et linéaire, est en réalité non-linéaire, à cause de la capacité du canal C_{gsb} , et dépend des tensions de polarisation V_{gs} et V_{ds} [32]. En considérant l'approximation utilisée dans le modèle dynamique simplifié de Meyer implanté dans SPICE pour tenir compte de la variation de la capacité C_{gs} en fonction de la capacité intrinsèque C_{gsb} entre la grille et le canal (lorsque le canal est formé) en régime linéaire ($C_{gs} + 1/2 \cdot L \cdot Z \cdot C_{ox}$) et en régime saturé ($C_{gs} + 2/3 \cdot L \cdot Z \cdot C_{ox}$), nous avons obtenu les résultats de la figure III.21. On remarque que la courbe représentant l'évolution de la tension V_{gs} est nettement améliorée dans la zone linéaire du composant. En revanche, on remarque qu'il existe toujours des écarts entre la simulation et la mesure des tensions V_{ds} et V_{gs} dans la zone du plateau et la zone où le transistor est bloqué. Ceci est dû au fait que les capacités ont été modélisées en s'appuyant sur une expérimentation non nominale de fonctionnement du transistor et en effectuant des tests d'extraction des paramètres dynamiques dépendant d'une seule tension V_{ds} pour $V_{gs}=0$ V. La mesure des capacités C_{iss} , C_{oss} et C_{rss} doit tenir compte de la variation de ces capacités avec les deux tensions de polarisation V_{ds} et V_{gs} en même temps [28].

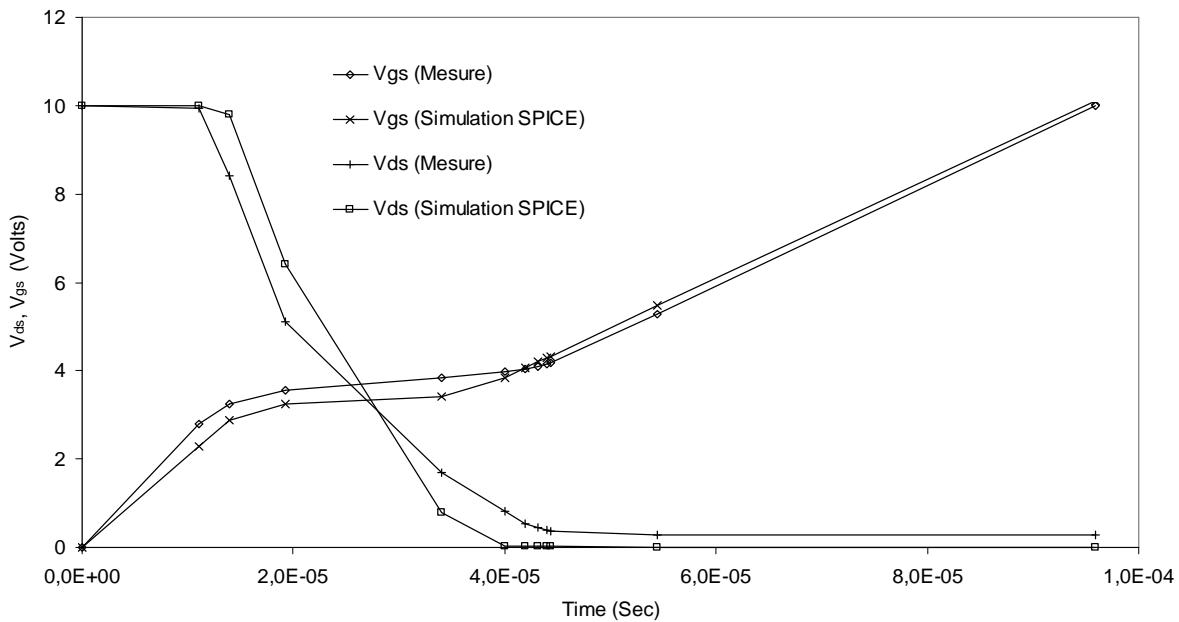


Figure III.21 : Formes d'ondes mesurées et simulées du gate charge en prenant C_{gs} variable.

L'allure de ces courbes se divise en trois parties essentielles :

- La première phase : où le transistor est bloqué ($V_{gs} < V_T$). La capacité d'entrée (C_{gs}) se charge à courant constant I_g jusqu'à ce que le transistor commence à conduire. La charge de grille (Q_{gs}) mesurée est égale à 28 nC.
- La zone du plateau : elle est due à l'effet Miller de la capacité de grille. En effet, dans cette zone, la capacité de grille C_{gd} évolue de sa valeur minimale à sa valeur maximale en fonction

de la différence des tensions de drain et de grille. Au début, le transistor se trouve dans sa zone saturée : la capacité C_{gs} reste chargée à la valeur de tension précédente (V_{gs} est constante), le courant de drain est pratiquement constant (si on néglige l'effet du canal court sur la tension de seuil) et la capacité C_{gd} se charge jusqu'à ce que le transistor entre dans sa zone linéaire. Pour cette phase, la charge du plateau Miller (Q_{gd}) mesurée est égale à 52 nC. La somme des charges de grille (Q_{gs}) et (Q_{gd}) représente la quantité de charge minimale pour le passage de l'état bloqué à l'état conducteur du transistor.

- La zone linéaire correspond au passage du transistor à sa zone linéaire. La capacité Miller reste égale à sa valeur maximale C_{gdmax} . Mais son effet diminue considérablement car le gain du transistor chute à une valeur très faible. La capacité à l'entrée du transistor est considérablement réduite. La tension de grille évolue jusqu'à ce qu'elle atteint la tension d'alimentation (10 V). La charge totale de grille (Q_g) mesurée est égale ici à 192 nC.

III.3. Conclusion

Dans ce chapitre, nous avons développé un nouveau modèle SPICE pour modéliser les transistors MOS de puissance, de faible tension de claquage, en tenant compte de sa structure physique. Cette modélisation est destinée à représenter ce transistor lors de simulations comportementales sous un logiciel de simulation électrique.

Dans un premier temps, nous avons donné le schéma équivalent complet tenant compte de toutes les zones de la structure physique du transistor FLIMOS. Ce schéma est précis mais il utilise trop d'éléments (linéaires et non-linéaires) et nécessite un temps de calcul très important. C'est pour cette raison que nous avons réduit ce modèle en éliminant les éléments les moins influents du schéma complet.

En régime statique, la source du courant de drain représente l'élément de base du modèle statique. Dans un premiers temps, nous avons modélisé ce générateur de courant par le modèle SPICE niveau 3 qui est le modèle le plus utilisé pour les transistors MOS de puissance. Toutefois, la discontinuité de la dérivée première de l'équation du courant dans ce modèle introduit un désaccord entre la simulation et la mesure dans la région de transition et la région de saturation des caractéristiques de sortie du transistor. Ceci peut conduire à une mauvaise estimation de la résistance de sortie du transistor, caractéristique très importante pour les transistors MOS utilisés en commutation.

Afin de résoudre ce problème, nous avons choisi une nouvelle modélisation SPICE pour définir le générateur de courant I_{ds} . Cette modélisation utilise une nouvelle formule du courant de drain dans la région linéaire, une nouvelle tension de pincement et permet d'éliminer le problème de discontinuité posé par le modèle SPICE niveau 3. En plus, ce nouveau modèle utilise les mêmes paramètres que le modèle SPICE niveau 3 pour définir le courant de drain I_{ds} . Nous avons aussi donné la méthode utilisée au LAAS pour extraire les paramètres statiques du modèle. Le modèle proposé a été implanté dans le logiciel SPICE et validé en comparant les valeurs mesurées et simulées des caractéristiques de transfert $I_{ds}(V_{gs})$ et de sortie $I_{ds}(V_{ds})$. L'accord constaté entre la simulation et la mesure permet de valider ce nouveau modèle.

Le modèle dynamique a été obtenu en ajoutant de manière externe les capacités inter-electrodes C_{gs} , C_{gd} et C_{ds} au modèle statique. Nous avons modélisé la capacité non-linéaire drain-source à l'aide de la capacité de transition de la diode implantée dans SPICE et la capacité Miller grille-drain à l'aide d'un générateur de courant (en utilisant le module ABM de SPICE). La méthode d'extraction des paramètres des modèles de ces capacités est basée

sur la mesure des capacités C_{iss} , C_{oss} et C_{rss} pour une tension V_{gs} nulle. La validation des modèles des capacités a été effectuée en comparant les résultats simulés (sous SPICE) et mesurés de leurs évolutions en fonction de la tension V_{ds} . Nous avons constaté un très bon accord entre la simulation et la mesure ce qui permet de valider les paramètres dynamiques de ces capacités. Ensuite, nous avons comparé la mesure et la simulation du test “gate charge”, qui est une indication très significative sur les pertes dynamiques d'un transistor MOS de puissance prévu pour fonctionner en commutation.

Même si les modèles des capacités inter-électrodes dynamiques donnent un bon accord entre la simulation et la mesure, les résultats de simulation du circuit gate charge ne sont pas en parfait accord avec la mesure. Ceci est dû au fait que la modélisation des capacités inter-électrodes ne tient pas compte des conditions nominales d'utilisation du transistor pour lesquelles les deux tensions V_{gs} et V_{ds} sont variables [28], [32].

Le nouveau modèle SPICE est mieux adapté à la simulation des transistors MOS de puissance faible tension utilisés en commutation et permet de prédire avec précision les pertes par conduction en régime linéaire.

CONCLUSION GÉNÉRALE

Conclusion générale

Ce mémoire a été consacré à l'étude des structures FLIMOS de puissance, en les comparant aux structures MOS de puissance conventionnelles, et à la proposition d'un nouveau modèle SPICE plus général qui permet de tenir compte de toutes les caractéristiques particulières de ces structures.

Dans le premier chapitre, nous avons donné une description des principales structures des transistors DMOS intégrés et discrets utilisés en électronique de puissance. Nous avons défini les limites théoriques de ces composants en s'intéressant à la relation entre la tension de claquage et la résistance passante spécifique idéale. C'est ainsi que nous avons pu montrer que les transistors MOS de puissance haute tension sont handicapés par la résistance de la zone de drift qui permet au transistor de tenir la tension à l'état bloqué. Cette résistance est responsable des pertes par conduction du transistor.

Après cet aperçu, nous avons décrit quelques solutions utilisées pour résoudre ce problème. La meilleure solution théorique est celle qui consiste à remplacer le silicium par un matériau semi-conducteur de plus forte énergie d'ionisation. Nous avons donc donné les caractéristiques électriques et thermiques de différents matériaux à large bandgap en rappelant les principaux problèmes liés à leurs processus d'élaboration.

Quoique la substitution du silicium par le carbure de silicium dans le cas des diodes Schottky par exemple est une solution qui est déjà proposée par quelques fabricants de composants de puissance (Infineon, Cree), deux solutions innovantes ont été proposées, ces dernières années, utilisant deux concepts différents : le concept de la superjonction et le concept des îlots flottants. Nous avons donné la limite du silicium des structures à superjonction et on a pu constater l'amélioration significative apportée à la résistance passante spécifique dans le cas des hautes tensions. En revanche, ces structures à superjonction ne sont pas très intéressantes pour les faibles tensions de claquage car elles doivent intégrer des bandes N et P très minces et fortement dopées pour avoir une amélioration significative de la résistance passante spécifique. Ceci est du au fait qu'il est très difficile de réaliser des telles structures et au fait que la tension de claquage de la superjonction est très sensible à la balance des charges dans le cas de bandes très dopées. Enfin, l'augmentation de la surface de la jonction principale et du dopage de la zone de drift des structures à superjonction risque de dégrader les performances dynamiques de la diode P-body utilisée parfois comme convertisseur synchrone et de réduire la tenue en énergie de ces structures.

Dans le deuxième chapitre, nous avons proposé une approche analytique pour estimer la tension de claquage, la résistance passante spécifique et les capacités inter-électrodes des structures FLIMOS verticales à un seul îlot flottant. En se basant sur cette étude analytique, nous avons proposé une méthode pour optimiser le dopage de drift des structures FLIMOS verticales. Cette méthode montre clairement l'impact des îlots flottants sur le compromis entre la tension de claquage et la résistance passante spécifique pour les transistors MOS de puissance.

En effet, nous avons pu montrer qu'il existait une plage de dopage de la zone de drift où les structures FLIMOS présentent une résistance passante spécifique plus faible que celle des structures VDMOS de même tension de claquage.

Ce modèle analytique a été ensuite validé par une comparaison entre les résultats théoriques et les mesures des performances statiques et dynamiques dans le cas de transistors FLIMOS verticaux 73 Volts fabriqués par Freescale.

Plus généralement, nous avons étudié à l'aide de la simulation 2D les performances statiques et dynamiques des structures FLIMOS à plusieurs îlots flottants. En effet, nous avons étudié les performances statiques d'une structure FLIMOS verticale haute tension (900 Volts) à 3

îlots flottants et une structure latérale 60 Volts à deux îlots flottants. Cette étude a montré que le concept des îlots flottants était très intéressant pour les structures DMOS verticales, car le claquage de ces structures s'opère dans le volume à la jonction principale. En revanche, ce concept n'est pas adapté à la structure LDMOS, à cause de la surface du composant, paramètre important pour les composants intégrés, et des zones de claquage en surface de cette structure qui doivent aussi être protégées pour éviter un claquage prématué de la structure.

En résumé, la structure FLIMOS, obtenue par introduction des îlots flottants dans la zone de drift d'une structure VDMOS, présente les avantages suivants :

- un meilleur compromis entre la tension de claquage et la résistance passante spécifique que la structure à superjonction dans la gamme des basses tensions. La structure à superjonction est plus intéressante pour les hautes tensions.
- des pertes par conduction plus faibles par rapport aux transistors VDMOS conventionnels, avec pratiquement les mêmes performances dynamiques.
- le processus de fabrication de la structure FLIMOS est moins complexe que celui de la structure à superjonction qui nécessite un contrôle très précis du dopage des bandes N et P formant la superjonction.

Dans le troisième chapitre, nous nous sommes intéressés à la modélisation électrique du transistor FLIMOS en proposant un nouveau modèle type “circuit équivalent”. Cette modélisation est basée sur la structure physique du transistor FLIMOS, l'étude analytique, la simulation 2D et la caractérisation électrique du composant. Ainsi, nous avons présenté un schéma complet de ce composant tenant compte des caractéristiques des différentes zones de la structure du FLIMOS. Mais ce schéma exact et rigoureux nécessite un temps de calcul trop important. Nous avons donc choisi de réduire ce schéma en éliminant les éléments les moins influents. L'élément de base de ce modèle est le générateur de courant qui représente la zone active du canal. Par sa formulation, ce générateur tient compte de la plupart des caractéristiques particulières du transistor FLIMOS de puissance : les effets du canal court et la réduction de la mobilité dans la couche active du canal en fonction des champs électriques transversal et longitudinal.

En régime statique, la zone accumulée et la zone de drift ont été modélisées par des résistances linéaires car nous n'avons pas constaté de phénomène de quasi-saturation sur les caractéristiques expérimentales de sortie $I_{ds}=f(V_{ds})$ du transistor FLIMOS. Dans un premier temps, nous avons choisi de modéliser la région active du canal par un générateur de courant idéal (SPICE niveau 3). Mais, il nous est apparu que les écarts entre la simulation et la mesure devenaient de plus en plus gênants dans les zones de transition et de saturation du transistor lorsque V_{gs} augmente. C'est, ainsi, que nous avons décidé de modifier le formalisme de l'équation du générateur de courant dans la région linéaire afin d'avoir une transition progressive des caractéristiques de sortie dans la zone de transition et une continuité de la dérivée première de cette équation pour la nouvelle tension de pincement calculée V_p . Notre contribution à l'élaboration de ce nouveau modèle SPICE a été de reprendre le modèle proposé dans la thèse de Kouakou, de le compléter en modifiant ses équations pour prendre en compte l'effet du canal court sur la réduction de la tension de seuil et d'implanter ce modèle dans le logiciel SPICE afin de le rendre accessible à tous les concepteurs de circuits électroniques.

Le modèle statique a été validé en comparant les caractéristiques de transfert $I_{ds}=f(V_{gs})$ et de sortie $I_{ds}=f(V_{ds})$ simulées et mesurées pour les transistors FLIMOS verticaux 73 Volts. Le modèle dynamique du transistor FLIMOS est obtenu en ajoutant les capacités inter-électrodes au modèle statique établi précédemment. Ces capacités ont été modélisées en utilisant la

Conclusion générale

capacité de transition du modèle de la diode implanté dans SPICE pour C_{ds} , d'une part, et en utilisant un générateur de courant non-linéaire pour C_{gd} , d'autre part. Nous avons donné la méthode utilisée au LAAS pour l'extraction des paramètres statiques et dynamiques du modèle électrique du transistor FLIMOS. Enfin, le modèle dynamique a été validé en comparant l'évolution des caractéristiques des capacités C_{ds} et C_{gd} en fonction des tensions V_{ds} et V_{dg} respectivement.

En conclusion, cette étude a montré que le transistor FLIMOS vertical basse tension semble être une bonne solution pour améliorer le compromis entre la résistance passante spécifique et la tension de claquage des structures MOS de puissance.

Une suite logique de cette étude consisterait à traiter les points suivants :

- étude du second claquage dans ce type de structure et du comportement du FLIMOS vis-à-vis des dV/dt .
- étude des éléments parasites de la structure FLIMOS et plus particulièrement le transistor parasite NPN responsable du second claquage.
- définition de l'aire de sécurité complète du composant (SOA).
- définition d'une nouvelle modélisation dynamique de la structure s'appuyant sur une autre expérimentation pour définir les paramètres des capacités inter-électrodes.
- établissement d'un modèle électrique tenant compte de la température et de la non-linéarité de la capacité C_{gs} en fonction des tensions de polarisation (V_{gs} et V_{ds}).
- étude des limites de performance en énergie.

Conclusion générale

BIBLIOGRAPHIE

INTRODUCTION GÉNÉRALE

[1] N. CÉZAC

“Transistor MOS de puissance à faible résistance à l’état passant”
Thèse de Doctorat de l’Université Paul Sabatier, Toulouse, 2001.

[2] F. MORANCHO

“Le transistor MOS de puissance à tranchées : modélisation et limites des performances”
Thèse de Doctorat de l’Université Paul Sabatier, Toulouse, 1996.

[3] D. UEDA, H. TAKAGI, G. KANO

“A New Vertical Power MOSFET Structure with Extremely Reduced On-Resistance”
IEEE transactions On Electron Devices, Vol. 31, N° 1, pp. 2-6, 1984.

[4] T. FUJIHIRA

“Theory of semiconductor Superjunction devices”
Japanese Journal of Applied Physics, Vol. 36, pp. 6254-6262, 1997.

[5] N. CÉZAC, F. MORANCHO, P. ROSSEL, H. TRANDUC, A. PEYERE LAVIGNE

“A new generation of power unipolar devices: the concept of the FLoating Islands MOS Transistor (FLIMOST)”

Proceedings ISPSD’2000 (Toulouse), pp. 69-72.

[6] S. HARADA, M. KATO, K. SUZUKI, M. OKAMOTO, T. YATSUO, K. FUKUDA, K. ARAI

“1.8 mΩ.cm², 10 A Power MOSFET in 4H-SiC”

IEDM 2006 (San Francisco), Décembre, pp. 1-4.

Peut être téléchargé à l’adresse suivante :

<http://wwwparitycomputing.com/jpdfs/ieee/ed/iedm/2006052/01dec/0840hara.pdf>

[7] ATLAS II, 2D Device Simulation Framework

User Manuel, Silvaco International, 1995.

CHAPITRE I

[1] C. HU, M. CHI, V.M. PATEL

“Optimum Design of power MOSFET’s”

IEEE Transactions on Electron Devices, Vol. ED-31, N° 12, December 1984, pp. 1693-1700.

[2] P. ROSSEL, H. TRANDUC, M. GAMBAO, T.P. PHAM

“Limitation fondamentale dans les transistors MOS de puissance : le compromis entre la résistance à l'état passant R_{ON} et la tension de claquage V_{DBR} ”

Revue de Physique appliquée, N° 9, Septembre 1981, pp. 509-515.

[3] F. MORANCHO

“Le transistor MOS de puissance à tranchées : modélisation et limites des performances”

Thèse de Doctorat de l’Université Paul Sabatier, Toulouse, 1996.

[4] N. CÉZAC

“Transistor MOS de puissance à faible résistance à l'état passant”

Thèse de Doctorat de l’Université Paul Sabatier, Toulouse, 2001.

[5] P. KOUAKOU

“Etude physique des non-linéarités dans les transistors MOS de puissance radiofréquences”

Thèse de Doctorat de l’Université Paul Sabatier, Toulouse, 1999.

[6] H. MATSUNAMI

“Progress in Wide Bandgap Semiconductor SiC for Power Devices”

Invited paper, ISPSD’2000, Toulouse, pp. 3-9.

[7] M. GHARBI

“La tenue en tension et le calibre en courant du transistor MOS vertical dans la gamme des moyennes tensions”

Thèse de 3^{ème} Cycle, Université Paul Sabatier, Toulouse, 1985.

[8] B.J. BALIGA

“Modern power devices”

Edition J. Willey & Sons, 1987.

[9] G. TARDIVO

“Le transistor DMOS Vertical en Amplification Haute-Fréquence de Puissance”

Thèse de 3^{ème} Cycle, Université Paul Sabatier, Toulouse, 1987.

[10] D. UEDA, H. TAKAGI, G. KANO

“A New Vertical Power MOSFET Structure with Extremely Reduced On-Resistance”

IEEE transactions On Electron Devices, Vol. 31, N° 1, pp. 2-6, 1984.

[11] D.M. BROWN, B.A. HEATH

“Reactive Ion Beam Etching of SiO₂ and Polycrystalline Silicon”

Journal of Applied Physic Letters, Vol. 37, N° 15, pp. 159-161, 1980.

[12] D. MONCOQUT

“Propriétés physiques et modélisation du transistor de puissance LDMOS”
Thèse de Doctorat de l’Université Paul Sabatier, Toulouse, 1997.

[13] M. ZITOUNI

“Une nouvelle structure d’interrupteurs pour circuits intégrés de puissance : le concept du transistor LUDMOS”
Thèse de Doctorat de l’Université Paul Sabatier, Toulouse, 1999.

[14] A. WOOD, C. DRAGON, W. BURGER

“High performance Silicon LDMOS technology for 2 GHz RF power amplifier application”
IEDM’96, pp 87-90, San Francisco (CA), pp. 8-11, December, 1996.

[15] V. BOISSON

“Etude de la géométrie optimale des périphéries des jonctions planar”
Thèse, N° ECL 85-05, Ecole Centrale de Lyon, 1985.

[16] S.C. SUN

“Physics and Technology of Power MOSFET’s”
Thesis Ph. D, Stanford University, 1982.

[17] S.M. SZE

“Physics of Semiconductor Devices”
Editions J. Wiley & Sons, 1981.

[18] K.G. Mac Kay

“Avalanche Breakdown in Silicon”
Physical Review, Vol. 94, N° 4, pp. 877, 1954.

[19] W. FULOP

“Calculation of Avalanche Breakdown of Silicon PN junction”
Solid-State Electronics, Vol. 10, N° 1, pp. 39-43, 1967.

[20] P. ROSSEL

“Propriétés Statiques et Dynamiques du transistor MOS”
Thèse de Doctorat d’Etat, Université Paul Sabatier, N° 529, Toulouse, 1973.

[21] T.P. PHAM

“Le compromis entre la résistance à l’état passant et la tenue en tension dans les transistors MOS de puissance”
Thèse de 3^{ème} cycle, Université Paul Sabatier, Toulouse, 1982.

[22] J-L. SANCHEZ

“Propriétés à l’état passant des transistors DMOS de puissance coplanaires et verticaux”
Thèse de Docteur-Ingénieur, N° 138, INSA, Toulouse, 1984.

[23] B.J. BALIGA

“An Overview of Smart Power Technology”
IEEE Transactions on Electron devices, Vol. 38, N° 7, July 1991.

[24] C. HU

“A parametric study of power MOSFET’s”
Conf. Record of Power electronics specialists Conference, San Diego, 1979.

[25] T. FUJIHIRA

“Theory of Semiconductor Superjunction Devices”
Jpn. J. Appl. Phys. Vol. 36 (1997), pp. 6254-6262, 1997.

[26] N. CÉZAC, F. MORANCHO, P. ROSSEL, H. TRANDUC, A. PEYRE-LAVIGNE
“A new generation of power unipolar devices: the concept of the Floating Islands MOS Transistor (FLIMOST)”, Proceedings ISPSD’2000 (Toulouse), pp. 69-72.

[27] F. MORANCHO, N. CÉZAC, A. GALADI, M. ZITOUNI, P. ROSSEL, A. PEYRE-LAVIGNE

“A new generation of power lateral and vertical floating islands MOS structures”
Microelectronics Journal, Vol. 32, N° 5-6, pp. 509-516, Juin 2001.

[28] X.B. CHEN, X. WANG, J.K.O. SIN

“A novel high-voltage sustaining structure with buried oppositely doped regions”
IEEE Transactions On Electron Devices, Vol. 47, N° 6, pp. 1280-1285, June 2000.

[29] W. SAITO, I. OMURA, K. TOKANO, T. OGURA, H. OHASHI

“Ultra low On-resistance SBD with P-buried floating layer”
Proceedings ISPSD’02 (Santa Fe), pp. 33-36, June 2002.

[30] A.W. LUDIKHUIZE

“A Review of RESURF Technology”
ISPSD’2000, pp. 11-18, May 22-25, Toulouse.

[31] Y. KAWAGUCHI, K. NAKAMURA, A. NAKAGAWA

“Predicted electrical characteristics of 4500 Super Multi-Resurf MOSFETs”
Proceedings ISPSD’99, pp. 95-98, 1999.

[32] M. M. AI HAKIM, A.H.M. ZAHIRUL ALAM

“A New Vertical Power MOSFET with extremely reduced on resistance and high switching speed by multilayer structures”

In Proceedings of First International Conference on Electrical and Computer Engineering (ICECE 2001), pp. 163-166, Dhaka, Bangladesh.

Peut être téléchargé à l’adresse suivante :

<http://eprints.ecs.soton.ac.uk/12445/01/Ieee10.pdf>

[33] L. LORENZ, G. DEBOY, A. KNAPP, M. MARZ

“COOLMOS™ –a new milestone in high voltage Power MOS”

Proceedings ISPSD’99, pp. 3-10, 1999.

[34] S. ALEVES

“Conception des transistors FLYMOS™ verticaux adaptés aux applications automobiles du futur (batterie 42 Volts)”

Thèse de Doctorat de l’INSA de Toulouse, 2005.

[35] S. HARADA, M. KATO, K. SUZUKI, M. OKAMOTO, T. YATSUO, K. FUKUDA, K. ARAI

“1.8 mΩ.cm², 10 A Power MOSFET in 4H-SiC”

IEDM 2006 (San Francisco), Décembre, pp. 1-4.

Peut être téléchargé à l'adresse suivante :

<http://www.paritycomputing.com/jpdfs/ieee/ed/iedm/2006052/01dec/0840hara.pdf>

[36] M. TRIVEDI, K. SHENAI

“High temperature capability of devices on Si and wide bandgap materials”

Annual meeting of IEEE Industry Applications society, Rome, Italy, 1998, pp. 959-962.

CHAPITRE II

- [1] N. CÉZAC, F. MORANCHO, P. ROSSEL, H. TRANDUC, A. PEYRE LAVIGNE**
“A new generation of power unipolar devices: the concept of the FLoating Islands MOS Transistor (FLIMOST)”
Proceedings ISPSD’2000 (Toulouse), pp. 69-72.
- [2] F. MORANCHO, N. CÉZAC, A. GALADI, M. ZITOUNI, P. ROSSEL, A. PEYRE-LAVIGNE**
“A new generation of power lateral and vertical floating islands MOS structures”
Microelectronics Journal, Vol. 32, N°5-6, pp. 509-516, Juin 2001.
- [3] F. MORANCHO, N. CÉZAC, A. GALADI, M. ZITOUNI, P. ROSSEL, A. PEYRE-LAVIGNE**
“New power FLIMOS structure generations”
5th International Seminar on Power Semiconductor (ISPS’2000), Prague, pp. 91-94, Septembre 2000.
- [4] F. MORANCHO, N. CÉZAC, A. GALADI, M. ZITOUNI, P. ROSSEL, A. PEYRE-LAVIGNE**
“Les composants unipolaires à îlots flottants : de nouvelles limites pour le compromis “résistance à l’état passant/tenue en tension””
EPF 2000, Lille, 29 Novembre-1^{er} décembre, 2000, pp. 189-193, 8^{ème} colloque Electronique de puissance du Futur.
- [5] W. SAITO, I. OMURA, K. TAKANO, T. OGURA, H. OHASHI**
“A novel low on-resistance Schottky-barrier diode with p-buried floating layer structure”
IEEE Transactions On Electron Devices, Vol. 51, pp. 797-802, Mai 2004.
- [6] L. LORENZ, G. DEBOY, A. KNAPP, M. MARZ**
“COOLMOSTM - a new milestone in high voltage Power MOS”
Proceedings ISPSD’99, pp. 3-10, 1999.
- [7] S. ALVES, F. MORANCHO, J-M REYNÈS, J. MARGHERITTA, I. DERAM, K. ISOIRD, H. TRANDUC**
“Technological realization of low on-resistance FLYMOS transistors dedicated to automotive applications”
11th European Conference on Power Electronics and Applications, (EPE’2005), Dresde, September 2005.
- [8] M. GHARBI**
“La tenue en tension et le calibre en courant du transistor MOS vertical dans la gamme des moyennes tensions”
Thèse de 3^{ème} Cycle, Université Paul Sabatier, Toulouse, 1985.
- [9] M.S. ADLER, V.A.K. TEMPLE, A.P. FERRO and C. RUSTAY**
“Theory and Breakdown Voltage for planar Devices with a single Field Limiting Ring”
IEEE Transactions on Electron Devices, Vol. ED-24, pp. 107-113, February 1977.

[10] V. BOISSON, M. LE HELLEY et J.P. CHANTE

“Analytical Expression for the potential of Guard Rings of Diodes Operating in the Punchthrough Mode”

IEEE Transactions on Electron Devices, Vol. ED-32, N° 4, pp. 838-840, April 1985.

[11] S.C. SUN, J.D. PLUMMER

“Electron Mobility in Inversion and Accumulation Layers on Thermally Oxidized Silicon Surfaces”

IEEE Transactions on Electron Devices, Vol. ED-27, N°. 8, August 1980.

[12] J-L. SANCHEZ

“Propriétés à l'état passant des transistors DMOS de puissance coplanaires et verticaux”

Thèse de Docteur-Ingénieur, N°138, INSA, Toulouse, 1984.

[13] S. ALVES

“Conception de transistors FLYMOS™ verticaux de puissance adaptés aux applications automobile du future (batterie 42 Volts)”

Thèse de Doctorat de l’Institut National des Sciences Appliquées, Toulouse, 2005.

[14] T.P. LEE, S.M. SZE

“Depletion layer capacitance of cylindrical and spherical p-n Jonctions”

Solid State Electron, Vol-10, 1967.

[15] G. TARDIVO

“Le transistor DMOS vertical en amplification haute fréquence de puissance”

Thèse de 3^{ème} cycle, Université Paul Sabatier, Toulouse, Janvier 1987.

[16] S.M. SZE

“Physics of semiconductor Devices”

Willey, pp 29, 1981.

[17] “ATLAS II, 2D Device Simulation Framework”

User Manuel, Silvaco International, 2000.

[18] S. SELBERHERR

“Analysis and Simulation of Semiconductor Devices”

Springer-Verlag, Wien-New York, 1984.

[19] C. LOMBARDI, S. MANZINI, A. SAPORITO, M. VANZI

“A Physically Based Mobility Model for Numerical Simulation of Nonplanar Devices”

IEEE Transactions On Computer-Aided Design, Vol. 7, N° 11, p. 1164-1171, 1988.

[20] N. CÉZAC

“Transistor MOS de puissance à faible résistance à l'état passant”

Thèse de Doctorat de l’Université Paul Sabatier, Toulouse, 2001.

[21] F. MORANCHO

“De nouvelles limites pour le compromis “résistance passante spécifique/tenue en tension” des composants unipolaires de puissance”

Habilitation à Diriger des Recherches, Université Paul Sabatier, Décembre 2004.

[22] D. MONCOQUT

“Propriétés physiques et modélisation du transistor de puissance LDMOS”
Thèse de Doctorat de l’Université Paul Sabatier, Toulouse, 1997.

[23] A. NEZAR AND A.T. SALAMA

“Breakdown voltage in LDMOS transistors using internal field rings”
IEEE Transactions on Electron Devices, Vol. 38 No 7, July 1991.

[24] M. ZITOUNI

“Une nouvelle structure d’interrupteurs pour circuits intégrés de puissance : le concept du transistor LUDMOS”

Thèse de Doctorat de l’Université Paul Sabatier, 1999.

CHAPITRE III

[1] PSPICE Circuits Analysis

Manuel Installation and utilisation. Microsim Corporation, 1993.

[2] J.E. MEYER

“MOS models and circuits simulations”
RCA Rev, Vol. 32, pp. 42-63, March 1971.

[3] H.P. YEE, P.O. LAURITZEN

“SPICE models for power MOSFET’s : an update”
IEEE Applied Power Electronics Conference, New Orleans, pp. 281-289, 1988.

[4] J.M. HANCOCK

“Enhanced techniques for SPICE modeling of power MOSFET’s”
Proc. Power Conversion International, pp. 268-284, June 1988.

[5] M. NAPIERALSKA

“Modélisation du transistor VDMOS pour simulation de circuits en électronique de puissance”
Thèse de Doctorat de l’Institut National des Sciences Appliquées, Toulouse, 1991

[6] A. GALADI, F. MORANCHO, K. BENHIDA, M.M. HASSANI

“An accurate SPICE-compatible circuit model for power FLYMOSFETs”
The European Physical Journal, Applied Physics, Vol.39, pp. 219-226, Août 2007.

[7] A. GALADI, F. MORANCHO, K. BENHIDA, M.M. HASSANI

“Modélisation des structures de puissance FLIMOS prenant en considération les capacités inter-électrodes”
International Meeting on Materials for Electronic Applications (IMMEA 2007), Marrakech (Maroc), 30 Avril-2 Mai 2007, 6p.

[8] J.G. MENA

“High Frequency Performance of VDMOS Power Transistors”
M. A. Sc Thesis, Canada, 1981.

[9] S. LATRECHE

“Le transistor MOS à canal vertical en régime non-linéaire d’amplification Haute fréquence de puissance”
Thèse de 3^{ème} cycle, Université Paul Sabatier, N° 3189, Toulouse, 1985.

[10] G. TARDIVO

“Le transistor DMOS vertical en amplification haute fréquence de puissance”
Thèse de 3^{ème} cycle, Université Paul Sabatier, Toulouse, Janvier 1987.

[11] M. BELABADIA

“Propriétés dynamiques des transistors MOS de puissance”
Thèse de Doctorat, Université Paul Sabatier, N° 315, Toulouse, 1988.

[12] R. MAIMOUNI

“Hiérarchie des modèles du transistor MOS de puissance”
Thèse d’État, Oujda, Maroc, Rapport LAAS N° 89125, 1989.

[13] D. MONCOQUT

“Propriétés physiques et modélisation du transistor de puissance LDMOS”
Thèse de Doctorat de l’Université Paul Sabatier, Toulouse, 1997.

[14] F. MORANCHO

“Le transistor MOS de puissance à tranchées : modélisation et limites des performances”
Thèse de Doctorat de l’Université Paul Sabatier, Toulouse, 1996.

[15] K. KASSMI

“Le transistor VDMOS pour amplification de puissance en bande UHF”
Thèse de 3^{ème} Cycle, Université Paul Sabatier, Toulouse, 1993.

[16] P. KOUAKOU

“Etude physique des non-linéarités dans les transistors MOS de puissance radiofréquences”
Thèse de Doctorat de l’Université Paul Sabatier, Toulouse, 1999.

[17] A. GALADI, F. MORANCHO, M. M. HASSANI

“A new accurate SPICE model for low-voltage power FLIMOSFETs”
Semiconductor Science and Technology, Vol 23, N° 4, April 2008.

[18] G.M. DOLNY, H.R. RONAN, F. WHEATLEY

“A SPICE II subcircuit representation for power MOSFET’S using empirical methods”
RCA Review, Vol. 46, pp. 308-320, Sep. 1985.

[19] R.S. SCOTT, G.A. FRANZ, J.L. JOHNSON

“An Accurate Model for Power DMOSFET’s Including Interelectrode Capacitances”
IEEE Transactions on Power Electronics, Vol. 6, N° 2, pp. 192-198, April 1991.

[20] E. CAQUOT, G. GUEGAN, M. GAMBOA, H. TRANDUC, P. ROSSEL

“Phénomène de « quasi-saturation » dans les transistors MOS”
Revue de Physique appliquée, N° 15, Septembre 1980, pp. 1445-1450.

[21] C.H. XU, D. SCHRÖDER

“Modelling and Simulation of Power MOSFETs and Power Diodes”
IEEE PESC’88 RECORD, Kyoto, pp. 76-83, April 1988.

[22] S. KELKAR, R.W. WUNDERLICH, L. HITCHCOCK

“Device level simulation for power converters”
Proc. IEEE APEC, pp. 335-343, Mar. 1989.

[23] A. BELLAOUAR

“Détection et dosimétrie des rayonnements ionisants par transistor MOS”
Thèse de 3^{ème} Cycle, Université Paul Sabatier, Toulouse, 1985.

[24] B. BEYDOUN

“Simulation et conception des transistors MOS de puissance”
Thèse de Doctorat, Université Paul Sabatier, Toulouse, 1994.

[25] P. ROSSEL, H. TRANDUC, J-L. SANCHEZ et A. BELLAOUAR

“Détermination expérimentale des paramètres des transistors MOS”
Revue de Physique appliquée, Août 1983, pp. 487-493.

[26] H. TRANDUC, E. CAQUOT, G. GUEGAN, P. ROSSEL

“M.A.AC.S.I.M. : Méthodes Automatiques d’Acquisition des Caractéristiques Statiques et d’Identification des paramètres des transistors Métal-Oxyde-Semi-conducteur”
Note technique LAAS N° 80I21, 1980.

[27] C. BUTTAY, H. MOREL, B. ALLARD, P. LEFRANC, O. BREVET

“Model Requirements for Simulation of Low-Voltage MOSFET in Automotive Applications”
IEEE Transactions on Power Electronics, Vol. 21, N°. 3, May 2006.

[28] G. VERNEAU, L. AUBARD, J-C. CREBIER, C. SCHAEFFER, J-L. SCHANEN

“Empirical Power MOSFET Modeling: Practical Characterization And Simulation
Implantation”
37th IAS (Industry Applications Conference) Annual Meeting, pp. 2425-2432, 2002.

[29] R. MIMOUNI, H. TRANDUC, P. ROSSEL, D. ALLAIN, M. NAPIERALSKA

“SPICE Model for TMOS Power MOSFETs”
Motorola application note AN1024.
Peut être téléchargé à l’adresse suivante :
<http://www.onsemi.com/pub/Collateral/AN1043-D.PDF>

[30] “Power MOSFET Application note”

Renesas Technology, August 23, 2004.
Peut être téléchargé à l’adresse suivante :
http://documentation.renesas.com/eng/products/transistor/apn/rej05g0001_pmf.pdf

[31] Application note 9539, Intersil technology

Peut être téléchargé à l’adresse suivante :
<http://www.intersil.com/data/an/an9539.pdf>

[32] K. SHENAI

“Interelectrode capacitance nonlinearities in Vertical power DMOSFETs”
Electronics letters, 31 January, Vol. 27, N° 3, pp. 280-282, 1991.

Bibliographie

ANNEXES

Annexes

Annexe 1 : Calcul de l'intégrale d'ionisation dans le cas de la jonction plane en non limitation (NPT) de la ZCE

Dans le cas de la jonction plane en non limitation de la ZCE, la condition de claquage par avalanche est satisfaite si l'intégrale d'ionisation est égale à l'unité :

$$I_p = \int_0^W \alpha_p \cdot \exp \left(\int_0^x (\alpha_n - \alpha_p) dx' \right) dx \quad (A1.1)$$

où W est l'épaisseur de la zone de drift, supposée égale à l'épaisseur de la zone de drift ($H - h_2$).

Si on pose :

$$\alpha_n (cm^{-1}) = A' \cdot E^7 \quad (A1.2)$$

$$\alpha_p (cm^{-1}) = A'' \cdot E^7 \quad (A1.3)$$

L'intégrale I_p peut s'écrire alors :

$$I_p = \int_0^W A'' \cdot E^7 \cdot \exp \left(\int_0^x (A' - A'') \cdot E^7 \cdot dx' \right) dx \quad (A1.4)$$

Or le champ électrique au claquage dans le cas de la non limitation peut être donné par :

$$E(x) = \frac{q \cdot N_d}{\epsilon_0 \cdot \epsilon_{si}} \cdot (x - W) \quad (A1.5)$$

En introduisant l'expression du champ électrique (A1.5) dans la relation (A1.4), on trouve :

$$I_p = \int_0^W A'' \cdot \left(\frac{q \cdot N_d}{\epsilon_0 \cdot \epsilon_{si}} \cdot (x - W) \right)^7 \cdot \exp \left(\int_0^x (A' - A'') \cdot \left(\frac{q \cdot N_d}{\epsilon_0 \cdot \epsilon_{si}} \cdot (x - W) \right)^7 \cdot dx' \right) dx \quad (A1.6)$$

En développant cet intégrale, la solution s'écrit sous la forme :

$$I_p = \frac{A''}{A' - A''} \left[\exp \left(\frac{A' - A''}{8} \cdot \left(\frac{q \cdot N_d}{\epsilon} \right)^7 \right) \cdot W^8 - 1 \right] \quad (A1.7)$$

En posant $I_p = 1$ et en développant l'expression (A1.7), on trouve :

$$\ln \left(\frac{A'}{A''} \right) = \frac{A' - A''}{8} \cdot \left(\frac{q \cdot N_d}{\epsilon_0 \cdot \epsilon_{si}} \right)^7 \cdot W \quad (A1.8)$$

Annexe 2 : Logiciel PISCES de SILVACO

A2.1. Introduction

La simulation numérique bidimensionnelle est basée sur le logiciel ATLAS et sur son application aux composants silicium, PISCES : elle nous permet d'obtenir les caractéristiques électriques d'un composant semi-conducteur par résolution des équations qui décrivent le comportement physique de ce composant.

Ce type de simulation bidimensionnelle est donc d'une aide capitale pour la compréhension du fonctionnement d'une structure nouvelle, telle que le transistor FLIMOS de puissance, ainsi que pour le développement de nouveaux procédés technologiques. L'influence des paramètres "internes" à la structure — géométriques et technologiques — peut également être étudiée.

La simulation bidimensionnelle présente l'avantage d'être rigoureuse, à condition que les modèles et les paramètres choisis pour décrire les mécanismes le soient correctement. En particulier, l'influence des mobilités est primordiale sur les résultats de simulation en régime de conduction. Nous nous attacherons ici à décrire les différents modèles de mobilité utilisables par ce logiciel.

I/ Résistance à l'état passant et choix du modèle de mobilité pour les MOS de puissance

A2.2. Modèles de mobilité dans les transistors MOS pour la simulation

La mobilité des porteurs est une grandeur physique définie comme étant la constante de proportionnalité entre la vitesse des porteurs et le champ électrique. Elle dépend de manière complexe de la nature et de la fréquence des collisions et interactions que subissent les porteurs durant leur déplacement dans le cristal.

À l'état passant, les mobilités sont des paramètres extrêmement importants dans les transistors MOS, car elles ont une influence de premier ordre sur les valeurs du courant de drain et, par conséquent, de la résistance à l'état passant.

Dans les transistors MOS de puissance verticaux basse tension, les deux régions les plus importantes pour le fonctionnement à l'état passant — notamment du point de vue "résistance passante" — sont la région du canal d'inversion et la zone volumique épitaxiée. C'est pour cette raison que nous faisons la distinction entre deux principaux types de mobilités dans ces transistors :

- les mobilités des porteurs (électrons ou trous) dans un cristal semi-conducteur dopé (N ou P), que nous appellerons mobilités en volume.
- les mobilités des porteurs (électrons ou trous) dans une couche inversée.

Plusieurs auteurs ont montré que les lois de variation de ces deux types de mobilités, notamment en fonction du champ électrique et de la température, étaient différentes. Pour traduire ces lois de variation, on peut utiliser, dans le logiciel bidimensionnel PISCES, plusieurs modèles de mobilité dont le plus simpliste utilise des valeurs de mobilité constantes pour les électrons et les trous, μ_{n0} et μ_{p0} , pour chaque matériau employé. Toutefois, utiliser des valeurs de mobilité constantes conduirait à des résultats non réalistes puisque cela reviendrait à négliger l'influence sur celles-ci de grandeurs telles que la concentration des porteurs, le champ électrique et la température. C'est donc pour tenir compte de tous ces

paramètres que différents modèles de mobilité plus évolués sont proposés dans PISCES. Une étude approfondie de ces modèles est nécessaire, afin d'évaluer l'impact des différents paramètres physiques de ces modèles sur nos simulations à l'état passant. Nous verrons notamment qu'il existe des modèles complets qui peuvent s'appliquer à tous les domaines du semi-conducteur — couche inversée ou volume —. Les conclusions de cette étude permettront de dégager le modèle physique le plus approprié pour les simulations numériques du transistor FLIMOS.

A2.2.1. Mobilités dans une zone volumique

A2.2.1.1. Modèles de mobilité dépendant de la concentration en impuretés

La plupart des modèles s'appuient sur l'expression empirique établie par Caughey et Thomas [1] qui donne la mobilité des porteurs libres dans le silicium :

$$\mu = \mu_{\min} + \frac{\mu_{\max} - \mu_{\min}}{1 + (N / N_{ref})^{\alpha}} \quad (\text{A2.1})$$

où μ_{\max} , μ_{\min} , N_{ref} et α sont des coefficients qui peuvent varier légèrement selon les auteurs [1, 2, 3] et donc selon les modèles (CONMOB, ANALYTICAL, ARORA, CVT).

Par exemple, les valeurs proposées par Caughey et Thomas [1] pour ces coefficients sont : $\mu_{\max} = 1330 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$, $\mu_{\min} = 65 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$, $N_{ref} = 8,5 \cdot 10^{16} \text{ cm}^{-3}$, $\alpha = 0,72$ pour les électrons, $\mu_{\max} = 495 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$, $\mu_{\min} = 47,7 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$, $N_{ref} = 6,3 \cdot 10^{16} \text{ cm}^{-3}$, $\alpha = 0,76$ pour les trous.

Cette expression donne la valeur des mobilités à la température $T = 300 \text{ K}$ — c'est-à-dire à la température ambiante — pour des porteurs majoritaires (électrons ou trous) en fonction du dopage en impuretés dans le matériau.

Pour des concentrations en impuretés faibles, la mobilité des porteurs ne dépend que du seul phénomène de “Lattice Scattering”, c'est-à-dire de “dispersion” des porteurs avec le réseau cristallin. Ainsi, la mobilité des électrons — et la mobilité des trous — due à ce phénomène correspond à la valeur limite de l'équation (A2.1) lorsque la concentration en impuretés tend vers zéro : $\mu_{lattice} = \mu_{\max}$.

Lorsque la concentration en impuretés augmente, c'est le phénomène d' “Impurity Scattering”, c'est-à-dire de “dispersion” des porteurs par les impuretés ionisées, qui devient prépondérant : cela se traduit par une réduction importante de la mobilité à partir de la valeur N_{ref} .

Pour leur part, Masetti *et al.* [3] ont considéré que l'expression (A2.1) n'était pas suffisante pour traduire les effets de “ultra-hautes” concentrations; ils ont alors proposé une expression plus générale de la mobilité en fonction de la concentration :

$$\mu = \mu_{\min} + \frac{\mu_{\max} - \mu_{\min}}{1 + (N / N_{ref,1})^{\alpha_1}} - \frac{\mu_1}{1 + (N_{ref,2} / N)^{\alpha_2}} \quad (\text{A2.2})$$

Les effets de “ultra-hautes” concentrations sur la mobilité sont représentés par le troisième terme de cette expression : au-dessous d'une concentration de 10^{20} cm^{-3} , on retrouve bien l'expression (A2.1) de Caughey et Thomas, représentée par les deux premiers termes de l'expression (A2.2).

A titre d'information, nous fournissons, dans le tableau (A2.1), les valeurs des paramètres de l'expression (A2.2) d'après Masetti [3].

Paramètres	Electrons (Phosphore)	Trous (Bore)
μ_{\max} (cm ² .V ⁻¹ .s ⁻¹)	1414,0	470,5
μ_{\min} (cm ² .V ⁻¹ .s ⁻¹)	68,5	44,9
μ_1 (cm ² .V ⁻¹ .s ⁻¹)	56,1	29,0
$N_{\text{ref},1}$ (cm ⁻³)	9,20.10 ¹⁶	2,23.10 ¹⁷
$N_{\text{ref},2}$ (cm ⁻³)	3,41.10 ²⁰	6,10.10 ²⁰
α_1	0,711	0,719
α_2	1,98	2,0

Tableau A2.1 : Valeurs des paramètres proposés par Masetti [3] pour l'équation (A2.2).

La figure (A2.1) montre les variations de la mobilité des électrons et des trous en fonction de la concentration N en impuretés selon Caughey et Thomas [1] et selon Masetti [3].

Yamaguchi [4] propose une autre expression empirique de la mobilité en fonction de la concentration en impuretés. Cette expression, que nous évoquons au paragraphe (A2.2.2.1.) consacré au modèle de Yamaguchi, est légèrement différente de celles proposées par les autres auteurs, mais les mécanismes mis en jeu sont basiquement les mêmes.

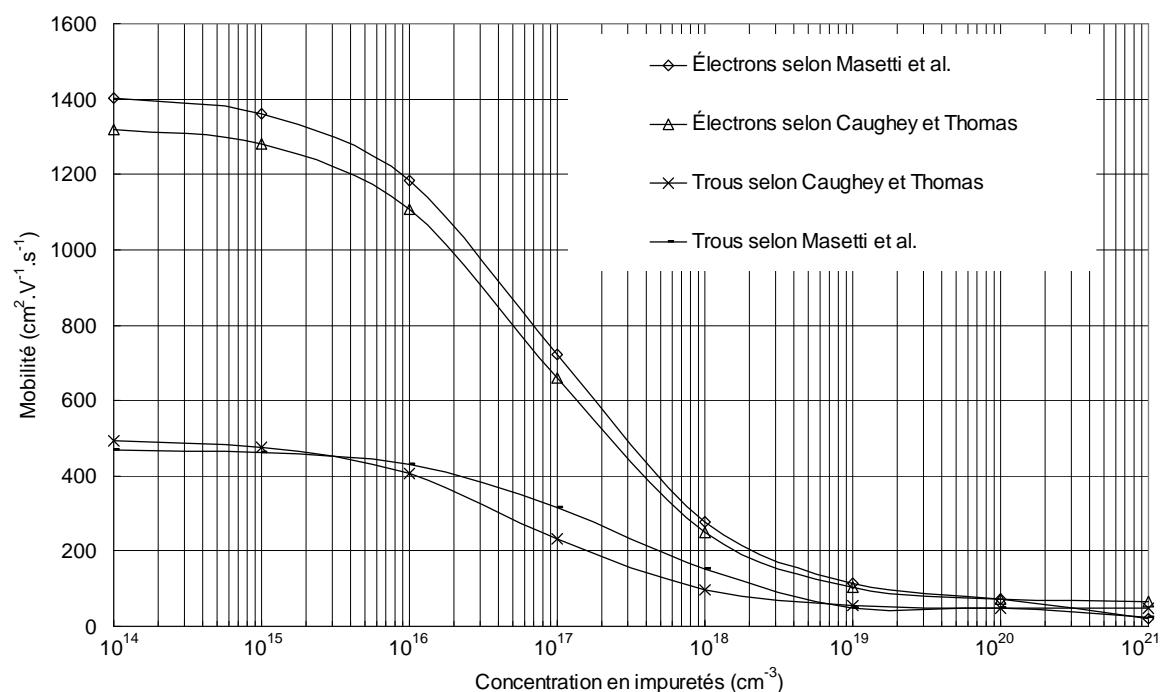


Figure A2.1 : Mobilité des électrons et des trous en fonction de la concentration en impuretés à T de 300 K.

A2.2.1.2. Modèles de mobilité dépendant de la température

Un autre phénomène de “dispersion” des porteurs libres qui est pris en compte dans certains modèles est celui relatif au cristal. Les interactions entre les charges mobiles et les atomes du réseau cristallin, ou, plus exactement, les vibrations thermiques de ceux-ci, dépendent de la température du cristal suivant les lois suivantes :

$$\mu_n = \mu_{n0} \cdot \left(\frac{T}{T_0} \right)^{-\alpha_n} \quad (A2.3)$$

$$\mu_p = \mu_{p0} \cdot \left(\frac{T}{T_0} \right)^{-\alpha_p} \quad (A2.4)$$

où $T_0 = 300$ K. Les valeurs des coefficients α_n , α_p , μ_{n0} et μ_{p0} varient selon les auteurs : α_n et α_p varient de 2,2 à 2,7, μ_{n0} de 1330 à 1600 $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ et μ_{p0} de 465 à 600 $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$. Bien que l'on relève une assez grande dispersion dans la littérature sur la mesure des mobilités [5, 6, 7], il est acquis, d'après les expressions (A2.3) et (A2.4), que la mobilité décroît sensiblement lorsque la température augmente.

Les modèles proposés pour PISCES prenant en compte les effets de la température sur la mobilité sont le modèle CONMOB associé à ANALYTICAL et le modèle CVT de Lombardi [8]. Si on utilise ces modèles à la température ambiante $T = 300$ K, on retrouve les valeurs du modèle de base établi par Caughey et Thomas.

A2.2.1.3. Modèles de mobilité dépendant du champ électrique

Dans les deux paragraphes précédents, nous avons évoqué les modèles de mobilité dépendant de la concentration en impuretés et de la température. Ces modèles sont suffisants pour rendre compte de la valeur de la mobilité pour les porteurs majoritaires lorsque les champs électriques appliqués sont faibles. En fait, nous avons admis que, dans cette gamme de champs faibles, la mobilité μ_0 était indépendante du champ électrique, c'est-à-dire que la vitesse moyenne de dérive des porteurs était strictement proportionnelle à l'intensité du champ :

$$v = \mu_0 \cdot E \quad (A2.5)$$

Ceci n'est plus vrai pour les champs électriques intenses : pour des valeurs de champ supérieures à 10^3 V/cm, la mobilité n'est plus indépendante du champ électrique; elle décroît lorsque l'intensité du champ croît. La vitesse de dérive des porteurs n'augmente alors plus de manière linéaire avec le champ électrique.

Enfin, au-delà d'un champ de 10^5 V/cm d'intensité, la mobilité moyenne des porteurs décroît selon une loi inversement proportionnelle au champ électrique, ce qui signifie que la vitesse de dérive des porteurs est constante : les porteurs libres ont alors atteint leur vitesse limite, ou vitesse de saturation. Pour les électrons, dans le silicium, cette vitesse dépend de la température selon la loi suivante [2] :

$$v_{sat} = \frac{v_1}{1 + C \cdot \exp\left(\frac{T}{T_0}\right)} \quad (A2.6)$$

où $v_1 = 2,4 \cdot 10^7$ cm/s, $C = 0,8$ et $T_0 = 600$ K.

À la température ambiante, la vitesse de saturation des électrons vaut : $v_{sat} = 10^7$ cm/s.

Pour les trous, on a : $v_{sat} = 8 \cdot 10^6$ cm/s.

À ce concept de vitesse limite est associée la notion de champ électrique critique E_c défini comme étant le rapport de la vitesse de saturation v_{sat} sur la mobilité à champ faible μ_0 : $E_c = v_{sat}/\mu_0$. À température ambiante, ce paramètre, dépendant de la concentration en impuretés, varie entre $7 \cdot 10^3$ V/cm et $7 \cdot 10^4$ V/cm pour un semi-conducteur de type N. Ce champ électrique critique varie également en fonction de la température suivant une loi proportionnelle à $(T/300)^\gamma$ où $\gamma = 1,55$ pour les électrons et $1,68$ pour les trous.

Les différents auteurs, dont les modèles sont inclus dans PISCES, proposent des équations empiriques permettant de tenir compte de l'effet du champ électrique. Nous retrouvons l'expression empirique (A2.7) de Caughey et Thomas [1] dans les modèles FLDMOB et CVT :

$$\mu(E) = \frac{\mu_0}{\left[1 + \left(\frac{\mu_0 \cdot E}{v_{sat}}\right)^\beta\right]^\frac{1}{\beta}} \quad (\text{A2.7})$$

Les équations empiriques des modèles FLDMOB, CVT et YAMAGUCHI ne présentent pas de différences majeures à température ambiante. Par contre, si on désire réaliser des simulations à d'autres températures, seuls les modèles FLDMOB et CVT le permettent car ce sont les seuls modèles qui peuvent rendre compte de l'effet de la température sur la vitesse de saturation suivant l'expression (A2.6).

A2.2.2. Mobilités des électrons libres dans une couche inversée

La mobilité des électrons dans une couche inversée a fait l'objet de nombreux travaux [4, 8, 9, 10] : en effet, cette mobilité est un des paramètres les plus importants pour modéliser et prédire précisément le comportement et les performances des composants MOS à l'état passant. Une connaissance approfondie des mécanismes physiques mis en jeu dans cette région est donc nécessaire. Ces mécanismes physiques sont connus sous le nom de "Surface Scattering", ou dispersion des porteurs en surface.

Sun et Plummer [9] ont récapitulé les trois principaux types de mécanismes de dispersion qui rendent compte de l'évolution des mobilités dans une couche inversée quand la tension de grille est supérieure à la tension de seuil :

- le "Phonon Scattering" dû aux différents modes de vibration du cristal : il est plus important à température ambiante qu'à basse température.
- le "Coulomb Scattering", ou "Impurity Scattering" qui résulte des interactions entre les porteurs de la couche inversée et les charges localisées dans l'oxyde, les charges d'interface et les impuretés ionisées dans le volume. Les effets de ce type de dispersion sont importants en régime de faible inversion. L'augmentation de la densité de charges en surface ou du dopage

de la région P entraîne un phénomène de dispersion plus marqué. Par contre, il devient moins important en régime de forte inversion.

• le “Surface Roughness Scattering” — “dispersion” des porteurs due à la rugosité de surface — qui fait apparaître les défauts, ou irrégularités, de l’interface oxyde-semiconducteur. Ce type de “dispersion” apparaît en régime de forte inversion : en effet, il est d’autant plus important que les porteurs sont proches de la surface; c’est le cas lorsque le champ électrique transverse — perpendiculaire à l’interface — augmente. Pour un transistor VDMOS, Sun et Plummer ont notamment montré, d’un point de vue technologique, qu’une vitesse d’oxydation plus lente — oxydation sèche au lieu d’une oxydation humide — conduisait à une meilleure qualité de l’interface oxyde-silicium — en termes de densité de charges à l’interface —, et, par conséquent, à une décroissance moins rapide de la mobilité sous un fort champ électrique transverse. Notons, par ailleurs que le phénomène de “Surface Roughness Scattering” était à l’origine de fortes dégradations de la mobilité dans les premiers transistors MOS à tranchées car la technique par R.I.E. entraînait l’apparition de défauts sur les parois de la tranchée.

L’importance relative de ces différents mécanismes de dispersion dépend en grande partie de la température et de la valeur du champ électrique transverse dans la couche inversée.

À basse température, la mobilité est gouvernée par les effets de “Coulomb Scattering” qui dominent dans les régions à faible champ électrique, et par les effets de “Surface Roughness Scattering” qui dominent dans les régions à fort champ.

À température ambiante, la mobilité est dominée par les effets de “Coulomb Scattering” et de “Phonon Scattering” dans les régions à faible champ, et par les effets de “Surface Roughness Scattering” et de “Phonon Scattering” dans les régions à fort champ, c’est-à-dire en forte inversion.

La dépendance de la mobilité par rapport au champ électrique transverse est la plus importante pour les transistors MOS de puissance. Plusieurs modèles de mobilités dépendant du champ électrique transverse dans une couche inversée, sont utilisables par PISCES : il s’agit des modèles YAMAGUCHI [4], TFLDMB2 [10] et CVT [8].

A2.2.2.1. Modèle de Yamaguchi

Selon Yamaguchi [4], la mobilité effective des électrons dans une couche inversée en fonction du champ électrique transverse est empiriquement donnée par :

$$\mu = \mu(N) \cdot (1 + \alpha_s \cdot E_{\perp})^{-\frac{1}{2}} \quad (\text{A2.8})$$

où E_{\perp} est la composante transverse du champ électrique et α_s un coefficient qui vaut $1,54 \cdot 10^{-5}$ cm/V pour les électrons. Dans cette expression, la mobilité dans le volume, $\mu(N)$, est fonction de la concentration en impuretés N selon la relation suivante :

$$\mu(N) = \mu_0 \cdot \left[1 + \frac{N}{\left(\frac{N}{S} + N_{ref} \right)} \right]^{-\frac{1}{2}} \quad (\text{A2.9})$$

où μ_0 est la mobilité constante à champ faible définie au paragraphe (A2.2.1.3), S et N_{ref} étant des paramètres traduisant les effets de “Phonon” et “Impurity Scattering”. Pour les électrons, Yamaguchi utilise les valeurs suivantes :

$$\mu_0 = 1400 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}, S = 350 \text{ et } N_{\text{ref}} = 3.10^{16} \text{ cm}^{-3}.$$

Notons que cette expression est légèrement différente des expressions proposées par Caughey et Thomas [1] ou Masetti *et al.* [3], mais que les mécanismes mis en jeu sont les mêmes.

La figure (A2.2) donne, pour différents dopages de type P — correspondant donc à un transistor MOS à canal N —, la mobilité des électrons en fonction du champ transverse dans la zone inversée selon Yamaguchi.

L'utilisation de ce modèle n'est pas cependant adéquate pour les transistors MOS car il est insuffisant pour décrire les trois principaux types de mécanismes de dispersion précédemment cités. Nous pouvons par exemple remarquer que, pour des forts champs électriques, c'est-à-dire en régime de forte inversion, la mobilité des électrons n'est pas indépendante du dopage, ce qui est en totale contradiction avec ce qui est désormais admis dans la littérature : en effet, plusieurs auteurs ont montré que, en régime de forte inversion, le phénomène de "Surface Roughness Scattering" était le plus important; or ce phénomène ne dépend que du champ électrique transverse.

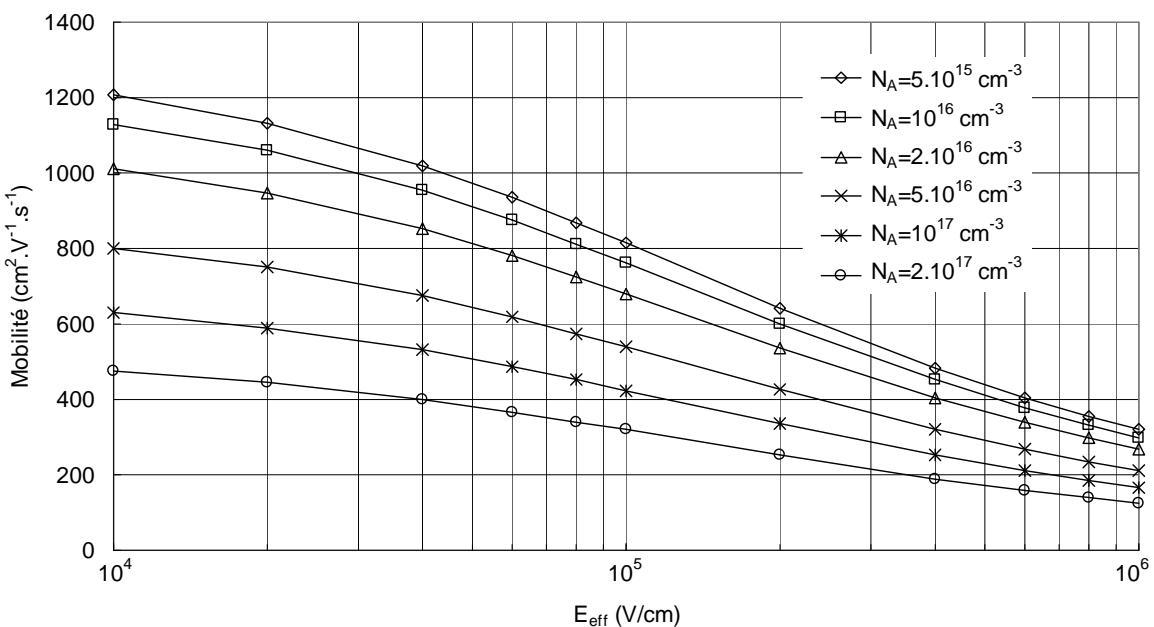


Figure A2.2 : Mobilité dépendant du champ électrique transverse selon le modèle de Yamaguchi.

A2.2.2. Modèle de Tasch (TFLDMB2)

Le modèle de Tasch [10], disponible dans PISCES sous la déclaration TFLDMB2, est un modèle complet et complexe qui prend en compte les différents mécanismes de dispersion avec la température. D'après leurs auteurs, qui l'ont comparé à l'expérience, ce modèle est valable pour des transistors MOS à canal N pour des longueurs effectives de canal de 0,5 à 1,2 μm et pour des dopages N_A dans le canal de $3,9.10^{15}$ à $7,7.10^{17} \text{ cm}^{-3}$.

Ce modèle peut donc être utilisé pour simuler un transistor FLIMOS tel que ceux que nous étudions : par exemple, nos structures ont une longueur de canal de 0,6 μm environ et un dopage maximal $N_{\text{Amax}} = 1,3.10^{17} \text{ cm}^{-3}$. Nous avons pu vérifier qu'il donnait, dans ce cas, des résultats satisfaisants. Notons, à ce propos, que le modèle de Tasch était, avant l'apparition de la version d'ATLAS de juin 1995, le modèle pris par défaut dans le macro-modèle MOS pour

décrire le comportement des mobilités en fonction du champ électrique transverse. Ce n'est plus le cas désormais, car il s'avère de fait qu'il présente deux lacunes :

- ses différents paramètres d'entrée ne peuvent pas être modifiés par l'utilisateur,
- il ne permet pas de simuler correctement un transistor MOS à canal P car il a été établi uniquement pour une couche inversée d'électrons et n'est pas valable pour une couche inversée de trous.

A2.2.2.3. Modèle de Lombardi (CVT)

Depuis l'apparition de la version d'ATLAS de juin 1995, le modèle utilisé par défaut dans le macro-modèle MOS est le modèle universel CVT proposé par Lombardi [8]. Il est basé sur des équations empiriques qui permettent la modélisation de couches inversées d'électrons et de trous.

L'avantage majeur de ce modèle est que les paramètres physiques d'entrée et les coefficients des équations sont accessibles pour l'utilisateur. Lombardi suppose que la mobilité des porteurs μ_T peut être considérée, en utilisant la règle de Mathiessen, comme étant la somme de trois termes :

$$\frac{1}{\mu_T(E_\perp)} = \frac{1}{\mu_{ac}(E_\perp, T)} + \frac{1}{\mu_b(N_A, T)} + \frac{1}{\mu_{sr}(E_\perp)} \quad (\text{A2.10})$$

où μ_{ac} est la mobilité des porteurs due au phénomène de "Phonon Scattering", μ_b est la mobilité dans le volume dépendant principalement de l' "Impurity Scattering", et μ_{sr} est la mobilité introduite par le "Surface Roughness Scattering".

Les trois phénomènes de dispersion évoqués au début du paragraphe (A2.2.2) sont donc bien pris en compte dans ce modèle.

a) Mobilité due au "Phonon Scattering" μ_{ac}

La mobilité μ_{ac} est littéralement, d'après Lombardi, "la mobilité des porteurs due à leur dispersion avec les phonons acoustiques". Cette mobilité est donnée empiriquement, en fonction de la température et du champ électrique transverse, par la relation suivante :

$$\mu_{ac}(E_\perp, T) = \left(B \cdot \frac{T}{E_\perp} + C \cdot \frac{N_A^\tau}{E_\perp^1} \right) \cdot T^{-1} \quad (\text{A2.11})$$

où les coefficients B, C et τ sont des constantes qui, dans PISCES, valent par défaut : B = $4,75 \cdot 10^7$ cm/s, C = $1,74 \cdot 10^5$ (MKSA) et $\tau = 0,125$ pour les électrons.

b) Mobilité dans la zone volumique μ_b

L'expression de la mobilité des électrons dans la zone volumique, en fonction de la concentration en impuretés N_A et de la température, découle de l'expression de Masetti — expression (A2.12) — :

$$\mu_b(N_A, T) = \mu_{\min} + \frac{\mu_{\max}(T) - \mu_{\min}}{1 + (N_A / N_{ref,1})^{\alpha_1}} - \frac{\mu_1}{1 + (N_{ref,2} / N_A)^{\alpha_2}} \quad (A2.12)$$

où $\mu_{\max}(T)$ dépend de la température suivant la loi décrite par l'expression (A2.3).

c) Mobilité due au “Surface Roughness Scattering” μ_{sr}

Le “Surface Roughness Scattering” est connu pour diminuer fortement la mobilité en surface à basse température et à fort champ électrique. Lombardi propose, pour μ_{sr} , l'expression suivante en fonction du champ électrique transverse :

$$\mu_{sr}(E_{\perp}) = \frac{\delta}{E_{\perp}^2} \quad (A2.13)$$

où δ est une constante dont plusieurs auteurs ont estimé la valeur. Par défaut, cette valeur est, dans PISCES : $\delta = 5,82 \cdot 10^{14} \text{ V}^2/\text{cm}^2$.

La figure (A2.3) donne, à température ambiante et pour différents dopages de type P — correspondant donc à un transistor MOS à canal N —, la mobilité des électrons en fonction du champ transverse dans la zone inversée selon le modèle proposé par Lombardi, et en utilisant les paramètres utilisés par défaut dans PISCES. Nous pouvons notamment remarquer que la mobilité est indépendante de la concentration en impuretés lorsque l'intensité du champ électrique est élevée, c'est-à-dire en régime de forte inversion. Ceci est tout à fait logique puisque c'est alors le phénomène de “Surface Roughness Scattering”, indépendant de la concentration, qui domine en régime de forte inversion.

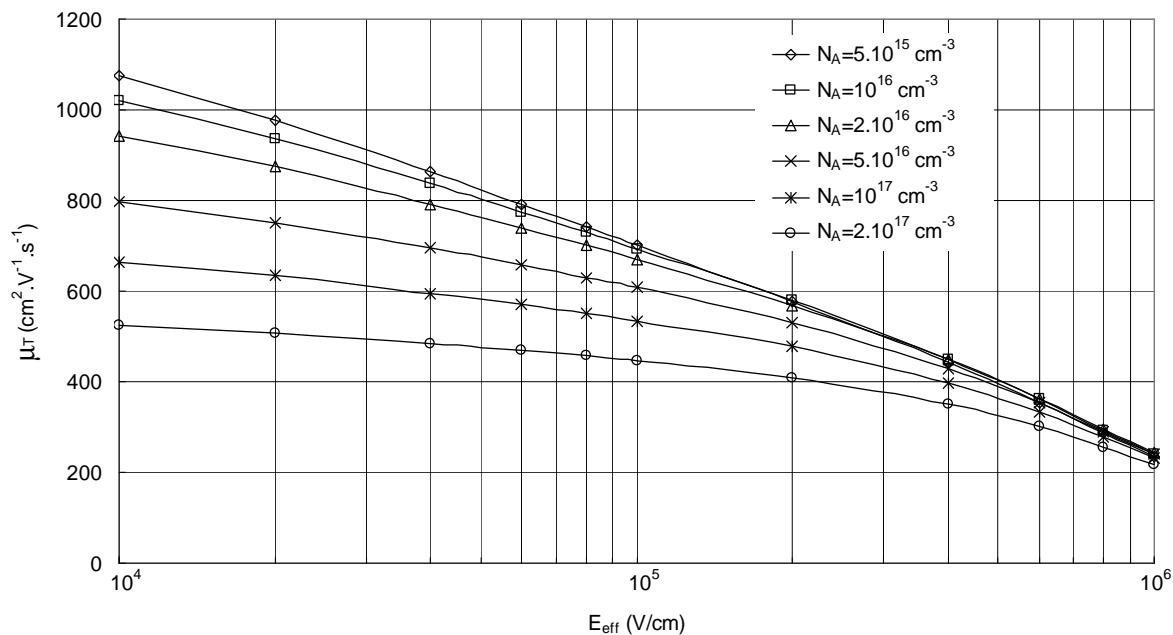


Figure A2.3 : Mobilité dépendant du champ électrique transverse selon le modèle CVT de Lombardi.

Une fois la mobilité μ_T en fonction du champ transverse calculée en chaque point de maillage, PISCES en déduit la mobilité “finale” μ qui prend en compte la dépendance des mobilités par

rapport au champ électrique longitudinal; dans le modèle CVT, cette dépendance est donnée par l'expression (A2.14) qui découle de la relation (A2.7) :

$$\mu = \frac{\mu_T}{\left[1 + \left(\frac{\mu_T \cdot E_{\parallel}}{v_{sat} \cdot \left(\frac{T}{300} \right)^{\lambda}} \right)^{\beta} \right]^{\frac{1}{\beta}}} \quad (A2.14)$$

où E_{\parallel} est le champ électrique longitudinal, c'est-à-dire le champ parallèle à la direction des lignes de courant dans le canal.

L'influence des mobilités, dans une couche inversée et dans le volume, sur le comportement à l'état passant des transistors MOS est prépondérante : c'est d'ailleurs pour cette raison que nous avons étudié précisément tous les modèles de mobilité disponibles dans PISCES.

II/ Tension de claquage et choix des coefficients d'ionisation

A2.3. Principe de détermination de la tension de claquage

Il est connu que, pour une diode unidimensionnelle PN polarisée en inverse, les conditions de claquage sont régies par le mécanisme de multiplication par avalanche. On considère que ces conditions sont satisfaites lorsque l'intégrale d'ionisation (I_n ou I_p) est égale à l'unité [11] soit :

$$I_n = \int_0^W \alpha_n \cdot \exp \left(\int_W^x (\alpha_n - \alpha_p) dx' \right) dx \quad (A2.15)$$

$$I_p = \int_0^W \alpha_p \cdot \exp \left(\int_0^x (\alpha_n - \alpha_p) dx' \right) dx \quad (A2.16)$$

Où α_n et α_p sont respectivement les coefficients d'ionisation des électrons et des trous. Ces coefficients α_n et α_p représentent le nombre probable de collisions ionisantes que subit un porteur incident, trou ou électron, par unité de longueur de parcours.

Selon Sze [12], ces deux équations sont strictement équivalentes quant à la détermination des tensions de claquage; on peut utiliser indifféremment l'une ou l'autre d'entre elles car elles atteignent l'unité pour la même tension.

Pour le transistor MOS qui nous intéresse, et par utilisation d'un logiciel tel que PISCES, la détermination de la tension de claquage d'un composant est réalisée par le calcul de l'intégrale d'ionisation à partir des coefficients d'ionisation par impact α_n et α_p dont les valeurs sont différentes, selon le modèle qui est choisi.

A2.4. Coefficients d'ionisation par impact de PISCES

Trois modèles d'ionisation par impact sont disponibles dans PISCES :

- les deux premiers, proposés par Selberherr [13] et Grant [14], utilisent la détermination des coefficients d'ionisation à partir de la forme générale proposée par Chynoweth [15] :

$$\alpha_i = \alpha_i^\infty \cdot \exp\left(-\frac{E_i^{\text{crit}}}{|E|}\right)_{i=n,p} \quad (\text{A2.17})$$

- le troisième est un modèle différent proposé par Crowell et Sze [16].

A2.4.1. Modèles s'appuyant sur la formule de Chynoweth

Ces deux modèles diffèrent par les valeurs des coefficients α^∞ et E^{crit} . Ces coefficients ont été déterminés expérimentalement, pour le silicium, par plusieurs auteurs.

Selberherr [12] a développé un modèle d'ionisation par impact pour la simulation numérique s'appuyant sur les paramètres α^∞ et E^{crit} mesurés par Van Overstraeten [17]. La dépendance de ces coefficients vis-à-vis de la température peut également être décrite par ce modèle. Grant [14] propose d'autres valeurs pour ces paramètres; le modèle de Grant est celui qui est utilisé par défaut dans le simulateur.

Le modèle de Selberherr utilise des valeurs moyennes de ces coefficients par rapport aux valeurs proposées par les autres auteurs. De plus, il est le seul modèle, dans PISCES, dont la dépendance en température est parfaitement explicitée.

Signalons cependant que l'utilisateur peut modifier, s'il le désire, les coefficients implantés par défaut dans le modèle de Selberherr : nous voyons ici tout l'intérêt du logiciel PISCES, qui permet, en fait, à l'utilisateur de choisir les coefficients qu'il désire — et donc s'appuyer sur les résultats d'un auteur autre que Van Overstraeten —.

A2.4.2. Modèle de Crowell et Sze

L'inconvénient de ce modèle est que l'utilisateur ne peut modifier qu'un seul paramètre dans les équations proposées [16], celle de $\lambda_{n,p}^0$ — par défaut : $\lambda_n^0 = 6,2 \cdot 10^{-7}$ cm et $\lambda_p^0 = 3,8 \cdot 10^{-7}$ cm —.

Bibliographie

[1] D.M. CAUGHEY, R.E. THOMAS

“Carrier Mobility in Silicon Empirically Related to Doping and Field”
Proc. IEEE, Vol. 55, pp. 2192-2193, 1967.

[2] C. JACOBINI, C. CANALI, G. OTTAVIANI, A. ALBERIGI QUARANTA

“A Review of some Charge Transport Properties of Silicon”
Solid-State Electronics, Vol. 20, pp. 77-89, 1977.

[3] G. MASETTI, M. SEVERI, S. SOLMI

“Modeling of Carrier Mobility against carrier Concentration in Arsenic-Phosphorus-, and Boron- Doped Silicon”
IEEE Transactions On Electron Devices, Vol. 30, N° 6, pp. 764-769, 1983.

[4] K. YAMAGUCHI

“A Mobility Model for carriers in the MOS Inversion layer”
IEEE Transactions On Electron Devices, Vol. 30, N° 6, pp. 658-663, 1983.

[5] N.D. ARORA, J.R. HAUSER, D.J. ROULSTON

“Electron and Hole Mobilities in Silicon as a Function of concentration and Temperature”
IEEE Transactions On Electron Devices, Vol. 29, pp. 292-295, 1982.

[6] D.B.M. KLAASSEN

“A Unified Mobility Model for device Simulation : II. Temperature Dependence of Carrier Mobility and Lifetime”
Solid-state Electronics, Vol. 35, pp. 961-967, 1992.

[7] J-M. DORKEL, P. LETURCQ

“Carrier Mobilities in Silicon Semi-empirically Related to Temperature, Doping and Injection Level”
Solid-state Electronics, Vol. 24, pp. 821-824, 1981.

[8] C. LOMBARDI, S. MANZINI, A. SAPORITO, M. VANZI

“A Physically Based Mobility Model for Numerical Simulation of Nonplanar Devices”
IEEE Transactions On Computer-Aided Design, Vol. 7, N° 11, pp. 1164-1171, 1988.

[9] S.C. SUN, J.D. PLUMMER

“Electron Mobility in Inversion and Accumulation layers on thermally Oxidized Silicon Surfaces”
IEEE Transactions On Electron Devices, Vol. 27, N° 6, pp. 671-683, 1980.

[10] H. SOON, A.F. TASCH, C. MAZIAR, S.K. BANERJEE

“A New Approach to Verify and Derive a Transverse-Field-Dependant Mobility Model for Electrons in MOS Inversion Layers”
IEEE Transactions On Electron Devices, Vol. 36, N° 6, p. 1117-1123, 1989.

[11] S.M. SZE, G. GIBBONS

“Effect of junction Curvature on Breakdown Voltage in Semiconductors”
Solid-state Electronics, Vol. 9, pp. 831-845, 1966.

[12] S.M. SZE

“Physics of Semiconductor Devices”
Editions J. Wiley & Sons, 1981.

[13] S. SELBERHERR

“Analysis and Simulation of Semiconductor Devices”
Springer-Verlag, Wien-New York, 1984.

[14] D.A. GRANT, J. GOWAR

“Power MOSFET’s : Theory an Applications”
Editions J. Wiley & Sons, 1989.

[15] A.G. CHYNOWETH

“Ionisation Rates for Electrons and Holes in Silicon”
Physical Review, Vol. 109, pp. 1537-1540, 1958.

[16] C.R. CROWELL, S.M. SZE

“Temperature Dependence of Avalanche Multiplication in Semiconductor”
Applied Physics Letters, Vol. 9, pp. 242-244, 1966.

[17] R. VAN OVERSTRAETEN, H. DE MAN

“Measurement of the Ionisation Rates in Diffused Silicon PN junction”
Solid-state Electronics, Vol. 13, pp. 583-608, 1970.

Annexe 3 : Nouveau modèle SPICE du générateur de courant représentant la zone active du canal

```
.SUBCKT FLIMOS g d s

.PARAM VT0=3.31
.PARAM Kp=7E-5
.PARAM THETA=0.06
.PARAM Vmax=1.45E5
.PARAM L=6E-7
.PARAM W=4079E-3
.PARAM SIGMA=0.026
.PARAM U0=0.05

.FUNC Vth(Vds) {VT0-SIGMA*Vds}
.FUNC Vy(Vds,Vgs) {Vgs-Vth(Vds)}
.FUNC Us(Vds,Vgs) {U0/(1+THETA*Vy(Vds,Vgs))} 
.FUNC Vz(Vds,Vgs) {Vmax*L/Us(Vds,Vgs)}

.FUNC Vdsat(Vds,Vgs) {Vy(Vds,Vgs)+Vz(Vds,Vgs)
+SQRT(PWR(Vy(Vds,Vgs),2)+PWR(Vz(Vds,Vgs),2))}

.FUNC Ueff(Vds,Vgs) {Us(Vds,Vgs)/(1+(Vds/Vz(Vds,Vgs)))}
.FUNC Ueffs(Vds,Vgs) {Us(Vds,Vgs)/(1+(Vdsat(Vds,Vgs)/Vz(Vds,Vgs)))}

.FUNC U(Vds,Vgs) {Ueff(Vds,Vgs)/U0}
.FUNC Usat(Vds,Vgs) {Ueffs(Vds,Vgs)/U0}

.FUNC Idsat(Vds,Vgs) {(Kp*(W/L)*Usat(Vds,Vgs)*(Vy(Vds,Vgs)-
+0.5*Vdsat(Vds,Vgs))*Vdsat(Vds,Vgs))}

.FUNC Vp(Vds,Vgs) {2*Idsat(Vds,Vgs)/(Kp*(W/L)*U(Vds,Vgs)*Vy(Vds,Vgs))} 
.FUNC a(Vds,Vgs) {Kp*(W/L)*U(Vds,Vgs)*Vy(Vds,Vgs)/(4*Idsat(Vds,Vgs))}

.FUNC Idlin(Vds,Vgs) {(Kp*(W/L)*U(Vds,Vgs)*Vy(Vds,Vgs)*(1-a(Vds,Vgs)*Vds)*Vds)}

.FUNC compar(Vds,Vgs) {Vds-Vp(Vds,Vgs)}

.FUNC Id(Vds,Vgs)
+{IF(Vy(Vds,Vgs)<0,0,IF(compar(Vds,Vgs)>0,Idsat(Vds,Vgs),Idlin(Vds,Vgs)))}

GFLIMOS d s VALUE={Id(V(d,s),V(g,s))}

.ENDS
```

Annexes

“Étude des propriétés physiques et nouvelle modélisation SPICE des transistors FLIMOS de puissance”

Résumé :

Ce travail de thèse traite de la conception, de l'optimisation et de la modélisation électrique d'une nouvelle génération de composants MOS de puissance, appelés FLIMOS (FLoating Islands MOSFET). La structure FLIMOS permet une nette amélioration de la résistance à l'état passant des transistors MOS de puissance. Comparée à la structure à Superjonction, la structure FLIMOS est très intéressante pour les faibles et moyennes tensions de claquage.

Dans un premier temps, nous avons proposé une approche analytique permettant d'estimer la tension de claquage, la résistance passante spécifique et les capacités interélectrodes de la structure FLIMOS. Par conséquent, nous avons défini la plage des dopages “utiles” de la zone de drift pour laquelle la structure FLIMOS était optimisée. Ensuite, nous avons démontré que le concept des îlots flottants ne dégradait pas les performances dynamiques des composants MOS de puissance.

Dans un deuxième temps, un nouveau modèle SPICE des transistors MOS de puissance basse tension à canal court, a été proposé pour la première fois. Ce modèle décrit d'une façon plus exacte la zone de transition – entre la zone linéaire et la zone de saturation – du transistor MOS de puissance et tient compte, en plus, des effets du canal court sur la tension de seuil et la mobilité. Les paramètres de ce nouveau modèle sont les mêmes que ceux du modèle SPICE niveau 3. Enfin, le modèle a été validé en comparant les résultats des simulations SPICE aux valeurs mesurées.

Mots-clés : Transistor FLIMOS, Tension de claquage, Résistance passante spécifique, Modélisation, modèle SPICE.

“Study of the physical properties and new SPICE modeling of the power FLIMOS transistors”

Abstract :

This thesis work deals with the design, the optimization and the modeling of a new generation of power MOSFETs, called FLIMOSFETs (FLoating Islands MOSFETs). The FLIMOS structure allows improving the on-resistance of the power MOSFETs. Compared to the Superjunction structure, the FLIMOS structure is interesting for low and medium breakdown voltages.

Firstly, we have proposed an analytical approach to estimate the breakdown voltage, the specific on-resistance and the interelectrode capacitances of the FLIMOS structure. As a result, we define a “useful” range of the drift doping level in which the FLIMOS structure was optimized. Then, we have demonstrated that the Floating Island concept does not deteriorate the dynamic performances of the power MOS devices.

Secondly, a new SPICE model for the low voltage power MOSFET is proposed for the first time. This model describes more accurately the transition region – between the linear and saturation regions – of the power MOSFETs and, in addition, takes into account the effects of the short channel on the threshold voltage and on the mobility. The SPICE parameters of this new model are the same than those of the SPICE level 3 model. Finally, the model was validated by the comparison of SPICE simulated and measured results.

Key-words : FLIMOS transistor, Breakdown voltage, Specific on-resistance, Modeling, SPICE model.