

---

## Sommaire

<i>Liste des figures.....</i>	<i>xvii</i>
<i>Liste des tableaux.....</i>	<i>xxv</i>
<i>Liste des équations.....</i>	<i>xxvii</i>
<i>Liste des abréviations.....</i>	<i>xxix</i>
<i>Introduction générale.....</i>	<i>1</i>
<b>Chapitre 1 : Etat de l'art des technologies de packaging des modules de puissance.....</b>	<b>3</b>
<b>1.1 Introduction.....</b>	<b>5</b>
<b>1.2 Les convertisseurs de puissance.....</b>	<b>5</b>
<b>1.3 Le module de puissance.....</b>	<b>6</b>
1.3.1 Les interrupteurs.....	6
1.3.1.1 Le fonctionnement et les pertes.....	6
1.3.1.2 Les matériaux semi-conducteurs.....	7
1.3.1.3 Les technologies de composants.....	9
1.3.1.4 Les tendances et perspectives.....	9
1.3.2 Les contraintes associées.....	11
1.3.2.1 Les éléments parasites.....	11
1.3.2.2 La dissipation de la chaleur.....	12
1.3.2.3 La fiabilité.....	13
1.3.3 Le packaging.....	13
1.3.3.1 Les puces.....	13
1.3.3.2 Le substrat.....	14
1.3.3.3 La semelle.....	16
1.3.3.4 Les brasures.....	17
1.3.3.5 Les fils de câblage.....	18
1.3.3.6 La protection et sûreté du module.....	19
<b>1.4 Les tendances et évolutions.....</b>	<b>19</b>
1.4.1 Les substrats, semelles et dissipateurs.....	20
1.4.1.1 Le substrat à brasure active.....	20
1.4.1.2 Le substrat-semelle.....	21
1.4.2 Les alternatives aux brasures.....	22
1.4.2.1 La diffusion.....	22
1.4.2.2 Le frittage.....	23
1.4.3 L'optimisation du câblage.....	24
1.4.3.1 Les fils et matériaux.....	24
1.4.3.2 Les rubans.....	24
1.4.4 Les différents type d'encapsulant.....	25
1.4.4.1 Le gaz.....	25
1.4.4.2 La résine.....	25
<b>1.5 Les performances et limitations.....</b>	<b>26</b>
1.5.1 Les matériaux à large bande interdite.....	26
1.5.2 Les interconnexions.....	27
1.5.2.1 Les problématiques du câblage.....	27
1.5.2.2 Les défauts entre la puce et le substrat.....	28
1.5.3 La chaîne dissipative.....	30
1.5.3.1 Les modes de défaillance du substrat.....	30
1.5.3.2 Les jonctions thermiques.....	31
1.5.3.3 Les tendances et perspectives.....	33

---

<b>1.6</b>	<b>L'intégration monolithique .....</b>	<b>34</b>
1.6.1	Le circuit intégré de puissance .....	34
1.6.2	La mutualisation fonctionnelle .....	34
<b>1.7</b>	<b>L'intégration hybride .....</b>	<b>36</b>
1.7.1	Les brasures, frittages et assemblages par diffusion .....	36
1.7.1.1	Le frittage cuivre et nickel .....	37
1.7.1.2	Les feuillards embossées et la technologie SKiN .....	37
1.7.1.3	Les rubans bimétalliques .....	38
1.7.1.4	Les clips .....	39
1.7.1.5	Les brasures double face .....	40
1.7.1.6	Les macro et micro poteaux .....	41
1.7.2	Les dépôts métalliques .....	42
1.7.2.1	La technologie SiPLIT .....	42
1.7.2.2	Le micro nickelage électrolytique .....	43
1.7.2.3	Les micro vias .....	44
1.7.3	Les assemblages pressés .....	46
1.7.3.1	Les ressorts .....	46
1.7.3.2	Le boîtier « Press-pack » .....	48
1.7.3.3	Les assemblages par contraintes résiduelles .....	49
<b>1.8</b>	<b>Le bilan des solutions actuelles .....</b>	<b>51</b>
<b>1.9</b>	<b>Conclusion .....</b>	<b>52</b>
<b>Chapitre 2 : Fabrication des interfaces structurées .....</b>		<b>54</b>
<b>2.1</b>	<b>Introduction .....</b>	<b>55</b>
<b>2.2</b>	<b>L'analyse des technologies sélectionnées .....</b>	<b>55</b>
2.2.1	La technologie PCB .....	55
2.2.1.1	Les feuilles de cuivre .....	56
2.2.1.2	Les pré-imprégnés .....	57
2.2.1.3	Le laminé .....	57
2.2.1.4	Le circuit imprimé .....	58
2.2.2	Les nano fils .....	60
2.2.2.1	Le procédé de fabrication .....	60
2.2.2.2	L'assemblage par enchevêtrement .....	61
<b>2.3</b>	<b>La stratégie d'intégration .....</b>	<b>62</b>
2.3.1	La méthode d'assemblage .....	62
2.3.1.1	Les dépôts bilatéraux .....	63
2.3.1.2	Le dépôt unilatéral .....	64
2.3.2	L'axe de recherche choisi .....	65
<b>2.4</b>	<b>L'étude du procédé électrodéposition .....</b>	<b>65</b>
2.4.1	L'électrochimie .....	65
2.4.2	L'épaisseur théorique du dépôt .....	67
2.4.3	Le profil du courant .....	68
2.4.4	La porosité de la membrane .....	69
2.4.4.1	Le traitement d'images .....	69
2.4.4.2	La masse volumique .....	72
2.4.4.3	La discussion des résultats .....	74
<b>2.5</b>	<b>L'élaboration du procédé de fabrication .....</b>	<b>74</b>
2.5.1	Le matériel et les équipements .....	74
2.5.1.1	La solution électrolytique .....	75
2.5.1.2	L'anode .....	76
2.5.1.3	L'alimentation en courant .....	76

---

---

2.5.2	La préparation des dépôts .....	78
2.5.2.1	Le rodage de l'anode .....	78
2.5.2.2	Le contrôle du bain .....	79
2.5.3	L'électrodéposition sur puce .....	80
2.5.3.1	Les échantillons .....	80
2.5.3.2	La description du dispositif expérimental .....	82
2.5.3.3	Le dépôt sur échantillons en cuivre .....	86
2.5.3.4	Le dépôt sur échantillons en aluminium .....	88
2.5.3.5	Le dépôt sur puces semi-conductrices .....	90
2.5.3.6	La discussion des résultats .....	92
2.5.4	L'électrodéposition sur substrat .....	93
2.5.4.1	La description du dispositif expérimental .....	93
2.5.4.2	La préparation des substrats .....	95
2.5.4.3	L'étude du procédé de dépôt de la nano structure .....	97
2.5.4.4	La réalisation de la nano structure .....	99
2.5.4.5	L'adhérence des surfaces .....	108
2.5.4.6	L'évaluation du dépôt électrolytique .....	111
2.5.4.7	L'optimisation du procédé d'électrodéposition .....	113
<b>2.6</b>	<b>Conclusion.....</b>	<b>122</b>
<b>Chapitre 3 : Assemblage tridimensionnel intégrant les interfaces structurées .....</b>		<b>124</b>
<b>3.1</b>	<b>Introduction.....</b>	<b>125</b>
<b>3.2</b>	<b>La conception.....</b>	<b>125</b>
3.2.1	Le design du substrat .....	125
3.2.2	Le principe d'assemblage .....	127
<b>3.3</b>	<b>L'analyse préliminaire.....</b>	<b>129</b>
3.3.1	La stratégie de l'étude .....	129
3.3.2	Les méthodes d'assemblage .....	130
3.3.2.1	La nano structure comme interconnexion .....	131
3.3.2.2	L'intégration d'une puce semi-conductrice .....	133
<b>3.4</b>	<b>La réalisation des prototypes .....</b>	<b>135</b>
3.4.1	La préparation des échantillons .....	135
3.4.2	L'assemblage par feuille pré-imprégnée .....	136
3.4.2.1	L'évaluation de l'épaisseur des pré-imprégnés .....	136
3.4.2.2	Le choix de l'épaisseur du diélectrique .....	137
3.4.2.3	Le procédé d'assemblage d'une interconnexion .....	138
3.4.2.4	L'analyse électrique des prototypes assemblés .....	142
3.4.3	L'assemblage avec un laminé .....	143
3.4.3.1	La puce ou composant factice .....	143
3.4.3.2	La fabrication du laminé diélectrique .....	144
3.4.3.3	Le procédé d'assemblage avec une puce .....	147
3.4.3.4	L'analyse et comparaison électrique du prototype .....	149
3.4.3.5	L'examen et mesures par coupe micrographique .....	151
<b>3.5</b>	<b>La caractérisation électrique.....</b>	<b>153</b>
3.5.1	Les différentes combinaisons de mesure .....	154
3.5.2	La description du dispositif expérimental .....	156
3.5.3	L'élaboration du protocole de caractérisation .....	157
3.5.3.1	La mesure de résistance par inversion de polarité .....	157
3.5.3.2	La thermalisation des échantillons .....	158
3.5.4	Les mesures de résistance .....	161
3.5.4.1	Les interconnexions .....	161
3.5.4.2	Les puces interconnectées .....	162

---

---

3.5.4.3	L'interprétation des résultats .....	163
3.5.5	La thermographie à détection synchrone .....	164
<b>3.6</b>	<b>La caractérisation thermique .....</b>	<b>167</b>
3.6.1	Le calcul de la résistance thermique surfacique .....	167
3.6.2	La première méthode avec les échantillons à substrats unitaires .....	168
3.6.2.1	Le principe de la mesure électrothermique .....	168
3.6.2.2	Le banc d'essai pour la caractérisation thermique .....	169
3.6.2.3	L'analyse du protocole expérimental .....	171
3.6.3	La seconde méthode par intégration d'une diode .....	173
3.6.3.1	Le substrat avec drains thermiques .....	173
3.6.3.2	L'intégration du composant actif .....	175
<b>3.7</b>	<b>Conclusion .....</b>	<b>176</b>
	<b>Conclusion générale.....</b>	<b>179</b>
	<b>Annexes.....</b>	<b>181</b>
<b>1</b>	<b>La nomenclature des combinaisons de mesure .....</b>	<b>182</b>
<b>2</b>	<b>La résistance électrique des échantillons intégrant une interface structurée (IS) .....</b>	<b>183</b>
2.1	La combinaison volumique .....	183
2.2	La première combinaison unilatérale .....	184
2.3	La seconde combinaison unilatérale.....	185
2.4	La première combinaison bilatérale .....	186
2.5	La seconde combinaison bilatérale.....	187
<b>3</b>	<b>La résistance électrique des échantillons intégrant une puce interconnectée (PI).....</b>	<b>188</b>
3.1	La combinaison volumique .....	188
3.2	La première combinaison unilatérale .....	189
3.3	La seconde combinaison unilatérale.....	190
3.4	La première combinaison bilatérale .....	191
3.5	La seconde combinaison bilatérale.....	192
	<b>Bibliographie .....</b>	<b>193</b>

---



---

## Liste des figures

Figure 1.1 – Redresseur triphasé à vapeur de mercure (a) et au sélénium (b) ( <i>Collection ENSEEIHT</i> ), premier transistor au germanium ( <i>Michigan State University</i> ) (c) et au silicium (d) ( <i>Texas Instrument</i> ) .....	5
Figure 1.2 – Schéma bloc du convertisseur de puissance (a) et architecture générique du convertisseur statique (b) .....	5
Figure 1.3 – Représentation d’une cellule de commutation élémentaire [14].....	6
Figure 1.4 - Courbes courant tension (a) et son produit (b) d’un interrupteur [14] .....	7
Figure 1.5 – Schéma de principe de la théorie des bandes.....	7
Figure 1.6 – Domaines d’applications des transistors en silicium (a) [14] et comparaison des propriétés physiques des principaux matériaux semi-conducteurs (b) [27].....	10
Figure 1.7 – Schéma électrique d’une cellule de commutation intégrant les éléments parasites [14] .....	12
Figure 1.8 – Vue en coupe d’un module de puissance [41].....	13
Figure 1.9 - Puce semi-conductrice de puissance MOSFET CREE CPMF-1200-S080B 4.08 x 4.08 mm <sup>2</sup> ( <i>Fiche technique CREE</i> ) .....	14
Figure 1.10 – Panneaux de substrats DBC (a) ( <i>Ferrotec</i> ) et substrats DBC/DBA unitaires (b) ( <i>Shanghai Shenhe Thermo-Magnetics Electronics Co. Ltd. &amp; ELE Advanced Ceramics</i> ).....	15
Figure 1.11 – Relation entre conductivité thermique et électrique des matériaux [32]. .....	15
Figure 1.12 - Semelles avec différents tailles (a) ( <i>CPS</i> ), matériaux (b) ( <i>Padar tecnoenergie</i> ) et assemblée à son module (c) ( <i>Semikron</i> ) .....	16
Figure 1.13 – Dépôt de pâte à braser sur un panneau (a) avec zoom sur une piste (b) et vue de coupe d’une brasure de puce épaisse (c) et fine (d) [58].....	17
Figure 1.14 – Vue de dessus (a) [64] et de profil (b) [65] du câblage filaire d’interrupteurs type IGBT et leurs diodes de roue libre.....	18
Figure 1.15 – Encapsulation et vue du couvercle ainsi que du gel transparent d’un module de puissance 600 A EconoDUAL™3 ( <i>Infineon</i> ) .....	19
Figure 1.16 – Zoom sur un joint de brasure entre la métallisation cuivre et le céramique de substrat AMB ( <i>Kyocera</i> ) (a) [68] et image d’un substrat AMB après 600 cycles de vieillissement puis un substrat DBC après 100 cycles (b) [69] .....	20
Figure 1.17 – Schéma (a) et vue de profil (b) d’un substrat type IMS [77] .....	21
Figure 1.18 – Substrat IMS dissipateur ( <i>Cambridge Nanotherm</i> ) (a) et technologie CeramCool (b) ( <i>CeramTec</i> )22	
Figure 1.19 – Vue de profil d’un assemblage TLPB cuivre à cuivre par diffusion d’étain à 300°C en fonction du temps [85].....	22
Figure 1.20 – Image MEB de la structure de la poudre d’argent obtenue sans (a) (c) et avec (b) (d) pression [94] .....	23
Figure 1.21 – Image de fils en cuivre ( <i>pcim EUROPE</i> ) (a) et coupes métallographiques de fils cuivre recouvert d’aluminium [97].....	24
Figure 1.22 – Photographies et coupes métallographiques des différents types de rubans en fonction des matériaux utilisés [100] .....	25
Figure 1.23 – Module de puissance IGBT Mitsubishi Electric NX-type 7ième génération avec encapsulation par résine époxy ( <i>Mitsubishi Electric</i> ) .....	25
Figure 1.24 – Tenue en tension en fonction de la température de jonction des composants en silicium et limites de fonctionnement (a) puis en comparaison au carbure de silicium 4H (b) [109] .....	26
Figure 1.25 – Décollement (a) et fissurations (b) (c) de fils de câblage [115].....	28

---

Figure 1.26 – Recristallisation (a) et présence de « vides » et de la fissuration (b) (c) [118].....	28
Figure 1.27 – Nano (a) et micro (b) particules d'argent [125] et fissuration du joint fritté (c) [122] .....	29
Figure 1.28 – Assemblage par diffusion avec procédé optimisé (a) et avec une réaction incomplète de l'étain (b) [126] .....	29
Figure 1.29 – Coupe métallographique d'un défaut (a) [130] et image infrarouge de décharges partielles (b) [131] .....	30
Figure 1.30 – Décollement des métallisations (a) [133] et fractures de la céramique (b) [132] (c) [134] .....	31
Figure 1.31 – Vue de dessus (a) en coupe (b) d'un substrat DBC (c) avec « bosselage » [109] [132].....	31
Figure 1.32 – Vue en coupe d'une brasure substrat-semelle (a) [137] avec une fissure (b) [138] et images d'un espaceur à brasure pour substrat (c) (d) [139] .....	32
Figure 1.33 – Film (a) [144], pâte thermique appliquée par rouleau ( <i>Semikron</i> ) (b) et par pochoir alvéolaire (c) [143] .....	32
Figure 1.34 – La puissance des convertisseurs statiques en fonction de leur fréquence de découpage avec leur limite imposée par le silicium (rouge) et leurs perspectives (pointillés noir) (a) et le courant admissible en fonction de la tension de blocage des convertisseurs dans les différents secteurs d'activité (b) [145] .....	33
Figure 1.35 – Technologies HVIC (a) [150] et Smart Power (b) [147] .....	34
Figure 1.36 – Le RC-IGBT : Intégration monolithique des régions communes de l'IGBT et de la diode [153] et <i>wafer</i> de composants intégrés [154] .....	35
Figure 1.37 – Intégration fonctionnelle d'un demi pont en GaN avec diode Schottky [155] .....	35
Figure 1.38 – Intégration fonctionnelle du pont complet d'un onduleur monophasé [156] .....	35
Figure 1.39 – Principe d'assemblage (a), film de siliciure de cuivre (b) et du film en cuivre poreux (c) [161] ....	37
Figure 1.40 – Assemblage avec feuillets embossés (a), brasure d'un embossage (b) [166], schéma (c) et image (d) d'un module de puissance SKiN du fabricant Semikron [167] .....	38
Figure 1.41 – Schéma d'une interconnexion par ruban bimétallique (a) [32], d'une puce avec ruban assemblé (b) et vue de coupe d'un assemblage complet (c) [171] .....	39
Figure 1.42 – Modules de puissance T-PM (a) [172], avec clips frittés (b) [176] et brasés (c) [179] .....	40
Figure 1.43 – Brasure double face d'une puce à deux substrats DBC (a) avec utilisation de billes (b) [186] et cylindres (c) [183] .....	41
Figure 1.44 – Assemblages avec « macro poteaux » (a) [188], plots massifs (b) [61] et « micro poteaux » (c) [41] .....	41
Figure 1.45 – Vue de dessus (a) (c) et en coupe (b) (d) de la technologie SiPLIT (a) (c) [195] et assemblage avec substrat DBC/PCB (c) (d) [194] [133] .....	43
Figure 1.46 – Module de puissance avec procédé NMPB (a), schéma et coupe métallographique de l'interconnexion (b) et zoom au microscope numérique (c) [197] .....	43
Figure 1.47 – Vue de dessus (a) et schéma (b) de la technologie Power Overlay [199] [200] .....	44
Figure 1.48 – Vue de dessus (a) et schéma (b) de la technologie Embedded Power [206] .....	44
Figure 1.49 – Interconnexion, en environnement PCB, de puces par vias (a) [208] remplis (b) [210] en face supérieure avec dépôt électrolytique de cuivre en face inférieure (c) [215] ou par les deux faces (d) [219] .....	45
Figure 1.50 – Reprise de contact par ressort coudé du module de puissance MiniSKiiP (a) et par ressort en spirale pour la technologie SEMiX (b) ( <i>Semikron</i> ) .....	46
Figure 1.51 – Schéma d'une reprise de contact (a) et image d'un ressort circulaire (b) [222] .....	47
Figure 1.52 – Vue d'ensemble et éclatée (a) puis schéma en coupe (b) du StakPak du fabricant ABB [227] .....	48

Figure 1.53 – Images et schémas d’assemblages « Press-pack » avec puces unitaires en parallèle (a) ( <i>Power Electronics Europe</i> ) [230] et <i>wafer</i> complet (b) [224] [229].....	49
Figure 1.54 - Schéma en vue de coupe du module (a) et ressorts en cuivre au béryllium avec métallisation en or et leurs dimensions (b) [239].....	50
Figure 1.55 – Coupe métallographique d’un assemblage avec mousse en nickel (a) [241] et image au microscope numérique de cette dernière (b) [242].....	50
Figure 1.56 – Principe d’assemblage (a) [244] avec vue des nano fils (b) assemblés et en coupe (c) [245] .....	50
Figure 2.1 – Photographie de pré-imprégnés FR-4 (a) ( <i>Guangzhou Shengrui Insulation Materials Co., Ltd</i> ), feuilles en cuivre (b) ( <i>National Stained Glass</i> ) et de circuits imprimés PCB multicouches (c) ( <i>Multi-CB</i> ) avec un vue de coupe (d) [247] .....	55
Figure 2.2 – Procédé de fabrication des rouleaux et feuilles de cuivre ( <i>Mitsui Copper Foil (Malaysia) Sdn.Bhd.</i> ) .....	56
Figure 2.3 – Fibres de verre qui composent les pré-imprégnés de référence 106, 1080 et 2116 [252].....	57
Figure 2.4 – Procédé de fabrication des pré-imprégnés et laminés [253] .....	57
Figure 2.5 – Profils de pressage des pré-imprégnés PCL-FR-370HR avec (a) et sans mise sous vide (b) [254]...58	58
Figure 2.6 – Procédé de fabrication des circuits imprimés de technologie PCB ( <i>HeadPCB</i> ).....	59
Figure 2.7 – Circuit imprimé (a) ( <i>Focus Technology Co., Ltd.</i> ) et composants SMT (b) ( <i>ChinaImportal</i> ) après assemblage (c) ( <i>IndiaMART InterMESH Ltd</i> ) et détournage (d) ( <i>EMSPROTO</i> ) .....	60
Figure 2.8 – Images au MEB des nano fils vue de dessus pour une longueur de 2 à 3 $\mu\text{m}$ (a), 5 à 7 $\mu\text{m}$ (b), 10 à 15 $\mu\text{m}$ (c) et environ 60 $\mu\text{m}$ (d) [243].....	60
Figure 2.9 – Images au MEB de structures courtes avant (a) et après (b) amincissement par traitement chimique et moyennes par profil de courant pulsé (c) et continu (d) [243] [246] .....	61
Figure 2.10 – Assemblages d’un IGBT sur un substrat DBC par enchevêtrement de nano fils amincis chimiquement en vue de dessus et coupe (b) et par profil de courant continu en vue de dessus (a) et coupe (d) .....	62
Figure 2.11 – Avant (a) et après (b) enfouissement en environnement PCB et interconnexion avec des dépôts de nano structures bilatérales.....	63
Figure 2.12 – Avant (a) (b) et après (c) enfouissement en environnement PCB et interconnexion avec des dépôts de nano structures unilatérales sur puce (a) ou sur substrat PCB (b) .....	64
Figure 2.13 – Équipement d’électrodéposition de vias cuivre complet dans une usine de production (a) avec immersion de substrats PCBs (cathode) dans la solution électrolytique (b) ( <i>RexPlating</i> ) et électrodes (anode) en cuivre de géométrie différentes (c) ( <i>Luvata</i> ).....	65
Figure 2.14 – Courbe du profil de courant pulsé utilisé (a) et ses paramètres (b) ainsi que le calcul généralisé de la densité de courant moyenne (c).....	69
Figure 2.15 - Boîte (a) et membrane (b) Whatman® Anodisc™ 47 avec vue de dessus (c) et de profile (d) ( <i>Whatman</i> ) .....	69
Figure 2.16 – Microscope à balayage électronique JEOL JSM-6060LV (a), pulvérisateur cathodique Edwards Scancoat Six Coater (b) et échantillon préparé pour les acquisitions (c).....	70
Figure 2.17 – Acquisition d’images d’une membrane par microscope à balayage en vue de dessus (a) et de dessous (b) .....	70
Figure 2.18 – Mesure du diamètres des pores en face supérieure (a) et inférieure (b).....	71
Figure 2.19 – Images monochromes du premier échantillon de membrane en vue de dessus (a) et de dessous (b) .....	72
Figure 2.20 – Emporte-pièce sur la membrane (a), échantillon découpé (b) avec zoom (x200) sur une partie du bord (c) et photographie de la balance analytique (d).....	73

Figure 2.21 – Cible en cuivre (a) avec son câble à connecteur banane (b) avant (c) puis après encapsulation (d)	76
Figure 2.22 – Caractéristiques générales du Keithley 2612A (a) avec diagramme quatre quadrants en fonction de la forme d'onde (b) et photographie de l'appareil (c)	77
Figure 2.23 – Algorithme du programme de génération du profil de courant pulsé	78
Figure 2.24 – Anode après assemblage avec polissage (a) puis rodage et traitement chimique (b)	79
Figure 2.25 – Images au microscope numérique (x200) du résultat obtenu après dépôt pour le contrôle du brillant : manque de brillant (a), surplus (b) et mise à niveau (c)	79
Figure 2.26 – Zoom (x100) au microscope numérique des échantillons en cuivre (a) et en aluminium avec métallisation (b)	80
Figure 2.27 – Zoom (x200) au microscope numérique de la face supérieure (a) et inférieure (b) d'un des composants de type MOSFET en SiC Infineon (IIPC30S4N10)	81
Figure 2.28 – Schémas représentatif du maintien de la plaque de cuivre pour le détournement des échantillons en cuivre (a) et de leur outillage pour les polir (b)	81
Figure 2.29 – PCB (a), colle acrylique (b) et laminé (c) après thermo-compression (d), détournement (e) et câblage (f) ainsi qu'un schéma en vue de coupe	83
Figure 2.30 – Colonne de fixation avec montage de l'anode et du support cathodique (a) inséré dans le réacteur avant son remplissage avec la solution électrolytique (b)	84
Figure 2.31 – Échantillons en cuivre insérés dans les cavités du support cathodique (a) avec mise en place de la membrane (b) et ajout de la solution de sulfate de cuivre (c) puis des feuilles de papier cellulose avant mise en compression de la cellule (d)	85
Figure 2.32 – Schéma (a) et photographie (b) en fonctionnement de l'expérience de dépôt de nano fils sur échantillons ou puces	86
Figure 2.33 – Échantillons en cuivre liés à la membrane en vue de dessus (a) et de dessous (b) ainsi qu'une image au microscope numérique (x100) d'un échantillon après le retrait de la membrane (c)	87
Figure 2.34 – Visualisation au microscope numérique (x200) (a) et avec acquisition au microscope électronique à balayage (x170) (b) du dépôt sur un échantillon en cuivre	88
Figure 2.35 – Échantillons en aluminium liés à la membrane en vue de dessus (a) et de dessous (b) ainsi qu'une image au microscope numérique (x100) d'un échantillon après le retrait de la membrane (c)	88
Figure 2.36 – Visualisation au microscope numérique (x200) de l'hétérogénéité du dépôt (a) et de l'aluminium attaqué (b)	89
Figure 2.37 – Visualisation au microscope numérique (x200) et au microscope électronique à balayage (x180) de décollements à la surface de l'aluminium	90
Figure 2.38 – Images au microscope numérique (x100) d'une face arrière de puce semi-conductrice de technologie FET avec dépôt de nano fils (a) avec agrandissement (x200) (b) et visualisation d'un défaut par arrachement (c) et manque (d)	91
Figure 2.39 – Acquisition au microscope électronique à balayage de la nano structure formant des agrégats (x1200) (a) et zoom sur le bord (x12000) (b) et le centre (x13000) (c) d'un des agrégats de nano fils (b)	92
Figure 2.40 – Photoplotter FP 3000 Cypax (a), micro-fraiseuse CCD/ATC Bungard (b), lamineur M300 Eurolam (c), insoleuse DST 3040 CIF (d), graveuse chimique Sprint 3000 Bungard (e) et banc d'électrodéposition Compacta 30 Bungard (f)	94
Figure 2.41 – Photographie du support d'électrodéposition (a), de l'anode (b) et la solution (c)	94
Figure 2.42 – Stratifié verre-polyimide (a) après micro-fraisage numérique (b)	95
Figure 2.43 – Schéma représentatif des étapes du procédé de fabrication des substrats avec grossissement sur la zone de l'élaboration de la nano structure	96

Figure 2.44 – Substrats PCB avant (a) et après (b) détournage par micro-fraiseuse ainsi qu'un substrat unitaire prêt pour la fabrication d'une nano structure (c).....	97
Figure 2.45 – Vue de profil des différentes configurations de mise en place de la membrane sur la zone de dépôt du substrat PCB .....	98
Figure 2.46 – Schéma représentatif des étapes du procédé de fabrication du substrat .....	99
Figure 2.47 – Image au microscope numérique (x200) en vue de dessus d'une cavité (a) et mesures au profilomètre de six substrats (b) .....	100
Figure 2.48 – Support avec placement du substrat PCB (a) avec ses entretoises (b) et l'anode (c) en cours d'électro-gravure (d) .....	100
Figure 2.49 – Image au microscope numérique (x200) de la gravure du cuivre dans la cavité (a) et mesure des profils de cavité de six substrats (b).....	101
Figure 2.50 – Image au microscope numérique (x200) du cuivre électrodéposé dans la cavité (a) et mesure des profils de cavité de six substrats (b).....	102
Figure 2.51 – Image au microscope numérique (x200) du cuivre électrodéposé avec électro-gravure (a) et mesure des profils de de six substrats (b).....	102
Figure 2.52 – Application de la solution d'amorçage (a) avec la mise en place de la membrane sur le substrat au regard du plot en cuivre (b).....	103
Figure 2.53 – Mise en place des feuilles de cellulose (a) puis de l'anode et ses écrous (b) et immersion de la cellule dans la solution électrolytique pour le dépôt de cuivre (c) .....	104
Figure 2.54 – Image au microscope numérique (x200) d'un dépôt de cuivre durant 1 heure à travers la membrane (a) puis au microscope électronique à balayage (x15) après retrait de la membrane (b) .....	104
Figure 2.55 – Image au microscope numérique (x200) de la membrane après remplissage par électrodéposition de cuivre .....	105
Figure 2.56 – Image au microscope numérique (x200) de la nano structure obtenue (a) et mesure de son épaisseur (b) .....	105
Figure 2.57 – Images au microscope numérique (x1000) des agrégats de la nano structure (a) et grossissement au microscope électronique à balayage (x10000) sur un agrégat (b).....	106
Figure 2.58 – Acquisitions (x400) en vue de profil du résultat obtenu (a) et d'un dépassement critique (b) .....	107
Figure 2.59 – Acquisitions de la croissance des nano fils en bordure (x7000) (a) et au regard du plot en cuivre (x3000) (b) ainsi qu'au centre de la surface (x1000) (c).....	107
Figure 2.60 – Vue de dessous du détachement du plot en cuivre .....	108
Figure 2.61 – Vue de dessous du détachement de la nano structure en cuivre .....	108
Figure 2.62 – Mesures au profilomètre du détachement de la nano structure et du plot en cuivre .....	109
Figure 2.63 – Images au microscope numérique (x200) de l'état de surface du cuivre après brossage (a) et gravure chimique (b).....	109
Figure 2.64 – Mesures au profilomètre des différents types de préparation du cuivre .....	110
Figure 2.65 – Mesures de profil du plot en cuivre avant (a) et après (b) l'étape d'électro-gravure .....	111
Figure 2.66 – Représentation de la moyenne des mesures réalisées pour l'élaboration du remplissage de la cavité .....	112
Figure 2.67 – Les règles générales des profils de courant pour l'électrodéposition de cuivre [304] (a) et tableau récapitulatif de la nature des impulsions de chaque forme d'onde .....	114
Figure 2.68 – Formes d'onde et densités de courant des profils : pulsé avec variation d'amplitude (a), continu (b), pulsé avec relaxation (c), pulsé avec inversion de polarité (d) et pulsé avec inversion de polarité et relaxation (e) .....	115

Figure 2.69 – Acquisitions de deux défauts observés sur les nano structures électrodéposées avec un profil de courant pulsé avec variation d’amplitude (x1000) (a) (x2000) (b) .....	116
Figure 2.70 – Acquisitions d’une vue d’ensemble du dépôt par courant continu (x3000) (a) et de la formation tubulaire observée en extrémité de nano fils (x30000) (b) .....	117
Figure 2.71 – Acquisitions des nano fils au centre (x1000) (a) et en bordure (x350) (b) avec le profil de courant pulsé et relaxé .....	117
Figure 2.72 – Acquisitions du dépôt avec le profil pulsé et inversion de polarité (x1000) (a) mettant en évidence les agrégats (x300) (b) .....	118
Figure 2.73 – Acquisitions de la nano structure avec le profil à inversion de polarité et relaxation (x3000) (a) et de l’effet « champignon » obtenu (x400) (b) .....	119
Figure 2.74 – Montage de deux cellules électrolytique (a) suivit de l’étape d’électrodéposition (b) .....	121
Figure 2.75 – Mesures des profils de deux substrats lors de la fabrication du plot en cuivre en simultanée .....	122
Figure 3.1 – Vue du substrat en face supérieure (a) et inférieure (b) .....	125
Figure 3.2 – Schéma électrique équivalent du substrat PCB .....	126
Figure 3.3 – Courbes de la résistance de notre piste « R » en fonction de la température (a), loi physique de la résistance en fonction de la résistivité (b) et de la température (c) ainsi que la simulation de la répartition de notre densité de courant (d) .....	126
Figure 3.4 – Deux substrats unitaires avec leur face fonctionnelle en regard l’un de l’autre (a) et principe d’assemblage avec seulement une nano structure (b) .....	127
Figure 3.5 – Reprises de contact par languette pour appliquer le courant et empreintes pour la mesure de différence de potentiel avec le substrat « b » et le substrat « a » (a) après retournement de l’ensemble (b) ainsi que le circuit électrique équivalent du principe d’assemblage des substrats de la première figure (c) .....	128
Figure 3.6 – Schémas représentatifs en vue de coupe des structures étudiées : une puce interconnectée (a) et une interconnexion (b) .....	130
Figure 3.7 – Assemblage par thermo-compression de pré-imprégné (a) et couches adhésives (b) intégrant une interconnexion .....	131
Figure 3.8 – Vue latérale (a) et de dessus (b) d’un essai avec une couche adhésive haute température (Pyrallux HT) .....	132
Figure 3.9 – Enfouissement d’une puce interconnectée par interfaces structurées via thermo-compression d’un stratifié (a) et de feuilles pré-imprégnées (b) .....	133
Figure 3.10 – Température et pression appliquées en fonction du temps pour la stratification (a) et pré-stratification (b) des feuilles pré-imprégnées Arlon 35N .....	134
Figure 3.11 – Image au microscope numérique (x10000) d’une nano structure stockée en environnement ambiant .....	135
Figure 3.12 – Coupe micrographie de deux substrats assemblés par une feuille de pré-imprégné 35N avec fibre de verre 106 (a), 1080 (b) et 2116 (c) .....	137
Figure 3.13 – Schémas d’assemblage « simplifiés » d’une interconnexion par thermo-compression avec renforcement de contraintes compressives au niveau de la nano structure (a) ou du substrat PCB (b) .....	137
Figure 3.14 – Préparation du support et mise en place des couches intermédiaires pour le cycle de thermo-compression .....	138
Figure 3.15 – Préparation à l’assemblage d’une interface structurée en environnement PCB .....	139
Figure 3.16 – Fermeture du support avant l’application du cycle de thermo-compression .....	141
Figure 3.17 – Mise en place du papier protecteur de plateaux avec vue éclatée (a) et placement (b) ainsi que le module obtenu après assemblage puis retrait du support (c) .....	141

Figure 3.18 – Photographie du <i>wafer</i> 4 pouces avant découpe (a) et image au microscope numérique (x100) d'une puce semi-conductrice (b).....	144
Figure 3.19 – Empilement des pré-imprégnés (a) après application du cycle de pré-stratification (b) et micro-fraisage numérique (c) .....	145
Figure 3.20 – Empilement recommandé ( <i>Pacothane</i> ) des matériaux de thermo-compression haute température (a) et celui utilisé pour le laminé pré-stratifié (b).....	146
Figure 3.21 – Images au microscope numérique (x100) de l'ouverture pour accueillir la puce (a) et grossissement sur un angle (b) .....	147
Figure 3.22 – Images au microscope numérique (x100) de deux mesures réalisées de l'épaisseur du diélectrique .....	147
Figure 3.23 – Préparation à l'assemblage d'une puce interconnectée par nano fils en environnement PCB.....	148
Figure 3.24 – Image d'un prototype intégrant une puce factice avec inspection par rayons X .....	149
Figure 3.25 – Recomposition en deux dimensions par microscope numérique (x100) de la coupe micrographique d'une puce interconnectée dans la longueur .....	151
Figure 3.26 – Images au microscope numérique (x100) de la mesure du diélectrique central .....	152
Figure 3.27 – Images au microscope numérique (x300) des extrémités de la puce interconnectée.....	152
Figure 3.28 – Images au microscope numérique (x1000) de la nano structure supérieure (a) et inférieure (b)...	153
Figure 3.29 – Schéma électrique représentatif des prototypes (a) lors de la mesure de la résistance électrique « R » de type volumique (b).....	154
Figure 3.30 – Combinaisons de quatre fils avec prises de contact unilatérales (a) (b) et bilatérales (c) (d) des substrats .....	155
Figure 3.31 – Nano-voltmètre Keithley 2182A (a), unité de source et mesure Keithley 2410 (b) et étuve Heraeus-Vötsch HT 4010.....	156
Figure 3.32 – Prototype implémenté dans son support et câblé (a) puis interface externe de câblage (b).....	157
Figure 3.33 – Courant imposé (a), tension mesurée (b) ainsi que le calcul de la résistance (c) avec la méthode par inversion de polarité .....	157
Figure 3.34 – Signal de la mesure dans le domaine temporel (a) puis fréquentielle (b) avec mise en évidence de la fréquence fondamentale (c) et d'une période en fonction du temps (d).....	159
Figure 3.35 – Mesure de la résistance volumique en fonction du temps d'une interconnexion (a) et d'une puce interconnectée (b) .....	160
Figure 3.36 – Photographie (a) et image à la binoculaire (b) du décollement de la métallisation WTi/Cu du <i>wafer</i> Si ne bénéficiant pas de « <i>scribe line</i> ».....	163
Figure 3.37 – Système d'analyse par thermographie ELITE par Thermo Scientific™ .....	164
Figure 3.38 – Photographie du prototype avec revêtement (a) et acquisition avec (b) ou sans (c) la préparation de surface.....	165
Figure 3.39 – Image d'amplitude (a) et de phase (b) d'une acquisition par thermographie à détection synchrone .....	166
Figure 3.40 – Image de module (a) et de phase (b) avec superposition d'une acquisition par rayons X .....	166
Figure 3.41 – Calcul de la résistance thermique équivalente d'une interface structurée (a), expressions de la résistance thermique (b) & (d) surfacique (c) et tableau récapitulatif des valeurs des différentes résistances thermiques surfaciques (e).....	168
Figure 3.42 – Schéma de principe de l'évaluation expérimentale de la résistance thermique .....	169

---

Figure 3.43 – Schéma de principe (a) et mise en place (b) du dispositif expérimental afin de déterminer la résistance thermique de notre solution .....	170
Figure 3.44 – Illustration du rôle limiteur d'un fusible [343] (a) et expression de l'énergie maximum admissible d'un filament d'après la loi de Joule (b) [344] .....	172
Figure 3.45 – Schéma du substrat en vue de dessus (a) avec grossissement sur la zone active (b) et en vue de dessous (c) avec grossissement similaire (d) .....	174
Figure 3.46 – Image d'un via rempli (x200) (a) et mesure de la profondeur du cratère résiduel (b) au microscope numérique.....	175
Figure 3.47 – Schéma de l'intégration par enfouissement PCB d'une diode avec ses interconnexions par interfaces structurées (a) et schéma électrique équivalent (b).....	176



---

## Liste des tableaux

Tableau 1.1 – Récapitulatif des propriétés physiques des principaux matériaux semi-conducteurs.....	8
Tableau 1.2 – Comparaison des transistors de puissance en silicium [21], [22], [23] .....	9
Tableau 1.3 – Bilan des performances de la technologie MOSFET selon les matériaux .....	11
Tableau 1.4 – Propriétés physiques principales des métallisations de puces semi-conductrices [44] .....	14
Tableau 1.5 – Propriétés physiques des principaux matériaux diélectriques utilisés pour les technologies de substrats DBC et DBA.....	16
Tableau 1.6 – Propriétés des matériaux principaux utilisés pour les semelles.....	17
Tableau 1.7 – Les alliages les plus communément utilisées pour la brasure des modules de puissance [58].....	18
Tableau 1.8 - Propriétés des interfaces métallisations-semelle des substrats IMS.....	21
Tableau 1.9 – Propriétés des matériaux d’apport (avant assemblage) pour l’attache par diffusion .....	23
Tableau 1.10 – Récapitulatif des éléments et leur épaisseur dans la chaîne dissipative [58].....	30
Tableau 1.11 - Comparaison et classification des améliorations apportées au module de puissance conventionnel par les différentes technologies d’intégration hybride .....	53
Tableau 2.1 – Les durées de dépôt par voie électrolytique des nano fils en fonction de leur longueur .....	61
Tableau 2.2 – Analyse statistique des mesures de pores d’une membrane .....	71
Tableau 2.3 – Récapitulatifs des estimations de porosité des membranes par traitement d’images .....	72
Tableau 2.4 – Analyse statistique des pourcentages de porosité estimés par traitement d’image.....	72
Tableau 2.5 – Récapitulatif des propriétés physiques d’une alumine dense et celle de notre membrane .....	73
Tableau 2.6 – Mesures de masse et pourcentage de porosité estimées de six membranes en alumine .....	73
Tableau 2.7 – Analyse statistique des pourcentages de porosité estimés par la masse volumique .....	74
Tableau 2.8 – Bilan des analyses statistiques par traitement d’images et calcul de la masse volumique .....	74
Tableau 2.9 – Masse ou volume des composés chimique pour un litre de solution électrolytique Bungard CU400 .....	75
Tableau 2.10 – Ecarts moyens de rugosité arithmétique et quadratique des surfaces des différentes surfaces de dépôt .....	82
Tableau 2.11 – Mesures de la rugosité et de l’ondulation des différents types de préparation du cuivre .....	110
Tableau 2.12 – Résultats des mesures de la rugosité et de l’ondulation avant et après électro-gravure du plot en cuivre .....	111
Tableau 2.13 – Analyse statistique des données de mesure pour chaque étape de l’élaboration du remplissage de la cavité.....	113
Tableau 2.14 – Bilan des résultats obtenus avec les essais faisant varier le type de profil de courant .....	120
Tableau 2.15 – Comparaison et classification des différentes formes d’onde pour le dépôt électrolytique .....	120
Tableau 3.1 – Épaisseur des feuilles pré-imprégnés 35N après thermo-compression en fonction de leur fibre de verre donnée par le fabricant Arlon .....	132
Tableau 3.2 – Récapitulatif des résistances électriques obtenues pour une interconnexion .....	142
Tableau 3.3 – Récapitulatif des épaisseurs moyennes théoriques intervenants dans l’intégration d’une puce ....	145
Tableau 3.4 – Récapitulatif de l’épaisseur du laminé pré-stratifié en fonction des pré-imprégnés utilisés pour un diélectrique final de 460 $\mu\text{m}$ .....	145

---

Tableau 3.5 – Estimation de la résistance électrique d’une puce interconnectée en fonction des incertitudes de résistivité de la puce et de la valeur mesurée pour une interconnexion .....	150
Tableau 3.6 – Combinaisons de pré-imprégnés pour la réalisation d’un diélectrique stratifié de 460 µm en fonction des fibres de verre 106, 1080 et 2116 .....	151
Tableau 3.7 – Récapitulatif des résultats obtenus pour la caractérisation électrique des échantillons intégrant une interface structurée .....	162
Tableau 3.8 – Récapitulatif des résultats obtenus pour la caractérisation électrique des échantillons intégrant une puce interconnectée .....	163

---

## Liste des équations

Équation 2.1 – Demi-équations de réactions chimiques permettant la dissolution du cuivre par oxydation (a) et son dépôt par réduction (b) avec des ions cuivriques .....	66
Équation 2.2 – Demi-équations de réactions chimiques permettant la dissolution du cuivre par oxydation (a) (b) et son dépôt par réduction (c) (d) avec des ions cuivrique (a) (d) et cuivreux (b) (c) .....	66
Équation 2.3 – Réaction d'oxydation du cuivre par le dioxygène .....	66
Équation 2.4 – Dismutation d'ions cuivreux (ions cuivre I) par formation de cuivre $Cu$ avec les ions cuivrique $Cu^{2+}$ .....	67
Équation 2.5 – Loi de Faraday (a), expression de la charge électrique (b) et de la hauteur du dépôt (c) .....	67
Équation 2.6 – Formule générique pour le calcul de la hauteur d'un dépôt (a) et application avec le cuivre comme matériau de dépôt (b) .....	67
Équation 2.7 – Potentiels (a) et couples (b) oxydo-réducteurs de l'aluminium et du cuivre et équation-bilan de la réaction (c) avec la règle de gamma (d) .....	89
Équation 2.8 – Différence de potentiel oxydo-réducteur entre aluminium et cuivre .....	89
Équation 3.1 – Calcul de la résistance électrique d'une interface structurée à température ambiante .....	142
Équation 3.2 – Expression de l'épaisseur totale de l'empilement conducteur (a) et de l'épaisseur du diélectrique permettant d'assemblage du prototype (b) .....	143
Équation 3.3 – Expression de l'épaisseur du diélectrique en fonction de l'épaisseur du pré-stratifié et des pré-imprégnés après stratification .....	145
Équation 3.4 – Démonstration de l'égalité de la mesure de résistance électrique des prototypes en présence d'une puce factice avec ou sans fracture(s) .....	150
Équation 3.5 – Expression du pourcentage d'incertitude de la mesure de résistance par la somme quadratique des erreurs pour un courant de 1 A et un calibre en tension de 10 mV ( <i>Keithley</i> ) .....	158
Équation 3.6 – Expression de la température de la constriction du substrat unitaire en fonction du coefficient de température du cuivre et sa résistance électrique à différentes températures .....	171
Équation 3.7 – Expression de la contrainte thermique maximale en fonction de la section (a) et calcul du courant maximal admissible par la piste (b) .....	172



---

## Liste des abréviations

### 1-9

2/4/6H-SiC	Carbure de silicium hexagonal
3C-SiC	Carbure de silicium cubique

### A

AAO	Anodic Aluminium Oxide
Ag	Argent
Al	Aluminium
Al <sub>2</sub> O <sub>3</sub>	Alumine ou oxyde d'aluminium
AlN	Nitrure d'aluminium
AlSiC	Aluminium et carbure de silicium
AMB	Active Metal Brazing
Ar	Argon
Au	Or

### B

BeO	Oxyde de béryllium
BGA	Ball Grid Array
Bi	Bismuth
Bjt	Bipolar Junction Transistor

### C

C	Diamant
C <sub>4</sub> F <sub>8</sub>	Octafluorocyclobutane
CAO	Conception assistée par ordinateur
CCL	Copper Clad Laminate
CNRS	Centre National de la Recherche Scientifique
CO <sub>2</sub>	Dioxyde de carbone
Cr	Chrome
CTE	Coefficient d'expansion thermique
Cu <sup>+</sup>	Ion cuivrique
Cu <sup>2+</sup>	Ion cuivreux
CuSO <sub>4</sub> -5H <sub>2</sub> O	Sulfate de cuivre II pentahydraté

### D

DAP	Diallyl phthalate
DBA	Direct Bonded Aluminium
DBC	Direct Bonded Copper
DC	Direct Current
DETA	DiEthylèneTriAmine
DUT	Device Under Test

### E

e-	Electron
ED copper	Electro Deposited Copper
EDI	Eau déionisée

---

**F**

Fe	Fer
FEPA	Federation of the European Producers of Abrasives
FET	Field Effect Transistor
FPCB	Flexible Printed Circuit Board
FR-4	Flame Resistant 4

**G**

GaAs	Arséniure de gallium
GaN	Nitruure de gallium
GaN-2H	Nitruure de gallium hexagonal
GaN-3C	Nitruure de gallium cubique
Ge	Germanium
GPIB	General Purpose Interface Bus
GTO	Gate Turn-off Thyristor

**H**

H <sub>2</sub> SO <sub>4</sub>	Acide sulfurique
HT	Haute température
HVIC	High Voltage Integrated Circuit

**I**

IEEE	Institute of Electrical and Electronics Engineers
IEM	Interférence électromagnétique
IGBT	Insulated Gate Bipolar Transistor
IMS	Insulated Metal Substrate
In	Indium
IR	Infrarouge
IS	Interface structurée

**K**

K <sub>2</sub> CO <sub>3</sub>	Carbonate de potassium
--------------------------------	------------------------

**L**

LTJT	Low Temperature Joining Technology
LTPST	Low Temperature and Pressureless Sintering Technology

**M**

MCM	Multi-chip Module
MCT	MOS Controlled Thyristor
MDCE	Matériaux Diélectriques dans la Conversion de l'Energie
MEB	Microscope électronique à balayage
Mo	Molybdène
MOS	Metal Oxide Semiconductor
MOSFET	Metal Oxide Semiconductor Field Effect Transistor

**N**

N	Azote
NaOH	Hydroxyde de sodium
Ni	Nickel

---

NMPB	Nickel Micro-Plating Bonding
<b>O</b>	
O <sub>2</sub>	Oxyde
OSP	Organic Solderability Preservative
<b>P</b>	
P	Phosphore ou pulsé
Pb	Plomb
PBT	Téréphtalates de polybutylène
PC	Personal computer
PCB	Printed Circuit Board
Pd	Palladium
PES	Power Electronic Systems
PI	Puce interconnectée
PiN	Positive Intrinsic Negative
PMMA	Polyméthacrylate de méthyle
POL	Power overlay
ppm	Partie par million
PPR	Pulsé avec inversion de polarité
PPRR	Pulsé avec relaxation et inversion de polarité
PR	Pulsé avec relaxation
<b>R</b>	
R&D	Recherche et développement
RC	Resin Content
RC-IGBT	Reverse Conduction Insulated Gate Bipolar Transistor
RCC	Resin Coated Copper
RoHS	Restriction of Hazardous Substances
<b>S</b>	
SABI	SnAgBiIn
SACBSN	SnAgCuBiSbNi
Sb	Antimoine
Si <sub>3</sub> N <sub>4</sub>	Nitrure de silicium
Si	Silicium
SiO <sub>2</sub>	Oxyde de silicium
SiPLIT	Siemens Planer Interconnect
SiC	Carbure de silicium
SIT/SITH	Static Induction Thyristor
SMT	Surface-mount technology
SMU	Source Measure Unit
Sn	Etain
SO <sub>4</sub> <sup>2-</sup>	Sulfate
<b>T</b>	
T-PM	Transfer-molded Power Module
Ti	Titan
T <sub>j</sub>	Température de jonction
TLPB	Transient Liquid Phase Bonding

---

---

Tv	Température de transition vitreuse
<b>U</b>	
UBM	Under Bump Metallurgy
UV	Ultraviolet
<b>W</b>	
W	Tungstène
WBG	Wide bandgap



---

## Introduction générale

Les matériaux semi-conducteurs à large bande interdite (WBG) de dernière génération ont révolutionné l'électronique de puissance au cours des dernières années. La percée des composants actifs utilisant ces matériaux a révélé la nécessité d'améliorer le conditionnement des modules de puissance. Les interrupteurs de puissance, qu'ils soient à base de carbure de silicium (SiC) ou de nitrure de gallium (GaN), offrent une réduction du temps de commutation significative ainsi qu'une augmentation drastique de la fréquence de commutation. Ces caractéristiques sont généralement corrélées à la réduction de la taille des composants passifs. Néanmoins, la conception d'une cellule de commutation à faible inductance est essentielle pour tirer tous les avantages de ces composants dernier cri. Les interconnexions des interrupteurs sont sources d'éléments parasites et de défaillances au sein du module de puissance. Les interconnexions classiques des boîtiers utilisent des fils de câblage sur les électrodes supérieures et la fixation des puces est réalisée par brasure sur le substrat. Ce type d'assemblage, basé sur une disposition dite « bidimensionnelle », crée de fortes inductances parasites qui, combinées au transitoire de commutation rapide, provoquent des surtensions au passage à l'état bloqué. De plus, des fissures s'établissent dans les brasures en raison d'un gradient de température élevé et d'une inadéquation des coefficients thermiques de l'assemblage ; qui s'accumulent lors de contraintes cycliques répétées. Dans la plupart des cas, les interconnexions ne recouvrent pas toute la surface utile de l'électrode du fait des limitations liées aux contraintes de fabrication des liaisons par fils. D'autre part, la réduction de la taille des composants à large bande interdite conduit à une réduction de la surface de ces électrodes ; venant accentuer les limites de la technologie classique de conditionnement.

Ce projet, visant à proposer une solution alternative aux modules de puissance conventionnels, fait l'objet d'un partenariat académo-industriel entre l'équipe MDCE (Matériaux Diélectriques dans la Conversion de l'Energie) au Laplace (LABoratoire PLasma et Conversion d'Energie) à Toulouse et la division PES (Power Electronic Systems) du laboratoire MERCE (Mitsubishi Electric R&D Centre Europe) basée à Rennes.

La contribution scientifique de ces travaux se divise en trois chapitres distincts. Le premier chapitre dresse un état de l'art détaillé de la partie puissance des convertisseurs statiques conventionnels, ainsi que ses évolutions, permettant d'identifier les performances atteignables et limitations liées aux contraintes associées. Conjointement, une analyse minutieuse des solutions d'intégration, monolithique et hybride, présentées dans la littérature permet de faire le bilan, l'état de l'art des modules de puissance, et introduire notre solution alternative et innovante ; orientée dépôt électrolytique d'interfaces structurées puis enfouissement en environnement PCB.

Le second chapitre décrit le procédé de fabrication des interfaces structurées, en vue d'une utilisation comme interconnectique entre substrat et composants, avec une analyse préalable des technologies sélectionnées. La définition de la stratégie d'intégration que nous avons adoptée introduit l'étude du procédé d'électrodéposition pour ensuite présenter le procédé établi.

Le dernier chapitre est quant à lui consacré à l'assemblage d'échantillons, via la solution proposée, avec une présentation de la conception des différents types de prototype pour conclure sur la caractérisation électrique expérimentale et les premiers travaux réalisés en vue d'une évaluation des caractéristiques thermiques.

---

---

---

## Chapitre 1 : Etat de l'art des technologies de packaging des modules de puissance

<b>1.1</b>	<b>Introduction .....</b>	<b>5</b>
<b>1.2</b>	<b>Les convertisseurs de puissance.....</b>	<b>5</b>
<b>1.3</b>	<b>Le module de puissance .....</b>	<b>6</b>
1.3.1	Les interrupteurs .....	6
1.3.1.1	Le fonctionnement et les pertes .....	6
1.3.1.2	Les matériaux semi-conducteurs .....	7
1.3.1.3	Les technologies de composants .....	9
1.3.1.4	Les tendances et perspectives .....	9
1.3.2	Les contraintes associées .....	11
1.3.2.1	Les éléments parasites .....	11
1.3.2.2	La dissipation de la chaleur .....	12
1.3.2.3	La fiabilité .....	13
1.3.3	Le packaging .....	13
1.3.3.1	Les puces .....	13
1.3.3.2	Le substrat .....	14
1.3.3.3	La semelle .....	16
1.3.3.4	Les brasures .....	17
1.3.3.5	Les fils de câblage .....	18
1.3.3.6	La protection et sûreté du module .....	19
<b>1.4</b>	<b>Les tendances et évolutions .....</b>	<b>19</b>
1.4.1	Les substrats, semelles et dissipateurs .....	20
1.4.1.1	Le substrat à brasure active .....	20
1.4.1.2	Le substrat-semelle.....	21
1.4.2	Les alternatives aux brasures .....	22
1.4.2.1	La diffusion .....	22
1.4.2.2	Le frittage .....	23
1.4.3	L'optimisation du câblage.....	24
1.4.3.1	Les fils et matériaux .....	24
1.4.3.2	Les rubans .....	24
1.4.4	Les différents type d'encapsulant .....	25
1.4.4.1	Le gaz .....	25
1.4.4.2	La résine .....	25
<b>1.5</b>	<b>Les performances et limitations.....</b>	<b>26</b>
1.5.1	Les matériaux à large bande interdite .....	26
1.5.2	Les interconnexions .....	27
1.5.2.1	Les problématiques du câblage .....	27
1.5.2.2	Les défauts entre la puce et le substrat .....	28
1.5.3	La chaîne dissipative.....	30
1.5.3.1	Les modes de défaillance du substrat .....	30
1.5.3.2	Les jonctions thermiques.....	31
1.5.3.3	Les tendances et perspectives.....	33
<b>1.6</b>	<b>L'intégration monolithique .....</b>	<b>34</b>
1.6.1	Le circuit intégré de puissance .....	34
1.6.2	La mutualisation fonctionnelle.....	34
<b>1.7</b>	<b>L'intégration hybride.....</b>	<b>36</b>
1.7.1	Les brasures, frittages et assemblages par diffusion .....	36
1.7.1.1	Le frittage cuivre et nickel.....	37
1.7.1.2	Les feuillards embossés et la technologie SKiN .....	37
1.7.1.3	Les rubans bimétalliques .....	38
1.7.1.4	Les clips .....	39

---

1.7.1.5	Les brasures double face .....	40
1.7.1.6	Les macro et micro poteaux .....	41
1.7.2	Les dépôts métalliques.....	42
1.7.2.1	La technologie SiPLIT .....	42
1.7.2.2	Le micro nickelage électrolytique .....	43
1.7.2.3	Les micro vias .....	44
1.7.3	Les assemblages pressés .....	46
1.7.3.1	Les ressorts.....	46
1.7.3.2	Le boîtier « Press-pack ».....	48
1.7.3.3	Les assemblages par contraintes résiduelles .....	49
<b>1.8</b>	<b>Le bilan des solutions actuelles .....</b>	<b>51</b>
<b>1.9</b>	<b>Conclusion .....</b>	<b>52</b>

## 1.1 Introduction

De nos jours, l'électricité est l'une des formes d'énergie la plus consommée à travers le monde [1]. Elle est présente dans la plupart des secteurs tels que la domotique, l'automobile, le ferroviaire, l'aéronautique, etc. [2]. La conversion statique de l'énergie électrique est garantie par des convertisseurs de puissance dont les exigences principales sont un rendement optimal et une fiabilité maximale [3].

Le premier convertisseur de puissance apparu est le redresseur à vapeur de mercure [4]. C'est en 1902 que Peter Cooper Hewitt [5] découvre que la lampe au mercure empêche le passage du courant dans l'anode lorsqu'un potentiel électrique négatif est introduit entre la cathode et l'anode [6]. Le redresseur au sélénium, basé sur le principe du passage unidirectionnel de courant par contact de matériaux différents, apparaît dans les années 1930 [7]. Les convertisseurs statiques utilisant les propriétés semi-conductrices du germanium puis du silicium sont apparus au milieu du 20<sup>e</sup> siècle [8]. Depuis les années 1990, les matériaux semi-conducteurs à large bande interdite suscitent à leur tour un grand intérêt [9], [10].

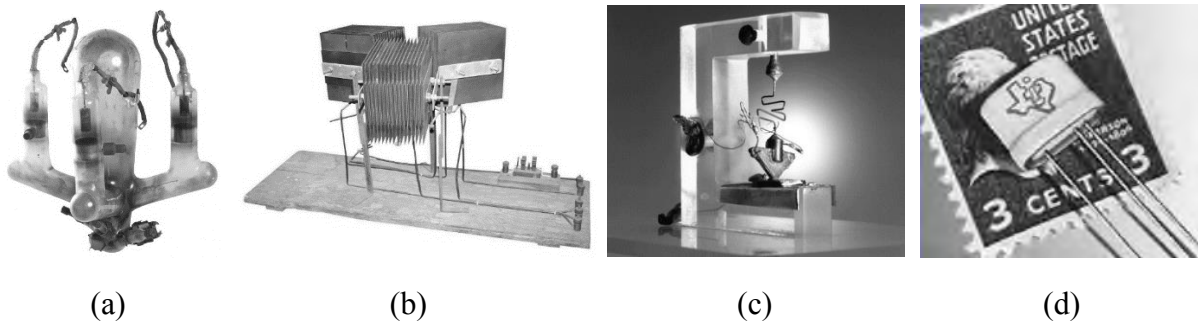


Figure 1.1 – Redresseur triphasé à vapeur de mercure (a) et au sélénium (b) (*Collection ENSEIHT*), premier transistor au germanium (*Michigan State University*) (c) et au silicium (d) (*Texas Instrument*)

## 1.2 Les convertisseurs de puissance

Depuis de nombreuses années, les convertisseurs de puissance reposent sur la même architecture [11] : Ils sont composés d'une partie commande et d'une partie puissance. Le contrôleur donne les ordres aux *drivers* qui commandent les composants formant le module de puissance.

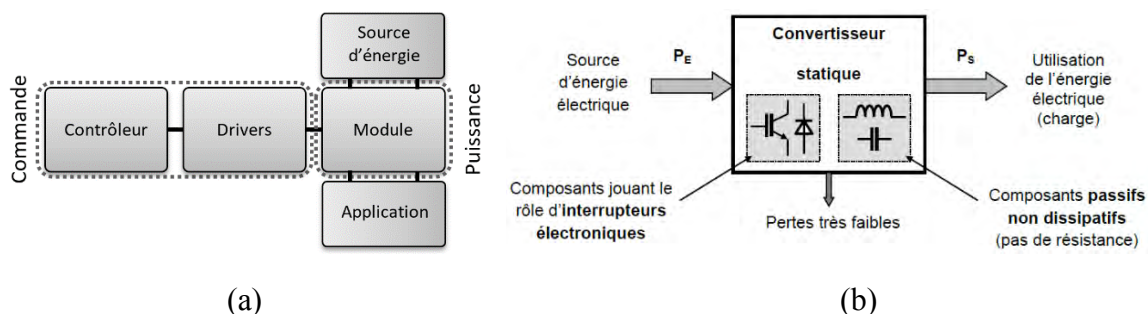


Figure 1.2 – Schéma bloc du convertisseur de puissance (a) et architecture générique du convertisseur statique (b)

Le module de puissance est constitué de composants de puissance et est complété par un circuit de filtrage. Destinés au traitement de l'énergie électrique, ces systèmes doivent générer le moins de pertes possible afin de garantir un rendement optimal, une densité de puissance maximale et ce à un coût de fabrication réduit. Pour répondre à ce besoin, les convertisseurs de puissance utilisent des composants de puissance tels que des diodes et des transistors. Ces composants sont utilisés en commutation : c'est la raison pour laquelle ces composants seront également désignés par le vocable interrupteur. Ils sont utilisés pour « découper » les grandeurs électriques en association avec des composants passifs qui assurent les fonctions de stockage et de filtrage. Par souci de simplification, nous nous affranchirons de l'étage de commande en Figure 1.2 (b) [12].

### 1.3 Le module de puissance

Le module de puissance est constitué d'une ou plusieurs cellules de commutation. La cellule de commutation représentée en Figure 1.3, que l'on appelle aussi un bras de pont, est composée d'une source de tension, de deux interrupteurs, a minima, et d'une source de courant [13]. Cette topologie élémentaire constitue la brique de base d'un convertisseur en électronique de puissance.

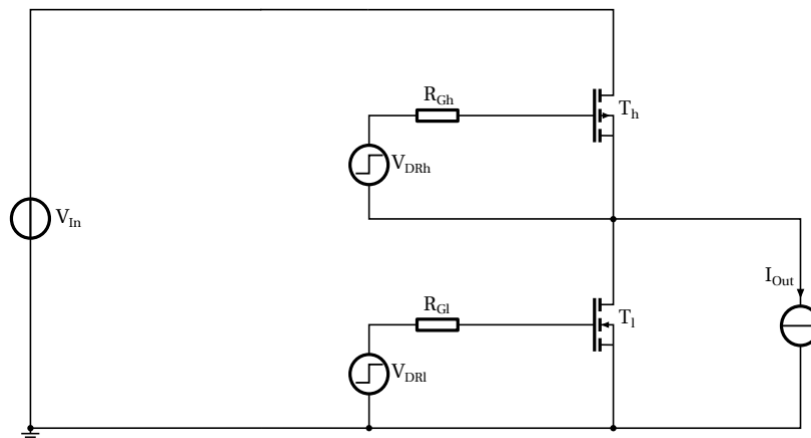


Figure 1.3 – Représentation d'une cellule de commutation élémentaire [14]

#### 1.3.1 Les interrupteurs

Les interrupteurs sont des composants actifs qui permettent de réaliser des commutations au sein d'un circuit électrique de façon spontanée pour une diode, ou contrôlée pour un transistor. Placés au cœur de la cellule de commutation, leurs propriétés physiques définissent leurs caractéristiques électriques demandées par le cahier des charges du module de puissance. Il semble important de faire un tour d'horizon de leurs fonctionnements et des technologies actuellement à notre disposition afin de mieux appréhender la structure des modules de puissance, leurs évolutions et les solutions proposées dans la littérature.

##### 1.3.1.1 Le fonctionnement et les pertes

En théorie, nous pourrions être tentés d'écrire que les temps de commutations séparant les états d'un interrupteur (amorçage et blocage) sont nuls et de seulement considérer ses pertes en conduction.

Néanmoins, les variations temporelles de courant et tension ne sont pas instantanées ; elles sont limitées par les propriétés du matériau utilisé pour le composant, par le circuit de commande de ce dernier ainsi que les éléments parasites de la cellule de commutation.

Lors de l'amorçage et blocage, le chevauchement de la tension et du courant dépend de leur vitesse de variation. Le produit courant-tension ( $p(t) = u(t) \times i(t)$ ) permet de visualiser que la puissance instantanée atteint des pics importants lors des commutations ; répétées à la fréquence de découpage, ces énergies  $E_{on}$  et  $E_{off}$  génèrent des puissances moyennes non négligeables. À ces pertes par commutation s'ajoutent les pertes par conduction. L'ensemble des pertes en conduction et en commutation constituent la source du flux de chaleur du composant. Ces pertes, en régimes statique et dynamique, se retrouvent également avec les diodes. À noter que les composants ne sont pas parfaits et présentent des courants de fuites également à l'origine de pertes, bien que très faibles à leur tension de service.

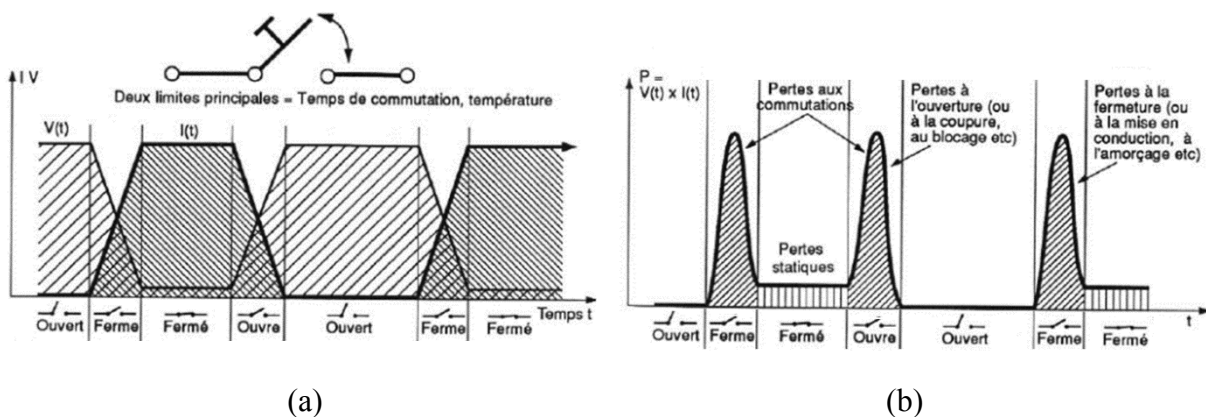


Figure 1.4 - Courbes courant tension (a) et son produit (b) d'un interrupteur [14]

### 1.3.1.2 Les matériaux semi-conducteurs

Les composants sont fabriqués à partir de matériaux semi-conducteurs. Les semi-conducteurs ont la particularité d'être isolants et de devenir conducteurs par apport d'énergie. Cela s'explique par la théorie des bandes.

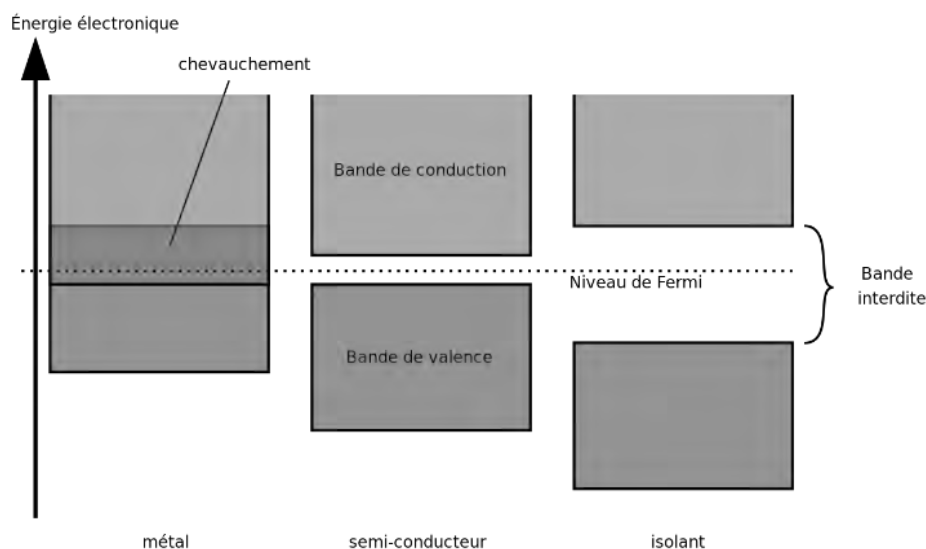


Figure 1.5 – Schéma de principe de la théorie des bandes

La bande interdite, que l'on exprime en électron-Volt (eV), est une barrière d'énergie entre les bandes de valence et conduction que les électrons ne peuvent franchir sans l'application d'un champ électrique, d'échauffements, de photons, etc. Lorsque cette bande est suffisamment fine, les électrons peuvent, à l'aide d'un apport d'énergie, migrer de la bande de valence à la bande de conduction et donc permettre au matériau de devenir conducteur. Ce sont ces matériaux que l'on qualifie de semi-conducteur [15].

Les caractéristiques offertes par la bande interdite nous permettent d'utiliser ces matériaux à une plus ou moins grande valeur de tension tout en maintenant des pertes par conduction acceptables. Pour des pertes en conduction données, plus la bande interdite sera large, plus élevée sera la tenue en tension du composant à l'état bloqué ; en gardant à l'esprit qu'une bande interdite trop large rendra le matériau isolant. Néanmoins, ce n'est pas le seul critère évalué pour leur utilisation en électronique de puissance. Le champ électrique disruptif, que l'on exprime en Volt par mètre (V/m), permet de connaître la tenue en tension maximale supportée par le matériau. Ces deux paramètres définissent la valeur de la tension de fonctionnement du composant. La vitesse de déplacement des charges qui conditionne leur mobilité est également une caractéristique à prendre en compte afin de réduire les pertes à la commutation comme nous l'avons vu en section 1.3.1.1. C'est à partir de cette donnée que la montée en fréquence sera possible. Pour finir, la connaissance des points de fusion exprimés en degrés Celsius (°C) et de la conductivité thermique (en W/m.K) nous permettent de définir la limite en température du matériau et donc par la suite le courant admissible dans le composant dans un environnement donné. Le tableau ci-dessous récapitule les propriétés physiques des principaux matériaux semi-conducteurs [16].

Matériau	$E_g$ (eV)	$\mu_n$ ( $\cdot 10^5 \text{ m}^2/\text{V.s}$ )	$\mu_p$ ( $\text{m}^2/\text{V.s}$ )	$V_{\text{sat}}$ (m/s)	$E_c$ ( $\cdot 10^{-4} \text{ V/m}$ )	$K_{\text{TH}}$ (W/m.K)	$\epsilon_r$	$\alpha \times 10^{-6}$ ( $\cdot 10^{-6} \text{ K}^{-1}$ )
Si	1,12	145	5000000	0,01	0,25 - 0,8	156	11,9	2,6
GaAs	1,42	800	4000000	0,007	0,4 - 0,9	0,46	12,9	5,73
3C-SiC	2,36	$\leq 80$	$\leq 3200000$	0,02	$\approx 1$	360	9,72	3,8
6H-SiC	3	$\leq 40$	$\leq 900000$	0,015	3 - 5	490	9,66	4,3
4H-SiC	3,23	$\leq 90$	$\leq 1200000$	0,019	3 - 5	370	9,66	3,7
GaN-2H	3,51	$\leq 100$	$\leq 2000000$	0,02	-	$\geq 210$	9,5	-
GaN-3C	3,3	$\leq 100$	$\leq 3500000$	0,02	$\approx 5$	$\geq 210$	9,7	-
C	5,47	180	12000000	0,027	5,6	2000	5,7	0,8

$E_g$  : bande interdite

$\mu_n, \mu_p$  : mobilité des électrons et des trous à 300 K

$V_{\text{sat}}$  : vitesse limite des électrons

$\alpha$  : Coefficient de dilatation thermique

$E_c$  : champ électrique critique (claquage)

$K_{\text{TH}}$  : conductivité thermique

$\epsilon_r$  : permittivité relative

Tableau 1.1 – Récapitulatif des propriétés physiques des principaux matériaux semi-conducteurs

Aujourd'hui, le matériau le plus utilisé dans le domaine de l'électronique est le silicium du fait de son coût plus attractif mais également de la maîtrise et de la maturité des technologies et des équipements dans l'industrie.



### 1.3.1.3 Les technologies de composants

Bien que le matériau utilisé pour la fabrication de composants semi-conducteurs soit un paramètre clef dans la définition de ses performances, les différentes zones de dopage et leurs agencements permettent aux composants de pouvoir répondre à des puissances ou fréquences plus ou moins élevées.

Prenons le cas du transistor MOSFET qui est un transistor à effet de champ. Sa forte résistance à l'état passant limite son utilisation dans le domaine des fortes puissances mais le fait qu'il soit unipolaire, donc à conduction par porteurs majoritaires, lui permet d'être rapide.

Par opposition, le BJT est un composant bipolaire et offre une conduction par porteurs minoritaires : il est plus lent mais permet de travailler dans une gamme de puissance plus élevée du fait de sa faible résistance à l'état passant [17]. Certains transistors que l'on appelle les Power MOSFET (V-MOSFET), en comparaison avec les composants en silicium du tableau ci-dessus, peuvent atteindre jusqu'à 1 kV en tenue en tension et 100 A en conduction [18]. Quant à l'IGBT qui est un transistor bipolaire, il bénéficie de la même structure qu'un MOSFET mais avec une jonction supplémentaire qui lui permet de combiner les avantages du BJT à celles du MOSFET [19]. Le bilan est le même pour les diodes. La diode Schottky, de structure unipolaire, présente une chute de tension plus basse à l'état passant et donc est plus rapide avec des pertes en conduction plus faible que la diode PiN qui elle est bipolaire. Cependant, pour des tension plus élevées, la diode PiN est préférée du fait de son courant de fuite inférieur [20].

Technologie d'interrupteur	Année de commercialisation	Tension nominale	Courant nominal	Puissance nominale	Chute de tension
Thyristor	1957	6 kV	3,5 kA	~ 100 MW	1,5 - 2,5 V
Triac	1958	1 kV	100 A	~ 100 kW	1,5 - 2 V
GTO	1962	4,5 kV	3 kA	~ 10 MW	3 - 4 V
BJT	1960	1,2 kV	800 A	~ 1 MW	1,5 - 3 V
MOSFET	1976	0,5 - 4,7 kV	50 - 2 A	~ 100 kW	3 - 4 V
IGBT	1983	1,2 - 6,5 kV	400 - 50 A	~ 100 kW	3 - 4 V
SIT	1950	1,2 kV	300 A	~ 10 kW	10 - 20 V
SITH	1960	1,5 kV	300 A	~ 10 kW	2 - 4 V
MCT	1988	3 kV	2 kA	~ 10 MW	1 - 2 V

Tableau 1.2 – Comparaison des transistors de puissance en silicium [21], [22], [23]

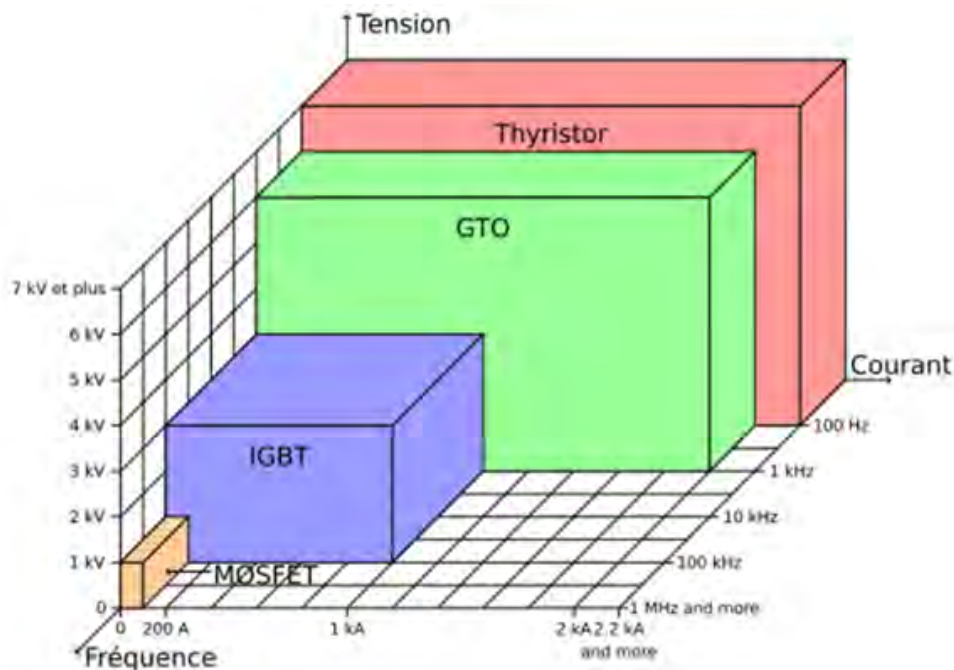
### 1.3.1.4 Les tendances et perspectives

Les interrupteurs sont le cœur du module de puissance. Une bonne connaissance des propriétés physiques des matériaux et des technologies de composants permet la définition des contraintes et donc la compréhension des problématiques actuelles avec pour objectif d'améliorer ces systèmes, que ce soit en termes de performance ou de fiabilité [24].

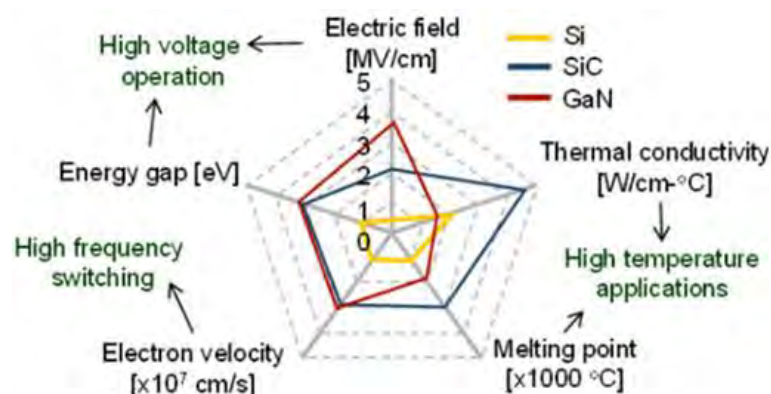
Aujourd'hui, l'avantage demeure aux composants en silicium, bien maîtrisés et matures. De plus, les ressources de matière première permettent de répondre aux besoins en termes de volume à un coût relativement abordable face à d'autres matériaux. Les matériaux à large bande interdite, en particulier le carbure de silicium (SiC) et le nitrure de gallium (GaN), suscitent un très grand intérêt dans la fabrication de composants destinée à l'électronique de puissance au vue de leurs propriétés physiques comparées à celles du silicium [25].

Malgré une conductivité thermique inférieure au Si pour le GaN, les propriétés physiques des matériaux à grand gap présentent un très fort potentiel dans la montée en puissance et en fréquence des composants et par conséquent des modules de puissance.

Couplés aux technologies de composants, les transistors MOSFETs et IGBTs en silicium dominent le marché ; pour les diodes ce sont les Schottky et PiN, en silicium également. Pour les applications de basse et moyenne puissance, la majorité des modules sont équipés de transistors MOSFETs lorsque les IGBTs sont préférés pour les applications de forte puissance. Néanmoins, les Power MOSFETs présentent de plus en plus d'intérêt en forte puissance en s'approchant des gammes de tension et courant des IGBTs et en permettant de travailler à de plus hautes fréquences. Pour les diodes, ce sont les Schottky qui sont utilisées en faible et moyen puissance et les PiN pour les applications de forte puissance [26].



(a)



(b)

Figure 1.6 – Domaines d'applications des transistors en silicium (a) [14] et comparaison des propriétés physiques des principaux matériaux semi-conducteurs (b) [27]

Pour illustrer l'évolution des interrupteurs disponibles, comparons les composants de type FET en silicium à ceux utilisant des matériaux à grand gap. Bien que ses limites évoluent de façon rapide et significative au fil du temps, la technologie FET en silicium propose des transistors de 1 kV et 100 A [18] et une fréquence de découpage allant jusqu'à 1 MHz. Pour les matériaux à grand gap avec une gamme de courant identique, des transistors MOSFET SiC de 1,7 kV, aux dimensions inférieures, sont commercialisés lorsque des études montrent des composants GaN de 1,2 kV [28]. Il est annoncé que des transistors à grand gap permettraient d'utiliser des fréquences de découpage allant jusqu'à 3,5 MHz pour les technologies en SiC et 5 MHz pour le GaN [29]. Du point de vue de la thermique, la température de jonction des composants conventionnels en silicium est située entre 125°C à 150°C alors que les matériaux à grand gap peuvent atteindre jusqu'à 500°C [30], [31].

Technologie FET	Courant max (A)	Tension max (kV)	Fréquence de coupure max. (MHz)	Température de jonction (°C)
Si	100	1	1	125-150
SiC	100	1,7	3,5	500
GaN	100	1,2	5	500

Tableau 1.3 – Bilan des performances de la technologie MOSFET selon les matériaux

### 1.3.2 Les contraintes associées

Bien que la fonctionnalité du module de puissance soit principalement garantie par les interrupteurs, de ou des cellules de commutations, son packaging assure quatre fonctions essentielles qui sont [32] :

1. La connexion électrique qui doit permettre la liaison entre les composants inclus dans le boîtier et le câblage avec l'environnement ;
2. L'isolation électrique qui doit assurer la séparation entre les différents potentiels par un diélectrique ;
3. La tenue mécanique pour le maintien et la protection des interrupteurs ;
4. La gestion thermique qui doit garantir un transfert de la chaleur générée par les pertes des interrupteurs.

Les besoins en conversion d'énergie électrique sont de plus en plus élevés et requièrent des systèmes performants et fiables. Aujourd'hui, les éléments constitutifs du packaging du module de puissance représentent un point limitant comme nous le verrons par la suite [33]. Les contraintes électro-thermomécaniques (ETM) associées au packaging sont à présent décrites et permettront de mieux cerner les problématiques du packaging des modules de puissance [34].

#### 1.3.2.1 Les éléments parasites

Au sein d'un module, plusieurs composants sont reliés électriquement entre eux pour assurer le bon fonctionnement du bras de pont. Cependant, le comportement d'une cellule de commutation est perturbé par l'introduction d'éléments que l'on qualifie de parasites et représentés sur la Figure 1.7. Ces éléments traduisent les inductances inhérentes au câblage et des couplages capacitifs liés à la présence d'isolement électrique.

Ils ont des effets multiples sur le comportement de la cellule de commutation : ils sont source de pertes qui réduisent le rendement et la fiabilité du système, et induisent une augmentation des perturbations électromagnétiques [35], [36], [32].

En amont des transistors, les inductances  $L_{DC2}$  et  $L_{D1}$  s'opposent aux variations du courant ( $v = L \cdot di/dt$ ) lors des commutations et ne permettent pas, par conséquent, de bénéficier des temps de commutation rapides des composants à large bande interdite. Dans le cas d'une commutation de l'état passant à l'état bloqué, l'énergie emmagasinée par cette inductance ( $E_m = L \cdot I^2/2$ ) ne peut disparaître instantanément ce qui est à l'origine de surtensions et par conséquent de pertes supplémentaires.

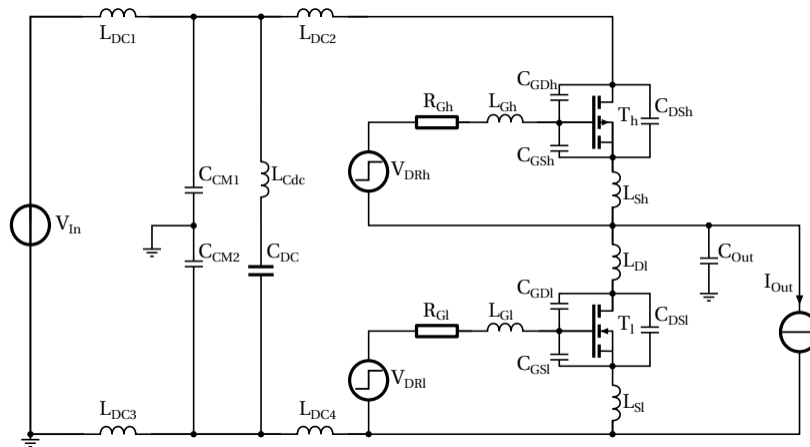


Figure 1.7 – Schéma électrique d'une cellule de commutation intégrant les éléments parasites [14]

Les inductances parasites de grille,  $L_{Gh}$  et  $L_{Gl}$ , sont également l'une des origines du ralentissement des commutations de l'interrupteur. Dans le cas le plus critique, elles peuvent être source d'oscillations avec la capacité d'entrée de l'interrupteur. Ce problème peut être amorti par une valeur de résistance de grille plus importante mais qui ralentira, encore une fois, la commutation et augmentera les pertes par commutation.

Les inductances  $L_{Sh}$  et  $L_{Sl}$  additionnent ces effets inductifs puisqu'elles sont communes aux mailles du circuit de puissance et du circuit de commande.

La combinaison des capacités parasites aux bornes des transistors,  $C_{DS h}$  et  $C_{DS l}$ , avec les inductances de la maille de puissance sont source d'oscillations du signal lors d'importants  $di/dt$  et  $dv/dt$ . De plus, les effets indésirables des capacités se retrouvent également par des courants de mode commun circulant entre la phase en sortie du bras de pont et la masse ( $C_{out}$ ).

L'ensemble des résistances parasites du circuit sont à l'origine de chutes de tension qui vont ralentir les commutations et augmenter encore les pertes par effet Joule.

### 1.3.2.2 La dissipation de la chaleur

Les pertes dans le circuit génèrent de la chaleur qui doit être dissipée. L'échauffement créé par les résistances parasites, bien qu'il soit beaucoup plus faible, s'ajoute aux pertes à la commutation des interrupteurs.

Pour garantir le fonctionnement du convertisseur de puissance, la température maximale de jonction des composants doit être respectée en dissipant cette chaleur pour maintenir la température du système en dessous du seuil critique [37].

### 1.3.2.3 La fiabilité

La gestion thermique des modules de puissance a un impact direct sur leur fiabilité. L'utilisation de matériaux à haute conductivité thermique avec des coefficients de dilatation thermique faibles et les plus proches possibles entre eux est essentielle. Malgré tout, le point de fonctionnement du convertisseur fluctue au cours de ses profils de mission et provoque des variations de température des divers matériaux. Les gradients de température à travers le module de puissance sont à l'origine de défauts par contraintes physiques qui affectent fortement la fiabilité du convertisseur. Le module de puissance doit pouvoir supporter ces cycles thermiques avec une dégradation limitée dans le temps [38], [39].

### 1.3.3 Le packaging

Les modules de puissance doivent également répondre aux exigences en termes de performance électrique par la réduction des éléments parasites, permettre la dissipation de la chaleur par une gestion thermique optimale et garantir la tenue mécanique. Ces contraintes d'origine électro-thermomécaniques (ETM) sont directement liées à leur packaging qui représente, le plus souvent, le point limitant.

Le packaging peut varier en fonction de la gamme des calibres en tension et courant. Néanmoins, un standard s'est développé chez les fabricants : il est représenté en vue de coupe en Figure 1.8, et constituera le point de départ de l'analyse. Il fait partie des assemblages électroniques appelés Power MCM (Multi Chip Modules) du fait qu'il soit composé de plusieurs puces assemblées dans un même boîtier [40], [34].

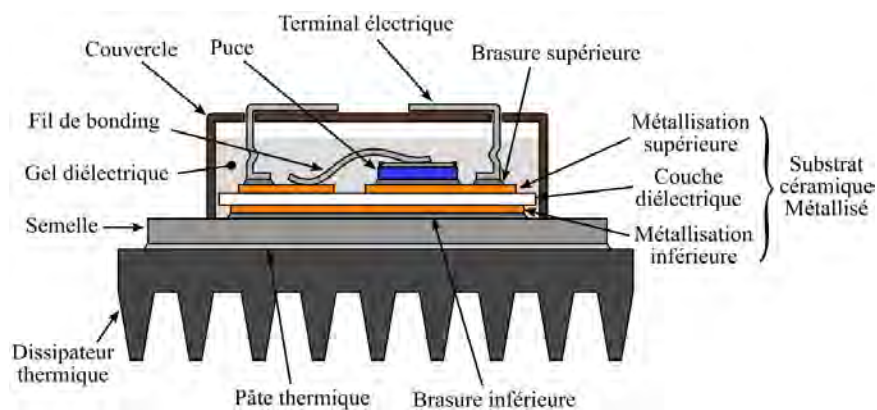


Figure 1.8 – Vue en coupe d'un module de puissance [41]

#### 1.3.3.1 Les puces

Les puces sont les composants actifs du module de puissance qui permettent d'effectuer les commutations qu'elles soient spontanées pour une diode ou contrôlées pour un transistor. Elles sont principalement constituées d'un matériau semi-conducteur, généralement en silicium. Pour la plupart, leur architecture est verticale ce qui signifie que les zones électriquement actives sont les faces supérieures et inférieures.

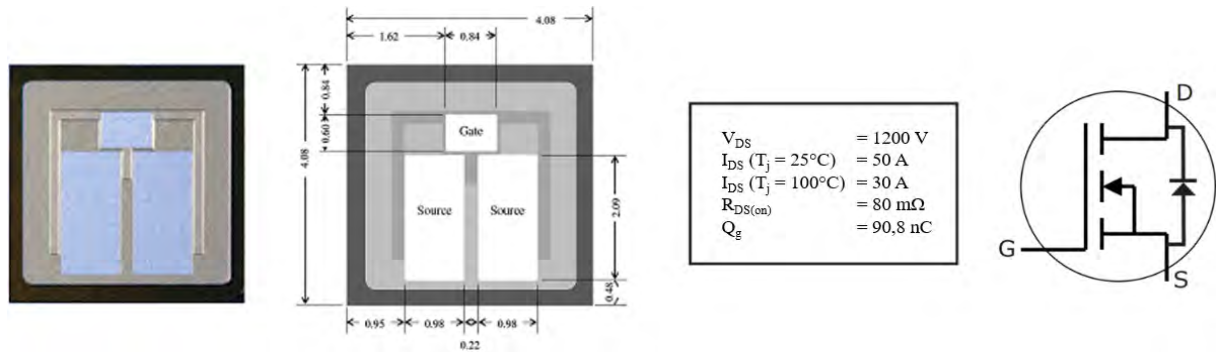


Figure 1.9 - Puce semi-conductrice de puissance MOSFET CREE CPMF-1200-S080B 4.08 x 4.08 mm<sup>2</sup> (Fiche technique CREE)

On y retrouve les métallisations qui sont le plus souvent en argent (Ag) entre 1 et 2  $\mu\text{m}$  qui recouvrent la face inférieure et en aluminium (Al) entre 1 et 10  $\mu\text{m}$  en face supérieure. Elles permettent de protéger le silicium de l'oxydation et facilitent son assemblage. Comme nous pouvons le voir en Figure 1.9, l'assemblage en face supérieure n'occupe pas l'ensemble de la surface de la puce contrairement à la face inférieure [42]. Certaines zones sont métallisées et d'autres non ; le transistor par exemple comprend plusieurs électrodes ayant des fonctions et des potentiels différents ce qui nécessite une métallisation sélective de la surface ainsi qu'une isolation. Les surfaces non métallisées sont quant à elles protégées par un matériau organique, que l'on appelle la passivation, qui limite les courants de fuites et réduit les risques de claquage [43].

Matériau	Conductivité électrique ( $\cdot 10^6 \text{ S/m}$ )	Conductivité thermique (W/m.K)	Module de Young (GPa)	Coefficient de dilatation thermique ( $\cdot 10^{-6} \text{ K}^{-1}$ )	Masse volumique (g/cm <sup>3</sup> )
Al	37,7	237	69	23	2,7
Si (sans dopage)	$2,52 \cdot 10^{-10}$	156	130 - 185	2,6	2,33
Ag	63	429	83	19	10,5
Cu	59,6	401	124	17	8,96
Au	45,2	317	78	14,2	19,3

Tableau 1.4 – Propriétés physiques principales des métallisations de puces semi-conductrices [44]

Les dimensions des puces peuvent varier entre quelques centaines de micromètres carré à quelques millimètres carré pour une épaisseur entre 70 et 500  $\mu\text{m}$  [32]. Le Tableau 1.4, ci-avant, répertorie les principales propriétés physiques des puces semi-conductrices.

### 1.3.3.2 Le substrat

Le substrat assure simultanément une isolation électrique entre les différents potentiels et le support sur lequel il est fixé, une conduction électrique au travers des pistes pour relier les puces et former les cellules de commutations ainsi qu'une conduction thermique afin de dissiper la chaleur générée.

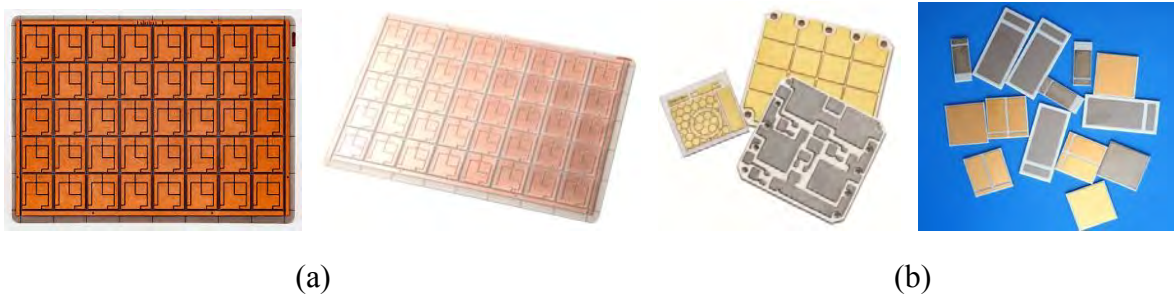


Figure 1.10 – Panneaux de substrats DBC (a) (*Ferrotec*) et substrats DBC/DBA unitaires (b) (*Shanghai Shenhe Thermo-Magnetics Electronics Co. Ltd. & ELE Advanced Ceramics*)

Il se présente sous la forme d'une céramique plane avec des pistes métalliques en face supérieure et d'une métallisation sur l'ensemble de la face inférieure. Les matériaux les plus utilisés pour la céramique sont l'alumine ( $\text{Al}_2\text{O}_3$ ), le nitrure de silicium ( $\text{Si}_3\text{N}_4$ ), le nitrure d'aluminium ( $\text{AlN}$ ) et l'oxyde de béryllium ( $\text{BeO}$ ) [45].

L'épaisseur de la céramique est, en général, de  $635 \mu\text{m}$  ( $1/40$  de pouce) [46] mais peut varier typiquement entre  $380 \mu\text{m}$  et  $1 \text{ mm}$  voire plus en fonction du choix des matériaux, de la technologie d'assemblage, de la tenue en tension exigée [47]. Les métallisations sont en cuivre, matériau qui présente une très bonne conductivité électrique ( $59,6 \cdot 10^6 \text{ S/m}$ ) et thermique ( $401 \text{ W/m.K}$ ). Les épaisseurs vont de  $127$  à  $500 \mu\text{m}$  [48]. La majorité des substrats ont des métallisations de  $300 \mu\text{m}$  [46]. Nous les appelons substrats DBC (Direct Bonded Copper). L'aluminium est également utilisé pour les métallisations. Comparons ces matériaux d'après la loi de Wiedemann-Franz en Figure 1.11 qui met en relation la conductivité thermique et électrique des métaux en y ajoutant les céramiques citées ci-avant [49].

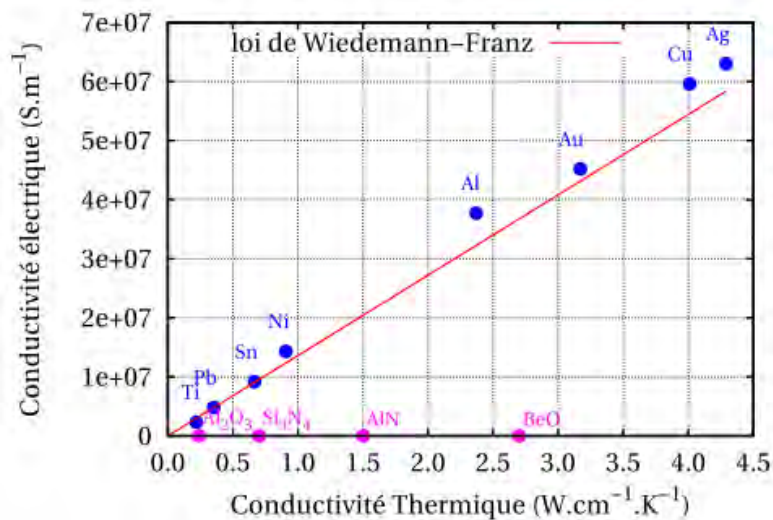


Figure 1.11 – Relation entre conductivité thermique et électrique des matériaux [32].

Avec une conductivité électrique ( $37,7 \cdot 10^6 \text{ S/m}$ ) et thermique ( $237 \text{ W/m.K}$ ) bien plus faibles que celles du cuivre, l'aluminium permet théoriquement une meilleure fiabilité lors d'essais de cyclage thermique [50], [51] puisque, malgré un coefficient de dilatation thermique supérieur à celui du cuivre et par conséquent aux céramiques, son module d'Young relativement plus faible (voir Tableau 1.4) semble être ici un avantage.



L'assemblage de ces substrats se fait par contact mécanique à haute température ( $> 1000^{\circ}\text{C}$ ) des couches conductrices à la céramique pour former un joint de forte adhésion. Dans le cas de l'AlN, une oxydation préalable réalisée à  $1200^{\circ}\text{C}$  est nécessaire [52].

Les métallisations du substrat sont recouvertes d'une couche de finition d'épaisseur comprise entre 1 et 10  $\mu\text{m}$ . La finition nickel-or (NiAu – 5-9  $\mu\text{m}$  Ni /  $>1$   $\mu\text{m}$  Au) est la plus répandue mais il en existe bien d'autres (Ni, NiPdAu, NiAg, Ag, etc.). Comme pour les puces, leur rôle est de faciliter l'assemblage, de créer une couche barrière contre la diffusion des espèces chimiques (Ni pour le NiAu), de protéger contre l'oxydation et de garantir le mouillage des brasures ou du joint fritté (Au pour le NiAu). Les terminaux externes, qui sont de simples broches conductrices permettant la prise de contact électrique, bénéficient également d'une telle finition afin d'être protégées.

Matériau	$\text{Al}_2\text{O}_3$	AlN	$\text{Si}_3\text{N}_4$	BeO
Coefficient de dilatation thermique ( $\cdot 10^{-6} \text{ K}^{-1}$ )	7,5 - 9,5	4 - 6	3 - 4	4,5 - 9
Résistance électrique ( $\Omega\cdot\text{m}$ )	$>10^{14}$	$>10^{14}$	$>10^{10}$	$>10^{14}$
Conductivité thermique ( $\text{W/m}\cdot\text{K}$ )	20 - 30	170 - 200	100	250 - 270
Tenue diélectrique ( $\text{kV/mm}$ )	12	15	10	10 - 14
Permittivité relative	9,9	8,9	6 - 10	6,5
Masse volumique ( $\text{g/cm}^3$ )	3,98	3,3	3,17	3
Module de Young (GPa)	390	318	310	350

Tableau 1.5 – Propriétés physiques des principaux matériaux diélectriques utilisés pour les technologies de substrats DBC et DBA

### 1.3.3.3 La semelle

La semelle du module de puissance permet le maintien mécanique de l'ensemble des éléments, tout en assurant le rôle d'interface thermique entre les points chauds du substrat et le système de refroidissement sur lequel elle est fixée.



(a)



(b)



(c)

Figure 1.12 - Semelles avec différentes tailles (a) (CPS), matériaux (b) (Padar technoenergie) et assemblée à son module (c) (Semikron)



Les propriétés recherchées pour les semelles sont d'une part une bonne corrélation de son coefficient de dilatation thermique avec celui des interfaces auxquelles elles sont assemblées afin de réduire les contraintes mécaniques et d'autre part, une bonne conductivité thermique conduisant à une homogénéisation des points chauds sur l'ensemble de la surface pour évacuer la chaleur [53]. L'épaisseur de la semelle est d'environ 3 mm [54] et peut descendre jusqu'à 1 mm en fonction de l'épaisseur et des propriétés thermiques du substrat [55]. Elle est le plus souvent en cuivre avec une finition nickel (Ni) pour éviter son oxydation. Cependant, le coefficient de dilatation thermique du cuivre est bien plus élevé que celui des céramiques. Cette différence de CTE est source de fortes contraintes mécaniques. Des matériaux composites comme l'AlSiC sont utilisés afin de réduire le CTE de la semelle en conservant une conductivité thermique convenable [56].

Matériau	Coefficient de dilatation thermique ( $\cdot 10^{-6} \text{ K}^{-1}$ )	Conductivité thermique (W/m.K)	Masse volumique ( $\text{g/cm}^3$ )
Cu	17,8	398	8,96
Al	23,6	238	2,7
CuMo	7 - 8	160 - 170	10
AlSiC	6,5 - 9	170 - 200	3
CuW	6,5 - 8.3	180 - 200	15,7 - 17
NiFe	5,2	11 - 17	8,1

Tableau 1.6 – Propriétés des matériaux principaux utilisés pour les semelles

#### 1.3.3.4 Les brasures

Les brasures, d'une épaisseur allant de quelques dizaines à plus d'une centaine de micromètres, permettent de solidariser les différents éléments du module de puissance. Cette technique est basée sur la fusion d'un alliage à plus ou moins haute température entre deux éléments qui après refroidissement formera un joint de liaison mécanique, un nouvel alliage et/ou un intermétallique [57].

Il existe deux niveaux de brasures dans les modules de puissance, le premier étant la brasure des puces semi-conductrices et des terminaux et le second qui permet d'assembler le substrat sur la semelle. Nous remarquons que c'est principalement la conductivité thermique qui sera prise en compte dans le choix de l'alliage pour la brasure substrat/semelle, contrairement à celles des puces semi-conductrices, du fait de son isolation électrique avec les éléments actifs. Cette configuration implique l'utilisation d'alliages différents. L'alliage du premier niveau ne doit pas atteindre sa température de *liquidus* lors de la seconde brasure. La différence des points de fusions doit être au minimum de 40°C [44].

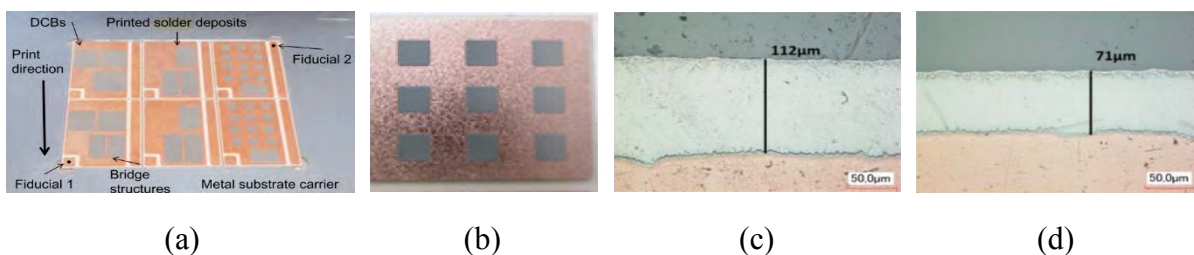


Figure 1.13 – Dépôt de pâte à braser sur un panneau (a) avec zoom sur une piste (b) et vue de coupe d'une brasure de puce épaisse (c) et fine (d) [58]

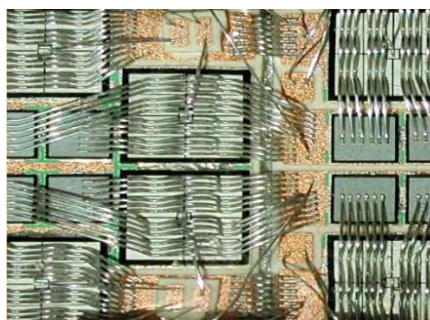
Il est important de noter que l'entrée en vigueur de la directive RoHS (Restriction of the use of certain Hazardous Substances, directive 2002/95) prévoit, depuis 2009, l'interdiction des substances dangereuses dans les systèmes électroniques et dont le plomb (Pb) fait partie [59]. Les alliages sans plomb de substitution ont une température de fusion plus élevés et certains travaux reportent la présence de vide dans le joint ainsi que la formations d'intermétalliques plus fragiles [60].

Pâte à braser		Point de fusion (°C)	Module de Young (GPa)	Coefficient de dilatation thermique (K <sup>-1</sup> )	Conductivité thermique (W/m.K)	Conductivité électrique (.10 <sup>6</sup> S/m)
Avec plomb	Sn <sub>63</sub> Pb <sub>37</sub>	183	30,2	21 - 24	50,9	6
Sans plomb	Sn <sub>96,5</sub> Ag <sub>3,5</sub>	221	50 - 56	22,2	78	8 - 10
	SnAg <sub>3,0</sub> Cu <sub>0,5</sub>	217 - 220	50	21	63,2	8
	Sn <sub>99,3</sub> Cu <sub>0,7</sub>	227	64,6	22	65	6 - 10
Haute température	Au <sub>80</sub> Sn <sub>20</sub>	280	68	16	57	6,3
	Au <sub>88</sub> Ge <sub>12</sub>	356	74	12	44	-

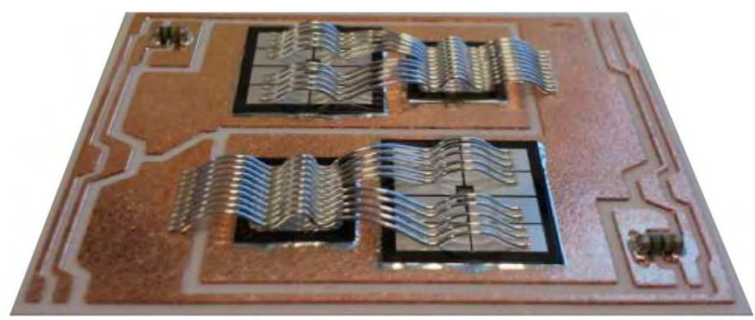
Tableau 1.7 – Les alliages les plus communément utilisées pour la brasure des modules de puissance [58].

#### 1.3.3.5 Les fils de câblage

Les fils de câblages permettent d'établir les connexions électriques internes du module de puissance. Plus exactement, ils sont utilisés pour assurer les liaisons électriques entre les pistes et les puces semi-conductrices, entre les pistes elles-mêmes et dans certains cas entre le substrat et les terminaux. Réalisés en aluminium associé à quelques ppm (partie par million) de nickel contre la corrosion et de silicium ou magnésium pour le durcissement, ils ont un diamètre compris entre 100 et 500  $\mu\text{m}$  [61], [62]. Les fils de câblages les plus communs ont un diamètre de 300  $\mu\text{m}$  [32] et sont connectés en parallèle sur les émetteurs ou sources de la puce afin de réduire la résistance de la liaison filaire. Ils sont assemblés par soudure ultrasonique qui permet de joindre, à froid, deux éléments par déformation plastique des matériaux et diffusion [63].



(a)



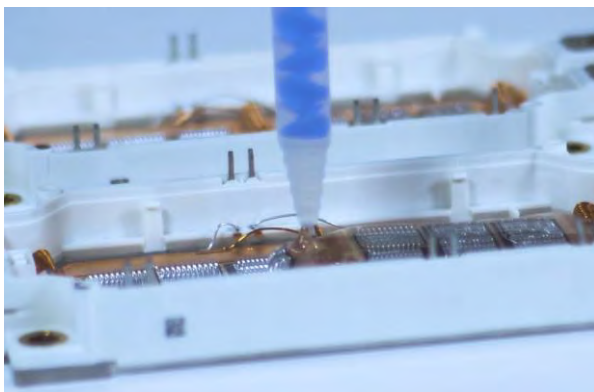
(b)

Figure 1.14 – Vue de dessus (a) [64] et de profil (b) [65] du câblage filaire d'interrupteurs type IGBT et leurs diodes de roue libre

#### 1.3.3.6 La protection et sureté du module

Le boîtier et son couvercle permettent une protection mécanique, physique et chimique de la partie active du module de puissance face à son environnement extérieur. Il joue le rôle de support mécanique et d'isolant électrique des terminaux du module. Les principaux matériaux utilisés sont le DAP (Diallyl phthalate), l'époxy et le PBT (Téréphtalates de polybutylène) avec des additifs supplémentaires (fibre de verre, métaux, minéraux voire matières organiques) afin d'adapter leurs propriétés aux besoins [44]. Il sert également de réceptacle pour l'encapsulation. Avant la fermeture du couvercle, un matériau diélectrique y est déposé, d'une part, afin de renforcer la protection des éléments actifs contre les agents environnementaux et, d'autre part, pour augmenter la tenue diélectrique des puces semi-conductrices mais également entre les différents potentiels des fils de câblage [66].

Un gel silicone est versé sur la partie active préalablement mise sous vide pour éviter les défauts de type « bulles ». Ce type de gel est donné pour une tenue diélectrique entre 15 et 20 kV/mm pour une température maximale de fonctionnement de 200°C avec une conductivité thermique généralement inférieure à 1 W/m.K et un coefficient de dilatation de l'ordre de  $200.10^6 \text{ K}^{-1}$  [44], [63], [67].



(a)



(b)

Figure 1.15 – Encapsulation et vue du couvercle ainsi que du gel transparent d'un module de puissance 600 A EconoDUAL™3 (Infineon)

#### 1.4 Les tendances et évolutions

Bien que les composants en silicium soient actuellement les plus présents sur le marché de la conversion d'énergie, les perspectives sont aux matériaux à large bande interdite. En particulier, les matériaux SiC et GaN constituent le vecteur principal d'évolution des convertisseurs de puissance. Leur montée en fréquence de découpage les rend plus sensibles aux éléments parasites et certains matériaux utilisés ne sont plus adaptés à leur température de jonction élevée impactant ainsi la fiabilité des modules. Il est impératif de prendre en considérations ces caractéristiques afin de garantir l'efficacité et la fiabilité des futurs systèmes, dans la proposition d'une nouvelle solution technologique d'intégration.

### 1.4.1 Les substrats, semelles et dissipateurs

Les excursions thermiques et les courants de mode commun constituent les points de vigilance pour les substrats, les semelles et les dissipateurs thermiques au sein du module de puissance. De nombreuses solutions sont proposées par les fabricants afin d'optimiser la dissipation de la chaleur à travers ces éléments et de réduire les capacités parasites qui sont source de perturbations et de bruits IEM (Interférences ÉlectroMagnétiques), altérant le fonctionnement des équipements.

#### 1.4.1.1 Le substrat à brasure active

Les substrats AMB (Active Metal Brazed) ont la même constitution qu'un DBC ou DBA à l'exception de l'utilisation d'un procédé de brasure particulier des métallisations à la céramique.

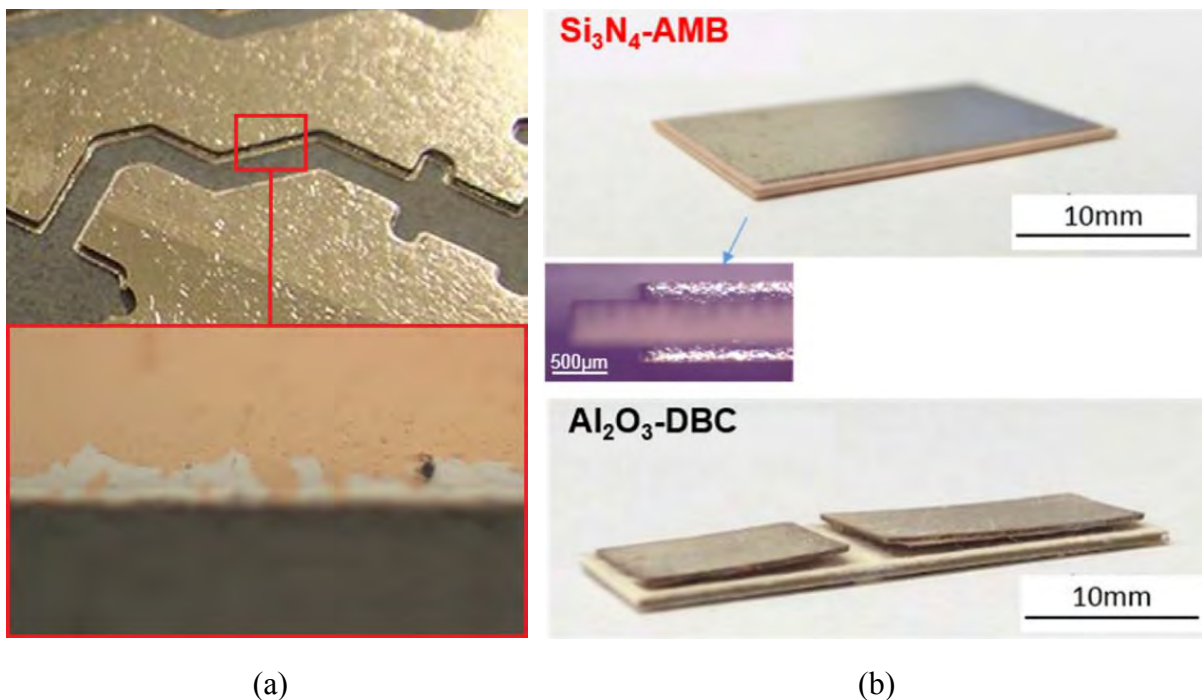


Figure 1.16 – Zoom sur un joint de brasure entre la métallisation cuivre et le céramique de substrat AMB (Kyocera) (a) [68] et image d'un substrat AMB après 600 cycles de vieillissement puis un substrat DBC après 100 cycles (b) [69]

Généralement une couche de brasure à base d'AgCuTi avec le Titane comme élément actif est utilisée. Cette couche est généralement sérigraphiée sur le substrat ce qui offre une meilleure tenue mécanique à l'interface céramique/métallisation grâce à son rôle d'accommodant des CTE différents ; la fiabilité du substrat s'en trouve ainsi améliorée [70]. L'intérêt de cette technologie est de pouvoir assembler des substrats avec une céramique en nitrure de silicium qui, par ailleurs, ne peut pas être assemblée par contact à haute température. Elle présente des propriétés équivalentes à l'alumine et au nitrure d'aluminium mais offre une résistance mécanique bien meilleure [69]. Ce procédé d'assemblage peut aussi être mis en œuvre avec d'autres céramiques. Les brasures les plus courantes sont en TiAgCu [71]. L'absence de cavité entre la métallisation et le substrat réduit les risques de décharges partielles [72].



#### 1.4.1.2 Le substrat-semelle

La technologie IMS (Insulated Metal Substrate) met en avant l'intégration du substrat et de sa semelle afin d'améliorer la dissipation thermique en réduisant le nombre d'interfaces et leur épaisseur. La métallisation supérieure permettant la conduction du courant via ses pistes est directement isolée de la semelle par une fine interface constituée d'un matériau polymère. La métallisation est en cuivre d'une épaisseur comprise entre 35 et 240  $\mu\text{m}$  sur une couche diélectrique allant de 50 à 100  $\mu\text{m}$  en époxy, époxy-verre ou polyimide assemblée à une semelle entre 0,5 et 3 mm en aluminium [73] ou cuivre [74], [75]. Pour garantir une bonne adhérence entre la semelle et le diélectrique, une anodisation de l'aluminium permet d'augmenter la rugosité de surface et de renforcer l'isolation électrique par la formation d'une interface en alumine [73] contrairement à une oxydation classique du cuivre qui augmente sensiblement la résistance thermique de l'interface [76].

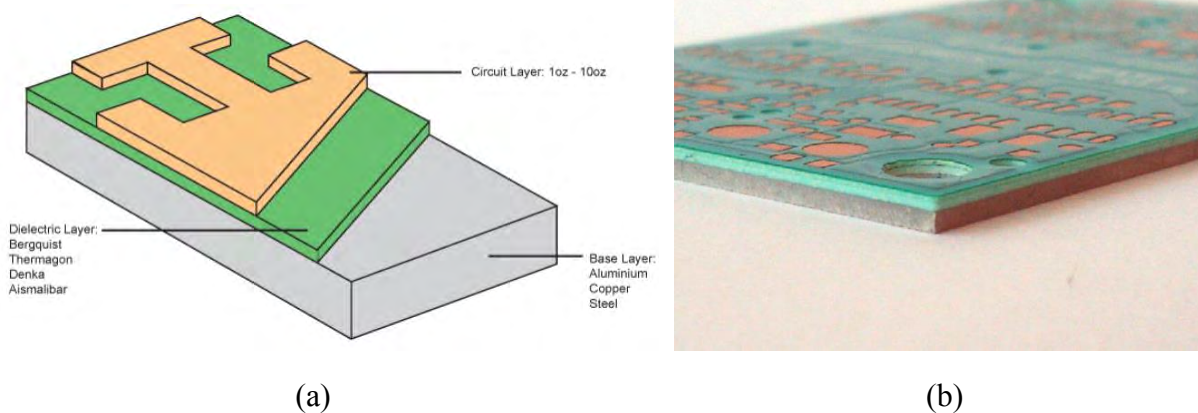


Figure 1.17 – Schéma (a) et vue de profil (b) d'un substrat type IMS [77]

Basés sur le même concept, des travaux mettent en avant la technologie IMS utilisant une céramique, à la place du polymère, d'une épaisseur comprise entre 10 et 30  $\mu\text{m}$  reportée directement sur le dissipateur en aluminium par une couche adhésive comprise entre 4 et 10  $\mu\text{m}$ . Le procédé d'anodisation de l'aluminium y est également utilisé afin de renforcer l'isolation électrique avec les métallisations en cuivre [78].

La technologie CeramCool® proposée par CeramTec consiste à pousser le niveau d'intégration jusqu'au dissipateur thermique.

Matériau	Coefficient de dilatation thermique ( $\cdot 10^{-6} \text{ K}^{-1}$ )	Conductivité thermique ( $\text{W/m.K}$ )	Résistance électrique ( $\Omega.\text{m}$ )	Tenue diélectrique ( $\text{kV/mm}$ )	Permittivité relative (sans dim.)	Masse volumique ( $\text{g/cm}^3$ )	Module de Young (GPa)
Epoxy (HT Duralco)	54 - 64	0,57	$1.10^9$ - $1.10^{12}$	17,5 - 19,5	4,8	1.1	3,5
Epoxy-verre (FR4)	50 - 70	0,3	$8.10^{11}$	20	4,34 - 4,7	1,8 - 1,9	17
Polyimide (Kapton)	20	0,16	$1.10^{10}$	118	2,7 - 3,4	1,42	2,47

Tableau 1.8 - Propriétés des interfaces métallisations-semelle des substrats IMS

Les métallisations cuivre ou argent avec possibilité de finition tungstène-nickel-or, avec une épaisseur maximale de 300  $\mu\text{m}$ , sont assemblées sur une céramique en alumine ou nitrure d'aluminium avec des ailettes usinées [79]. L'avantage de l'assemblage proposé par CeramTec est une réduction maximale de la résistance thermique du chemin dissipatif de la chaleur et du nombre d'interfaces assemblées ce qui réduit le risque de défauts et par conséquent améliore sa fiabilité. Les données techniques annoncent une performance de refroidissement de 1000  $\text{W}/\text{cm}^2$  en fonction des conditions de l'environnement dans lequel le substrat est utilisé [80].



Figure 1.18 – Substrat IMS dissipateur (*Cambridge Nanotherm*) (a) et technologie CeramCool (b) (*CeramTec*)

#### 1.4.2 Les alternatives aux brasures

Les brasures des puces semi-conductrices ont pour rôle d'interconnecter les composants au substrat, de garantir le maintien mécanique, de transférer la chaleur générée sans perturber les performances de l'interrupteur tout en assurant un niveau de fiabilité élevé pour des applications haute température [81].

##### 1.4.2.1 La diffusion

Le TLPB (Transient Liquid Phase Bonding) est un procédé d'assemblage qui consiste à faire diffuser un métal d'apport, avec un point de fusion bas, à travers les éléments à assembler en appliquant une faible pression entre 100 et 300 kPa sous température contrôlée. Les métaux les plus utilisés pour ce type d'assemblage sont l'étain [82] et l'indium [83], [84]. L'étain et l'indium permettent de réaliser des assemblages avec l'argent et l'or. De plus, l'étain est également compatible avec le cuivre et le nickel, ce qui signifie qu'il est utilisable avec les métallisations cuivre des substrats et argent en face inférieure des puces semi-conductrices.

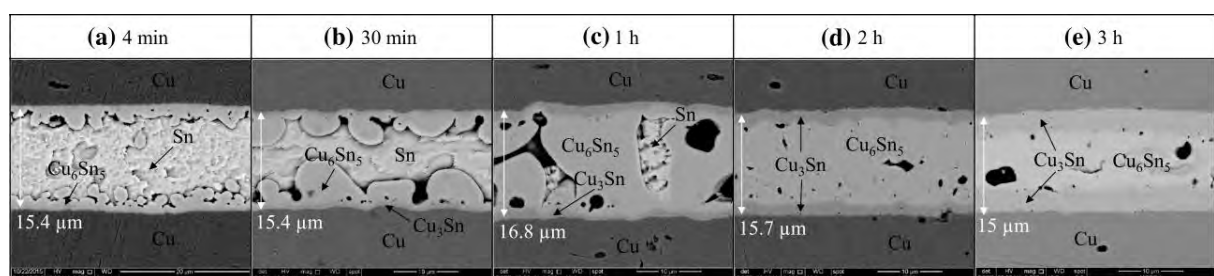


Figure 1.19 – Vue de profil d'un assemblage TLPB cuivre à cuivre par diffusion d'étain à 300°C en fonction du temps [85]

Pour une température d'assemblage entre 200 et 300°C (exceptée avec l'or/étain), il est possible d'obtenir une attache entre la puce et le substrat d'une quinzaine de  $\mu\text{m}$  pouvant supporter entre 400°C et 900°C ; certains matériaux permettent donc un assemblage pour des applications à haute température [86].

Matériau	Conductivité électrique ( $\cdot 10^6 \text{ S/m}$ )	Conductivité thermique ( $\text{W/m.K}$ )	Module de Young ( $\text{GPa}$ )	Coefficient de dilatation thermique ( $\cdot 10^{-6} \text{ K}^{-1}$ )	Masse volumique ( $\text{g/cm}^3$ )
Sn	9,17	66,6	41,5	23	5,77 - 7,29
In	11,6	81,6	11	24,8	7,31

Tableau 1.9 – Propriétés des matériaux d'apport (avant assemblage) pour l'attache par diffusion

#### 1.4.2.2 Le frittage

Comme le procédé par diffusion TLPB, le LTJT (Low Temperature Joining Technique) consiste à assembler deux éléments avec un métal d'apport. Cependant le métal d'apport, qui est l'argent, est sous forme de poudre aux dimensions micrométriques. Des travaux ont été réalisés avec des nanoparticules d'argent [87]. L'assemblage est réalisé sous atmosphère contrôlée, avec une température inférieure à 230°C, en appliquant une pression entre 30 et 40 MPa sur l'empilement à joindre. Le frittage sous pression semble constituer une très bonne approche de substitution en offrant comme résultats une conductivité électrique de  $40 \cdot 10^6 \text{ S/m}$ , une conductivité thermique de  $250 \text{ W/m.K}$  et une tenue mécanique de  $150 \text{ N/mm}^2$  en permettant de travailler à des températures allant jusqu'à 900°C pour une épaisseur comprise entre 10 et  $20 \mu\text{m}$  [88], [89].

Citons également le fabricant Heraeus qui propose, à travers la gamme « mAgic », une pâte susceptible d'être utilisée avec une pression d'assemblage inférieure à 20 MPa voire jusqu'à 1 MPa et compatible avec les surfaces en cuivre (Cu), or (Au), argent (Ag) et palladium (Pd) [90], [91], [92]. Des travaux sont en cours afin de réaliser le frittage argent (Ag) sur des métallisations aluminium (Al) [93].

Le LTPST (Low Temperature and Pressureless Sintering Technology) est une variante de la technologie précédente. La différence majeure résulte dans la suppression de l'étape de pression sur l'empilement lors de l'assemblage.

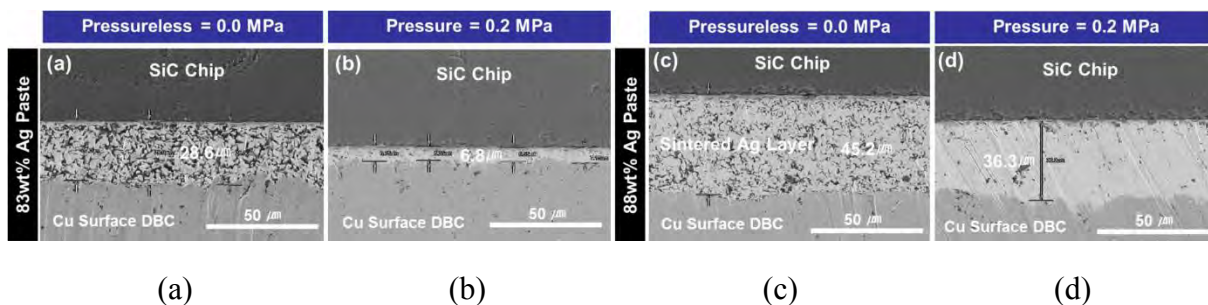


Figure 1.20 – Image MEB de la structure de la poudre d'argent obtenue sans (a) (c) et avec (b) (d) pression [94]

Pour cela, une poudre d'argent composée de nanoparticules est utilisée et la température du procédé est augmentée jusqu'à 275°C, ce qui permet de créer une attache mécanique et électrique sans appliquer de pression. Néanmoins, l'application de la pression de 0,2 MPa permet de bénéficier d'une structure frittée plus compacte, plus dense ; voir Figure 1.20.

L'épaisseur du joint est de 10  $\mu\text{m}$  et permet d'obtenir une conductivité électrique identique à celle obtenue avec le procédé LTJT en augmentant sa conductivité thermique (290 W/m.K) mais en réduisant sa tenue mécanique (entre 20 et 35 N/mm<sup>2</sup>) [95].

#### 1.4.3 L'optimisation du câblage

Par opposition à la brasure qui assure le contact avec la métallisation inférieure, le câblage du module de puissance a pour objectif d'interconnecter les faces supérieures des puces semi-conductrices. Il permet également de réaliser les interconnexions entre les pistes conductrices du même substrat ou non. De nombreuses solutions ont été proposées afin d'améliorer leur fiabilité avec un minimum d'impact sur les performances en réduisant leur contribution à la génération des éléments parasites.

##### 1.4.3.1 Les fils et matériaux

La première amélioration du câblage est l'utilisation du cuivre en remplacement de l'aluminium. Comme le montrent les caractéristiques du Tableau 1.4 et du Tableau 1.6, les fils en cuivre permettent une meilleure conductivité électrique mais aussi thermique [96]. Cependant, l'utilisation de ces fils est limitée aux puces semi-conductrices présentant des métallisations supérieures en cuivre. Or, la majorité des puces ont des métallisations en aluminium, ce qui entraîne l'utilisation de fils en cuivre enrobés d'une fine couche d'aluminium permettant de bénéficier de la meilleure conductivité électrique et thermique du cuivre en gardant le même procédé d'assemblage qu'avec l'aluminium. Ce câblage améliore la fiabilité des modules et augmente les performances électriques jusqu'à 45% [97].

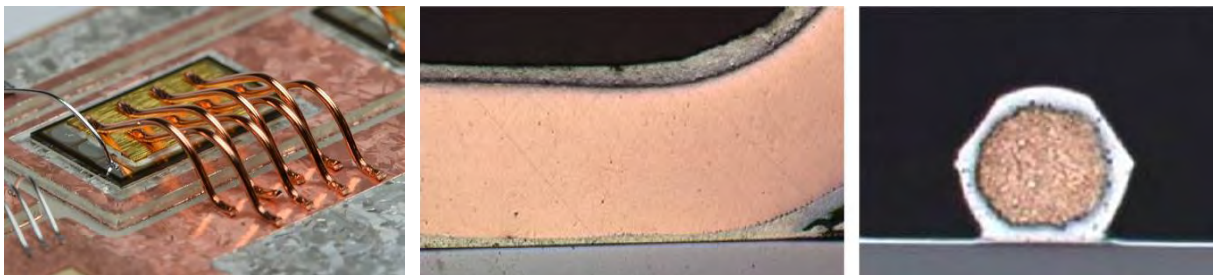


Figure 1.21 – Image de fils en cuivre (*pcim EUROPE*) (a) et coupes métallographiques de fils cuivre recouvert d'aluminium [97]

##### 1.4.3.2 Les rubans

L'utilisation de rubans est également une alternative aux fils de câblage. En réduisant les effets de peau, leur géométrie rectangulaire permet de diminuer la résistance électrique de l'interconnexion équivalente avec des fils [98]. Ils sont moins nombreux et occupent une surface plus importante de la puce (Figure 1.22), ce qui permet une meilleure distribution du courant [99]. Associées aux changements de matériaux, les améliorations apportées par les rubans en termes de performance et fiabilité ne sont pas négligeables [100], [101].



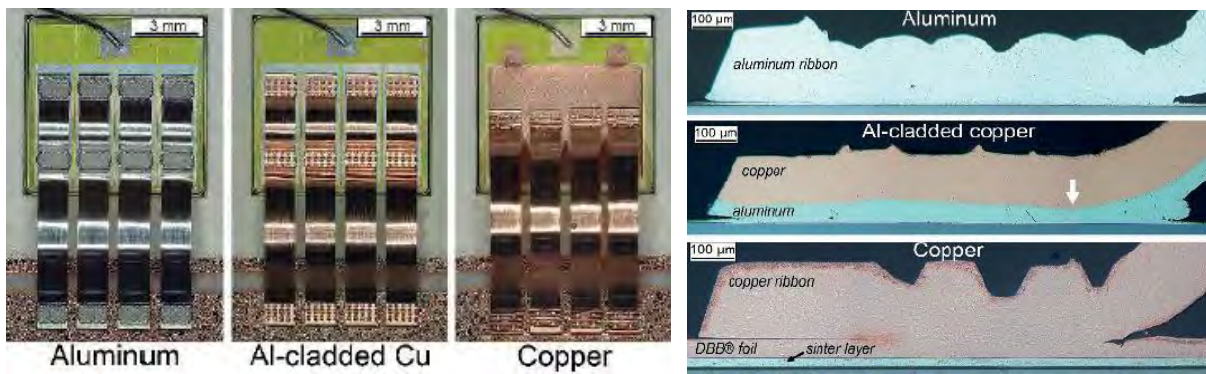


Figure 1.22 – Photographies et coupes métallographiques des différents types de rubans en fonction des matériaux utilisés [100]

#### 1.4.4 Les différents type d'encapsulant

L'encapsulation de la partie active du module renforce la tenue diélectrique des puces et protège de l'environnement extérieur, en partie contre l'humidité et l'oxydation. Au vu de son contact avec les puces, elle doit pouvoir supporter des températures élevées en fonction des composants choisis, bien sûr, mais aussi ne pas exercer de contraintes mécaniques néfastes sur le câblage lors des différents cyclages thermiques [44].

##### 1.4.4.1 Le gaz

Certains boîtiers proposent l'encapsulation par voie gazeuse de la partie active du module de puissance. Le boîtier doit être hermétique et un dégazage préalable est réalisé afin de pouvoir remplir ce dernier d'argon ou azote [32]. Une étude montre l'utilisation d'octafluorocyclobutane ( $C_4F_8$ ) comme gaz encapsulant [102].

##### 1.4.4.2 La résine

Une autre approche consiste à encapsuler ou à sceller, la partie active directement en utilisant une résine coulée dans le boîtier, ce qui a l'avantage d'encapsuler et de fermer le boîtier en une seule étape [103]. Cette solution multiplie par quatre la résistance des modules aux cyclages, offre une meilleure performance de barrière vis-à-vis de l'environnement extérieur (gaz, impuretés, etc.) ainsi qu'une meilleure résistance aux vibrations due à la dureté de la résine [104], [105]. La résine époxy, généralement chargée à base de  $Al_2O_3$  et  $SiO_2$ , est la plus utilisée pour ce type d'encapsulation [106], [107].



Figure 1.23 – Module de puissance IGBT Mitsubishi Electric NX-type 7ième génération avec encapsulation par résine époxy (*Mitsubishi Electric*)

### 1.5 Les performances et limitations

Les évolutions du packaging des modules de puissance permettent d'améliorer les performances et la fiabilité du convertisseur d'énergie. Néanmoins, cet assemblage conventionnel, et ses dérivés, sont optimisés autour d'une technologie d'interrupteurs spécifique utilisant le silicium comme matériau semi-conducteur. Les modules de puissance comme nous venons de les voir, sont-ils en mesure d'intégrer des composants de nouvelle génération à base de matériaux à large bande interdite ? Si non, quels sont les verrous à débloquent afin d'offrir un packaging digne de la percée technologique proposée par ces nouveaux matériaux utilisés pour les interrupteurs de puissance dernier cri ? Nous tenterons de répondre à ces questions à travers la prochaine section en analysant les performances et limites du boîtier conventionnel et de ces évolutions.

#### 1.5.1 Les matériaux à large bande interdite

Comme nous l'avons vu en début de chapitre, les matériaux semi-conducteurs à large bande interdite offrent la possibilité de fabriquer des interrupteurs de puissance plus efficaces, plus fiables, plus rapides et dans un volume plus réduit que leurs homologues à base de silicium. Les améliorations proposées par ces nouveaux composants permettent d'envisager la conception de module à forte densité de puissance et longue durée de vie dans une large gamme de puissance. La possibilité de fonctionner à des températures élevées ( $> 200^{\circ}\text{C}$ ), des fréquences ( $\geq 1\text{ MHz}$ ) et des tensions élevées (dizaines de kV) rend les modules utilisant ces composants nettement plus performants et augmente le rendement de conversion [108]. La courbe (a) en Figure 1.24 montre les limites d'utilisation des modules de puissance utilisant un boîtier conventionnel avec des composants en silicium. Si en lieu et place des composants en silicium, des interrupteurs à base de carbure de silicium 4H sont intégrés, nous pourrions nous apercevoir que l'unique limite imposée, dans les différentes gammes de tensions, serait le boîtier. L'analyse du boîtier conventionnel et de ses évolutions au regard des caractéristiques des composants à grand gap nous permettra d'identifier l'origine de cette limite technologique.

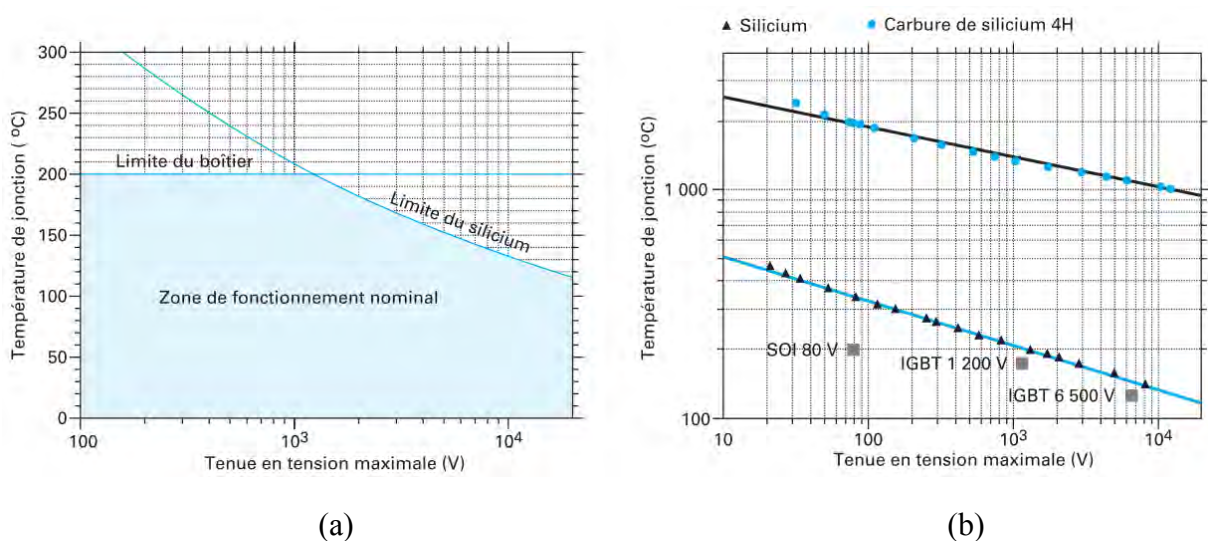


Figure 1.24 – Tenue en tension en fonction de la température de jonction des composants en silicium et limites de fonctionnement (a) puis en comparaison au carbure de silicium 4H (b) [109]

### 1.5.2 Les interconnexions

Ce sont les premières interfaces à être au contact des puces semi-conductrices. Leurs propriétés électriques et thermiques sont prédominantes pour l'implémentation des nouvelles générations de composants actifs.

#### 1.5.2.1 Les problématiques du câblage

Les faces supérieures des puces semi-conductrices sont interconnectées au substrat par câblage via des fils et/ou rubans. Cette technologie présente des inconvénients majeurs sur les performances et la fiabilité des modules de puissance.

Concernant les performances, la structure du câblage contribue à l'insertion d'une inductance parasite de la boucle qui couplée avec la réduction des temps de transition est à l'origine du ralentissement des commutations et de fortes surtensions à l'ouverture tout en participant à l'augmentation de l'amplitude des oscillations qui suivent générées par les capacités parasites ( $V_{\max} = I \cdot \sqrt{L/C}$ ). L'inductance de la boucle peut atteindre jusqu'à 30 nH [110] avec des fils et sensiblement moins pour les rubans [111]. Pour diminuer ces éléments parasites, aussi bien inductifs que résistifs, plusieurs fils et/ou rubans sont associés en parallèle en fonction de la surface disponible sur la puce. Cependant, la multiplication de fils ou rubans crée un couplage électromagnétique entre eux qui provoque un déséquilibre dans la distribution du courant [112].

Ces éléments parasites ont aussi une incidence sur la fiabilité du module de puissance. Le couplage électromagnétique induit est également une source de contrainte mécanique en surface de la puce, notamment au niveau de la métallisation du composant [113]. Bien que la multiplication des fils ou l'utilisation de rubans augmente la surface de contact, les densités de courant restent localisées en quelques points et ne permettent pas une répartition homogène sur l'ensemble des électrodes ce qui renforce les contraintes thermomécaniques locales [114]. En plus des excursions thermiques non homogènes, les différences des coefficients de dilatation entre câblage et puce ainsi qu'entre câblage et substrat s'additionnent aux contraintes d'origine thermomécanique. Des travaux montrent que les encapsulants sont aussi source de contraintes mécaniques sur le câblage [44]. Deux solutions ont été proposées afin d'améliorer la fiabilité de la jonction entre le fils et la métallisation de la puce. La première consiste à encapsuler le pied du fils assemblé à la métallisation et la seconde à ajouter une interface tampon pour atténuer la différence entre les CTEs [63], [115]. Néanmoins le câblage demeure toujours l'un des points les plus sensibles dans le module de puissance. Il reste sujet à la casse par vieillissement et cyclages thermiques répétés. Généralement la rupture se fait par décollement ou fissuration du fils au niveau de son pied, du côté de la puce [116] comme cela est visible sur les photos présentées en Figure 1.25.

Des travaux montrent qu'après 600 cycles de vieillissement (cyclage passif), la résistance à la traction des fils et rubans est similaire. Cependant en fonction des matériaux utilisés, le câblage est plus ou moins résistant : la fissuration du câblage aluminium se fait en dessous de 600 cycles contrairement au cuivre qui se décolle après les 600 cycles [117].

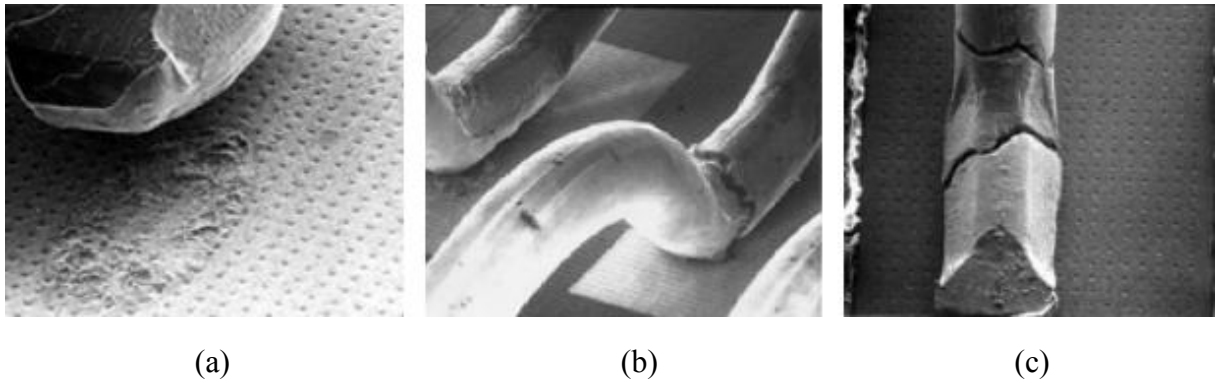


Figure 1.25 – Décollement (a) et fissurations (b) (c) de fils de câblage [115]

#### 1.5.2.2 Les défauts entre la puce et le substrat

La face inférieure est directement interconnectée au substrat. Nous avons pu voir que la technologie initialement utilisée, toujours présente sur le marché, est la brasure. À cette technique d'assemblage s'ajoutent le frittage et la diffusion. Ces alternatives viennent répondre à certaines problématiques liées à la brasure, cependant sont-elles à la hauteur des attentes pour l'assemblage des dernières générations d'interrupteurs de puissance ? Avant de parler de défaillance, la conductivité électrique des brasures est approximativement dix fois plus faible que les pistes et matériaux conducteurs utilisés dans les modules. Il en est de même pour la conductivité thermique qui est quant à elle environ cinq fois plus faible. Les brasures génèrent des pertes par effet Joule et constituent un frein thermique dans la chaîne dissipative.

Leurs températures de fusion ou d'assemblage nous obligent à nous intéresser uniquement aux brasures « haute température », au maximum de 350°C, qui sont plus difficiles à mettre en œuvre et plus coûteuses. De plus, les brasures sont sujettes au phénomène de recristallisation en fonction du temps et des cyclages. La recristallisation des brasures se propage généralement du bord jusqu'au centre du joint. Dans cette zone inter-granulaire apparaissent des « vides » favorisant la propagation des fissures dans le joint. Ce phénomène a tendance à s'initier sur les bords de la brasure jusqu'au centre [118] et vient augmenter la résistance électrique et thermique de l'interconnexion jusqu'à la rupture [119]. Des alliages comme le SABI (SnAgBiIn) et SACBSN (SnAgCuBiSbNi) [120] ainsi que l'utilisation de brasures plus épaisses [121] permettent d'augmenter dans une certaine mesure la résistance face aux fissurations, mais au détriment de la conductivité électrique et thermique.

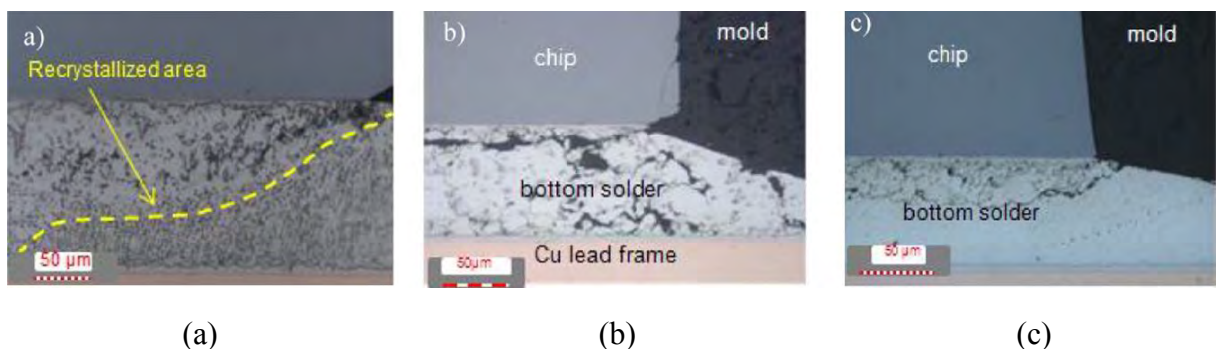


Figure 1.26 – Recristallisation (a) et présence de « vides » et de la fissuration (b) (c) [118]



Quant aux assemblages frittés, ils permettent d'obtenir une meilleure conductivité électrique et thermique que les brasures en supportant les températures de fonctionnement des composants à large bande interdite. Bien que ce type d'assemblage semble plus robuste qu'une brasure, le cyclage d'échantillons démontre que le frittage est sujet aux fissurations, jusqu'à la rupture, induites par les déformations viscoplastiques et la porosité du joint. Cette technologie d'assemblage est sujette aux déformations plastiques ; en somme, plus la température est élevée, plus l'assemblage est sensible aux déformations et sa résistance mécanique est faible. À cela s'ajoute les contraintes inter-granulaires qui avec le temps favorisent la formation de fissures dans la structure [122]. Il est démontré que l'application d'une pression plus importante lors de l'assemblage [123] et l'utilisation de particules d'argent nanométriques, plutôt que micrométriques, diminuent fortement la porosité [124]. Cependant, le volume des pores semble être un facteur mineur dans la résistance mécanique du joint contrairement à leur taille et forme [125].

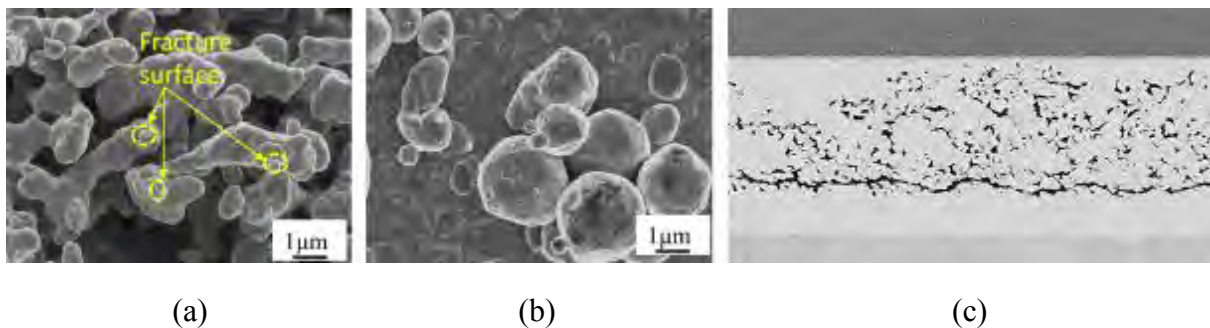


Figure 1.27 – Nano (a) et micro (b) particules d'argent [125] et fissuration du joint fritté (c) [122]

L'assemblage par diffusion amène à des caractéristiques similaires à celles obtenues par frittage en termes de résistance mécanique [126]. Cependant, la diffusion du métal d'apport dans celui du substrat et de la puce crée des intermétalliques [127] qui viennent fragiliser la tenue mécanique de l'assemblage ; une couche barrière au niveau de la puce est nécessaire [128].

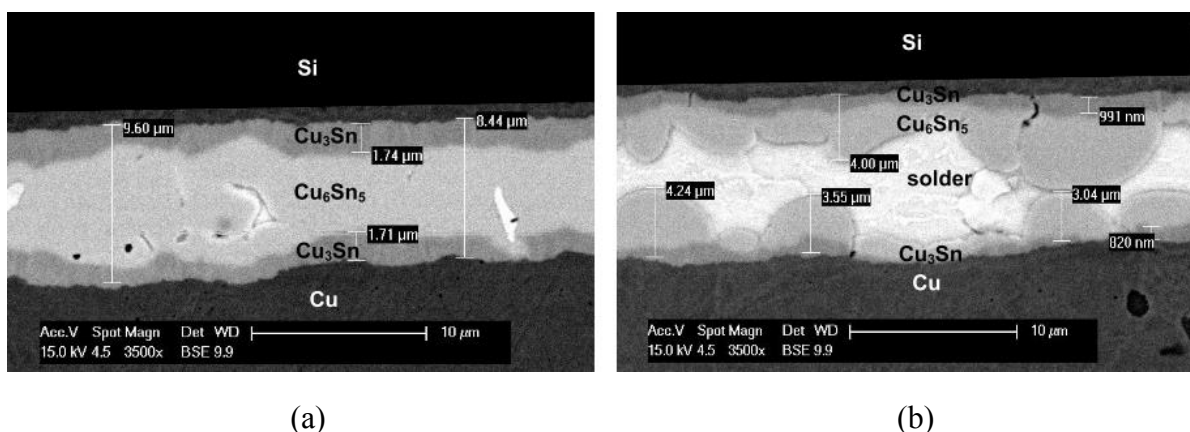


Figure 1.28 – Assemblage par diffusion avec procédé optimisé (a) et avec une réaction incomplète de l'étain (b) [126]

### 1.5.3 La chaîne dissipative

Le composant actif, qu'il soit brasé, fritté ou bien assemblé par diffusion, est placé sur un empilement généralement composé d'un substrat et d'une semelle, le tout fixé sur un système de refroidissement par air ou liquide. C'est cet agencement de matériaux qui permet la dissipation de la chaleur générée par les pertes des puces. Nous le définirons comme étant la chaîne dissipative d'un point de vue thermique.

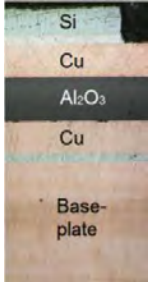
Eléments	Matériaux	Epaisseurs ( $\mu\text{m}$ )	Niveau	Vue en coupe
Câblage	Al, Cu, Al métallisé	300 - 500	1	
Puce	Si, SiC, GaN	70 - 500	2	
Brasure	Base étain (sans plomb)	70 - 120	3	
Substrat	Cu / céramique / Cu	300 / 638 / 300	4	
Brasure	Base étain (sans plomb)	100 - 150	5	
Semelle	Cu avec métallisation Ni	3000	6	
Interface thermique	Base silicone	< 100	7	
Système refroidissement	Al, Cu, AlSiC	X	8	

Tableau 1.10 – Récapitulatif des éléments et leur épaisseur dans la chaîne dissipative [58]

#### 1.5.3.1 Les modes de défaillance du substrat

Les fonctions associées de conduction et d'isolation des substrats céramiques les rendent sujet aux décharges partielles voire aux claquage francs, notamment dans les coins des métallisations (effet de pointe). Les tensions de seuils d'apparition sont liées à la fréquence, et le champ électrique local est conditionné par la permittivité et la résistivité des matériaux [129]. La géométrie des métallisations, dans le cas de substrats AMB, les protubérances des brasures et les pieds de brasures accentuent les origines de défaut de type décharges partielles [68].

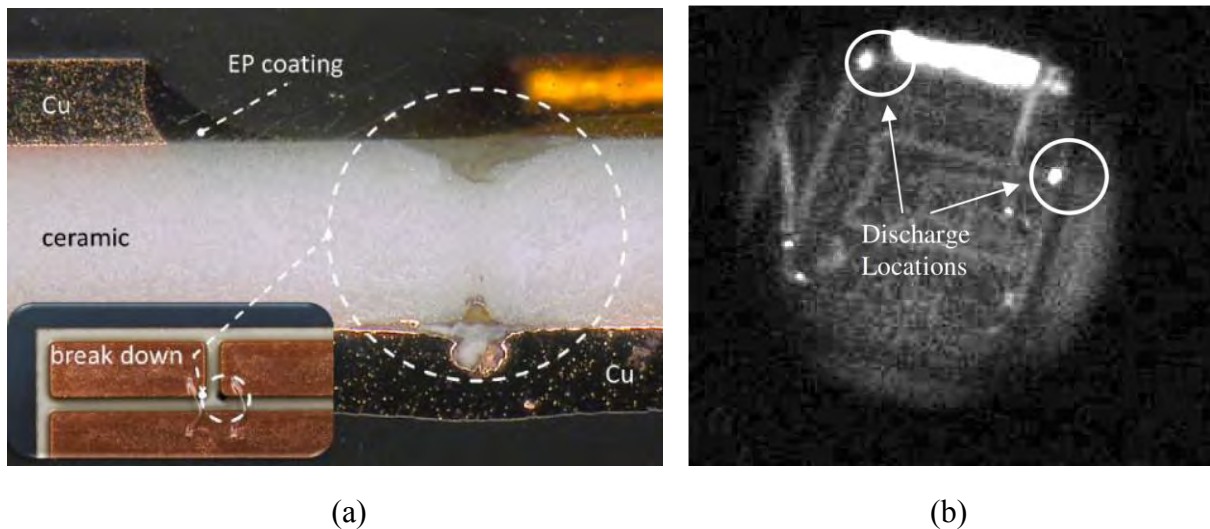


Figure 1.29 – Coupe métallographique d'un défaut (a) [130] et image infrarouge de décharges partielles (b) [131]

Le cyclage des substrats, induit par leur fonctionnement au cours de leur durée de vie, est aussi une source importante de défaut.

Les contraintes thermomécaniques appliquées entre la céramique et la métallisation du fait des différences de coefficient de dilatation thermique et de forte variations de température peuvent être à l'origine de décollement des métallisations ou de fracture de la céramique [132]. L'utilisation de céramique plus robuste comme le nitrure de silicium permet de réduire ces défauts mais présente l'inconvénient d'être plus sensible aux décharges partielles [68].

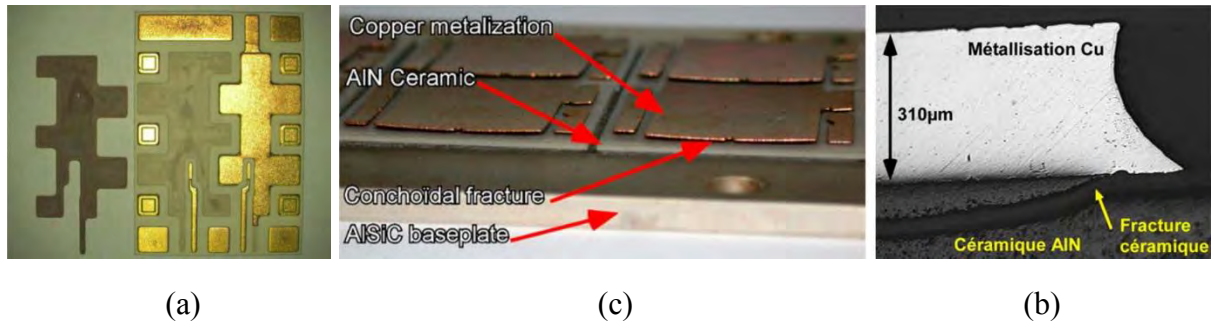


Figure 1.30 – Décollement des métallisations (a) [133] et fractures de la céramique (b) [132] (c) [134]

Le substrat DBA permet de réduire ces contraintes grâce au module d'élasticité plus faible de l'aluminium au détriment d'une conductivité électrique moins bonne que celle du cuivre. La réduction des épaisseurs des métallisations permet aussi de réduire ces défauts. Néanmoins, les fortes densités de courant et la recherche de surfaces de module plus petites ne permettent pas de réduire drastiquement cette épaisseur. Dans ce contexte contraint des « bosselage » sont réalisés dans les bords pour conserver l'épaisseur des métallisations en bénéficiant d'une meilleure tenue mécanique sur les contours [132].

Les évolutions du substrat tel que l'intégration avec la semelle pour les substrats SMI, voire jusqu'au dissipateur pour la technologie CeramCool® proposée par CeramTec, ne sont pas étrangères aux défaillances décrites ci-dessus.

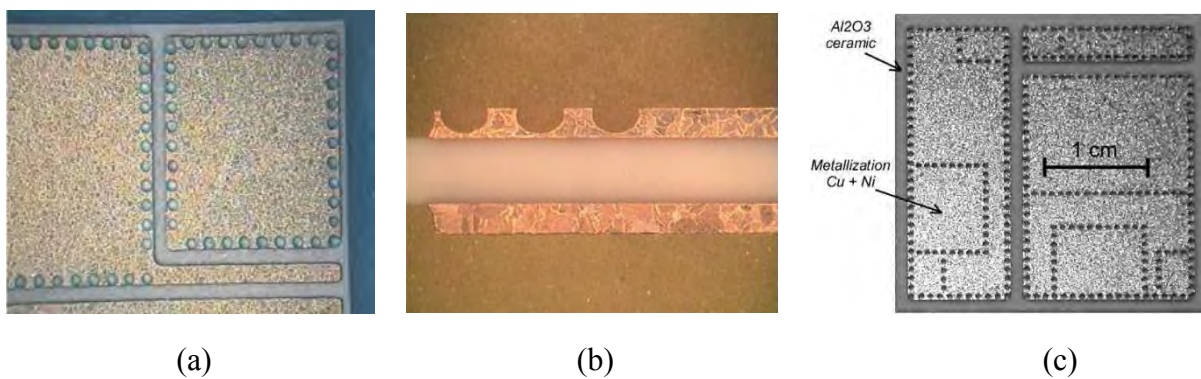


Figure 1.31 – Vue de dessus (a) en coupe (b) d'un substrat DBC (c) avec « bosselage » [109] [132]

### 1.5.3.2 Les jonctions thermiques

Le substrat, la semelle et le système de refroidissement sont les trois éléments principaux de la chaîne dissipative. Pour garantir la conduction thermique à travers cet assemblage, la jonction entre chaque élément doit permettre le transfert thermique afin d'aboutir à la dissipation de la chaleur au niveau du dissipateur.



L'assemblage entre le substrat et la semelle est réalisé par une brasure. Comme à l'interface entre puce et substrat, les fissurations et ruptures sont également présentes entre le substrat et la semelle [135] et dans certains cas, plus rares, entre le substrat et le dissipateur [136].

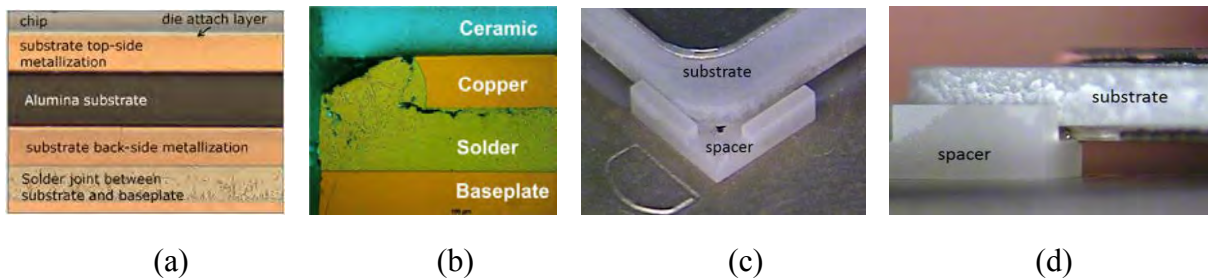


Figure 1.32 – Vue en coupe d'une brasure substrat-semelle (a) [137] avec une fissure (b) [138] et images d'un espaceur à brasure pour substrat (c) (d) [139]

La dégradation de la conduction thermique par vieillissement de la brasure causée par les contraintes thermomécaniques induites par la différence des coefficients de dilatation thermique entre les matériaux, est l'un des principaux défauts répertoriés pour les modules de puissance [138]. Les défauts sont nettement plus marqués avec des brasures trop épaisses et lorsque le substrat est incliné par rapport à la semelle ; conduisant à un joint de brasure inhomogène sur l'ensemble de la surface [140]. Pour cela, des épaisseurs optimisées de pâte à braser sont appliquées avec des espaceurs (cales) pour garantir l'épaisseur du joint en tous points [139].

Quant à la jonction thermique entre la semelle et le dissipateur, un matériau à base de silicone est utilisé comme interface thermique soit sous forme de film, entre 150 et 380  $\mu\text{m}$  pour les Sil-Pad de Bergquist [141], soit sous forme de pâte. Bien que le film, prédécoupé aux dimensions de l'assemblage, semble plus stable dans le temps, la pâte thermique permet de meilleurs performances grâce à son épaisseur plus fine [142]. Appliquée par sérigraphie, pochoir alvéolaire ou au rouleau, la pâte thermique (0,81 – 2.5 W/m.K) permet de combler les cavités d'air (0,024 W/m.K) entre semelle et dissipateur ; limitant ainsi la dégradation des performances thermiques induites par la résistante de contact entre les surfaces de chaque élément [143].

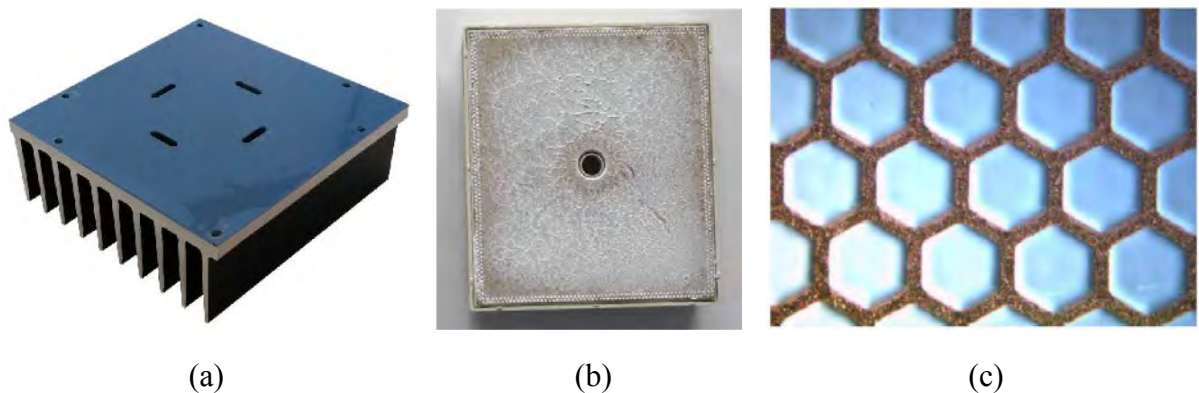


Figure 1.33 – Film (a) [144], pâte thermique appliquée par rouleau (*Semikron*) (b) et par pochoir alvéolaire (c) [143]



### 1.5.3.3 Les tendances et perspectives

Le packaging du module de puissance conventionnel est constitué d'un ensemble de points limitants face aux performances des composants à large bande interdite. En outre, les éléments parasites induits par le packaging ne permettent pas des commutations autorisées par les dernières générations de composants actifs. De plus, les températures plus élevées ne font qu'accroître les difficultés à dissiper la chaleur et garantir la fiabilité du système face aux contraintes thermomécaniques pour les matériaux qui peuvent intrinsèquement supporter ces températures. Les évolutions proposées améliorent certaines caractéristiques des modules de puissance. Cependant, ces optimisations ne sont pas suffisantes pour bénéficier pleinement des interrupteurs en carbure de silicium (SiC) ou nitrure de galium (GaN). Les composants en silicium (Si) limitent l'utilisation des interrupteurs à de hautes fréquences de commutation pour les puissances les plus basses et imposent des fréquences plus faibles afin de pouvoir traiter les puissances plus élevées. Cela implique que les convertisseurs les plus efficaces sont en mesure de traiter uniquement de faibles puissances. Pour les puissances les plus élevées, la réduction de la fréquence nécessite l'utilisation de filtre IEM (interférences électromagnétiques) ; source de réduction de la densité de puissance par l'utilisation de composants passifs plus volumineux. Les matériaux semi-conducteurs à grand gap sont en mesure de faire bénéficier, les convertisseurs statiques de la montée en fréquence et ce également pour les puissances les plus élevées en proposant des systèmes à forte densité de puissance avec une haute efficacité [145] ; voir Figure 1.34. Cependant, le module de puissance doit pouvoir garantir une gestion thermique optimale dépassant largement la gamme de température entre 125°C à 150°C des composants en silicium (Si).

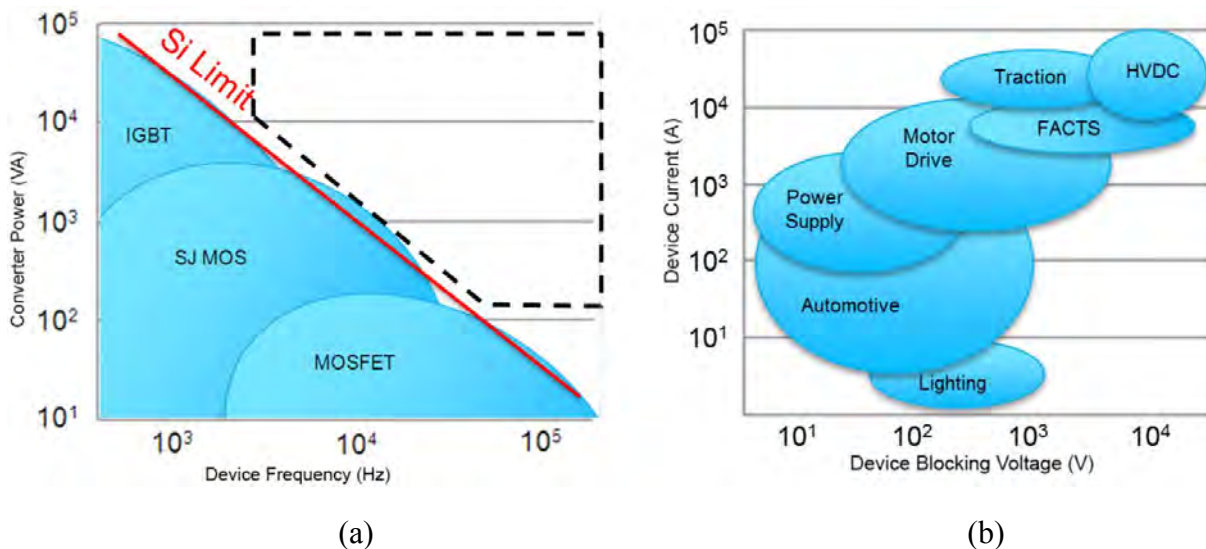


Figure 1.34 – La puissance des convertisseurs statiques en fonction de leur fréquence de découpage avec leur limite imposée par le silicium (rouge) et leurs perspectives (pointillés noir) (a) et le courant admissible en fonction de la tension de blocage des convertisseurs dans les différents secteurs d'activité (b) [145]

Pour répondre à ces problématiques, la recherche se dirige vers l'intégration afin de créer une nouvelle génération de convertisseurs d'énergie plus efficace, plus fiable et à coût réduit. Les stratégies d'intégration des modules diffèrent au travers de la littérature. Néanmoins, plusieurs grandes familles sont identifiables et font l'objet des analyses suivantes.

### 1.6 L'intégration monolithique

L'intégration monolithique consiste à optimiser la fabrication des interrupteurs de puissance, voire d'un module, sur un seul et même substrat, c'est-à-dire le matériau semi-conducteur lui-même. Nous visualisons deux approches distinctes dans cet axe de recherche. La première vise à rapprocher les parties commande et puissance du convertisseur par juxtaposition et isolements des différentes fonctions nous permettant d'obtenir une technologie à la frontière des circuits intégrés et des composants de puissance. La seconde approche s'intéresse plus particulièrement aux éléments de puissance en mutualisant, en couplant, des régions communes afin d'améliorer l'interaction fonctionnelle entre les composants [146].

#### 1.6.1 Le circuit intégré de puissance

Le rapprochement entre les circuits intégrés et les composants de puissance représente le premier pas vers des interrupteurs de puissance intelligents et autonomes. Il existe deux familles de circuits intégrés de puissance qui sont les circuits « Smart Power » et « HVIC ». La différence entre ces deux familles résulte de l'agencement de l'élément de puissance selon les gammes de courants et tensions traités. La technologie Smart Power intègre généralement un seul composant de puissance, d'architecture verticale ou latérale, et permet de faire transiter des densités de courant plus importantes que la technologie HVIC basée sur des composants d'architecture latérale [147]. En revanche, les circuits HVIC ont l'avantage d'avoir une meilleure tenue en tension, soit quelques centaines de Volts [148], [149].

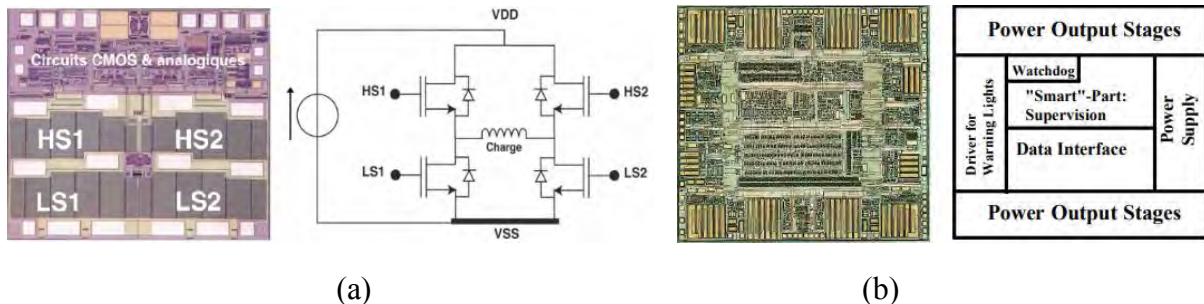


Figure 1.35 – Technologies HVIC (a) [150] et Smart Power (b) [147]

#### 1.6.2 La mutualisation fonctionnelle

La mutualisation des régions communes sur un même substrat de différentes fonctions d'interrupteurs, qu'ils soient commandés ou à commutations spontanées, permet de créer une nouvelle génération de composants actifs avec une fonctionnalité qui leur est propre. Le RC-IGBT est l'exemple du premier niveau d'intégration fonctionnelle avec la mutualisation des régions communes de l'IGBT avec sa diode de roue libre. Dans une topologie classique, nous utilisons deux puces semi-conductrices distinctes : le RC-IGBT est l'intégration monolithique de ces deux fonctions venant créer un nouveau composant du type transistor IGBT bidirectionnel en courant [151].

Basé sur le même principe, le RC-IGBT-thyristor permet de gérer la conduction inverse de l'IGBT par une fonction de type thyristor en lieu et place de celle de la diode du RC-IGBT classique présenté ci-dessous [152].

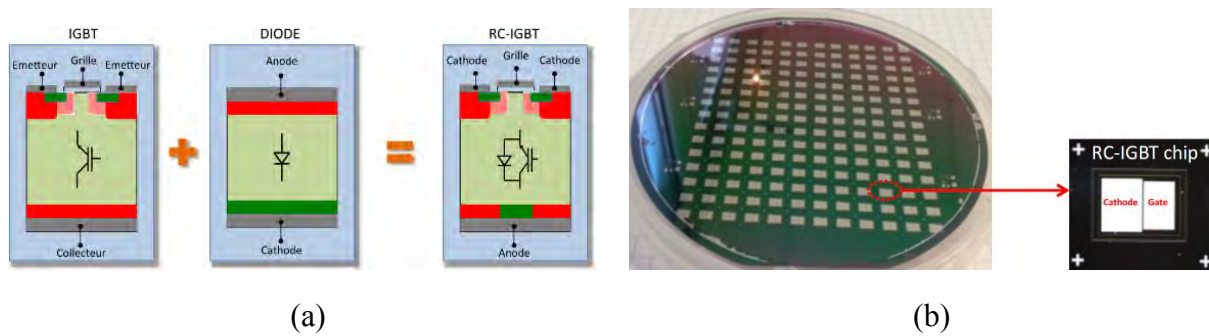


Figure 1.36 – Le RC-IGBT : Intégration monolithique des régions communes de l'IGBT et de la diode [153] et *wafer* de composants intégrés [154]

La littérature propose également des niveaux d'intégration fonctionnelle plus conséquents avec deux interrupteurs type RC-IGBT sur un même substrat [152], voire des transistors GaN latéraux avec diodes Schottky en conduction inverse offrant la possibilité d'intégrer un demi pont avec des technologies d'interrupteurs les plus élaborées [155].

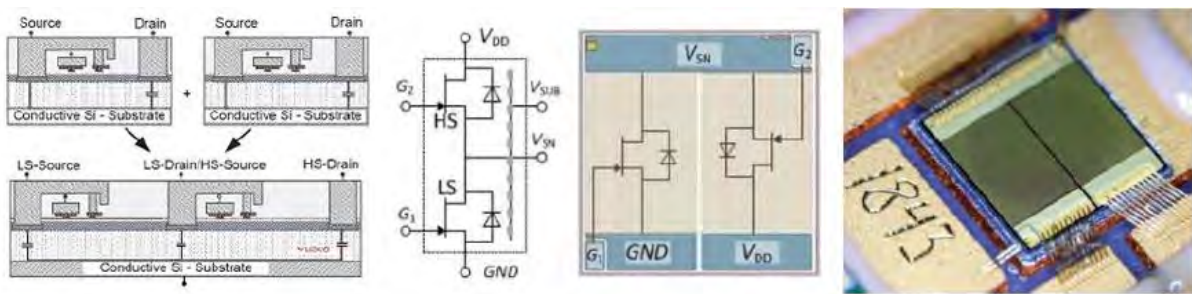


Figure 1.37 – Intégration fonctionnelle d'un demi pont en GaN avec diode Schottky [155]

Certains travaux repoussent les limites de l'intégration fonctionnelle en intégrant, à travers des simulations, un pont en H complet sur un seul et même substrat semi-conducteur. Composée de quatre RC-IGBT, la puce semi-conductrice additionne quatre fonctions d'interruptions commandées et spontanées sur son substrat [156].

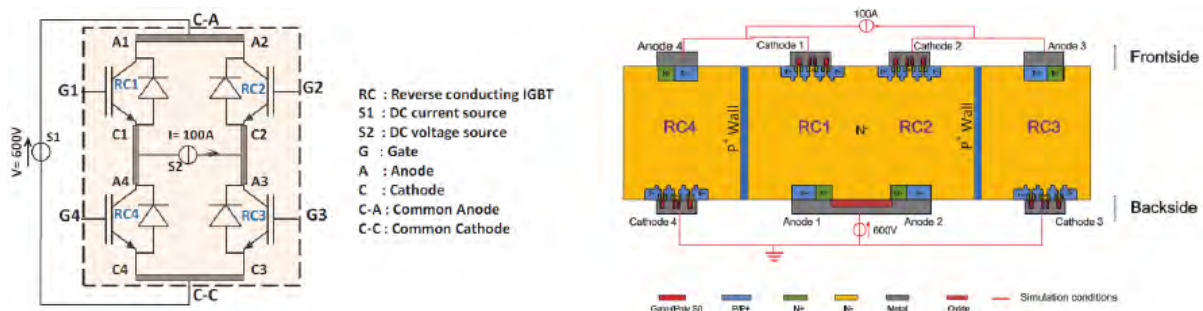


Figure 1.38 – Intégration fonctionnelle du pont complet d'un onduleur monophasé [156]

### 1.7 L'intégration hybride

Les technologies d'intégration monolithique ont de nombreux avantages. Elles permettent notamment de réduire le câblage, les interconnexions des puces, et par conséquent les inductances parasites et les interférences électromagnétiques associées. De plus, l'utilisation d'un substrat composé d'un seul matériau réduit les contraintes thermomécaniques liées aux différences de coefficient de dilatation thermique tout en garantissant une compacité maximale. Néanmoins, l'utilisation de puces semi-conductrices intégrées, combinée au packaging conventionnel des modules de puissance, ne permet pas d'exploiter les interrupteurs en carbure de silicium (SiC) et nitrure de galium (GaN). Bien que les puces permettent une forte densité de puissance, la surface active est plus importante.

Le nombre de puces fabriquées par *wafers* est plus faible et en cas de défaut d'une fonction, c'est un bloc fonctionnel complet qui n'est plus exploitable ; cela augmente le coût de fabrication en réduisant le rendement de production. De plus, les bordures des *wafers* ne sont actuellement pas fonctionnalisées en raison d'effets de bord qui impliquent des pertes de production plus conséquentes [157]. Thermiquement, les puces intégrées concentrent la chaleur générée par les puces en un seul point lorsque l'objectif est de la répartir à travers la chaîne dissipative afin d'être finalement dissipée. Du point de vue électrique, les inductances parasites sont réduites mais de nombreuses interconnexions demeurent toujours par câblage ce qui reste problématique en termes de fiabilité face à la montée en fréquence des interrupteurs en SiC et GaN. Pour le RC-IGBT, on observe également une montée en tension lors de la commutation de l'état passant à l'état bloqué, que l'on appelle « Snap-back » venant s'opposer au changement d'état de l'interrupteur [158]. Enfin, l'intégration monolithique des composants est destinée aux modules de faible et moyenne puissance, du fait que les isolations électriques internes au substrat ne peuvent tenir les contraintes appliquées par les fortes tensions commutées.

Les limitations de l'intégration monolithique encouragent à avoir une vue d'ensemble sur le module de puissance. Constitué de matériaux conducteurs, semi-conducteurs et isolants, le packaging est un assemblage hétérogène dont l'agencement, les propriétés physiques des matériaux et leurs technologies de mise en œuvre sont primordiales afin de réaliser des systèmes de forte puissance, pour les hautes tensions, avec un refroidissement optimal et de faibles éléments parasites en garantissant fiabilité et robustesse [159]. C'est dans cette dynamique que vient s'inscrire l'intégration hybride. L'objectif de l'analyse suivante est de présenter les assemblages proposés dans la littérature ; cela commence par le remplacement de la prise de contact par câblage jusqu'à la redéfinition du packaging complet en proposant des assemblages innovants.

#### 1.7.1 Les brasures, frittages et assemblages par diffusion

Le remplacement des fils de câblage par des rubans a permis de réduire les inductances parasites. Cependant, au-delà des dimensions de rubans, l'assemblage ultrasonique demeure complexe au vu des risques d'endommagement de la métallisation de la puce ; la montée en fréquence des ultrasons combinée à l'augmentation de la force appliquée sont source de contraintes thermomécaniques plus importantes en surface.



Afin de proposer des structures moins inductives, des solutions sont proposées à base de brasure, frittage ou bien assemblage par diffusion en lieu et place de la technologie filaire.

#### 1.7.1.1 Le frittage cuivre et nickel

Avant de présenter les assemblages utilisant les technologies d'interconnexions citées précédemment, de récents travaux proposent un procédé de frittage cuivre éligible à l'interconnexion d'interrupteurs de puissance [160]. La fabrication de la structure nano poreuse en cuivre est réalisée en deux étapes. La première consiste à faire un dépôt physique par phase vapeur de siliciure de cuivre puis ensuite un « désalliage » du silicium est effectué par voie électrochimique. L'assemblage est réalisé par application d'une pression pouvant atteindre jusqu'à une dizaine de MPa à une température supérieure à 250°C [161].

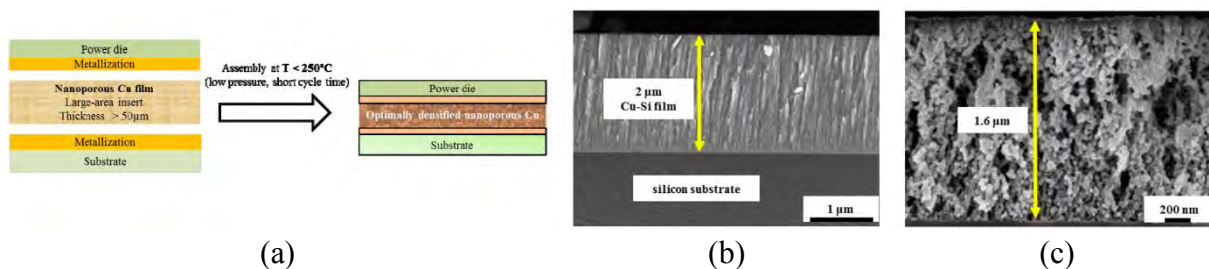


Figure 1.39 – Principe d'assemblage (a), film de siliciure de cuivre (b) et du film en cuivre poreux (c) [161]

Le frittage du cuivre s'approche des performances électrique et thermique de l'argent avec comme avantage d'offrir un coût réduit sur la matière première. En revanche, le procédé de fabrication de la structure poreuse en cuivre est bien plus conséquent, complexe, et probablement, par manque de maturité et de retour, plus onéreuse dans sa mise en application comparé à l'utilisation de micro ou nano particules d'argent. De plus, l'oxydation du cuivre implique un traitement chimique désoxydant préalable ainsi qu'un assemblage sous atmosphère contrôlée [162].

Des travaux évoquent le frittage de nano particules de nickel. Les nano particules sont mélangées dans une solution d'alcool isopropylique et déposées par atomisation électrostatique sélective. Après évaporation de l'alcool, l'assemblage est effectué en appliquant une pression comprise entre 2 MPa et 20 MPa à 300°C pendant une heure. La résistance de cisaillement, entre 25°C et 500°C est de l'ordre d'une brasure classique [163]. Cependant, bien que le coefficient de dilatation thermique du nickel soit relativement proche de celui du cuivre ( $13.10^6 \text{ K}^{-1}$ ), sa conductivité électrique ( $14,3.10^6 \text{ S/m}$ ) et thermique ( $90,7 \text{ W/m.K}$ ) sont respectivement quatre fois et plus de six fois inférieures à celles du cuivre. Le frittage de nickel des puces de puissance montre encore peu de retour d'expériences dans la littérature.

#### 1.7.1.2 Les feuillards embossés et la technologie SKiN

Comme technologies ayant plus de retour d'expérience, l'utilisation de feuillards embossés en cuivre, autour de 1 mm d'épaisseur, brasés aux puces permet de minimiser les capacités parasites. Cette solution s'inscrit dans la même dynamique d'optimisation que les rubans de câblage en permettant de réduire les inductances parasites de par sa structure ainsi que sa résistance électrique via le cuivre [164], [165].

Elle permet également d'assembler directement les composants de la partie commande sur les feuillets afin de réduire les inductances à la commande, ce qui constitue un premier pas vers l'intégration tridimensionnelle des modules de puissance [166].

Le fabricant Semikron propose une solution appelée « technologie SKiN » s'inspirant des interconnexions par feuillets embossés. Les brasures des embossages sont remplacées par le frittage d'argent et les feuillets embossés par des substrats en technologie PCB flexibles (FPCB) [167]. Les inductances parasites sont réduites de 60% avec une densité de puissance multipliée par deux par rapport à son homologue assemblé avec les technologies d'interconnexions usuelles dans sa première version [168].

La réduction des éléments parasites de ces technologies sont notables en comparaison avec le câblage par fils ou rubans. L'utilisation du cuivre a l'avantage de réduire la résistance électrique et thermique. Cependant, le nombre de contacts par puce par rapport aux fils et rubans est inférieur ; il en est de même pour la surface de contact. La conductivité de la structure est meilleure mais la répartition du courant, et donc des points chauds, est dégradée. Malgré une meilleure conduction de la chaleur, aucun élément de dissipation n'est proposé au regard de la structure interconnectique proposée en face supérieure.

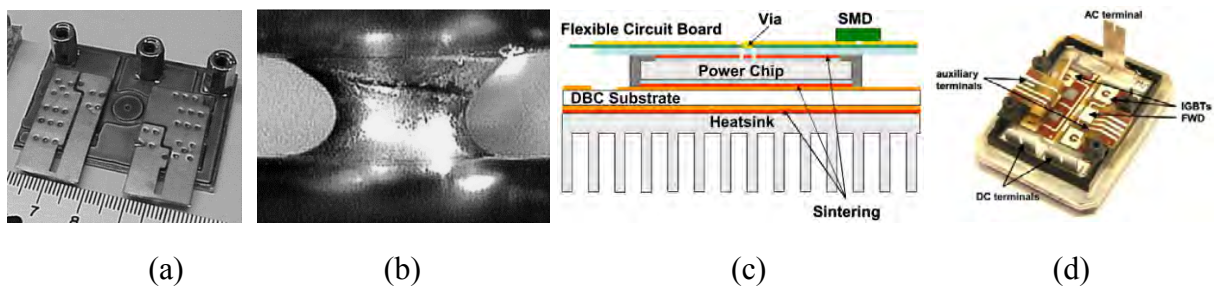


Figure 1.40 – Assemblage avec feuillets embossés (a), brasure d'un embossage (b) [166], schéma (c) et image (d) d'un module de puissance SKiN du fabricant Semikron [167]

Les feuillets embossés ne sont pas isolés électriquement et donc ne permet par un éventuel chemin dissipatif de la chaleur générée ; également à cause des cavités induites par l'embossage du cuivre. La technologie SKiN utilise le polyimide comme isolant électrique des substrats PCB flexibles [169]. Cependant, ce polymère constitue un frein thermique considérable ne laissant pas envisager l'implémentation d'un éventuel dissipateur thermique malgré ses performances et sa stabilité dans les applications à forte puissance [170]. Cette problématique nécessite d'être prise en considération.

#### 1.7.1.3 Les rubans bimétalliques

Sans parler d'alternative, revenons au câblage avec une solution proposée par Valéo qui consiste à améliorer la technologie par rubans classiques en utilisant un ruban bimétallique (Figure 1.41). Composé d'aluminium et de cuivre, son assemblage à la métallisation aluminium de la puce reste possible par l'utilisation de ce même matériau. Concernant la partie cuivrée du ruban, elle est brasée à un second substrat venant recouvrir l'assemblage [171].

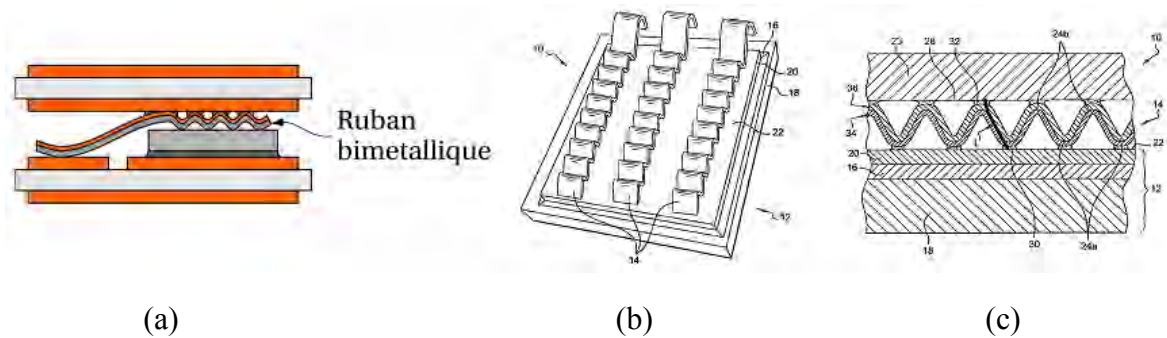


Figure 1.41 – Schéma d'une interconnexion par ruban bimétallique (a) [32], d'une puce avec ruban assemblé (b) et vue de coupe d'un assemblage complet (c) [171]

Cette solution de câblage est exposée aux mêmes problématiques que l'évolution du fils. Néanmoins, elle suscite notre intérêt et mérite notre attention du fait d'une innovation particulière en termes d'intégration. Il est intéressant de noter qu'avec une si faible variation, l'assemblage prend une dimension supplémentaire, c'est-à-dire celle d'un module de puissance 3D à dissipation de chaleur double face. Bien que la surface de contact reste faible, les coefficients de dilatation thermique des matériaux sont différents et l'aluminium, l'alliage de brasure et la céramique ont une conductivité thermique plus faible. L'innovation se concentre sur la dissipation double face de la chaleur qui présente un très grand intérêt dans l'intégration des modules de puissance au vue des températures de jonctions élevées possibles des composants à large bande interdite.

#### 1.7.1.4 Les clips

D'autres solutions sont orientées vers la réduction des éléments parasites notamment en proposant une évolution du ruban, que nous appelons : « clip », permettant de recouvrir une surface maximale de la puce en face supérieure avec une section plus importante. Contrairement aux fils et rubans, le clip est brasé, ou dans certains cas frittés, sur la puce et son substrat. Cette structure est également utilisée dans un packaging innovant appelé T-PM (Transfer-molded Power Module). Il consiste à braser les puces sur un bloc de cuivre épais, afin de répartir la chaleur. Les interconnexions sont également réalisées par des clips brasés en face supérieure. L'ensemble est ensuite moulé dans une résine. En plus de remplacer le procédé d'assemblage par ultrason difficilement applicable avec les dimensions des clips, l'épaisseur de la brasure ou les dimensions du clip permettent de contrôler l'espacement entre substrat et clip. Ce contrôle permet de garantir une isolation électrique suffisante entre les surfaces inférieures et supérieures.

Cet assemblage permet de réduire la résistance parasite de l'interconnexion, généralement recherchée pour les composants MOSFET, et de diviser par deux l'inductance parasite d'une structure équivalente utilisant des fils de câblage [172], [173], [174]. Une étude met en avant les avantages des clips en comparaison au câblage usuel, en termes de robustesse avec la présence d'élément fusible en cas de défaillance critique [175]. Des travaux montrent la réduction de la résistance thermique des assemblages T-PM et la capacité d'adaptation de cette technologie d'assemblage au refroidissement double face en brasant grille et source au substrat et drain à un clip en cuivre [176], [177], [178], [179], [180].

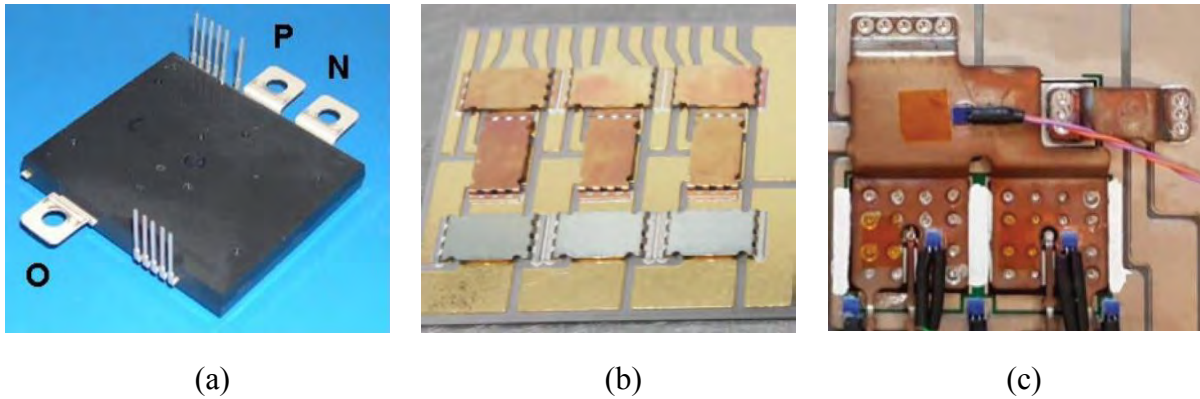


Figure 1.42 – Modules de puissance T-PM (a) [172], avec clips frittés (b) [176] et brasés (c) [179]

Comme nous avons pu le voir précédemment, les brasures sont des alliages ayant une résistivité électrique et thermique élevée en comparaison des métaux utilisés dans les modules de puissance. Pour la technologie T-PM, utiliser la brasure comme une cale permettant l'espacement entre clip et substrat génère des pertes par effet Joule supplémentaires et constitue une limitation, bien que la dissipation de la chaleur ne soit pas uniquement limitée en face inférieure avec certaines de ces solutions. Dans le cas de brasures d'épaisseur conventionnelle, les problématiques du câblage sont remplacées par celles de la multiplication des brasures favorisant le développement d'intermétalliques conduisant, à terme, à des fissurations.

L'utilisation du frittage améliore les performances mais rend difficile la gestion de l'épaisseur globale du module en fonction des dimensions de puces, ce qui oblige à des clips sur mesure pour chaque puce pour faciliter une dissipation double face, et rend ainsi le procédé plus coûteux et complexe.

#### 1.7.1.5 Les brasures double face

Dans cette dynamique de dissipation de la chaleur double face, une approche rationnelle consiste à interconnecter la puce en face supérieure avec le même procédé qu'en face inférieure, c'est-à-dire par une brasure. Un frittage est également envisageable sur un substrat céramique métallisé. Cet assemblage présente une résistance thermique réduite de 40% comparé à un assemblage à dissipation simple face [181]. Cela permet de monter en puissance et en fréquence de commutation pour un nombre d'interrupteurs donné et à courant donné, de réduire le nombre de puces en parallèle et par conséquent augmenter la densité de puissance [182].

Les contraintes de cet assemblage sont essentiellement la tenue en tension, due au faible espacement entre les deux substrats, et aux stress thermomécaniques, en particulier plus sensibles à l'interface entre puce et brasure. L'ajout de billes ou de cylindres brasés entre les électrodes et le substrat supérieur permet réduire ces contraintes en permettant une meilleure tenue en tension via un plus grand espacement entre substrats [183]. Cette technologie a également été présentée avec l'utilisation de billes de brasure optimisées pour les applications de puissance en se basant sur la technologie d'interconnexion BGA en microélectronique [184], [185]. Cependant, la gestion du flux de chaleur est moins bonne avec une résistance thermique plus importante due à l'ajout de matière et à la réduction de la surface de contact [186], [187].



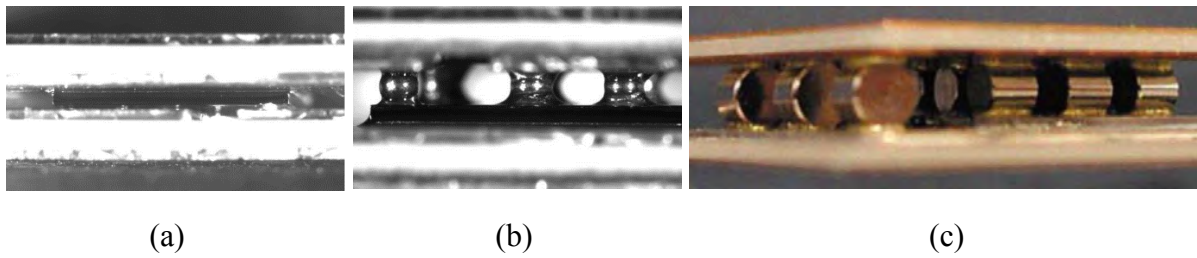


Figure 1.43 – Brasure double face d'une puce à deux substrats DBC (a) avec utilisation de billes (b) [186] et cylindres (c) [183]

#### 1.7.1.6 Les macro et micro poteaux

Des solutions proposées dans la littérature visent à combiner les performances électriques et thermiques des puces brasées directement aux substrats DBCs, ainsi que l'ajout de billes ou cylindres, en utilisant des poteaux. Le premier procédé consiste à réaliser une gravure partielle du cuivre afin d'obtenir un poteau macrométrique par protrusion pour garantir une surface de contact maximisée après brasure [188], [189]. Le second permet de garantir un espacement plus conséquent entre le substrats DBC en utilisant des plots massifs de cuivre, de 3,5 mm de côté pour 1 mm de hauteur, brasés de part et d'autre [190], [191]. Une troisième solution met en avant l'utilisation de poteaux de dimensions micrométriques, de  $300 \times 100 \mu\text{m}^2$  avec une épaisseur de quelques dizaines de microns déposés par voie électrolytique et répartis sur l'ensemble de la puce, assemblés par diffusion ou frittage flash [192]. Comparée au frittage classique, cette technologie de frittage permet de réduire la porosité du joint ; elle consiste à monter en température par effet Joule en appliquant un courant élevé autour des éléments à assembler au sein d'un outillage en graphite [193].

Les performances atteintes sont proches d'un assemblage avec des substrats directement brasés aux puces, mais restent tout de même inférieures du fait d'une interface intermédiaire additionnelle en fonction du procédé et des dimensions de poteaux choisis. Les poteaux macrométriques permettent d'être au plus proche d'une brasure sans interface, en améliorant légèrement la tenue en tension, au détriment de pistes conductrices plus fines pouvant devenir un facteur limitant pour l'utilisation de courants forts. Quant à l'utilisation de plots massifs, la tenue en tension est nettement plus importante mais ils augmentent la résistance électrique et thermique de l'assemblage en impactant la fiabilité du système par l'ajout d'une brasure supplémentaire.

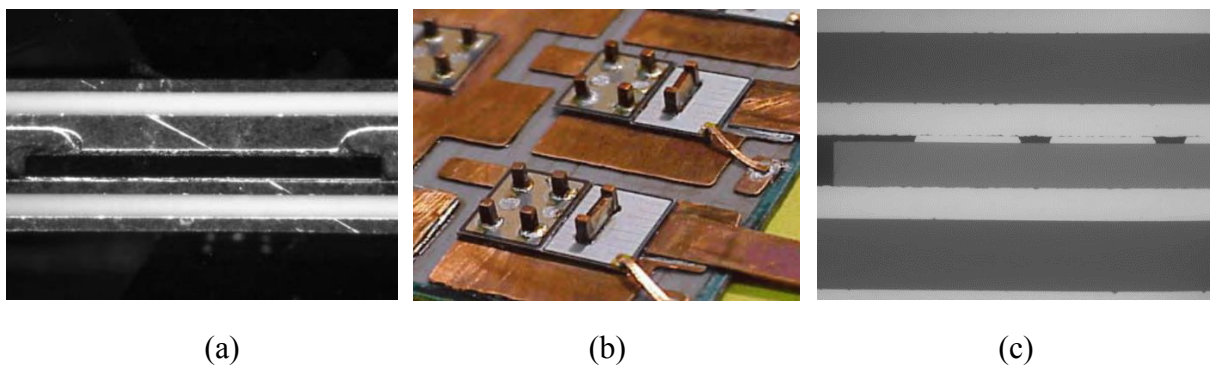


Figure 1.44 – Assemblages avec « macro poteaux » (a) [188], plots massifs (b) [61] et « micro poteaux » (c) [41]

L'orientation vers une structure « tout cuivre » des travaux concernant les « micro poteaux » est intéressante. L'adéquation des coefficients de dilatation thermique, par la quasi-utilisation d'un seul matériau pour les interconnexions, est une avancée considérable et primordiale du fait de son rôle clef et de sa criticité dans le module de puissance. Néanmoins, l'amélioration en termes de tenue en tension est comparable à celle des « macro poteaux » avec pour inconvénient d'avoir une surface de contact réduite entre puce et substrat qui lui octroie une résistance électrique et thermique plus importantes malgré l'absence de joint de brasure.

### 1.7.2 Les dépôts métalliques

Les solutions brasées, frittées et assemblées par diffusion vues dans la littérature mettent en avant une nouvelle génération de packaging avec l'intégration tridimensionnelle. La majorité des assemblages proposent une dissipation double face qui s'inscrit directement dans notre démarche d'optimisation du packaging destiné aux composants à large bande interdite et que nous gardons à l'esprit de par l'intérêt que nous portons à l'extraction de la chaleur.

Cependant, la tendance se dirige vers des assemblages réduisant la disparité des coefficients de dilatation thermique en utilisant un seul et unique matériau assemblé par diffusion. L'objectif est de réduire les contraintes thermomécaniques bien connues liées à la brasure et au frittage. L'amélioration de la fiabilité des modules est tout aussi importante que les performances thermiques que nous offre la dissipation de chaleur double face. Certaines solutions proposent des reprises de contact plus intimes, avec des matériaux ayant des propriétés physiques correspondantes, afin de répondre à ce besoin.

#### 1.7.2.1 La technologie SiPLIT

La technologie SiPLIT (Siemens Planar Interconnect) consiste à remplacer le câblage en face supérieure par une métallisation. Les puces, brasées ou frittées en face arrière, et le substrat DBC sont recouverts d'une couche diélectrique homogène, avec une conductivité thermique de 0,25 W/m.K. Cette couche diélectrique est ouverte par ablation laser permettant de réaliser les interconnexions via un dépôt de cuivre électrolytique entre 50  $\mu\text{m}$  et 200  $\mu\text{m}$ . Des travaux, basés sur le même principe, mettent en avant l'utilisation de la technologie PCB (Printed Circuit Board), que nous développerons plus tard, comme stratifié diélectrique [194]. Cette structure permet d'augmenter considérablement la densité de puissance des modules. De plus, les performances électriques sont incontestables face au câblage de fils avec une réduction de la résistance à l'état passant de 35% et une inductance parasite divisée par deux. À cela s'ajoute une meilleure répartition de la densité de courant à la surface de la puce en comparaison avec son homologue au packaging conventionnel [195].

Cependant, l'inconvénient demeure la dissipation de la chaleur uniquement en face inférieure. De plus, les brasures contribuent à l'augmentation de la résistance thermique des assemblages sans parler de l'impact en termes de fiabilité qu'elles apportent aux modules de puissance.

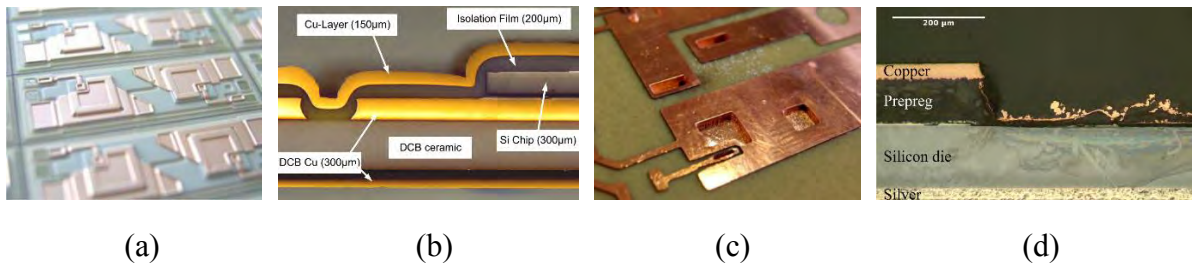


Figure 1.45 – Vue de dessus (a) (c) et en coupe (b) (d) de la technologie SiPLIT (a) (c) [195] et assemblage avec substrat DBC/PCB (c) (d) [194] [133]

#### 1.7.2.2 Le micro nickelage électrolytique

La technologie NMPB (Nickel Micro Plating Bonding) est basé sur le dépôt électrolytique de nickel [163]. Une armature en cuivre est maintenue mécaniquement aux puces semi-conductrices le temps du dépôt électrolytique de nickel afin de fixer les éléments ensemble. La structure est ensuite moulée dans une résine résistante aux hautes températures [196], [197]. Le nickel présente plusieurs avantages. Il permet d'établir une interconnexion pour les hautes températures, avec son point de fusion supérieur à 1400°C, et cela à une température relativement basse (55°C). Son analyse cristallographique montre des grains très fins permettant un contact entre structure cuivrée et puce semi-conductrice très intime avec des coefficients de dilatation thermique voisins.

À propos du cyclage, la technologie NMPB montre environ  $100 \cdot 10^3$  cycles avant défaillance contre moins de  $5 \cdot 10^3$  pour un assemblage conventionnel. Électriquement, l'optimisation des inductances parasites est donnée à 40% [196].

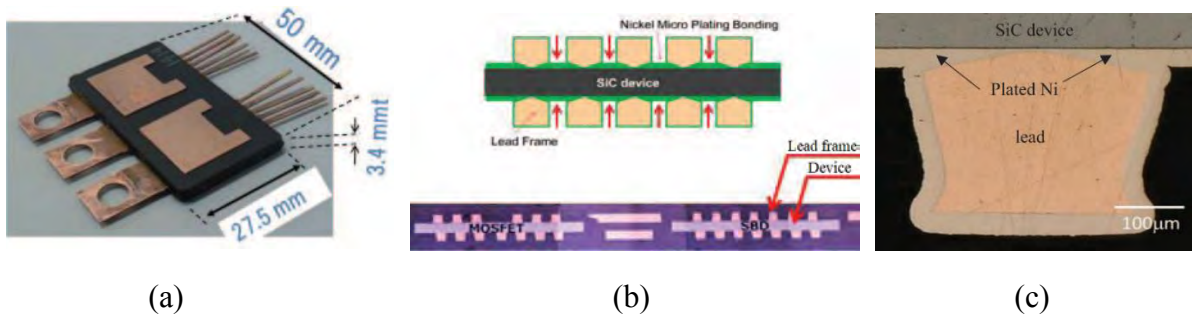


Figure 1.46 – Module de puissance avec procédé NMPB (a), schéma et coupe métallographique de l'interconnexion (b) et zoom au microscope numérique (c) [197]

Cependant, les propriétés physiques du nickel lui octroient une faible conductivité électrique et thermique, soit quatre fois inférieure à celles du cuivre. De plus, le contact de la structure en cuivre sur la puce est très faible ne permettant pas de réduire la résistance électrique et thermique de l'interconnexion. La gestion thermique, bien qu'elle soit double face, n'offre pas une grande surface d'échange dû à l'utilisation de chevrons cuivrés. La répétabilité du procédé en vue d'une future mise en production, semble quant à elle complexe à atteindre.

## 1.7.2.3 Les micro vias

Deux solutions proches de la technologie SiPLIT proposent la prise de contact en face supérieure par des vias remplis par électrodéposition. La première est le POL (Power OverLay). Les puces sont fixées sur un film adhésif recouvrant une couche diélectrique maintenue par un support. Les ouvertures pour la fabrication des vias sont réalisées par laser. Après pulvérisation d'une fine couche barrière en titane et d'une couche d'accroche en cuivre, un dépôt électrolytique permet d'obtenir une épaisseur d'environ 130  $\mu\text{m}$  de cuivre. Le cuivre est gravé et l'ensemble détourné afin de venir brasier les puces sur un substrat DBC et de combler le vide par un underfill époxyde [198], [199], [200]. Une brasure sélective du cuivre supérieur, pour ne pas mettre le module en court-circuit, à un second substrat DBC permet une dissipation de chaleur double face. Les cavités restantes sont elles aussi comblées par un underfill [201], [202].

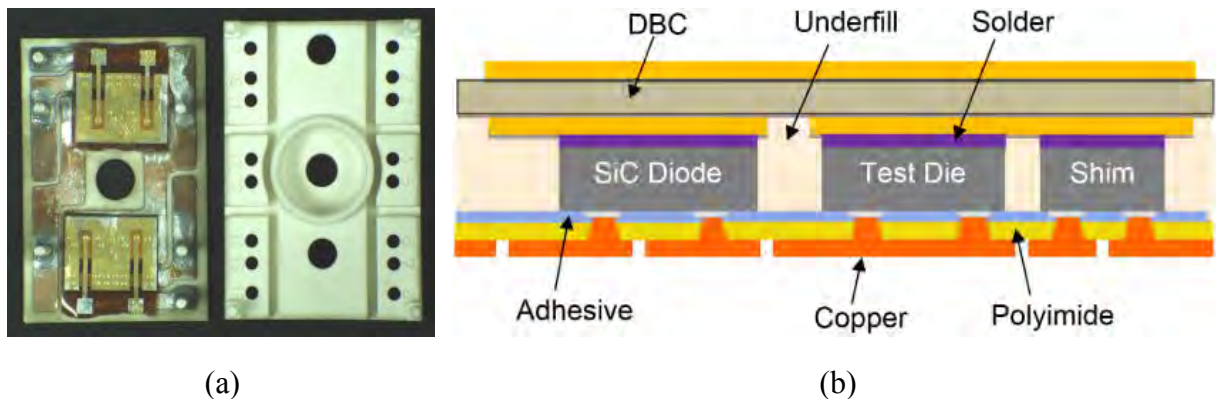


Figure 1.47 – Vue de dessus (a) et schéma (b) de la technologie Power Overlay [199] [200]

La seconde se nomme « Embedded Power ». Les puces sont maintenues dans une céramique prédécoupée à l'aide d'un diélectrique. Au regard des puces, les ouvertures permettent la prise de contact en déposant des couches barrière (Cr/Ti ou Ni) puis d'accroche (Cu) [203]. L'ensemble est ensuite brasé aux substrats DBC de part et d'autre afin d'obtenir un refroidissement double face [204], [205].

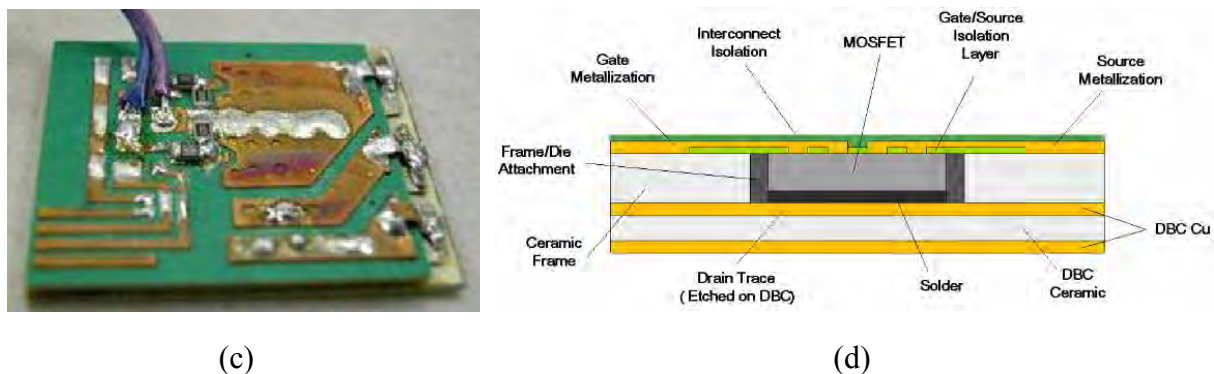


Figure 1.48 – Vue de dessus (a) et schéma (b) de la technologie Embedded Power [206]

Toujours avec les interconnexions par vias électrodéposés, la technologie PCB suscite un très grand intérêt dans les travaux de recherche autour de l'intégration tridimensionnelle des modules de puissance [207].



Les substrats PCB sont utilisés en microélectronique depuis plusieurs dizaines d'années ce qui leur vaut une bonne maturité et un formidable retour d'expérience. Ils bénéficient d'un procédé de fabrication robuste et maîtrisé avec une grande capacité de production, par panneau, à un coût attractif. La technologie PCB consiste à empiler des couches conductrices, typiquement des feuilles de cuivre, et de diélectriques, comme de l'époxyde ou du polyimide avec fibres de verre, afin de les thermo-compresser pour obtenir un laminé rigide qu'est le substrat PCB. Les différentes couches conductrices sont connectées entre elles par perçage du stratifié et remplissage des trous par électrodéposition, que l'on appelle donc via, et les pistes sont obtenues par gravure chimique des couches de cuivre.

Sur la base de cette technologie et de l'interconnexion présentée ci-dessus, de nombreux assemblages ont été proposés dans la littérature [208]. Le procédé de fabrication des vias remplis, ou non dans de rare cas, consiste à ouvrir le substrat PCB de façon à venir récupérer le contact électrique en remplissant les ouvertures avec du cuivre par voie électrolytique.

Généralement, les ouvertures sont réalisées par ablation laser mais certains procédés utilisent le perçage mécanique. Dans le cas du perçage, un plot en cuivre massif recouvre la puce afin de la protéger du risque de casse par contact avec le foret en rotation [209].

Nous avons, en face supérieure, l'interconnexion de puces enfouies dans un stratifié type PCB par vias micrométriques. Les puces sont précédemment brasées [209], frittées [210], [211], [212], assemblées par diffusion [213], [214] ou bien par électrodéposition de cuivre [215], [216] sur un substrat qui peut être en céramique de type DBC [212] ou IMS [209], un premier substrat PCB [210], [211] ou bien une simple feuille de cuivre [213], [214], [215], [216], [217], [218], [219], [144]. Il existe également des assemblages, entièrement en technologie PCB, utilisant l'interconnexion par micro vias en face inférieure [217], [218], [219], [144].

L'interconnexion par micro vias permet d'augmenter significativement la densité de puissance des modules en réduisant drastiquement les éléments parasites et le volume du packaging. De plus, le refroidissement double face couplé à une interface entièrement en cuivre représente une amélioration conséquente de la gestion thermique.

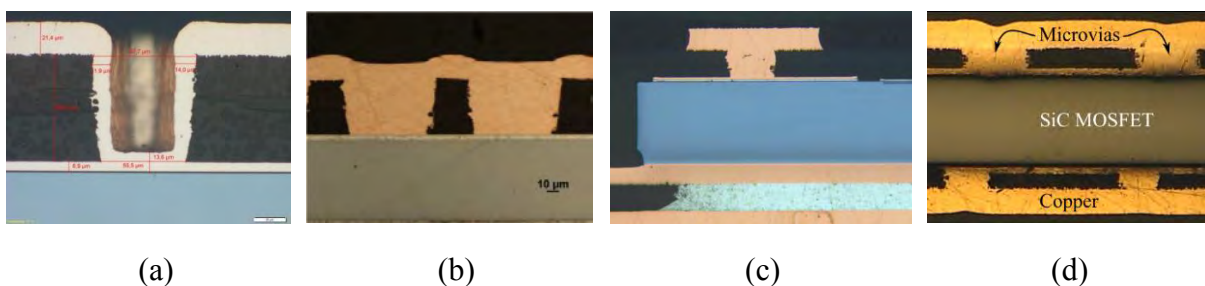


Figure 1.49 – Interconnexion, en environnement PCB, de puces par vias (a) [208] remplis (b) [210] en face supérieure avec dépôt électrolytique de cuivre en face inférieure (c) [215] ou par les deux faces (d) [219]

Toutefois, les technologies Power Over Lay, Embedded Power et l'enfouissement PCB sur substrat DBC pâtissent de la grande variété de matériaux tel que les polymères, les céramiques et les métaux dont elles sont composées.

La différence entre les coefficients de dilatation thermiques de chaque matériau impacte fortement la fiabilité des systèmes. L'utilisation de substrat entièrement en technologie PCB permet de limiter le nombre de matériaux et donc les risques de défaillance par cyclage thermique. Néanmoins, la fiabilité de ces assemblages reste à démontrer. Il est également important de noter que la surface de contact avec la puce est considérablement réduite ce qui affecte la répartition de la densité de courant et augmente la résistance thermique de l'assemblage.

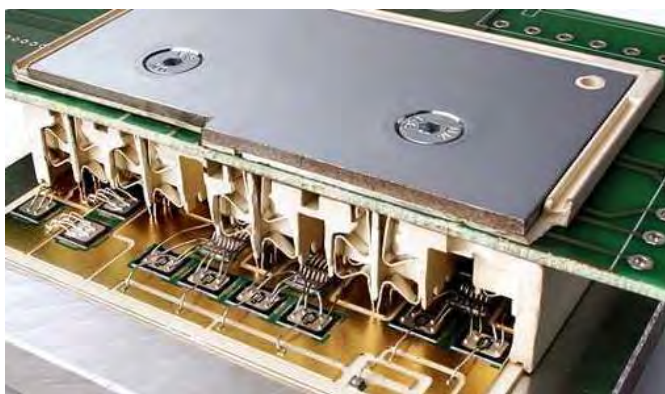
### 1.7.3 Les assemblages pressés

La reprise de contact par dépôt métallique offre de nombreux avantages. L'utilisation du cuivre, en particulier, permet une meilleure conductivité électrique et thermique des modules. De plus, le matériau d'apport utilisé pour les assemblages de la famille des brasures, frittages et procédés de diffusion est retiré de la chaîne d'assemblage. Les contraintes thermomécaniques dues aux différences des coefficients de dilatation thermique sont réduites par la mutualisation du joint d'assemblage avec les pistes conductrices. Cependant, ces contraintes se retrouvent à la jonction de l'interface de la puce et du cuivre sans parler du ou des matériaux encapsulant, et de leurs propriétés.

Des solutions d'interconnexion par pression ont été proposées dans la littérature afin de dépasser les limitations de l'intégration par mutualisation des matériaux, de rigidité des assemblages, en proposant des interfaces flexibles, élastiques, entre composants et packaging.

#### 1.7.3.1 Les ressorts

Les premiers contacts par pression ont été développés par Semikron en 1992 avec la technologie SKiiP. Dans le début des années 2000, les modules de puissance MiniSKiiP et SEMiX sont également commercialisés avec cette technologie [220] [221]. Les terminaux auxiliaires ont été remplacés par des ressorts de forme coudée ou en spirale afin d'établir la connexion électrique entre le circuit de commande et de puissance.



(a)



(b)

Figure 1.50 – Reprise de contact par ressort coudé du module de puissance MiniSKiiP (a) et par ressort en spirale pour la technologie SEMiX (b) (Semikron)

Des travaux, inspirés de ce principe, mettent en avant la reprise de contact par ressorts circulaires afin de remplacer les fils de câblage en face supérieure des puces pour les applications de moyenne puissance. L'utilisation du cuivre au béryllium confère aux ressorts une meilleure flexibilité et résistance à la fatigue mécanique. À cela s'ajoute une métallisation en or afin de réduire leurs résistances électriques et de les protéger de l'oxydation [222]. L'innovation apportée par cette technologie est un contact électrique flexible, élastique, susceptible d'améliorer la fiabilité et la durée de vie des systèmes [223].

Néanmoins, cet assemblage ne permet pas une dissipation de chaleur en face supérieure et réduit considérablement la surface de contact avec la puce avec pour impact une mauvaise répartition de la densité de courant et donc de points chauds localisés. Les ressorts sont assemblés par brasure. Bien que les contraintes thermomécaniques au niveau des joints soient diminuées, les alliages utilisés restent des éléments résistifs et donc source de pertes. De plus, l'inductance parasite générée par ces ressorts est trois fois supérieure à celle d'un câblage filaire équivalent [222].

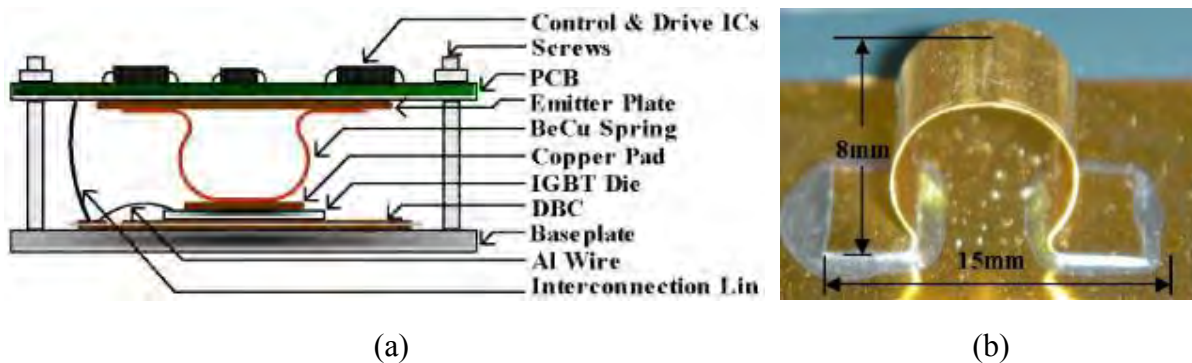


Figure 1.51 – Schéma d'une reprise de contact (a) et image d'un ressort circulaire (b) [222]

Le fabricant ABB propose également un assemblage par ressorts, le StakPak, pour des applications de plus forte puissance, de l'ordre de la dizaine de MW pour une tension de 4,5 kV [224], [225]. Divisée en plusieurs sous-modules, chaque puce du StakPak est directement en compression par un ressort composé de rondelles empilées contre la semelle en molybdène, réduisant la résistance thermique du module et permettant de répartir les contraintes thermomécaniques à la surface des puces avec un coefficient de dilatation thermique proche du silicium ( $4,9 \cdot 10^{-6} \text{ K}^{-1}$ ) [226]. Cet assemblage est commercialisé ; il fait preuve d'une bonne finition avec l'encapsulation des puces semi-conductrices par un gel silicone, l'utilisation de ressorts calibrés permettant de garantir une pression similaire entre les puces sans oublier les pistes de contournements des ressorts pour limiter les effets parasites sur le comportement électrique du module. Le StakPak est également apprécié du fait de son mode de défaillance en court-circuit [227]. Bien que les améliorations apportées soient significatives face aux travaux présentés avec l'utilisation de ressorts circulaires, l'inconvénient majeur reste la dissipation de la chaleur que l'on peut qualifier de simple face.

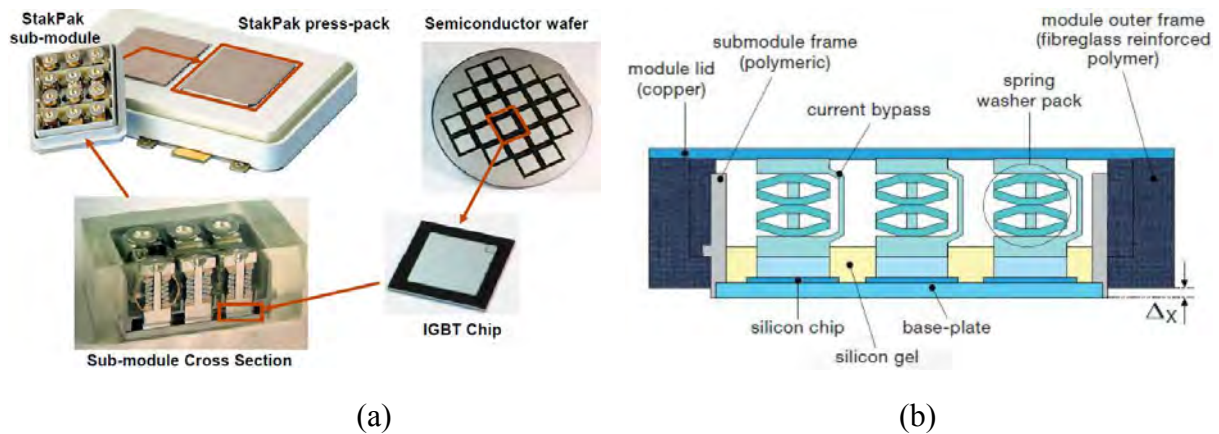


Figure 1.52 – Vue d'ensemble et éclatée (a) puis schéma en coupe (b) du StakPak du fabricant ABB [227]

### 1.7.3.2 Le boîtier « Press-pack »

La technologie « Press-Pack » est utilisée dans les applications de haute puissance pouvant atteindre la dizaine de GW avec des tensions de plusieurs centaines de kV voire le MV [228]. Destinée à accueillir un ensemble de puces unitaires ou un *wafer* complet pour les puissances les plus élevées, le principe de fonctionnement reste le même. Le ou les éléments actifs sont en compression uni-axiale, appliquée par un mécanisme externe, entre deux électrodes massives en cuivre et séparées par une couche tampon en molybdène afin de répartir les contraintes dues au cyclage thermique du module. Cette technologie adopte le contact pressé et le refroidissement double face, ce qui constitue son avantage principal face aux assemblages présentés ci-avant [224], [229], [230].

La technologie « Press-pack » permet d'augmenter la densité de puissance des modules. Son mode de défaillance en court-circuit facilite l'addition de modules en série et le rend plus intéressant pour des applications à haute puissance [231]. Bien que la fiabilité soit améliorée par l'absence de points faibles tels que les fils de câblages et la brasure, une étude montre qu'elle est tout de même impactée par une répartition inhomogène de la densité de courant lors des commutations due à l'effet de peau et au couplage entre les puces. Cela aurait pour conséquence d'entraîner une surcharge électrique et des contraintes thermomécaniques plus importantes sur les puces concernées [232].

Plusieurs laboratoires ont intégré des composants utilisant des matériaux à large bande interdite en vue d'une future utilisation pour des applications de moyenne puissance. Certains travaux démontrent la possibilité d'assemblage tridimensionnel en empilant les étages de puces [233], [234], la capacité de réduction des inductances parasites et de la résistance thermique de cette technologie d'assemblage [235], [236], la réduction des contraintes de friction à la surface des puces en fonction de la température de jonction et de la pression exercée [230] jusqu'au remplacement du molybdène pour la couche tampon par du graphite (C) avec de l'aluminium (Al) [237], [238]. Malgré une étude montrant une tenue au cyclage thermique supérieure à celle d'un boîtier discret TO-247, la fiabilité de l'intégration des composants actifs de dernière génération avec la technologie « Press-pack » reste à démontrer [235].



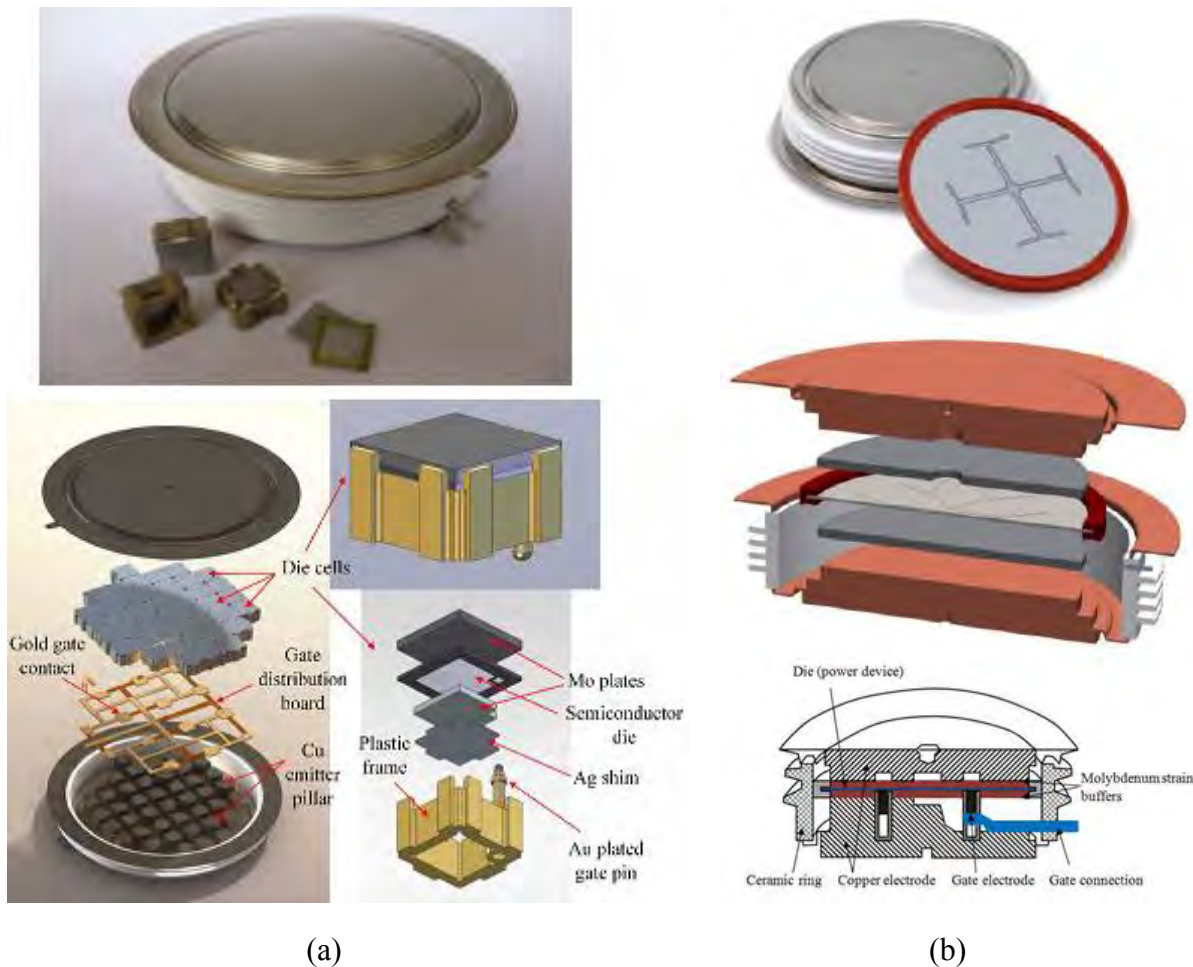


Figure 1.53 – Images et schémas d'assemblages « Press-pack » avec puces unitaires en parallèle (a) (*Power Electronics Europe*) [230] et wafer complet (b) [224] [229]

### 1.7.3.3 Les assemblages par contraintes résiduelles

Une approche originale combine ressorts et technologie « Press-pack » en interconnectant des puces SiC par des ressorts de cuivre au beryllium recouverts d'or en face supérieure et par contact pressé à une semelle en molybdène en face inférieure. Les ressorts, originellement des fils entrelacés sur eux mêmes, sont guidés par une entretoise percée d'autant de trous nécessaires puis comprimés entre la métallisation supérieure de la puce et le substrat. Il est évident que la surface de contact entre puce et substrat est drastiquement réduite ce qui aura une forte répercussion sur la répartition de la densité de courant mais également sur le rendement du système de refroidissement et ce malgré une conductivité thermique du cuivre environ quatre fois supérieure à celle du molybdène (138 W/m.K). Néanmoins, la compression d'une structure fine et flexible permet de s'affranchir de la différence des coefficients de dilatation thermique et ce avec l'avantage supplémentaire d'utiliser un matériau avec une meilleure conductivité thermique que le molybdène mais aussi électrique qui n'est que de  $18,7 \cdot 10^6$  S/m. Malgré une résistance électrique d'interconnexion de 2.5 mΩ directement causée par le type de ressort utilisé, cet assemblage démontre la faisabilité d'un circuit faiblement inductif avec seulement 4,3 nH pour un demi-pont constitué de quatre interrupteurs MOSFET en SiC [239].

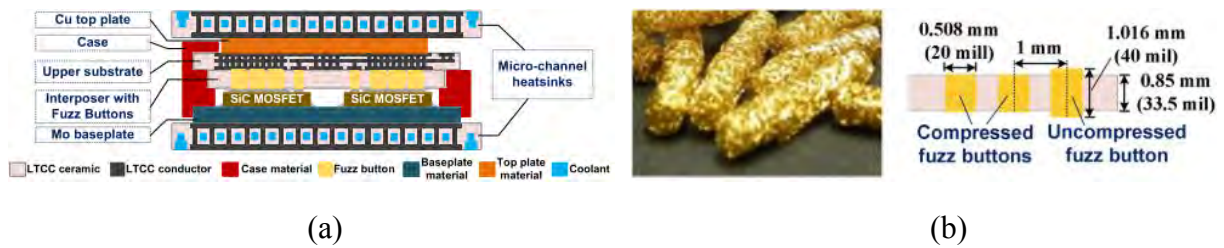


Figure 1.54 - Schéma en vue de coupe du module (a) et ressorts en cuivre au béryllium avec métallisation en or et leurs dimensions (b) [239]

Dans le même principe, les ressorts peuvent être remplacés par une mousse métallique en nickel et ce dans un environnement PCB [240]. Les puces sont préalablement brasées sur un substrat PCB, dit inférieur, sur lequel un masque en polyimide avec ouvertures est placé permettant le contact de la mousse métallique sur les métallisations du composant. L'assemblage final est réalisé par thermocompression de pré-imprégnés à un second substrat PCB qualifié de supérieur [241]. Bien que la mousse couvre une surface plus importante que les ressorts proposés ci-avant, sa composition et sa structure imposent à cette solution des performances équivalentes à celle du câblage filaire. Ce procédé simple de mise en œuvre, malgré un manque de répétabilité, présente les avantages d'une forte densité de puissance en utilisant la technologie d'assemblage du PCB, mature et peu coûteuse [242].

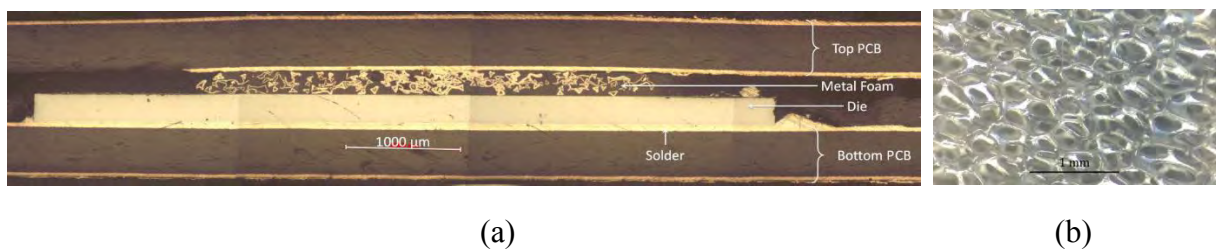


Figure 1.55 – Coupe métallographique d'un assemblage avec mousse en nickel (a) [241] et image au microscope numérique de cette dernière (b) [242]

Une technologie d'interconnexion par enchevêtrement de nano fils, d'environ 200 nm de diamètre et quelques dizaines de micromètres de hauteur, permet de bénéficier d'une structure entièrement cuivrée sans métal d'apport. Cela permet de limiter la formation d'intermétalliques et les contraintes thermomécaniques liées aux différences de coefficient de dilatation thermique. La nano structure est construite par électrodéposition de cuivre à travers une membrane poreuse qui est ensuite dissoute chimiquement [243].

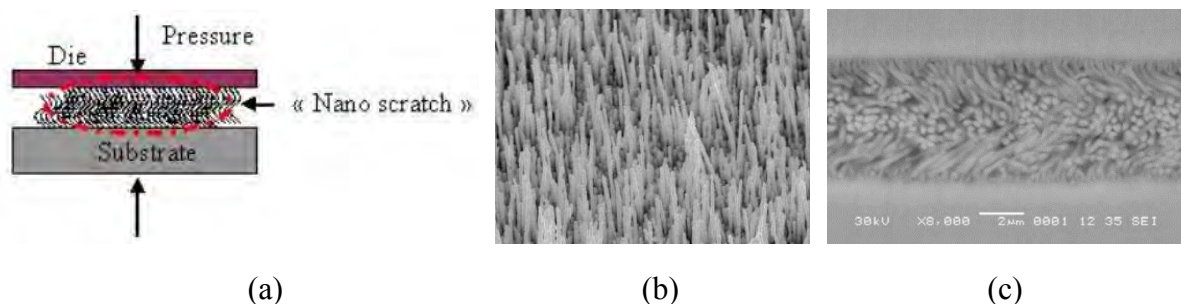


Figure 1.56 – Principe d'assemblage (a) [244] avec vue des nano fils (b) assemblés et en coupe (c) [245]

Le dépôt est réalisé sur le substrat et sur la puce pour ensuite garantir leur assemblage par enchevêtrement des nano fils en appliquant une pression de 40 à 100 MPa sur l'ensemble substrat-puce. L'interconnexion obtenue est dense, par l'entrelacement des nano fils, avec une épaisseur finale d'environ 10  $\mu\text{m}$ .

Les essais en cisaillement montrent que la force appliquée pour rompre une brasure est plus élevée qu'avec les nano fils entrelacés. Cependant, le déplacement avant rupture est plus important pour ces derniers ; il est démontré que l'énergie nécessaire pour rompre le lien est approximativement la même pour les assemblages brasés et nano câblés. L'interconnexion par enchevêtrement de nano fils pressés offre cependant une flexibilité à l'assemblage par rapport à la brasure. D'autres tests ont été réalisés avec une force plus élevée appliquée lors de l'assemblage indiquant que la tenue mécanique est meilleure. La température semble également jouer un rôle important puisque la tenue mécanique est plus faible lorsque la température augmente. Ces essais n'ont pas été comparés avec des assemblages brasés. Néanmoins, les résultats obtenus par le test de traction sont d'environ 40 N ce qui est cinq fois moins que le test de cisaillement. La résistance électrique est plus élevée par rapport à celle d'une brasure conventionnelle.

Le cyclage passif des assemblages montre une détérioration considérable des caractéristiques courant-tension et donc une résistance électrique plus élevée. Le courant de fuite varie pour certains composants tandis que la mesure de la capacité de la grille montre que le cyclage ne dégrade pas l'oxyde de la grille [246].

### 1.8 Le bilan des solutions actuelles

Le packaging des modules de puissance présente un verrou face à la montée en fréquence, en puissance, et donc en température, des semi-conducteurs à large bande interdite. À deux dimensions avec un refroidissement simple face, les modules dits « conventionnels » et leurs évolutions ne permettent pas de bénéficier des performances offertes par les dernières générations de composants. Le premier axe d'amélioration propose la mutualisation des puces par intégration monolithique permettant de réduire, dans une moindre mesure, les éléments parasites en réunissant les fonctions de commutation sur un seul et même substrat. Cependant, les travaux d'intégration hybride offrent la possibilité de repousser les limitations en termes de réduction des parasites et, de surcroît, d'améliorer la gestion thermique des modules.

Les fils et rubans de câblages sont les premiers à faire l'objet de recherches scientifiques d'intégration des modules de puissance. Orientés vers la réduction des éléments parasites, les feuillards embossés ouvrent les portes de l'intégration tridimensionnelle en proposant une mutualisation fonctionnelle en brasant les éléments de commandes sur les feuillards en cuivre eux-mêmes brasés aux composants de puissance. L'utilisation d'une dimension supplémentaire est justifiée également par la dissipation double face que propose le câblage filaire de nature bimétallique. Au vue des améliorations apportées via le remplacement des fils par des rubans, des solutions viennent proposer des clips comme nouvelle alternative aux rubans. Toujours dans la démarche de mimétisme, le procédé d'assemblage par brasure en face inférieure est reproduit en face supérieure jusqu'à être remplacé par le frittage et la diffusion avec ou sans interface additionnelle entre puces et substrats.

Les tendances changent en proposant une nouvelle technologie de reprise de contact : le dépôt métallique. Une première approche conserve la structure inférieure, soit la puce brasée ou frittée au substrat céramique, et réalise l'interconnexion en face supérieure par l'encapsulation de l'ensemble puce-substrat par un diélectrique avec des ouvertures afin de permettre la liaison électrique par dépôt de cuivre en pleine surface sur la puce ou bien par vias. Des approches plus exotiques vont jusqu'à utiliser une nature de substrat différente comme l'encapsulation de lead frame dans une résine ; de même par l'utilisation d'un matériau conducteur déposé autre que le cuivre : le nickel.

Les améliorations apportées sont significatives du point de vue électrique et thermique. Néanmoins, les modules de puissance restent exposés aux défaillances et aux ruptures mécaniques. Nous pouvons les qualifier d'assemblages rigides. Des solutions pressées proposent l'ajout d'une composante flexible dans les interconnexions afin d'augmenter la fiabilité des modules. Les premiers assemblages utilisent des ressorts. La technologie « Press-pack » est basée sur le même principe mais en appliquant une compression unidirectionnelle. Des études plus récentes proposent d'utiliser les contraintes résiduelles appliquées par une structure externe, ou non, et ce avec des substrats céramiques ou bien venant du domaine de la micro-électronique et suscitant beaucoup d'intérêt en puissance : le substrat de technologie PCB.

### *1.9 Conclusion*

Il est indéniable que l'intégration hybride permet d'améliorer les performances du module de puissance en comparaison avec la méthode d'assemblage dite conventionnelle ; et ce en tous points. Nous avons précédemment présenté et détaillé ces solutions, proposées dans la littérature, au travers de trois familles distinctes. Bien que les progrès soient importants, le packaging demeure le facteur limitant dans l'évolution des convertisseurs de puissance. L'optimisation de ces derniers continue à faire l'objet de travaux de recherche afin de pouvoir bénéficier pleinement des composants de puissance à large bande interdite. Afin de pouvoir proposer une technologie alternative capable de répondre aux attentes actuelles en conversion d'énergie, il semble naturel de bien appréhender l'apport des solutions d'intégration hybride antérieures par une analyse préalable et comparative. Cette analyse élémentaire de l'hybridation des modules de puissances met en avant les améliorations apportées par les solutions par dépôts métalliques et assemblages pressés. Aussi bénéfique l'une que l'autre, la famille d'intégration des modules par dépôts métalliques semble avoir pour points forts la réduction des éléments parasites et l'augmentation de la densité de puissance contrairement aux assemblages pressés qui tirent leurs avantages par une température de fonctionnement, fiabilité et répétabilité du procédé de fabrication plus élevées.

D'un point de vue plus critique, nous pouvons remarquer que les solutions les plus attractives par dépôts métalliques sont celles utilisant la technologie PCB. Plus particulièrement l'enfouissement en environnement PCB permet un gain considérable en termes de densité de puissance et cela en offrant des interconnexions plus courtes permettant d'améliorer considérablement les performances des convertisseurs par la réduction des éléments parasites du module de puissance.

Technologie d'intégration hybride	Brasures, frittages et assemblages par diffusion	Dépôts métalliques	Assemblages pressés
Eléments parasites	++	+++	+
Température de fonctionnement	++	+	+++
Densité de puissance	++	+++	+
Fiabilité	+	++	+++
Répétabilité	+	++	+++
Classement	2 <sup>ième</sup> (+8)	1 <sup>er</sup> (+11 ex aequo)	

Tableau 1.11 - Comparaison et classification des améliorations apportées au module de puissance conventionnel par les différentes technologies d'intégration hybride

Issue du secteur de la microélectronique, c'est avant tout une technologie mature, fiable et bon marché qui s'impose comme l'une des meilleures candidates du challenge de l'intégration des modules de puissance et tout cela en bénéficiant d'une capacité de production nettement supérieure par l'utilisation de panneau pour les équipements automatisés, voire robotisés [207].

Concernant les assemblages pressés, c'est une nouvelle génération de systèmes qui s'impose en bénéficiant d'une capacité de déformation et vieillissement des modules de puissances permettant de limiter les défaillances spontanées. Par opposition mais complémentarité au PCB utilisé en microélectronique, les solutions pressées sont à ce jour les seules à pouvoir traiter des puissances importantes.

Face aux exigences d'aujourd'hui en conversion d'énergie, les performances des systèmes représentent peu sans fiabilité – et vice versa. La technologie alternative proposée consiste à bénéficier des avantages offerts par les solutions pressées ainsi que ceux par l'enfouissement de composants actifs en environnement PCB ; voir Tableau 1.11. Pour réaliser les interconnexions, notre choix s'oriente vers la nano structure de fils en cuivre présentée ci-avant et utilisée pour établir la reprise de contact par enchevêtrement de deux structures. La mise en compression unidirectionnelle de nano structures en cuivre de part et autre des puces en environnement PCB est espérée flexible en permettant une bonne conductivité électrique et thermique de l'interface en minimisant les éléments parasites.

---

## Chapitre 2 : Fabrication des interfaces structurées

<b>2.1</b>	<b>Introduction.....</b>	<b>55</b>
<b>2.2</b>	<b>L'analyse des technologies sélectionnées .....</b>	<b>55</b>
2.2.1	La technologie PCB.....	55
2.2.1.1	Les feuilles de cuivre .....	56
2.2.1.2	Les pré-imprégnés.....	57
2.2.1.3	Le laminé .....	57
2.2.1.4	Le circuit imprimé.....	58
2.2.2	Les nano fils .....	60
2.2.2.1	Le procédé de fabrication.....	60
2.2.2.2	L'assemblage par enchevêtrement .....	61
<b>2.3</b>	<b>La stratégie d'intégration.....</b>	<b>62</b>
2.3.1	La méthode d'assemblage.....	62
2.3.1.1	Les dépôts bilatéraux .....	63
2.3.1.2	Le dépôt unilatéral .....	64
2.3.2	L'axe de recherche choisi .....	65
<b>2.4</b>	<b>L'étude du procédé électrodéposition .....</b>	<b>65</b>
2.4.1	L'électrochimie.....	65
2.4.2	L'épaisseur théorique du dépôt.....	67
2.4.3	Le profil du courant .....	68
2.4.4	La porosité de la membrane.....	69
2.4.4.1	Le traitement d'images.....	69
2.4.4.2	La masse volumique.....	72
2.4.4.3	La discussion des résultats .....	74
<b>2.5</b>	<b>L'élaboration du procédé de fabrication .....</b>	<b>74</b>
2.5.1	Le matériel et les équipements .....	74
2.5.1.1	La solution électrolytique.....	75
2.5.1.2	L'anode .....	76
2.5.1.3	L'alimentation en courant .....	76
2.5.2	La préparation des dépôts .....	78
2.5.2.1	Le rodage de l'anode.....	78
2.5.2.2	Le contrôle du bain .....	79
2.5.3	L'électrodéposition sur puce.....	80
2.5.3.1	Les échantillons.....	80
2.5.3.2	La description du dispositif expérimental .....	82
2.5.3.3	Le dépôt sur échantillons en cuivre.....	86
2.5.3.4	Le dépôt sur échantillons en aluminium .....	88
2.5.3.5	Le dépôt sur puces semi-conductrices.....	90
2.5.3.6	La discussion des résultats .....	92
2.5.4	L'électrodéposition sur substrat.....	93
2.5.4.1	La description du dispositif expérimental .....	93
2.5.4.2	La préparation des substrats .....	95
2.5.4.3	L'étude du procédé de dépôt de la nano structure .....	97
2.5.4.4	La réalisation de la nano structure.....	99
2.5.4.5	L'adhérence des surfaces .....	108
2.5.4.6	L'évaluation du dépôt électrolytique.....	111
2.5.4.7	L'optimisation du procédé d'électrodéposition.....	113
<b>2.6</b>	<b>Conclusion .....</b>	<b>122</b>



## 2.1 Introduction

L'état de l'art du packaging en électronique de puissance nous montre le fort intérêt et le potentiel de la technologie PCB pour la réalisation du substrat des modules, mais également pour assurer le rôle d'interconnexion avec la reprise de contacts dite pressée. Les deux technologies, présentées dans le chapitre précédent, apportent des améliorations significatives et complémentaires. Alors que les assemblages ayant des reprises de contact pressées se rencontrent dans les modules de forte puissance, la technologie PCB commence seulement son apparition dans la gamme des moyennes puissances. Il en est de même pour la réduction marquante des éléments parasites permise par les substrats PCB et nettement moins prononcée avec des reprises de contacts pressés. Quant à la fiabilité qui représente le point fort des assemblages pressés, elle s'avère être l'objet de questionnement pour l'assemblage de modules de technologie PCB. Cependant, la technologie PCB se démarque par une forte densité de puissance possible et ce à un coût de fabrication relativement intéressant.

## 2.2 L'analyse des technologies sélectionnées

Plutôt que de considérer ces deux technologies comme antagonistes, le parti pris est celui de la complémentarité. Il va de soi que bénéficier des avantages des technologies PCB et de celles apportées par les contacts pressés dans un seul et même assemblage serait l'alternative souhaitée au packaging conventionnel permettant l'exploitation optimale des performances offertes par les interrupteurs de puissance de dernière génération.

Ce sont les nano structures de fils en cuivre qui retiennent notre attention pour réaliser la reprise de contact pressée. Les propriétés offertes par le cuivre permettent d'espérer a priori l'obtention d'une bonne conductivité électrique et thermique. Les voies « nano-fils » s'imposent comme l'un des candidats attendus pour répondre au besoin de flexibilité en enfouissement PCB de composants de puissance. De plus, le cuivre est très répandu et bien maîtrisé dans la fabrication des substrats PCB, ce qui constitue un élément favorable au mixage possible entre technologies PCB, nano fils et semi-conducteurs.

### 2.2.1 La technologie PCB

Généralement, les substrats PCB sont constitués de feuilles de cuivre, comme matériau conducteur, et d'un composite à matrice époxy à renfort par fibre de verre, comme isolant. Ces matériaux se présentent initialement sous forme de feuilles. Empilées les unes sur les autres, nous obtenons un laminé (ou stratifié) par l'application d'un cycle de thermo-compression (voir Figure 2.4) pour former un substrat que l'on qualifie de simple, double voire multicouches en fonction du nombre de strates conductrices (toujours pairs) qu'il comporte.

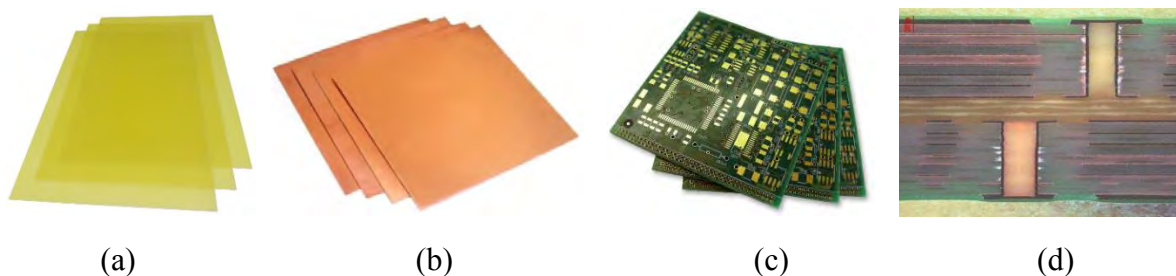


Figure 2.1 – Photographie de pré-imprégnés FR-4 (a) (*Guangzhou Shengrui Insulation Materials Co., Ltd*), feuilles en cuivre (b) (*National Stained Glass*) et de circuits imprimés PCB multicouches (c) (*Multi-CB*) avec une vue de coupe (d) [247]



### 2.2.1.1 Les feuilles de cuivre

Les feuilles de cuivre sont fabriquées par un procédé de dépôt électrochimique, on parle de cuivre électrodéposé (ED copper). Pour cela, des cristaux de sulfate de cuivre de haute pureté sont dissous dans une solution d'acide sulfurique pour produire un électrolyte. Pompée dans des bacs équipés de tambours rotatifs, une couche de cuivre mince est déposée par électrolyse sur ces derniers. Le film obtenu est ensuite laminé et traité afin d'obtenir l'épaisseur souhaitée permettant son utilisation pour la fabrication de PCB.

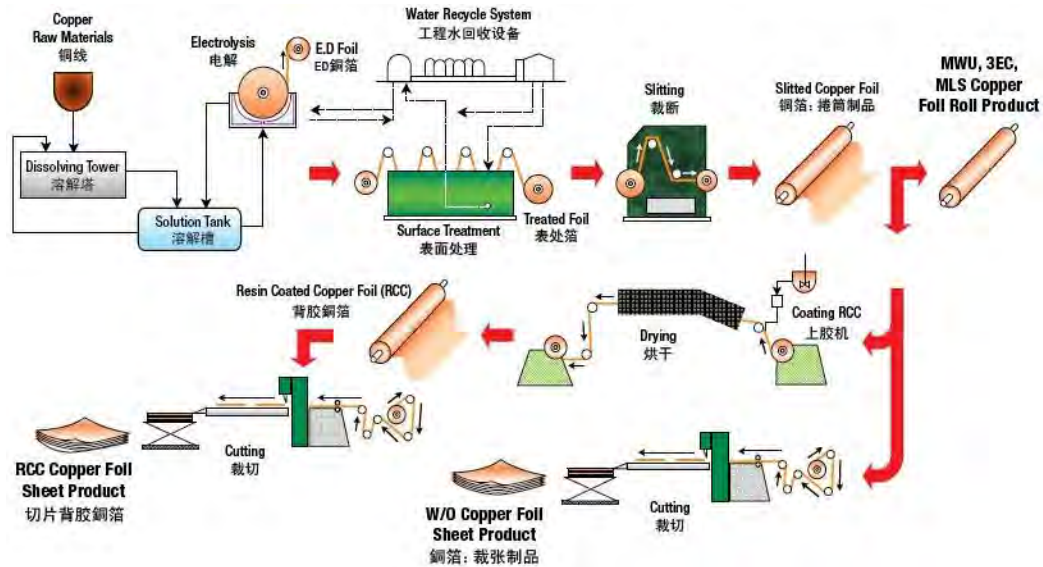


Figure 2.2 – Procédé de fabrication des rouleaux et feuilles de cuivre (*Mitsui Copper Foil (Malaysia) Sdn.Bhd.*)

Les traitements de surface spécifiques améliorent l'adhérence du cuivre sur le composite isolant sur l'interface interne ; d'autres agissent comme agent anti-ternissement et protection contre l'oxydation et sont appelés passivation ou OSP (Organic Solderability Preservative) sur la face externe. Pour augmenter l'adhérence, on parle de brunissement du cuivre, d'oxydation brune. Cette attaque organométallique permet d'augmenter la rugosité en surface par micro-attaque chimique et greffage de radicaux libres pour favoriser le couplage des chaînes polymères.

Le film de cuivre peut être conditionné sous forme de rouleau ou feuilles [248]. Il existe également des feuilles de cuivre RCC (Resin Coated Copper) et CCL (Copper Clad Laminate). Une couche de résine pour la technologie RCC, ou plusieurs pour le CCL, sont déposées sur une face du cuivre avant d'être découpées [249]. Ces technologies permettent d'améliorer l'assemblage au composite du fait de la polymérisation partielle de la dernière couche de résine déposée : on parle de polymérisation « Stage B ». Les feuilles de type RCC sont appréciées pour la fabrication de micro vias [250]. L'absence de renfort inorganique permet en effet d'augmenter sensiblement la définition de l'ablation laser ainsi que l'état de surface des zones traitées. En règle générale, pour la fabrication des substrats PCB, ce sont des feuilles de cuivre classiques sans résine déposée au préalable avec des épaisseurs standardisées de 18  $\mu\text{m}$ , 35  $\mu\text{m}$ , 70  $\mu\text{m}$ , 105  $\mu\text{m}$  et 210  $\mu\text{m}$ . Pour les assemblages de puissance, les feuilles en 400  $\mu\text{m}$  sont de plus en plus courantes. Certains fournisseurs proposent des épaisseurs plus conséquentes comme l'entreprise *Taiyo Kogyo Co., Ltd.* qui propose une gamme complète allant jusqu'à 2 mm.

### 2.2.1.2 Les pré-imprégnés

Le pré-imprégné est constitué d'un matériau composite isolant formé par l'enrobage d'un tissu constitué de torons de filaments, la fibre de verre, avec une résine polymère. Le composite le plus couramment utilisé dans l'industrie du PCB est le FR-4 (Flame Retardant 4) utilisant l'époxyde pour l'enrobage de la fibre de verre. Il existe différents tressages des filaments ; appelé « Glass style » l'armure du tissage est généralement le taffetas. Le « Glass style » est un paramètre essentiel, il permet de définir l'épaisseur de la feuille isolante mais également son pourcentage de teneur en résine (RC pour Resin Content), deux éléments primordiaux dans l'assemblage de laminés. En somme, plus la fibre est dense, plus le pourcentage en teneur de résine est faible – et vice versa [251].

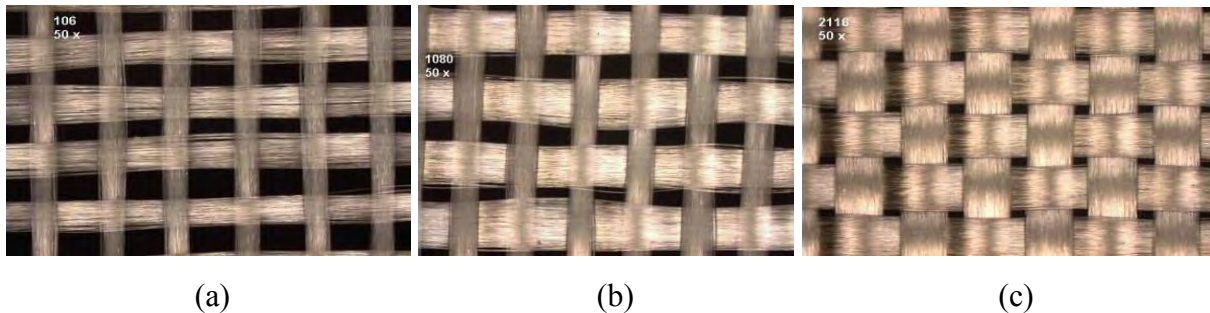


Figure 2.3 – Fibres de verre qui composent les pré-imprégnés de référence 106, 1080 et 2116 [252]

Pour être réalisé, le tissu de verre passe par un ensemble de rouleaux au milieu desquels se trouve un bac comportant la résine fluide ; c'est l'étape d'imprégnation. La résine est ensuite partiellement polymérisée (stage B). L'objectif est d'obtenir un composite solide pour réaliser l'empilement des strates, mais également polymérisable pour garantir l'assemblage des couches entre elles et donc obtenir le laminé.

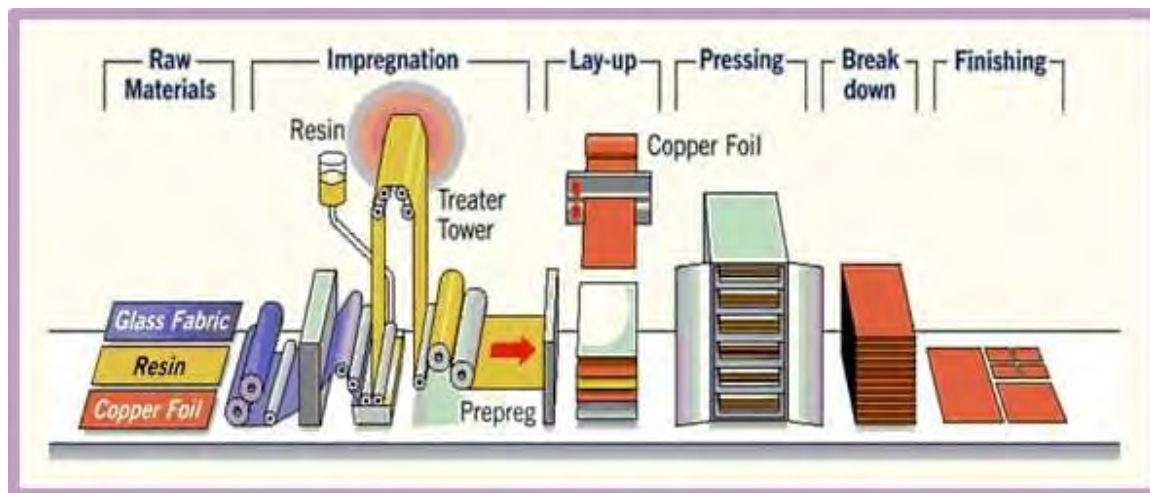


Figure 2.4 – Procédé de fabrication des pré-imprégnés et laminés [253]

### 2.2.1.3 Le laminé

Le laminé, comme expliqué brièvement ci-avant, est obtenu par thermocompression d'un empilement de feuilles de cuivre et de composite FR-4. Cette étape consiste à finaliser la polymérisation de la résine par application d'une pression homogène sur l'ensemble de la surface à température contrôlée permettant d'obtenir ainsi une plaque aux strates conductrices et isolantes (voir Figure 2.4).

Pour cela, l'empilement est placé dans un support de pressage. Il est constitué de plaques épaisses, le plus souvent en inox, sur lesquelles sont appliquées un matelas répartiteur de pression puis une seconde plaque métallique plus fine. Avant d'y placer les strates, un dernier film non-adhésif est placé afin de faciliter l'ouverture du support, le décollement du laminé des plaques métalliques.

Principalement deux procédés de laminage sont utilisés dans l'industrie : avec ou sans mise sous vide. Cette étape de mise sous vide a pour objectif de retirer l'air emprisonné dans l'empilement des différentes strates afin de limiter les bulles et cavités dans le laminé. Lors d'un procédé sans mise sous vide, une étape de pré-pressage est réalisée à faible pression pour limiter ces défauts ; la durée du pré-pressage est définie en fonction de la complexité de l'empilement à assembler.

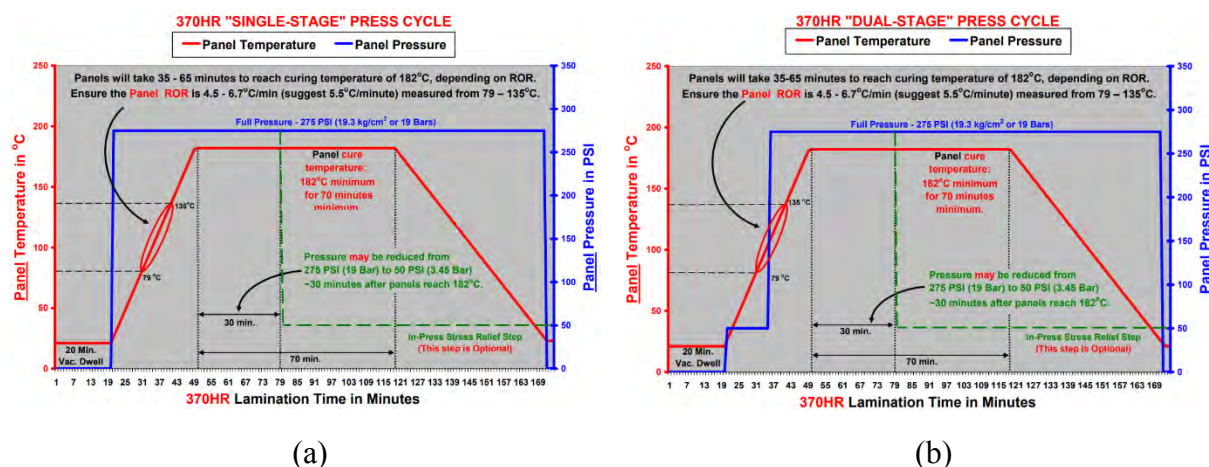


Figure 2.5 – Profils de pressage des pré-imprégnés PCL-FR-370HR avec (a) et sans mise sous vide (b) [254]

Certains fournisseurs préconisent un profil de pré-stratification des laminés pour le pressage séquentiel, notamment pour la fabrication de circuits imprimés multicouches. Le temps de pressage à température maximale est diminué d'environ 30% afin de polymériser l'ensemble des couches du laminé final en appliquant le profil de stratification complet [255].

#### 2.2.1.4 Le circuit imprimé

Le laminé, généralement double face, est utilisé comme matière première de base pour la fabrication de circuits imprimés. Ce que l'on désigne par circuit imprimé est un substrat PCB fonctionnel, avec ses différentes pistes et isolation, prêt à accueillir des composants électroniques actifs et passifs. Ce sont les multiples étapes technologiques réalisées sur le laminé qui permettent d'obtenir le circuit imprimé final. Les circuits imprimés multicouches sont quant à eux obtenus par répétition du procédé de fabrication présenté ci-après (voir Figure 2.6).

Les plaques de laminé sont découpées aux dimensions souhaitées puis percées avec un foret en vue de réaliser les trous métallisés que l'on appelle « vias ». Ils permettent de relier électriquement les futures pistes des différents niveaux de cuivre du substrat. Pour les rendre conducteurs, le laminé est activé par immersion dans un catalyseur, deux étapes successives (parfois combinées) permettent de sensibiliser le substrat isolant à l'aide du chlorure d'étain et de l'activer via une solution de chlorure de palladium.



Enfin, un dépôt de cuivre mince auto catalytique dit « electroless », de l'ordre de la centaine de nanomètres à quelques micromètres, est effectué sur l'ensemble du panneau afin de procéder ensuite au dépôt électrolytique du cuivre plus épais [256]. On parlera alors de recharge électrolytique.

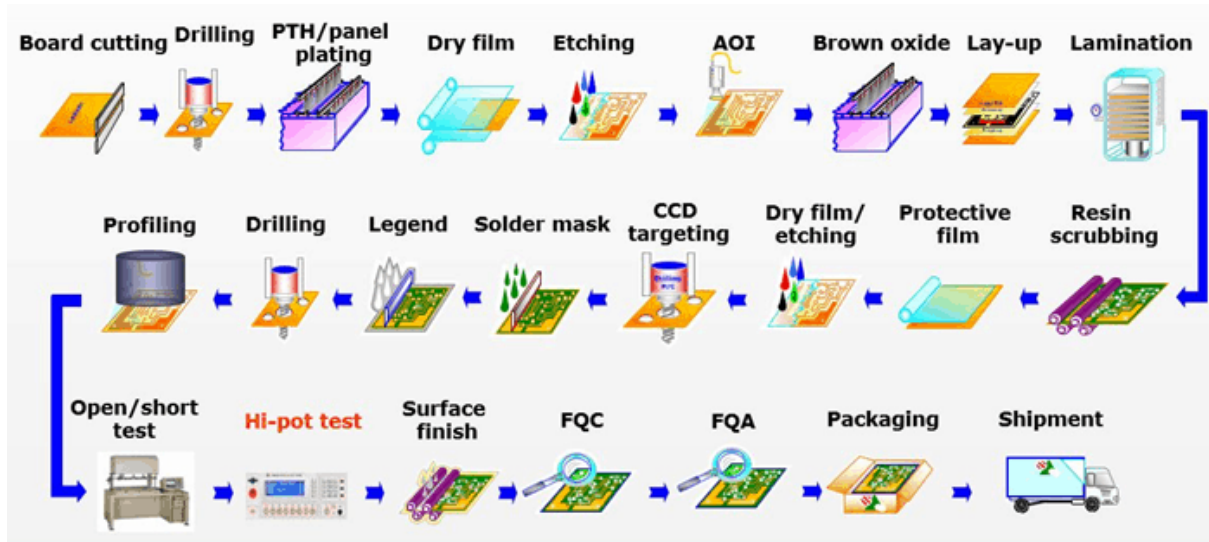


Figure 2.6 – Procédé de fabrication des circuits imprimés de technologie PCB (*HeadPCB*)

Les pistes conductrices sont réalisées par gravure chimique et sélective du cuivre ; généralement avec une solution de perchlorure de fer dans le cas des petites unités ou à l'aide de solutions ammoniacales pour les unités de production plus importantes. La gravure ammoniacale permet en particulier de régénérer la solution et de revaloriser le cuivre métallique dissous. La sélectivité se fait par l'intermédiaire d'un film photosensible permettant d'isoler et de protéger le cuivre désiré de la solution de gravure. Initialement déposé par un laminateur, le film est insolé au travers d'un masque par une lampe UV permettant de révéler uniquement les zones souhaitées par traitement chimique. Les films photosensibles positifs rendent la partie exposée soluble à contrario pour les films négatifs qui sont les plus répandus. Après gravure, le film restant est également retiré par voie chimique. Il existe l'insolation dite directe qui permet d'augmenter la résolution de traitement et d'éviter d'utiliser un masque comme outillage supplémentaire ; le laser par exemple.

Pour fabriquer des circuits imprimés multicouches, le cuivre des deux faces externes est bruni par micro-attaque chimique pour favoriser son adhérence en vue d'un second pressage de strates de pré-imprégnés et de conducteurs, voire avec un ou plusieurs autres laminés collés via stratification de pré-imprégnés. Les étapes ci-avant sont répétées afin d'obtenir un circuit imprimé multicouches présenté en Figure 2.1 (d).

Lorsque la réalisation des différents niveaux et leurs pistes est achevée, un film protecteur dit « solder mask » est appliqué pour protéger les pistes de l'environnement extérieur et pour faciliter la brasure des futurs composants. Les zones ouvertes restantes, les plages d'accueils (pads), sont quant à elles protégées par une finition electroless de nickel-or (NiAu), d'étain (Sn) voire d'argent (Ag). Le marquage des repères et des références des circuits imprimés est réalisé par sérigraphie d'encre (actuellement machine de dépôt par jet d'encre). Après détourage, nous obtenons les circuits imprimés au format unitaire.

Pour aller plus loin et avant détourage, les composants actifs et passifs dit SMT (Surface Mounted Technology) sont brasés sur le circuit imprimé. Pour cela, une pâte à braser est préalablement appliquée par sérigraphie et sur laquelle les composants sont placés par des machines « Pick and place » qui permettent la prise et le placement des composants par aspiration via une buse. La brasure est réalisée après passage du circuit imprimé dans un four à refusion (voir Figure 2.7).

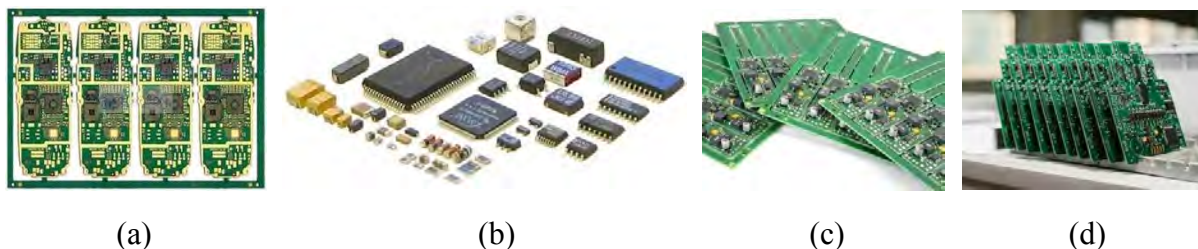


Figure 2.7 – Circuit imprimé (a) (*Focus Technology Co., Ltd.*) et composants SMT (b) (*ChinaImportal*) après assemblage (c) (*IndiaMART InterMESH Ltd*) et détourage (d) (*EMSPROTO*)

### 2.2.2 Les nano fils

La technologie ayant retenu notre attention pour la réalisation des interconnexions est celle des nano fils en cuivre proposée dans les travaux d'assemblage hybride et tridimensionnel de puces semi-conductrice de puissance par enchevêtrement de ces derniers ; elle a fait l'objet d'un dépôt de brevet en 2009 par le CNRS (Centre National de Recherche Scientifique) et l'Université Paul Sabatier [257]. En cuivre, leur longueur peut atteindre jusqu'à 60  $\mu\text{m}$  pour un diamètre donné à 200 nm et une densité entre 30 et 40% [243], [246].

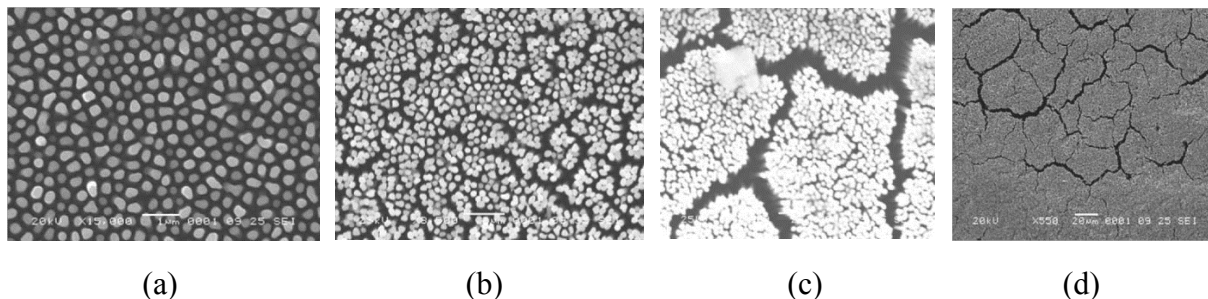


Figure 2.8 – Images au MEB des nano fils vue de dessus pour une longueur de 2 à 3  $\mu\text{m}$  (a), 5 à 7  $\mu\text{m}$  (b), 10 à 15  $\mu\text{m}$  (c) et environ 60  $\mu\text{m}$  (d) [243]

#### 2.2.2.1 Le procédé de fabrication

Les nano fils sont fabriqués par électrodéposition de cuivre à travers une membrane poreuse. Lorsque la quantité de cuivre souhaitée est déposée, la membrane est retirée laissant apparaître la nano structure métallique.

Les membranes utilisées sont en alumine et proviennent du fabricant Whatman® sous la référence Anodisc™ 47. La fiche technique du produit donne une épaisseur d'environ 60  $\mu\text{m}$  pour une porosité de 25 à 50% avec une taille de pores de l'ordre de 200 nm. Ces paramètres sont primordiaux dans le sens où la membrane joue le rôle de matrice pour la formation des nano fils ce qui veut dire qu'ils définiront, dans une certaine mesure, la dimension des structures fabriquées.

Les électrodes sont systématiquement désoxydées par traitement chimique avec de l'acide chlorhydrique dilué à 10%. Il est également important de noter que l'anode est préalablement polie avec du papier en carbure de silicium au standard granulométrique FEPA de 1200, 2400 puis 4000.

L'étape d'électrodéposition est réalisée dans une solution électrolytique composée à 100 g.l<sup>-1</sup> de sulfate de cuivre, à 20 g.l<sup>-1</sup> de sulfate d'ammonium et à 80 ml.l<sup>-1</sup> de DETA (DiEthylèneTriAmine) à une température de 60°C. Le profil de courant est pulsé pour une densité de courant moyenne de 6,67 mA.cm<sup>-2</sup> obtenue avec une période composée d'une impulsion de 2 mA.cm<sup>-2</sup> pendant 250 ms puis une seconde de 30 mA.cm<sup>-2</sup> pendant 50 ms. Ci-après, le tableau récapitulatif des durées totales de dépôt en fonction des longueurs de fils mentionnées en Figure 2.8.

Figure 2.8	Longueur des nano fils	Durée du dépôt totale
(a)	2 à 3 µm	50 mins
(b)	5 à 7 µm	1 heures
(c)	10 à 15 µm	1,5 heures
(d)	~ 60 µm	5 heures

Tableau 2.1 – Les durées de dépôt par voie électrolytique des nano fils en fonction de leur longueur

Concernant la cellule électrolytique, la membrane est plaquée contre la cathode qui constitue la zone de dépôt, avec l'ajout de deux feuilles de cellulose puis l'anode. L'ensemble est ensuite comprimé pour maintenir en place les différents éléments lors du procédé. Après dépôt du cuivre, la membrane est dissoute dans une solution d'hydroxyde de sodium à 80°C pendant 30 secondes afin d'obtenir les structures présentées en Figure 2.8.

En vue d'un assemblage par enchevêtrement des nano fils, la longueur des nano fils conservée est celle de la Figure 2.8 (a), dite « courte », avec une étape d'amincissement des fils par traitement chimique via une solution d'acide sulfurique (0,1 mol.l<sup>-1</sup>) et de peroxyde d'hydrogène (0,03 mol.l<sup>-1</sup>) pendant 2 minutes. L'utilisation d'un profil de courant continu, avec la même densité de courant, et des structures dites « moyennes » (Figure 2.8 (c)) a également été explorée afin de s'affranchir de ce traitement et réduire la densité de la nano structure.

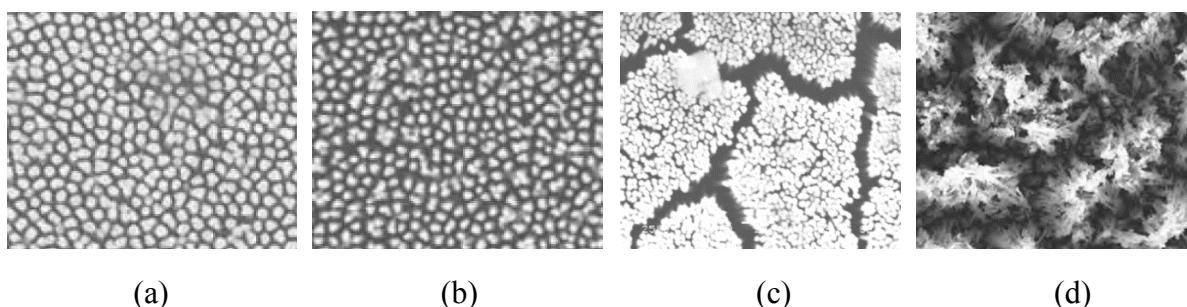


Figure 2.9 – Images au MEB de structures courtes avant (a) et après (b) amincissement par traitement chimique et moyennes par profil de courant pulsé (c) et continu (d) [243] [246]

### 2.2.2.2 L'assemblage par enchevêtrement

Les éléments à assembler, en l'occurrence une puce semi-conductrice type IGBT et son substrat DBC, sont revêtus de nano fils en face arrière pour le composant et sur la métallisation pour le substrat.

La puce est déposée sur le substrat au travers d'un guidage puis l'ensemble est mis en compression avec une presse hydraulique manuelle munie d'un plateau supérieur monté sur rotule pour garantir le parallélisme optimal et donc une bonne répartition de la pression.

Indépendamment du procédé visant à réduire la densité des nano structures, un joint de nano fils entrelacés d'une demi dizaine de micromètres est obtenu. La différence dans le procédé d'assemblage est la pression appliquée sur l'ensemble qui est de 100 MPa pour les nano fils amincis par voie chimique et de 80 MPa par voie électrolytique.

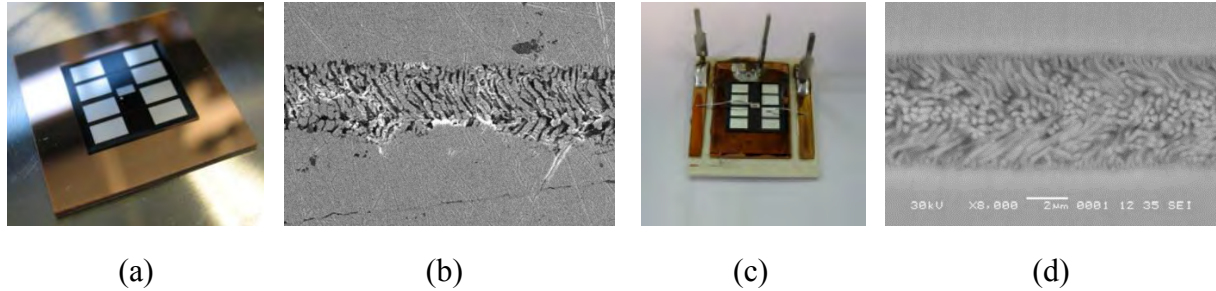


Figure 2.10 – Assemblages d'un IGBT sur un substrat DBC par enchevêtrement de nano fils amincis chimiquement en vue de dessus (a) et coupe (b) et par profil de courant continu en vue de dessus (c) et coupe (d)

### 2.3 La stratégie d'intégration

L'étude des technologies que nous avons sélectionnées pour notre solution intégrée et alternative, permet de faire ressortir certaines similitudes. Bien que les matériaux isolants diffèrent pour la technologie PCB et DBC, respectivement un matériau composite époxy-verre et une céramique, le matériau conducteur quant à lui est identique pour ces deux solutions : le cuivre. Plus particulièrement, cette analyse nous permet de faire ressortir un point commun significatif entre les solutions PCB et nano fils qui est celui du dépôt par voie électrolytique. On remarque que le procédé de fabrication de substrats PCB utilise une étape d'électrodéposition de cuivre pour la fabrication des vias. Concernant les nano fils, ils utilisent le même procédé et matériau. Enfin les procédés PCB utilisent une pression de l'ordre de 2MPa qui pourrait permettre d'être compatible sous certaines conditions à une interconnexion par nano fils. Cet axe d'étude semble présenter toute la pertinence de cette recherche. Il paraît judicieux d'explorer, exploiter, cette similitude afin de combiner ces technologies, d'intégrer des puces semi-conductrices de puissance par enfouissement en environnement PCB et interconnecter par des nano fils de cuivre. Il est également important de noter que le dépôt par voie électrochimique est lui aussi utilisé et bien maîtrisé dans le procédé de fabrication des puces semi-conductrices. De nombreuses options s'offrent à nous dans l'élaboration de la solution proposée.

#### 2.3.1 La méthode d'assemblage

Rappelons que les travaux de [243] et [246] consistent à assembler les puces semi-conductrices avec leur substrat par enchevêtrement et compression de nano fils préalablement déposés de part et d'autre. Comme développé en section 1.7.3.3, cette solution assure la tenue mécanique par contraintes résiduelles.

Cependant, nous nous orientons vers un substrat de type PCB et qui plus est en enfouissant les puces semi-conductrices dans ce dernier.



Nous pouvons alors facilement imaginer un assemblage pressé basé sur le principe de ressorts, présenté en section 1.7.3.1, ou du boîtier press-pack, en section 1.7.3.2, laissant également envisager des solutions avec un dépôt unilatéral en utilisant une seule et unique nano structure déposée soit sur la puce soit sur le substrat PCB.

Les sous-parties suivantes visent à identifier et analyser les solutions d'assemblage de puces possibles en environnement PCB en utilisant des interconnexions à base de nano structures. L'objectif est de définir la solution la plus avantageuse pour nos travaux en partant des connaissances existantes pour la plupart présentées à travers l'état de l'art et en début de ce chapitre, et préalablement issues des travaux de recherche précédents sur les nano structures.

Nous développerons en détail le procédé de fabrication des nano structures et de l'enfouissement PCB à travers cette section. Ils feront respectivement l'objet de la suite de ce second chapitre et du troisième. Néanmoins, le principe d'assemblage des Figure 2.11 et Figure 2.12 consiste à thermo-compresser le matériau composite et diélectrique englobant la puce entre deux substrats PCB. Les nano structures se trouvent entre la puce et les substrats.

### 2.3.1.1 Les dépôts bilatéraux

La solution utilisant les dépôts bilatéraux, c'est-à-dire deux par interface à connecter, est basée sur le même principe que les travaux de [243] et [246]. Les dépôts sont préalablement réalisés sur chacun des substrats ainsi que sur la puce. À première vue, l'assemblage par enchevêtrement de nano fils serait possible dans un environnement PCB. L'étape de thermo-compression des circuits imprimés semble être une alternative à la presse utilisée avec des substrats DBC et est bien maîtrisée en retirant le risque de fracture de la céramique via l'utilisation d'un matériau composite.

Regardons les caractéristiques que propose la solution par enchevêtrement de nano structures. Du point de vue tenue mécanique, l'énergie de rupture est similaire à celle d'une brasure équivalente mais offre une meilleure flexibilité en succombant à partir d'un déplacement de 2 mm ; a contrario, 50  $\mu\text{m}$  suffisent pour une brasure [245]. Ce bénéfice se retrouve également avec les essais de traction et ce avec une résistance électrique de celle d'une brasure conventionnelle avec l'avantage d'être entièrement en cuivre ce qui constitue un point non négligeable en termes de conduction de la chaleur.

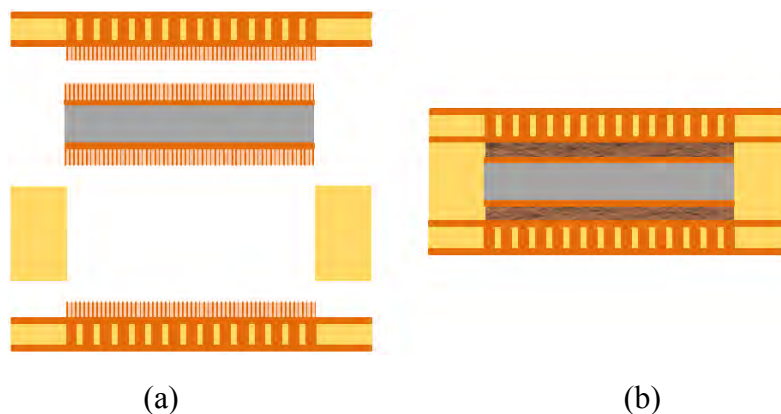


Figure 2.11 – Avant (a) et après (b) enfouissement en environnement PCB et interconnexion avec des dépôts de nano structures bilatérales

Bien que les caractéristiques électro-thermomécanique ci-dessus présentent des améliorations et a minima des performances équivalentes, le procédé de fabrication est quant à lui long et complexe. La nécessité d'une attache mécanique ne se fait pas sentir du fait d'un maintien mécanique par contraintes résiduelles possible via l'assemblage PCB en lui-même. De plus, la résistance électrique obtenue est élevée pour une structure entièrement en cuivre et peut s'expliquer par une forte résistance de contact due à l'enchevêtrement des nano fils entre eux. Notons que la fabrication de nano structures sur puce et substrats « alourdit » le procédé global. Finalement, ce procédé pourrait avoir de l'intérêt si les puces étaient revêtues de nano structures de façon collective, c'est-à-dire avant l'étape de découpe du *wafer*.

### 2.3.1.2 Le dépôt unilatéral

La seconde approche consiste à établir les dépôts des nano structures uniquement sur la puce semi-conductrice Figure 2.12 (a) ou sur les substrats de type PCB Figure 2.12 (b). Avant même de commencer les manipulations, cette approche permet de simplifier et de limiter les étapes du procédé de fabrication en travaillant exclusivement sur un seul et même support. Nous ne pouvons pas nous reporter à de précédents résultats car ce type d'interconnexion unilatérale n'a pas été, à notre connaissance, réalisé et évalué. Néanmoins, les caractéristiques mécaniques et thermiques peuvent être intéressantes, d'autant plus qu'une étape d'aminçissement des nano fils est réalisée dans les travaux d'enchevêtrement des nano structures pour réduire l'homogénéité ; ce point est intéressant à retenir pour la suite.

Concernant le dépôt sur puce Figure 2.12 (a), des travaux se sont orientés vers la fabrication d'une membrane en alumine directement sur un *wafer* [258] en procédant par une première métallisation en aluminium et ensuite par anodisation [246], ce qui constitue un procédé classique dans la fabrication de membrane en alumine [259], [260], [261], [262], [263]. Il a également été démontré que la fabrication de nano fils en cuivre est possible sur une puce unitaire et ce sur l'électrode inférieure mais surtout, ce qui est le plus complexe, sur celles de la face supérieure [246].

La solution illustrée en Figure 2.12 (b) n'a pas été explorée à notre connaissance. Bien que déposer des nano fils sur un substrat PCB s'apparente au dépôt sur un substrat DBC, nous ne bénéficions d'aucun retour d'expérience.

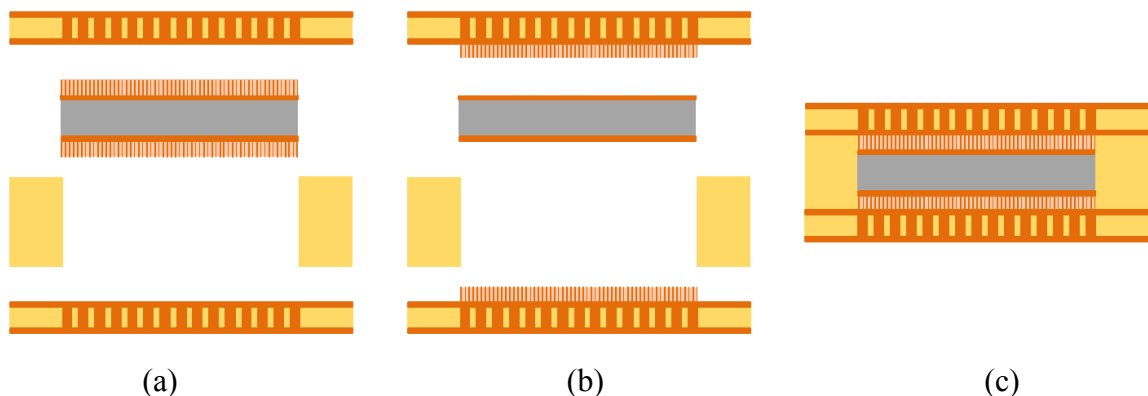


Figure 2.12 – Avant (a) (b) et après (c) enfouissement en environnement PCB et interconnexion avec des dépôts de nano structures unilatérales sur puce (a) ou sur substrat PCB (b)

### 2.3.2 L'axe de recherche choisi

Notre choix s'oriente vers les solutions avec dépôts unilatéraux. Les arguments sont multiples dans cette décision. Du point de vue procédé, fabriquer des nano structures sur un seul support, qu'il soit de nature semi-conducteur ou conducteur, permet de réduire de manière conséquente le nombre d'étapes, ce qui n'est pas négligeable afin de le rendre viable. L'implantation dans une ligne de production est nettement plus envisageable qu'au sein de deux chaînes de production distinctes. De plus, l'enchevêtrement des nano fils représente un avantage conséquent en termes de tenue mécanique mais cela au détriment d'une probable résistance électrique, voire thermique, de contact plus importante qu'avec l'utilisation d'une seule nano structure, rendant l'interconnexion équivalente à une brasure du point de vue électrique et ce malgré une structure entièrement en cuivre. L'enfouissement en environnement PCB nous permet probablement de bénéficier d'un maintien mécanique par contraintes résiduelles en améliorant le comportement électrique des interconnexions nano structurées, voire offrir une meilleure flexibilité de l'assemblage en particulier dans la zone de contact électrique.

Le procédé d'électrodéposition sur les deux faces de puces a été démontré et a également été introduit à l'échelle du *wafer*. Concernant le procédé de fabrication sur substrat PCB, bien qu'aucun travail n'ait été reporté, il semble s'apparenter à ceux sur substrats DBC. Afin de pouvoir prétendre à la mise en place du procédé d'électrodéposition des nano fils sur ces deux supports, une étude préalable est nécessaire afin d'en identifier les problématiques et de définir les paramètres de dépôt.

### 2.4 L'étude du procédé électrodéposition

Le dépôt de métal par électrodéposition suppose le passage d'un courant électrique entre deux électrodes plongées dans une solution électrolytique. Le métal d'apport issue de l'anode se dépose via sa mise en solution dans l'électrolyte sur le substrat qui constitue la cathode. Ce procédé peut être utilisé avec de nombreux métaux et présente en particulier, l'avantage de faire des dépôts dit « épais » pouvant atteindre plusieurs centaines de micromètres.

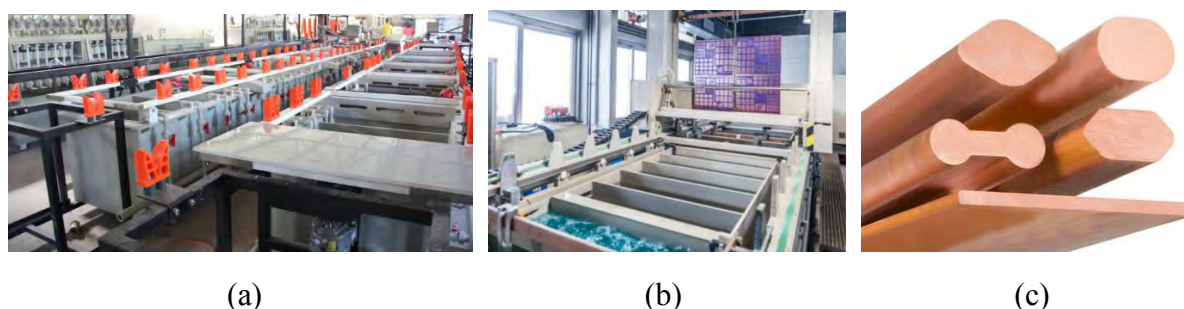


Figure 2.13 – Équipement d'électrodéposition de vias cuivre complet dans une usine de production (a) avec immersion de substrats PCB (cathode) dans la solution électrolytique (b) (*RexPlating*) et électrodes (anode) en cuivre de géométrie différentes (c) (*Luvata*)

#### 2.4.1 L'électrochimie

L'électrodéposition de cuivre, aussi appelé cuivrage, est une réaction électrochimique d'ions cuivrique  $Cu^{2+}$  couplés à des échanges d'énergie électrique via la circulation d'électrons. Ce procédé est réalisé le plus souvent dans des bains à base d'ions sulfate  $SO_4^{2-}$ , pour la fabrication de circuit imprimés, dans lesquels le cuivre  $Cu$  est présent sous forme d'ions cuivrique  $Cu^{2+}$ .

De l'acide sulfurique  $H_2SO_4$  est ajouté afin d'accroître la conductivité de la solution et de réduire les polarisations des électrodes. L'application d'un courant va donner lieu à la dissolution du cuivre  $Cu$  de l'anode qui subit une réaction d'oxydation (avec production d'oxygène gazeux) et à un dépôt de cuivre sur la cathode qui subit une réaction de réduction (et une production d'hydrogène gazeux) ; on parle de réactions symétriques [264].



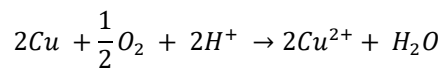
Équation 2.1 – Demi-équations de réactions chimiques permettant la dissolution du cuivre par oxydation (a) et son dépôt par réduction (b) avec des ions cuivriques

En réalité, ce phénomène électrochimique se décompose en deux réactions consécutives faisant intervenir les ions cuivreux  $Cu^{+}$  et exprimées en Équation 2.2. Les oxydations et réductions avec des ions cuivriques  $Cu^{2+}$  sont dites plus lentes que celles avec des ions cuivreux  $Cu^{+}$  et imposent le temps global de réaction [265]. Une forte concentration d'ions cuivrique  $Cu^{2+}$  permet de travailler à des densités de courant plus forte et donc d'accélérer le dépôt [266]. Néanmoins, la mouillabilité de la solution peut être impactée par l'excès de sulfate de cuivre  $CuSO_4 \cdot 5H_2O$  [264].



Équation 2.2 – Demi-équations de réactions chimiques permettant la dissolution du cuivre par oxydation (a) (b) et son dépôt par réduction (c) (d) avec des ions cuivrique (a) (d) et cuivreux (b) (c)

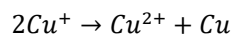
Il est important de noter que les bains sont agités. L'agitation peut se faire par injection d'air comprimé ou bien mécaniquement par translation du substrat, de la cathode (mouvement de drapeau) ; certains équipements proposent de combiner les deux procédés d'agitation. Avec pour objectif de renouveler la solution, l'agitation offre des dépôts de qualité et ce à des densités de courant plus élevées ; cela peut s'expliquer par la présence de dioxygène  $O_2$ , des ions cuivriques additionnels peuvent se former selon l'Équation 2.3 [267].



Équation 2.3 – Réaction d'oxydation du cuivre par le dioxygène

Les températures des bains électrolytiques sont comprises entre 16°C et 50°C. À savoir que plus la température est haute, plus la conductivité du bain est grande ce qui permet d'accélérer le dépôt. Cependant, cela s'opère bien souvent au détriment de la qualité. Les températures les plus basses favorisent la finesse du grain et le nivellement du dépôt [264].

Les anodes sont, quant à elles, généralement dopées au phosphore  $P$ , entre 0,02% et 0,04%, pour ce type de bain. Lors du dépôt, une fine couche sombre se constitue sur l'électrode que l'on appelle boue anodique ; elle est notamment composée de cuivre  $Cu$  et d'oxyde de cuivre  $CuO$  ou oxyde cuivreux. L'élément phosphore  $P$  permet d'obtenir une boue anodique plus tenace ce qui limite le détachement des particules fines dans les solutions agitées par air, en particulier. Il offre également une dissolution homogène au regard de l'anode mais aussi une réduction des pertes intergranulaires en inhibant la dismutation du cuivre [267].



Équation 2.4 – Dismutation d'ions cuivreux (ions cuivre I) par formation de cuivre  $Cu$  avec les ions cuivrique  $Cu^{2+}$

Concernant la partie cathodique, les substrats sont préalablement traités afin de les pré-conditionner, satiner, et catalyser [267] :

1. Le pré-conditionnement est une étape de dégraissage éliminant les impuretés organiques et augmentant la mouillabilité de la surface. Il est réalisé en solution alcaline ou légèrement acide. Il peut être suivi d'un pré-satinage dans une solution sulfo-chromique diluée ou à base de solvants organiques.
2. Le satinage permet de décaper les substrats en les immergeant dans une solution oxydante sulfo-chromique concentrée ou de permanganate de potassium. Cela renforce l'adhérence du dépôt sur le substrat en augmentant sa rugosité. Les pièces sont neutralisées dans une solution contenant des ions réducteurs.
3. Pour finir, les surfaces sont rendus catalytiquement actives par traitement au chlorure d'étain, et de palladium mentionnés en section 2.2.1.4, afin de rendre conductrices les zones non-cuivrées. Ce procédé est accéléré par présence, ou traitement supplémentaire, au chlorure d'hydrogène.

#### 2.4.2 L'épaisseur théorique du dépôt

Une bonne compréhension du phénomène électrochimique nous permet de pouvoir établir l'expression théorique de l'épaisseur du dépôt. D'après la première équation de Faraday (Équation 2.5 (a)), la masse du matériau déposé lors d'une électrolyse est proportionnelle au temps et au courant électrique moyen, plus exactement à la charge électrique (Équation 2.5(b)). Nous pouvons établir la masse du matériau déposé  $m$  en g grâce à la constante de Faraday  $F$  en  $C.mol^{-1}$ , la valence du matériau  $n$ , sa masse molaire  $M$  en  $g.mol^{-1}$  ainsi que sa charge électrique  $Q$  en C par le produit de  $I$  en A et de la durée  $t$  en secondes. Connaissant la surface de dépôt  $S$  en  $cm^2$ , la masse du matériau déposé  $m$  en g ainsi que sa masse volumique  $d$  en  $g.cm^{-3}$ , nous pouvons établir la hauteur du dépôt (Équation 2.5 (c)).

$$m = \frac{Q.M}{F.n} \quad (a) \quad Q = \int_0^t i(\tau) d\tau = I.t \quad (b) \quad h = \frac{m}{d.S} \quad (c)$$

Équation 2.5 – Loi de Faraday (a), expression de la charge électrique (b) et de la hauteur du dépôt (c)

Nous obtenons la formule théorique en Équation 2.6 (a) en combinant les Équation 2.5 (a), (b) et (c). Dans le cadre d'un dépôt de cuivre, nous avons l'Équation 2.5 (b) avec une constante  $k$  en  $cm^3.C^{-1}$  invariable et propre au matériau électrodéposé issue du quotient entre la masse molaire du cuivre  $M$  de  $63,54 g.mol^{-1}$  et le produit de la constante de Faraday  $F$  égale à  $96487 C.mol^{-1}$ , de la valence du cuivre  $n$  soit 2 et de sa masse volumique  $d$  en  $g.cm^{-3}$ . Les paramètres pour obtenir une hauteur de dépôt  $h$  en cm dépendent directement du produit de la densité de courant  $I_d$  en  $mA/cm^2$  et du temps  $t$  en secondes.

$$h = \frac{I.t.M}{F.n.d.S} \quad (a) \quad h = k.I_d.t \text{ avec } k = \frac{M}{F.n.d} = 3,7.10^{-5} C^{-1}.cm^3 \text{ et } I_d = \frac{I}{S} \quad (b)$$

Équation 2.6 – Formule générique pour le calcul de la hauteur d'un dépôt (a) et application avec le cuivre comme matériau de dépôt (b)

### 2.4.3 Le profil du courant

La connaissance des réactions chimiques en jeu nous permet de choisir de façon optimale notre bain électrolytique ainsi que nos électrodes afin de travailler dans conditions optimales. De plus, la loi de Faraday (Équation 2.5) nous a permis de démontrer que l'épaisseur de notre dépôt est directement liée à la densité de courant utilisée ainsi que la durée de dépôt. Dans l'industrie du circuit imprimé, les dimensions des plaques à métalliser sont connues et le profil de courant appliqué est continu ; la densité de courant la plus couramment utilisée est généralement comprise entre  $20 \text{ mA.cm}^{-2}$  et  $30 \text{ mA.cm}^{-2}$  [268].

Cependant, ces conditions de dépôt ne permettent pas de bénéficier d'une uniformité optimale sur l'ensemble de la surface des plaques [269]. Pour pallier à cette problématique et également jouer sur la durée du dépôt, des additifs sont ajoutés dans les bains électrolytiques en fonction des besoins que ce soit des accélérateurs, supprimeurs, brillanters ou nivelant. Néanmoins, cette solution ne permet pas toujours de corriger les défauts et atteindre la vitesse de dépôt désirée [270]. L'utilisation de profils de courant pulsé est préconisée à travers la littérature.

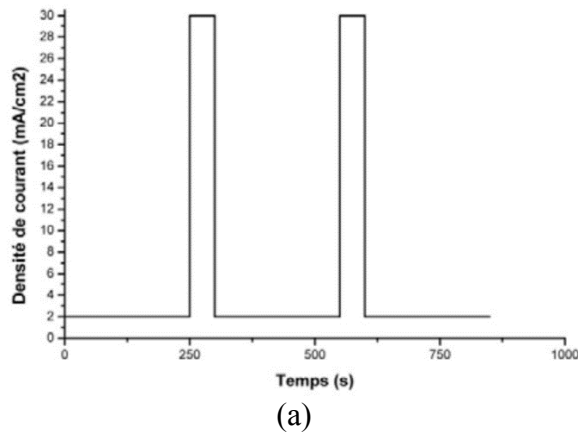
Ils offrent de nombreux avantages en fonction de leur forme d'onde [271]. Nous citons les principales caractéristiques susceptibles d'améliorer la fabrication des nano fils :

- Le resserrement des lignes de courant, en bordure en particulier, est limité et permet de réduire les surépaisseurs. C'est ce que l'on appelle les effets de bord, de pointe ;
- Le dépôt est homogénéisé lors de la réalisation de plusieurs dépôt localisés et ce également pour les formes de taille micrométrique ;
- Les irrégularités de dépôt, dues à une vitesse de dépôt variable d'un point à un autre des électrodes, sont atténuées ;
- La structure cristalline du dépôt permet d'améliorer l'épaisseur et l'état de surface du métal déposé.

Dans le cadre des travaux de [243] et [246], présentés en section 2.2.2, le profil de courant utilisé est pulsé et ce avec une densité de courant moyenne basse ce qui, dans une moindre mesure, favorise l'homogénéisation du dépôt de cuivre [272], notamment observée avec les dépôts de nickel [273]. Rappelons que pour leurs applications, la recherche de [243] propose de réduire l'homogénéité du dépôt de nano fils par traitement chimique et de [246] par l'utilisation d'un profil de courant continu, voire jusqu'à former volontairement des bulles d'hydrogène afin d'obturer certains pores de la membrane.

Au vue de l'homogénéité des nano fils obtenue par le profil pulsé utilisé dans ces travaux qui semble correspondre à nos attentes, nous décidons de reprendre les mêmes paramètres comme point de départ, représentés en Figure 2.14 (a) et relevés Figure 2.14 (b). Nous ne nous étendrons pas plus sur les différents profils de courant qui font l'objet de travaux présentés à la suite de la section développant l'élaboration du procédé de fabrication des nano structures.

Lors des calculs de durée de dépôt en fonction de l'épaisseur avec l'Équation 2.6 (b), la densité de courant moyenne est directement corrélée au paramètre  $I_d$ . soit  $I_d = I_{moy}$  ; voir formule Figure 2.14 (c).



$$I_{P1} = 2 \text{ mA.cm}^{-2} \text{ avec } T_{P1} = 250 \text{ ms}$$

$$I_{P2} = 30 \text{ mA.cm}^{-2} \text{ avec } T_{P2} = 50 \text{ ms}$$

$$\tau = T_{P1} + T_{P2} = 300 \text{ ms et } n = 2$$

(b)

$$I_{moy} = \sum_{k=1}^n \left( \frac{I_{Pk} \times T_{Pk}}{\tau} \right)$$

(c)

Figure 2.14 – Courbe du profil de courant pulsé utilisé (a) et ses paramètres (b) ainsi que le calcul généralisé de la densité de courant moyenne (c)

#### 2.4.4 La porosité de la membrane

Maintenant que nous sommes en mesure de connaître le temps de dépôt en fonction de la densité de courant choisie, il nous faut pouvoir connaître la valeur de notre surface : en connaissant la porosité de la membrane nous pourrions déterminer ce paramètre en fonction de la surface initialement choisie. Admettons à titre d'exemple que nous souhaitons électrodéposer du cuivre à travers la membrane Figure 2.15 (b) sur 1 cm<sup>2</sup>. Sachant que la porosité de cette dernière est donnée entre 25% et 50%, la surface de dépôt peut varier entre 0,25 cm<sup>2</sup> et 0,5 cm<sup>2</sup>. Sans une valeur précise de la surface équivalente, les paramètres d'électrodéposition ne peuvent être garantis comme la densité de courant plus ou moins forte, l'épaisseur du dépôt, etc. Nous avons procédé à l'estimation de cette porosité de deux façons différentes et que nous discuterons par la suite.

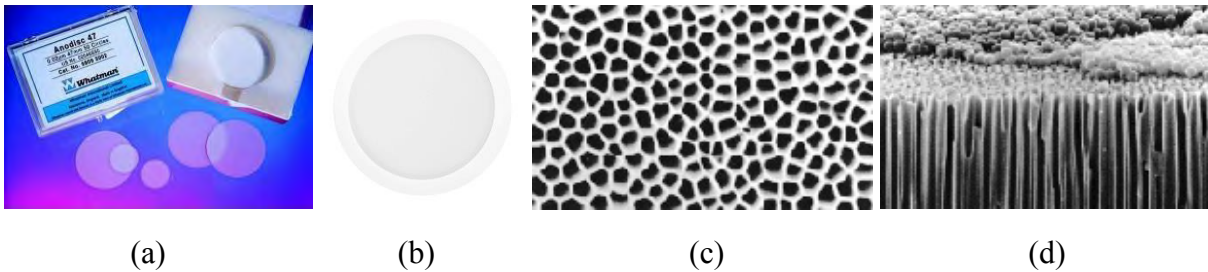


Figure 2.15 - Boîte (a) et membrane (b) Whatman® Anodisc™ 47 avec vue de dessus (c) et de profil (d) (Whatman)

##### 2.4.4.1 Le traitement d'images

La première approche consiste à acquérir des images de la membrane et plus précisément d'en visualiser les pores. Du fait des dimensions nanométriques de la structure de cette membrane, l'acquisition des images est réalisée par microscope électronique à balayage (MEB) de marque JEOL référence JSM-6060LV (Figure 2.16 (a)). Le principe de fonctionnement consiste en l'émission d'un fin faisceau d'électrons, en tout point, par un canon sur l'échantillon à visualiser. L'interaction forme des électrons secondaires de plus faible énergie qui après conversion en signaux électriques permettent de construire la typographie de l'échantillon. Notons que l'échantillon doit être conducteur afin de dissiper les charges.



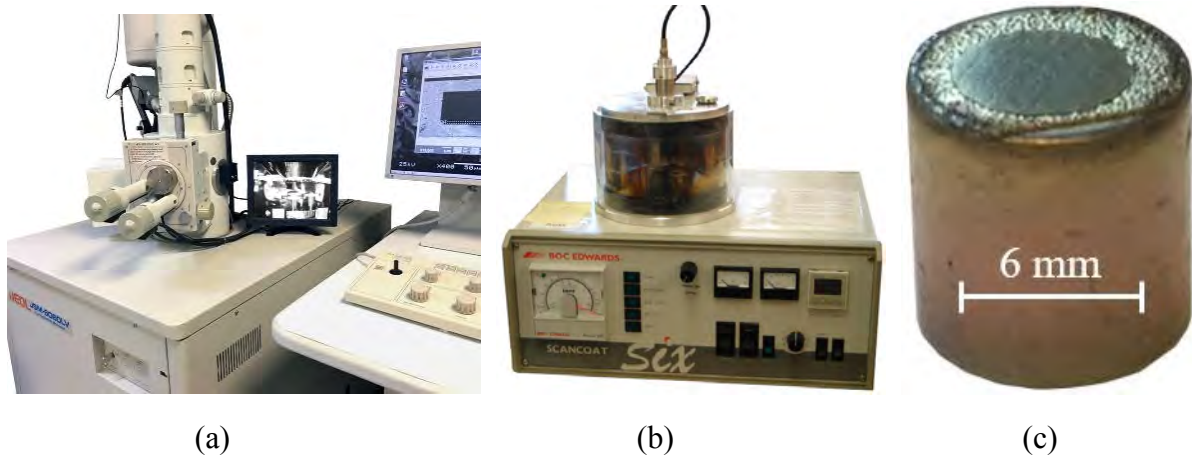


Figure 2.16 – Microscope à balayage électronique JEOL JSM-6060LV (a), pulvérisateur cathodique Edwards Scancoat Six Coater (b) et échantillon préparé pour les acquisitions (c)

Pour cela, nous avons découpé des disques de 6 mm de diamètre dans la zone de la membrane que nous utiliserons pour faire les dépôts de cuivre. Préalablement fixée par un adhésif double face en carbone sur un plot, pour implémentation dans l'enceinte de mise sous vide de l'équipement, l'ensemble a été métallisé de 5 nm d'or (Au) par pulvérisation cathodique Edwards Scancoat Six Coater (Figure 2.16 (b)) afin de rendre l'échantillon conducteur ; voir Figure 2.16 (c).

Les premières acquisitions Figure 2.17 (a) et (b) montrent par une simple analyse visuelle que les structures des pores en face supérieure et inférieure, cerclage plastique de la membrane vers le bas puis vers le haut respectivement, sont différentes. Le diamètre des pores semble plus grand en face supérieure alors qu'en face opposée, les pores semblent plus nombreux. Cela vient confirmer que nos membranes sont désordonnées et explique l'intervalle donné par le fournisseur dans la fiche technique du produit.

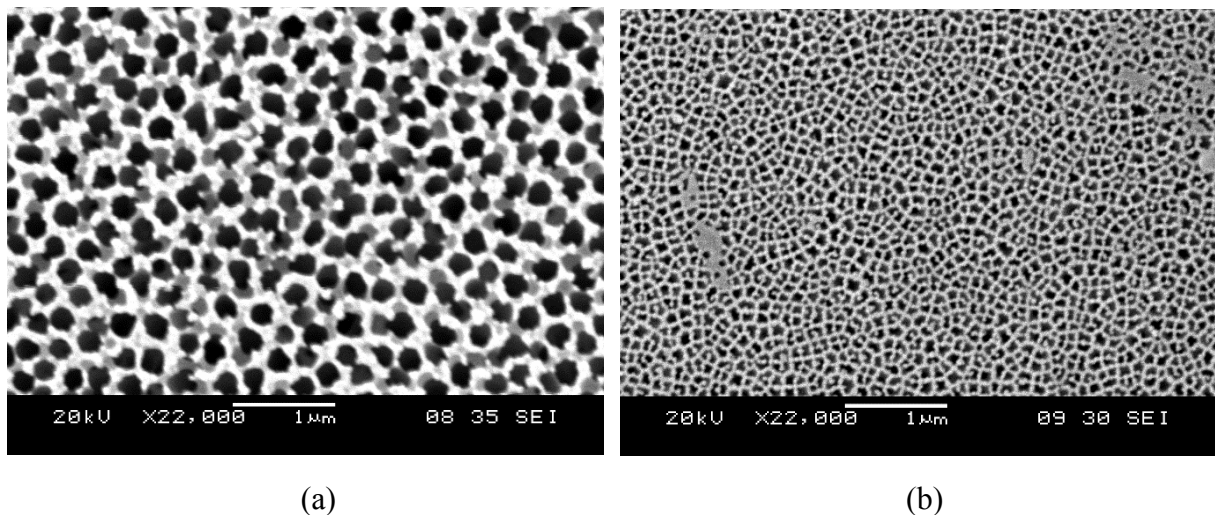


Figure 2.17 – Acquisition d'images d'une membrane par microscope à balayage en vue de dessus (a) et de dessous (b)

Le diamètre des pores est donné à 200 nm pour la référence de membrane choisie. Les valeurs recueillies sont au nombre de dix par face en prenant soin de disperser les mesures.

Afin d'établir une analyse statistique la plus représentative possible, nous supposons le dépôt de 5 nm d'or (Au) homogène que ce soit en surface ou sur les parois des pores. Le dépôt d'or (Au) réduit donc les diamètres mesurés de l'ordre de 10 nm, préalablement additionné à chaque valeur avant traitement.

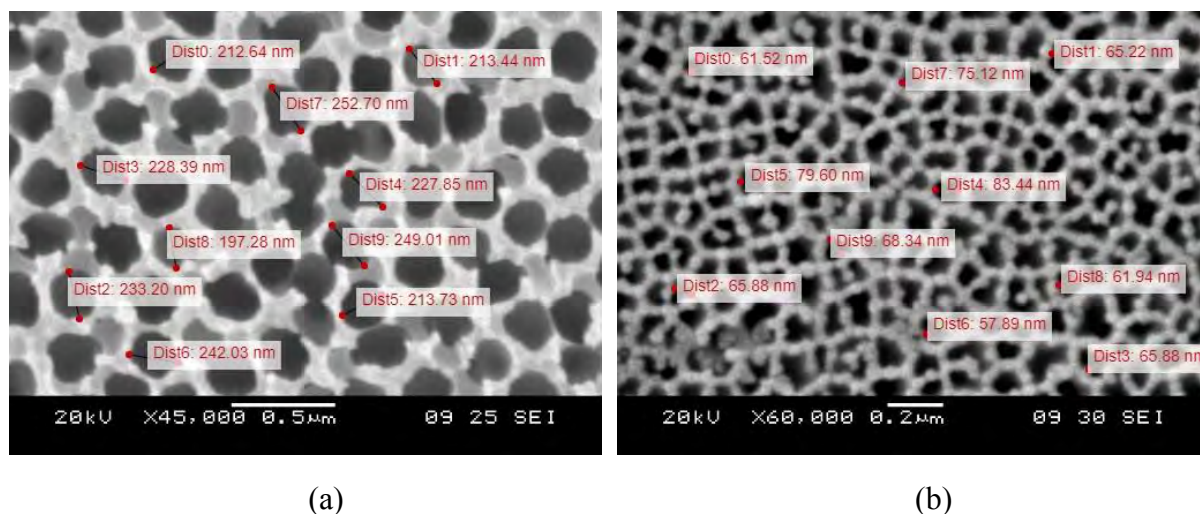


Figure 2.18 – Mesure du diamètres des pores en face supérieure (a) et inférieure (b)

Nous nous affranchirons de la tolérance de l'équipement au vue du zoom utilisé étant largement inférieure aux limites imposées par le microscope. Bien qu'aucune tolérance ne soit communiquée, nous visualisons une forme de pores aléatoire. Nous observons une différence maximale entre les mesures d'environ 55 nm en face supérieure et approximativement 25 nm en face inférieure. À cela s'ajoute une quarantaine de nanomètres supplémentaires pour la valeur moyenne des diamètres en face supérieure contre une réduction proche de 120 nm en face inférieure avec un écart-type autour de 8 nm que l'on multiplie par deux pour l'écart-type en face supérieure (Tableau 2.2).

Face	Maximum (nm)	Minimum (nm)	Moyenne (nm)	Variance (nm <sup>2</sup> )	Ecart-type (nm)
Supérieure	262,7	207,3	237,0	286,1	16,9
Inférieure	93,4	67,9	78,5	61,9	7,9

Tableau 2.2 – Analyse statistique des mesures de pores d'une membrane

Ces données nous permettent de confirmer l'hétérogénéité de la structure des membranes. Par la simple visualisation des images, nous pouvons deviner un nombre de pores plus important par rapport à la spécification du fabricant et ce malgré des diamètres drastiquement plus faibles sur la face inférieure. L'aspect désordonné ne nous permet pas de statuer sur la structure interne de la membrane. Néanmoins, une surface de pores équivalente entre les deux faces nous encouragerait à en établir une porosité pour nous guider dans nos futurs travaux. Pour cela, une estimation du pourcentage de pores pour une surface donnée est réalisée par traitement d'images.

Les images de la Figure 2.17 sont converties dans un format monochromatique afin d'évaluer le pourcentage de pores représentées en noir en Figure 2.19. Cette analyse a été effectuée sur une campagne de six acquisitions.

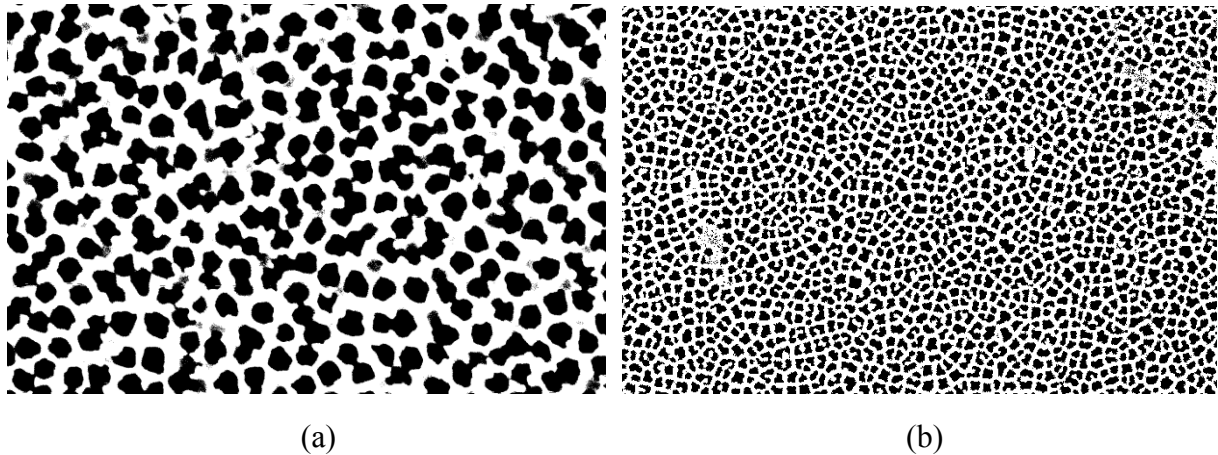


Figure 2.19 – Images monochromes du premier échantillon de membrane en vue de dessus (a) et de dessous (b)

N° d'échantillon	1	2	3	4	5	6
Vue de dessus (%)	50,4	47,9	48,5	49,1	48,3	48,9
Vue de dessous (%)	45,2	45,7	46,4	45,7	46,9	47,4

Tableau 2.3 – Récapitulatifs des estimations de porosité des membranes par traitement d'images

Avec un écart-type d'environ 0,8% et une valeur moyenne de 48,8% en face supérieure et 46,2%, cette analyse montre une surface de pores quasi-équivalente entre les faces en avoisinant la limite basse des tolérances constructeurs en termes de porosité. Ces résultats nous laissent suggérer une éventuelle structure de pores nanométriques de l'ordre de 200 à 250 nm de diamètres se divisant en plusieurs pores nanométriques. Cette structure pourrait présenter des propriétés mécaniques intéressantes, agissant comme un renfort à la base des nano fils.

Face	Maximum (%)	Minimum (%)	Moyenne (%)	Variance (% <sup>2</sup> )	Ecart-type (%)
Supérieure	50,4	47,9	48,8	0,63	0,80
Inférieure	45,2	47,4	46,2	0,57	0,76

Tableau 2.4 – Analyse statistique des pourcentages de porosité estimés par traitement d'image

#### 2.4.4.2 La masse volumique

La seconde méthode d'estimation de la porosité de notre membrane s'appuie sur l'analyse de sa masse volumique en comparaison avec celle de l'alumine dense. Cette étude comparative nécessite de connaître la masse et le volume de notre membrane afin d'en définir, bien entendu, sa masse volumique. Cependant, notre membrane est muni d'un anneau de protection en polypropylène.

Bien que nous connaissions l'ensemble des dimensions de la membrane, cet anneau est probablement assemblé grâce aux propriétés thermoplastiques du matériau ou par une colle de nature et volume non connues. La pesée de notre membrane dans ces conditions est délicate ; il est nécessaire de retirer cette partie de la membrane et de toujours pouvoir garantir le volume de notre échantillon.

La première tentative de découpe au laser CO<sub>2</sub> n'a pas été concluante, en effet même après plusieurs passages, ce matériau ne semble pas absorber la longueur d'ondes à 10,6 µm de notre laser. Quant à la seconde, elle a permis de détourner à l'emporte-pièce un cercle de 28 mm de diamètre dans la partie exclusivement en alumine de la membrane ; cette méthode est également utilisée pour la préparation d'un échantillon de membrane pour la visualisation au microscope électronique à balayage Figure 2.16 (c). Rappelons que l'épaisseur donnée dans la fiche technique est de 60 µm sans communication de tolérances, épaisseur que semble nous confirmer la mesure au palpeur micrométrique  $1/100$ . La masse a été mesurée avec une balance analytique Sartorius ENTRIS 224-1S.

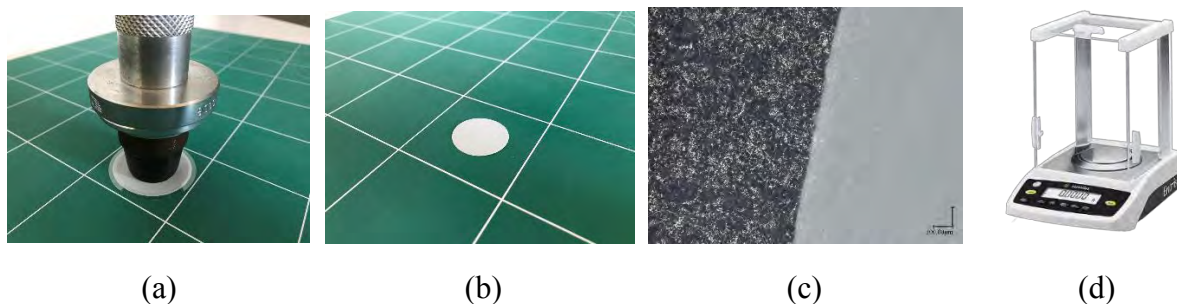


Figure 2.20 – Emporte-pièce sur la membrane (a), échantillon découpé (b) avec zoom (x200) sur une partie du bord (c) et photographie de la balance analytique (d)

Comme pour le traitement de l'image, cette manipulation a été effectuée sur six membranes différentes. Ci-dessous le Tableau 2.5 récapitule les données connues et celles à établir dans l'estimation de la porosité via la masse volumique.

Alumine	Masse (g) {1}	Volume (.10 <sup>-2</sup> cm <sup>3</sup> ) {2}	Masse volumique (g.cm <sup>-3</sup> ) {3}	Porosité (%) {4}
Dense (D)	X	X	3,95	~ 100
Membrane (M)	Mesure via balance Figure 2.20 (d)	$\Pi \times (2,8/2)^2 \times 6.10^{-2} = 3,69$	$\{1\}_M / \{2\}_M$	$\{3\}_M \times 100 / \{3\}_D$

Tableau 2.5 – Récapitulatif des propriétés physiques d'une alumine dense et celle de notre membrane

Analysons les mesures de la masse des membranes. Notre balance analytique dispose d'une précision de 0,1 mg et l'écart entre la valeur maximale et minimale relevé est de 3,2 mg, ce que nous pouvons interpréter comme étant due à une découpe de faible précision, voir Figure 2.20 (b) et (c), ou bien une variation de porosité entre les membranes.

N° de Membrane	1	2	3	4	5	6
Masse (.10 <sup>-3</sup> g)	66,3	68,7	69,5	67,7	67,0	66,4
Porosité estimée (%)	54,5	52,9	52,4	53,6	54,0	54,5

Tableau 2.6 – Mesures de masse et pourcentage de porosité estimées de six membranes en alumine

Après le calcul de la porosité pour chacun des échantillons de membranes en appliquant les formules du Tableau 2.6, la valeur moyenne obtenue est de 53,7% avec un écart-type de 0,78%.



Malgré un intervalle d'incertitude important donné par le fournisseur, nous obtenons une valeur moyenne hors intervalle avec un dépassement de 3,7% en limite haute de porosité. Néanmoins, ces résultats sont tout de même encourageants du fait d'une faible dispersion soit 0,78%, ce qui nous encourage à penser que ce dépassement est sûrement dû à l'incertitude de la découpe. Admettons que nous perdons 1 mm de diamètre lors de notre découpe, ce qui est fortement probable au vue de la rigidité de l'alumine qui la rend très cassante et friable. Nous aurions une valeur moyenne de 50,2% pour un écart-type quasiment similaire.

	Maximum (%)	Minimum (%)	Moyenne (%)	Variance (% <sup>2</sup> )	Ecart-type (%)
Membrane	54,5	52,4	53,7	0,62	0,78

Tableau 2.7 – Analyse statistique des pourcentages de porosité estimés par la masse volumique

#### 2.4.4.3 La discussion des résultats

Les résultats obtenus par traitement d'images et calcul de la masse volumique sont en corrélation. Les valeurs moyennes et écart-type sont du même ordre de grandeur. La porosité moyenne de la membrane d'après nos analyses se situe autour des 49,6% avec une précision d'environ  $\pm 2,5\%$  et cela avec un écart-type inférieur à 1%. Dans la suite des travaux, nous considérerons une porosité de membrane à 50% ce qui équivaut à une surface de dépôt effective divisée simplement d'un facteur deux.

Méthode	Maximum (%)	Minimum (%)	Moyenne (%)	Variance (% <sup>2</sup> )	Ecart-type (%)
Trait. d'image face supérieure	50,4	47,9	48,8	0,63	0,80
Trait. d'image face inférieure	45,2	47,4	46,2	0,57	0,76
Masse volumique	54,5	52,4	53,7	0,62	0,78

Tableau 2.8 – Bilan des analyses statistiques par traitement d'images et calcul de la masse volumique

## 2.5 L'élaboration du procédé de fabrication

Nous avons sélectionné deux stratégies d'intégration de composants actifs en environnement PCB avec des interconnexions par nano fils de cuivre : le dépôt sur puce ou sur substrat PCB. Avant de réaliser les essais, une étude préalable du procédé d'électrodéposition nous a permis d'appréhender les variables principales pour l'élaboration des nano structures, ce qui nous permet d'en définir les futurs paramètres pour nos expériences en fonction de nos critères. La théorie étant établie, il nous faut choisir le matériel et les équipements pour la partie expérimentale afin de pouvoir mettre en place le procédé de dépôt des nano fils sur composant ou sur substrat.

### 2.5.1 Le matériel et les équipements

Le dépôt par voie électrolytique est établi par transfert de charges et d'ions entre les électrodes plongées dans une solution. Il nous faut donc choisir les constituants de la cellule électrolytique afin de pouvoir procéder à la fabrication des nano fils.

Nous savons que les dépôts s'effectuent sur l'électrode de pôle négatif, la cathode. Pour rappel, notre stratégie consiste à déposer des nano structures dans un premier temps sur composants puis sur substrat. Il paraît donc évident que la cathode sera différente en fonction du type de dépôt. Par souci de simplification, et en vue d'une future comparaison des résultats, dans cette section nous présentons les éléments communs de la cellule d'électrolytique pour les dépôts sur puce ou substrat.

### 2.5.1.1 La solution électrolytique

Les principaux bains utilisés pour le dépôt de cuivre sont ceux à base de sulfate et de tétrafluoroborate de cuivre, bien que ceux au sulfate soient les plus utilisés (voir section 2.4.1). L'avantage de ces solutions électrolytiques au tétrafluoroborate est le rendement faradique élevé, quasiment proche de 100%, en permettant l'utilisation de fortes densités de courant, grâce à leur conductivité élevée. Lorsque le revêtement est réalisé avec une solution à base de sulfate, il présente un aspect lisse et brillant. Concernant les solutions au tétrafluoroborate de cuivre, la qualité du dépôt est plus modeste mais se démarque par une vitesse élevée de déposition. Néanmoins, ils sont potentiellement plus dangereux, corrosifs et couteux que les bains à base de sulfate ; c'est une des raisons pour laquelle leurs homologues au sulfate sont couramment préférés [267].

Notre choix s'oriente vers une solution à base de sulfate commercialisée par le fournisseur Bungard Elektronik GmbH & Co.KG sous la référence CU400. Elle permet de travailler dans des conditions voisines de celles d'une ligne de fabrication industrielle permettant de pré-valider un transfert vers une production industrielle. Cette simulation de mise en situation en suivant au plus près le procédé de réalisation des PCB est menée très en amont d'un quelconque résultat. Cette stratégie nous assure de la compatibilité technologique de notre approche et bien évidemment de vérifier que les résultats répondent aux attentes électro-thermomécaniques auxquelles nous sommes exposés en électronique de puissance et ce à un coût intéressant (possibilité de production de masse classique des PCB).

Les caractéristiques de la solution électrolytique Bungard CU400 donnent une température de fonctionnement de la solution entre 20°C et 30°C pour une densité de courant située entre 1 mA.cm<sup>-2</sup> et 80 mA.cm<sup>-2</sup>. La composition de la solution est donnée ci-dessous, dans le Tableau 2.9 ; les produits CU 400 A et C sont des solutions propriétaires, du fournisseur Bungard, de concentré de cuivre et brillanteur respectivement.

Composé chimique	Concentration
Sulfate de cuivre pentahydraté (CuSO <sub>4</sub> )	90 g
Acide sulfurique (H <sub>2</sub> SO <sub>4</sub> )	200 g
Chlorure de sodium (NaCl)	130 mg
Solution Bungard CU 400 A (Concentré de cuivre)	370 ml
Solution Bungard CU 400 C (Brillanteur)	4 ml

Tableau 2.9 – Masse ou volume des composés chimique pour un litre de solution électrolytique Bungard CU400



## 2.5.1.2 L'anode

L'électrode de pôle positif est une cible en cuivre (Cu) de pureté 5N c'est-à-dire à 99,999% destinée aux cibles de pulvérisation cathodique. Un ponçage préalable de la cible est réalisé pour améliorer l'accroche, un câble avec fiche banane y est connecté par collage à l'aide d'une colle époxy chargée à l'argent (Ag). Le sous-ensemble cible en cuivre (Cu) et câble avec connecteur est inséré puis encapsulé par une résine acrylique dans un cerclage en polyméthacrylate de méthyle (PMMA) préalablement fixé par vissage sur un support étanche. Ce support muni d'un joint permet de supprimer toute fuite de résine pendant la coulée et la polymérisation. Après polymérisation et retrait du support, nous obtenons l'anode pour nos expériences.

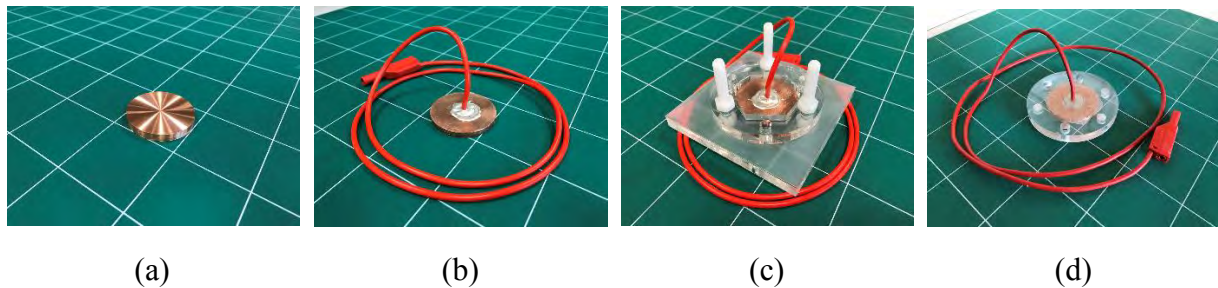


Figure 2.21 – Cible en cuivre (a) avec son câble à connecteur banane (b) avant (c) puis après encapsulation (d)

Bien que généralement les anodes utilisées pour ce type de bain soient dopées au phosphore afin d'offrir une dissolution homogène en limitant les pertes intergranulaires et les défauts dus aux boues anodiques (voir section 2.4.1), la directive RoHS citée en section 1.3.3.4 vise à supprimer les substances dangereuses dans la production des systèmes électroniques, le phosphore étant susceptible d'en faire partie à l'avenir. Malgré un dopage à faible pourcentage, il est établi que même si le dépôt en est exempt, des traces de phosphore sont présentes dans la solution [274]. Il est difficile de ne pas prendre en compte cet aspect lorsque la sécurité constitue un des critères principaux de choix pour l'utilisation de bains à base de sulfate.

## 2.5.1.3 L'alimentation en courant

La polarisation des électrodes est effectuée par une SMU (Source Measure Unit) du fabricant Keithley de référence 2612A. Cet équipement nous permet de générer le signal mais aussi de faire les mesures avec une grande précision dans des gammes de tensions et courants largement supérieures à celle que nous utilisons ; les caractéristiques sont données en Figure 2.22. Cette source quatre quadrants dispose de deux voies, isolées galvaniquement, avec possibilité d'utiliser une interface GPIB (General Purpose Interface Bus) et établir la communication avec un PC (Personnal Computer) afin de piloter l'appareil, mais également recevoir des informations, avec le logiciel TSP Express utilisant Lua comme langage de programmation.

Caractéristique	Valeur
Série	2600
Fonction	Source 4 quadrants et appareil de mesure
Voie	2 à isolation galvanique
Puissance	30,3 W
Gamme de tension	$\pm 200$ mV à $\pm 200$ V
Gamme de courant	$\pm 100$ nA à $\pm 10$ A
Précision de la source	$\pm 0,02$ % sur l'ensemble de la gamme de tension $\pm 0,06$ % en courant jusqu'à 1,5 A
Précision de la mesure	$\pm 0,06\%$ sur l'ensemble de la gamme de tension $\pm 0,02\%$ sur l'ensemble de la gamme de courant

(a)

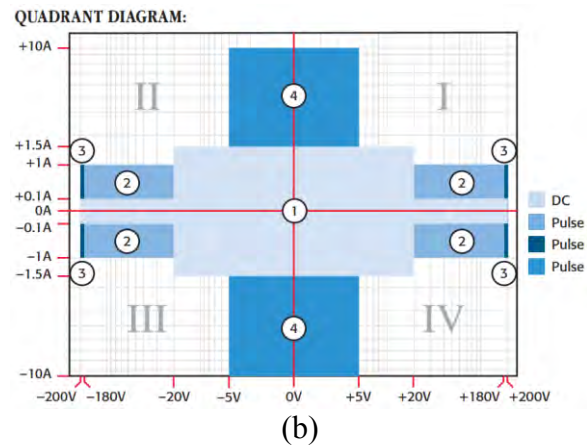


Figure 2.22 – Caractéristiques générales du Keithley 2612A (a) avec diagramme quatre quadrants en fonction de la forme d'onde (b) et photographie de l'appareil (c)

Concernant le fonctionnement du programme, après son lancement et le démarrage de l'équipement, les données relatives au dépôt sont assignées dans des variables. Comme nous l'avons expliqué en section 2.4.2, pour effectuer un dépôt il faut connaître la durée d'une période, les densités de courant ainsi que leur durée respective et pour finir la surface sur laquelle nous désirons déposer la structure en connaissant la porosité de la membrane. À partir de ces valeurs, nous pourrions calculer le courant à appliquer par la source durant chaque pulse et le nombre de périodes à réaliser afin d'atteindre la durée totale du dépôt. Notons que nous en profitons pour fixer une limite en courant, de 100 mA, et en tension, de 2 V, qui théoriquement ne seront jamais dépassées et permettent la protection des personnes en cas de mauvaise manipulation.

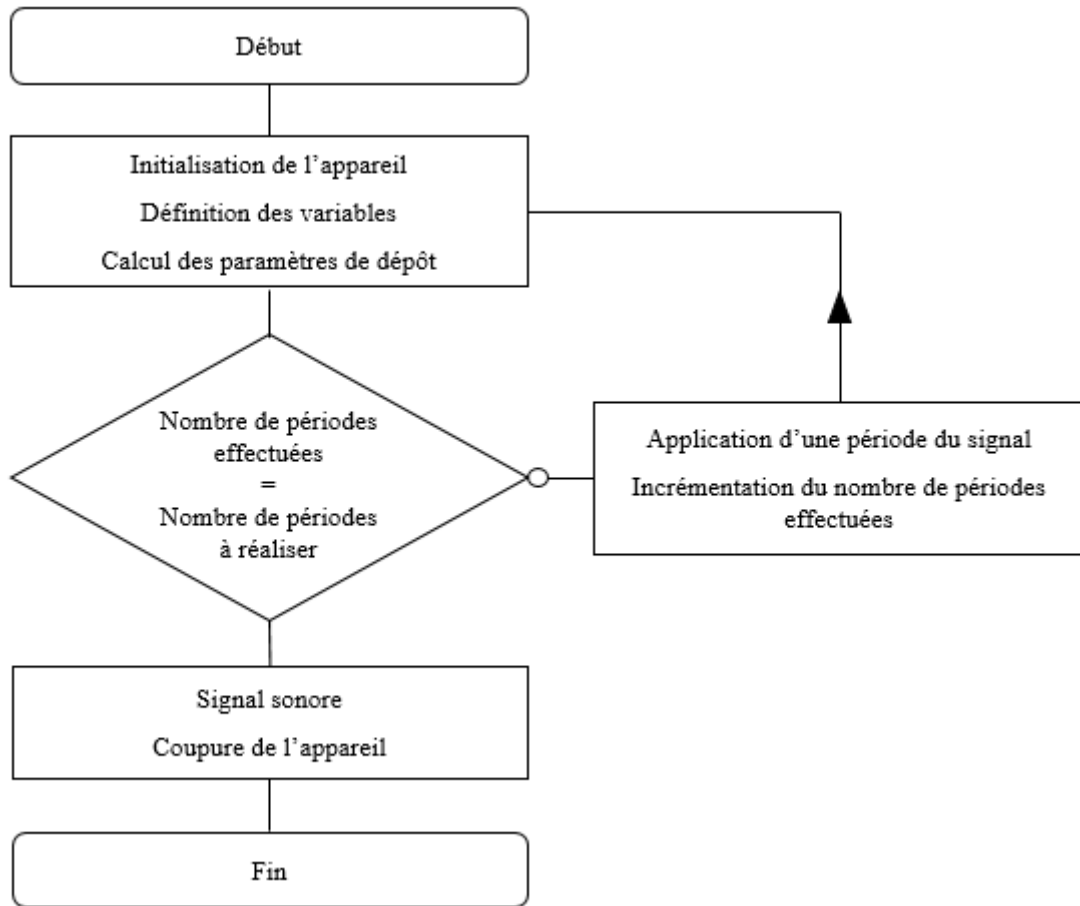


Figure 2.23 – Algorithme du programme de génération du profil de courant pulsé

### 2.5.2 La préparation des dépôts

Avant le lancement des opérations, il est nécessaire de procéder à une préparation et à certains points de contrôle afin de garantir des conditions de dépôts optimaux et reproductibles. De la même manière que la section précédente, nous présentons les étapes communes aux expériences d'électrodéposition de nano fils sur puce puis substrat.

#### 2.5.2.1 Le rodage de l'anode

Après la fabrication de l'électrode de pôle positif, vue en section 2.5.1.2, ou après une certaine durée voire un certain nombre de cycles d'utilisation que nous détaillerons à la suite de ce chapitre, nous devons procéder à son rodage. Pour cela, nous procédons à un polissage mécanique en commençant par du papier SiC type FEPA de 600 en SiC puis 800 et 1200 afin d'estomper les éventuels défauts visibles, les irrégularités de surfaces mais également les traces d'oxydes les plus marquées.

Ensuite, un dépôt d'une heure avec une densité de  $15 \text{ mA.cm}^{-2}$  est effectué, avec agitation, sur un échantillon martyr afin de préparer et stabiliser la surface de l'anode en refaisant apparaître la granularité du cuivre préalablement étalé (phénomène de beurrage) lors du polissage ; cette étape est cruciale pour favoriser une dissolution homogène de l'électrode.

Pour finir et ce avant chaque dépôt, l'électrode est désoxydée par traitement chimique avec une solution d'acide sulfurique ( $\text{H}_2\text{SO}_4$ ) concentrée à 10%.

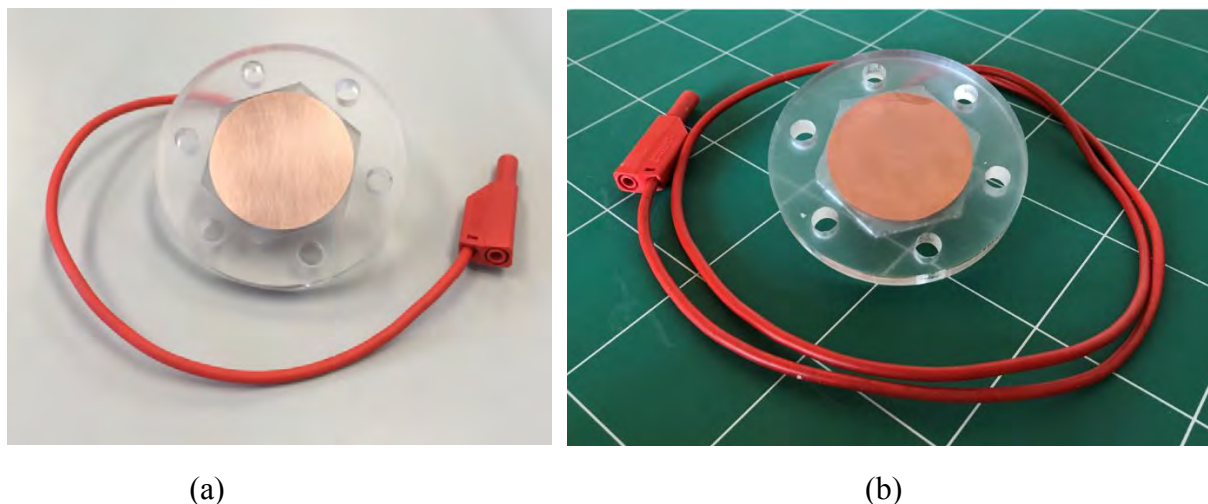


Figure 2.24 – Anode après assemblage avec polissage (a) puis rodage et traitement chimique (b)

#### 2.5.2.2 Le contrôle du bain

L'ensemble des éléments chimiques de la solution électrolytique ne sont pas stables, ce qui veut dire que la préparation du bain seule ne garantit en aucun cas sa pérennité. Le changement de la solution est établi tous les six mois afin de limiter les pollutions directes comme celles des résidus de boue anodique ou le vieillissement de la solution mais aussi indirectes dues à l'environnement extérieur voire des potentiels résidus des différents traitements chimiques effectués sur les puces et substrats. Le fournisseur préconise un changement annuel, cette mesure nous permet de minimiser les risques d'évolution du bain électrolytique. Le contrôle du brillanteur est également souligné et l'expérience nous permet de le confirmer : un manque ou surplus de brillanteur modifie drastiquement l'état de surface du dépôt de cuivre. À raison de 1 l pour 8000 Ah d'utilisation, les expériences révèlent la nécessité d'échelonner l'ajout de cet additif dans le temps. Nous avons établi une méthode expérimentale mais néanmoins efficace afin de s'affranchir de cette problématique. Une plaque de  $2 \times 1 \text{ dm}^2$  soit  $1 \text{ dm}^2$  par face, préalablement brossée pour retirer la couche de protection contre l'oxydation (OSP) puis désoxydée par traitement chimique à l'acide sulfurique ( $\text{H}_2\text{SO}_4$ ) à 10%, est immergée dans le bain électrolytique afin de procéder à un dépôt pendant cinq minutes avec une densité de courant de  $30 \text{ mA.cm}^{-2}$  en continu avec agitation de la solution.

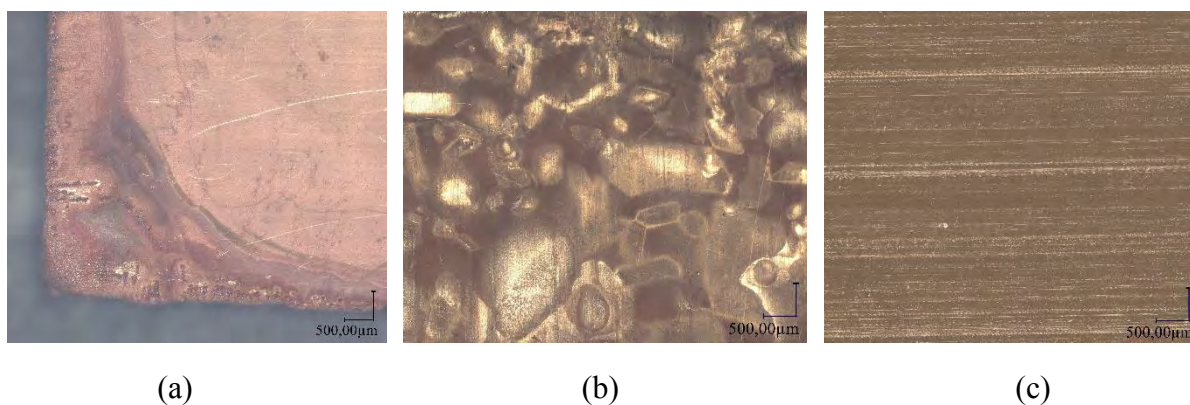


Figure 2.25 – Images au microscope numérique (x200) du résultat obtenu après dépôt pour le contrôle du brillanteur : manque de brillanteur (a), surplus (b) et mise à niveau (c)



Les défauts dus au brillanteur se caractérisent par un brunissement et un aspect terne du cuivre électrodéposé. Néanmoins, la géométrie de ce défaut permet d'en différencier sa nature. Un manque de brillanteur rend le dépôt terne en périphérie de la plaque ; quant à un surplus, il aura tendance à se localiser au centre. Cela conduit à l'utilisation d'une plaque avec des dimensions largement supérieures à celle d'une puce, ou plus précisément ces électrodes, de façon à faciliter l'interprétation de ce résultat.

Pour limiter le risque d'un surplus de brillanteur plus complexe à résoudre du fait de la nécessité de diluer le bain par apport de solution sans additif de brillance, 3 ml d'additif sont ajoutés à la solution. Puis le procédé complet de contrôle, y compris le brossage et la désoxydation de la plaque, est réitéré jusqu'à obtention d'une pleine plaque sans défaut caractéristique et donc une solution prête à l'emploi.

### 2.5.3 L'électrodéposition sur puce

Les recherches bibliographiques autour de l'intégration des modules de puissances combinées à l'étude des technologies et procédés sélectionnées pour nos stratégies d'assemblages choisie permettent d'entreprendre les expériences et donc d'élaborer le procédé de fabrication des nano structures sur puces présenté ci-après.

#### 2.5.3.1 Les échantillons

Les expériences sont effectuées avec trois types d'échantillons différents afin d'élaborer le procédé de fabrication final sur puce. Les premiers dépôts sont réalisés sur des morceaux de cuivre de 300  $\mu\text{m}$  d'épaisseur pour une surface de 8 x 8  $\text{mm}^2$ . Quant aux seconds, ce sont des morceaux d'aluminium de mêmes dimensions avec une métallisation simple face de 15 nm de tungstène-titane (WTi) puis 300 nm de cuivre.

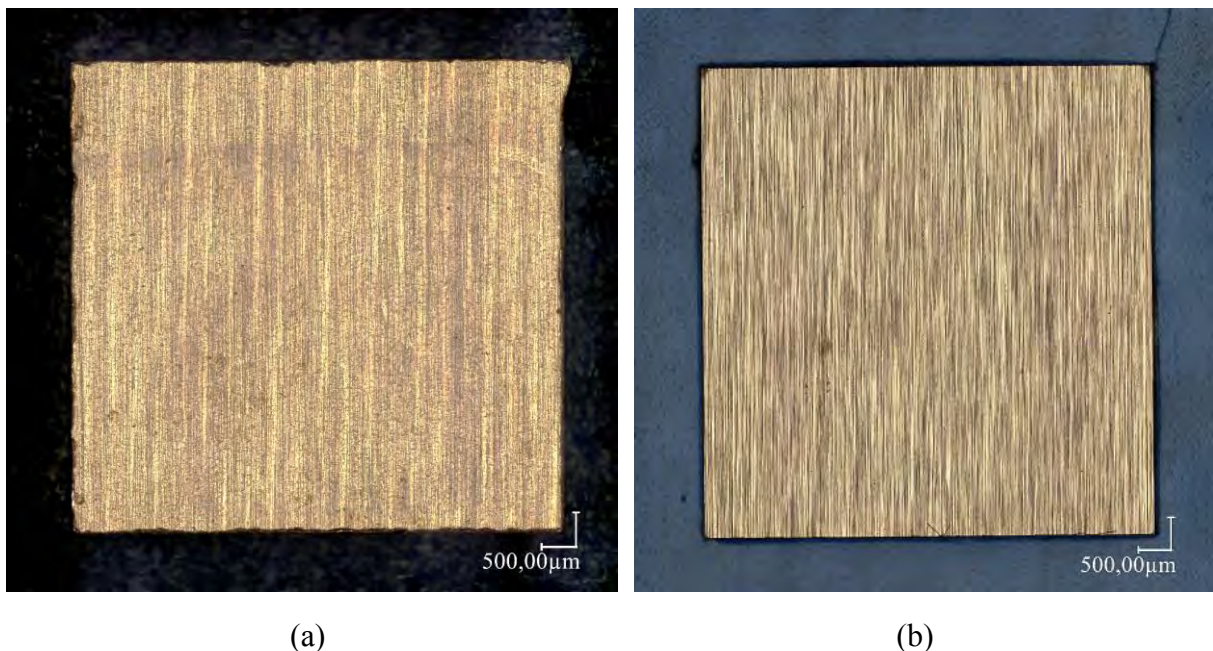


Figure 2.26 – Zoom (x100) au microscope numérique des échantillons en cuivre (a) et en aluminium avec métallisation (b)

Les échantillons en cuivre Figure 2.26 (a) sont détournés de leur plaque par fraisage numérique. Afin de maintenir la plaque en cuivre, un adhésif double face est appliqué sur le plateau martyr puis un second film adhésif simple face sans résidu est placé sur ce premier.

La pollution des échantillons est donc limitée et le retrait des échantillons sur le support est facilité. Concernant les échantillons en aluminium Figure 2.26 (b), ils sont découpés par micro-tronçonneuse puis ensuite métallisés par pulvérisation cathodique avec dans un premier temps le dépôt de la couche barrière en tungstène-titane (WTi) puis la couche d'accroche en cuivre (Cu).

La dernière campagne d'échantillons est constituée de puces nues de technologie MOSFET avec une surface de  $7,2 \times 4,2 \text{ mm}^2$  pour une épaisseur de  $175 \text{ }\mu\text{m}$  pour une métallisation double face de  $100 \text{ nm}$  de titane (Ti) et  $8 \text{ }\mu\text{m}$  de cuivre (Cu). Ces composants présentent un court-circuit entre le drain et la source ce qui ne les rend pas fonctionnellement exploitables. Cependant, cela ne retire en aucun cas leur intérêt pour la mise en place de notre procédé de fabrication.

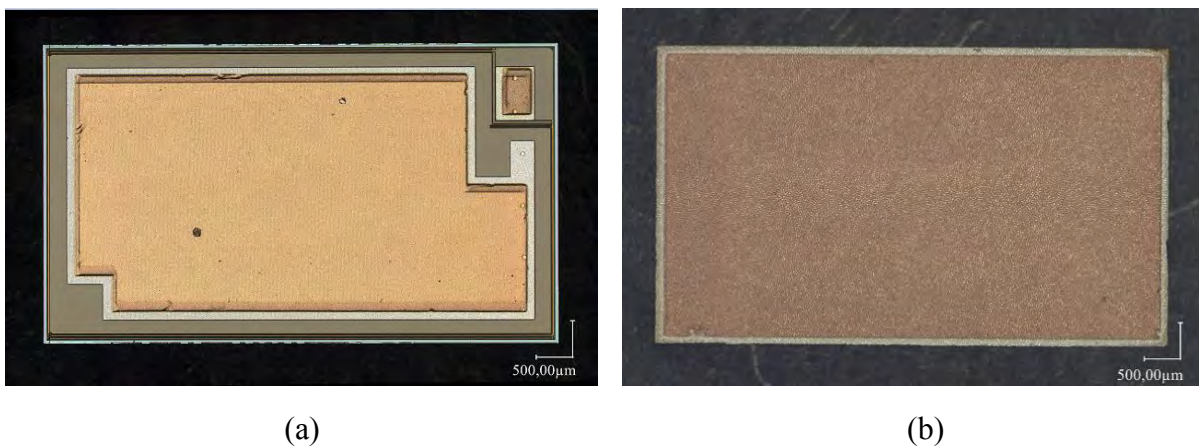


Figure 2.27 – Zoom (x200) au microscope numérique de la face supérieure (a) et inférieure (b) d'un des composants de type MOSFET en SiC Infineon (IIPC30S4N10)

Nous avons donc trois campagnes d'échantillons nous permettant d'avoir une surface de dépôt composée du même matériau que celui que nous voulons déposer. Néanmoins, les échantillons en cuivre présentent des défauts en bordure, comme nous pouvons le constater en Figure 2.26 (a), probablement causés lors du détournage à la fraiseuse numérique. C'est pourquoi un polissage est effectué en commençant par du papier abrasif SiC type FEPA de 600 jusqu'au 2000.

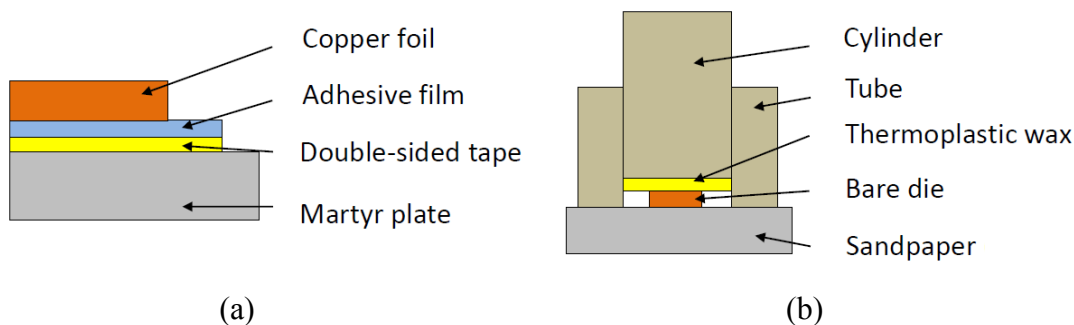


Figure 2.28 – Schémas représentatif du maintien de la plaque de cuivre pour le détournage des échantillons en cuivre (a) et de leur outillage pour les polir (b)



Ce n'est pourtant pas le seul paramètre à prendre en compte. L'état de surface joue un rôle important dans ce type de procédé. Prenons comme référence les métallisations du MOSFET en face supérieure et inférieure, soit l'objectif attendu.

Les mesures au profilomètre nous montrent une rugosité de l'ordre d'une vingtaine de nanomètres en face supérieure contre une centaine en face inférieure. À première vue, le procédé de dépôt doit pouvoir être réalisé sur du cuivre et avec deux états de surface distincts, bien que proches. On note que la rugosité de l'échantillon en cuivre est du même ordre de grandeur que celle de la source du MOSFET. Quant au drain, il a une rugosité approximativement deux fois plus petite, mais cela ne l'exclut pas pour autant du protocole expérimental.

Ecart moyen de rugosité	Arithmétique (Ra) en nm	Quadratique (Rq) en nm
Source MOSFET métallisé Ti/Cu	19,0 nm	24,2 nm
Drain MOSFET métallisé Ti/Cu	88,7 nm	113,1 nm
Echantillon en Cu	21,6 nm	28,8 nm
Echantillon en Al métallisé WTi/Cu	179,3 nm	226,0 nm

Tableau 2.10 – Ecarts moyens de rugosité arithmétique et quadratique des surfaces des différentes surfaces de dépôt

Cette configuration de campagnes d'échantillons nous permet de commencer sur du cuivre en s'affranchissant des contraintes d'adhérence des matériaux et de fonctionnalité des puces ; état passant ou bloqué. Ensuite les échantillons en aluminium nous rapprochent des conditions de travail avec un composant ayant une métallisation supérieure avec le même matériau, ce qui est généralement le cas, pour finir avec le cas le plus représentatif : une puce métallisée. Les deux premières campagnes d'essais permettront, a minima, de quadriller le futur dépôt sur puce en fonction de l'état de surface.

### 2.5.3.2 La description du dispositif expérimental

Nous disposons des échantillons, pour la partie cathodique, ainsi que de l'anode, la solution et l'alimentation. Il reste à établir le dispositif expérimental de cette cellule électrolytique afin de mettre en application les dépôts. Continuons notre explication sur les échantillons présentés ci-avant. Savoir qu'ils composent la cathode ne définit pas le moyen par lequel nous allons les polariser. Il est nécessaire de concevoir et fabriquer un support permettant de les accueillir afin de les maintenir dans le bain mais également de garantir le couplage avec la source de courant, que nous appellerons « support cathodique ».

Le support représenté sur la Figure 2.29 doit pouvoir résister aux acides, plus particulièrement l'acide sulfurique à forte concentration présent dans la solution électrolytique. Notre choix est guidé par une technologie que nous savons capable de tenir cette contrainte et que nous avons présentée : le circuit imprimé. Le support cathodique est composé d'une plaque avec des pistes gravées ainsi qu'une micro-attaque chimique pour garantir une bonne adhérence au regard de la surface (a), une couche de colle acrylique avec des ouvertures réalisées au laser CO<sub>2</sub> (b) et d'un laminé percé avec des angles en forme « d'oreilles de Mickey » dans les angles pour l'insertion des échantillons, du fait de l'incapacité de la fraiseuse numérique à réaliser des angles droits francs (c). Nous obtenons un assemblage (d) dans lequel nous détournons nos deux supports cathodiques (e) pour ensuite braser, et isoler, les fils avec leur connecteur (f) ; le pourtour est isolé par du film sec.

Les six perçages équidistants sont identiques à ceux de l'anode, présentée en section 2.5.1.2, afin de pouvoir procéder à l'assemblage de la cellule électrolytique avec le même support.

En étudiant la vue de coupe (g), nous avons une amenée de courant annulaire permettant d'homogénéiser les lignes de champ par la multiplication et la répartition des fils mais aussi des cavités pour accueillir au total neuf composants. Bien entendu, les cavités sont aux dimensions, avec tolérance, des échantillons ou des composants destinés aux expériences ; la difficulté réside dans l'ajustement de la profondeur qui est limitée par l'épaisseur des pré-imprégnés utilisés et qui dans notre cas est de  $\pm 20 \mu\text{m}$ . Le contact des échantillons sur le cuivre au fond des cavités permet de les polariser et donc de procéder au dépôt sur ces derniers.

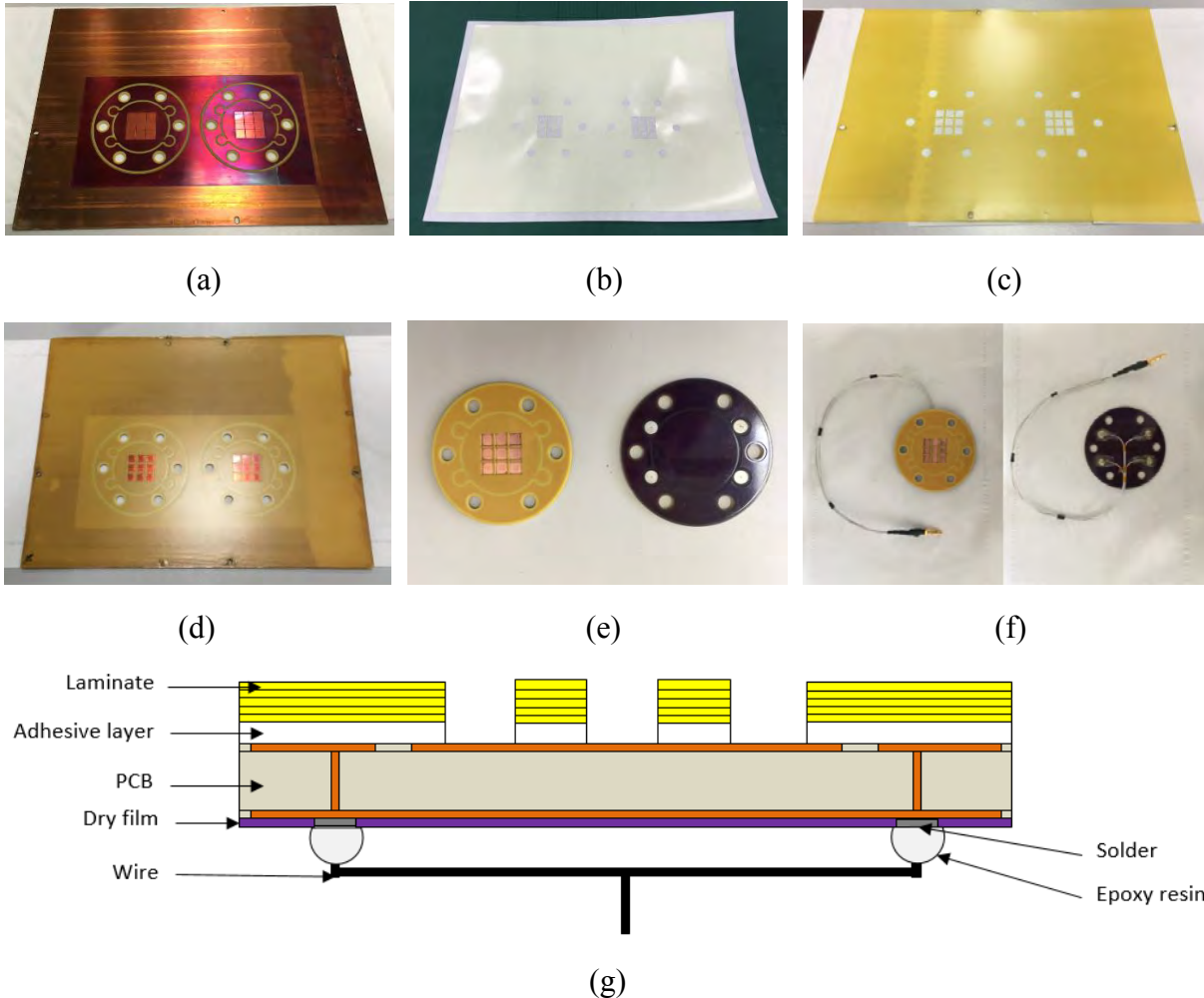


Figure 2.29 – PCB (a), colle acrylique (b) et laminé (c) après thermo-compression (d), détournage (e) et câblage (f) ainsi qu'un schéma en vue de coupe (g)

L'ensemble des procédés et traitements chimiques utilisés pour la fabrication du support cathodique et notamment pour les éléments (a), (b) et (c) ne seront pas détaillés dans cette section. Il s'agit des techniques usuelles dans la fabrication de circuits imprimés vue en section 2.2.1 que nous appliquons, à façon, pour répondre à nos besoins. Néanmoins, ces étapes sont abordées avec précision lors de l'enfouissement de puces semi-conductrices dans le chapitre suivant.

Revenons à la cellule électrolytique. Pour procéder à l'immersion, une colonne de fixation accueille les électrodes : anode et support cathodique. Elle est constituée de cerclages en époxy-verre, soit le même matériau que l'un des diélectriques couramment utilisé pour les circuits imprimés et donc résistant à l'acide sulfurique, et de tiges filetées en nylon, également résistantes à la solution concentrée.

La Figure 2.30 représente un premier montage à blanc de la colonne avec ses électrodes (a) et après mise en place dans le réacteur à double parois (b).

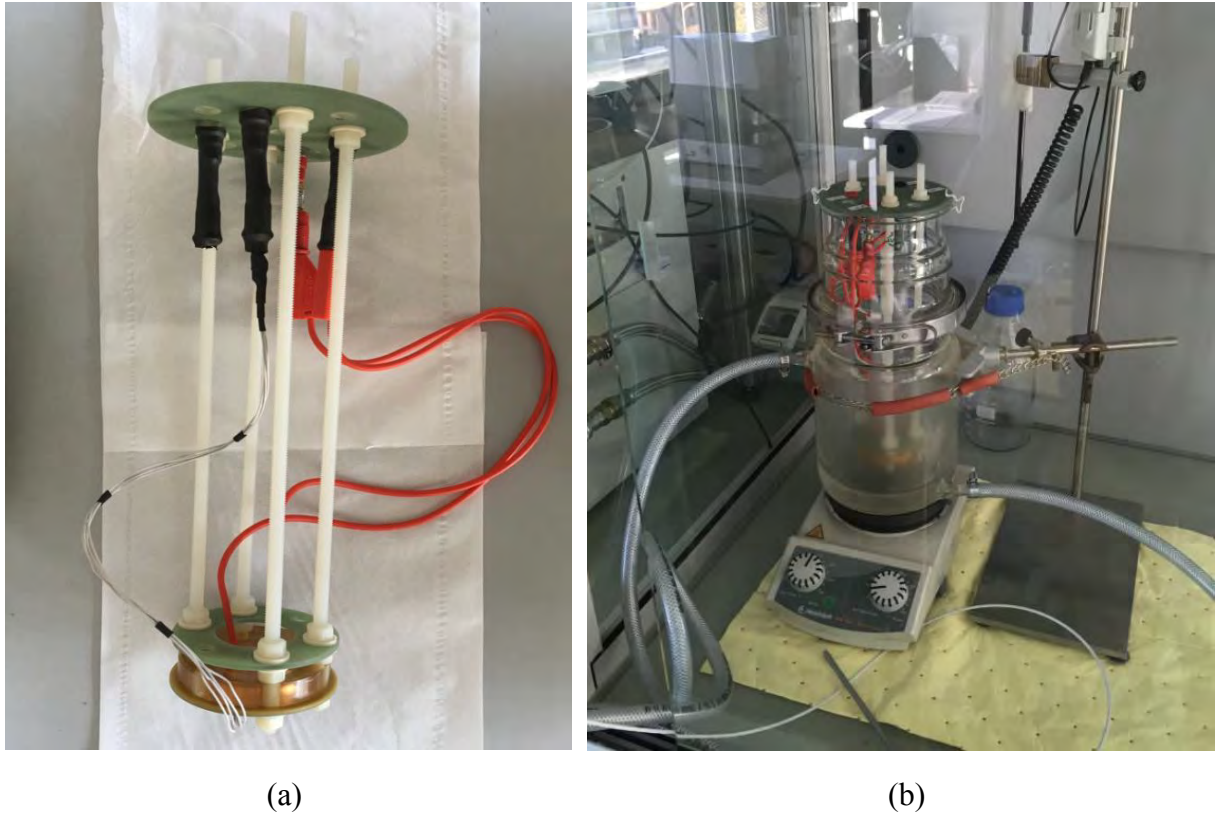


Figure 2.30 – Colonne de fixation avec montage de l'anode et du support cathodique (a) inséré dans le réacteur avant son remplissage avec la solution électrolytique (b)

Concernant le montage de la cellule électrolytique, nous allons développer son montage avec les échantillons en cuivre utilisés lors de la première expérience. Nous rappelons que mis à part les dimensions des cavités du support cathodique, que ce soit la surface ou la profondeur, les étapes sont identiques pour les trois campagnes d'essai, l'objectif étant d'y placer les échantillons ou puces afin qu'elles soient coplanaires avec la surface du support cathodique.

La Figure 2.31 permet de visualiser le support cathodique avec les échantillons en cuivre insérés dans les cavités (a). La face inférieure de la membrane (joint vers le bas) est plaquée contre le support et ses échantillons (b). L'étude de la membrane a montré une porosité équivalente pour la face inférieure et supérieure (voir section 2.4.4.1). Cependant les pores sont plus nombreux et petits en face inférieure qu'en face supérieure, ce qui laisse supposer une jonction de types multi-pores nanométriques au niveau de la base ; forme comparable à celle de la « tour Eiffel ».

Cette géométrie pourrait être bénéfique sur la tenue mécanique en agissant comme un renfort à l'interface de début du dépôt, ce qui nous motive pour placer la membrane dans ce sens. La prochaine étape consiste à imbiber la membrane avec une solution de sulfate de cuivre à 10% (c). Sans polarisation, l'acide sulfurique attaque le cuivre jusqu'à le dissoudre en cas de longue durée d'exposition [275], [276], [277], [278], ce qui explique notre amorçage.

Après avoir ajouté deux feuilles de cellulose (Whatman 1441-060 Grade 41) et les avoir imbibées par la solution de dépôt, la cellule est fermée par la mise en compression du support cathodique contre l'anode par serrage des écrous à 0,5 N.m sur la colonne de fixation; voir Figure 2.30 (a). L'intérêt de la cellulose est de répartir les contraintes mécaniques de la mise en compression mais également d'assurer un rôle de filtre, bien que partiel, afin de dégrossir les éventuels défauts liés à la présence possible de boue anodique et ce à hauteur de 20  $\mu\text{m}$ .

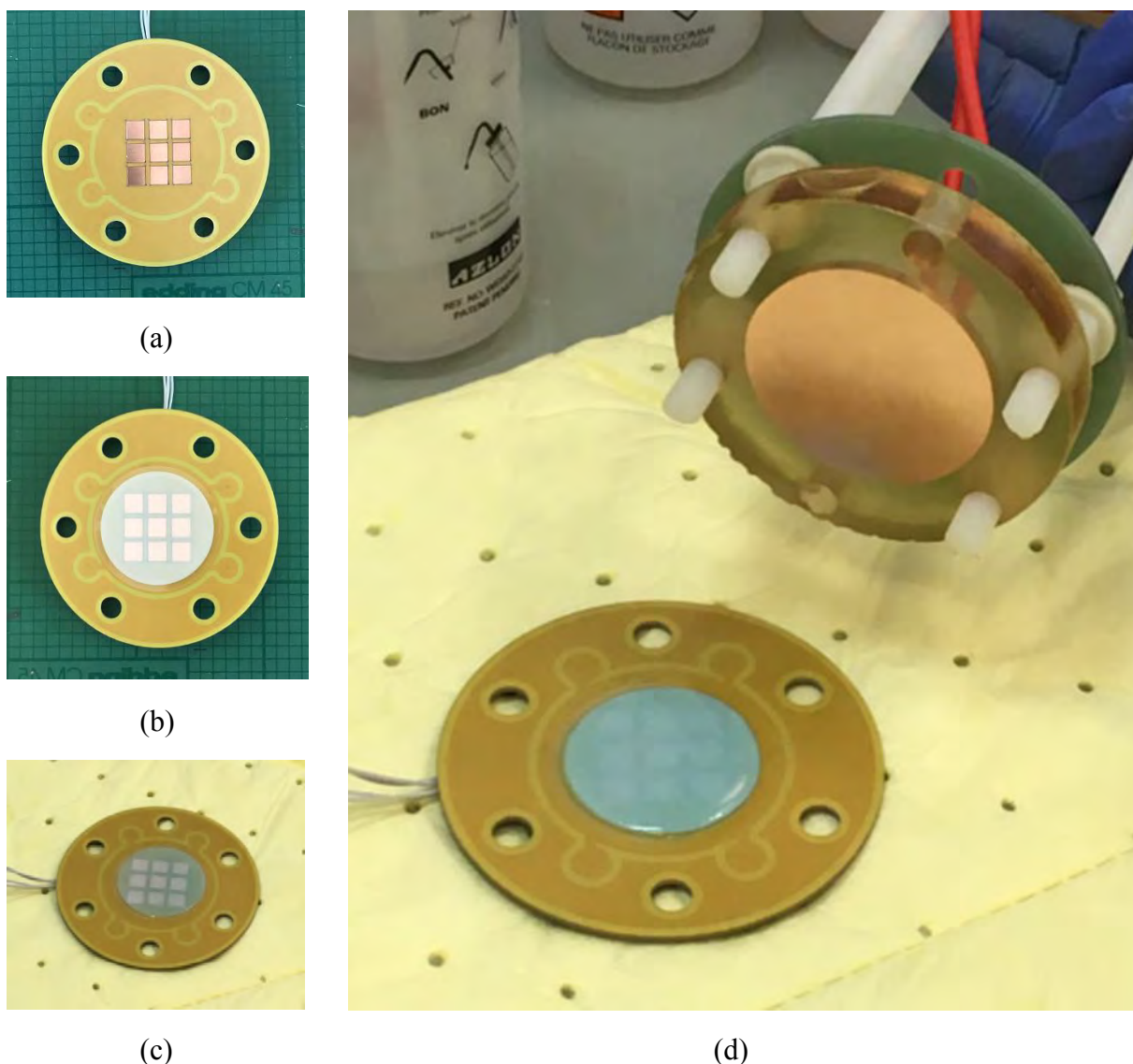


Figure 2.31 – Echantillons en cuivre insérés dans les cavités du support cathodique (a) avec mise en place de la membrane (b) et ajout de la solution de sulfate de cuivre (c) puis des feuilles de papier cellulose avant mise en compression de la cellule (d)



Avant la mise en place de la cellule électrolytique sur la colonne de fixation, le vase à double parois a préalablement été rempli avec notre solution électrolytique. Le vase est couplé à un cryostat à circulation JULABO F32-HE rempli d'un liquide caloporteur. La source, connectée au PC par interface USB-GPIB, est câblée sur les connecteurs supérieurs de la colonne sans oublier l'agitateur magnétique au fond du réacteur principal pour garantir une agitation, de type mécanique, de la solution. Concernant les dépôts, nous choisissons arbitrairement une durée d'électrodéposition de deux heures. Nous sommes dans une démarche de mise en place d'un procédé et obtenir une structure entre 15  $\mu\text{m}$  et 20  $\mu\text{m}$ , théoriquement de 17,8  $\mu\text{m}$ , semble être un bon compromis entre temps et hauteur pour valider notre technique de dépôt.

La Figure 2.32 (a) représente le principe de fonctionnement de l'expérience mise en place afin d'électrodéposer des nano fils sur échantillons et puces ; l'image (b) donne une vue de l'expérience en cours de fonctionnement lors des dépôts sur les échantillons en cuivre.

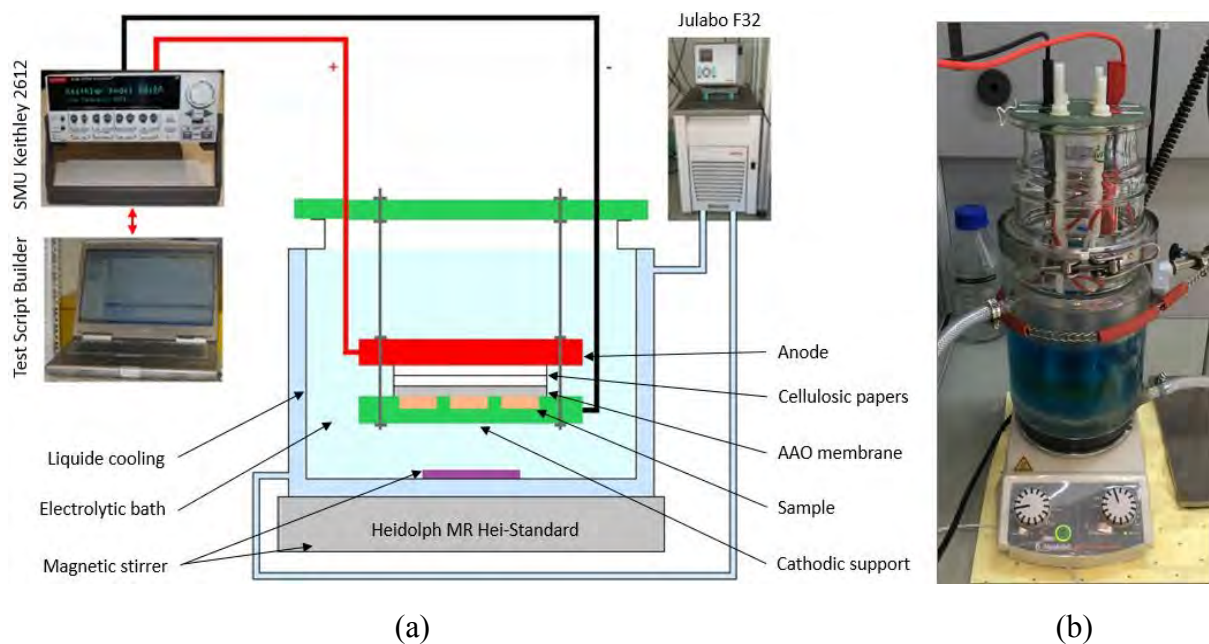


Figure 2.32 – Schéma (a) et photographie (b) en fonctionnement de l'expérience de dépôt de nano fils sur échantillons ou puces

À l'issue des expériences, les échantillons et les puces sont liés à la membrane par l'emprisonnement des nano structures dans celle-ci. La membrane est dissoute par traitement chimique avec une solution d'hydroxyde de sodium à 10% et à une température de 60°C et ce pendant 30 minutes.

### 2.5.3.3 Le dépôt sur échantillons en cuivre

Les premières appréciations des résultats obtenus sont visuelles. Avant de dissoudre la membrane, on observe que les échantillons sont liés à la membrane, ce qui confirme la croissance des nano fils mais également leur adhérence sur les échantillons. On remarque également un cadre marron foncé au niveau des contours alors qu'à l'endroit des échantillons, la couleur est plus orangée. La première conclusion que nous pouvons établir est que le dépôt n'est pas uniquement sur les échantillons mais aussi en périphérie (Figure 2.33 (a) et (b)).

Cela peut s'expliquer par un dépassement du cuivre sur les bords lors de l'électrodéposition. Les échantillons sont placés dans les cavités sans isolation afin de favoriser la déposition dans les zones préférentielles. Il est tout à fait envisageable que le cuivre puisse aller sur les bords et que le dépôt s'est poursuivi dans ces zones. La littérature nous montre des travaux ayant déjà remarqué ce phénomène [279]. Nous pouvons aussi supposer que cet aspect foncé correspond à un dépôt plus important de cuivre.

Sans pour autant avancer cette théorie, des travaux démontrent que les nano structures permettent de créer ce que l'on appelle le « noir profond » [280]. Il est démontré que les nano tubes de carbone ont la propriété de piéger la lumière et rendre les surfaces sur lesquelles ils se trouvent plus sombre. Une première visualisation au microscope numérique semble être en corrélation avec ce phénomène avec une couleur marron foncé là où le dépôt a été effectué. D'ailleurs nous remarquons également que les zones de dépôt représentent un faible pourcentage de la surface de l'échantillon (Figure 2.33 (c)). Au centre, les zones avec et sans dépôt sont réparties mais sur les bords certaines surfaces ne montrent pas d'agrégats. De plus, la jonction entre les différentes zones est plus stricte, ce qui laisse imaginer un arrachement, un détachement, des nano fils. Nous notons également que les dépôts latéraux, mentionnés ci-avant, se sont détachés lors du traitement chimique à l'hydroxyde de sodium.

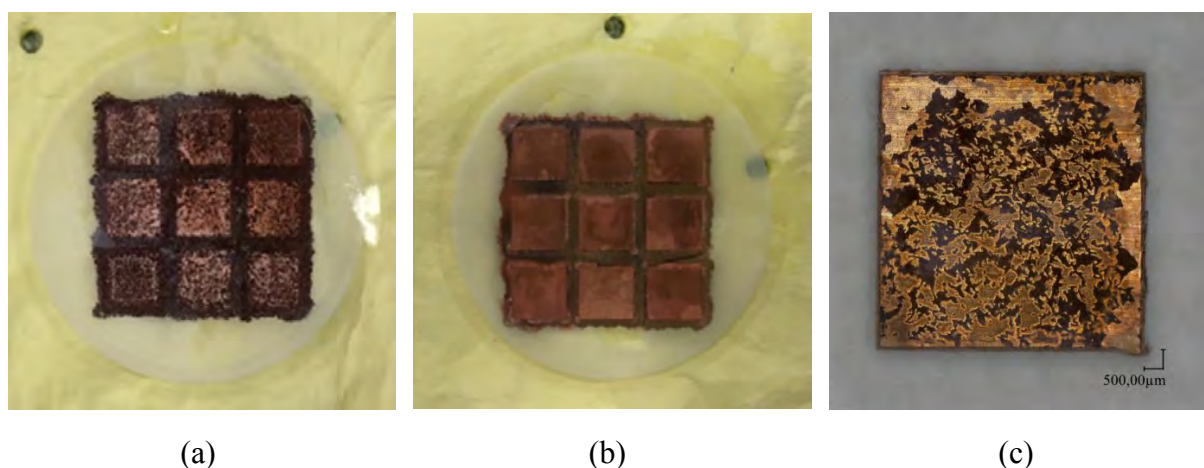


Figure 2.33 – Echantillons en cuivre liés à la membrane en vue de dessus (a) et de dessous (b) ainsi qu'une image au microscope numérique (x100) d'un échantillon après le retrait de la membrane (c)

Les acquisitions aux microscopes numérique et électronique à balayage semblent le confirmer. Les parties claires montrent bel et bien un cuivre nu. Concernant les zones plus foncées, elles nous laissent imaginer une structure hétérogène, probablement par la différence de hauteur des fils.



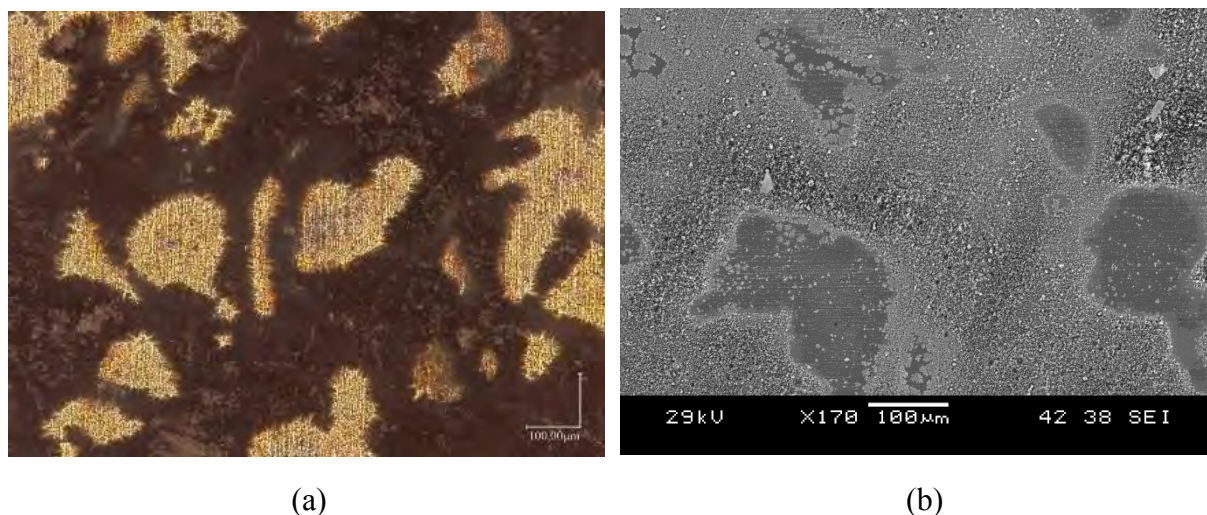


Figure 2.34 – Visualisation au microscope numérique (x200) (a) et avec acquisition au microscope électronique à balayage (x170) (b) du dépôt sur un échantillon en cuivre

#### 2.5.3.4 Le dépôt sur échantillons en aluminium

C'est avec la même démarche que nous pouvons remarquer que les dépôts sur les échantillons en aluminium présentent un dépôt similaire en périphérie. Néanmoins, la teinte de ce débord est plus grise comme nous pouvons le voir en Figure 2.35 (a). Cela pourrait s'expliquer par la corrosion galvanique entre aluminium et cuivre [281], [282], [283].

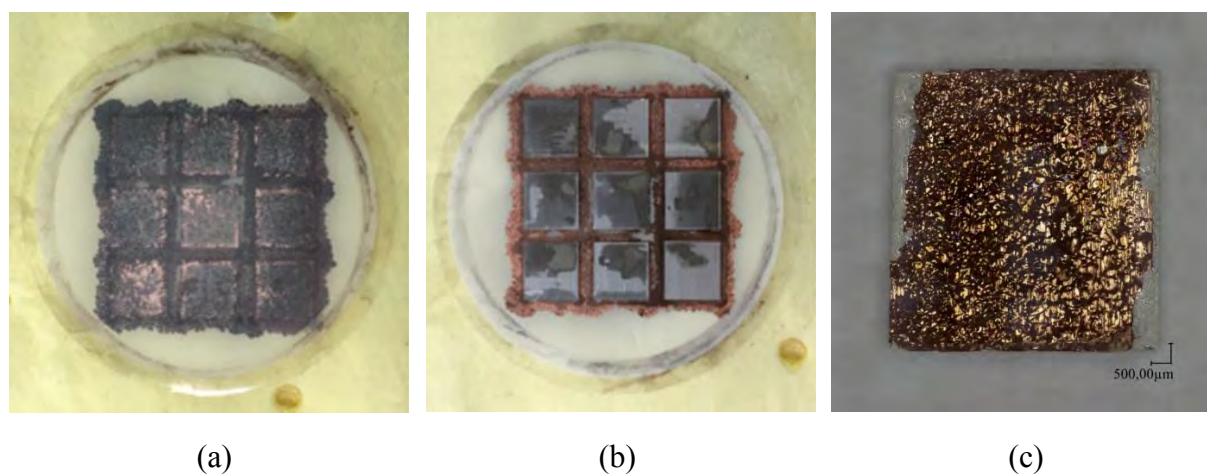


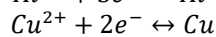
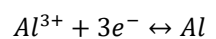
Figure 2.35 – Echantillons en aluminium liés à la membrane en vue de dessus (a) et de dessous (b) ainsi qu'une image au microscope numérique (x100) d'un échantillon après le retrait de la membrane (c)

Ce phénomène intervient lorsque deux métaux, à potentiel oxydo-réducteur différent, sont électriquement mis en contact et ce en présence d'un électrolyte. Un courant va s'établir entre les métaux et parallèlement un déplacement d'ions à travers l'électrolyte va se produire [284] : on parle de pile électrochimique. Si nous reprenons les Figure 2.31 (c) et (d), l'ajout de la solution de sulfate de cuivre vient établir la troisième condition manquante au déclenchement d'une réaction de corrosion galvanique ; les deux premières étant le contact électrique entre l'échantillon en aluminium et sa métallisation cuivre, malgré une couche de tungstène-titane (WTi) permettant uniquement une barrière contre la diffusion, ainsi que des potentiels oxydo-réducteurs différents ; voir Équation 2.7 (a).

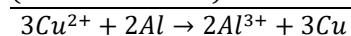
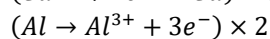
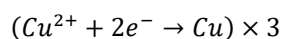
$$E_1^0(Al^{3+}/Al) = -1,67 V$$

$$E_2^0(Cu^{2+}/Cu) = 0,33 V$$

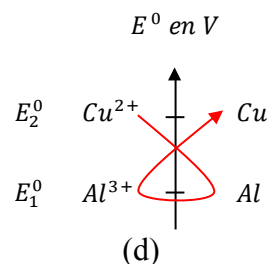
(a)



(b)



(c)



Équation 2.7 – Potentiels (a) et couples (b) oxydo-réducteurs de l'aluminium et du cuivre et équation-bilan de la réaction (c) avec la règle de gamma (d)

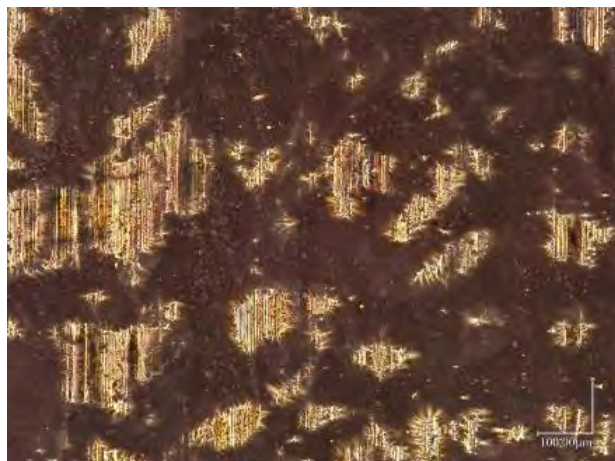
Ayant  $E_1^0 < E_2^0$ , l'aluminium cède des électrons au cuivre. Dans cette réaction, l'aluminium est réducteur et le cuivre est oxydant : on dit que le cuivre est un matériau plus noble que l'aluminium. Lorsque l'on regarde l'équation-bilan Équation 2.7 (c), on s'aperçoit qu'en présence de sulfate de cuivre, et donc d'ions  $Cu^{2+}$ , l'aluminium  $Al$  s'oxyde et crée des ions  $Al^{3+}$  qui seront captés par le cuivre  $Cu$  via l'électrolyte : le cuivre, c'est-à-dire la cathode, se charge en ions métalliques ou plus précisément en cations issus de l'anode qui est en aluminium dans notre cas.

Cette réaction peut former un dépôt d'aluminium à la surface du cuivre. La différence de potentiel  $\Delta E^0$  de l'aluminium et du cuivre nous permet d'en conclure que nous sommes face à une réaction spontanée, avec un  $\Delta E^0$  positif, mais également à pouvoir oxydant élevé, sachant que  $\Delta E^0 > 0,3 V$ .

$$\Delta E^0 = E_2^0(Al^{3+}/Al) - E_1^0(Al^{3+}/Al) = 0,33 - (-1,67) = 2 V$$

Équation 2.8 – Différence de potentiel oxydo-réducteur entre aluminium et cuivre

À propos de l'aluminium, nous pouvons distinguer un léger aspect blanchâtre en surface, probablement causé par des précipités d'aluminium avec des ions chlorure  $Cl^-$ .



(a)



(b)

Figure 2.36 – Visualisation au microscope numérique (x200) de l'hétérogénéité du dépôt (a) et de l'aluminium attaqué (b)

La polarisation de notre cellule électrolytique est une réaction forcée. Dans notre cas, elle impose la circulation des électrons dans le sens inverse de la corrosion galvanique développée ci-dessus.



On peut imaginer que la corrosion galvanique soit neutralisée par effet de contre-réaction lors du dépôt. Cependant, elle demeure toujours lors du montage et l'ouverture de la cellule ; la source n'impose évidemment aucun courant à ces étapes.

La dissolution de la membrane nous confirme, après visualisation au microscope numérique, un dépôt très hétérogène avec des surfaces sans nano fils en Figure 2.36 (a), comme pour nos précédents dépôts sur les échantillons en cuivre, mais également l'hypothèse d'une corrosion galvanique en Figure 2.36 (b) montrant des zones attaquées de la surface de l'aluminium.

On remarque également, en Figure 2.36 (b), une teinte de cuivre plus foncée dans des zones probablement sans dépôt de nano fils ; on peut apercevoir le même effet en Figure 2.37 (a). Cela peut s'expliquer par une différence de relief. L'éclairage du microscope réfléchi sur les surfaces de cuivre nu étant perpendiculaire à l'axe de l'optique, il nous permet d'apprécier les détails des échantillons visualisés.

Une configuration différente pourrait réfléchir l'éclairage dans un autre axe que celui de l'optique et par conséquent donner cet aspect plus foncé, par exemple le décollement de la métallisation. L'acquisition de la Figure 2.37 (b) nous confirme le manque d'intimité entre les matériaux utilisés, soit l'échantillon et la métallisation, dans cette campagne d'essai.

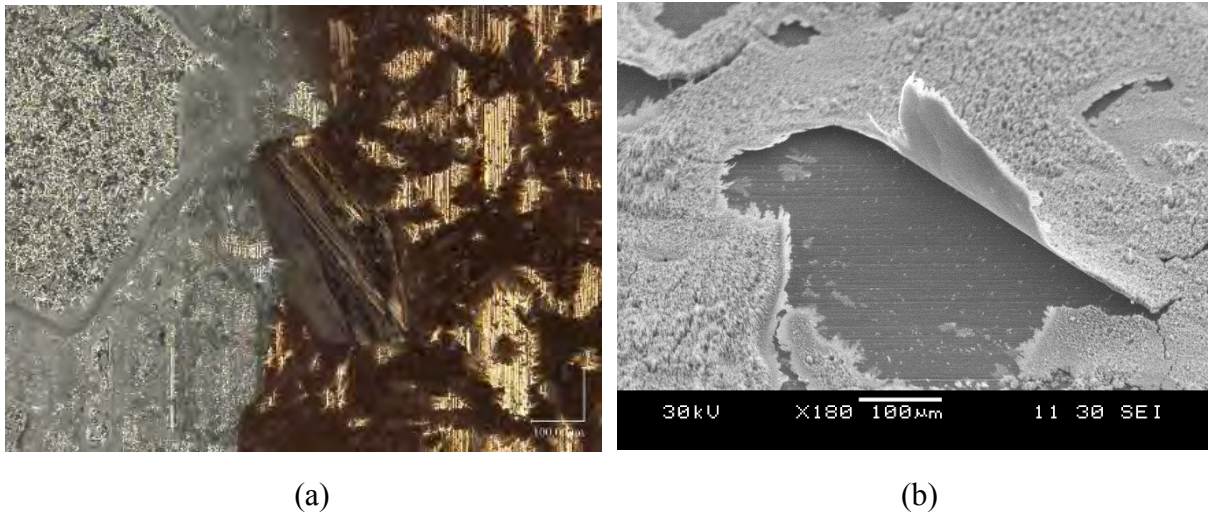


Figure 2.37 – Visualisation au microscope numérique (x200) et au microscope électronique à balayage (x180) de décollements à la surface de l'aluminium

#### 2.5.3.5 Le dépôt sur puces semi-conductrices

Contrairement aux dépôts précédents, les résultats obtenus avec les puces semi-conductrices montrent une nano structure plus homogène que celle réalisée sur les échantillons en cuivre et aluminium. La Figure 2.38 (a) illustre un dépôt en face arrière du MOSFET SiC, voir Figure 2.27 (b), préalablement présenté en section 2.5.3.1. Bien que la Figure 2.38 (b) mette en avant la densité de la structure et ce sur la majeure partie de la puce semi-conductrice, certains défauts sont tout de même perceptibles.

Certaines zones, principalement au centre, ne présentent pas de dépôt. Malgré l'utilisation d'une membrane hydrophile, ce défaut semble être caractéristique de bulles d'air emprisonnées, notamment par l'aspect lisse des contours que l'on devine en Figure 2.38 (c).

La présence d'impuretés entre la membrane et les puces semi-conductrices pourraient générer localement, ce type de défaut. Lorsque l'on étudie l'assemblage du support cathodique, l'ensemble des surfaces sur lesquelles nous déposons la membrane n'est pas coplanaire pouvant aider à piéger certaines bulles.

Cela s'explique par la profondeur des cavités de notre support cathodique et les incertitudes d'épaisseur des composants, ne nous permettant pas de bénéficier de surfaces coplanaires. Nous sommes limités par les tailles de fibre de verre proposées par le fabricant de pré-imprégnés ainsi que par les composants actifs qui possèdent généralement une incertitude non négligeable en termes d'épaisseur. Cependant, un traitement de surface, type plasma par exemple, pourrait garantir un meilleur mouillage [285].

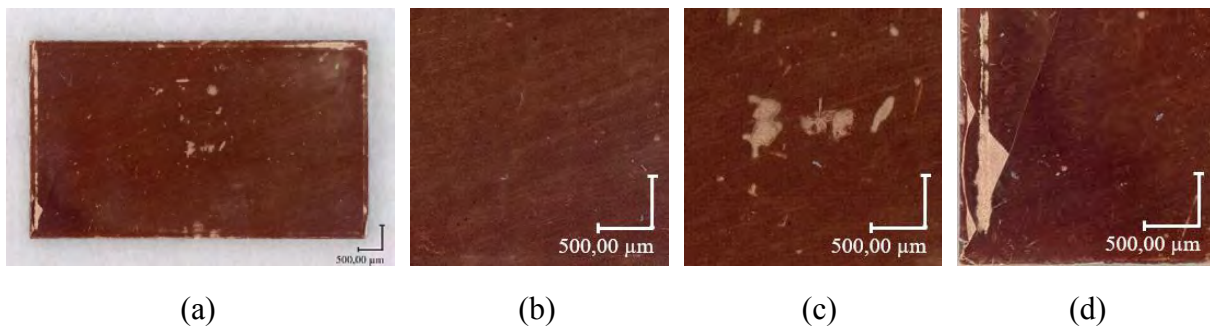


Figure 2.38 – Images au microscope numérique (x100) d'une face arrière de puce semi-conductrice de technologie FET avec dépôt de nano fils (a) avec agrandissement (x200) (b) et visualisation d'un défaut par arrachement (c) et manque (d)

Nous pouvons également remarquer des détachements, des arrachements, ainsi que des fissures en Figure 2.38 (d). Principalement sur les bords, ils traduisent de possibles contraintes mécaniques appliquées par la manipulation de la membrane et des composants qui y sont liés, aussi bien avant qu'après dépôt. En premier lieu, la Figure 2.27 (b) permet de visualiser la métallisation en face arrière de la puce. On peut remarquer une certaine marge en bordure de la métallisation cuivre qui ne remplit pas toute la surface de l'électrode. Par ailleurs, nous savons également que cette métallisation est de l'ordre d'une dizaine de micromètres. Il est clairement envisageable que localement, de fortes contraintes mécaniques soient exercées lors de la mise en compression, ce qui représente un défaut potentiellement ante-électrodéposition. À l'inverse, une manipulation hâtive de l'ensemble membrane-puces pourrait bien créer un bras de levier en bordure et donc exercer des contraintes non négligeables, de nature différente, mais localisées elles aussi en périphérie du composant. Nous avons également pu remarquer un manque d'intimité des matériaux sur les échantillons, ce qui pourrait expliquer la fracture nette et l'arrachement de la nano structure avec visibilité sur la métallisation en cuivre de la puce en Figure 2.38 (d).

Néanmoins, la majeure partie de la face arrière présente un dépôt de nano fils, ce qui retient également notre attention et requiert d'être interprété. Les acquisitions en Figure 2.39 (a) et (b) sont des grossissements d'une zone de la nano structure présentant un dépôt que l'on qualifie pour l'instant d'homogène en surface. Nous remarquons, à première vue, que la densité des nano fils est importante. La Figure 2.39 (a) montre la formation d'agrégats, de paquets, par les nano fils et la Figure 2.39 (b) permet de visualiser le bord d'un de ces agrégats ; on s'aperçoit que les nano fils se couchent et explique la formation de ces paquets. A contrario, au centre des agrégats, les nano fils sont comprimés entre eux et semblent être à la verticale.

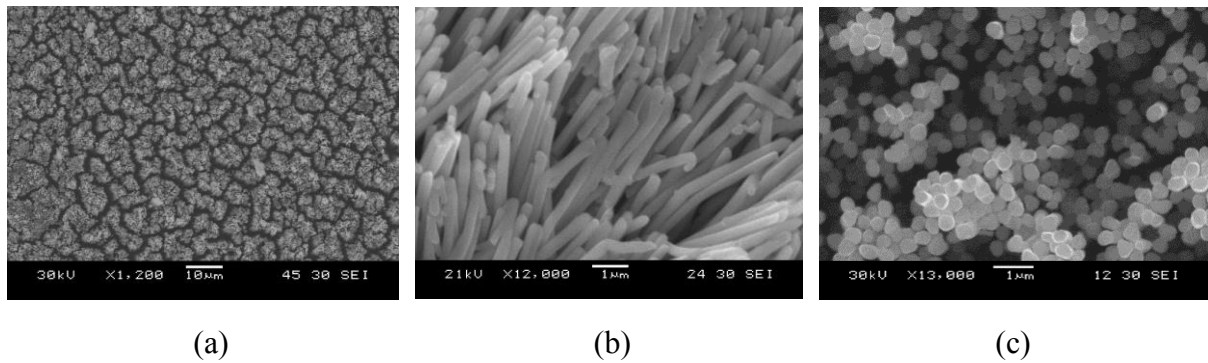


Figure 2.39 – Acquisition au microscope électronique à balayage de la nano structure formant des agrégats (x1200) (a) et zoom sur le bord (x12000) (b) et le centre (x13000) (c) d'un des agrégats de nano fils (b)

Nous avons estimé théoriquement la hauteur des nano fils. Bien que nous ne soyons pas en mesure d'établir pour le moment la hauteur exacte de notre structure, elle correspond à celle des nano fils présentés dans les travaux précédents en Figure 2.8 (c) et estimée entre 10 et 15  $\mu\text{m}$ .

#### 2.5.3.6 La discussion des résultats

Les nano structures obtenues sur les échantillons en cuivre et aluminium recouvrent un faible pourcentage de la surface totale et la hauteur des nano fils semble hétérogène. De plus, les essais sur des échantillons en aluminium font également ressortir des problématiques d'oxydation qui viennent dégrader nos échantillons et leur nano structure. Ce défaut se reportera probablement en face avant des puces semi-conductrices, généralement en aluminium, rappelons-le.

Le dépôt sur composants actifs montre une structure nettement plus homogène qu'avec les échantillons. À première vue, les métallisations en cuivre des composants ne se sont pas décollées des puces, point primordial qui nous encourage dans notre démarche conceptuelle. Les défauts remarqués sont probablement d'ordre mécanique et plus particulièrement liés à l'assemblage, à l'empilement, de l'ensemble dit « cathodique ». Une meilleure planéité et coplanarité des surfaces pourrait réduire, atténuer, voire supprimer les défauts visualisés que nous supposons liés au piégeage de bulles d'air et cassures ou contraintes dues à la manipulation de la membrane.

La vue d'ensemble des essais fait ressortir certaines difficultés quant à l'utilisation de ce procédé technologique. Malgré une amélioration de l'aspect des nano structures, il semble complexe de réaliser des dépôts double face. De plus, travailler sur des puces semi-conductrices au format unitaire ne paraît pas être viable dans le cadre d'une future production, d'autant plus que nos composants sont en court-circuit ce qui complexifie le procédé dans le cadre de puces fonctionnelles. Afin d'être pérenne, la première approche à adopter serait de travailler directement sur *wafers*.

Cependant, l'ensemble de ces résultats nous conforte dans l'idée de faire des essais en établissant un procédé de fabrication orienté substrat PCB. Les nano structures seront directement électrodéposées sur des surfaces en cuivre, matériau de même nature que les nano fils ce qui représente un bon point dans notre démarche. C'est également les techniques utilisées dans la fabrication des substrats PCB qui semblent être en corrélation avec nos attentes.

L'ensemble des étapes et traitements chimiques du procédé de croissance sur puces semi-conductrices, lors des essais précédents, sont appliqués pour cette technologie de substrat ; les arguments ne manquent pas et nous orientent vers des essais sur substrat.

#### 2.5.4 L'électrodéposition sur substrat

Les recherches bibliographiques et l'étude des technologies et procédés choisis pour notre solution d'interconnexion ont permis de réaliser des nano structures en face arrière de puces semi-conductrices. Néanmoins, de nombreuses problématiques ont été soulevées par ces expériences, notamment la sélectivité du dépôt et la corrosion galvanique. Avoir des surfaces planes mais surtout coplanaires semble également essentiel afin d'éviter les défauts de cassures et de fissurations mais aussi de manque de dépôt. Les techniques utilisées pour la fabrication des circuits imprimés semblent être de bonnes candidates pour assurer ces fonctions.

Les paragraphes suivants traitent de l'élaboration d'un procédé technologique visant lui aussi à réaliser des nano structures non plus sur des puces semi-conductrices mais directement sur des substrats PCB. Nous connaissons les grandes étapes de fabrication des circuits imprimés vues en section 2.2.1. Le dispositif expérimental de la fabrication des nano structures est le même que celui de nos substrats PCB. C'est pourquoi la présentation des équipements utilisés suivie de la fabrication des substrats PCB constituera une base solide en vue d'introduire le procédé d'élaboration des futures interconnexions : les nano structures.

##### 2.5.4.1 La description du dispositif expérimental

L'étude et la conception du ou des substrats PCB sont préalablement réalisées avec un logiciel de CAO (Computer Aided Design) [286], [287]. Les fichiers obtenus vont permettre d'effectuer les différentes étapes de traitement chimique et fraisage numérique afin d'obtenir le substrat désiré.

Les principaux traitements chimiques permettent d'effectuer les gravures du cuivre, les isolations électriques, ainsi que les micro-gravures, pour augmenter l'adhérence de la surface des plaques diélectriques recouvertes de part et d'autre de cuivre massif. Cependant, ces traitements nécessitent une étape de sélectivité afin de procéder localement aux gravures et micro-gravures ; on parle de masquage. Pour cela, des masques sont imprimés avec un *photoplotter* via les fichiers CAO. Un laser vient insoler un film qui après traitement chimique, dans une solution révélatrice puis activatrice, va permettre d'obtenir un film transparent doté du schéma de la carte en négatif Figure 2.40 (a). Parallèlement, les plaques sont percées par fraisage numérique en vue d'effectuer les trous traversant et les mires des substrats Figure 2.40 (b). Ensuite, les plaques sont laminées par un film sec photosensible Figure 2.40 (c) sur lequel le masque adéquat est appliqué. L'ensemble est ensuite insolé Figure 2.40 (d) puis révélé pour laisser apparaître uniquement les zones non exposées ; la révélation est faite par traitement chimique. Le cuivre apparent est gravé Figure 2.40 (e) par traitement chimique. Le film photosensible est retiré également par traitement chimique laissant apparaître les plaques percées et gravées. Successivement, ces étapes de laminage, insolation, révélation et retrait du film photosensible sont répétées pour procéder à la micro-gravure par voie chimique afin d'augmenter la rugosité de la surface et donc l'adhérence en vue d'un futur assemblage.



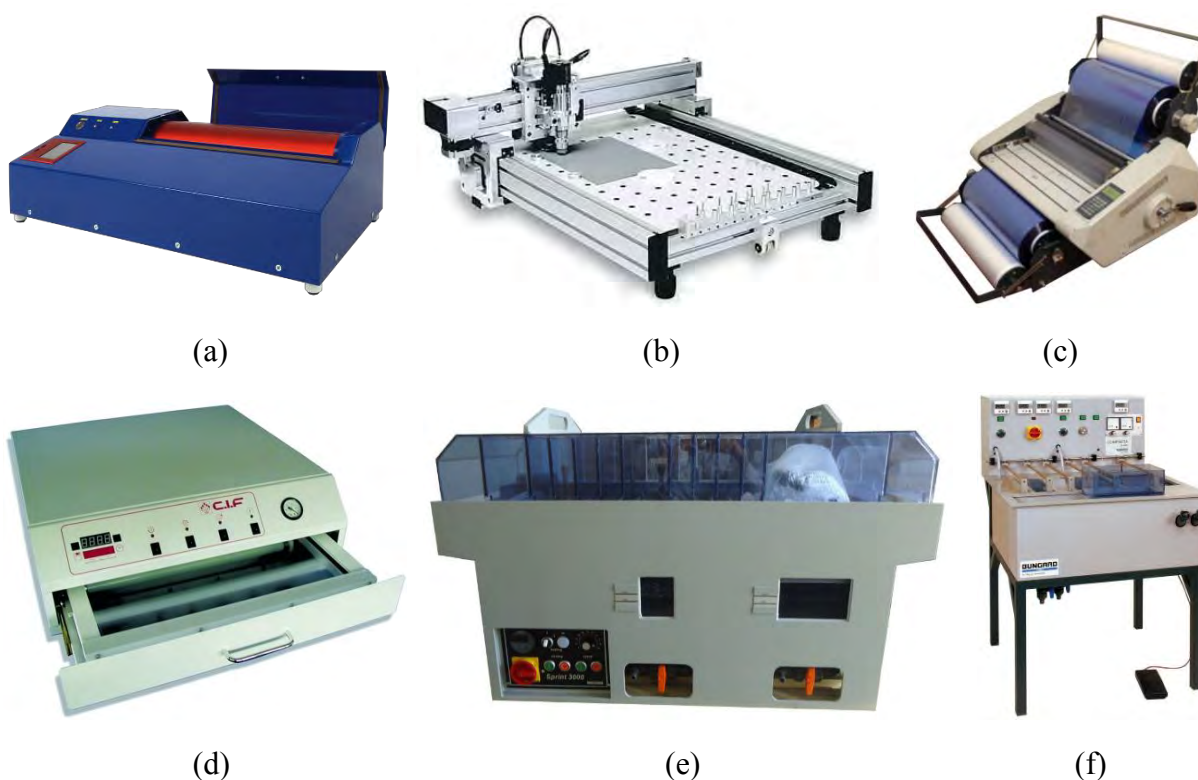


Figure 2.40 – Photoplotter FP 3000 Cypax (a), micro-fraiseuse CCD/ATC Bungard (b), laminateur M300 Eurolam (c), insoleuse DST 3040 CIF (d), graveuse chimique Sprint 3000 Bungard (e) et banc d'électrodéposition Compacta 30 Bungard (f)

Dans notre cas, nous appliquons un dernier film photosensible que nous révélons afin de garantir la sélectivité de notre dépôt de cuivre que nous effectuerons avec le banc d'électrodéposition Figure 2.40 (f) en utilisant en alimentation auxiliaire, le générateur présenté en section 2.5.1.3. En effet, l'alimentation d'origine du bâti de dépôt propose uniquement un courant continu et qui plus est ne permet pas de descendre de façon précise dans la gamme de courant nécessaire à nos dépôts de faibles sections.

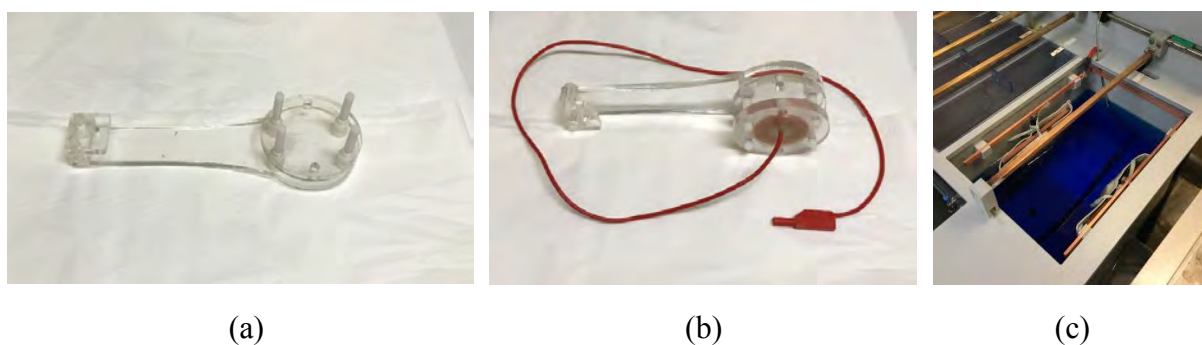


Figure 2.41 – Photographie du support d'électrodéposition (a), de l'anode (b) et la solution (c)

Pour compléter l'introduction du dispositif expérimental, un support en PMMA (Polyméthacrylate de méthyle), avec des vis en nylon, a été fabriqué pour accueillir la future cellule électrolytique et pouvoir la mettre en place sur l'équipement d'électrodéposition de cuivre en Figure 2.40 (f) ; les vis sont aux dimensions de l'anode précédemment fabriquée. La solution électrolytique a été renouvelée afin garantir ses propriétés électrochimiques et caractéristiques de dépôt (Figure 2.41).

#### 2.5.4.2 La préparation des substrats

L'étude et la conception CAO sont des étapes primordiales et nécessitent la prise en compte de l'ensemble des étapes technologiques pour la réalisation du dispositif final. Nous précisons cela car de nombreux éléments du substrat font l'objet de futures explications à travers ce chapitre mais également le chapitre suivant. Notre stratégie s'oriente vers la fabrication d'un circuit imprimé « unique » afin de standardiser la fabrication des substrats ainsi que les nano structures et l'assemblage des prototypes. Notre point de départ est une plaque en polyimide, avec fibre de verre, de 848  $\mu\text{m}$  d'épaisseur et une surface de 305 x 229  $\text{mm}^2$  ; chacune des faces est recouverte par 105  $\mu\text{m}$  de cuivre. Les différents trous traversant et pistes brièvement introduit ici seront détaillés par la suite. Concentrons-nous sur les étapes de préparation usuelles des circuits imprimés, de nos substrats, qui permettront de mieux appréhender le procédé d'élaboration des nano structures. Une plaque nous permet de préparer quatre substrats PCB. La première étape consiste à réaliser les différents trous traversant et mires en utilisant la micro-fraiseuse numérique.

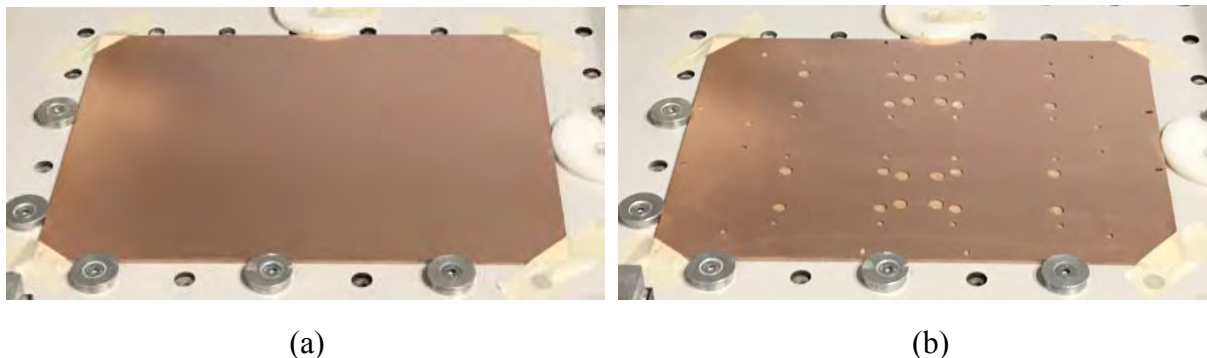


Figure 2.42 – Stratifié verre-polyimide (a) après micro-fraisage numérique (b)

Une fois obtenus les trous traversant, pour nos différents supports, mais surtout les mires afin de pouvoir placer nos masques par rapport aux repères, nous sommes en mesure de procéder aux différents traitement chimiques que composent la technologie PCB, en vue d'obtenir une plaque avec nos quatre substrats.

La Figure 2.43 représente l'ensemble des étapes permettant d'obtenir nos substrats, avec une attention particulière sur la zone d'élaboration de la future nano structure.

Ci-après, les explications détaillées de chacune des étapes du procédé de fabrication des substrats PCB :

- (a) La plaque, en verre-polyimide de 848  $\mu\text{m}$  recouverte de 105  $\mu\text{m}$  de cuivre double face, est désoxydée à l'acide sulfurique concentré à 10% ;
- (b) Le film photosensible, Riston T220 ayant une épaisseur réelle d'environ 40  $\mu\text{m}$ , est laminé sur les deux faces de la plaque ;
- (c) La plaque est insolée par ultraviolet durant 20 secondes et le film photosensible est révélé, afin d'ouvrir certaines zones spécifiques, par traitement chimique avec une solution de carbonate de potassium concentrée à 7  $\text{g.l}^{-1}$  ;
- (d) Le cuivre apparent est gravé par jets de perchlorure de fer à 20% sur les deux faces ;

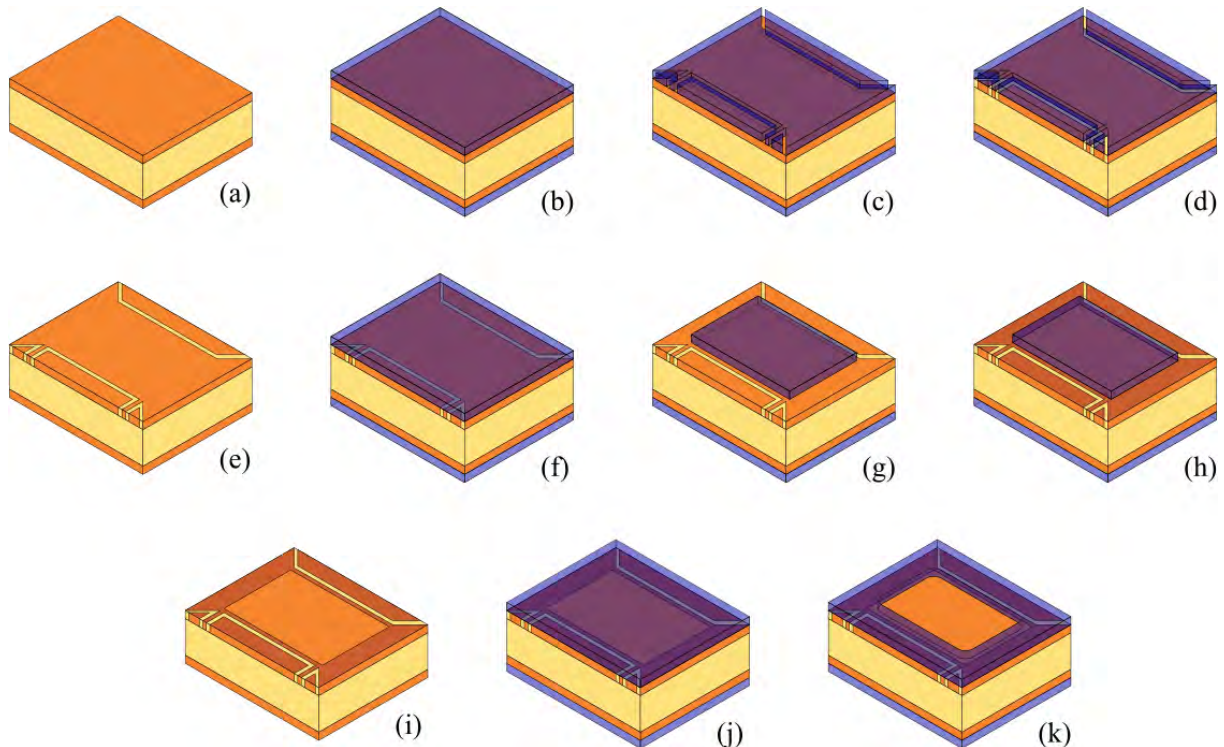


Figure 2.43 – Schéma représentatif des étapes du procédé de fabrication des substrats avec grossissement sur la zone de l'élaboration de la nano structure

(e) L'ensemble du film photosensible est retiré par traitement chimique à l'hydroxyde de sodium concentré à 10% puis la plaque est traitée à l'acide sulfurique à 10% afin de neutraliser les bases ; avant rinçage à l'eau dé-ionisée (EDI).

(f) Le second film photosensible est laminé sur les deux faces de la plaque ;

(g) La plaque est de nouveau insolée par ultraviolet durant 20 secondes et le film photosensible révélé par traitement chimique avec une solution de carbonate de potassium à  $7 \text{ g.l}^{-1}$  ;

(h) La micro-gravure (oxydation brune) du cuivre est effectuée par traitement chimique via une solution du fournisseur Cookson Electronics : AlphaPREP PC-7030 ;

(i) Le film photosensible Riston T220 est retiré par traitement chimique à l'hydroxyde de sodium à 10% (*stripping*) puis la plaque neutralisée par acide sulfurique à 10% avant rinçage à l'EDI ;

(j) Le troisième et dernier film photosensible est laminé sur la plaque ;

(k) La plaque est insolée par ultraviolet durant 20 secondes et le film photosensible révélé par traitement au carbonate de potassium à  $7 \text{ g.l}^{-1}$  suivis de l'étape de neutralisation classique.

L'étape (k) constitue le premier pas vers l'élaboration de la nano structure. Comme nous avons pu le constater durant le procédé de fabrication des substrats PCB, le film photosensible permet de garantir la sélectivité des traitements chimiques afin d'apporter le traitement spécifique uniquement sur les zones souhaitées. Cette solution permet, dans notre cas, de procéder localement à l'électrodéposition. Les caractéristiques photosensibles de ce film sont également primordiales du point de vue de la compatibilité technologique.



Les étapes de retrait, partiel ou total, sont réalisées par traitement au carbonate de potassium ( $K^2CO^3$ ) et à l'hydroxyde de sodium ( $NaOH$ ) respectivement ; ces solutions sont alcalines. En nous intéressant de plus près à ce film photosensible, nous constatons qu'il est résistant aux acides, ce qui le rend utilisable dans notre solution électrolytique à forte concentration d'acide. Ce sont ces arguments qui nous orientent vers l'utilisation de films photosensibles pour réaliser la sélectivité de notre dépôt. De plus, cette technologie est utilisée et mature dans le milieu de la fabrication de systèmes électroniques, ce qui la rend donc parfaitement adaptable aux lignes de production actuelles.

Maintenant que nos quatre substrats sont « imprimés » sur notre plaque, il nous faut les détourer. La plaque est une seconde fois collée au plateau martyr de la micro-fraiseuse numérique puis maintenue par compression, dans sa longueur et largeur, par les mords de l'équipement ; voir Figure 2.44 (a). Après détourage, Figure 2.44 (b), les substrats PCB sont retirés du plateau martyr, permettant d'obtenir quatre substrats comme celui représenté en Figure 2.44 (c). L'ouverture centrale servira à la réalisation de la nano structure. Les deux languettes supérieures permettront l'amenée de courant nécessaire au procédé de dépôt électrolytique en permettant au substrat de devenir la partie cathodique de notre cellule électrolytique.

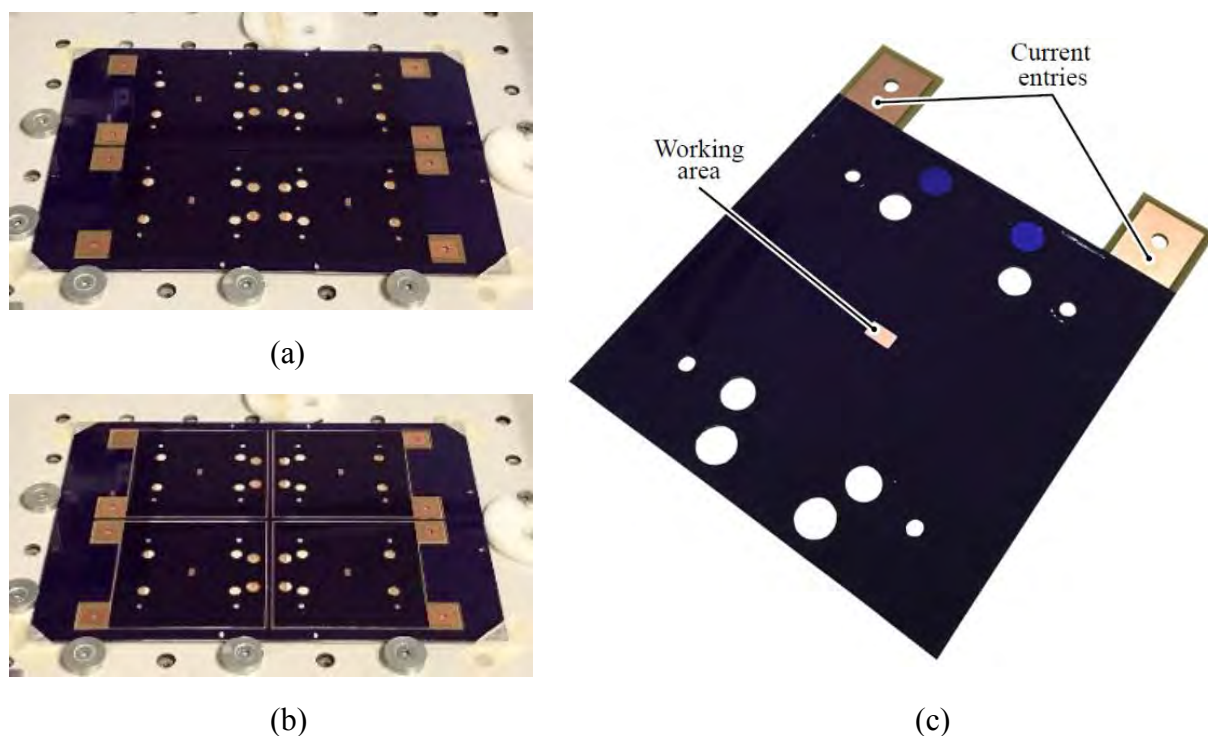


Figure 2.44 – Substrats PCB avant (a) et après (b) détourage par micro-fraiseuse ainsi qu'un substrat unitaire prêt pour la fabrication d'une nano structure (c)

#### 2.5.4.3 L'étude du procédé de dépôt de la nano structure

Notre cellule électrolytique est complète et permet d'envisager à présent l'élaboration de la nano structure. Néanmoins, revenons en arrière en parlant des dépôts sur les échantillons et puces semi-conductrices en section 2.5.3.6 : nous avons pu établir que la délimitation de la zone de dépôt par isolation électrique est nécessaire afin d'éviter les défauts de débord du cuivre que nous avons pu visualiser précédemment.

Dans un tel cas, du cuivre se déposera au niveau des contours en débordant de la zone initialement souhaitée. Sans même commencer l'électrodéposition, nous pouvons imaginer avoir écarté le défaut de nature électrochimique, la corrosion galvanique, de par l'utilisation d'un seul et même métal : le cuivre. L'isolation avec le film photosensible s'inscrit dans cette dynamique en renforçant la sélectivité du dépôt ; amélioration apportée par la technologie PCB.

Cependant, il reste un point clef à définir qui est celui de la mise en place de la membrane. Constituée en alumine et avec une épaisseur de 60  $\mu\text{m}$ , cette configuration la rend rigide mais également cassante, amplifiée par sa faible épaisseur. D'autant plus que notre procédé nécessite la mise en compression de la cellule électrolytique, protrusions et cavités sont susceptibles d'endommager la membrane par cisaillement.

Référons-nous à la Figure 2.45 représentant en vue de coupe les configurations d'applications de la membrane sur notre substrat. En l'état, nous disposons d'un substrat recouvert de film photosensible avec une ouverture localisée au niveau de la zone où nous désirons réaliser notre nano structure ; voir Figure 2.45 (a). La première solution envisagée est la mise en place de la membrane directement au-dessus de la zone de travail (Figure 2.45 (b)). Cependant, la mise en compression par l'assemblage de l'anode vient courber la membrane la faisant toucher uniquement le cuivre au centre de la cavité et causant sa fracture à la jonction film photosensible et ouverture. La Figure 2.45 (c) est basée sur le même principe mais cette fois le maintien de la membrane est effectué par l'application d'un second film photosensible avec des ouvertures identiques. La solution apportée ici consiste à ne plus venir faire tenir la membrane par la mise en compression de l'anode et donc éviter la fracture de la membrane. Même constat, les rouleaux du laminateur ont le même effet et viennent fracturer la membrane en bordure de cavité. Une quatrième solution a été envisagée et est illustrée en Figure 2.45 (d). En revenant sur nos pas, nous avons proposé de placer la membrane directement sur le substrat, représenté en Figure 2.43 (i), avant la mise en place du troisième film photosensible. Cette solution permet d'éviter l'endommagement de la membrane mais révèle d'autres problématiques d'herméticité. La membrane, fortement hydrophile, s'imbibe de la solution d'amorçage jusqu'à s'infiltrer sous le film photosensible allant jusqu'à le décoller partiellement en périphérie de la membrane. Lors du lancement du dépôt, nous avons remarqué que le cuivre se dépose sur l'ensemble de la zone de la membrane et également dans les zones décollées. De plus, le maintien de la membrane par le film photosensible ne s'avère pas efficace. Le cuivre électrodéposé soulève la membrane et ne pénètre pas à travers les pores.

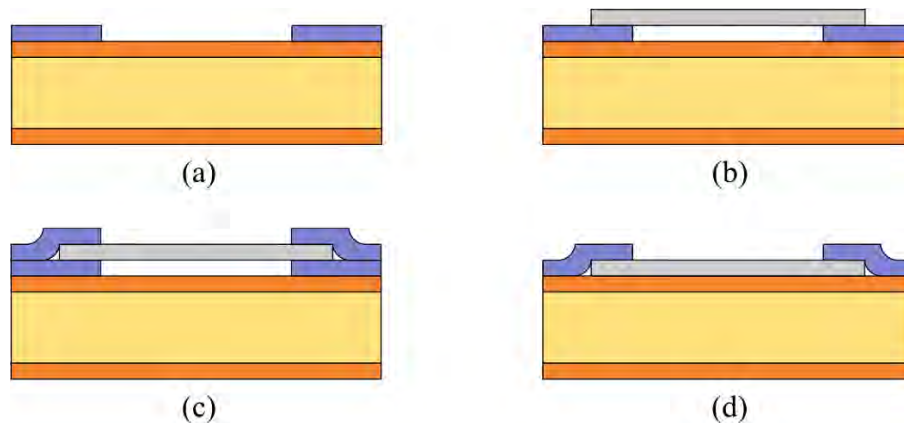


Figure 2.45 – Vue de profil des différentes configurations de mise en place de la membrane sur la zone de dépôt du substrat PCB



En résumé, les solutions de mise en place au-dessus de la cavité sont sources de défauts par rupture de la membrane et en dessous du film photosensible par une mauvaise isolation, la dégradation du film ainsi qu'un mauvais plaquage de la membrane. Une fois encore, la nécessité d'un plan aux surfaces coplanaires se fait remarquer dans nos expériences. À savoir que nous avons imaginé découper les membranes aux dimensions souhaitées afin de les insérer dans la cavité. Cependant, les découpes sont délicates et nécessitent de nombreuses étapes. En effet, les incertitudes dues à la découpe sont susceptibles d'empêcher l'enfoncement de la membrane dans la cavité, allant jusqu'à la cassure en périphérie et le mauvais plaquage contre le cuivre, ou bien de créer un jeu latéral en laissant place au dépôt massif de cuivre en périphérie de la nano structure.

L'alternative proposée est basée sur le même principe que l'assemblage de la Figure 2.45 (b), cependant nous proposons d'ajouter une étape de remplissage de la cavité par du cuivre à hauteur du film photosensible, nous permettant d'avoir un plan avec ces différentes surfaces coplanaires ainsi que de bénéficier de la sélectivité du dépôt. Cet assemblage permet de conserver, ou non, l'étape de mise en compression de la cellule électrolytique, comme nous le verrons par la suite.

#### 2.5.4.4 La réalisation de la nano structure

La Figure 2.46, ci-dessous, représente les huit étapes qui constituent le procédé de réalisation de nano structures sur substrat PCB. Avant même de commencer les explications de chacune des étapes, nous remarquons que le nombre d'étapes du procédé que nous proposons reste inférieur à celui de la fabrication des substrats ; voir Figure 2.43 En vue d'une éventuelle « future » production, ce paramètre semble intéressant. Bien que ces étapes représentent un coût et une durée additionnelle, elles ne constitueront pas le facteur principal dans la chaîne complète. C'est également les étapes d'interconnexion qui peuvent être supprimées du fait de la possibilité de faire un assemblage deux en un : fabrication du substrat et interconnexion des puces actives. La comparaison sera nécessaire afin de savoir quelle solution est potentiellement la plus compétitive [288].

Ci-après, les explications de chacune des étapes du procédé proposé :

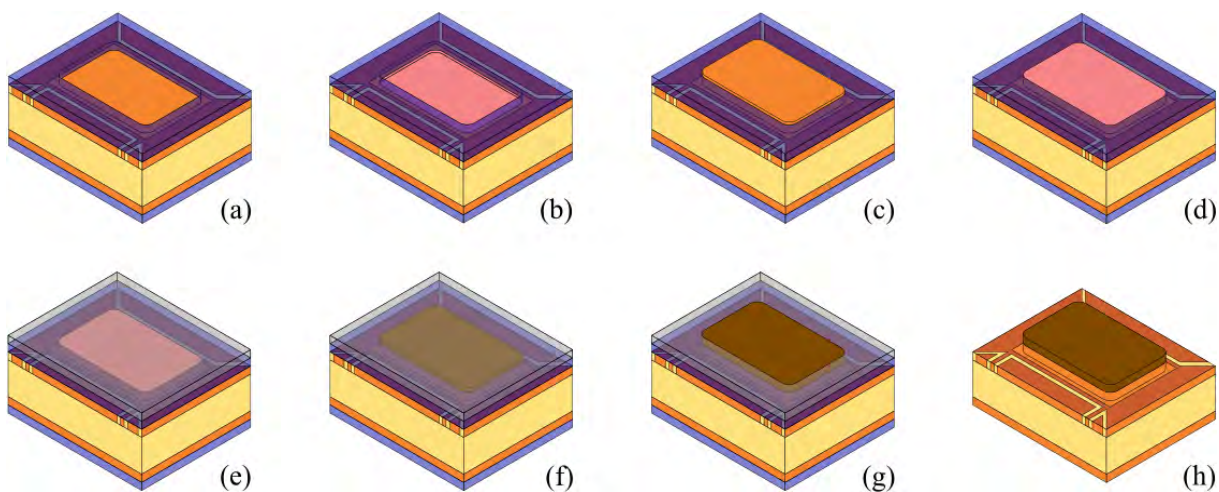


Figure 2.46 – Schéma représentatif des étapes du procédé de fabrication du substrat

**(a)** Le substrat PCB avec son film photosensible ouvert au niveau de la zone de travail :

La première étape consiste à désoxyder le cuivre de notre substrat par traitement chimique à l'acide sulfurique concentré à 10%. Nous ne brossons pas les plaques, les substrats, afin de ne pas altérer l'état de surface du cuivre, ce qui pourrait générer des défauts lors du procédé d'électrodéposition du cuivre. Afin de pouvoir réaliser les prochaines étapes, nous devons connaître la profondeur de notre cavité, l'épaisseur du film photosensible. Les mesures sont effectuées au profilomètre sur six échantillons distincts ; voir Figure 2.47 (b). La profondeur de nos cavités est évaluée autour des 45  $\mu\text{m}$ .

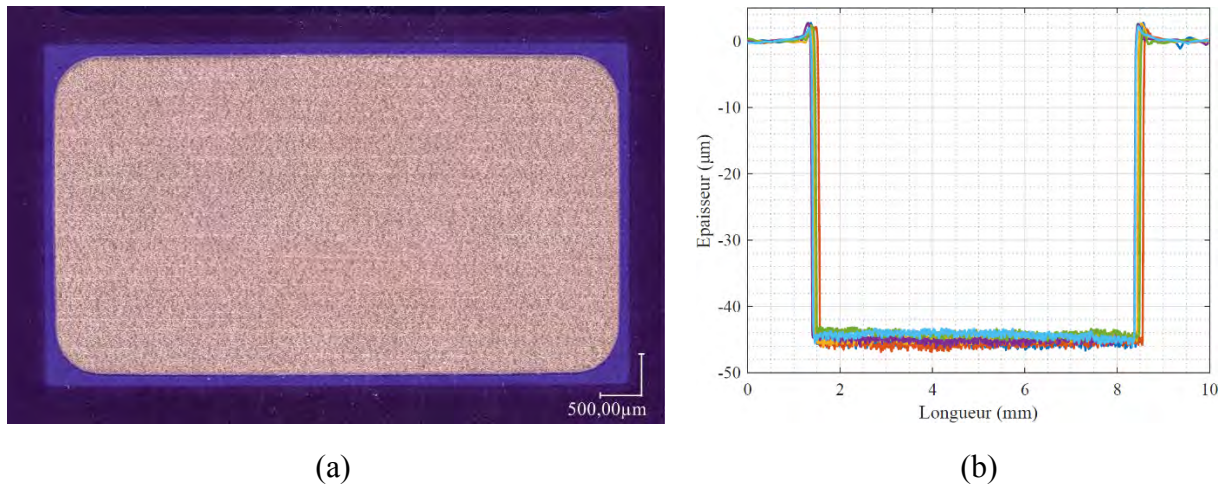


Figure 2.47 – Image au microscope numérique (x200) en vue de dessus d'une cavité (a) et mesures au profilomètre de six substrats (b)

**(b)** La préparation de la surface du cuivre apparent par électro-gravure :

Le substrat PCB est placé sur le support via les trous traversant dans lesquels les vis en nylon du support sont insérées. Avant de mettre l'anode, nous plaçons des entretoises de 15 mm de long sur chaque vis afin de favoriser le renouvellement de la solution lors de la gravure. Ensuite, l'anode est assemblée avec des écrous serrés au couple de 0,2 N.m.

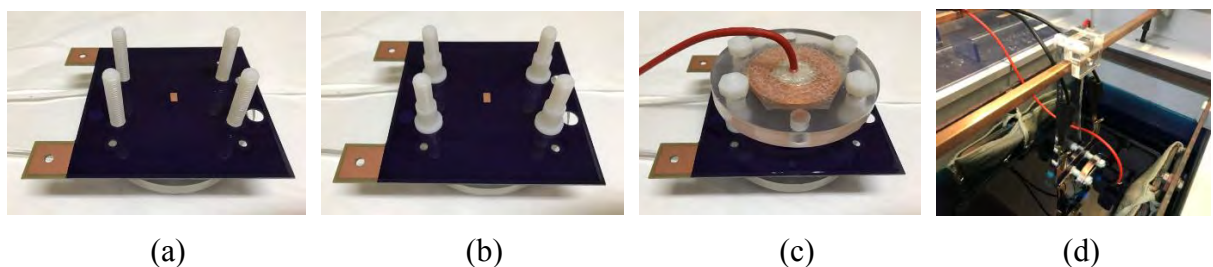


Figure 2.48 – Support avec placement du substrat PCB (a) avec ses entretoises (b) et l'anode (c) en cours d'électro-gravure (d)

Nous savons que les plaques sont préalablement préparées avant de réaliser le circuit afin de retirer les couches protectrices contre l'oxydation. Nous avons retiré l'étape de brossage afin de ne pas détériorer notre état de surface. Pour cela, nous effectuons une étape d'électro-gravure pendant 45 minutes, utilisant le même profil présenté en section 2.4.3 et appliqué lors de nos dépôts sur échantillons et puces, en inversant la polarité de notre cellule électrolytique. Le substrat PCB devenant l'anode, le cuivre n'est plus déposé mais gravé et ce dans la cavité.

À l'issue des 45 minutes, la cellule électrolytique est ouverte afin de nettoyer, délicatement avec du papier humide, la boue anodique présente sur le cuivre du substrat. Le substrat est ensuite traité à l'acide sulfurique. À noter que la rugosité de la surface est améliorée de 50% contrairement à la rugosité initiale des plaques. La Figure 2.49 (a) illustre l'état de surface du cuivre obtenu.

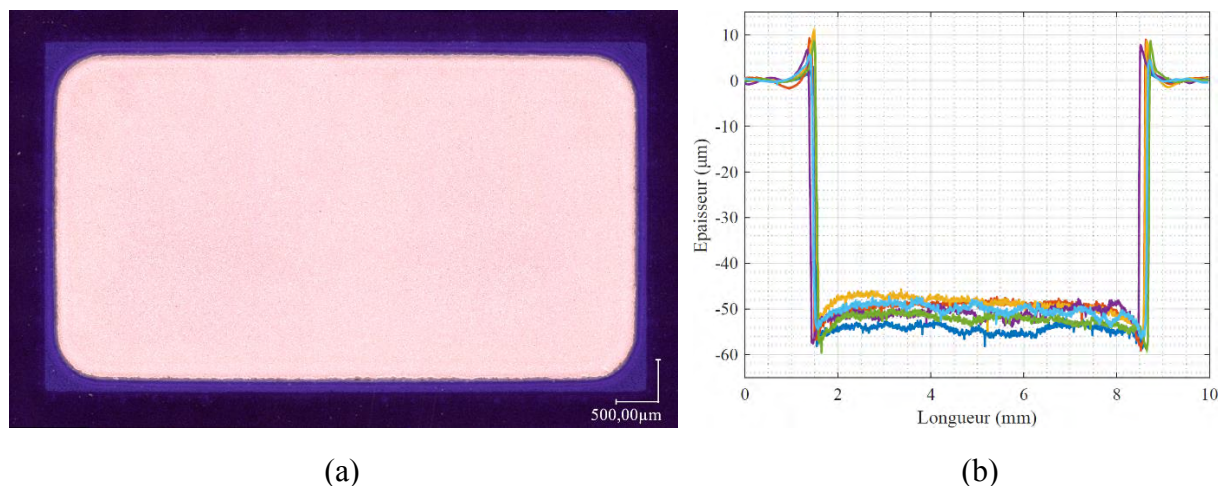


Figure 2.49 – Image au microscope numérique (x200) de la gravure du cuivre dans la cavité (a) et mesure des profils de cavité de six substrats (b)

Referons-nous à la Figure 2.49 (b), la gravure partielle du cuivre est estimée à 6 µm. L'une des remarques que nous pouvons faire est la présence d'une gravure plus profonde en bordure de cavité que nous expliquons par les effets de bord liés à la concentration du champ électrique en périphérie. Nous visualisons également que les bordures du film photosensible forment des pointes plus franches. Nous l'expliquons par une déformation du film liée au contact direct lors du nettoyage de la cavité.

(c) Le remplissage, avec débordement, de la cavité par électrodéposition de cuivre :

Une fois la gravure achevée, la cavité est remplie par électrodéposition de cuivre durant 6 heures et 53 minutes ; la polarité étant rétablie, le substrat PCB prend la fonction de cathode. Cette étape ne se limite pas uniquement au remplissage mais également à un léger dépassement du cuivre par rapport au film photosensible. La cellule électrolytique est assemblée de la même façon qu'à l'étape (b) ; voir Figure 2.48.

Visuellement, la Figure 2.50 (a) montre un cuivre brillant et lisse avec très peu de défauts en surface. Cependant, les mesures des profils de nos dépôts sur la Figure 2.50 (b) nous en disent plus. Des pics, pouvant atteindre plus de 15 µm de hauteur, sont présents en bordure de dépôt. Nous nous référons à notre hypothèse précédente, celle des effets de bords, bien connue avec les procédés de dépôt par voie électrolytique [289], [290]. Néanmoins, le reste du dépôt présente une bonne planéité avec un dépassement en moyenne de 7,5 µm d'après les mesures effectuées au profilomètre sur six échantillons ; voir Figure 2.50 (b).



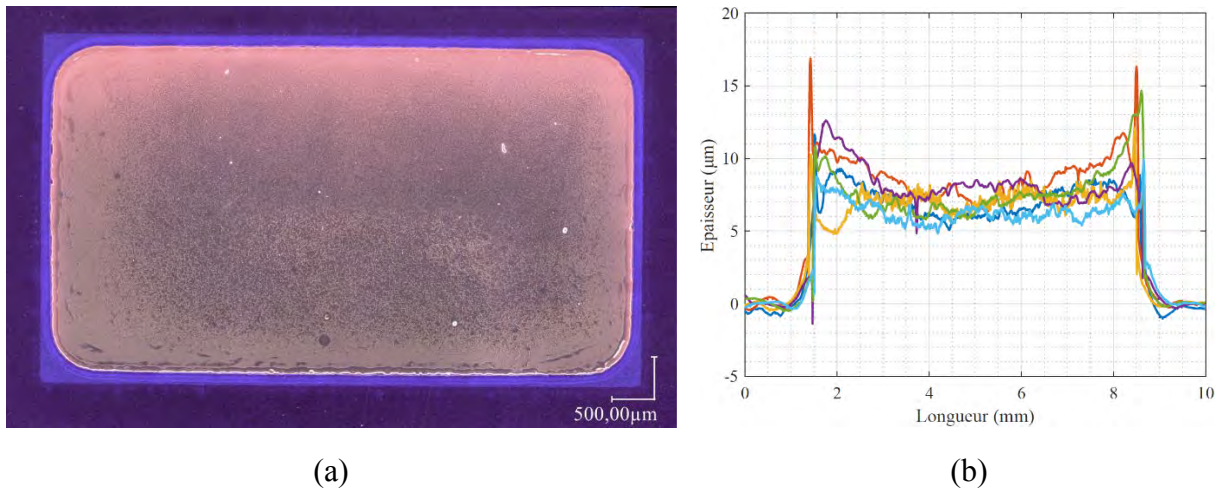


Figure 2.50 – Image au microscope numérique (x200) du cuivre électrodéposé dans la cavité (a) et mesure des profils de cavité de six substrats (b)

**(d)** La préparation de la surface et le nivellement, par rapport au film photosensible, du cuivre électrodéposé par électro-gravure :

Nous procédons à une seconde électro-gravure avec le même assemblage et paramètres qu'en étape (b). Bien que nous réalisons cette électro-gravure afin d'augmenter la rugosité de notre surface et d'améliorer l'adhérence de la nano structure, elle nous permet également de diminuer les effets de bord générés lors de l'étape précédente de remplissage de la cavité. Nous avons remarqué lors de la première électro-gravure que les bords étaient « sur-gravés » ; voir Figure 2.49 (b). Ici, nous bénéficions des effets de bords afin de réduire ces pics en périphérie. Notre retour d'expérience nous permet d'avancer que la présence de pics, inférieurs à 15 µm, permettent tout de même réaliser une nano structure sans pour autant générer de défaut.

Quant à la surface du plot en cuivre, elle se retrouve quasi-coplanaire avec le film photosensible et évaluée à 0,75 µm au-dessus du film en moyenne. Les nombreux essais ont démontré que ces conditions permettaient d'électrodéposer le reste de la couche nano structurée de façon répétable et sans défaut majeur.

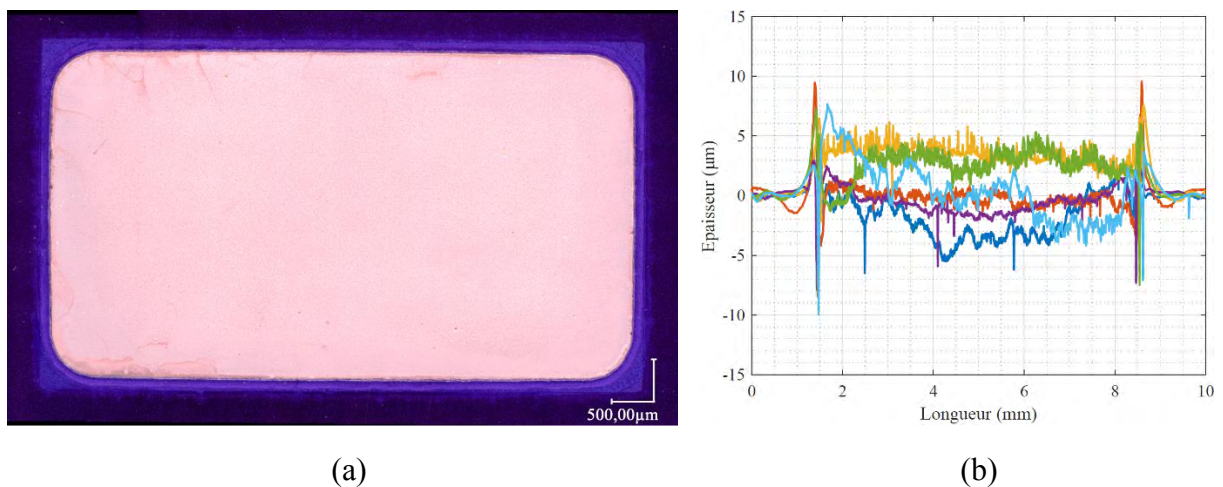


Figure 2.51 – Image au microscope numérique (x200) du cuivre électrodéposé avec électro-gravure (a) et mesure des profils de de six substrats (b)

**(e)** La mise en place de la membrane en alumine sur la zone de travail :

Lorsque nos surfaces sont coplanaires et que le cuivre est préparé et désoxydé à l'acide sulfurique à 10%, nous devons placer la membrane au regard du plot en cuivre qui sera notre cathode dans la cellule électrolytique. Bien que cette étape paraisse simple, elle reste cruciale dans la suite du procédé. La moindre bulle d'air piégée réduira la surface d'électrodéposition et donc conduira au dépassement du cuivre car les paramètres de la source seront toujours appliqués pour la surface initialement prévue. Nous avons commencé par mettre la membrane puis la solution. Néanmoins, bien qu'aléatoires, nous obtenions des vides dans nos dépôts. Nous nous sommes aperçus que des bulles étaient présentes et pouvaient être la cause de ces défauts. Nous nous sommes affranchis de cette problématique en appliquant d'abord la solution sur le plot en cuivre puis en venant placer la membrane ci-dessus et en appuyant sur celle-ci afin de la plaquer contre le substrat ; la Figure 2.52 représente les deux étapes de la mise en place de la membrane.

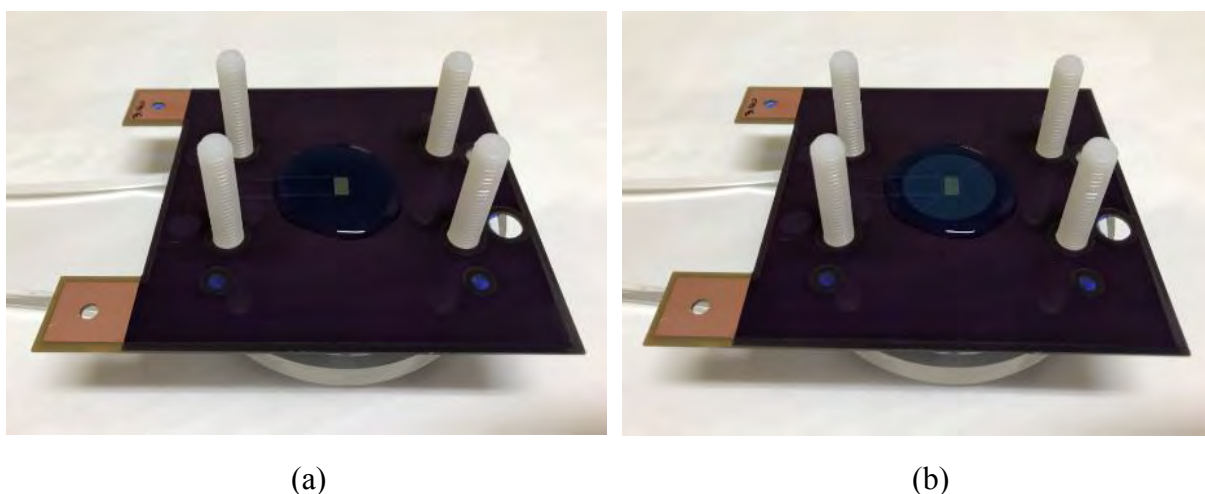


Figure 2.52 – Application de la solution d'amorçage (a) avec la mise en place de la membrane sur le substrat au regard du plot en cuivre (b)

**(f)** Le pré-remplissage de la membrane par compression de la cellule électrolytique et électrodéposition du cuivre :

Ensuite nous procédons à la mise en compression de la membrane. Afin de répartir les contraintes mécaniques, deux feuilles de cellulose sont appliquées sur la membrane (Figure 2.53 (a)) puis l'anode est mise en place et les écrous sont serrés au couple de 0,2 N.m (Figure 2.53 (b)). Un serrage trop important est susceptible d'endommager la membrane au contact des pics que nous avons remarqué lors des étapes (c) et (d). La cellule étant prête, nous lançons l'électrodéposition de cuivre pour une durée de 1 heure afin d'obtenir approximativement des nano fils de 10  $\mu\text{m}$  de longueur; voir Figure 2.53 (c).

À l'issue du dépôt de cuivre, nous ouvrons la cellule électrolytique et retirons les feuilles de cellulose. La Figure 2.54 (a) montre le résultat obtenu après le dépôt. Nous pouvons voir que la quasi-totalité de la zone présente un dépôt, certes non homogène, néanmoins la majorité des nano fils se trouvent au centre.



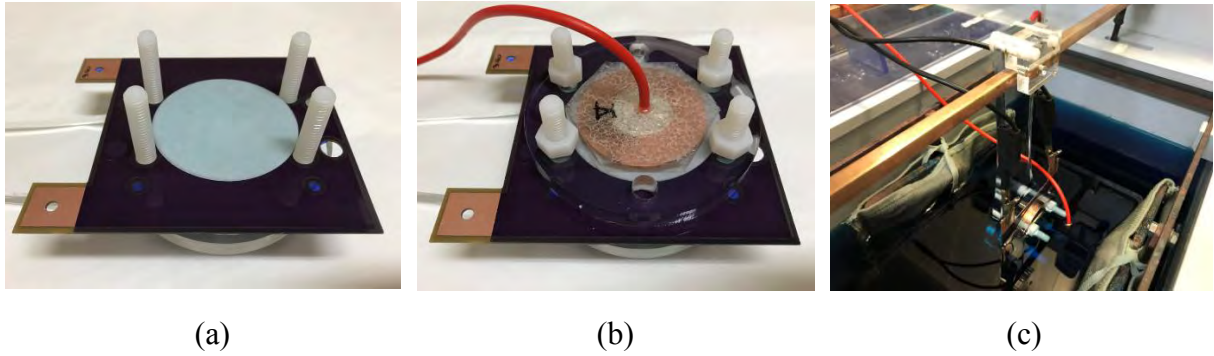
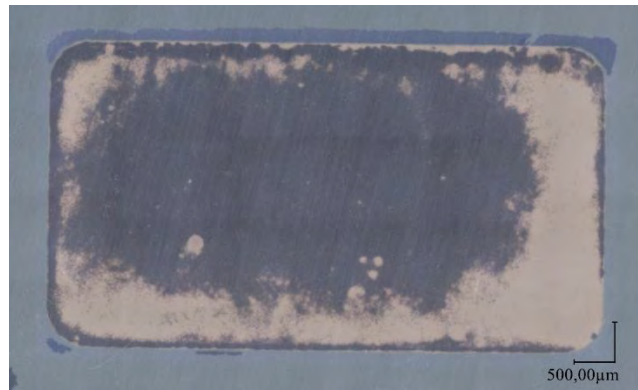
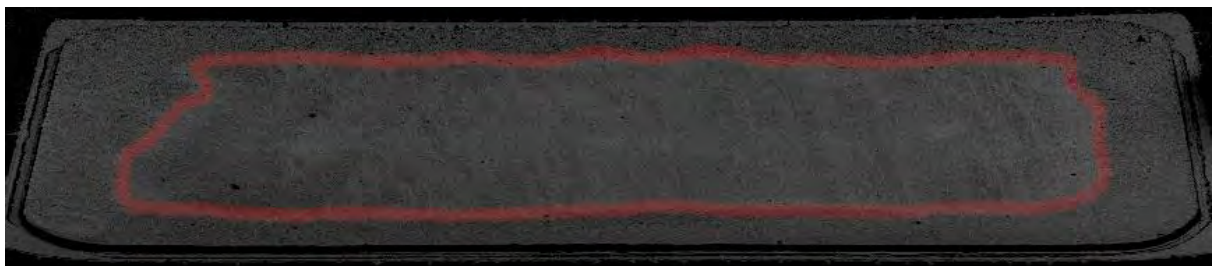


Figure 2.53 – Mise en place des feuilles de cellulose (a) puis de l'anode et ses écrous (b) et immersion de la cellule dans la solution électrolytique pour le dépôt de cuivre (c)

La Figure 2.54 (b) met en évidence la zone où les nano fils électrodéposés sont les plus longs et ce après retrait de la membrane. Précisons que dans le procédé classique, nous ne retirons pas la membrane à cette étape et que cela a été effectué uniquement à titre de visualisation.



(a)



(b)

Figure 2.54 – Image au microscope numérique (x200) d'un dépôt de cuivre durant 1 heure à travers la membrane (a) puis au microscope électronique à balayage (x15) après retrait de la membrane (b)

**(g)** Le remplissage de la membrane par ouverture de la cellule électrolytique et électrodéposition du cuivre :

Le processus d'élaboration de la nano structure n'est pas achevé. La cellule est réassemblée avec les entretoises comme en Figure 2.48 et sans mise en compression par l'anode. Cette étape est déterminante quant aux nano fils que nous obtenons.

La membrane étant capturée par la nano structure, elle ne nécessite plus de mise en compression mécanique par l'anode afin d'être maintenue. La cellule est remise dans la solution pour un dépôt de cuivre de 5 heures et 53 minutes.

La configuration de notre cellule nous permet un renouvellement de la solution électrolytique par action mécanique. Le bullage du bain est retiré afin d'éviter une rupture de la membrane par soulèvement en cas d'insertion de bulles entre le substrat et la membrane. Ce renouvellement de la solution permet d'améliorer le nivellement de la nano structure. Lorsque le dépôt est terminé, nous pouvons voir, notamment en Figure 2.55, l'ensemble de la surface de la membrane, au regard du plot en cuivre, avec une teinte marron unie.

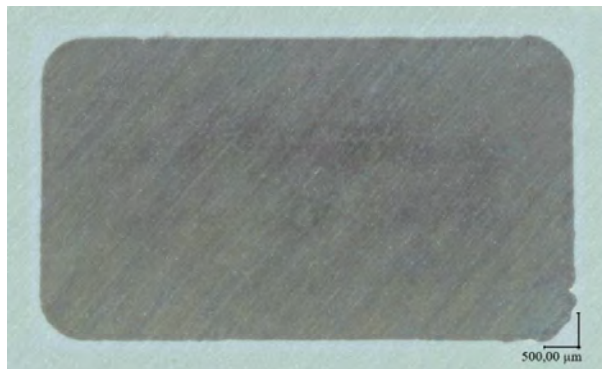


Figure 2.55 – Image au microscope numérique (x200) de la membrane après remplissage par électrodéposition de cuivre

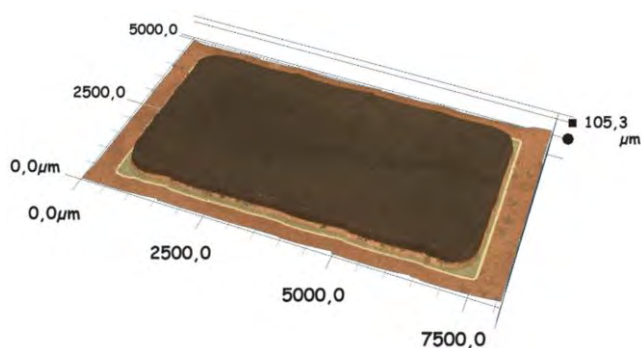
Nous avons pu remarquer à l'étape précédente que la présence de nano fils démontre une couleur foncée en comparaison au cuivre nu. L'obtention de ce résultat se révèle, pour le moins, encourageant quant à l'élaboration d'une nano structure en vue d'être utilisée comme élément d'interconnexion.

**(h)** Le retrait de la membrane et du film photosensible par traitement chimique :

Nous voici à la dernière étape de notre procédé d'élaboration de la nano structure. L'échantillon est traité dans une solution d'hydroxyde de sodium à 10% et 60°C pendant une durée de 30 minutes afin de retirer la membrane mais également le film photosensible. Rappelons que l'alumine se dissout dans l'hydroxyde de sodium [291], [292]. Cela représente un très grand intérêt en vue d'une future production.



(a)



(b)

Figure 2.56 – Image au microscope numérique (x200) de la nano structure obtenue (a) et mesure de son épaisseur (b)

Avec une solution utilisée pour retirer le film photosensible, la membrane est également retirée ce qui ne contraint pas les fabricants à utiliser de solutions additionnelles qui pourraient être toxiques dans le cas le plus critique. La Figure 2.56 (a) nous permet de visualiser le résultat obtenu. Nous en profitons pour mesurer l'épaisseur de notre structure en utilisant l'algorithme de traitement d'image de notre microscope numérique qui nous donne approximativement 105  $\mu\text{m}$ .

En regardant de plus près, la Figure 2.57 (a) nous permet de remarquer la formation d'agrégats comme l'ont montré les travaux précédents en Figure 2.8 (d) pour des dépôts de d'environ 60  $\mu\text{m}$ . Ces agrégats sont la formation de paquets de fils, la Figure 2.57 (b) nous permet d'apprécier la constitution d'un des agrégats. Pour l'instant, l'ensemble des images, mesures et acquisitions en notre procession nous permettent de conclure que nous sommes en présence d'une surface structurée macro-nanométrique avec une forte densité de nano fils et qui plus est relativement homogène en hauteur contrairement aux essais sur puce.

Les dimensions du plot en cuivre sont définies par la surface mais aussi l'épaisseur du film photosensible utilisé. Concernant le choix du remplissage de la membrane, nous espérons qu'une nano structure la plus longue que possible avec nos membranes apportera plus de flexibilité à nos futurs assemblages.

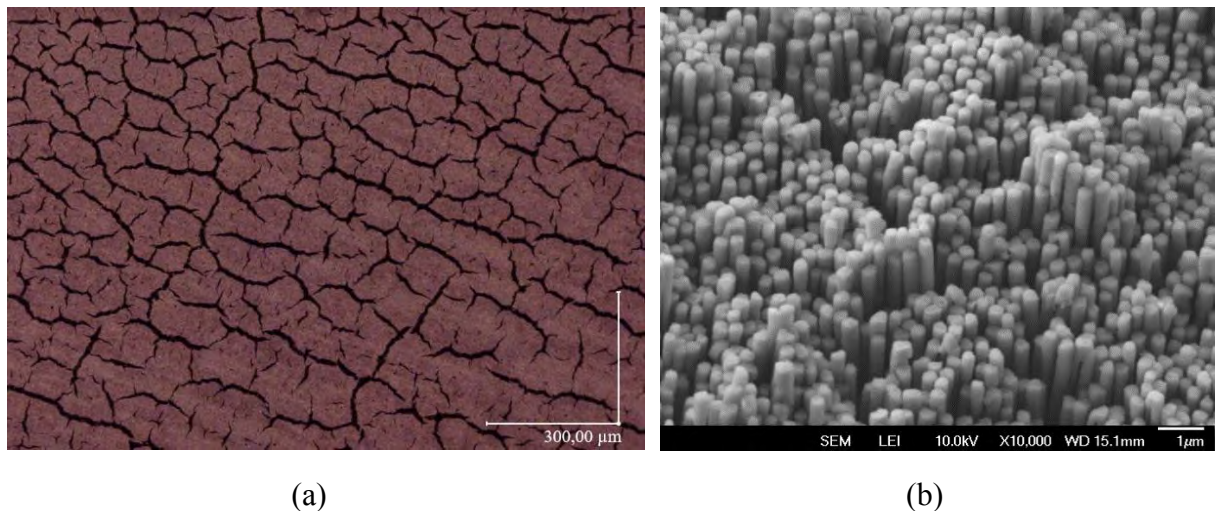


Figure 2.57 – Images au microscope numérique (x1000) des agrégats de la nano structure (a) et grossissement au microscope électronique à balayage (x10000) sur un agrégat (b)

Les acquisitions en vue de profil de notre structure macro-nanométrique permettent clairement d'identifier le macro poteau en cuivre ainsi que la nano structure placée au-dessus de ce dernier. Nous remarquons également un plateau entre ces deux éléments d'une épaisseur d'environ 10  $\mu\text{m}$  ; voir Figure 2.58 (a).

Si nous regardons au bord de l'interface structurée, comme est illustré un cas critique en Figure 2.58 (b), nous pouvons remarquer un dépassement latéral du cuivre qui nous appelons couramment effet « champignons » ; nous avons déjà remarqué ce type de débordement en section 2.5.3.3 et 2.5.3.4 lors des dépôts sur les échantillons en cuivre et aluminium.



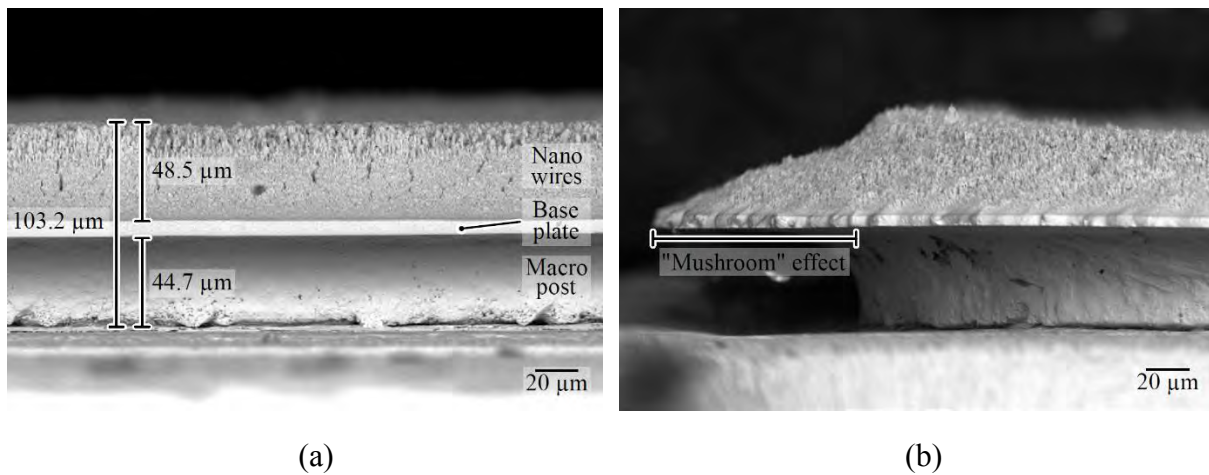


Figure 2.58 – Acquisitions (x400) en vue de profil du résultat obtenu (a) et d'un dépassement critique (b)

Il est également visible que la croissance de nano fils s'effectue sur le plateau. Cependant, plus ils sont en bordure et éloignés du plot en cuivre, plus ils sont courts. C'est seulement à partir du moment où ils sont au regard du plot en cuivre que la structure devient homogène.

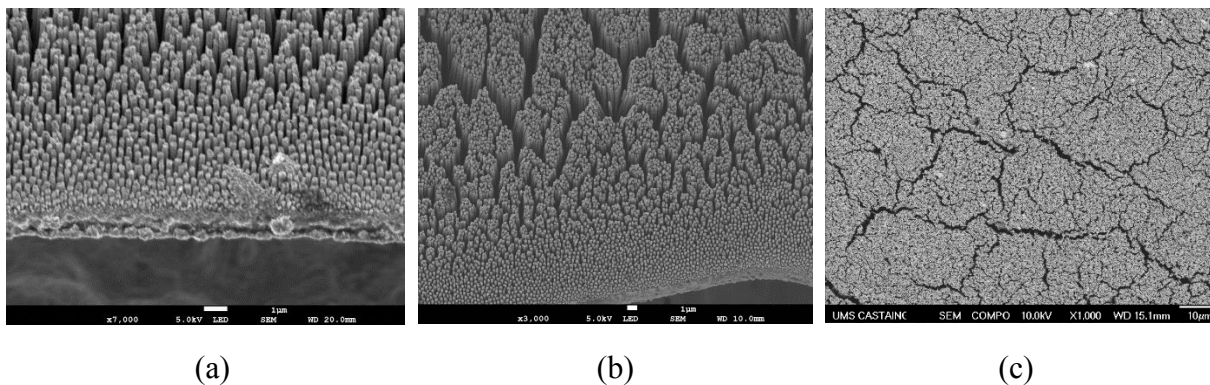


Figure 2.59 – Acquisitions de la croissance des nano fils en bordure (x7000) (a) et au regard du plot en cuivre (x3000) (b) ainsi qu'au centre de la surface (x1000) (c)

L'effet « champignon » permet également d'expliquer l'épaisseur d'environ 50  $\mu\text{m}$  ; initialement prévue pour remplir notre membrane soit 60  $\mu\text{m}$ . Théoriquement, en considérant le débord latéral négligeable, un dépôt plein de 10  $\mu\text{m}$  devrait se traduire par une épaisseur de 20  $\mu\text{m}$  à travers notre membrane du fait de sa porosité de 50% ce qui correspondrait à un dépassement de cuivre au-dessus de celle-ci. Néanmoins, il est difficile de conclure quant à ce phénomène. Nous n'avons aucune certitude à propos de son épaisseur sur l'ensemble de la surface ; il est probable que nous ayons une dizaine de micromètres uniquement en périphérie. De plus, nos expériences visant à calculer la porosité de notre membrane nous donnent une valeur de 50% mais il est possible qu'elle varie comme nous l'indique le fabricant. Gardons à l'esprit que nous disposons de membranes en alumine non ordonnées. Pour la suite de nos travaux, nous utiliserons ce procédé en considérant une épaisseur minimale de 100  $\mu\text{m}$  en supposant une structure composée d'un plot d'environ 45  $\mu\text{m}$ , un plateau autour d'une dizaine de micromètres et proche d'une cinquantaine pour la nano structure.

## 2.5.4.5 L'adhérence des surfaces

Comme nous l'avons exposé en début de section précédente, nous avons rencontré des problèmes lors de la mise en place du procédé, notamment concernant l'adhérence des surfaces. Si l'on étudie la Figure 2.60 et Figure 2.61, certains plots en cuivre se sont décollés du substrat, de même pour les nano structures, par le simple fait d'un traitement chimique à l'hydroxyde de sodium 10% à chaud.

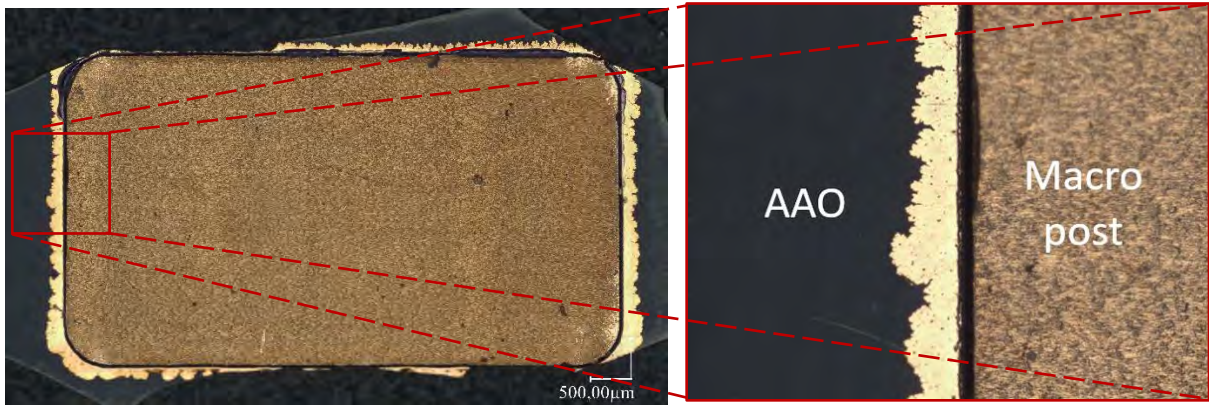


Figure 2.60 – Vue de dessous du détachement du plot en cuivre

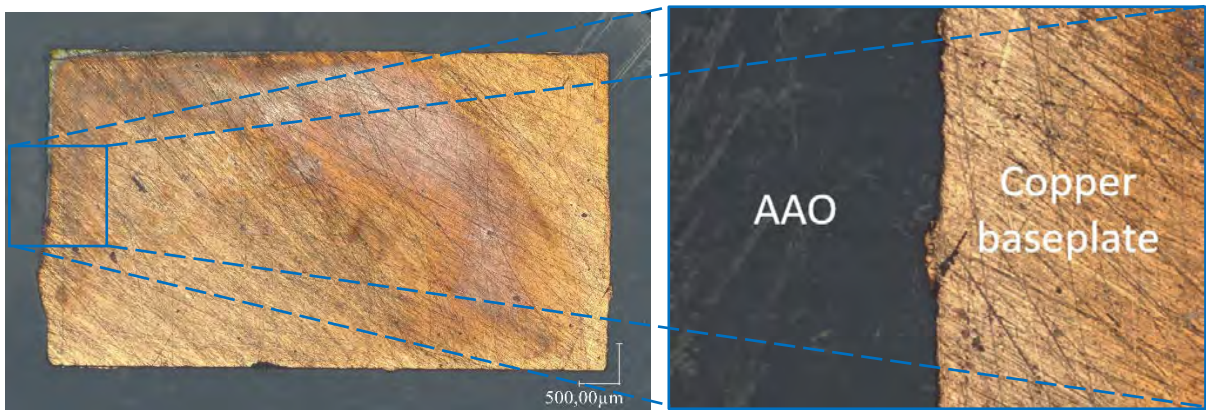


Figure 2.61 – Vue de dessous du détachement de la nano structure en cuivre

Le premier élément nous permettant de savoir quelle interface s'est détachée est le débord de cuivre nous rappelant le plateau de cuivre dépassant du plot. Nous sommes également en mesure de deviner une protrusion sur la membrane, appelée AAO en Figure 2.60, dans le cas d'un décollement de plot.

En cas de doute, une mesure au profilomètre démontrant une surface quasi-plane signifiera le décollement de la nano structure et un gap d'une cinquantaine de micromètres validera le décollement du plot en cuivre (Figure 2.62).

Le manque d'adhérence entre les interfaces peut s'expliquer par un traitement de surface du fournisseur afin de protéger les substrats de l'oxydation mais également par une faible rugosité. Pour écarter ces problématiques, nous avons comparé les différents types de préparation de surface dont nous disposons soit le brossage en Figure 2.63 (a), la gravure chimique au persulfate d'ammonium concentrée à 180 g.l<sup>-1</sup> en Figure 2.63 (b) et pour finir l'électro-gravure vue précédemment en Figure 2.49 (a) et Figure 2.51 (a).



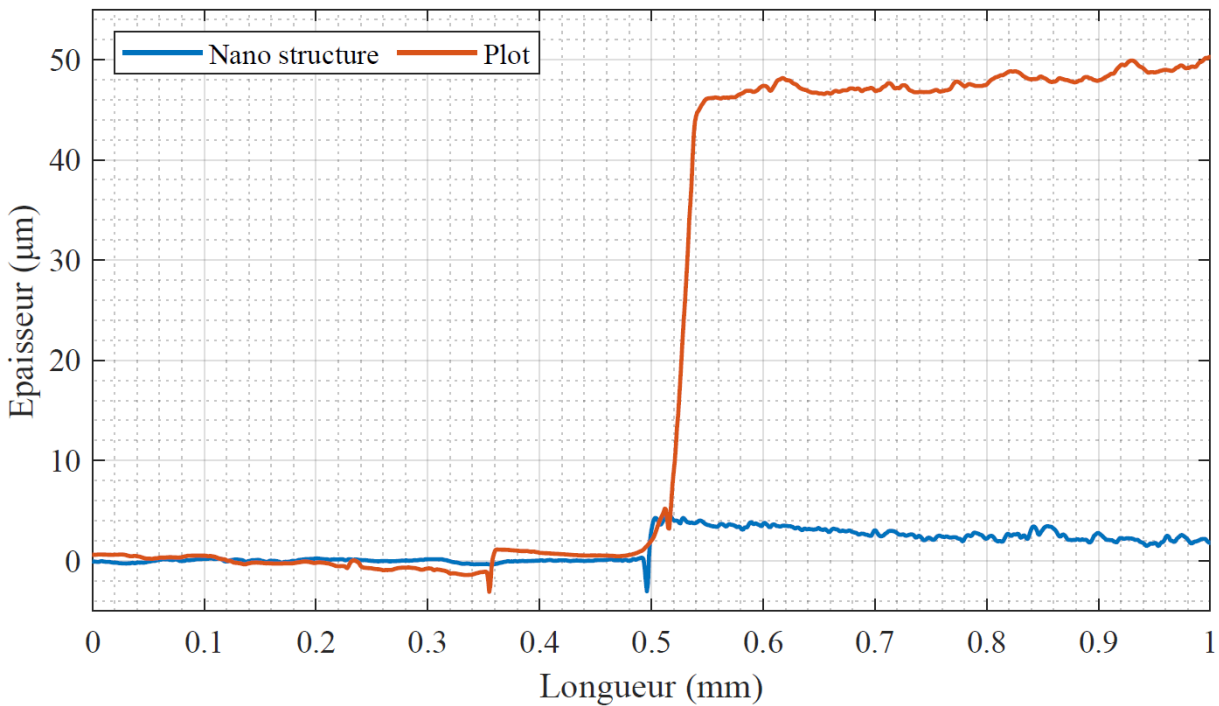


Figure 2.62 – Mesures au profilomètre du détachement de la nano structure et du plot en cuivre

Le traitement chimique ainsi que l'électro-gravure présentent un état de surface plus terne que le cuivre initial avant préparation. À contrario, le brossage semble plutôt présenter une forte ondulation du cuivre plutôt qu'augmenter la rugosité. Afin de choisir la solution la plus adaptée pour répondre aux problématiques d'adhérence, nous procédons à la mesure des profils des différents types de préparation de surface en comparaison avec un cuivre nu soit initial. Les mesures sont représentées ci-après en Figure 2.64.

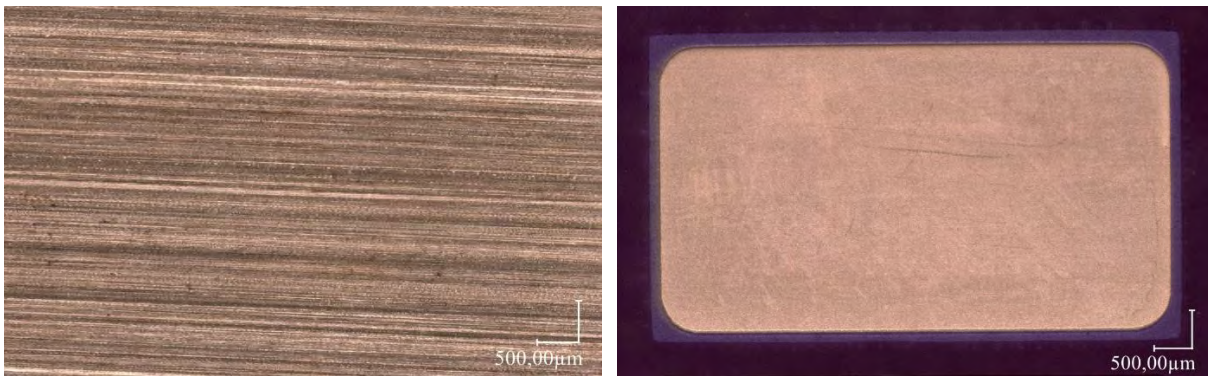


Figure 2.63 – Images au microscope numérique (x200) de l'état de surface du cuivre après brossage (a) et gravure chimique (b)

Les résultats de nos mesures montrent, effectivement, une faible rugosité du cuivre sur lequel nous travaillons. Nous remarquons également que les préparations proposées permettent d'augmenter la rugosité. Lorsque la micro-gravure chimique et le brossage augmentent cette propriété autour des 50%, l'électro-gravure quant à elle propose une incrémentation de la rugosité d'approximativement 150%. De plus, les mesures d'ondulation viennent confirmer notre hypothèse de départ pour le brossage.

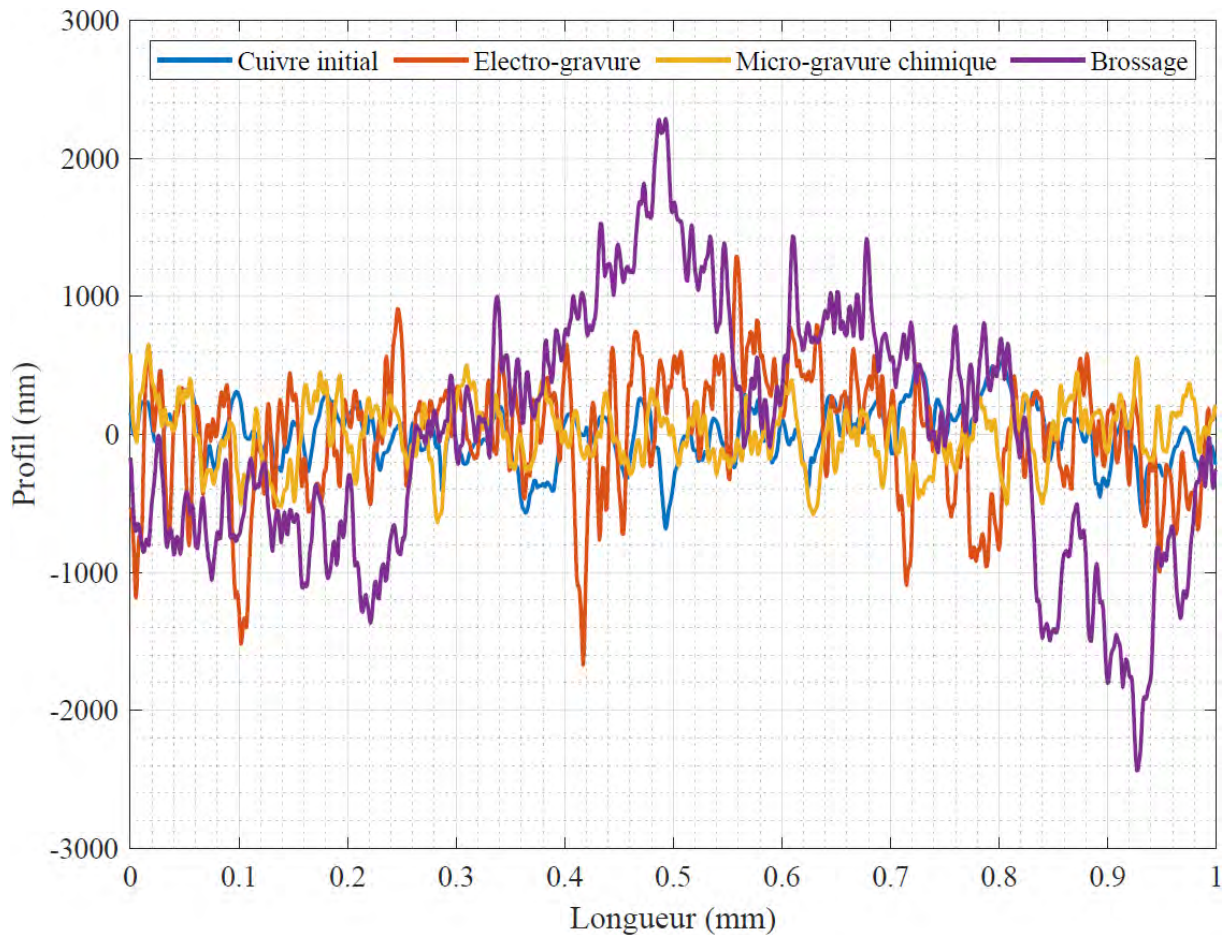


Figure 2.64 – Mesures au profilomètre des différents types de préparation du cuivre

Les solutions qui semblent les plus attractives, pour le moment, sont l'électro-gravure et la micro-gravure chimique. Les résultats des mesures de rugosité et ondulation sont reprises en Tableau 2.11.

	Cuivre initial	Electro-gravure	Micro-gravure chimique	Brossage
Rugosité arithmétique (Ra)	93,28 nm	240,0 nm	135,3 nm	149,8 nm
Rugosité quadratique (Rq)	116,4 nm	302,0 nm	166,6 nm	184,7 nm
Ondulation arithmétique (Wa)	80,21 nm	158,5 nm	99,61 nm	574,8 nm
Ondulation quadratique (Wq)	101,9 nm	191,1 nm	112,9 nm	626,2 nm

Tableau 2.11 – Mesures de la rugosité et de l'ondulation des différents types de préparation du cuivre

En termes de rugosité, l'électro-gravure présente de meilleures caractéristiques. En ce qui concerne l'ondulation, c'est la micro-gravure chimique qui l'emporte. À savoir que lors des essais, les deux méthodes retenues nous ont permis de pallier les décollements de nos dépôts. Bien que la micro-gravure chimique dure 10 minutes contre 45 minutes pour notre procédé d'électro-gravure, nous avons choisi l'électro-gravure qui permet d'optimiser et de réduire le nombre de traitements chimiques. Notons que l'électro-gravure permet également de lisser les pics réalisés lors de l'électrodéposition par les effets de bord et qu'en cas de nécessité, il est possible d'adapter la durée des électro-gravure en réduisant le temps de chacune d'elles, réduisant ainsi le temps de dépôt.

Ce procédé nous permettant de résoudre nos problématiques de décollement, nous avons tout de même fait des mesures au niveau du plot en cuivre avant de déposer la nano structure ; voir Figure 2.65.

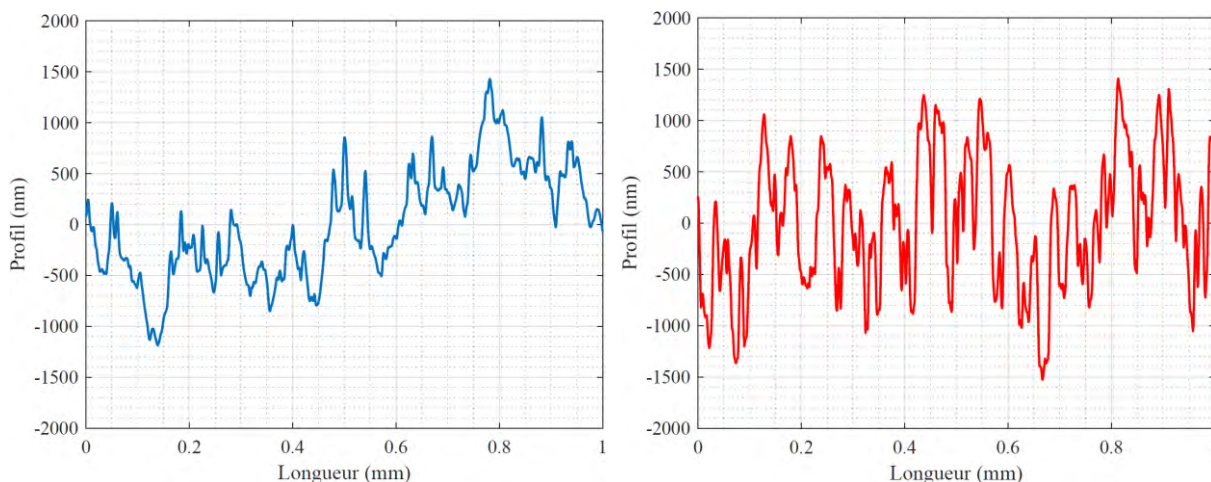


Figure 2.65 – Mesures de profil du plot en cuivre avant (a) et après (b) l'étape d'électro-gravure

Les résultats de ces mesures, qui ont été réalisées avant et après l'électro-gravure sur le plot en cuivre, sont du même ordre de grandeur que celles directement avec le cuivre du substrat ; voir Tableau 2.12. Les essais ont aussi permis de s'affranchir des décollements entre les deux interfaces électrodéposées.

	Avant électrodéposition	Après électrodéposition
Rugosité arithmétique (Ra)	105,8 nm	295,7 nm
Rugosité quadratique (Rq)	132,0 nm	346,8 nm
Ondulation arithmétique (Wa)	219,6 nm	253,1 nm
Ondulation quadratique (Wq)	253,0 nm	305,1 nm

Tableau 2.12 – Résultats des mesures de la rugosité et de l'ondulation avant et après électro-gravure du plot en cuivre

#### 2.5.4.6 L'évaluation du dépôt électrolytique

Pour procéder au dépôt et aux gravures partielles du cuivre, nous avons appliqué la loi de Faraday citée en Équation 2.5 et Équation 2.6. Néanmoins, il semble important de faire la corrélation entre la théorie et les résultats issus de nos expériences. Dans un premier temps, étudions la Figure 2.66 représentant la moyenne des mesures réalisées pour chacune des étapes de l'élaboration du plot en cuivre ainsi que la dispersion pour le remplissage de la cavité. On remarque une relativement bonne planéité pour chacune des étapes avec une faible dispersion offrant un plot en cuivre coplanaire au film photosensible.

La courbe verte, représentant la moyenne des mesures sur six échantillons de notre cavité, présente une très bonne planéité avec la dispersion la plus faible. Jusqu'à cette étape, seuls sont en jeu procédés et matériaux du commerce, bénéficiant d'une formidable maturité et de retours d'expériences. Cependant, la première électro-gravure démontre une action plus prononcée en périphérie. Plusieurs explications peuvent être données à ce phénomène sans pour autant les prendre pour acquises. La première raison serait susceptible d'être un profil de courant non adapté.



Les propriétés offertes par un profil pulsé sont bénéfiques pour le dépôt mais ne garantissent pas obligatoirement le même résultat du côté de l'électro-gravure. Lorsque nous sommes en contrôle en courant pour le dépôt, pour les électro-gravures c'est un contrôle en tension qui est privilégié. En fonction de la gamme de tension utilisée, le résultat obtenu diffère : gravure, polissage voire bullage d'oxygène [293], [294]. Pour cela, les caractéristiques courant-tension de l'échantillon sont tracées afin d'en déterminer la tension optimale pour le résultat souhaité [295]. Notre profil impose deux impulsions différentes impliquant deux gammes de tension de travail et donc probablement un potentiel ne permettant pas une électro-gravure optimale. C'est également la forme et la dimension de l'anode utilisée dans la cellule électrolytique qui peuvent intervenir [296], [297], généralement du même ordre de grandeur voire supérieure à la cathode afin de favoriser l'homogénéité. Dans notre cas, l'inversion de la polarité implique que la surface de notre anode soit notre zone d'électro-gravure, présente un facteur surfacique de  $10^{-3}$  au regard de la cathode soit l'électrode en cuivre massif.

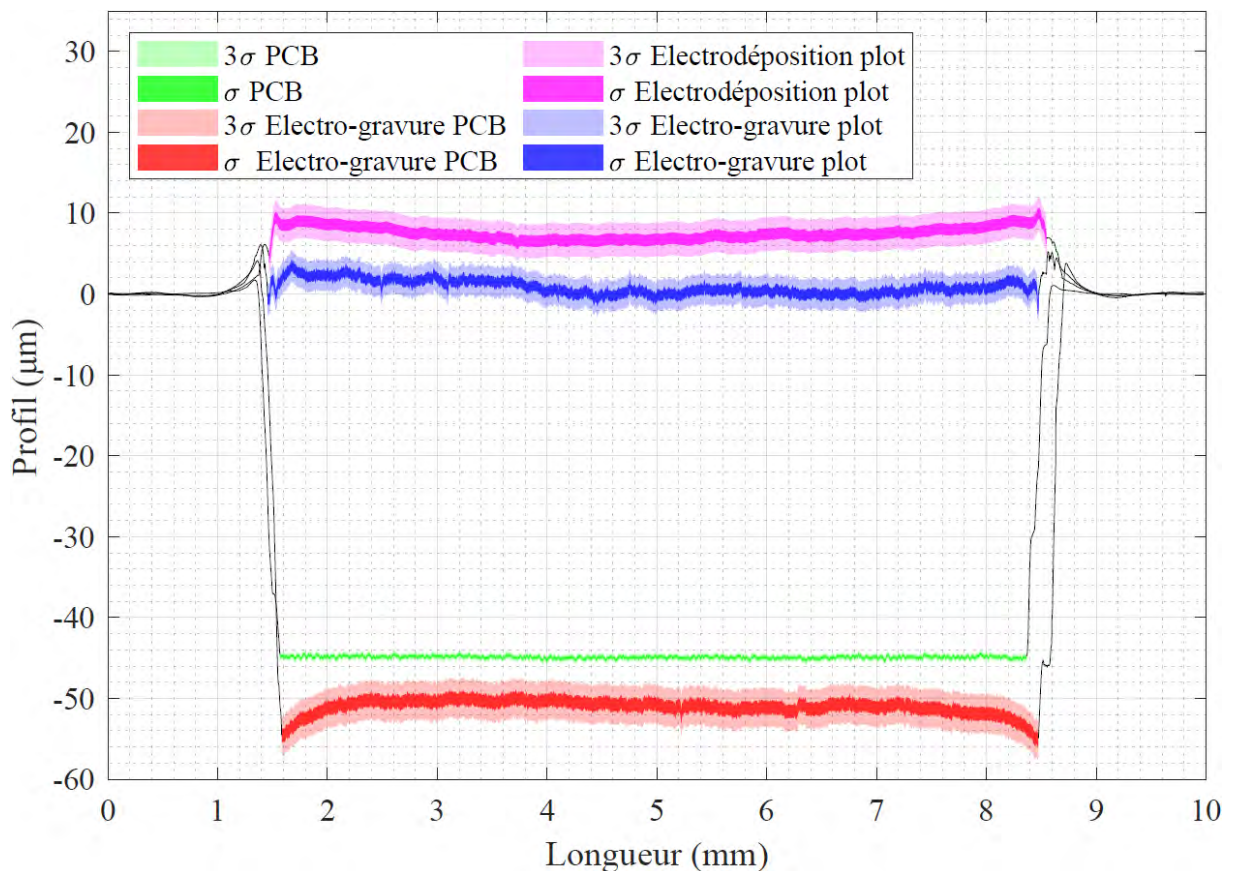


Figure 2.66 – Représentation de la moyenne des mesures réalisées pour l'élaboration du remplissage de la cavité

Néanmoins, cet effet est lissé lors du dépôt électrolytique à l'intérieure de la cavité allant même jusqu'à inverser légèrement la tendance lorsque l'on regarde la courbe d'électrodéposition : de petites protrusions sont visibles en bordure combiné à la formation d'un léger effet de cuvette de la surface. À l'issue de la seconde gravure, la planéité du cuivre ainsi que sa coplanarité avec le film photosensible et sa rugosité nous permettent de venir électrodéposer notre nano structure avec succès. Les observations de la première électrogravure ne sont pas visibles lors de la seconde ; ceci est à prendre en considération au vue de nos hypothèses établies ci-dessus.

Bien que l'électro-gravure permet de s'affranchir des nombreuses étapes de préparation avant le dépôt électrolytique, il se pourrait que la couche de protection et/ou passivation du cuivre soit à l'origine des sur-gravures en périphérie. La réalisation de traitements préliminaires de dégraissage, pré-satinage et accélération sont susceptibles de réduire cet effet. Cependant, dans notre cas, cela n'altère en rien la viabilité de notre procédé que nous décidons de conserver.

Regardons à présent les chiffres concernant l'élaboration du plot en cuivre. L'analyse statistique nous permet de voir que nous avons en moyenne une cavité de 44,9  $\mu\text{m}$  de profondeur de façon répétable avec une dispersion très faible de l'ordre de 140 nm.

Avant de s'intéresser aux étapes électrolytiques, rappelons que d'après la loi de Faraday, nous pouvons déterminer l'épaisseur du dépôt que nous réalisons mais également la profondeur de la gravure [295]. À partir de cela, théoriquement nos électro-gravures seraient de l'ordre de 6,65  $\mu\text{m}$  et notre électrodéposition de 61,1  $\mu\text{m}$ . En comparant nos épaisseurs obtenues avec ces valeurs, nous avons un rendement compris entre 92,5% et 94,8%.

Cette différence peut s'expliquer par les pertes et autres réactions chimiques parallèles lors du procédé électrolytique, évoquées en section 2.4.1 et n'étant pas pris en compte dans la relation de Faraday. Concernant la dispersion, elle est plus importante que précédemment avec la réalisation de la cavité et se situe entre 0,62  $\mu\text{m}$  et 0,79  $\mu\text{m}$ . Cependant, étant inférieure à 1  $\mu\text{m}$ , elle demeure faible n'impactant pas la fabrication de nos structures.

Etape	Maximum ( $\mu\text{m}$ )	Minimum ( $\mu\text{m}$ )	Moyenne ( $\mu\text{m}$ )	Variance ( $\mu\text{m}^2$ )	Ecart-type ( $\mu\text{m}$ )	Rendement (%)
Application du film sec sur le PCB	-45,38	-44,14	-44,90	0,02	0,14	X
Electro-gravure cuivre PCB	-55,16	-55,16	-51,06	0,62	0,79	92,5
Electro-Déposition plot en cuivre	9,17	5,72	6,90	0,47	0,69	94,8
Electro-gravure plot en cuivre	2,58	-1,30	0,62	0,39	0,62	94,4

Tableau 2.13 – Analyse statistique des données de mesure pour chaque étape de l'élaboration du remplissage de la cavité

#### 2.5.4.7 L'optimisation du procédé d'électrodéposition

Le procédé de fabrication de nos structures, en vue de les utiliser comme interconnexions, est en place et qui plus est répétable. Nous sommes en possession d'un plot en cuivre recouvert de nano fils de longueur homogène et occupant l'intégralité de la surface désirée pour une épaisseur finale autour des 100  $\mu\text{m}$ . Cette homogénéité repose sur l'ajout d'additifs dans la solution (brillant, nivelant, etc.) mais aussi sur la forme d'onde et l'amplitude du courant [298]. Bien que nous soyons en capacité de contrôler la concentration de ces additifs, il serait intéressant dans une moindre mesure, de pouvoir optimiser notre procédé en faisant varier le profil de courant utilisé en vue de réduire notre temps de déposition et si possible en augmentant l'homogénéité de nos structures [270].



Nous n'avons pas abordé ce point, la criticité de notre procédé demeurant principalement le temps d'élaboration. Sans parler de la fabrication des substrats, nous sommes à environ 16 heures et ce uniquement pour les étapes concernant la voie électrolytique ce qui paraît difficilement envisageable pour une production future de modules de puissance par cette voie.

Dans l'industrie du circuit imprimé, l'électrodéposition de cuivre est un procédé maîtrisé et mature de par son utilisation pour les vias. La métallisation par voie électrolytique y est réalisée en appliquant un courant continu (Figure 2.68 (b) ou DC) aux bornes de la cellule électrolytique. Néanmoins, la tendance s'oriente vers l'échelle micro et nanométrique plus précisément par le remplissage de micro-vias.

Ce type de forme d'onde présente des faiblesses quant à l'homogénéité. Dans le meilleur des cas en ayant un facteur de forme adéquat, nous remplissons les micro vias mais une cavité reste présente à l'emplacement de l'ouverture avant métallisation. Concernant le cas le plus critique, des vides viennent s'ajouter dans la structure des micro vias voire une impossibilité de procéder au remplissage [299]. Pour pallier ces problématiques, des formes d'ondes dites pulsées sont utilisées. Certains travaux démontrent les avantages de l'utilisation de profils de courant pulsé avec une durée définie de relaxation (Figure 2.68 (c) ou PR), soit un courant nul, tandis que d'autres appliquent des pulses d'amplitude plus faible (Figure 2.68 (a) ou P) ou même inversé et ce avec (Figure 2.68 (e) ou PPRR) ou sans (Figure 2.68 (d) ou PPR) relaxation [300], [301], [302]. Lorsqu'une relaxation permet de favoriser le renouvellement de la solution électrolytique à l'interface de la cathode, une impulsion inversée permet de forcer ce phénomène et cela en réduisant les dépassement en polissant la surface [303], [271] comme les pics des plots en cuivre par exemple. L'introduction d'impulsions inverses peut être utilisé pour homogénéiser le dépôt.

1) Gamme de fréquence :

*Allant de quelques Hz à plusieurs kHz*

2) Pour les profils pulsés avec relaxation et inversion de polarité :

$$T_{ON} = 20 \times T_{REV}$$

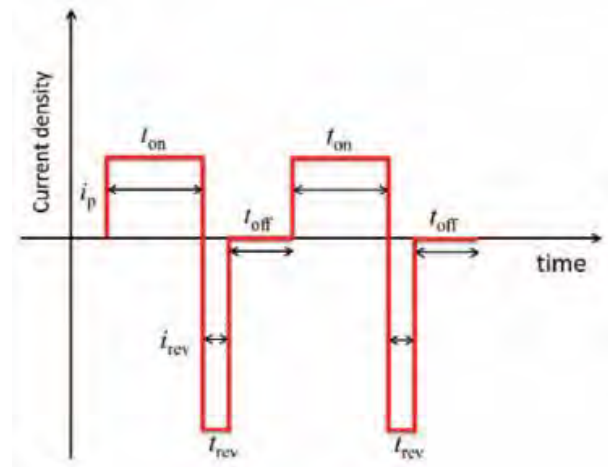
$$J_{REV} = (2/3) \times (-J_{ON})$$

3) Pour les profils pulsés avec relaxation :

*Rapport cyclique entre 50% et 75%*

4) Pour les profils continus :

*Densité de courant de 30 mA.cm<sup>-2</sup>*



(a)

Forme d'onde	P	PR	PPR	PPRR
Pulse	X	X	X	X
Relaxation		X		X
Pulse inversé			X	X

(b)

Figure 2.67 – Les règles générales des profils de courant pour l'électrodéposition de cuivre [304] (a) et tableau récapitulatif de la nature des impulsions de chaque forme d'onde

La Figure 2.68, ci-dessous, représente les cinq profils de courant que nous avons retenu pour nos essais :

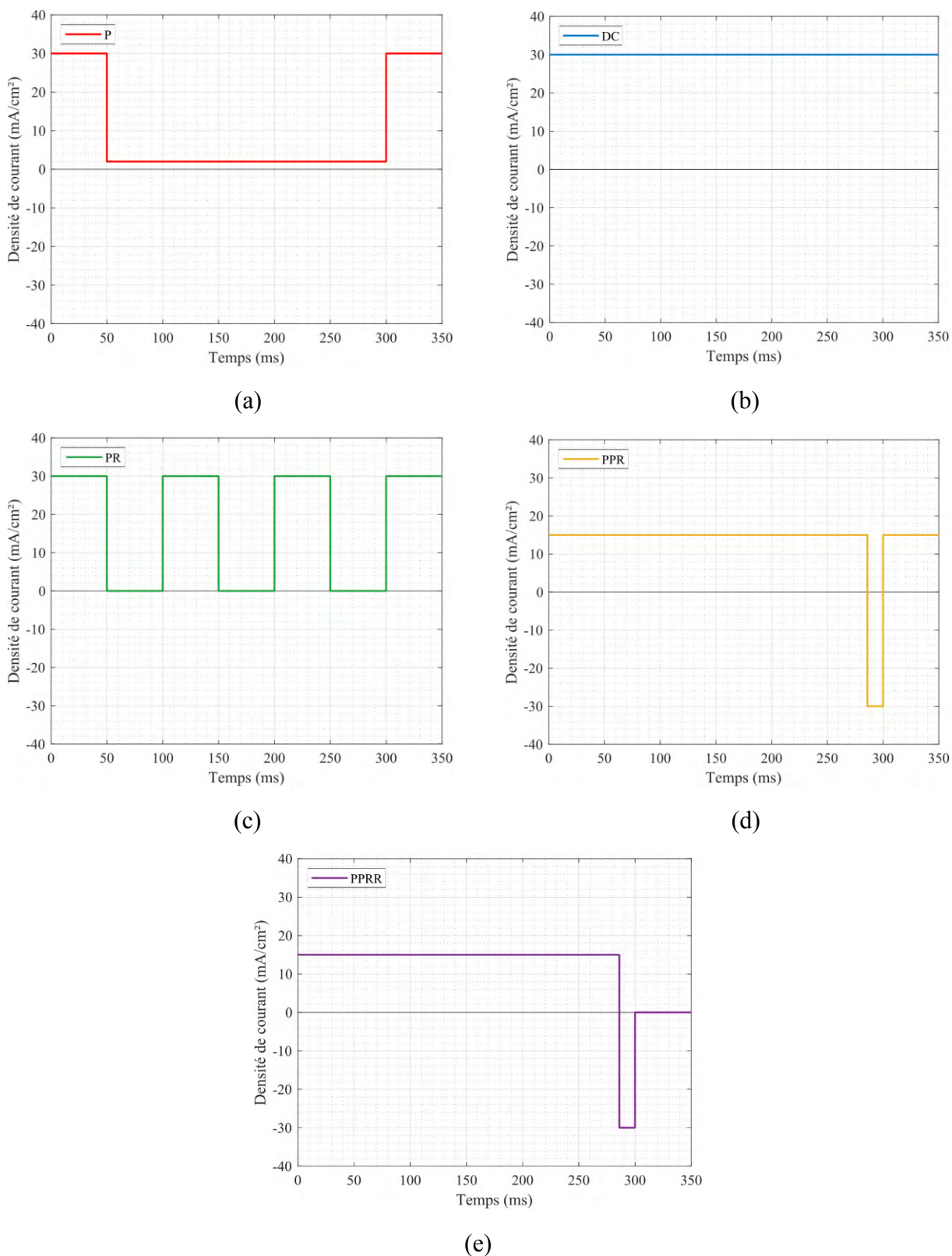


Figure 2.68 – Formes d’onde et densités de courant des profils : pulsé avec variation d’amplitude (a), continu (b), pulsé avec relaxation (c), pulsé avec inversion de polarité (d) et pulsé avec inversion de polarité et relaxation (e)

La complexité des différents profils pulsés consiste à trouver le bon ensemble de paramètres concernant la densité de courant, la durée des impulsions, la fréquence du signal ainsi que la durée des relaxations pour obtenir une galvanoplastie uniforme.

Pour définir les profils en Figure 2.68, nous avons relevé certaines règles générales apparaissant régulièrement à travers la littérature, que l'on retrouve en Figure 2.67 (a) en gardant à l'esprit notre objectif de réduire le temps de dépôt en conservant à minima l'homogénéité de notre nano structure [304], [305], [270].

Passons à l'interprétation des résultats obtenus avec les nano structures. Précisons que chaque profil de courant est appliqué de façon à déposer le même volume de cuivre qu'avec notre profil de courant initial en adaptant le temps d'application.

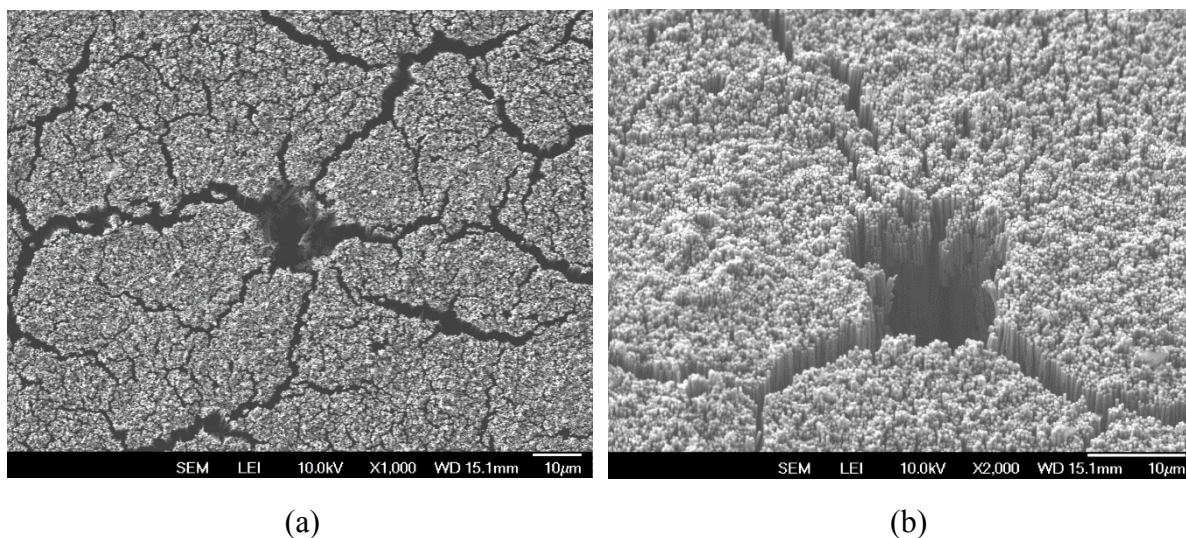


Figure 2.69 – Acquisitions de deux défauts observés sur les nano structures électrodéposées avec un profil de courant pulsé avec variation d'amplitude (x1000) (a) (x2000) (b)

Pour rappel et élément de comparaison avec les essais suivants, reprenons le profil utilisé précédemment dans nos expériences c'est-à-dire celui utilisant le profil de courant pulsé avec variation d'amplitude en Figure 2.68 (a). Il est composé d'une impulsion de 50 ms avec une densité de courant de  $30 \text{ mA.cm}^{-2}$  puis d'une seconde impulsion de 250 ms à  $2 \text{ mA.cm}^{-2}$ . Bien que la nano structure soit de bonne qualité en terme d'homogénéité, nous avons soulevé la problématique qu'implique son temps de déposition qui est de 6 heures et 53 minutes. La Figure 2.69 permet d'apprécier l'homogénéité offerte par ce profil de courant. En plus d'une bonne homogénéité, la nano structure présente peu de défaut. Certains dépôts présentent de petites cavités sans nano fils à la jonction entre plusieurs agrégats

Le second essai a été réalisé avec un profil de courant continu. Nous nous sommes basés sur les règles établies en Figure 2.67 (a) et qui correspondent à celles du fournisseur de notre solution électrolytique soit une densité de courant de  $30 \text{ mA.cm}^{-2}$ . Les avantages de ce profil sont sa facilité de mise en place, qui ne nécessite pas une source de courant de grande précision pour appliquer des impulsions courtes et ce rapidement, ainsi que sa durée de dépôt qui est réduite à 1 heure et 30 minutes.

L'acquisition en Figure 2.70 (a) montre une grande inhomogénéité de la nano structure. Les nano-fils ont débordé de la membrane au centre et en bordure de la zone de dépôt. De plus, les nano fils ne semblent pas remplis avec une tendance à former des tubes.



On peut observer une section creuse à l'intérieur des fils, d'un diamètre d'environ 100 nm. Dans l'éventualité où nous aurions des tubes, ce qui est difficile à confirmer au vu de la longueur d'un brin, cela représenterait environ 25 % de cuivre en moins en comparaison avec les nano fils.

Cette géométrie est susceptible d'augmenter considérablement la résistance électrique et thermique de la nano structure. Ces éléments montrent que le dépôt par profil de courant continu n'est pas une solution adaptée en vue d'une future intégration de modules de puissance, notamment par l'inhomogénéité de la structure mais aussi l'absence, ainsi que le surplus, du dépôt dans certaines zones.

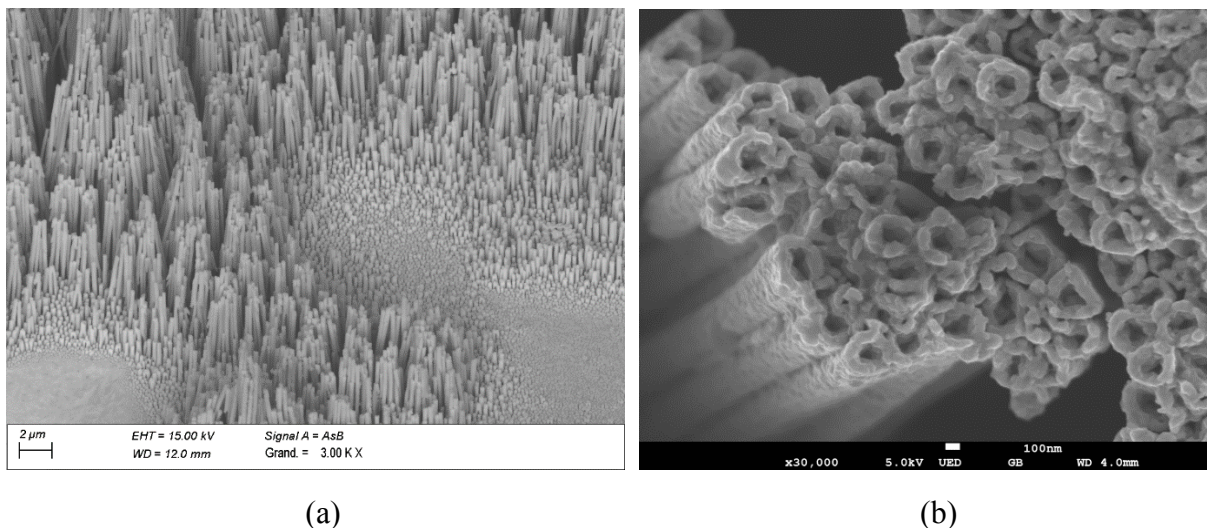


Figure 2.70 – Acquisitions d'une vue d'ensemble du dépôt par courant continu (x3000) (a) et de la formation tubulaire observée en extrémité de nano fils (x30000) (b)

Comme indiqué précédemment, la relaxation permet de renouveler la solution à proximité de la zone de dépôt. Pour le troisième essai, nous avons utilisé un profil pulsé avec relaxation avec un rapport cyclique de 50%.

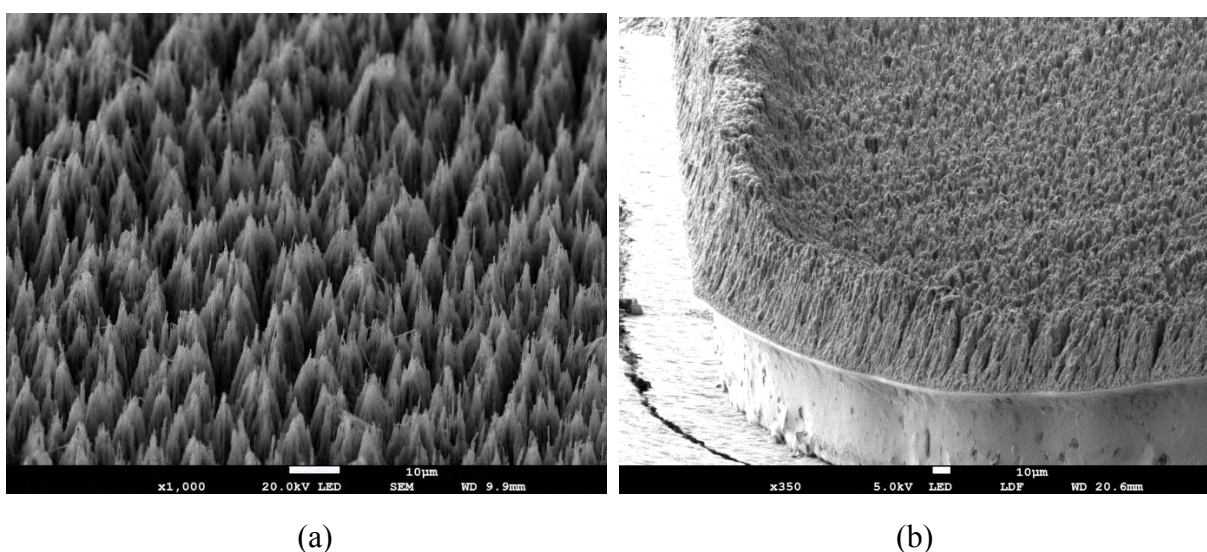


Figure 2.71 – Acquisitions des nano fils au centre (x1000) (a) et en bordure (x350) (b) avec le profil de courant pulsé et relaxé

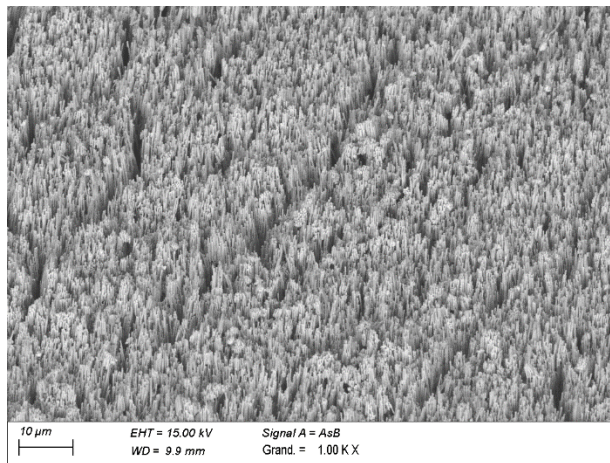
Nous appliquons donc un pulse de 50 ms avec une densité de courant de  $30 \text{ mA.cm}^{-2}$  suivie d'une relaxation, soit un courant nul, de la même durée ; voir Figure 2.68 (c).

Nous pouvons remarquer une forte différence de hauteur des nano fils en Figure 2.71 (a) contrairement au profil de courant pulsé avec variation d'amplitude utilisé initialement. La différence de hauteur entre les fils est estimée à environ  $6 \mu\text{m}$ . Cela représente, potentiellement, une résistance électrique et thermique plus forte en vue d'un assemblage, du fait de la réduction de la surface de contact au regard du composant actif. Nous pouvons également voir en Figure 2.71 (b) que les nano fils sont nettement plus longs en périphérie contrairement au centre. Nous ne connaissons pas la rigidité des nano fils de cuivre.

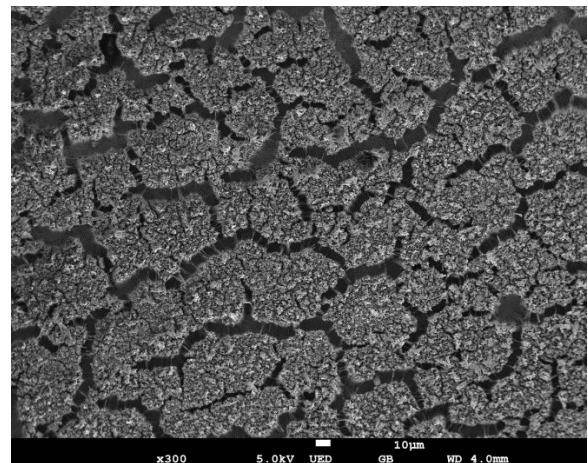
Cependant au regard d'un composant actif suivi d'un assemblage par thermo-compression, il est probable que cette bordure de nano fils plus longue crée des contraintes mécaniques localisées pouvant entraîner la dégradation voire la rupture de la puce semi-conductrice. Nous convenons donc que ce profil n'est pas adapté à notre future application du fait de la réduction de la surface de contact par la différence de hauteur de la structure même si le temps de dépôt est drastiquement réduit à 3 heures.

Lors du quatrième essai, nous avons utilisé une forme d'onde pulsée avec une inversion de polarité. L'objectif étant d'avoir une nano structure plus homogène en venant graver les nano fils les plus longs via l'impulsion à polarité inversée. Pour définir notre période, les règles citées en Figure 2.67 (a) ont été appliquées. Un rapport d'un demi est utilisé entre l'amplitude de l'impulsion négative et positive pour une durée de 14 ms et 286 ms respectivement, soit une période égale à 300 ms [271].

La hauteur des nano fils est relativement homogène sur l'ensemble de la structure, comme le montre la Figure 2.72 (a), et qui plus est avec une durée de dépôt de 3 heures et 30 minutes. Néanmoins lorsque l'on regarde le dépôt en vue de dessus (Figure 2.72 (b)) on peut voir que les agrégats sont beaucoup plus marqués avec ce profil de courant. Les nano fils ne se contentent pas seulement de se former par paquets.



(a)



(b)

Figure 2.72 – Acquisitions du dépôt avec le profil pulsé et inversion de polarité (x1000) (a) mettant en évidence les agrégats (x300) (b)



On distingue que la frontière entre les agrégats est nettement plus prononcée jusqu'à former un réseau artériel sans dépôt à travers la nano structure entraînant la réduction de la surface de contact lors d'un assemblage pressé avec un composant actif. Cet effet « terre sèche » ne répond pas aux attentes pour notre application mais nous encourage à continuer nos essais en ajoutant une relaxation afin de l'atténuer.

Sur la base des résultats précédents, nous proposons un dernier profil en espérant pouvoir tirer tous les bénéfices de la relaxation, concernant la densité, et de l'inversion de polarité, pour l'homogénéité du dépôt. Le profil de courant proposé, en Figure 2.68 (e), est une combinaison entre le profil pulsé à inversion de polarité en Figure 2.68 (d) et le relaxé en Figure 2.68 (c).

Nous obtenons, en Figure 2.73 (a), une nano structure avec une différence de hauteur entre les fils similaire au profil précédent c'est-à-dire le profil avec inversion de polarité. Nous remarquons également l'absence d'effet « terre sèche » probablement du fait de l'ajout de la relaxation après l'impulsion à polarité inversée.

Cependant, en Figure 2.73 (b), on visualise un débord du plateau plus important qu'avec le profil de courant initial étant pulsé à variation d'amplitude ; soit l'effet « champignon ». La durée d'électrodéposition est réduite à 4 heures.

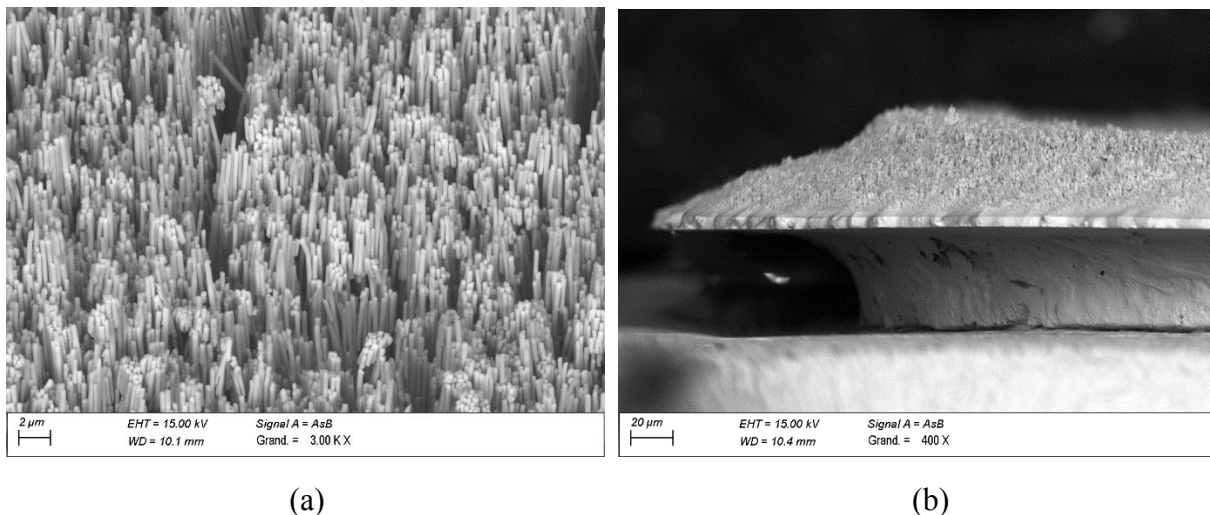


Figure 2.73 – Acquisitions de la nano structure avec le profil à inversion de polarité et relaxation (x3000) (a) et de l'effet « champignon » obtenu (x400) (b)

Dans le tableau ci-dessous, nous avons répertorié les estimations des caractéristiques de nos nano structures. La différence de hauteur des nano fils est le paramètre principal en termes de surface de contact avec le composant. Comme nous l'avons mentionné, ce paramètre est prédominant en termes de résistance électrique et thermique des futurs assemblages. À cela viennent s'ajouter les défauts dans la nano structure qui contribuent eux aussi à l'augmentation de la résistance électrique et thermique. L'effet « champignon » n'est pas à négliger. En vue d'interconnecter des transistors, ce débord peut être source de court-circuit entre la partie commande et puissance.

Profil	Différence de hauteur des fils	Effet « champignon »	Défaut visualisé	Durée de dépôt
P <i>Figure 2.68 (a)</i>	1 $\mu\text{m}$	20 $\mu\text{m}$	X	6h53
DC <i>Figure 2.68 (b)</i>	60 $\mu\text{m}$	200 $\mu\text{m}$	Tubulaire	1h53
PR <i>Figure 2.68 (c)</i>	6 $\mu\text{m}$	20 $\mu\text{m}$	Trous	3h00
PPR <i>Figure 2.68 (d)</i>	10 $\mu\text{m}$	40 $\mu\text{m}$	« Terre sèche »	3h30
PPRR <i>Figure 2.68 (e)</i>	2 $\mu\text{m}$	100 $\mu\text{m}$	X	4h00

Tableau 2.14 – Bilan des résultats obtenus avec les essais faisant varier le type de profil de courant

Il est possible de pallier ce problème en réduisant la surface de l'interface structurée à défaut de réduire une fois encore la surface de contact avec les électrodes. Bien entendu, la durée de dépôt est un paramètre clef dans la viabilité du procédé en environnement de production.

La comparaison des formes d'onde en fonction de nos critères de sélection, en Tableau 2.15, nous montre que le profil le plus adapté est le profil pulsé (P) en Figure 2.68 (a).

Profil	P <i>Figure 2.68 (a)</i>	DC <i>Figure 2.68 (b)</i>	PR <i>Figure 2.68 (c)</i>	PPR <i>Figure 2.68 (d)</i>	PPRR <i>Figure 2.68 (e)</i>
Différence de hauteur des fils	+++	+	++	++	++
Effet « champignon »	+++	+	+++	++	++
Défaut visualisé	+++	+	++	++	+++
Durée de dépôt	+	+++	+	+	++
Classement	1 <sup>er</sup> (10)	5 <sup>ème</sup> (6)	3 <sup>ème</sup> (8)	4 <sup>ème</sup> (7)	2 <sup>ème</sup> (9)

Tableau 2.15 – Comparaison et classification des différentes formes d'onde pour le dépôt électrolytique

Le profil pulsé (P) nous permet d'obtenir une très bonne homogénéité de la hauteur des nano fils avec le moins de défaut possible dans celle-ci ou bien en périphérie avec l'effet « champignon ». Son inconvénient reste tout de même le temps de déposition qui demeure le plus critique parmi l'ensemble des essais.

Cependant, le profil pulsé à relaxation et inversion de polarité (PPRR) est un bon candidat. L'homogénéité des nano fils est quasiment aussi bonne que le profil pulsé (P) ; il en est de même pour sa faible présence de défaut au sein de la nano structure. Cependant, l'effet « champignon » est cinq fois plus grand. Nous avons préféré choisir la qualité de la nano structure à la durée de dépôt. Néanmoins, il constitue la future première étape en termes d'optimisation du profil de courant.

Concernant le profil pulsé à relaxation (PR), il conduit à une durée de dépôt réduite à plus de 50% comparé au profil choisi avec un débord latéral du même ordre de grandeur. Cependant, la qualité est drastiquement altérée par la présence importante de défauts dans la nano structure et une différence de hauteur non négligeable entre les nano fils.

Quant au profil pulsé à inversion de polarité (PPR), sa qualité globale est multipliée par deux par rapport au profil pulsé à relaxation (PR) pour une durée de dépôt supérieure.

Pour finir, bien que le temps de dépôt du profil continu (DC) soit imbattable, la structure obtenue ne demeure pas exploitable pour notre application.

Une seconde approche a été utilisée afin de répondre à la problématique de la durée des dépôts. La source utilisée, Keithley 2612A en Figure 2.22, est équipée de deux voies à isolation galvanique. Nous avons réalisé un programme sur la base de l'algorithme en Figure 2.23 afin de pouvoir bénéficier de ces deux voies en réalisant des dépôts en simultanément. Cela nous permet de multiplier par deux la cadence de réalisation de nos échantillons.



Figure 2.74 – Montage de deux cellules électrolytiques (a) suivit de l'étape d'électrodéposition (b)

Les mesures des profils des deux substrats en Figure 2.75, lors de chacune des étapes de la réalisation du plot en cuivre, nous permettent de conclure que le dépôt en simultané répond à nos attentes mais qu'il est aussi une voie envisageable pour une potentielle « future » production.

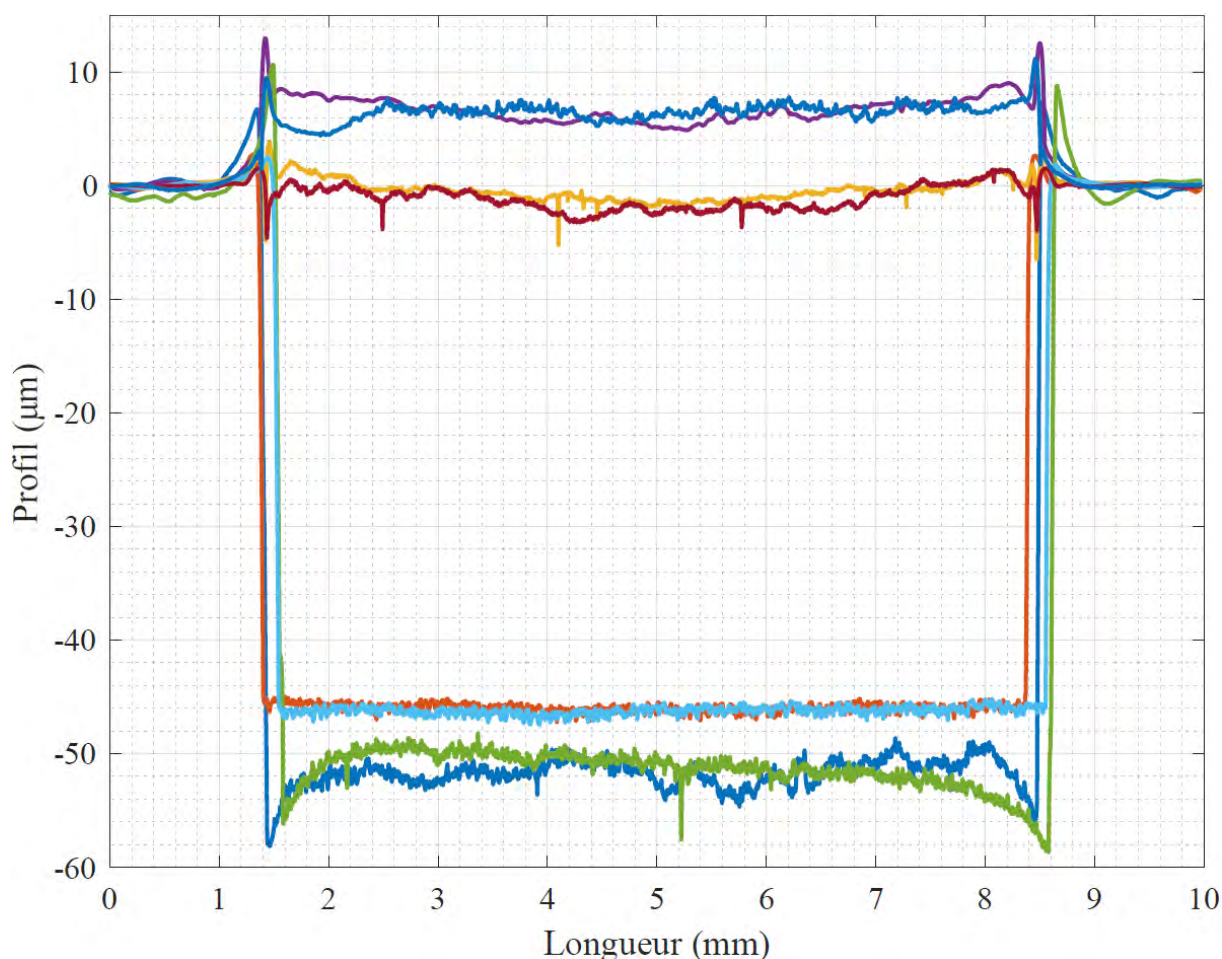


Figure 2.75 – Mesures des profils de deux substrats lors de la fabrication du plot en cuivre en simultanée

## 2.6 Conclusion

L'analyse des technologies qui ont été sélectionnées, PCB et nano fils, a permis de cerner l'ensemble des contraintes auxquelles nous sommes confrontés et donc, par la suite, d'établir notre axe de recherche. C'est à partir de l'étude préliminaire du procédé que nous avons pu appréhender le phénomène électrochimique du dépôt de cuivre par voie électrolytique, en soulevant des hypothèses et des explications au rendement électrolytique que nous avons obtenu. À travers cette étude théorique, nous avons pu également établir une relation, d'après la loi de Faraday, nous permettant de connaître l'épaisseur déposée, ou gravée, mais aussi identifier l'ensemble des paramètres en jeu afin d'obtenir les épaisseurs souhaitées, en incluant le profil de courant et la porosité de notre membrane.

Le profil de courant utilisé lors des travaux précédents présentait la caractéristique d'offrir des nano structures relativement homogènes. En vue d'une utilisation par enchevêtrement, cette caractéristique s'avère contraignante. Dans notre cas, nous avons su en tirer tous les bénéfices avec une méthode d'assemblage de type pressée d'une seule et unique interface structurée réduisant drastiquement le nombre d'étape de fabrication. Revenons à la membrane, il nous est difficile d'établir une épaisseur donnée de la nano structure sans connaître sa porosité. À partir de deux méthodes, bien qu'élémentaires, nous avons pu en déterminer une estimation de sa porosité confirmée par l'expérience.

À partir du matériel et des équipements à disposition ainsi que la cellule électrolytique conçue et réalisée au laboratoire, nous avons pu procéder aux expériences de dépôt sur puce et substrat avec, bien entendu, une préparation préliminaire du bain et des électrodes formées par l'anode et les échantillons. Les problématiques soulevées lors des dépôts sur puce nous ont orientés vers notre seconde proposition : celle de travailler à partir des substrats PCB. Cette solution a offert la possibilité d'élaborer une nano structure homogène sur un plot en cuivre de façon fiable et répétable. Malgré des expériences de variation du profil de courant, nous n'avons pu obtenir une qualité de nano structure similaire qu'avec notre profil initial. Cependant, nous avons pu obtenir le double d'échantillons durant le même temps imparti en procédant par un dépôt en simultané.

Nous sommes en position de fabriquer des substrats PCB implémentés d'une macro et nano interface structurée. Néanmoins, cela constitue la première partie de la solution proposée. Il nous faut donc mettre en place la seconde partie du procédé que constitue l'assemblage de ces substrats en vue d'interconnecter des puces de puissances via leur macro et nano interface structurée.



---

## Chapitre 3 : Assemblage tridimensionnel intégrant les interfaces structurées

<b>3.1</b>	<b>Introduction.....</b>	<b>125</b>
<b>3.2</b>	<b>La conception .....</b>	<b>125</b>
3.2.1	Le design du substrat .....	125
3.2.2	Le principe d'assemblage .....	127
<b>3.3</b>	<b>L'analyse préliminaire .....</b>	<b>129</b>
3.3.1	La stratégie de l'étude.....	129
3.3.2	Les méthodes d'assemblage .....	130
3.3.2.1	La nano structure comme interconnexion .....	131
3.3.2.2	L'intégration d'une puce semi-conductrice.....	133
<b>3.4</b>	<b>La réalisation des prototypes .....</b>	<b>135</b>
3.4.1	La préparation des échantillons .....	135
3.4.2	L'assemblage par feuille pré-imprégnée.....	136
3.4.2.1	L'évaluation de l'épaisseur des pré-imprégnés .....	136
3.4.2.2	Le choix de l'épaisseur du diélectrique.....	137
3.4.2.3	Le procédé d'assemblage d'une interconnexion .....	138
3.4.2.4	L'analyse électrique des prototypes assemblés .....	142
3.4.3	L'assemblage avec un laminé.....	143
3.4.3.1	La puce ou composant factice .....	143
3.4.3.2	La fabrication du laminé diélectrique.....	144
3.4.3.3	Le procédé d'assemblage avec une puce.....	147
3.4.3.4	L'analyse et comparaison électrique du prototype .....	149
3.4.3.5	L'examen et mesures par coupe micrographique .....	151
<b>3.5</b>	<b>La caractérisation électrique .....</b>	<b>153</b>
3.5.1	Les différentes combinaisons de mesure .....	154
3.5.2	La description du dispositif expérimental.....	156
3.5.3	L'élaboration du protocole de caractérisation.....	157
3.5.3.1	La mesure de résistance par inversion de polarité.....	157
3.5.3.2	La thermalisation des échantillons .....	158
3.5.4	Les mesures de résistance .....	161
3.5.4.1	Les interconnexions .....	161
3.5.4.2	Les puces interconnectées .....	162
3.5.4.3	L'interprétation des résultats .....	163
3.5.5	La thermographie à détection synchrone .....	164
<b>3.6</b>	<b>La caractérisation thermique .....</b>	<b>167</b>
3.6.1	Le calcul de la résistance thermique surfacique .....	167
3.6.2	La première méthode avec les échantillons à substrats unitaires .....	168
3.6.2.1	Le principe de la mesure électrothermique .....	168
3.6.2.2	Le banc d'essai pour la caractérisation thermique .....	169
3.6.2.3	L'analyse du protocole expérimental .....	171
3.6.3	La seconde méthode par intégration d'une diode .....	173
3.6.3.1	Le substrat avec drains thermiques .....	173
3.6.3.2	L'intégration du composant actif .....	175
<b>3.7</b>	<b>Conclusion .....</b>	<b>176</b>

### 3.1 Introduction

La solution proposée s'appuie sur deux technologies que nous avons sélectionnées et présentées lors du premier chapitre : les circuits imprimés et les nano fils en cuivre. Au cours du second chapitre, la compatibilité de ces deux technologies a été démontrée par la faisabilité d'une nano structure sur substrat PCB et ce en utilisant uniquement des équipements usuels actuellement présents au sein des chaines de production de circuits imprimés, à l'exception de l'utilisation d'une membrane nano poreuse. Nous sommes en mesure de réaliser, à façon sur des substrats PCB, des plots en cuivre recouverts de nano fils de même matériau et d'une épaisseur donnée ce qui constitue une grande avancée dans nos travaux.

Cependant, ces substrats recouverts de leur nano structure sont initialement destinés à la fabrication de module de puissance et à l'intégration de composants actifs. Dorénavant, nous devons mettre en place un procédé d'assemblage permettant d'utiliser les nano structures sur leur substrat respectif, comme éléments d'interconnexion d'interrupteurs de puissance par enfouissement en environnement PCB. À cela s'ajoute la caractérisation de cette nouvelle architecture de module de puissance. Ces assemblages devront pouvoir nous permettre de déterminer les caractéristiques de la solution proposée. C'est à travers ce troisième chapitre que nous essayerons de répondre à ces questions.

### 3.2 La conception

Avant de développer l'assemblage des prototypes et leur caractérisation, nous allons expliquer, en détails, la conception de notre substrat précédemment utilisé pour le dépôt des nano structures. Lors du second chapitre, nous avons présenté le substrat en Figure 2.44 (c) avec ses deux arrivées de courant et sa zone de travail. Néanmoins, il doit également offrir la possibilité d'être assemblé en vue de caractériser notre structure en tant qu'interconnexion enfouie destinée aux modules de puissance.

#### 3.2.1 Le design du substrat

Etudions la Figure 3.1 (a), on peut voir une piste, une constriction (R), sur laquelle une surface de cuivre nu, sans micro-gravure, est présente.

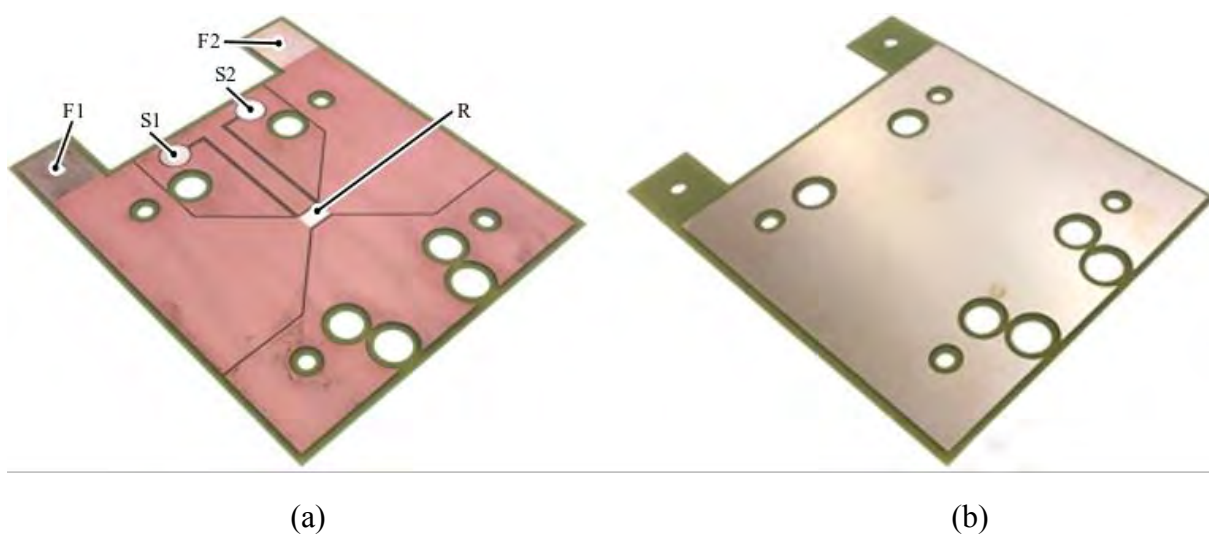


Figure 3.1 – Vue du substrat en face supérieure (a) et inférieure (b)

Elle constitue notre zone de travail sur laquelle nous procédons à l'élaboration de notre interface structurée et est directement reliée aux connecteurs que nous utilisons pour polariser notre substrat (F1, F2). On visualise également deux pistes avec une empreinte en extrémité afin de réaliser nos futures mesures. Le cuivre restant est quant à lui micro-gravé afin d'augmenter sa rugosité et donc améliorer l'adhérence de la surface pour son assemblage via un pré-imprégné. Sont présents, par la même occasion, des perçages afin de permettre l'implémentation du substrat sur l'ensemble des supports de nos équipements et appareils de mesure. La Figure 3.1 (b) montre la face opposée, non fonctionnalisée et constituée de cuivre « plein » sans traitement par micro-gravure. Du point de vue électrique, la configuration de ce substrat nous permet de faire des mesures de résistance précises, par méthode quatre fils, de notre constriction (R).

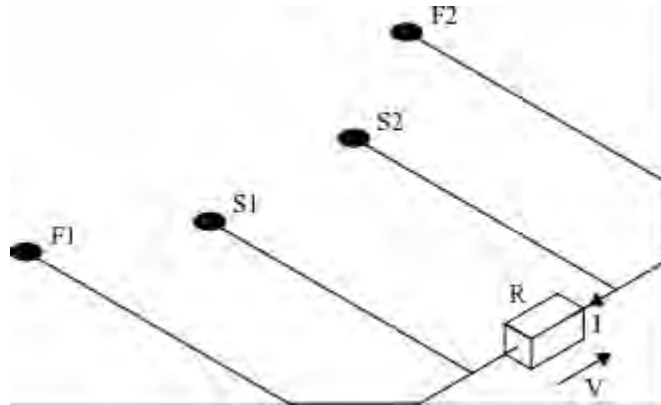
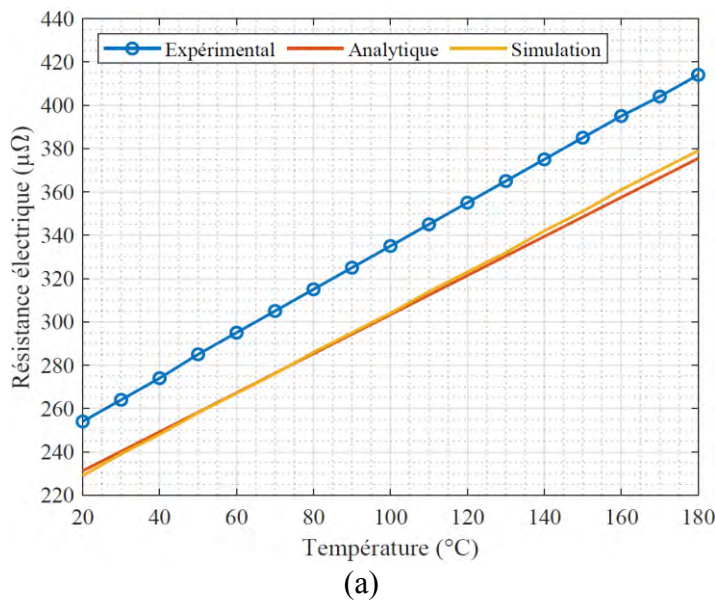


Figure 3.2 – Schéma électrique équivalent du substrat PCB

Nous avons mesuré sa résistance électrique en fonction de la température que nous avons comparée aux données obtenues par simulation avec le logiciel COMSOL Multiphysics® et à son modèle analytique d'après les relations permettant de connaître sa résistance en fonction de sa résistivité Figure 3.3 (b) et de la température Figure 3.3 (c).



$$R_{25} = \rho_{Cu} \cdot \frac{L}{S}$$

$$\rho_{Cu} = 17 \times 10^{-9} \Omega \cdot m @ 25^\circ C$$

(b)

$$R_T = R_{25} \cdot (1 + \alpha \cdot [T - T_0])$$

$$R_T = R_{25} \cdot (1 + \alpha \cdot \Delta T)$$

$$\alpha = 3.9 \times 10^{-3} K^{-1}$$

(c)

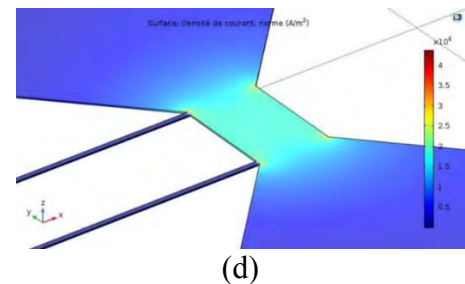


Figure 3.3 – Courbes de la résistance de notre piste « R » en fonction de la température (a), loi physique de la résistance en fonction de la résistivité (b) et de la température (c) ainsi que la simulation de la répartition de notre densité de courant (d)

La Figure 3.3 (a) montre un écart d'environ  $15 \mu\Omega$  entre la théorie et notre mesure que nous expliquons par une géométrie de la piste légèrement différente et due au procédé de gravure chimique du cuivre ; en effet, généralement, le pied des pistes est légèrement sous-gravé en comparaison aux bordures en surface. Ce phénomène est bien connu dans la fabrication des circuits imprimés [306], [307] et fait l'objet de travaux spécifiques [308]. À cela s'ajoutent les incertitudes machines, de placement de masques, etc. Nous sommes donc en mesure de connaître la température de notre piste en fonction de sa résistance et réciproquement. On peut facilement envisager d'utiliser notre constriction comme capteur de température mais aussi comme source de chaleur. Nous développerons cette caractéristique au cours de ce chapitre. Néanmoins, cette explication a pour objectif la bonne compréhension de la conception de notre substrat.

Revenons rapidement à l'élaboration de l'interface structurée. La répartition de la densité de courant de notre constriction, Figure 3.3 (d), a également été simulée en appliquant 1A en continu. Sachant que nous réalisons notre interface structurée sur celle-ci, il est pertinent d'observer ce paramètre. On s'aperçoit qu'elle est relativement homogène exceptée au niveau des angles. Pouvant contribuer aux effets de pointes lors du procédé de dépôt électrolytique, cela justifie l'arrondissement des angles de notre film photosensible ; voir Figure 2.47 (a).

### 3.2.2 Le principe d'assemblage

Maintenant que nous connaissons le design de notre substrat, nous pouvons aisément aborder sa fonctionnalité dans un assemblage en vue d'utiliser nos interfaces structurées comme interconnexion. Cependant, sa conception ne se limite pas aux caractéristiques présentées lors de la section précédente.

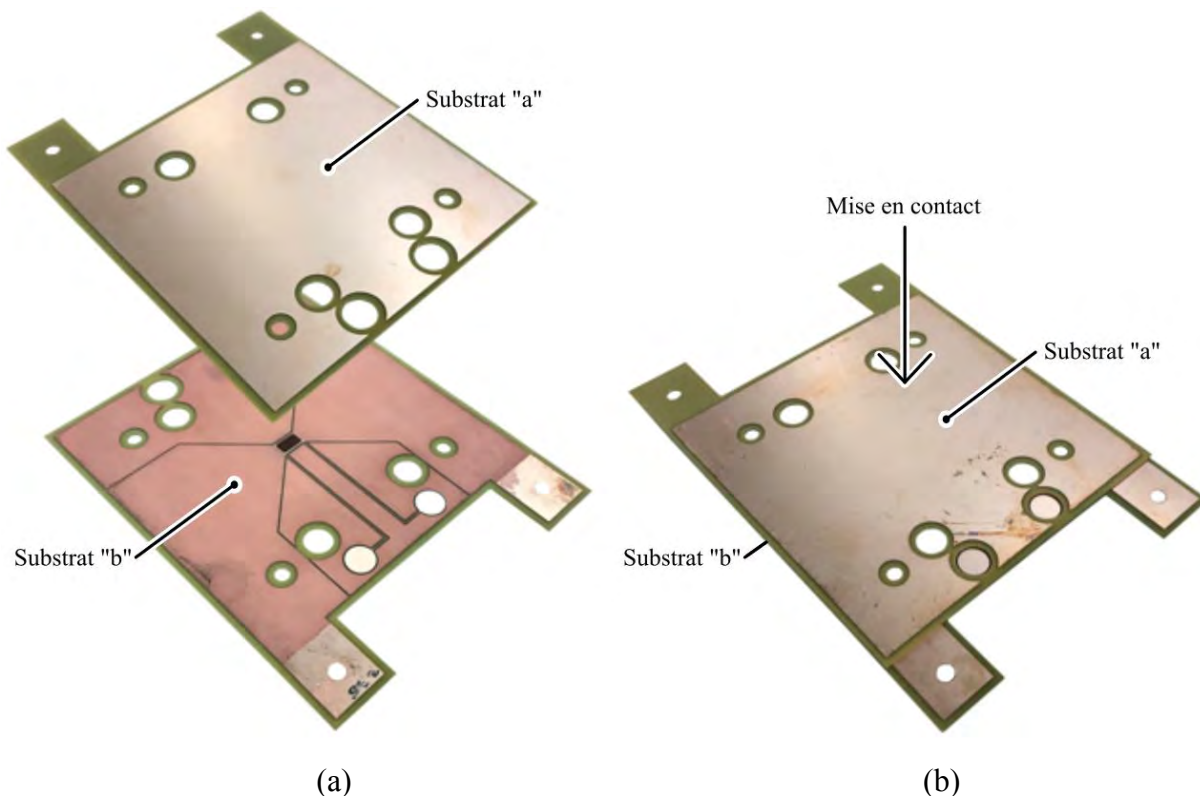


Figure 3.4 – Deux substrats unitaires avec leur face fonctionnelle en regard l'un de l'autre (a) et principe d'assemblage avec seulement une nano structure (b)

Nous avons vu que pour réaliser un assemblage, d'une puce par exemple, nous devons thermo-compresser deux substrats équipés de leur nano structure de part et d'autre de cette dernière. L'avantage de notre substrat réside dans sa conception de façon à pouvoir réaliser des assemblages à partir d'un substrat unitaire.

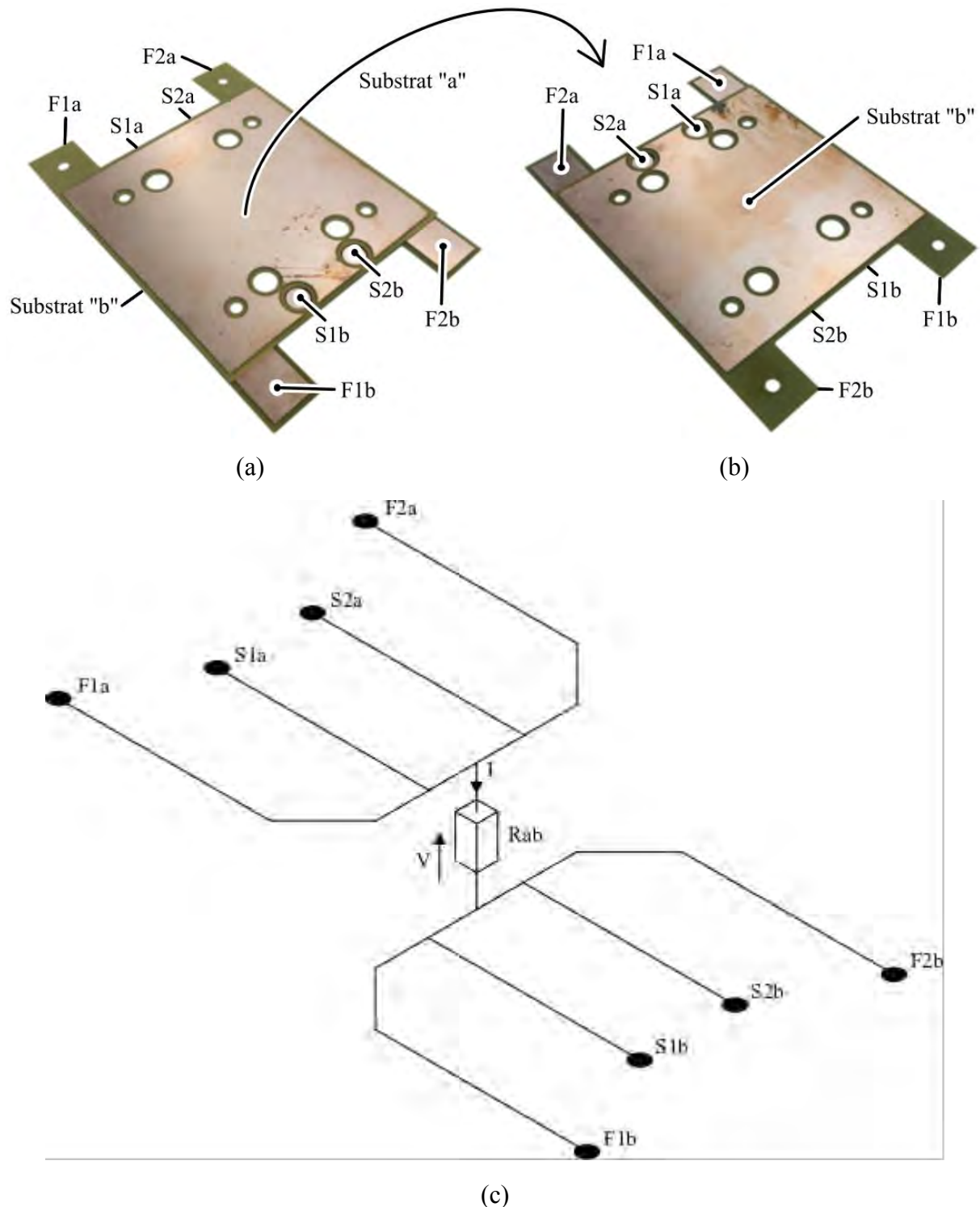


Figure 3.5 – Reprises de contact par languette pour appliquer le courant et empreintes pour la mesure de différence de potentiel avec le substrat « b » et le substrat « a » (a) après retournement de l'ensemble (b) ainsi que le circuit électrique équivalent du principe d'assemblage des substrats de la première figure (c)



De par leur symétrie avec une simple rotation de  $180^\circ$  d'un des deux substrats par rapport à l'autre et leur face fonctionnelle au regard l'une de l'autre, nous avons la possibilité de réaliser des interconnexions par nano structure en environnement PCB. La Figure 3.4 représente le principe de notre assemblage avec notre substrat unitaire. Par souci de simplification, nous nous affranchissons du matériau diélectrique permettant l'assemblage final et l'isolation électrique, de même pour la puce que nous verrons par la suite. À titre d'exemple pour notre explication, nous allons mettre au regard du substrat « a », équipé d'un plot recouvert de nano fils, un substrat « b » dit nu c'est-à-dire sans nano structure comme le montre la Figure 3.1 (a).

Regardons de plus près les connectiques de nos deux substrats. La Figure 3.5 (a) met en évidence l'accessibilité aux connectiques du substrat « a », à savoir les languettes pour appliquer le courant et les empreintes pour la mesure de différence de potentiel. On remarque que les deux orifices les plus excentrés sont réalisés afin de ne pas condamner, en enfouissant les empreintes, la mesure de tension vue précédemment. Grâce à cette symétrie, nous avons accès aux mêmes reprises de contacts pour le substrat « b » comme le montre la Figure 3.5 (b).

Électriquement, le schéma équivalent de notre assemblage s'apparente à celui représenté en Figure 3.5 (c), dans le cas où nous utiliserons une polarité pour chacun des substrats. Plus précisément, en alimentant ce circuit entre les bornes  $FXa$  et  $FXb$  et mesurant la tension entre  $SXa$  et  $SXb$ , nous pouvons mesurer la résistance de  $Rab$  qui représente la jonction entre les deux substrats soit une interface structurée dans cet exemple. Nous verrons au cours de ce chapitre que cette configuration offre de nombreux avantages.

### 3.3 L'analyse préliminaire

Nous savons que la réalisation des assemblages consiste à évaluer la nano structure et son plot en cuivre en tant qu'interconnexion de composants actifs. La conception de nos substrats et leur principe d'assemblage nous permettent d'effectuer des mesures de résistances précises par méthode quatre fils mais également d'utiliser la piste de cuivre, sur laquelle est placée notre interface structurée, comme capteur de température et/ou source de chaleur. Ces caractéristiques laissent envisager de nombreuses possibilités quant à la caractérisation. Néanmoins, nous devons définir ce que l'on souhaite caractériser et comment procéder à l'assemblage de nos prototypes.

#### 3.3.1 La stratégie de l'étude

Nous devons, en toute logique, mettre en place un second type d'assemblage intégrant un composant à structure verticale comme représenté en Figure 3.6 (a). Il permettra de conclure sur la pertinence de la solution proposée. Beaucoup d'aspects sont à envisager, le premier étant que nous ne connaissons pas davantage les caractéristiques mécaniques qu'électriques de nos nano structures. Nous espérons bénéficier de nano fils « flexibles » afin de réduire les contraintes thermomécaniques au cours de la vie des modules de puissance, cependant nous ne savons pas si nos structures seront source de ruptures des puces lors de l'assemblage par thermo-compression.

En section 3.2.2, nous avons présenté le principe d'assemblage en s'affranchissant de la thermo-compression du matériau diélectrique intermédiaire aux substrats ainsi que de la puce pour laisser place à une seule interface structurée, soit une seule interconnexion entre substrats.

Cet exemple, permettant de simplifier notre précédente explication, se révèle être notre solution afin d'évaluer notre nano structure ; voir Figure 3.6 (b).

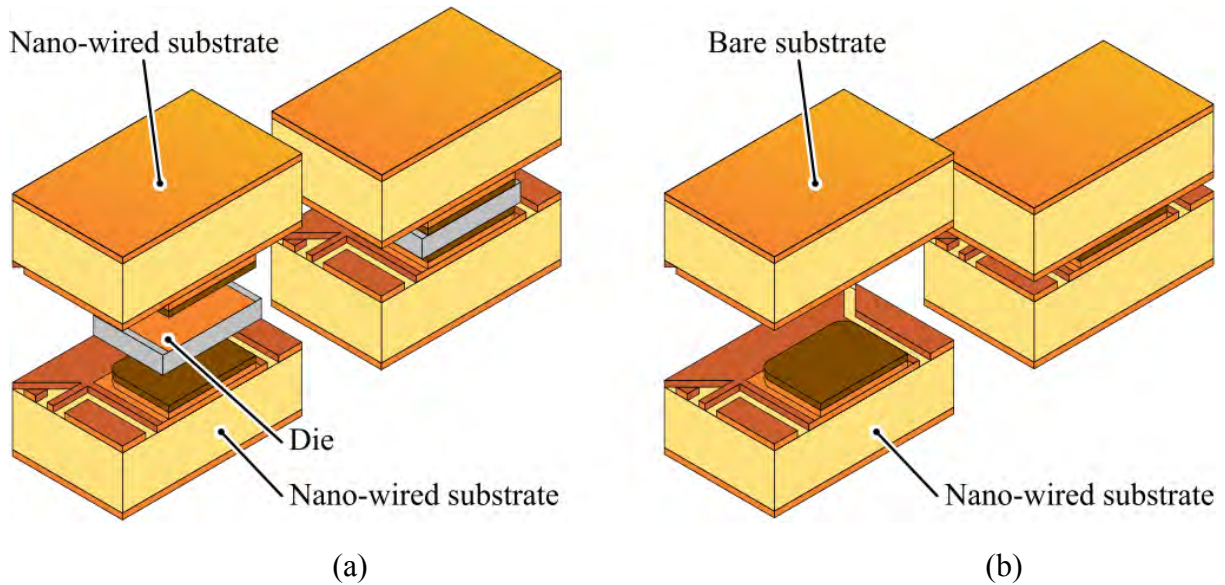


Figure 3.6 – Schémas représentatifs en vue de coupe des structures étudiées : une puce interconnectée (a) et une interconnexion (b)

Dans un premier temps, nous traiterons les assemblages intégrant uniquement une interconnexion puis ensuite l'intégration de puce et ses deux interconnexions. Bien que connaître la faisabilité de l'intégration d'une puce et le comportement de notre interconnexion soient tous deux capital, nous préférons commencer par enfouir uniquement une interconnexion ayant l'avantage de permettre d'ajuster nos paramètres d'assemblage afin de réduire tout risque de rupture de la puce.

### 3.3.2 Les méthodes d'assemblage

Maintenant que nous connaissons les structures que nous allons étudier, nous devons établir le procédé d'assemblage de nos prototypes. Les Figure 3.6 (a) et (b) mettent en avant la nécessité de cette section, le contact électrique est établi au travers des interfaces structurées que nous avons choisies, cependant le maintien mécanique des prototypes n'est pas garanti, l'environnement des structures étudiées étant non défini.

Notre choix est orienté vers la thermocompression d'un matériau composite constituant le procédé de fabrication de nos plaques actuellement utilisées pour la fabrication de nos substrats. Cependant, différentes méthodes peuvent être appliquées via ce procédé afin de finaliser nos assemblages. De plus, nous parlons de ce même matériau composite qui constitue la partie diélectrique de nos plaques, mais d'autres matériaux sont utilisables.

C'est à travers cette section que nous développerons les méthodes, les matériaux, que nous proposons pour l'assemblage de nos prototypes mais surtout notre sélection pour nos prochaines expériences.

### 3.3.2.1 La nano structure comme interconnexion

Pour procéder à la mise en place de notre assemblage, nous devons bien garder à l'esprit que notre interface structurée, plot recouvert de nano fils, a une épaisseur d'environ 100  $\mu\text{m}$  sachant que l'épaisseur de la structure à enfouir impose l'épaisseur de notre liant, notre intermédiaire diélectrique. Il nous faut donc utiliser une ou plusieurs couches ayant une épaisseur finale du même ordre de grandeur, une surépaisseur ne permettant pas le contact électrique et une sous-épaisseur impliquant l'écrasement de la nano structure et une éventuelle rupture de la puce pour notre second assemblage. Rappelons que nous devons pouvoir réaliser des ouvertures dans notre matériau afin de permettre son installation sur notre support mais aussi le passage de notre structure conductrice. Revenons à notre assemblage intégrant une interconnexion, deux solutions se proposent à nous et sont représentées en Figure 3.7 (a) et (b).

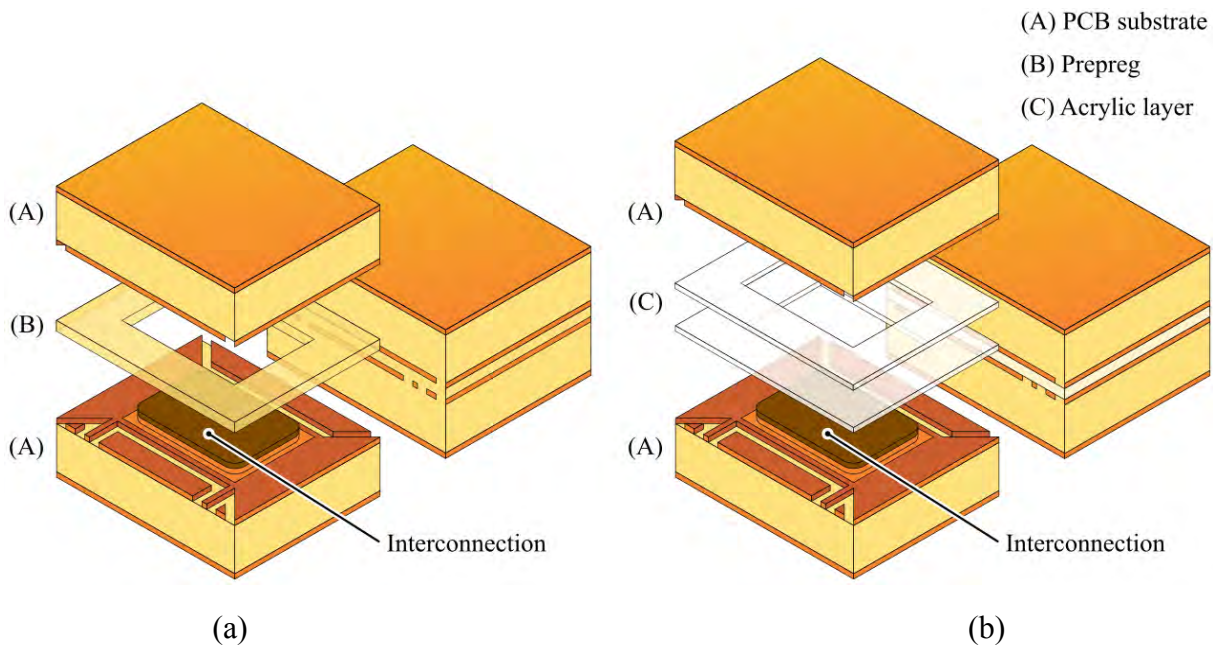


Figure 3.7 – Assemblage par thermo-compression de pré-imprégné (a) et couches adhésives (b) intégrant une interconnexion

La première étant l'utilisation de feuilles pré-imprégnées qui constituent le diélectrique des circuits imprimés (Figure 3.7 (a)). Différentes épaisseurs sont disponibles en fonction de leur type de fibre de verre. Néanmoins, cela n'est pas le seul paramètre permettant de faire varier l'épaisseur du diélectrique. C'est également en fonction de la teneur en résine des pré-imprégnés (Resin Content RC), son fluage (type de feuille pré-imprégnée et du cycle de thermo-compression) et la configuration de l'assemblage dans lequel le pré-imprégné est thermo-compressé [251], [309] c'est-à-dire le pourcentage de la surface recouverte de cuivre, la profondeur des gravures, etc. Dans notre cas, nous nous orientons vers le même matériau composite que les plaques utilisées pour nos substrats, c'est-à-dire le 35N du fabricant Arlon.

À base de résine polyimide, sa température de transition vitreuse ( $T_v$ ) de plus de 250°C le rend éligible à une future intégration de composants actifs à large bande interdite ; raison de son choix préliminaire. Ci-dessous, le tableau récapitulatif des épaisseurs pour la gamme de pré-imprégnés 35N [310]. De plus, les ouvertures de ces feuilles peuvent être réalisées relativement facilement via une micro-fraiseuse numérique avec coussinet de plaquage ou un laser CO<sub>2</sub>.

Fibre de verre	Contenu en résine (%)	Epaisseur( $\mu\text{m}$ )
106	72	$43,2 \pm 8$
1080	63	$61,0 \pm 8$
2313	55	$86,4 \pm 8$
2116	50	$104,1 \pm 8$
7628	40	$167,6 \pm 8$

Tableau 3.1 – Épaisseur des feuilles pré-imprégnés 35N après thermo-compression en fonction de leur fibre de verre donnée par le fabricant Arlon

La seconde solution est plus originale en utilisant des couches adhésives d'acrylique Pyralux HT, du fournisseur DuPont, utilisées dans la fabrication de circuits imprimés type « Flex » ainsi que « Flex-rigide ». Sa composition fait de lui un matériau qui ne flue quasiment pas, et lui offre la propriété de conserver son épaisseur après son assemblage. Cependant, la température de transition vitreuse ( $T_v$ ) la plus élevée et proposée est de  $220^\circ\text{C}$  avec une température maximale lors du cycle de thermo-compression à  $300\text{-}310^\circ\text{C}$ . Bien que les épaisseurs disponibles vont de  $13\ \mu\text{m}$  à  $102\ \mu\text{m}$  avec des épaisseurs intermédiaires de  $18\text{-}25\text{-}51\ \mu\text{m}$  pour la gamme FR, la version haute température (HT) se limite à  $38\text{-}25\text{-}50\ \mu\text{m}$  [311].

Après comparaison des deux méthodes d'assemblage, notre choix est celui de la thermo-compression de feuille pré-imprégnée comme évoqué précédemment, malgré des épaisseurs proposées plus limitées et un fluage de résine susceptible de s'interposer entre la nano structure et la zone de contact.

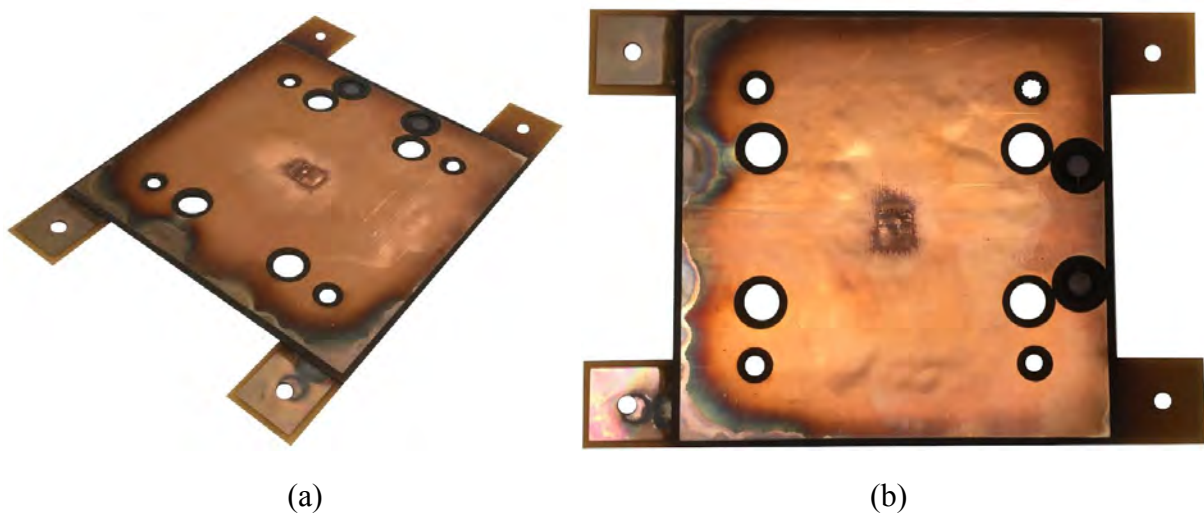


Figure 3.8 – Vue latérale (a) et de dessus (b) d'un essai avec une couche adhésive haute température (Pyralux HT)

Précisons que les couches acryliques sont limitées par leur température de transition vitreuse plus faible. Dans le cas des films haute température à base de polyimide, la température du procédé d'assemblage à  $300\text{-}310^\circ\text{C}$  est bien plus élevée que la température de transition vitreuse de notre substrat, et ne nous permet pas de l'utiliser. Les essais illustrés en Figure 3.8 démontrent les effets du dépassement de la température de transition vitreuse ( $T_v$ ) des substrats PCB par la thermo-compression d'une couche adhésive Pyralux HT. L'état de surface est détérioré et le module présente des déformations non négligeables.



### 3.3.2.2 L'intégration d'une puce semi-conductrice

L'assemblage du second prototype vise à intégrer une puce avec ses interconnexions : l'empilement conducteur comprend deux interconnexions et bien entendu une puce entre elles. L'épaisseur de cet empilement est évaluée à environ 200  $\mu\text{m}$  pour les interfaces structurées et entre 70  $\mu\text{m}$  et 500  $\mu\text{m}$  pour la puce. Nous pouvons remarquer qu'une contrainte supplémentaire s'ajoute à cet assemblage en comparaison avec l'intégration d'une seule interconnexion : l'épaisseur de la puce et ses tolérances. Lorsque dans l'assemblage précédent l'interface structurée était fixe par rapport au substrat, le diélectrique doit à présent jouer un rôle de guidage 3D lors de l'assemblage par thermo-compression.

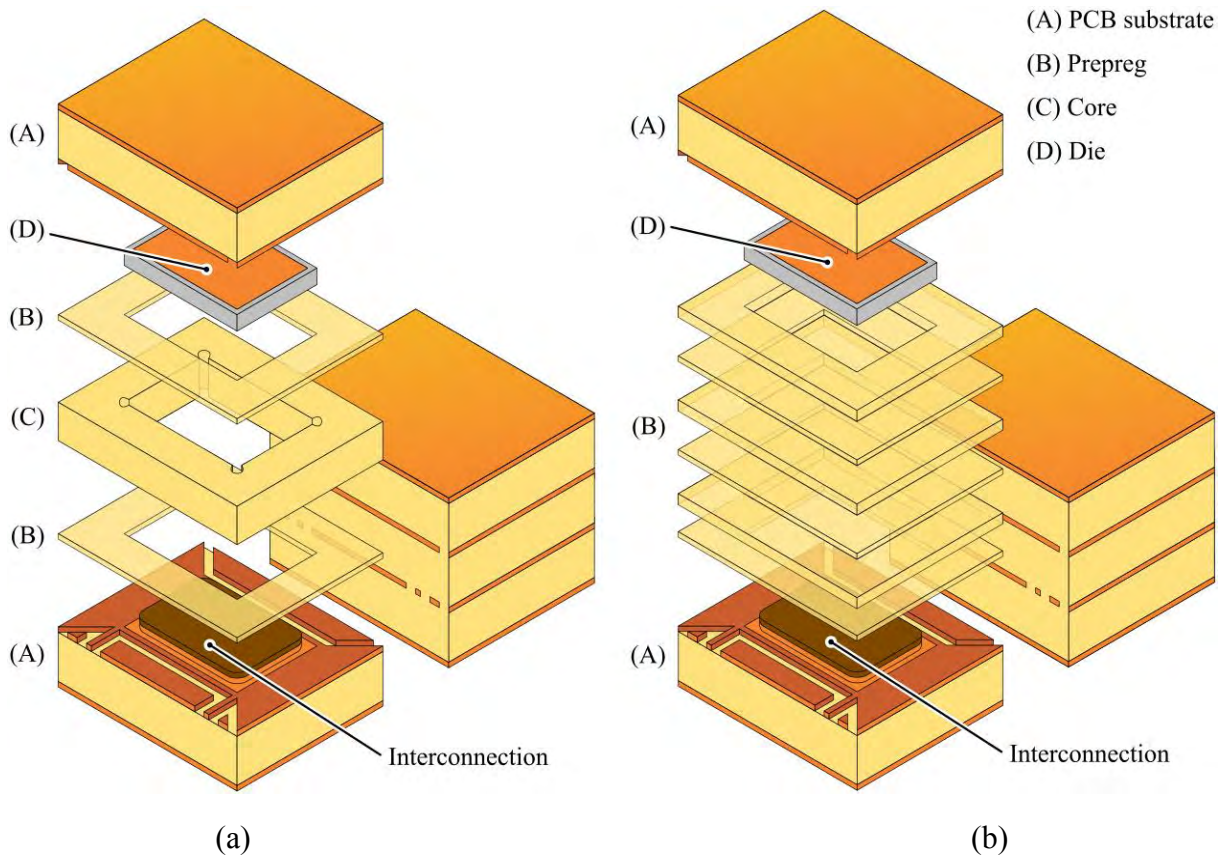


Figure 3.9 – Enfouissement d'une puce interconnectée par interfaces structurées via thermo-compression d'un stratifié (a) et de feuilles pré-imprégnées (b)

Les Figure 3.9 (a) et (b) montrent les deux types d'assemblages envisagés afin d'enfouir une puce semi-conductrice interconnectée par des interfaces structurées. La première méthode consiste en l'usinage d'une cavité dans un laminé, sans couches de cuivre, et relié aux substrats par l'intermédiaire de feuilles pré-imprégnées. Pour la seconde, l'empilement se compose uniquement de différentes feuilles de pré-imprégné.

Les deux solutions présentent des avantages et inconvénients non négligeables. L'utilisation de plusieurs feuilles de pré-imprégné implique un fluage de résine plus conséquent qu'avec un assemblage par laminé. Cette caractéristique pourrait être source de nombreux défauts et de nombreuses problématiques. La résine polyimide pourrait figer notre structure par son encapsulation et durcissement, atténuant drastiquement la flexibilité recherchée de l'assemblage.



Dans le pire des cas, lors de la thermo-compression, elle pourrait venir s'insérer entre la puce et la nano structure ce qui aurait pour conséquence de compromettre la qualité du contact électrique ou sa fiabilité. Bien que l'interface nano structurée montre les caractéristiques d'une structure hydrophobe, les liquides conventionnels ne pénétrant pas au travers, nous ne connaissons pas son comportement vis-à-vis de la résine polyimide à haute température et sous pression. Antérieurement à la thermo-compression, l'insertion de la puce dans la cavité est plus sujette au glissement du composant qu'avec un laminé venant s'insérer entre deux feuilles de pré-imprégné. En effet, l'épaisseur du laminé étant plus importante que celle de la puce, l'assemblage est facilité en limitant le risque de défaut par placement. En résumé, le laminé offre un meilleur guidage 3D du composant en limitant le volume de résine disponible pour le fluage ; a contrario, son point faible concerne la probabilité de création de cavités. Comme nous l'avons vu lors de l'état de l'art, les cavités occluses peuvent être source de défauts comme les décharges partielles par exemple. Nous avons la même contrainte en enfouissement de puces actives en environnement PCB. C'est également la dilatation du gaz lors de fortes variations de température qui est susceptible d'aller jusqu'à la délamination du prototype. Néanmoins, ce laminé est tout de même assemblé par des feuilles de pré-imprégné, ce qui n'exclue pas le remplissage des espaces vides de notre cavité. C'est aussi l'opportunité de penser à l'encapsulation de la partie conductrice enfouie par un « gel » diélectrique afin de conserver une certaine flexibilité relative de l'assemblage.

Cette comparaison nous emmène à choisir la solution avec un laminé diélectrique. En fonction de l'analyse du résultat obtenu après thermo-compression, nous envisagerons l'utilisation ou non d'un gel diélectrique.

De plus, la référence de pré-imprégné 35N que nous utilisons, propose un procédé de pré-stratification du laminé. Généralement, la fabrication d'un laminé diélectrique est effectuée en appliquant le même profil de thermo-compression qu'avec une plaque ayant du cuivre de part et d'autre du diélectrique (*copper clad*). En retirant une demi-heure au cycle de thermo-compression, la polymérisation de la résine est partielle permettant par la suite de garantir une meilleure tenue mécanique entre les éléments lors de la seconde et dernière thermo-compression.

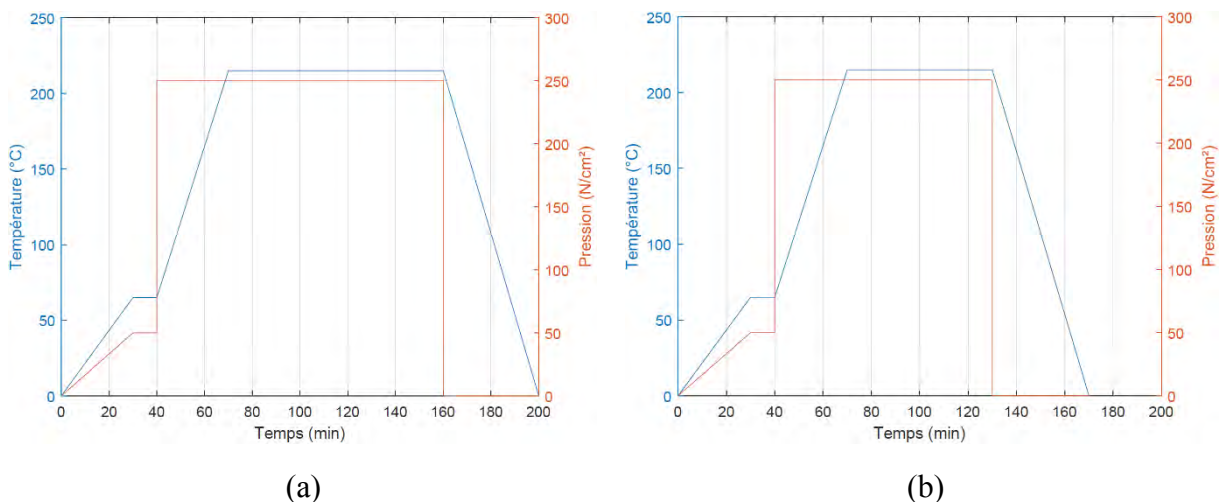


Figure 3.10 – Température et pression appliquées en fonction du temps pour la stratification (a) et pré-stratification (b) des feuilles pré-imprégnées Arlon 35N

### 3.4 La réalisation des prototypes

La définition des structures que nous souhaitons étudier ainsi que des méthodes d'assemblages choisies nous permettent de mettre en application, dans cette section, la solution que nous proposons visant à enfouir des composants actifs en environnement PCB et utiliser des interconnexions nano structurées.

#### 3.4.1 La préparation des échantillons

Avant d'assembler nos prototypes, une préparation des échantillons est nécessaire. Pendant le cycle de fabrication complet, les circuits imprimés sont exposés à divers traitements chimiques qui les chargent en humidité. Le stockage en atmosphère non contrôlée est également une source d'augmentation de leur teneur en humidité [312].

La présence d'humidité est source de défauts tels que la création de cloques ou le décollement des couches internes [313]. Cet effet est accentué en particulier par l'utilisation de brasures sans plomb, faisant subir des températures plus élevées aux circuits imprimés lors des cycles de refusions. Certains travaux démontrent l'augmentation des propriétés d'absorption d'humidité des circuits suite à ce cycle de haute température [314], [315]. Les dégradations peuvent également impacter les propriétés diélectriques des substrats, notamment en augmentant sa permittivité et son facteur de dissipation, venant altérer les isolations [316].

Afin de réduire ces défauts, les circuits imprimés sont emballés sous vide avec des sachets déshydratants et sont placés en étuve avant passage en refusion [317] ; cela permet également de relaxer les contraintes mécaniques internes [318]. Concernant nos substrats, un cycle de 2 heures d'étuvage à 121°C est préconisé [310].

Cependant, l'humidité et la chaleur sont des conditions propices à l'oxydation du cuivre. Les effets vont de l'augmentation de sa résistivité jusqu'à fragiliser sa structure [319]. Un de nos échantillons avec nano fils de cuivre réalisé au début des travaux, stocké sans environnement protecteur et non utilisé, semble en témoigner montrant des nano fils avec des creux (effet gruyère) voire cassés.

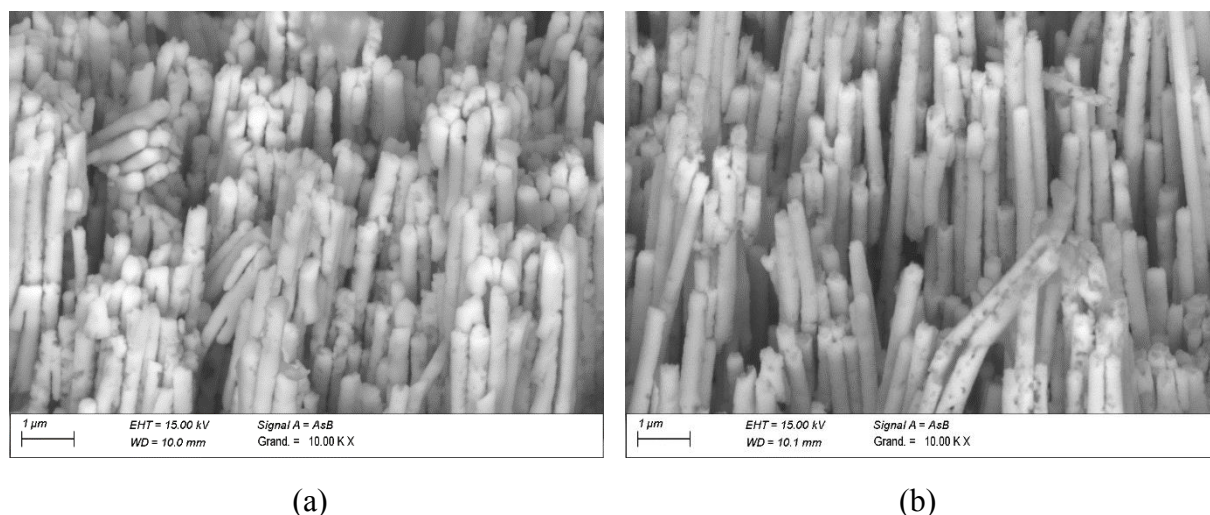


Figure 3.11 – Image au microscope numérique (x10000) d'une nano structure stockée en environnement ambiant

Afin de limiter les effets néfastes générés par l'oxydation du cuivre, des finitions sont appliquées sur les plages d'accueil et du vernis épargne est déposé sur les pistes et plans de masse [320], [321], [322], [323].

Dans notre cas, le substrat subit de nombreux traitements chimiques et nettoyages par voie humide, notamment pour le désoxyder avec une solution d'acide sulfurique à 10%. L'ensemble de ces traitements renforce la teneur en humidité de nos substrats. L'étuvage de nos substrats est donc nécessaire avant l'application du cycle de thermo-compression. Cependant, nous ne bénéficions pas de finitions pour notre interface structurée ce qui provoque l'oxydation du cuivre. En somme, nos procédés de désoxydation du cuivre et de séchage des substrats PCB ne sont pas compatibles. La désoxydation implique l'augmentation de la teneur en humidité, et dans le cas contraire, la réduction de cette teneur en humidité favorise l'oxydation du cuivre.

Notre choix s'oriente donc vers une désoxydation du cuivre du substrat à l'acide sulfurique à 10%, avant une mise à l'étuve à 121°C pendant 2 heures. Nous considérons que les défauts dus à l'oxydation peuvent dégrader les performances de notre interface structurée mais sont acceptables en comparaison à l'humidité susceptible d'être source de défaillance, ne nous permettant pas d'exploiter les futurs prototypes. De plus, notre expérience des nano structures démontre une dégradation sur le long terme. Lors des analyses au microscope électronique à balayage dans la section 2.5.4.7, concernant l'optimisation des dépôts, aucune dégradation de la structure n'a été observée comme en Figure 3.11 bien que le temps de préparation et d'analyse des échantillons ne soit pas négligeable.

#### *3.4.2 L'assemblage par feuille pré-imprégnée*

La réalisation de prototypes par thermo-compression d'une feuille pré-imprégnée concerne l'intégration d'une macro et nano interface structurée comme exposé en section 3.3.2.1 et représenté en Figure 3.7 (a). L'utilisation de seulement une feuille pré-imprégnée est imposée par l'épaisseur de notre interface structurée mais également par la gamme de feuilles pré-imprégnées disponible, en général, du même ordre de grandeur. Bien que nous connaissons les épaisseurs de feuilles pré-imprégnées proposées ainsi que le profil de thermo-compression à appliquer, la configuration des substrats, notamment la conception du circuit, constitue un paramètre prédominant dans l'épaisseur résultante de notre jonction diélectrique entre substrats à l'issue du cycle d'assemblage. La mise en place d'un protocole expérimental nous permettra de mettre en place, par la suite, notre procédé d'assemblage par thermo-compression et d'évaluer notre interface structurée.

##### *3.4.2.1 L'évaluation de l'épaisseur des pré-imprégnés*

La contrainte principale de cette dernière étape du procédé de fabrication concerne l'épaisseur finale entre substrats. Au-delà des incertitudes données pour notre matériau composite en Tableau 3.1, cette épaisseur est directement dépendante de la fibre de verre utilisée. En faisant varier ce paramètre, nous sommes donc en capacité de modifier cette composante. Néanmoins, la tenue mécanique des assemblages est garantie par la résine polyimide. Les structures de fibre de verre plus épaisses disposent d'un taux de résine plus faible, le fibrage étant plus compact. Nous devons donc disposer d'une épaisseur de feuille adaptée avec un taux de résine suffisant afin d'obtenir un assemblage aux caractéristiques optimales par rapport à ce qu'il peut nous offrir.

Bien que ce premier prototype soit destiné à l'évaluation d'une interconnexion, cette contrainte sera amplifiée lors de l'intégration d'une puce en vue d'obtenir un assemblage fiable et durable. C'est pourquoi nous gardons cette contrainte à l'esprit afin de pouvoir utiliser notre expérience lors de la mise en place de cet assemblage pour notre second prototype. Nous disposons de feuilles pré-imprégnées 35N du fournisseur Arlon avec fibre de verre 106, 1080 et 2116 ; voir Tableau 3.1. Malgré des épaisseurs trop fines qui nous sont communiquées pour les feuilles de pré-imprégnées de type 106 et 1080, nous avons procédé à l'assemblage de substrats vierges avec les trois références. Bien que nous choisissons la ou les références les plus adaptées à nos besoins, nous n'excluons pas l'utilisation des autres feuilles lors de la fabrication du second assemblage.

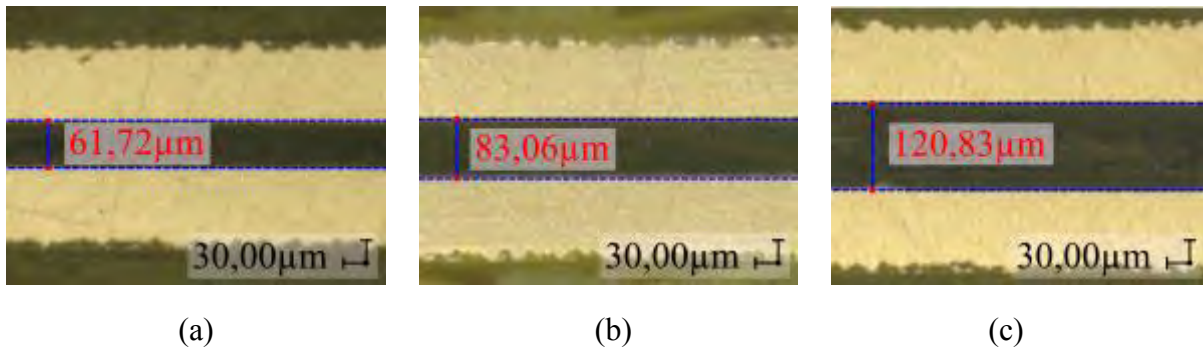


Figure 3.12 – Coupe micrographie de deux substrats assemblés par une feuille de pré-imprégné 35N avec fibre de verre 106 (a), 1080 (b) et 2116 (c)

Suite au cycle de stratification par thermo-compression en Figure 3.10 (a), les échantillons sont découpés au niveau de la zone de travail, puis encapsulés afin de réaliser les mesures d'épaisseur par analyse via microscope numérique. Les mesures révèlent une épaisseur approximative de 60  $\mu\text{m}$  pour la feuille pré-imprégnée avec une fibre de verre 106, 80  $\mu\text{m}$  pour la fibre 1080 et 120  $\mu\text{m}$  pour la 2116.

#### 3.4.2.2 Le choix de l'épaisseur du diélectrique

Les épaisseurs ne nous permettent pas de réaliser un assemblage avec un diélectrique de même épaisseur que notre interconnexion, soit 100  $\mu\text{m}$ .

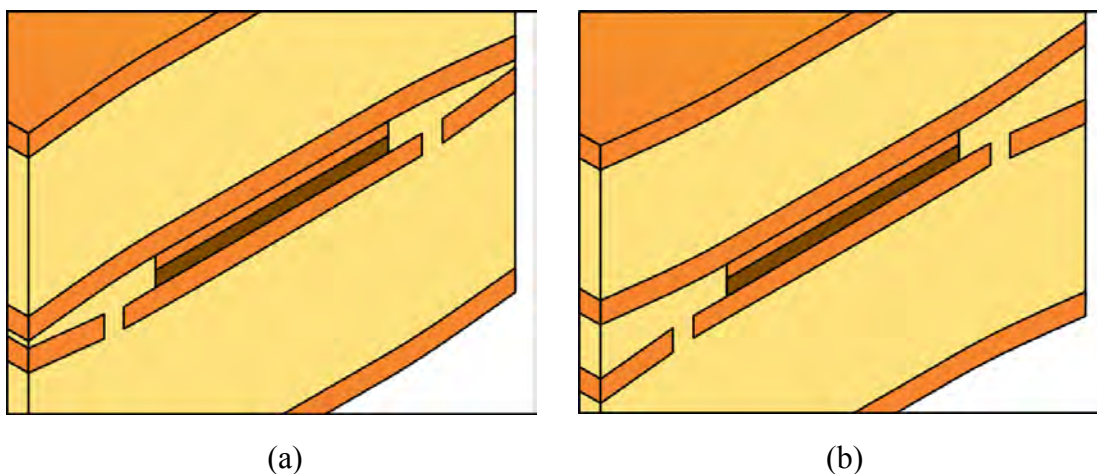


Figure 3.13 – Schémas d'assemblage « simplifiés » d'une interconnexion par thermo-compression avec renforcement de contraintes compressives au niveau de la nano structure (a) ou du substrat PCB (b)

Deux solutions s'offrent à nous pour établir le contact électrique ; voir Figure 3.13. Nous avons donc assemblé deux prototypes, le premier avec une configuration tel que la Figure 3.13 (a) en mettant en compression notre nano structure en utilisant un pré-imprégné ayant une épaisseur après stratification de 80  $\mu\text{m}$  puis le second avec une épaisseur de 120  $\mu\text{m}$  utilisant la flexion du substrat comme représenté en Figure 3.13 (b).

#### 3.4.2.3 Le procédé d'assemblage d'une interconnexion

Nous connaissons l'ensemble des constituants permettant de réaliser nos prototypes intégrant une seule et unique interconnexion par enfouissement en environnement PCB. Nous disposons également du cycle de thermo-compression préconisé afin de procéder à l'assemblage de ces éléments. La première étape consiste en la préparation du support de cette dernière phase du cycle de fabrication complet de nos prototypes, notamment le support utilisé ainsi que la mise en place des couches intermédiaires que nous retrouvons ci-après en Figure 3.14.

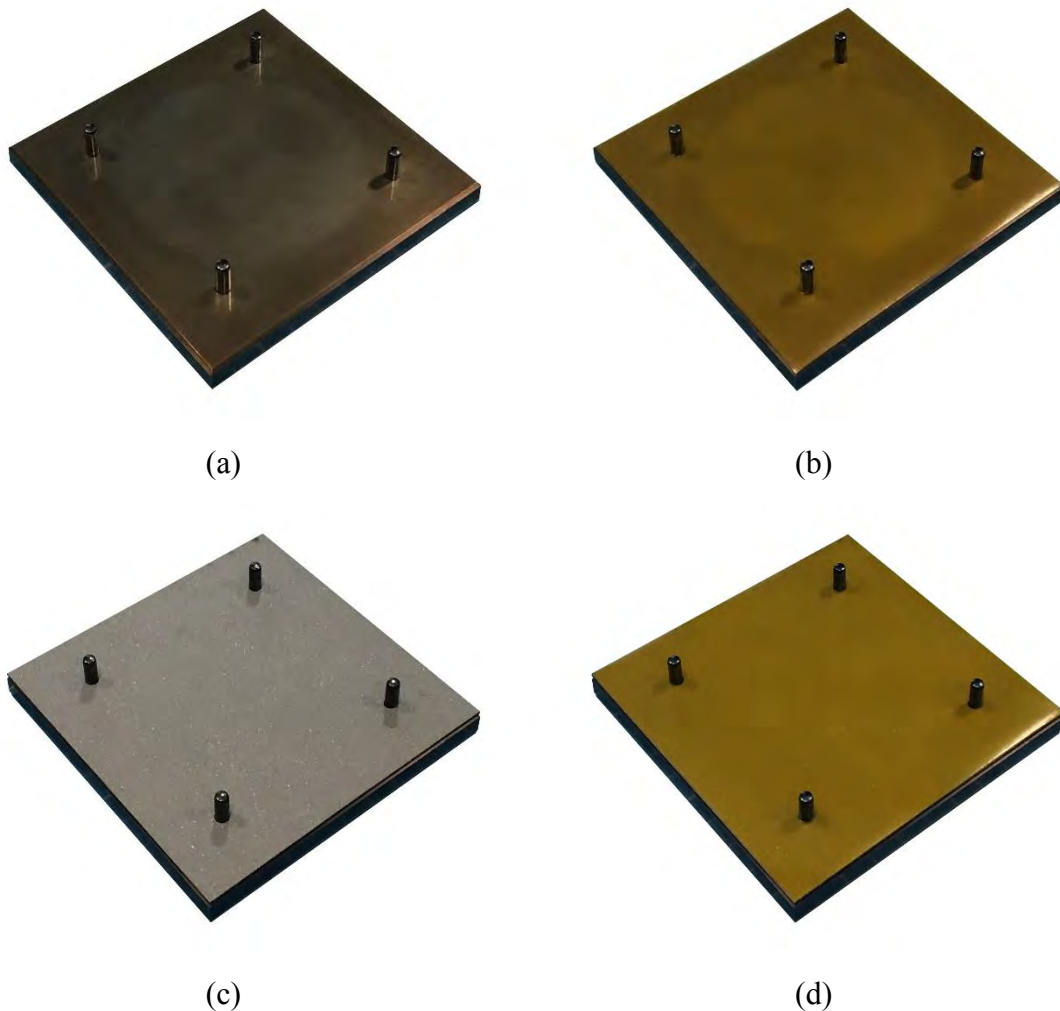


Figure 3.14 – Préparation du support et mise en place des couches intermédiaires pour le cycle de thermo-compression



Ci-dessous, est détaillée la description des étapes de préparation du cycle de thermo-compression :

- (a) Le support en acier, d'une surface de 100 cm<sup>2</sup>, et ses pions de centrage sont nettoyés afin de retirer les résidus éventuellement présents en surface. Une graisse silicone haute température (Cole-Parmer™ 79751-30) est appliquée dans les orifices avant d'y insérer les pions en vue de faciliter leur retrait après l'assemblage du prototype ;
- (b) Un film antiadhésif haute température (Pacothane ThermoFilm™) est mis en place sur le support préalablement préparé ;
- (c) Un conformant, également haute température (Pacothane ThermoPad™), est ajouté afin de répartir la pression lors du cycle de thermocompression ;
- (d) Le second film antiadhésif, identique à l'étape (b), est appliqué sur le matelas conformant.

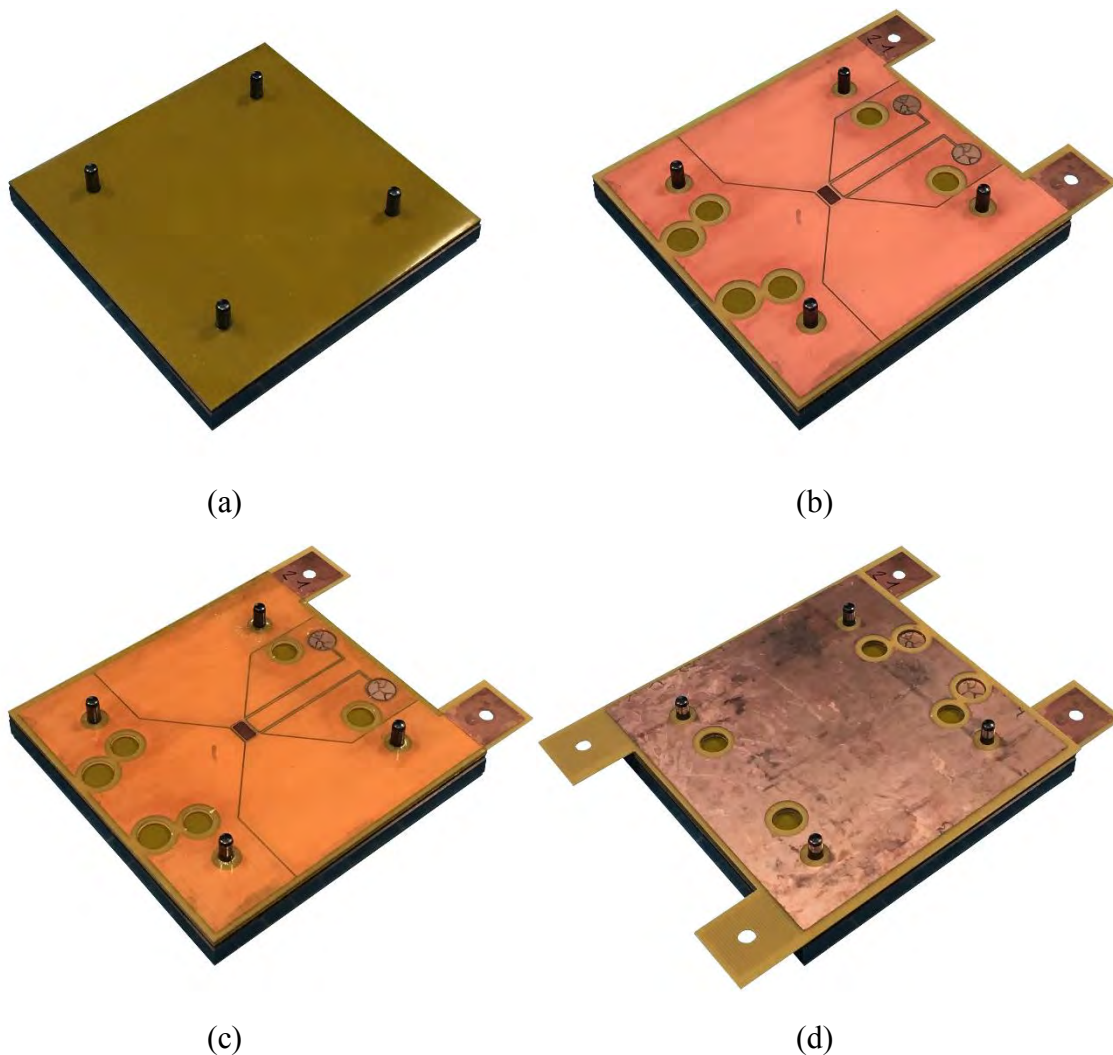


Figure 3.15 – Préparation à l'assemblage d'une interface structurée en environnement PCB

L'utilisation de matériau haute température se justifie par l'utilisation de feuilles pré-imprégnées avec une résine en polyimide. Les températures atteintes lors du cycle de thermocompression de ce matériau, jusqu'à 215°C, sont supérieures aux 190°C généralement utilisés avec des plaques utilisant un FR-4 à base de résine époxyde à haute Tv ; voir Figure 2.5 (a) et (b). Au vu de la redondance de cette préparation et par souci de simplification, nous commencerons à partir de l'étape (d) de la Figure 3.14 lors des prochaines explications concernant l'étape d'assemblage des prototypes.

Notre support étant prêt, nous pouvons procéder à la mise en place des différents éléments constituant nos futurs prototypes.

Les étapes y sont représentées, ci-avant, en Figure 3.15 :

- (a) Le support est préalablement préparé sur lequel nous appliquons les couches intermédiaires antiadhésives et conformantes ;
- (b) Le premier substrat PCB, implémenté de son interface structurée, est placé sur le support ;
- (c) Une feuille de pré-imprégnée, découpée au laser CO<sub>2</sub> est mise en place sur le substrat PCB. Dans notre cas, en fonction du prototype que nous réalisons, nous prenons un pré-imprégné 35N avec une fibre de verre de type 1080 ou 2116 ;
- (d) Le second substrat PCB, sans interface structurée, est placé au regard de la nano structure, avec une rotation de 180°, sur cette dernière feuille de pré-imprégné.

Une fois les éléments en place sur la première partie du support, il nous faut procéder à la fermeture de celui-ci. Etudions la Figure 3.16, les dernières étapes de l'empilement y sont illustrées.

Ces étapes sont similaires à celles de la Figure 3.14 visant à préparer le support avec ses couches intermédiaires, mais elles sont réalisées dans l'ordre inverse. Le premier film antiadhésif haute température est appliqué (a) pour ensuite placer le matelas conformant (b) puis le second film antiadhésif. La deuxième plaque du support, guidée par les pions de centrage, vient refermer le support (d) ; les orifices bénéficient également d'un dépôt de graisse. Avant de placer l'empilement dans la presse, du papier Kraft bleu est placé de part et d'autre pour protéger les plateaux de l'équipement et du support ; voir Figure 3.17 (a) et (b).

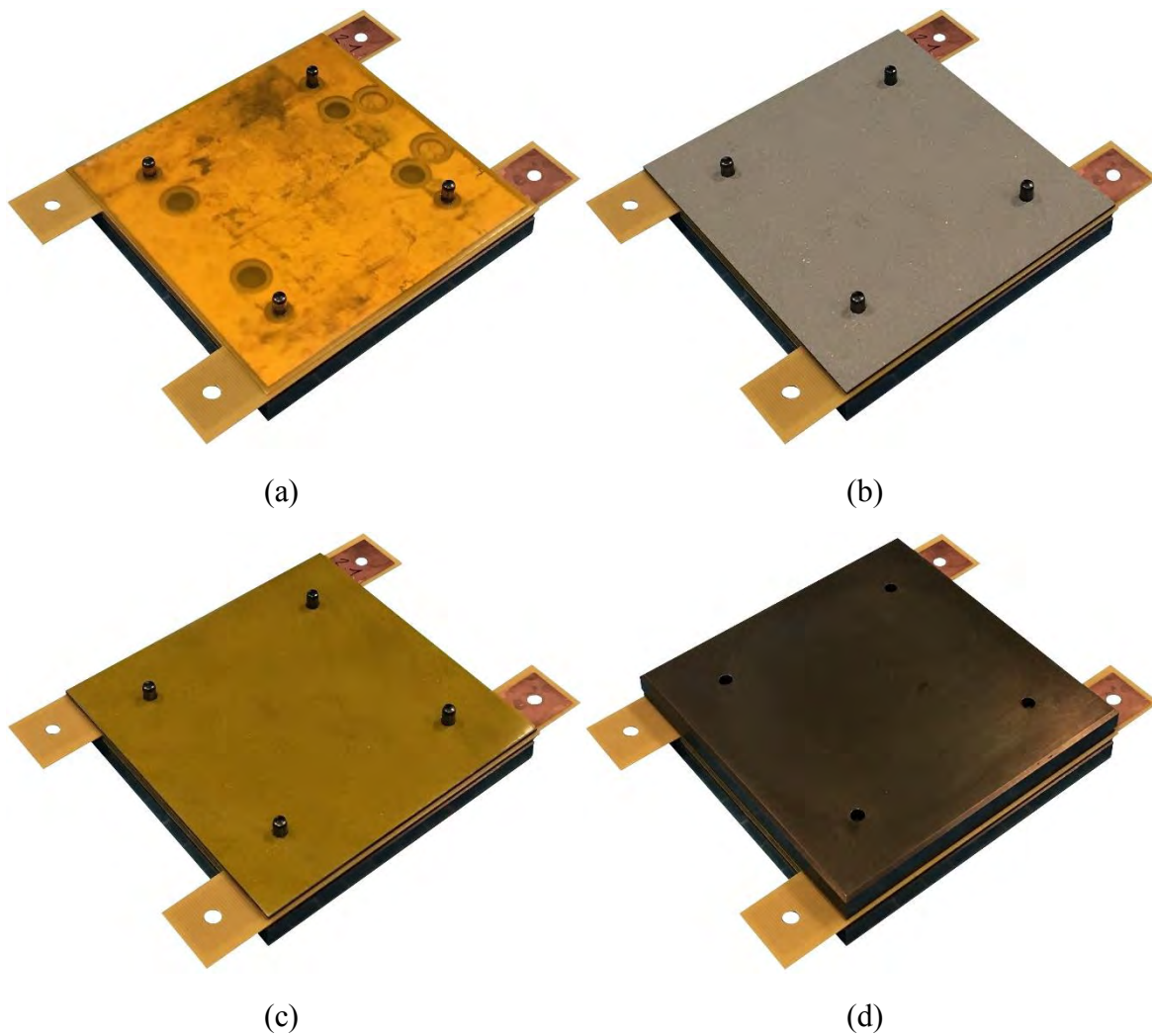


Figure 3.16 – Fermeture du support avant l'application du cycle de thermo-compression

Après application du cycle de thermo-compression, que nous retrouvons en Figure 3.10 (a), le support et ses différentes strates sont retirés de l'équipement. À l'aide d'un chasse-goupille, le support est retiré pour obtenir le module en Figure 3.17 (c) intégrant notre interface structurée que nous pouvons dorénavant qualifier d'interconnexion.

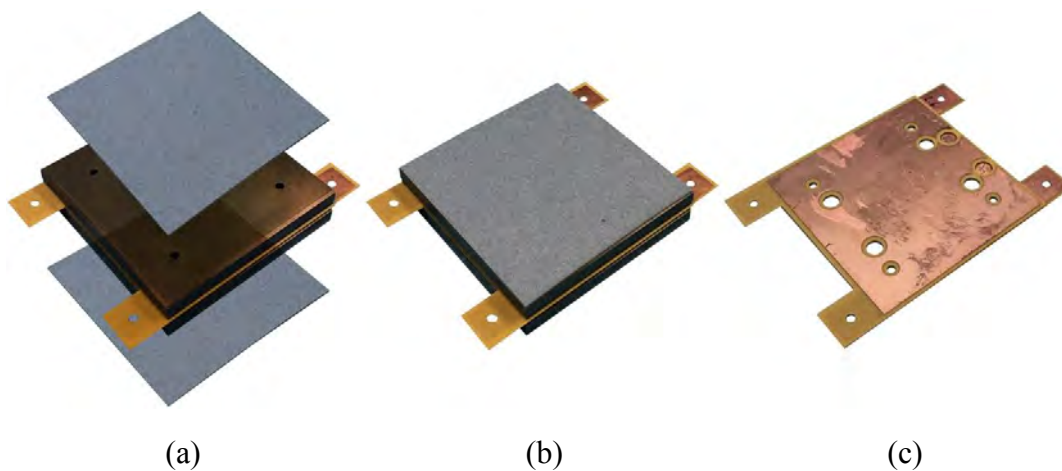


Figure 3.17 – Mise en place du papier protecteur de plateaux avec vue éclatée (a) et placement (b) ainsi que le module obtenu après assemblage puis retrait du support (c)

Nous précisons que ce procédé est réalisé avec deux références de pré-imprégnés différentes, la première avec une feuille de pré-imprégnée 35N avec fibre de verre 1080 (80  $\mu\text{m}$  d'épaisseur) puis la seconde avec une feuille de type 2116 (120  $\mu\text{m}$  d'épaisseur).

#### 3.4.2.4 L'analyse électrique des prototypes assemblés

Un premier test de continuité avec un multimètre standard entre les bornes de puissance supérieures et inférieures, met en évidence le passage du courant. En vue de définir la configuration offrant le contact ohmique le plus avantageux, nous procédons à la mesure de la résistance électrique des deux prototypes. Nous effectuons une mesure dite « volumique » afin de comparer les assemblages entre eux mais également avec la théorie en calculant analytiquement la résistance électrique de notre structure. Les différentes combinaisons de mesure seront détaillées ci-après. Néanmoins, la mesure que nous réalisons dans ce cas précis consiste à court-circuiter les deux arrivées de courant du même substrat et également les pistes de mesures. Nous avons d'abord calculé la résistance électrique analytiquement ; voir Figure 3.6 (b).

$$R_{interco} = \rho_{Cu} \times \left( \frac{L_{plot}}{S_{plot}} + \frac{L_{nano}}{S_{nano}} \right) = 17.10^9 \times \left( \frac{4,5.10^{-5}}{2,56.10^{-5}} + \frac{4,5.10^{-5}}{1,28.10^{-5}} \right) = 117,94.10^{-9} \Omega \text{ soit } 117,94 \text{ n}\Omega$$

*avec  $S_{nano} = 0,5 \times S_{plot}$*

Équation 3.1 – Calcul de la résistance électrique d'une interface structurée à température ambiante

Bien que très attractif avec seulement 117,94 n $\Omega$ , ce résultat nous guide dans le choix du calibre en tension de notre équipement ainsi que le courant d'alimentation. Nos mesures montrent une résistance d'environ 28  $\mu\Omega$  avec le pré-imprégné 1080 (Figure 3.13 (a)) contre 10,64 m $\Omega$  avec une fibre 2116 (Figure 3.13 (b)).

Méthode	Calcul analytique	Mesure avec fibre 1080	Mesure avec fibre 2116
Résistance électrique	117,94 n $\Omega$	28,01 $\mu\Omega$	10,64 m $\Omega$

Tableau 3.2 – Récapitulatif des résistances électriques obtenues pour une interconnexion

Nous observons que la différence de nos mesures de résistance est de l'ordre de  $10^3$ . Il est probable qu'avec un pré-imprégné d'une épaisseur de 120  $\mu\text{m}$ , l'ensemble de la surface de la nano structure ne soit pas en contact avec la piste en cuivre à l'opposé avec pour conséquence une augmentation de la résistance de notre interconnexion entre nos substrats PCB. Cependant, avec une épaisseur de 80  $\mu\text{m}$  de diélectrique, le résultat obtenu est encore supérieur à la théorie et ce avec un facteur  $10^2$ . Pour une épaisseur de diélectrique plus fine que notre interconnexion (100  $\mu\text{m}$ ), avec une nano structure relativement homogène, notre hypothèse s'oriente vers une résistance de contact non négligeable face au calcul analytique. Néanmoins, si nous comparons cette valeur dans le contexte de nos travaux qui est l'intégration 3D en électronique de puissance, cela est réellement négligeable face aux  $R_{DSon}$  des interrupteurs utilisés, de l'ordre de la dizaine de m $\Omega$ , ou encore par rapport aux résistance dynamiques des composants bipolaires (diodes, IGBT...).

Notre choix se dirige donc vers un pré-imprégné de 80  $\mu\text{m}$  d'épaisseur pour une interconnexion d'environ 100  $\mu\text{m}$ . Nous procéderons alors, à l'assemblage de six prototypes intégrant une interconnexion pour vérifier la répétabilité du procédé.

### 3.4.3 L'assemblage avec un laminé

Les manipulations précédentes nous permettent de procéder à la réalisation de notre second prototype ayant pour objectif d'interconnecter une puce semi-conductrice en utilisant un stratifié comme diélectrique entre nos deux substrats PCB, comme expliqué en section 3.3.2.2 et représenté en Figure 3.9 (a).

Nous savons que pour établir le contact électrique d'une interconnexion ( $E_I$ ), nous devons bénéficier d'une épaisseur de diélectrique inférieure de l'ordre de  $20\ \mu\text{m}$  ( $\Delta E$ ) à celle de notre interface structurée ( $E_I$ ). Ce qui se traduit par  $80\ \mu\text{m}$  dans notre cas soit un seul pré-imprégné avec fibre de verre 1080 dans la section précédente.

Concernant l'interconnexion d'une puce, nous avons deux interconnexions ( $2.E_I$ ) enfouies dans notre assemblage. Cela correspond donc à une épaisseur de notre diélectrique ( $E_D$ ) inférieure de  $40\ \mu\text{m}$  à l'épaisseur de notre empilement ( $E_T$ ) soit la puce semi-conductrice ( $E_P$ ) et ses interconnexions ( $2.E_I$ ).

$$E_T = 2.E_I + E_P$$

$$\text{avec } E_I = 100\ \mu\text{m}$$

(a)

$$E_D = E_T - 2.\Delta E$$

$$\text{avec } \Delta E = 20\ \mu\text{m}$$

(b)

Équation 3.2 – Expression de l'épaisseur totale de l'empilement conducteur (a) et de l'épaisseur du diélectrique permettant d'assemblage du prototype (b)

Bien que nous connaissons également l'épaisseur de nos feuilles pré-imprégnées après stratification, les Équation 3.2 (a) et (b) mettent en avant l'épaisseur de notre puce ( $E_P$ ) comme inconnue dans notre assemblage, ce qui fera l'objet de la section suivante.

#### 3.4.3.1 La puce ou composant factice

Le composant actif que nous allons enfouir en environnement PCB et interconnecter via nos interfaces structurées, est une puce semi-conductrice factice représentative d'un composant à structure verticale. Un *wafer* en silicium (Si) de 4 pouces et de  $300\ \mu\text{m} \pm 20\ \mu\text{m}$  d'épaisseur ( $E_P$ ) est dopé au bore (dopage P) le rendant conducteur. La quasi-totalité de la surface de ce dernier est recouverte par des dépôts de  $7 \times 4\ \text{mm}^2$  de  $20\ \text{nm}$  d'épaisseur pour le tungstène-titane (WTi) puis  $3\ \mu\text{m}$  de cuivre (Cu) ; voir Figure 3.18 (a). La métallisation de tungstène-titane (WTi) sur substrat silicium permet l'adhérence du cuivre et de stopper sa diffusion à travers le silicium. Ce procédé est utilisé dans la réalisation de traitements de surface liés aux connexions en microélectronique. La pulvérisation cathodique de tungstène-titane et cuivre (WTi/Cu) est, entre autres, utilisée dans le procédé d'assemblage *flip-chip* comme métallisation « *Under Bump Metallization* » (UBM) pour accueillir les billes de brasure [324].

Le motif que représentent les métallisations permet de créer des chemins de découpe, limitant les contraintes mécaniques entre les interfaces, et ainsi obtenir des puces avec une surface de  $7,2 \times 4,2\ \text{mm}^2$  ; la Figure 3.18 (b) correspond à une puce après découpe par micro-tronçonneuse.



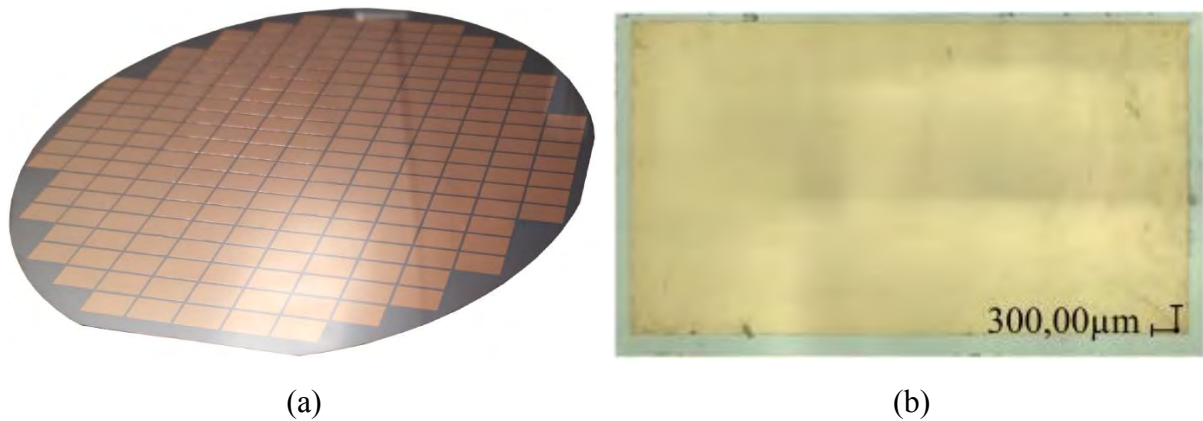


Figure 3.18 – Photographie du *wafer* 4 pouces avant découpe (a) et image au microscope numérique (x100) d'une puce semi-conductrice (b)

Du point de vue fonctionnel, notre puce est une résistance équivalente comprise entre  $79,37 \mu\Omega$  et  $119,05 \mu\Omega$  d'après l'équation en Figure 3.3 (b) ; la résistivité de notre silicium dopé au bore est donnée entre  $8.10^{-6} \Omega.m$  et  $1,2.10^{-5} \Omega.m$  [325]. Nous considérons la résistance des métallisations négligeables au vu des fines épaisseurs en jeu et des résistivités plus faibles que celle du silicium dopé que nous utilisons.

#### 3.4.3.2 La fabrication du laminé diélectrique

La connaissance des dimensions de la puce à intégrer permet de procéder à l'étude du laminé qui permettra l'assemblage de notre second prototype. Rappelons que cet assemblage consiste en la thermo-compression d'un pré-stratifié englobant la puce, entre deux pré-imprégnés et substrats PCB avec leur interface structurée ; voir Figure 3.9 (a).

Cependant, nous devons également prendre en compte les tolérances de la puce, en termes d'épaisseur, pour réaliser un assemblage respectant au mieux les caractéristiques du premier prototype. Nous possédons des puces factices d'épaisseur comprise entre  $280 \mu m$  et  $320 \mu m$ . Il faut donc pouvoir garantir un contact optimal dans cette gamme d'épaisseur.

Les expériences précédentes, présentées en section 3.4.2, démontrent une très faible résistance électrique lors de la mise en compression des nano fils. Néanmoins, si nous appliquons cette mise en compression avec une épaisseur de diélectrique inférieure de  $20 \mu m$  par interconnexion ( $\Delta E = 20 \mu m$ ) avec une épaisseur de puce en limite basse, soit  $280 \mu m$ , nous risquons de briser notre composant dans l'éventualité où il puisse avoir une épaisseur de  $320 \mu m$ . Concernant ce cas critique, cela correspondrait à un diélectrique d'une épaisseur de  $440 \mu m$  pour un empilement conducteur de  $520 \mu m$  correspondant à un écrasement quasi-total de la nano structure ( $\Delta E = 40 \mu m$ ). C'est cette nano structure qui jouera le rôle de variable d'ajustement dans notre assemblage. Il s'avère qu'un diélectrique ( $E_D$ ) de  $460 \mu m$  propose le meilleur compromis en termes de compression des nano fils ( $\Delta E$ ) en vue d'éviter toute fracture de la puce. Le Tableau 3.3 reprend les valeurs de chacune des épaisseurs en fonction de l'épaisseur de la puce, permettant de résoudre les expressions de l'Équation 3.2 (a) et (b).

$E_P$	280 $\mu\text{m}$	300 $\mu\text{m}$	320 $\mu\text{m}$
$E_I$	100 $\mu\text{m}$		
$E_T$	480 $\mu\text{m}$	500 $\mu\text{m}$	520 $\mu\text{m}$
$\Delta E$	10 $\mu\text{m}$	20 $\mu\text{m}$	30 $\mu\text{m}$
$E_D$	460 $\mu\text{m}$		

Tableau 3.3 – Récapitulatif des épaisseurs moyennes théoriques intervenants dans l'intégration d'une puce

Cependant, le diélectrique constitue le stratifié final obtenu après notre dernier cycle de thermo-compression. Dans le procédé d'assemblage établi en section 3.3.2.2, le diélectrique est obtenu par stratification d'un laminé pré-stratifié ( $E_{PS}$ ) avec un pré-imprégné ( $E_{PI}$ ) de part et d'autre, garantissant l'assemblage avec les substrats PCB.

$$E_D = 2 \cdot E_{PI} + E_{PS} \text{ avec } E_D = 460 \mu\text{m}$$

Équation 3.3 – Expression de l'épaisseur du diélectrique en fonction de l'épaisseur du pré-stratifié et des pré-imprégnés après stratification

Nous devons alors définir le pré-imprégné que nous utiliserons afin d'en déduire l'épaisseur de notre laminé pré-stratifié ; une attention particulière est donnée à la gamme de pré-imprégnés en Figure 3.12

$E_D$	460 $\mu\text{m}$		
$E_{PI}$	60 $\mu\text{m}$ (106)	80 $\mu\text{m}$ (1080)	120 $\mu\text{m}$ (2116)
$E_{PS}$	340 $\mu\text{m}$ (2x1080 + 3x106)	300 $\mu\text{m}$ (3x1080 + 1x106)	220 $\mu\text{m}$ (2x1080 + 1x106)

Tableau 3.4 – Récapitulatif de l'épaisseur du laminé pré-stratifié en fonction des pré-imprégnés utilisés pour un diélectrique final de 460  $\mu\text{m}$

Le Tableau 3.4 donne l'épaisseur de notre laminé pré-stratifié en fonction des pré-imprégnés dont nous disposons. Nous choisissons d'utiliser des pré-imprégnés avec fibre de verre de type 106.

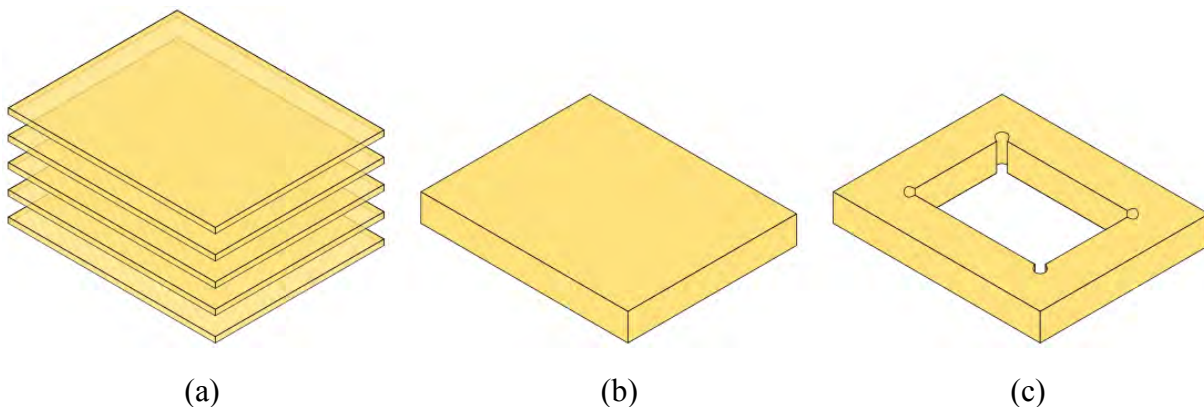


Figure 3.19 – Empilement des pré-imprégnés (a) après application du cycle de pré-stratification (b) et micro-fraisage numérique (c)

Motivé par son pourcentage de teneur en résine (RC) supérieur et son épaisseur la plus fine, en comparaison avec les pré-imprégnés avec fibre de verre type 1080 et 2116, il est susceptible d'offrir un meilleur assemblage et ce avec un fluage de résine favorable au niveau du plot en cuivre de par son épaisseur, de même ordre de grandeur, réduisant le risque d'interpénétration entre la nano structure et la puce.

Le laminé pré-stratifié est réalisé par empilement de trois pré-imprégnés de fibre 106 et deux de fibre type 1080 (Figure 3.19 (a)). Afin de garantir un laminé homogène dans son épaisseur, chacun des pré-imprégnés de type 106 est inséré entre deux pré-imprégnés 1080 ; permettant une superposition symétrique des structures fibreuses. Après application du cycle de pré-stratification en Figure 3.10 (b), nous obtenons un laminé pré-stratifié (Figure 3.19 (b)) dans lequel nous réalisons des ouvertures pour l'insertion de la puce mais également sa mise en place dans le support en vue de l'assemblage de notre second prototype (Figure 3.19 (c)).

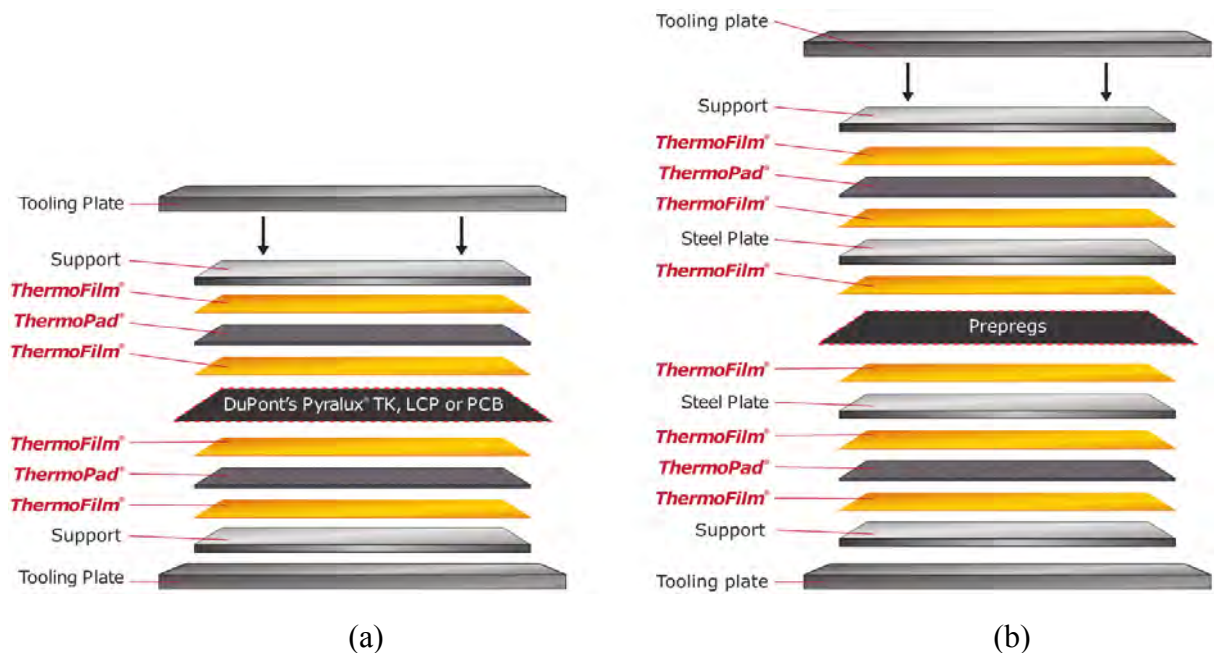


Figure 3.20 – Empilement recommandé (*Pacothane*) des matériaux de thermo-compression haute température (a) et celui utilisé pour le laminé pré-stratifié (b)

Revenons à l'étape de thermo-compression des feuilles pré-imprégnées. Contrairement à l'empilement usuel pour la fabrication de plaque, nous disposons uniquement de feuilles pré-imprégnées sans couche de cuivre. Nous avons alors ajouté une plaque en inox avec un film antiadhésif, en substitution, afin d'obtenir un état de surface équivalent aux plaques traditionnelles avec du cuivre double face ; voir Figure 3.20.

Concernant le micro-fraisage numérique, ce que l'on qualifie « d'oreilles de Mickey » sont réalisés dans les angles de l'ouverture destinée à accueillir la puce et facilitant son insertion lors de l'assemblage. Cela s'explique par les limites de l'équipement ne permettant pas à notre outil, la fraise, d'effectuer des angles droits lors d'un détournage interne.

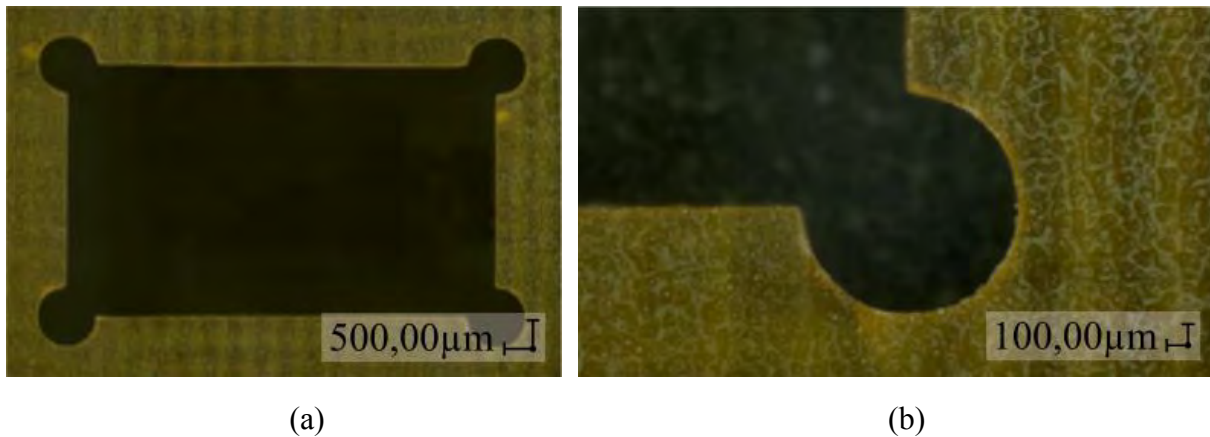


Figure 3.21 – Images au microscope numérique (x100) de l'ouverture pour accueillir la puce  
(a) et grossissement sur un angle (b)

Selon les éléments apportés dans cette section, nous avons procédé à l'assemblage, entre deux substrats PCB vierges et sans puce, d'un laminé de 340 μm d'épaisseur en utilisant deux pré-imprégnés avec fibre de verre 106. Après réalisation d'une coupe micrographique, la mesure au microscope numérique montre une épaisseur de notre diélectrique autour de 460 μm qui est conforme à nos attentes. Nous considérons que les variations d'épaisseur seront faibles : elles seront compensées par la compression plus ou moins importante des nano structures.

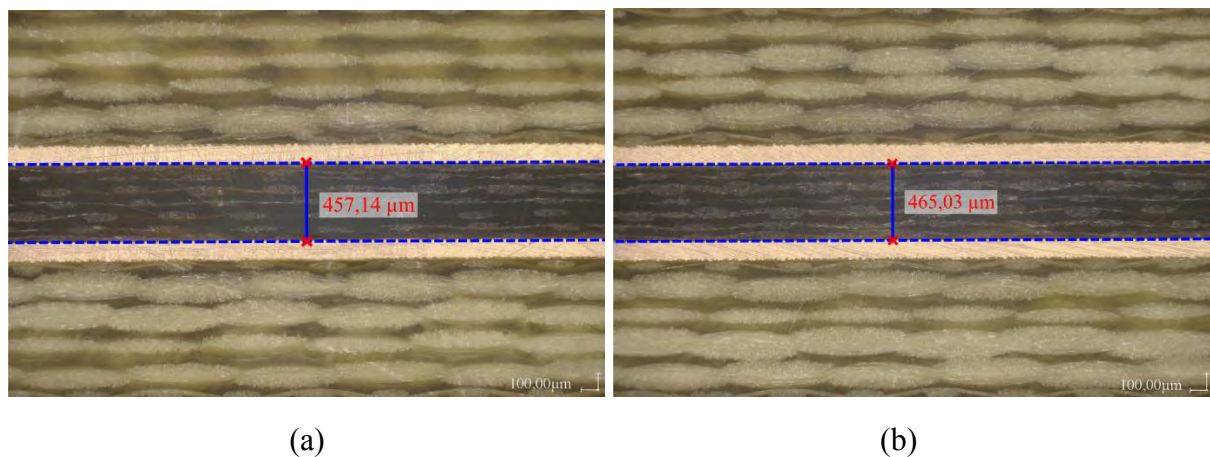


Figure 3.22 – Images au microscope numérique (x100) de deux mesures réalisées de l'épaisseur du diélectrique

#### 3.4.3.3 Le procédé d'assemblage avec une puce

Disposant de l'ensemble des éléments constituant notre second prototype, nous pouvons mettre en application la dernière étape de son procédé de fabrication qui est la stratification par thermo-compression. Les étapes principales sont illustrées en Figure 3.23 et accompagnées de leur explication ci-après :



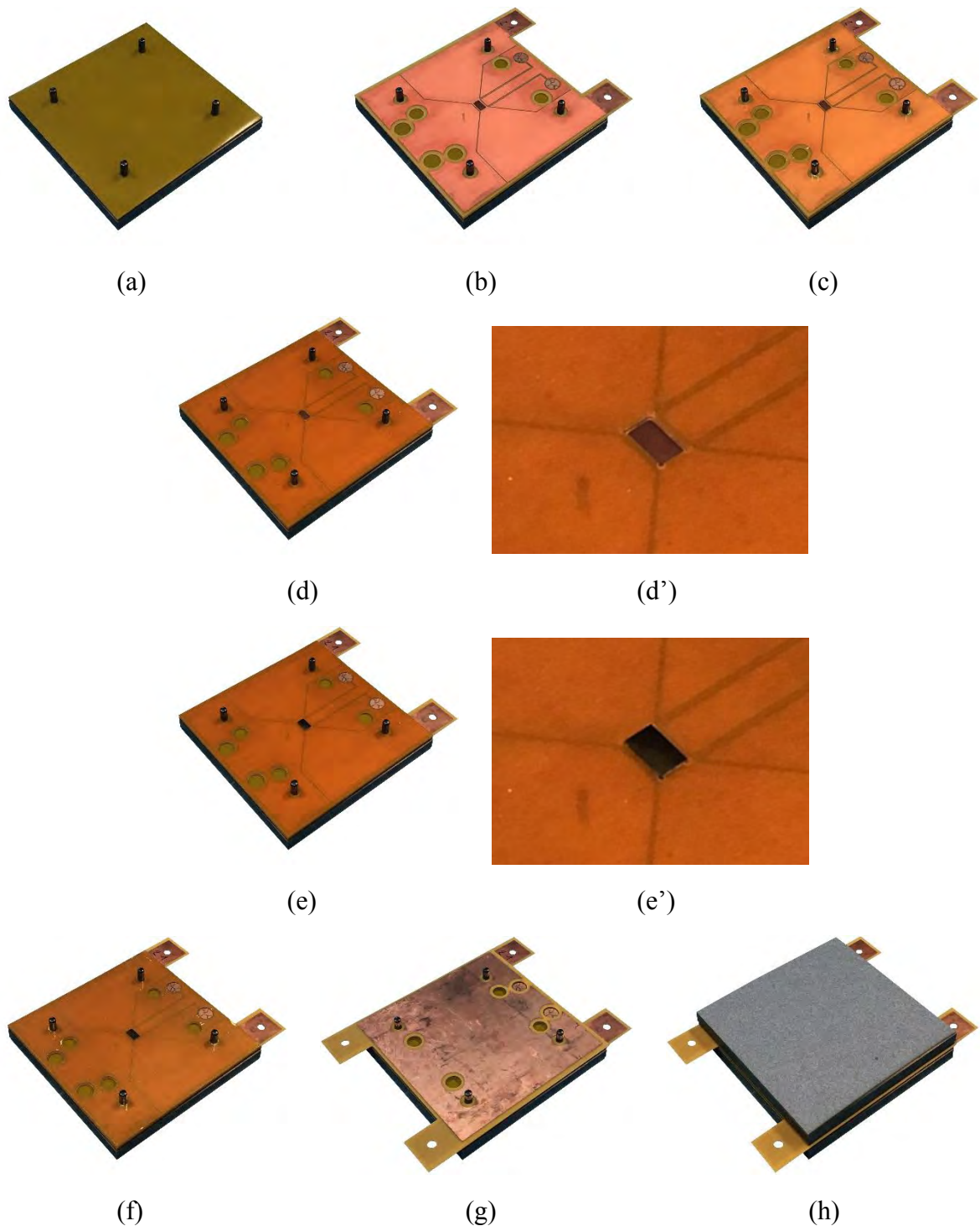


Figure 3.23 – Préparation à l'assemblage d'une puce interconnectée par nano fils en environnement PCB

- (a) Le support, accueillant ses couches de conformant et antiadhésifs, est préparé comme indiqué précédemment en Figure 3.14 ;
- (b) Le premier substrat PCB, implémenté de son interface structurée, est placé sur le support de pressage ;
- (c) Une feuille de pré-imprégnée type 106, avec ses ouvertures réalisées par découpe laser CO<sub>2</sub>, est ajoutée sur le premier substrat PCB ;



- (d) Le laminé pré-stratifié avec ses ouvertures est placé de la même manière et au-dessus du pré-imprégné type 106 empilé à l'étape précédente ;
- (e) La puce est insérée dans la cavité afin d'être en appui contre la nano structure tapissant le fond de cette dernière, (e') étant un grossissement de la cavité dans laquelle nous retrouvons la puce ;
- (f) Le second pré-imprégné type 106, avec ses ouvertures, est mis en place sur le laminé pré-stratifié ;
- (g) Le deuxième et dernier substrat PCB, avec son interface structurée, vient refermer le futur prototype ;
- (h) Le support, avec ses films conformant, antiadhésif et de protection, est refermé selon les explications et d'après le même procédé que les Figure 3.16 et Figure 3.17.

Le support étant prêt à l'emploi, nous effectuons le cycle de thermo-compression en vue de stratifier les éléments constituant notre second module ; voir le cycle de stratification en Figure 3.10 (a). Après extraction du support de pressage, nous obtenons notre second module intégrant une puce factice et que nous visualisons en Figure 3.24.

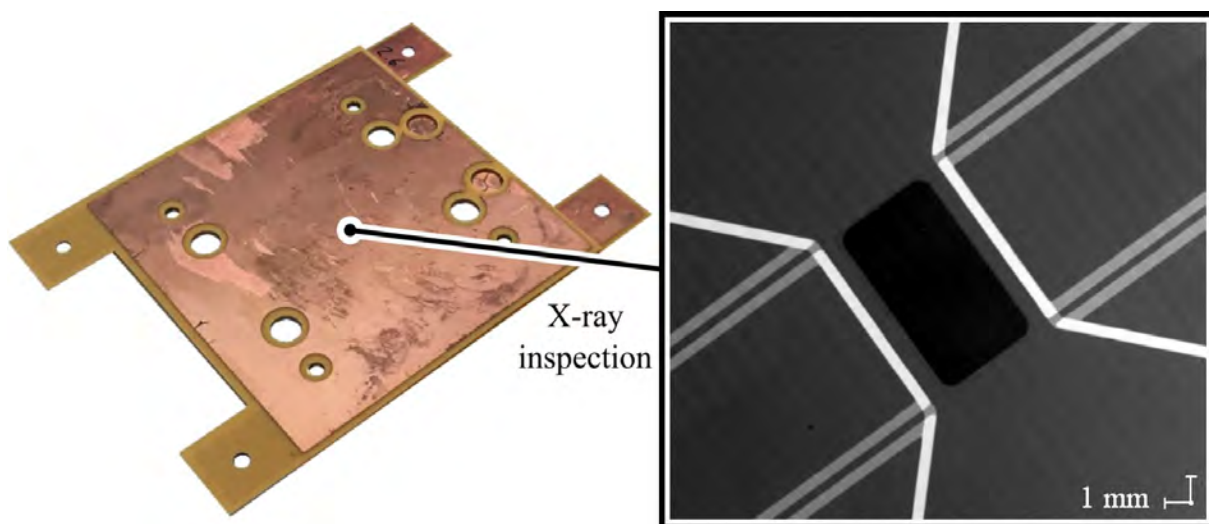


Figure 3.24 – Image d'un prototype intégrant une puce factice avec inspection par rayons X

Une inspection, non destructive, par rayons X permet d'apprécier grossièrement un alignement convenable entre les deux substrats, notamment par la superposition des isolations de la partie dite de « puissance » de notre assemblage. Cependant, il n'est pas possible de distinguer la puce afin de savoir si nous sommes en présence de fracture de celle-ci.

C'est pourquoi nous nous dirigeons vers une analyse plus poussée de notre assemblage par une méthode destructive.

#### 3.4.3.4 L'analyse et comparaison électrique du prototype

Un premier test de continuité du prototype nous permet de démontrer le passage du courant à travers la puce interconnectée et enfouie. Ensuite, nous avons procédé à la mesure de la résistance électrique de notre puce interconnectée. Les conditions de mesure appliquées sont identiques à celle de notre assemblage intégrant une seule interconnexion ; voir section 3.4.2.4.

De plus, la résistance de notre composant factice est du même ordre de grandeur que notre interconnexion, nous permettant ainsi de ne pas noyer la résistance des interconnexions dans la mesure.

Résistance théorique de la puce ( $R_P$ )	79,37 $\mu\Omega$ (tolérance min.)	119,05 $\mu\Omega$ (tolérance max.)
Mesure de la résistance d'une interconnexion ( $R_I$ )	28,01 $\mu\Omega$	
Estimation de la résistance d'une puce interconnectée ( $R_{PI} = 2.R_I + R_{PI}$ )	135,39 $\mu\Omega$	175,07 $\mu\Omega$

Tableau 3.5 – Estimation de la résistance électrique d'une puce interconnectée en fonction des incertitudes de résistivité de la puce et de la valeur mesurée pour une interconnexion

La résistance électrique mesurée est de 165,34  $\mu\Omega$ . Lorsque nous comparons ce résultat avec les données du Tableau 3.5, on remarque que la résistance mesurée d'une puce interconnectée est comprise entre la limite haute et basse de nos estimations en fonction de la mesure d'une interconnexion effectuée ci-avant et la résistivité du silicium (Si) donnée pour notre puce. À titre d'exemple, la résistance électrique d'une brasure aux dimensions équivalentes est de l'ordre du milliohms jusqu'à plusieurs dizaines de milliohms [326].

Il est à noter que bien que le dopage au bore confère une résistivité plus faible au silicium, la résistance d'une interconnexion par nano fils reste inférieure à la puce pour un volume du même ordre de grandeur, c'est-à-dire une résistance négligeable face au  $R_{DSon}$  d'interrupteurs de puissance avec des dopages plus faibles pour garantir leur fonction de semi-conducteur [325].

Revenons à la mesure de la résistance électrique. Bien que le résultat obtenu soit en corrélation avec les estimations du Tableau 3.5, cela ne nous permet pas de statuer quant à la validité de notre procédé technologique ; nous ne pouvons pas déterminer si notre puce présente, ou non, une ou plusieurs fractures dues à l'assemblage lors du cycle de thermo-compression. En cas de défaut, nous savons que la somme des surfaces de nos fragments de puce ( $\sum S_i$ ) est égale à la surface totale ( $S_0$ ) d'une puce sans cassure. Sachant que l'épaisseur du matériau et sa résistivité restent inchangées et d'après la relation en Figure 3.3 (b) permettant de déterminer la résistance en fonction de la résistivité, nous savons que la résistance électrique mesurée avec une puce fracturée, ou non, est similaire.

$$\text{Sachant que } S_0 = \sum_{i=1}^n S_i \quad \text{et} \quad R_x = \rho \cdot \frac{L}{S_x} \quad \text{avec} \quad x = \{0, i\}$$

$$\text{Alors } \rho \cdot \frac{L}{S_0} = \sum_{i=1}^n \rho \cdot \frac{L}{S_i} \quad \text{donc} \quad R_0 = \sum_{i=1}^n R_i$$

Équation 3.4 – Démonstration de l'égalité de la mesure de résistance électrique des prototypes en présence d'une puce factice avec ou sans fracture(s)

### 3.4.3.5 L'examen et mesures par coupe micrographique

Pour conclure sur la validité de notre procédé technologique et statuer sur l'assemblage de puce sans fracture, nous avons préparé un échantillon par coupe micrographique afin de pouvoir visualiser, au microscope numérique, notre composant factice enfoui ; vue d'ensemble en Figure 3.25.

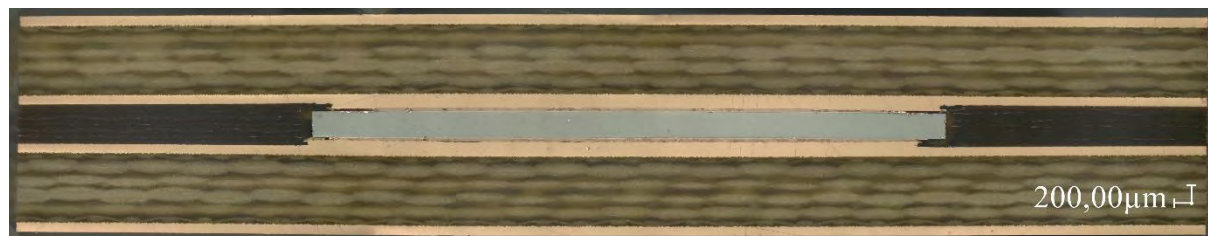


Figure 3.25 – Recomposition en deux dimensions par microscope numérique (x100) de la coupe micrographique d'une puce interconnectée dans la longueur

Cette première image « globale » de notre échantillon montre l'absence de fracture de la puce en silicium ; ce point positif démontre la validité de notre procédé technologique d'enfouissement PCB et d'interconnexion nano filaire d'un composant actif. Avant d'étudier de plus près notre échantillon, essayons de tirer le maximum d'informations de la vue d'ensemble de cette coupe micrographique. On remarque que la partie diélectrique, de ce qui était initialement nos substrats PCB, est composée de fibres de verre plus épaisses que celles qui constituent notre laminé intermédiaire. Cela s'explique par un coût plus important des feuilles de pré-imprégné plus fine et du nombre plus important nécessaire pour atteindre l'épaisseur souhaitée des substrats. Cet aspect doit être pris en compte en vue d'une réduction des coûts pour de futures applications.

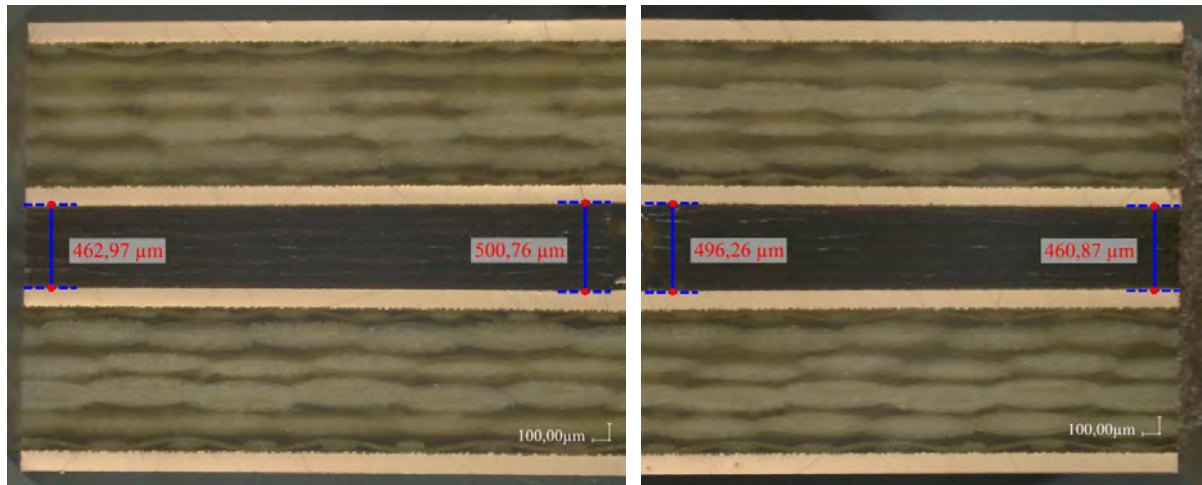
Le Tableau 3.6 met en avant une première approche d'optimisation du laminé central en fonction des feuilles de pré-imprégné dont nous disposons. La réduction du nombre de feuilles utilisées s'inscrit également dans cette démarche de diminution des coûts.

Combinaison de pré-imprégnés	N°1 (actuelle)	N°2	N°3
Fibre de verre 106 (~ 60 μm – 72% résine)	3 (pré-stratifié) 2 (stratification finale)	1 (pré-stratifié) 2 (stratification finale)	1 (pré-stratifié)
Fibre de verre 1080 (~ 80 μm – 63% résine)	2 (pré-stratifié)	2 (pré-stratifié)	2 (stratification finale)
Fibre de verre 2116 (~ 120 μm – 50% résine)	X	1 (pré-stratifié)	2 (pré-stratifié)
Total pré-imprégnés (~ 460 μm)	7 (~ 69,4% résine)	6 (~ 65,3% résine)	5 (59,6% résine)

Tableau 3.6 – Combinaisons de pré-imprégnés pour la réalisation d'un diélectrique stratifié de 460 μm en fonction des fibres de verre 106, 1080 et 2116

Cette analyse devra être approfondie en prenant en compte l'ensemble de la gamme de pré-imprégnés disponibles pour la référence 35N en Tableau 3.1 ; dans notre cas. Ceci dit, revenons à l'analyse de notre solution, en particulier l'épaisseur du diélectrique central. Comme indiqué dans le tableau ci-dessus, l'épaisseur attendue après stratification est de 460 μm.

Lorsque l'on procède à la mesure, on distingue qu'en périphérie de la puce l'épaisseur est voisine des 500  $\mu\text{m}$  tandis qu'en bordure de notre échantillon nous avons approximativement les 460  $\mu\text{m}$  désirés.

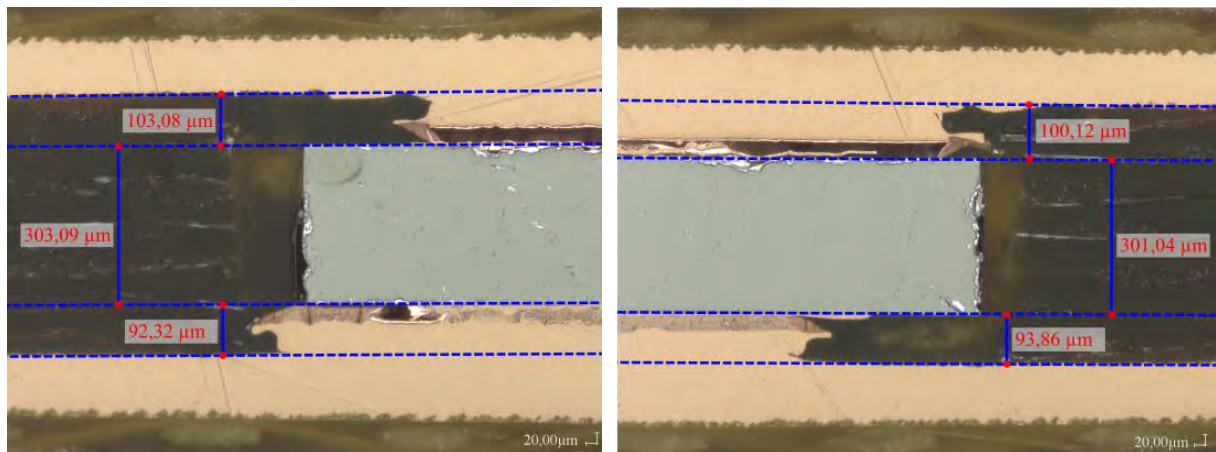


(a)

(b)

Figure 3.26 – Images au microscope numérique (x100) de la mesure du diélectrique central

Deux explications peuvent être données pour ces résultats. La première étant un laminé pré-stratifié d'épaisseur inhomogène et la seconde un manque de flexibilité des nano structures. Nous savons que nous sommes en possession de deux interfaces structurées d'environ 100  $\mu\text{m}$  et d'une puce de l'ordre de 300  $\mu\text{m}$ , correspondant *in fine* à 500  $\mu\text{m}$  d'épaisseur. La mesure des épaisseurs de chacun des éléments de notre empilement conducteur nous permettra de statuer quant à l'origine de la différence d'épaisseur de notre diélectrique central.



(a)

(b)

Figure 3.27 – Images au microscope numérique (x300) des extrémités de la puce interconnectée

L'épaisseur de notre puce correspond bien aux 300  $\mu\text{m}$  attendus. Cependant, nous remarquons que l'épaisseur des interfaces structurées, des interconnexions, demeure proche voire de la même épaisseur qu'avant assemblage du prototype soit autour des 100  $\mu\text{m}$ .



Notons que les nano structures semblent présenter des « vides » qui correspondent aux dégradations lors du polissage de l'échantillon. Les grains des différents papiers étant de l'ordre de grandeur ou supérieurs pour la plupart d'entre eux à notre nano structure, l'étape de polissage est donc susceptible de créer des défauts majeurs dans la zone nano filaire de l'échantillon.

Bien que notre puce ne présente pas de fracture, notre hypothèse tend vers un manque de flexibilité des nano structure qui se confirme également par notre assemblage « à vide », c'est-à-dire sans interconnexion ni puce démontrant une épaisseur relativement homogène de 460  $\mu\text{m}$  du diélectrique central en Figure 3.22. Ayant connaissance de l'épaisseur de chacune des interfaces de notre interconnexion, comparons-les aux mesures de notre échantillon, nous permettant ainsi de conclure sur l'exactitude de notre hypothèse.

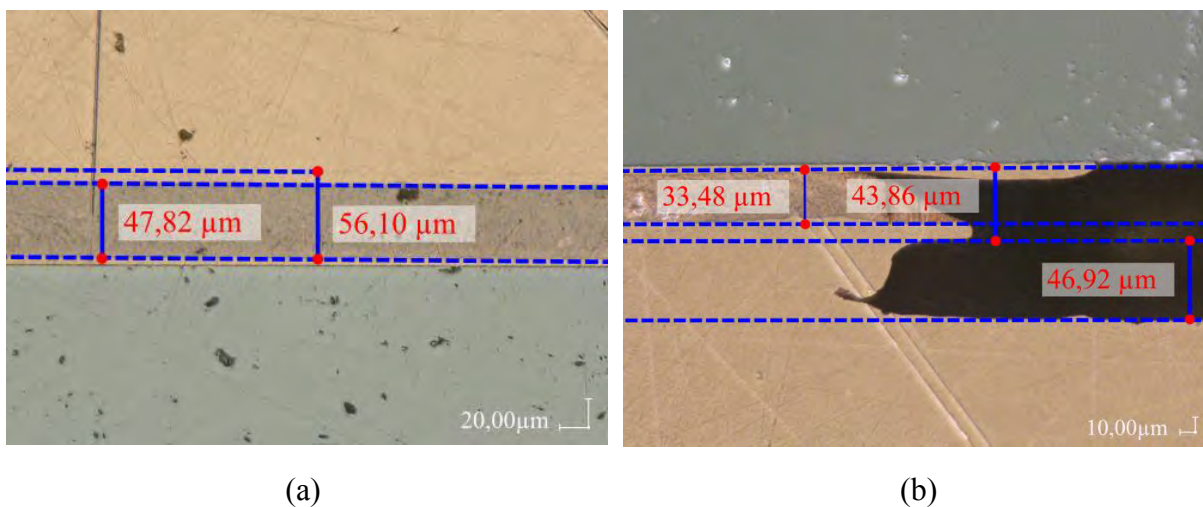


Figure 3.28 – Images au microscope numérique (x1000) de la nano structure supérieure (a) et inférieure (b)

Lorsque l'on compare les mesures des Figure 3.28 (a) et (b) à celles du chapitre précédent en section 2.5.4.4, on s'aperçoit que la nano structure supérieure (Figure 3.28 (a)) ne présente aucune compression tandis qu'à l'opposé (Figure 3.28 (b)), on remarque un léger écrasement de l'ordre de 10  $\mu\text{m}$ .

L'analyse par coupe micrographique permet de conclure que le procédé technologique de notre solution offre la possibilité d'interconnecter un composant actif intégré en environnement PCB. Malgré une nano structure qui semble plus rigide qu'espéré, nous ne remarquons aucune défaillance du composant actif après assemblage du prototype. De plus, les performances électriques, via les premières mesures de résistance électrique, semblent très intéressantes, nous encourageant à caractériser la solution proposée et conclure sur la répétabilité de son procédé de fabrication. C'est pourquoi, au même titre que notre premier prototype, nous réalisons six assemblages intégrant une puce factice pour la suite des travaux.

### 3.5 La caractérisation électrique

La première approche en termes de métrologie étant la mesure de la résistance électrique que nous qualifions de « volumique », elle nous a permis de mettre en évidence la faisabilité mais également les performances intéressantes que semble offrir la solution proposée. Cependant, les éléments dont nous disposons ne nous permettent pas de caractériser électriquement cette solution et de conclure quant à la répétabilité du procédé technologique.



Il est donc primordial de mettre en place un protocole de caractérisation électrique des prototypes et qui plus est de l'ensemble des assemblages composé de six prototypes intégrant une interconnexion et six autres avec une puce interconnectée.

### 3.5.1 Les différentes combinaisons de mesure

Au début de ce chapitre en section 3.2, nous avons présenté la conception des substrats ainsi que leur principe d'assemblage en vue de réaliser les deux prototypes présentés ci-avant, intégrant une interface structurée et une puce interconnectée. Cependant, la section 3.2.2 montre une large gamme de mesure possible, par méthode quatre fils via les quatre prises de contact pour la puissance ainsi que pour la mesure et ce indépendamment du prototype traité ; voir Figure 3.5 (c). La configuration de nos assemblages permet de bénéficier d'un total de 81 combinaisons de mesures différentes sur la base du schéma électrique en Figure 3.29 (a) ; « R » représente une interface structurée ou une puce factice interconnectée. Concernant la nomenclature, la première lettre correspond à la nature du contact avec « S » pour « Sense » soit la mesure et « F » pour « Force » soit l'application du courant, via la connexion de forte section. Ensuite, le chiffre, « 1 » ou « 2 », indique le numéro de la borne pour ensuite définir le substrat supérieur ou inférieur par la lettre « a » ou « b » respectivement.

Les premières mesures que nous avons effectuées correspondent à la configuration en Figure 3.29 (b) et qualifiée de résistance volumique. Les deux bornes de mesure, mais également de puissance, sont shuntées entre elles pour chacun des substrats.

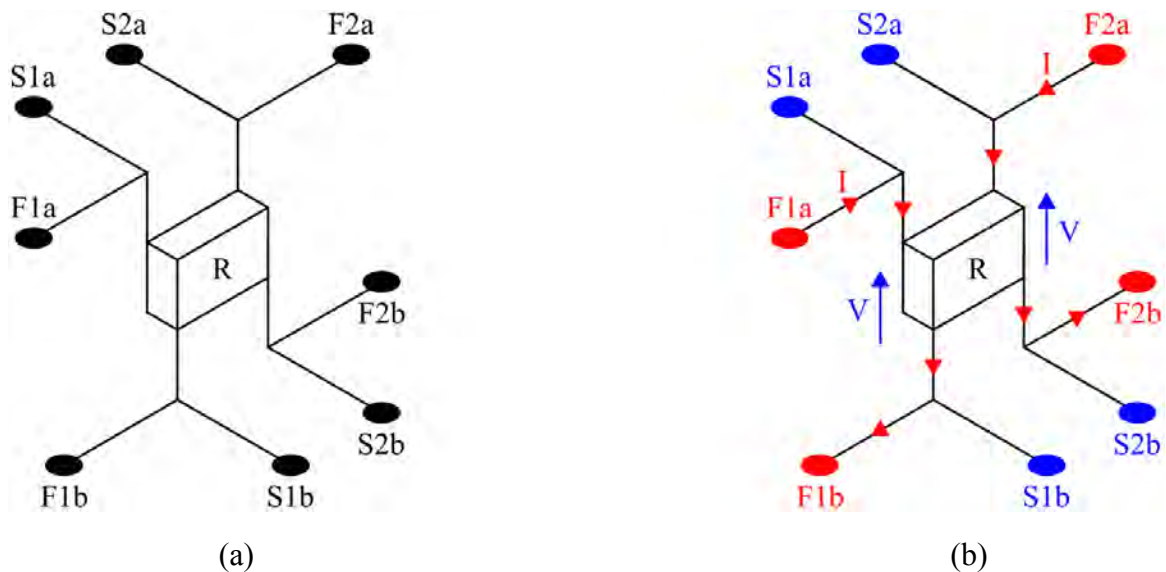


Figure 3.29 – Schéma électrique représentatif des prototypes (a) lors de la mesure de la résistance électrique « R » de type volumique (b)

Cette configuration permet d'exploiter électriquement, de façon optimale, notre solution en offrant un contact ohmique le plus faible possible. Néanmoins, bien que la conception du circuit des modules de puissance constitue l'élément premier en termes d'optimisation et de réduction des éléments parasites, le passage du courant ne respecte pas toujours la configuration « volumique » présentée ci-dessus [327], [328], [329], [330], [331]. C'est pourquoi nous avons retenu deux types de mesures supplémentaires, potentiellement les plus représentatives de la conception des modules de puissance, permettant d'apprécier les performances électriques de la solution proposée ; voir Figure 3.30.

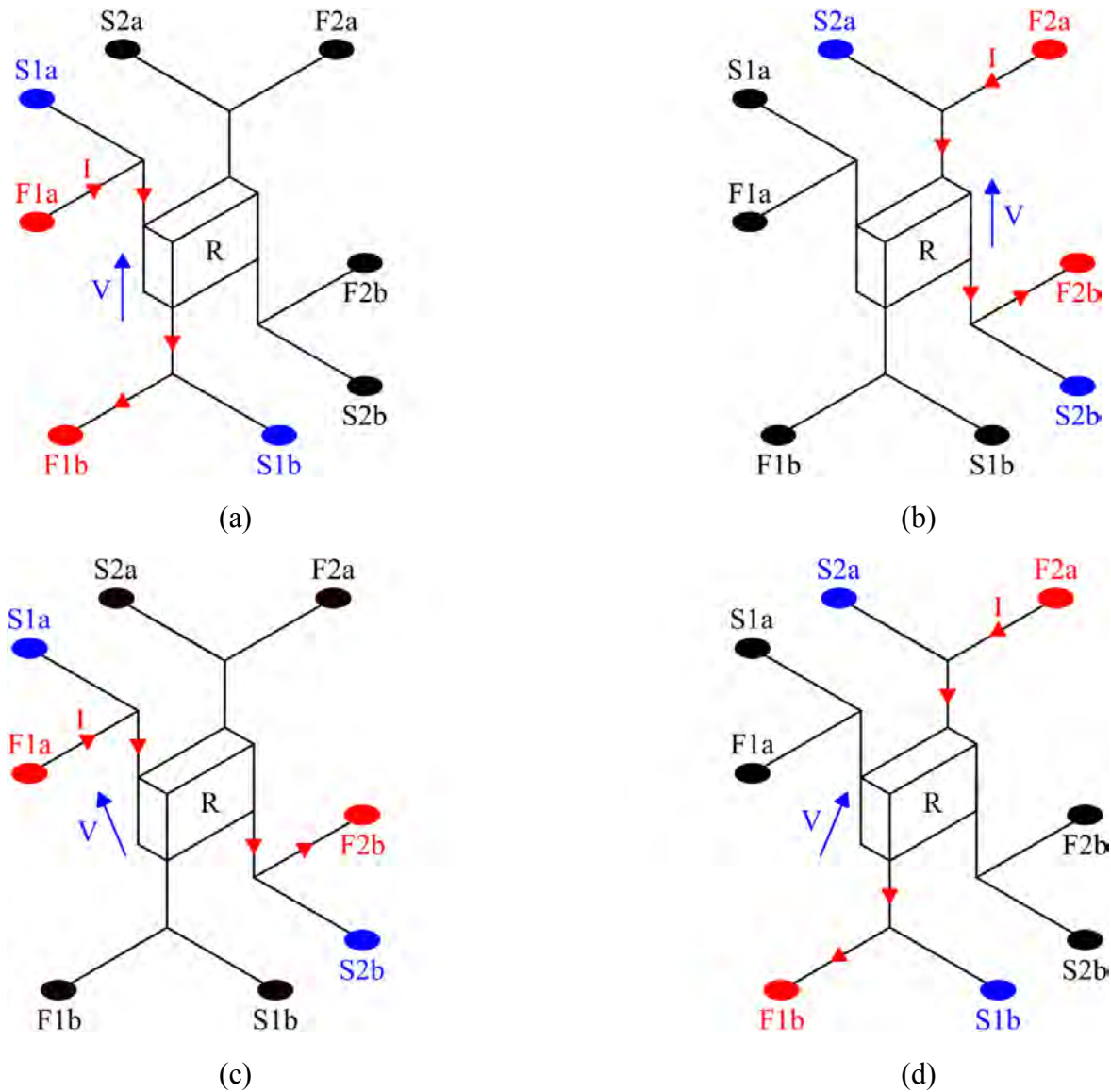


Figure 3.30 – Combinaisons de mesure quatre fils avec prises de contact unilatérales (a) (b) et bilatérales (c) (d) des substrats

Les Figure 3.30 (a) et (b) représentent la configuration de mesure quatre fils avec application du courant unilatéral ; de même pour la prise de potentiel. Concernant les Figure 3.30 (c) et (d), elles proposent d'appliquer le courant et de prendre la différence de potentiel en utilisant les bornes opposées entre les substrats inférieur et supérieur.

Un bilan des différentes combinaisons de mesure de la résistance électrique, qui seront réalisées lors de la caractérisation, est présenté en Annexe 1 par souci de simplification pour l'interprétation des résultats par la suite.

Cependant, le câblage ne représente pas le seul paramètre de mesure. Nous savons que les modules de puissance sont soumis aux variations de température et subissent de nombreux cyclages thermiques au cours de leur vie. Cela implique la variation de la résistance électrique des matériaux comme nous avons pu le voir en Figure 3.3.

C'est pourquoi, chacune des mesures sera réalisée entre 20°C et 120°C par intervalle de 10°C, soit la plage de température allant de l'ambient à la température de jonction des composants actifs en silicium généralement utilisés dans les modules de puissance conventionnels [332] ; voir Tableau 1.3.

### 3.5.2 La description du dispositif expérimental

Les mesures de faible résistance électrique sont réalisées par un nano-voltmètre Keithley 2182A, en Figure 3.31 (a), que nous couplons à une source de courant, Keithley 2410 en Figure 3.31 (b). L'ensemble étant relié à un ordinateur par une interface GPIB, c'est avec le logiciel propriétaire appelé « Delta Mode » que nous pilotons ces équipements. Concernant le contrôle en température, nous utilisons une étuve à convection forcée permettant de travailler dans la gamme de température souhaitée ; voir Figure 3.31 (c).

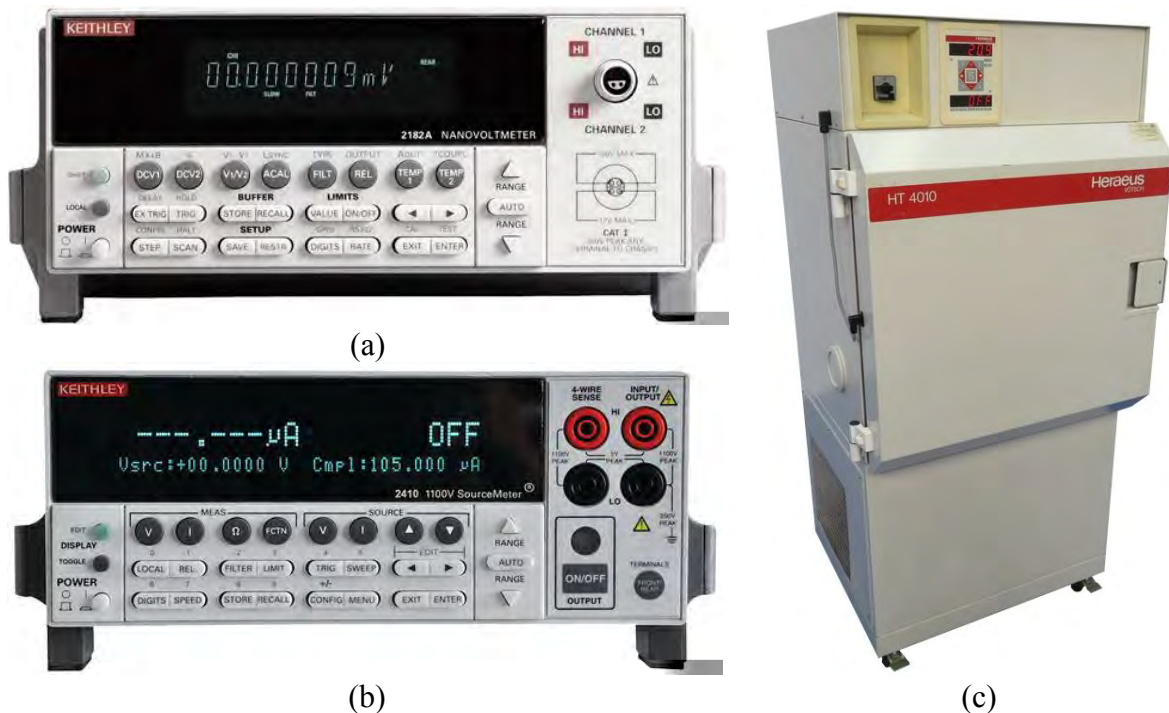
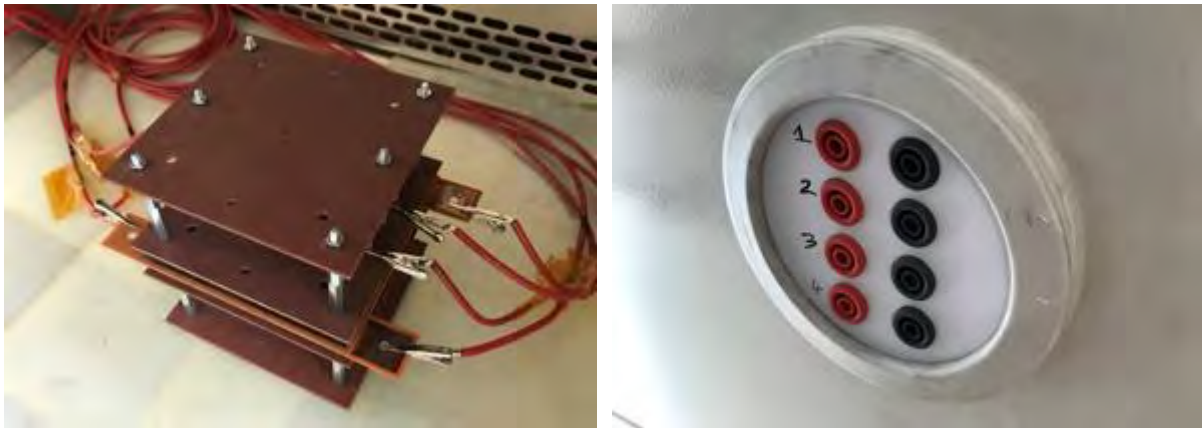


Figure 3.31 – Nano-voltmètre Keithley 2182A (a), unité de source et mesure Keithley 2410 (b) et étuve Heraeus-Vötsch HT 4010

Le câblage du prototype, préalablement mis en place sur son support de mesure, est réalisé au sein de l'étuve par des fils avec une gaine isolante en silicone et des connecteurs sans brasure, permettant supporter l'ensemble des températures appliquées lors de nos mesures. L'ensemble de fils est reporté vers l'extérieur en proposant une interface permettant d'effectuer les différents câblages de mesure sans avoir à ouvrir l'étuve, un élément primordial afin d'établir notre futur protocole expérimental.



(a)

(b)

Figure 3.32 – Prototype implémenté dans son support et câblé (a) puis interface externe de câblage (b)

### 3.5.3 L'élaboration du protocole de caractérisation

La connaissance des configurations de nos mesures, soit les différentes combinaisons et ce en fonction de la température, nous a permis de sélectionner les équipements adéquats afin de procéder à la caractérisation de nos deux types de prototype soit au total douze échantillons. Cependant, la mise en place de l'expérience ainsi que son protocole restent à préciser. Afin de pouvoir apprécier les variations de résistance en fonction de la température mais également entre deux mesures avec une combinaison de câblage similaire, nous devons bénéficier d'une mesure la plus précise possible. Quant à la température, nous devons déterminer la durée de thermalisation permettant d'atteindre l'équilibre thermodynamique de l'échantillon étudié.

#### 3.5.3.1 La mesure de résistance par inversion de polarité

Le nano-voltmètre et sa source, en Figure 3.31 (a) et (b), permettent d'effectuer des mesures en supprimant les éventuels courants transitoires et en réduisant le bruit par inversion de polarité (Figure 3.33 (a)) ; un ordre de grandeur de 30 nV crête pour notre équipement est donné par le constructeur en imposant un courant continu de 1 A.

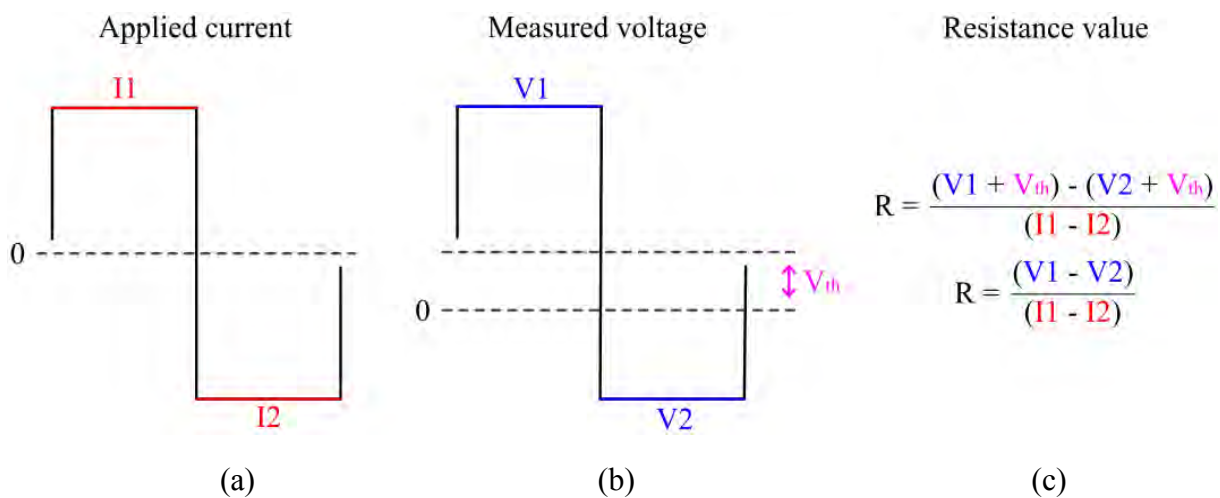


Figure 3.33 – Courant imposé (a), tension mesurée (b) ainsi que le calcul de la résistance (c) avec la méthode par inversion de polarité

Cette méthode d'inversion du courant permet également de réduire l'impact des tensions thermique (EMF) parasites par effet Seebeck ( $V_{th}$ ) en Figure 3.33 (b) [333], [334] au niveau des connecteurs et du cuivre des prototypes. La valeur de la résistance est obtenue par le quotient de la soustraction des tensions et courants (Figure 3.33 (c)) [335].

Au vu des caractéristiques proposées par nos équipements et des faibles résistances à mesurer, comme semblent nous le prouver nos premiers résultats, nous optons pour le calibre en tension le plus bas et proche des valeurs attendues soit 10 mV pour des différences de potentiel estimées entre 10  $\mu$ V et 100  $\mu$ V avec un courant de 1 A en vue d'une meilleure précision. C'est à partir de l'Équation 3.5 et des données de la spécification du constructeur que nous tracerons l'incertitude de nos mesures pour la suite des travaux.

$$\left| \frac{\Delta R}{R} \right| = \sqrt{\left| \frac{\Delta I}{I} \right|^2 + \left| \frac{\Delta V}{V} \right|^2} \text{ avec } \Delta I = \pm[(I \times I_{rdg}) + I_{amps}] \text{ et } \Delta V = \pm[(V \times V_{read}) + V_{range}]$$

avec  $I_{rdg} = 0,22\%$ ,  $I_{amps} = 570 \mu A$ ,  $V_{read} = 0,006\%$ ,  $V_{range} = 0,0004\%$ ,  $V = \text{mesure}$  et  $I = 1A$

Équation 3.5 – Expression du pourcentage d'incertitude de la mesure de résistance par la somme quadratique des erreurs pour un courant de 1 A et un calibre en tension de 10 mV  
(Keithley)

### 3.5.3.2 La thermalisation des échantillons

La mesure de résistance électrique d'un échantillon, à une température donnée, nécessite l'équilibre thermodynamique de ce dernier. À partir de la mesure de résistance des prototypes en fonction du temps, avec une interface structurée puis une puce interconnectée, nous pourrions déterminer la durée de thermalisation en relevant l'intervalle de temps où la dérivée de notre résistance en fonction du temps n'est pas nulle.

Cependant, notre dispositif expérimental nous donne la résistance en fonction du nombre d'acquisitions, nous devons relever la période du signal pulsé afin d'obtenir des courbes dans le domaine temporel ; voir Figure 3.34.



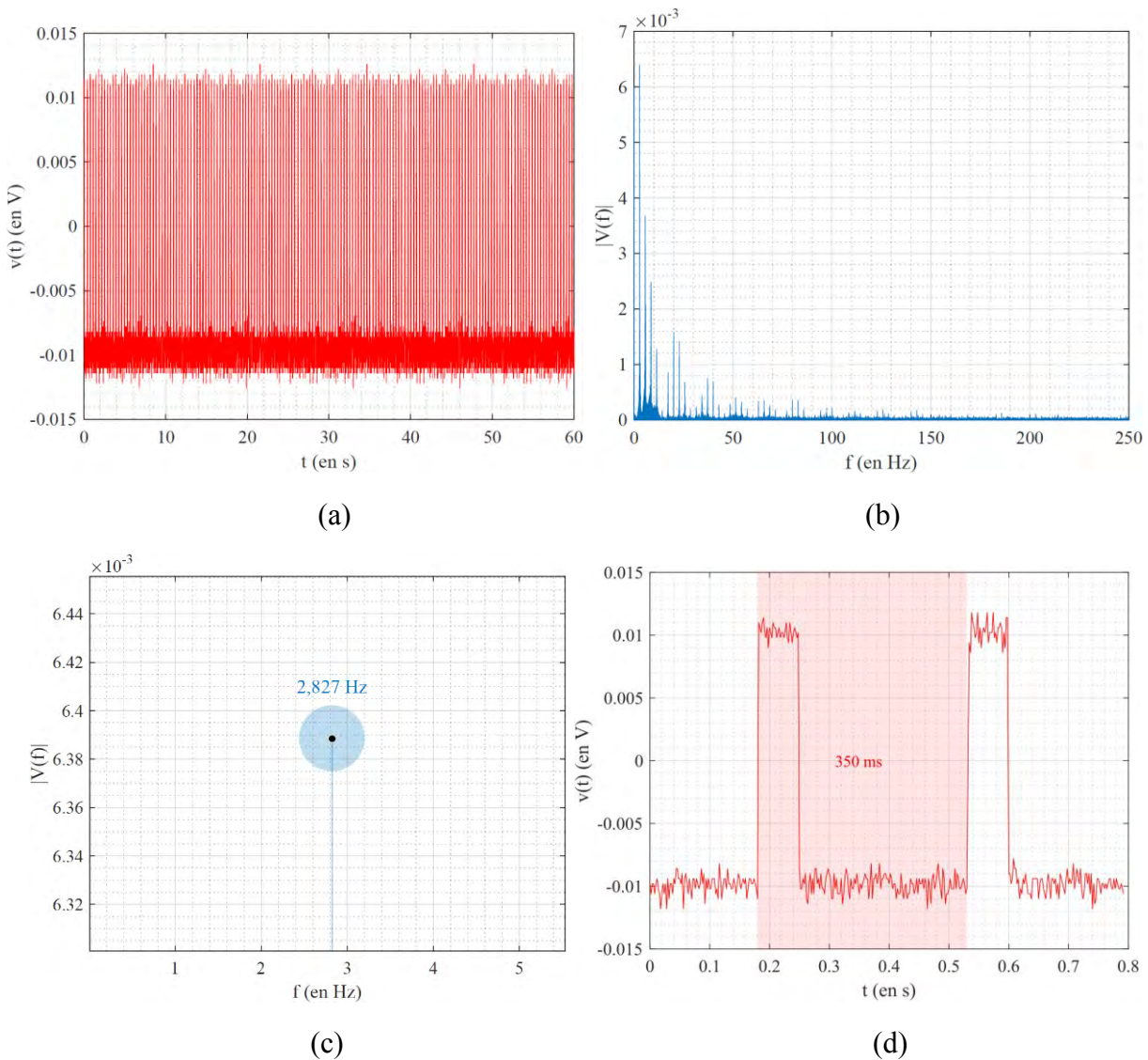
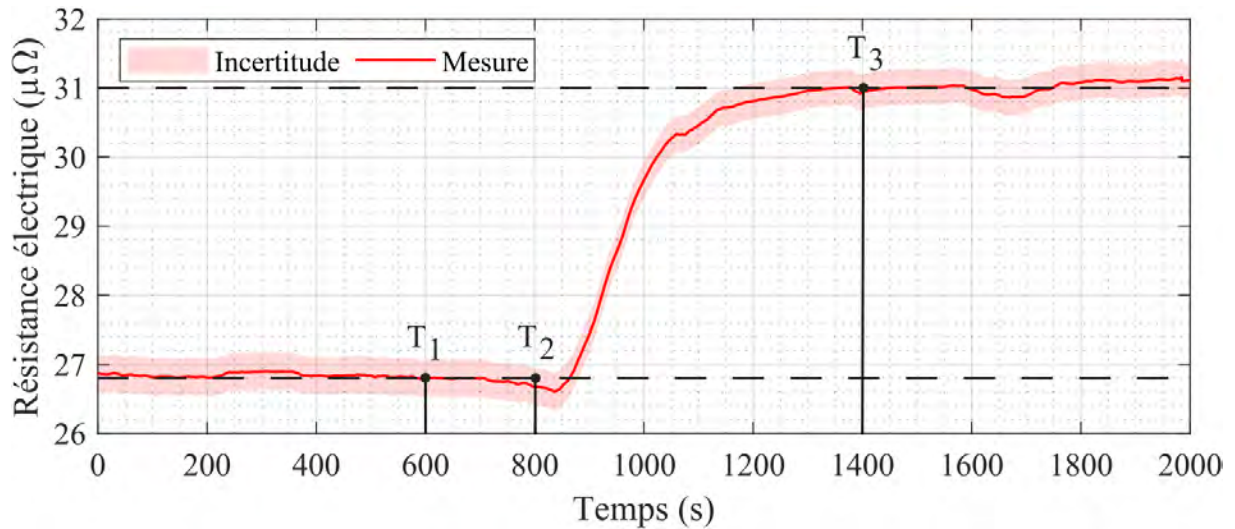
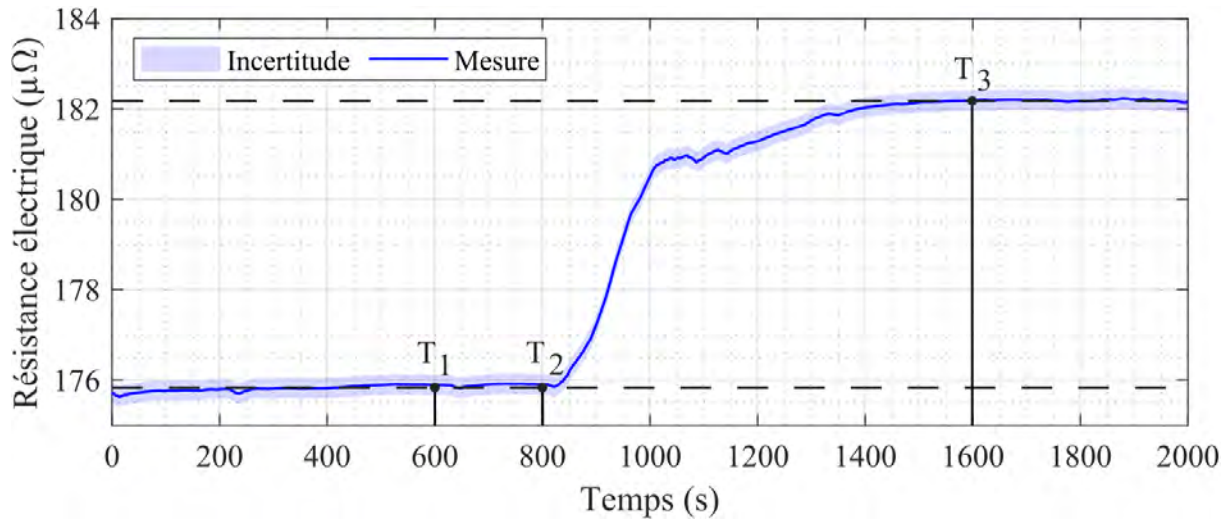


Figure 3.34 – Signal de la mesure dans le domaine temporel (a) puis fréquentielle (b) avec mise en évidence de la fréquence fondamentale (c) et d’une période en fonction du temps (d)

Pour cela, nous avons relevé le signal de la mesure d’une résistance étalon de  $10 \text{ m}\Omega$  à  $\pm 0,01\%$  de précision ; voir Figure 3.34 (a). Sachant que notre nano-voltmètre réalise ces mesures à une fréquence de 24 Hz et que la fréquence d’acquisition de notre oscilloscope est de 500 Hz (Tektronix™ DPO4034), nous pouvons appliquer la transformée de Fourier du signal et l’étudier dans le domaine fréquentiel (Figure 3.34 (b)) ; d’après le théorème de Shannon ( $F_{\text{ech}} \gg 2.F_{\text{max}}$ ). Lorsque l’on regarde de plus près, nous obtenons une fréquence fondamentale ( $F_0$ ) du signal carré égale à 2,824 Hz d’après la Figure 3.34 (c) ; résultat que nous confirmons à l’oscilloscope en Figure 3.34 (d). Bien que nous aurions directement pu relever la période via la mesure à l’oscilloscope, l’analyse fréquentielle nous permet de statuer quant à la périodicité de notre signal soit la validité de notre échelle temporelle pour la suite.



(a)



(b)

Figure 3.35 – Mesure de la résistance volumique en fonction du temps d’une interconnexion (a) et d’une puce interconnectée (b)

Nous pouvons alors réaliser la mesure de nos échantillons en faisant varier la température de l’étuve. Pour établir la durée de thermalisation, nous réalisons un étuvage de 2 heures à 121°C afin de retirer l’humidité de l’assemblage mais également de l’étuve pouvant créer un électrolyte et donc perturber la mesure par corrosion galvanique entre le cuivre de l’échantillon et le câblage (section 2.5.3.4). Ensuite, nous imposons la température de l’étuve à 20°C puis attendons que l’échantillon se thermalise pendant 2 heures ; à défaut de ne pas connaître le temps nécessaire précisément, nous reprenons la même durée que notre étuvage. Nous lançons la mesure 10 minutes avant d’imposer une température de 30°C. La mesure est stoppée lorsque la résistance de notre échantillon se stabilise, soit approximativement après 30 minutes dans notre cas.

Pour définir la durée permettant d'obtenir l'équilibre thermodynamique, soit la durée de thermalisation «  $\tau$  » de notre échantillon à partir de la mesure de résistance en fonction du temps, nous prenons la différence entre la durée à partir de laquelle notre résistance se stabilise ( $T_3$ ) après application d'un  $\Delta T$  de 10°C et celle du changement de la consigne en température ( $T_1$ ) ; soit  $\tau = T_3 - T_1$ . Nous obtenons une durée de thermalisation pour une interface structurée ( $\tau_{\text{int}}$ ) d'environ 14 minutes et pour une puce interconnectée ( $\tau_{\text{puce}}$ ) de 16 minutes. Pour garantir l'équilibre thermodynamique, nous prendrons une marge avec une durée de thermalisation ( $\tau$ ) de 20 minutes pour nos deux types de prototypes.

Notons que le début de l'augmentation de la résistance ( $T_2$ ) apparaît approximativement à partir de 3 minutes pour les deux échantillons. Nous expliquons ce phénomène par des structures à mesurer qui sont enfouies avec pour principale surface d'échange du verre-polyimide à faible conductivité thermique, à l'exception des connecteurs de mesure et puissance, mais également par l'inertie thermique et une montée en température progressive de l'enceinte.

#### 3.5.4 Les mesures de résistance

Suite à la mise en place du procédé d'assemblage par thermo-compression, nous avons réalisé les échantillons nécessaires à la caractérisation électrique soit deux campagnes de prototypes, avec une interface structurée et une puce interconnectée, composées de six échantillons chacune. Nous avons ensuite mis en place le dispositif expérimental ainsi que son protocole de mesure en vue de leur caractérisation électrique, plus précisément en mesurant leur résistance électrique. Nous rappelons que les différentes combinaisons de mesure, faisant l'objet d'une nomenclature explicative en Annexe 1, sont effectuées entre 20°C et 120°C en incrémentant la température par pas de 10°C. L'interprétation des données fait l'objet de courbes brutes des valeurs mesurées pour être ensuite analysées par approche statistique. Les données des échantillons font l'objet de moyennes, par tranche de température et combinaison de mesure, permettant l'interpolation par régressions polynomiales et l'établissement des écart-type associés. L'ensemble des courbes sont répertoriées en Annexe 2 et 3. Notons que les incertitudes de mesures, de température et résistance électrique, sont difficiles à distinguer sur les graphiques affichant les valeurs brutes des mesures et donc démontrent la précision élevée des équipements utilisés pour notre banc expérimental.

##### 3.5.4.1 Les interconnexions

Commençons avec les résultats obtenus pour les échantillons intégrant une interface structurée ; voir Annexe 2. Les courbes représentant les résultats avec la combinaison volumique d'une interface structurée sont répertoriées en Annexe 2.1. Les valeurs brutes démontrent une résistance électrique comprise entre 20  $\mu\Omega$  et 45  $\mu\Omega$ , soit une résistance surfacique entre 5,1  $\mu\Omega.\text{cm}^2$  et 11,5  $\mu\Omega.\text{cm}^2$ , dans notre gamme de température. L'allure de notre segment interpolé semble présenter un comportement linéaire de la résistance en fonction de la température ; nous considérons que les tolérances des équipements sont les acteurs principaux des variations non linéaires observées. La répétabilité de l'assemblage d'une interface structurée se justifie par la faible dispersion que nous visualisons via la courbe d'analyse statistique, inférieure à 5  $\mu\Omega$  pour trois écart-types ( $3\sigma$ ) ; soit rappelons-le en statistique 99,73% de confiance. En somme, ces résultats sont en corrélation avec les premières mesures réalisées pour une interface structurée avec un pré-imprégné type 1080 en début de chapitre ; voir section 3.4.2.4.

Les courbes de la combinaison unilatérale, en Annexe 2.2 et 2.3, montrent une résistance électrique du même ordre de grandeur pour les deux configurations. Les mesures sont comprises entre  $45\ \mu\Omega$  et  $120\ \mu\Omega$  soit une résistance surfacique entre  $11,5\ \mu\Omega.\text{cm}^2$  et  $30,8\ \mu\Omega.\text{cm}^2$ . On observe une dispersion de mesures légèrement supérieure pour la première configuration de mesure unilatérale avec environ  $30\ \mu\Omega$  pour trois écart-types contre  $25\ \mu\Omega$  pour la seconde.

Concernant la combinaison de mesures bilatérale en Annexe 2.4 et 2.5, les mesures se situent entre  $130\ \mu\Omega$  et  $215\ \mu\Omega$ , soit entre  $33,3\ \mu\Omega.\text{cm}^2$  et  $55,1\ \mu\Omega.\text{cm}^2$ , avec une dispersion de  $15\ \mu\Omega$  à trois écart-types et ce pour les deux configurations.

Combinaison	Volumique	Unilatérale N°1	Unilatérale N°2	Bilatérale N°1	Bilatérale N°2
Résistance Maximum ( $\mu\Omega$ )	45	120		215	
Résistance Minimum ( $\mu\Omega$ )	20	45		130	
Dispersion à 3 écart-types ( $\mu\Omega$ )	5	15	10	15	

Tableau 3.7 – Récapitulatif des résultats obtenus pour la caractérisation électrique des échantillons intégrant une interface structurée

#### 3.5.4.2 Les puces interconnectées

Passons aux résultats des échantillons avec une puce interconnectée ; voir Annexe 3. La résistance électrique avec la combinaison volumique est comprise entre  $140\ \mu\Omega$  et  $290\ \mu\Omega$  pour une dispersion à trois écart-types de  $45\ \mu\Omega$  que nous expliquons par la résistance d'un échantillon supérieure au reste de la campagne avec approximativement  $60\ \mu\Omega$  supplémentaire. Cependant, en faisant abstraction de l'échantillon décrit ci-avant, la dispersion est réduite à seulement  $15\ \mu\Omega$ . Si nous comparons ces résultats à ceux obtenus en section 3.4.3.4, nous pouvons conclure que les résultats sont en corrélation et que notre procédé complet présente une relativement bonne répétabilité en termes de fabrication et d'assemblage.

Lorsque l'on analyse les courbes de la combinaison unilatérale en Annexe 3.2 et 3.3, nous relevons une résistance électrique comprise entre  $250\ \mu\Omega$  et  $410\ \mu\Omega$ . Bien que légèrement inférieure, la dispersion de la première configuration, soit  $45\ \mu\Omega$ , demeure du même ordre de grandeur que la seconde soit  $40\ \mu\Omega$ . De même que la combinaison volumique, nous retrouvons un des six échantillons présentant une résistance plus importante avec  $60\ \mu\Omega$  de plus.

À propos des résultats avec les combinaisons bilatérales, les courbes sont en Annexe 3.4 et 3.5, nous obtenons une résistance électrique relativement proche de la combinaison unilatérale et ce avec les deux configurations soit entre  $260\ \mu\Omega$  et  $430\ \mu\Omega$ , de même pour la dispersion avec  $40\ \mu\Omega$  pour trois écart-types. De même que pour les deux combinaisons précédentes, un échantillon se démarque de la campagne en conservant une résistance supérieure aux autres échantillons.

Combinaison	Volumique	Unilatérale N°1	Unilatérale N°2	Bilatérale N°1	Bilatérale N°2
Résistance Maximum ( $\mu\Omega$ )	290	410		430	
Résistance Minimum ( $\mu\Omega$ )	140	250		260	
Dispersion à 3 écart-types ( $\mu\Omega$ )	45	35	40	40	

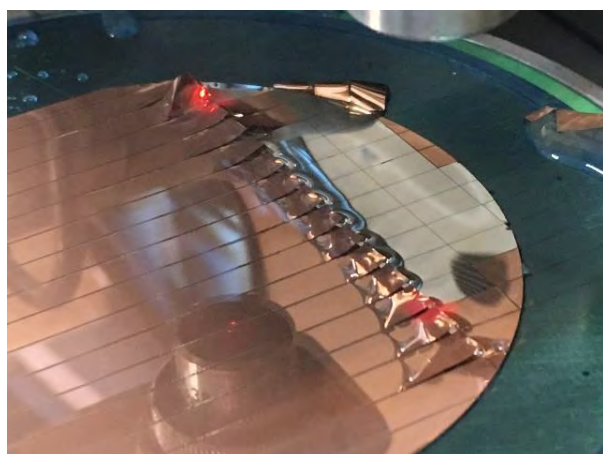
Tableau 3.8 – Récapitulatif des résultats obtenus pour la caractérisation électrique des échantillons intégrant une puce interconnectée

### 3.5.4.3 L'interprétation des résultats

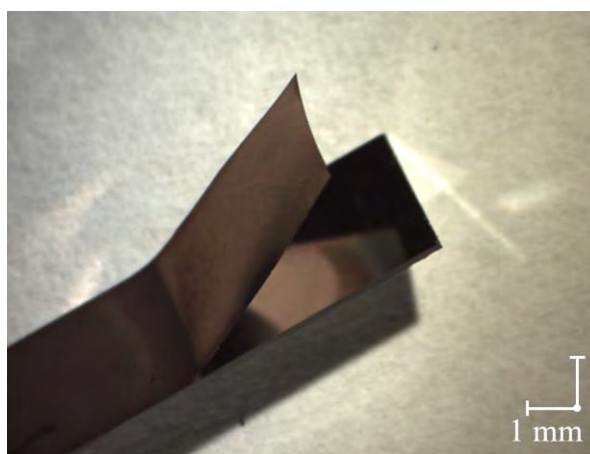
La caractérisation électrique de nos deux campagnes d'échantillons démontre que nous sommes en possession d'un procédé de fabrication répétable et offrant des interconnexions très peu résistives, inférieures à la centaine de micro ohm. Nous remarquons également que les différentes combinaisons de mesure mettent en avant l'importance de la future conception, de la répartition du courant, du dit module de puissance afin de bénéficier pleinement des caractéristiques électriques, en termes de résistance, de cette technologie d'intégration.

Les résultats, en Tableau 3.7, concernant les prototypes avec interface structurée montrent une résistance électrique plus faible, et dans l'ordre, pour la combinaison volumique, unilatérale puis bilatérale. Cependant, lorsque l'on étudie les résultats en Tableau 3.8 des échantillons ayant une puce interconnectée, les combinaisons unilatérale et bilatérale sont du même ordre de grandeur bien que la combinaison volumique demeure la plus avantageuse.

Regardons à présent ces résultats d'un point de vue statistique. Bien que la dispersion à trois écart-types soit comprise entre 5  $\mu\Omega$  et 15  $\mu\Omega$  pour une interface structurée, les assemblages intégrant une puce présentent quant à eux une dispersion plus importante et deux à trois fois supérieure. Nous pouvons le justifier par l'intégration dans un échantillon de deux interfaces structurées pour l'interconnexion d'une puce mais également par la qualité des puces utilisées, en particulier de leur métallisation [336], [337].



(a)



(b)

Figure 3.36 – Photographie (a) et image à la binoculaire (b) du décollement de la métallisation WTi/Cu du wafer Si ne bénéficiant pas de « scribe line »



Lors de la fabrication des premières puces factices, nous n'avions pas réalisé de métallisation sélective. C'est pourquoi, lors de la découpe, les contraintes résiduelles en surface du silicium ont conduit au décollement franc des métallisations ; voir Figure 3.36. Comme mentionnée ci-avant, cette problématique a été résolue par la réalisation de chemin de découpe via la métallisation sélective des *wafers* [338]. Néanmoins, avant assemblages des prototypes, les puces factices ont été triées du fait que certaines d'entre elles ont tout de même présentées un défaut au niveau des métallisations. Les problématiques rencontrées pour la fabrication des puces constituent alors notre première hypothèse dans l'augmentation de la dispersion pour les prototypes avec une puce interconnectée et bien entendu dans l'obtention d'une résistance électrique bien plus importantes pour l'un d'entre eux [339], [340].

### 3.5.5 La thermographie à détection synchrone

Nous avons approfondi la caractérisation électrique par l'analyse d'un échantillon avec une puce interconnectée via une technologie innovante basée sur le rayonnement infrarouge, la thermographie à détection synchrone dit « *lock-in thermography* » proposée par [341]. Tout matériau ayant une température supérieure au zéro absolu (0 K soit  $-273,15^{\circ}\text{C}$ ) émet une radiation thermique de nature électromagnétique liée à l'agitation interne des molécules [342]. Cette technologie permet d'obtenir à la fois une image d'amplitude mettant en évidence l'intensité des points chauds, et de phase contenant l'information sur l'émission du rayonnement et sa détection par la caméra.

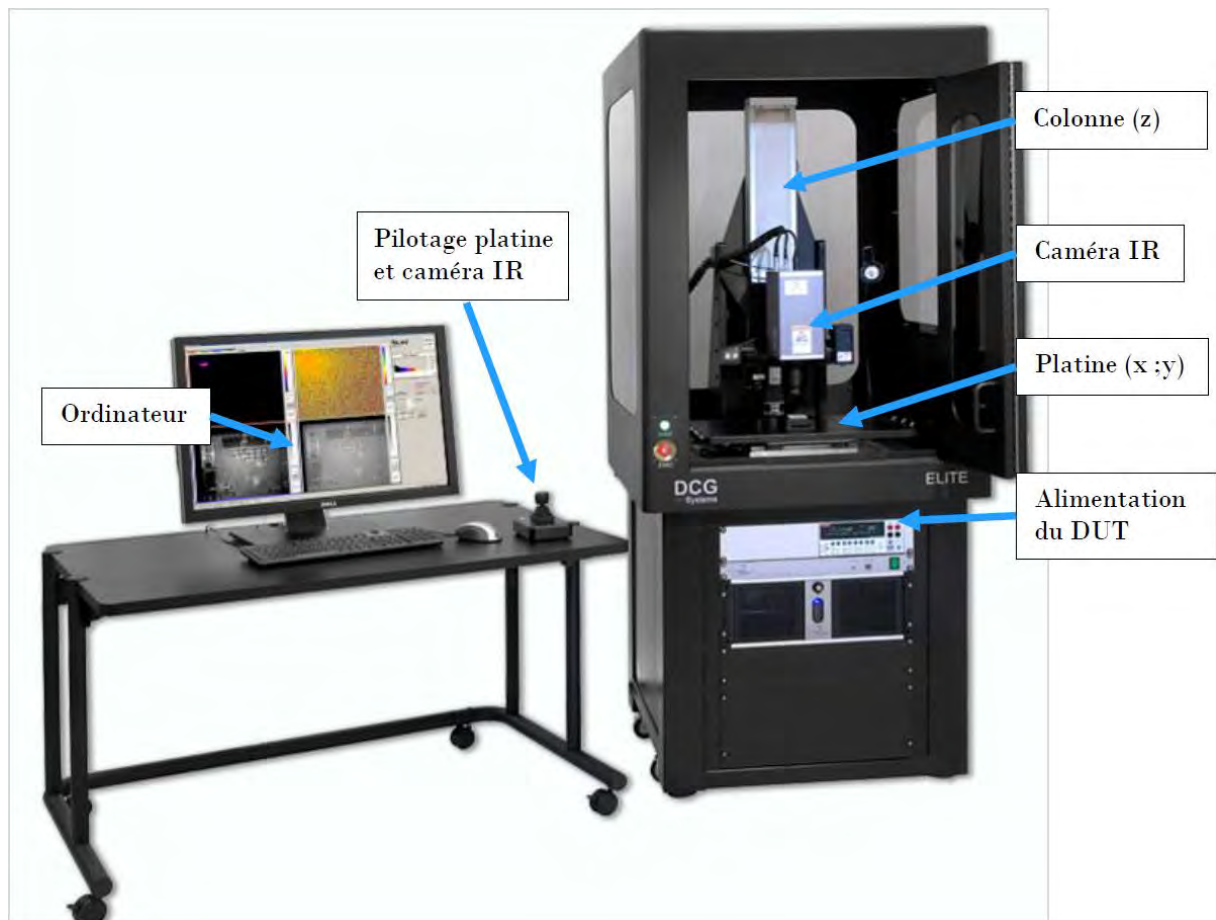


Figure 3.37 – Système d'analyse par thermographie ELITE par Thermo Scientific™

Avant de placer l'échantillon testé (DUT) sur la platine en dessous de la caméra infrarouge (IR), nous devons procéder à une correction de l'émissivité de la surface du prototype à analyser, c'est-à-dire son aptitude à émettre un rayonnement IR. Rapport entre l'émittance du corps étudié et celle d'un corps noir, sa valeur est comprise entre 0 et 1 correspondant respectivement à un réflecteur ou émetteur parfait (corps noir). Dans notre cas, la surface au regard de notre camera IR est en cuivre préalablement laminée par thermo-compression, donc oxydée, avec une émissivité généralement située entre 0,6 et 0,7 (*Metra Instruments*). Notre acquisition comportera donc également les radiations thermiques réfléchies de son environnement en plus de celle émises par notre échantillon. C'est pourquoi un revêtement à haute émissivité est réalisé en utilisant une peinture à base d'eau (5211 Opaque black) que l'on peut visualiser en Figure 3.38 (a), nous offrant une émissivité entre 0,83 et 0,86, réduisant les perturbations par réflexion de notre surface et réalisant aussi une uniformisation de l'émissivité de la surface étudiée. Les Figure 3.38 (b) et (c) montrent la différence entre une acquisition avec (b) ou sans (c) revêtement. On observe une auréole plus prononcée sans revêtement correspondant à la réflexion de l'objectif de la camera IR.

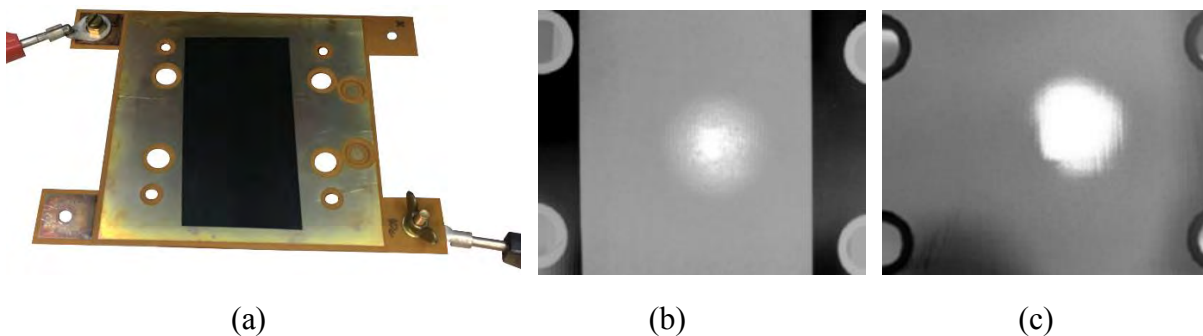


Figure 3.38 – Photographie du prototype avec revêtement (a) et acquisition avec (b) ou sans (c) la préparation de surface

L'expérience est effectuée en imposant un courant pulsé de 3 A à travers notre échantillon, à basse fréquence (0,1 Hz) avec un rapport cyclique de 50% pendant 47 minutes ; cela permet la visualisation thermique de son auto-échauffement. La configuration du câblage est bilatérale (voir Figure 3.30 (d)) comme le montre la Figure 3.38 (a).

Avant d'interpréter les résultats obtenus en Figure 3.39, revenons sur la durée d'alimentation avant acquisition. Pour une puissance injectée de 2,5 W à travers l'échantillon, généralement quelques dizaines de secondes voire une minute suffisent avant de procéder à l'acquisition thermique. Nous l'expliquons par l'isolation thermique du polyimide au niveau du substrat supérieur et l'étalement du flux de chaleur par les pistes en cuivre. Cet élément est bien entendu à prendre en compte afin d'optimiser la gestion thermique dans la réalisation d'un module de puissance fonctionnel.

La configuration du câblage permet de mettre en évidence l'auto-échauffement d'une constriction avec ou sans passage du flux de chaleur à travers nos interconnexions et la puce. L'image d'amplitude en Figure 3.39 (a) montre une répartition de la densité du flux de chaleur donc probablement de la densité du courant, mais également du point chaud, relativement homogène entre le haut et le bas de notre zone active et ce malgré un transfert du flux de chaleur au travers de la puce interconnectée pour la partie haute.

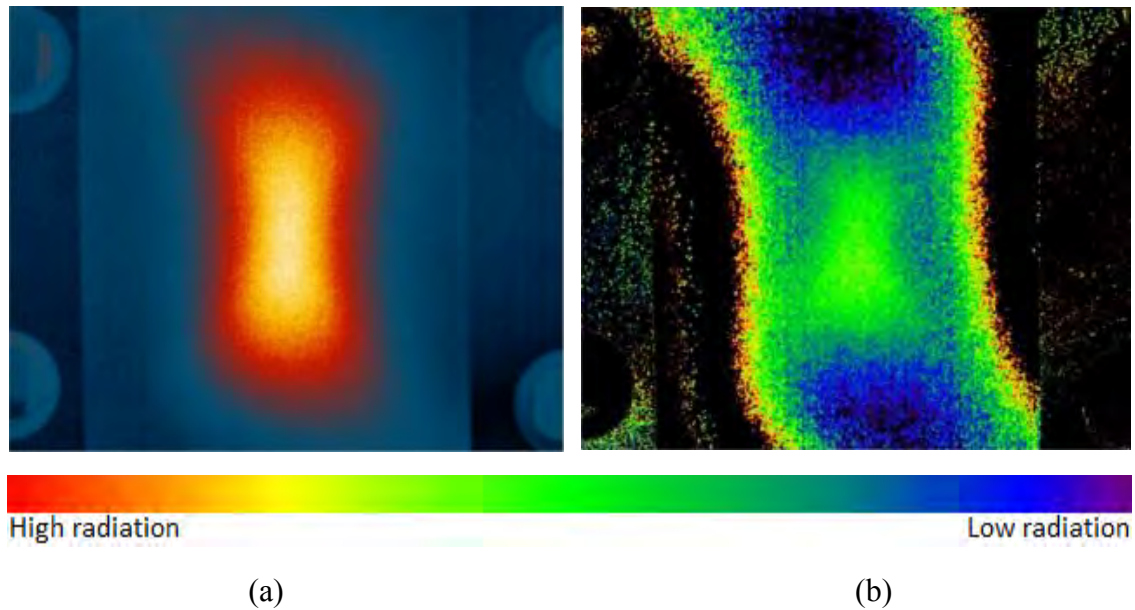


Figure 3.39 – Image d’amplitude (a) et de phase (b) d’une acquisition par thermographie à détection synchrone

Néanmoins, la Figure 3.39 (b) fait apparaître un retard d’émission de la zone active au niveau de la partie haute en comparaison à la partie basse, avec une couleur verte légèrement moins prononcée ; les zones bleues correspondent au retard d’émission autour de notre zone active. Ce déphasage s’explique par la combinaison de câblage utilisée en Figure 3.38. La partie haute des Figure 3.40 correspond au flux de chaleur généré par le courant traversant le substrat inférieur. Le nombre d’interfaces thermiques étant supérieur à celui du substrat supérieur.

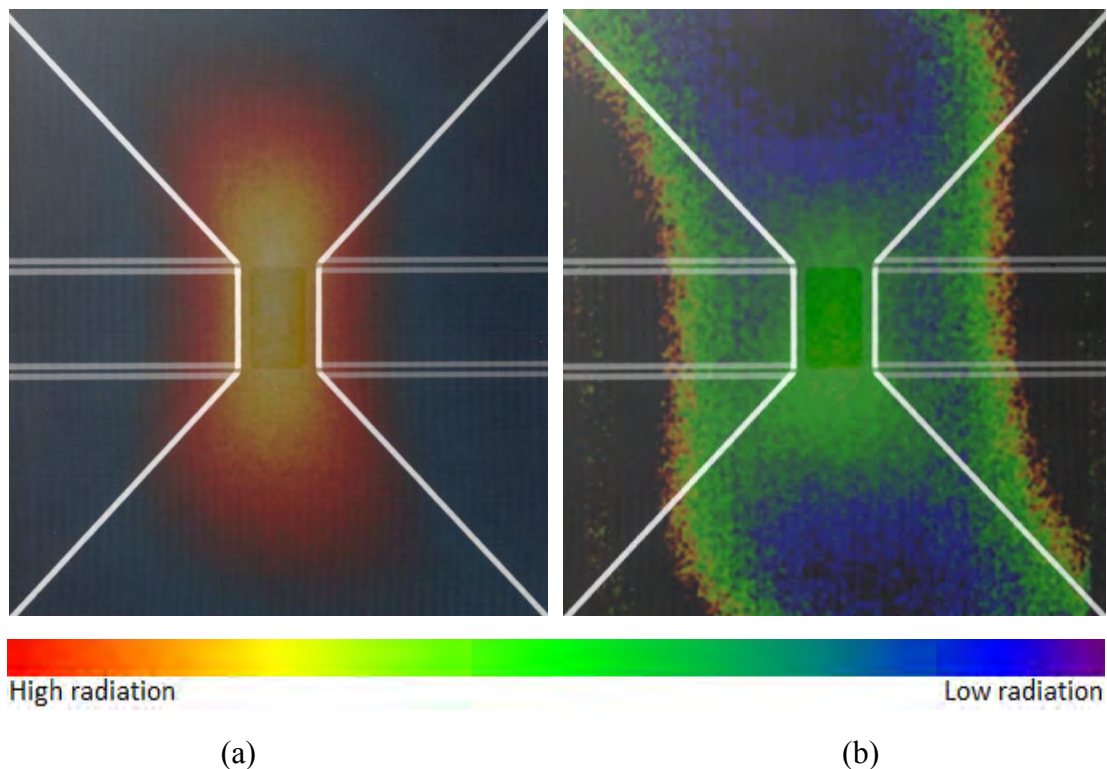


Figure 3.40 – Image de module (a) et de phase (b) avec superposition d’une acquisition par rayons X

La superposition des images avec une acquisition par rayons X met en évidence la position de la puce et permet de mieux apprécier les résultats en Figure 3.40 (a) et (b).

Il semble pertinent, dans le cadre de futur travaux de caractérisation par thermographie synchrone, d'utiliser un assemblage utilisant une interface structurée afin d'analyser uniquement l'interconnexion. Nous retiendrons que nos mesures ont nécessité un temps d'acquisition particulièrement long afin de faire apparaître un gradient de température de surface de notre échantillon en amplitude et en phase. Il est donc difficile de rendre compte d'éventuels défauts dans la répartition du courant dans notre interconnexion.

### 3.6 La caractérisation thermique

L'analyse de l'échantillon par radiation thermique nous encourage à évaluer notre solution du point de vue thermique. Bien que la résistance électrique de notre assemblage présente des performances intéressantes, posons-nous la question de ce qu'il en est du point de vue thermique. Une faible résistance électrique de notre structure limitera les effets Joule mais présente peu d'intérêt si elle ne nous permet pas d'extraire aussi la chaleur générée par les interrupteurs de puissance.

C'est pourquoi, nous avons étudié deux approches différentes afin de déterminer la résistance thermique de notre interface structurée. À partir du flux thermique ( $\Phi$  en W) de conduction imposé et la connaissance de la différence de température ( $\Delta T$  en K) de part et d'autre de notre interface structurée, nous pourrions en déterminer sa résistance thermique ( $R_{th} = \Delta T \div \Phi$  en K.W<sup>-1</sup>). La première solution se concentre sur l'utilisation des prototypes existants, que nous avons préalablement caractérisés électriquement et électro-thermiquement, tandis que la seconde s'appuie sur un nouvel assemblage intégrant un composant actif qui cette fois-ci est fonctionnel.

#### 3.6.1 Le calcul de la résistance thermique surfacique

Avant de déterminer expérimentalement la résistance thermique de notre structure, nous devons avoir une valeur de référence, au moins en ordre de grandeur, en vue d'une comparaison avec de futurs résultats. Pour cela, nous proposons de calculer sa résistance thermique surfacique. Notre structure est composée d'un plot en cuivre massif recouvert d'un velours de nano fils de même matériau. Elle est en réalité, un peu plus complexe : nous avons observé un plateau entre le plot et la nano structure. De plus, nous avons remarqué un débord en périphérie que nous appelons l'« Effet champignon » sur lequel la hauteur des nano fils est progressive, bien que ce débord soit de faible longueur. Par souci de simplification, nous considérerons un plot de 50  $\mu m$  d'épaisseur et ferons de même pour la nano structure. La surface de contact des nano fils et la variation de l'épaisseur de la structure due au cycle de thermo-compression seront négligées. Cependant, nous devons également estimer les 50% de porosité de la nano structure cuivrée qui interviendront dans la limitation probable du transfert thermique. D'après notre analyse par coupe micrographique d'un échantillon intégrant une puce factice, il semblerait que la résine polyimide ne pénètre pas dans la nano structure.

Nous considérerons que ce volume est occupé par de l'air (0,025 W/m.K), nous permettant de nous placer dans le cas critique du fait d'une conductivité thermique donnée à 2 W/m.K par le fabricant concernant la résine polyimide avec fibre de verre, des pré-imprégnés utilisés.

Théoriquement, nous obtenons une résistance thermique surfacique de  $3,79.10^{-3}$  K/W.cm<sup>2</sup> ; l'ensemble des relations utilisées et résultats des calculs font l'objet de la Figure 3.41. Cette valeur théorique s'explique par l'utilisation d'un matériau aux propriétés thermiques attractives mais également par la faible épaisseur de notre interface structurée avec une nano structure à forte densité. Cependant, comme nous l'a démontré la caractérisation électrique (voir section 3.5), il existe souvent un écart non négligeable entre la théorie et la pratique. Il est donc nécessaire d'évaluer expérimentalement notre solution, de vérifier les performances mesurées et de les comparer à celles déterminées analytiquement.

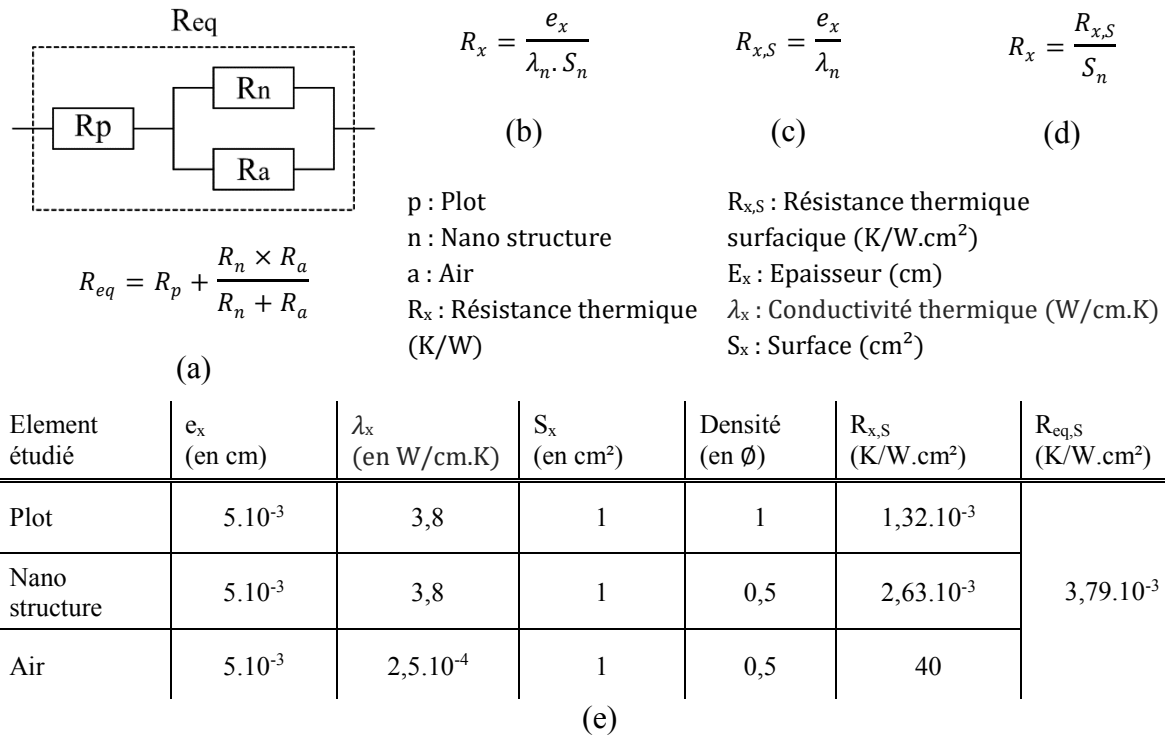


Figure 3.41 – Calcul de la résistance thermique équivalente d'une interface structurée (a), expressions de la résistance thermique (b) & (d) surfacique (c) et tableau récapitulatif des valeurs des différentes résistances thermiques surfaciques (e)

### 3.6.2 La première méthode avec les échantillons à substrats unitaires

La conception de nos substrats (voir section 3.2), nous offre la possibilité d'utiliser la constriction de notre piste de puissance, accueillant notre interface structurée, comme générateur de flux de chaleur (Φ) et capteur de température (ΔT) à l'intérieur de nos assemblages. Cette première méthode d'estimation expérimentale de la résistance thermique de notre structure s'appuie sur notre étude préalable de la piste, avec constriction, des substrats en fonction de leur géométrie et de la nature du matériau utilisé, en section 3.2.1.

#### 3.6.2.1 Le principe de la mesure électrothermique

Cette première approche s'inscrit dans la même dynamique que les travaux précédents en utilisant les prototypes existants mais cette fois-ci en vue de définir la résistance thermique de la solution que nous proposons. Le principe de cette expérience consiste à générer un flux de chaleur (Φ) via la piste du substrat inférieur en imposant un courant (I) et en mesurant la tension (V) ; nous permettant de connaître la puissance injectée (P = U x I).



Concernant la mesure de température ( $T_a$  &  $T_b$ ), en connaissant la résistance électrique de nos constrictions ( $R = U \div I$ ) et en se référant aux données de la Figure 3.3 (a) caractérisant la résistance électrique de notre piste en fonction de la température, nous sommes en capacité de déterminer leur température respective et par conséquent connaître la différence entre celles-ci ( $\Delta T = T_a - T_b$ ). La Figure 3.42 représente le schéma de principe visant à évaluer la résistance thermique des prototypes dont nous disposons, intégrant un empilement conducteur en cuivre enfoui dans du verre-polyimide soit un matériau thermiquement isolant rendant le flux de chaleur unidirectionnel dans notre configuration.

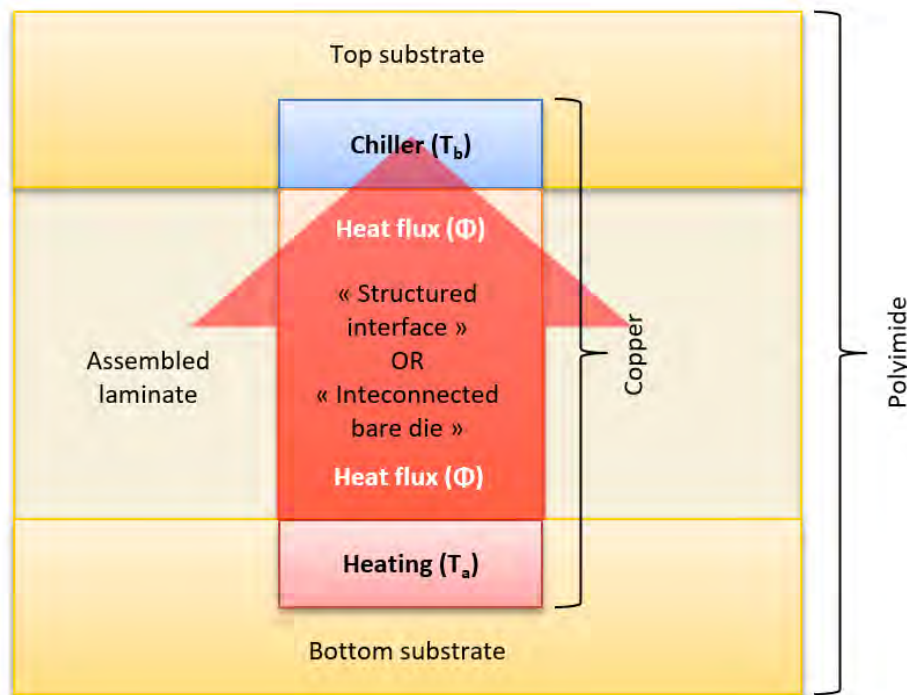
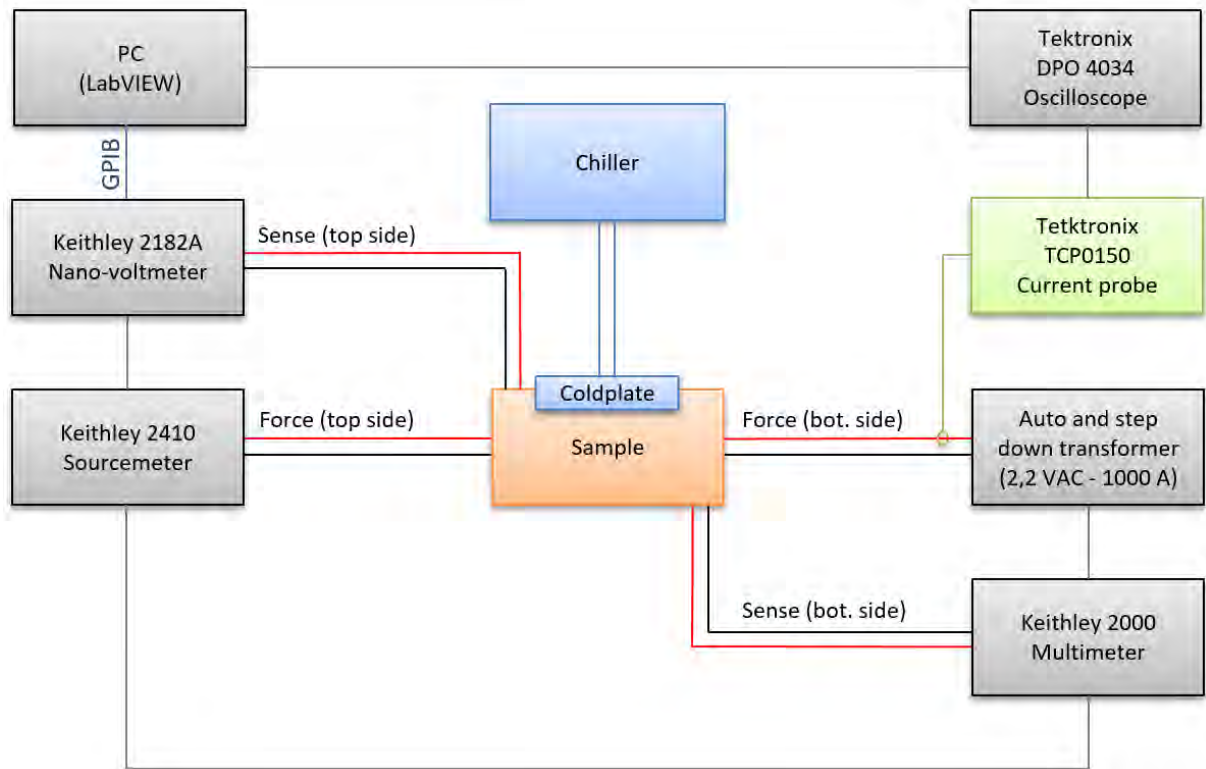


Figure 3.42 – Schéma de principe de l'évaluation expérimentale de la résistance thermique

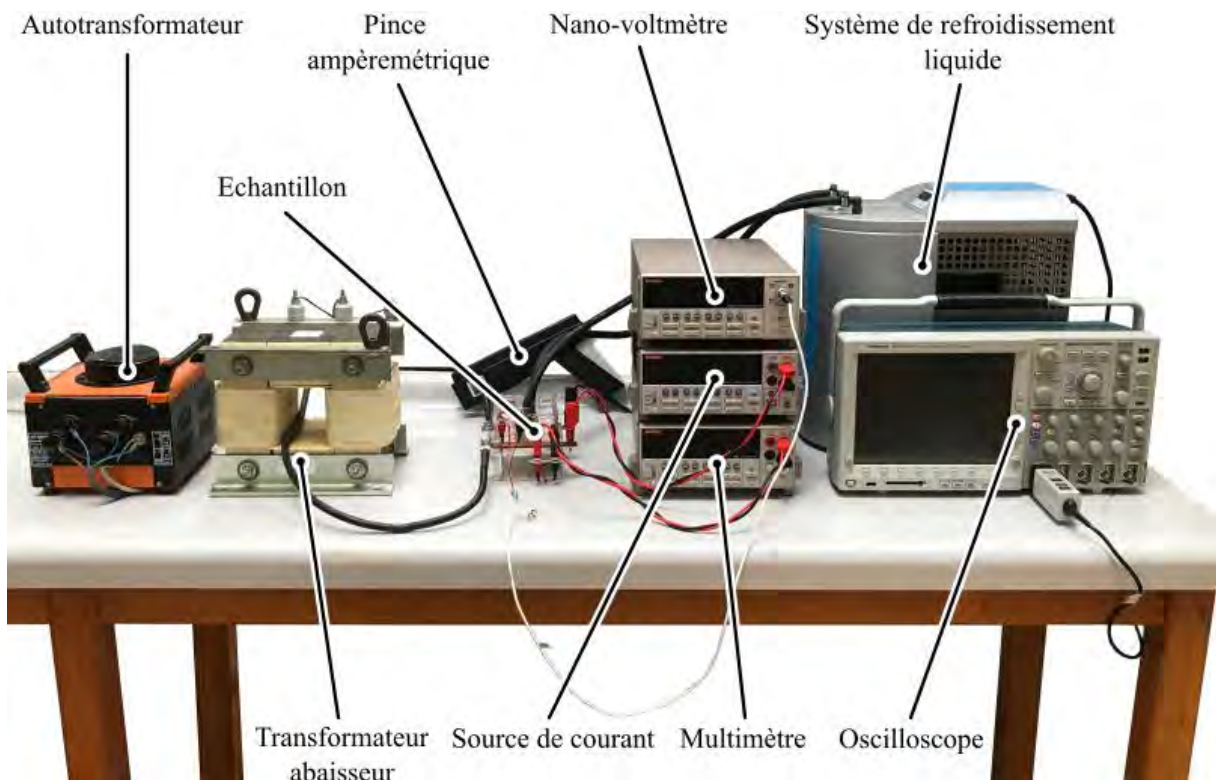
### 3.6.2.2 Le banc d'essai pour la caractérisation thermique

La réalisation de la mesure présentée précédemment nécessite de connaître la température de part et d'autre de la structure étudiée ainsi que la puissance injectée. Pour cela, nous proposons le banc d'essai schématisé et illustré en Figure 3.43 (a) et (b) respectivement.

La température du substrat inférieur de notre échantillon ( $T_a$ ) est imposée par un courant via un auto-transformateur qui permet de le contrôler, et un transformateur abaisseur en série, pour élever le courant efficace ( $I_a$ ) maximal applicable et donc imposer des températures plus importantes tout en veillant à ne pas dépasser la contrainte thermique maximale de notre piste [343], [344], [345].



(a)



(b)

Figure 3.43 – Schéma de principe (a) et mise en place (b) du dispositif expérimental afin de déterminer le résistance thermique de notre solution

La tension efficace ( $V_a$ ) aux bornes de la constriction du substrat inférieur est relevée à l'aide d'un multimètre Keithley 2000 avec une gamme de mesure comprise entre 750 VAC et 0,1  $\mu$ VAC en fonction du calibre choisi. L'utilisation d'un courant efficace important ( $I_a \gg 1$  A) permet donc de monter en tension ( $V_a$ ) (la variation de la résistance en fonction la température est représentée en Figure 3.3 (a)), et de s'affranchir de l'utilisation du nano-voltmètre. Contrairement aux expériences précédentes le phénomène d'auto-échauffement est ici provoqué afin de générer le flux de chaleur. C'est à partir de la mesure du courant injecté et en connaissant la tension ( $V_a$ ) que nous pouvons en déduire la valeur de la résistance ( $R_a$ ) de notre piste pour ensuite en déterminer sa température ( $T_a$ ) à partir de la valeur de notre résistance à température ambiante ( $R_{20}$ ) en Figure 3.3 (a) et l'expression de la résistance en fonction de la température en Figure 3.3 (c).

$$T = \frac{R_{a|b} - R_{20}}{\alpha \times R_{20}} + T_0 \text{ avec } \alpha = 3,9.10^{-3} \text{ W.K}^{-1}, T_{20} = 20^\circ\text{C et } R_{20} = 254 \mu\Omega$$

Équation 3.6 – Expression de la température de la constriction du substrat unitaire en fonction du coefficient de température du cuivre et sa résistance électrique à différentes températures

La température du substrat supérieur ( $T_b$ ) est déterminée de la même façon mais en utilisant le nano-voltmètre, en connaissant la résistance de notre piste ( $R_b$ ) et à partir de l'Équation 3.6. Contrairement au substrat inférieur, l'objectif est de limiter l'auto-échauffement de notre piste, en injectant un courant ( $I_b$ ) plus faible, afin de garantir sa température de consigne. Pour forcer le flux de chaleur à traverser notre structure, nous ajoutons un système de bain à circulation thermostaté forçant la consigne par conduction thermique.

### 3.6.2.3 L'analyse du protocole expérimental

Nous ne reviendrons pas sur la faisabilité de la prise de potentiel aux bornes de la constriction respective des substrats de l'échantillon, ayant fait l'objet d'une calibration préalable et représenté en Figure 3.3 (a).

Commençons par le substrat inférieur et plus particulièrement par la génération du flux de chaleur. Bien que nous sommes en capacité de faire monter en température notre piste en injectant un courant important, nous devons connaître le courant maximal admissible. Nous savons que à fort courant, l'énergie injectée peut conduire à la dégradation de la matrice du substrat voire la fusion de la piste en cuivre, et donc détruire nos échantillons.

Pour l'analyse de notre alimentation, plaçons-nous dans les conditions les plus critiques soit le courant maximum à atteindre pour la fusion de notre piste. En connaissant cette valeur nous pourrions mettre en place une alimentation couvrant la gamme de courant nécessaire pour notre expérience. Pour cela, nous savons que la composante thermique en régime permanent joue un rôle prédominant venant minimiser le courant maximum admissible de la piste ; un courant bien plus faible qu'en régime impulsionnel est donc en mesure de dégrader notre piste. C'est pourquoi nous allons étudier notre piste en régime impulsionnel afin de déterminer le courant maximum admissible. Si notre alimentation est en mesure d'atteindre cette valeur de courant, cela nous confirmera la validité de son dimensionnement sur la gamme la plus étendue. Nous serons en capacité de générer un flux de chaleur sur l'ensemble de la gamme de température que nous permet notre piste. On considère en mode impulsionnel que la piste est en régime adiabatique qui s'apparente au comportement d'un fusible ; limitant la valeur crête du courant en cas de surintensité (voir Figure 3.44 (a)).

L'énergie maximale admissible, d'après la loi de Joule, est déterminée à partir de l'équation en Figure 3.44 (b) prenant le produit de la capacité thermique de l'élément étudiée ainsi que la différence entre la température de fusion du matériau et de l'environnement ambiant.

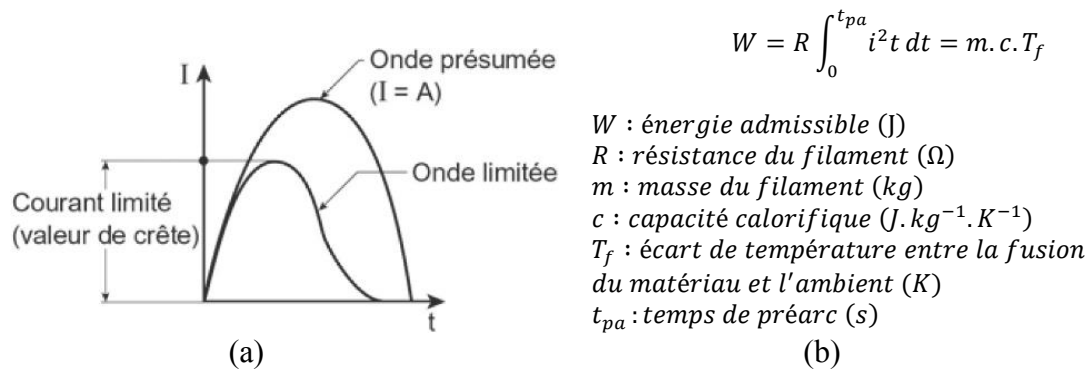


Figure 3.44 – Illustration du rôle limiteur d'un fusible [343] (a) et expression de l'énergie maximum admissible d'un filament d'après la loi de Joule (b) [344]

C'est à partir des éléments apportés en Figure 3.44 qu'est définie l'Équation 3.7 (a) permettant de déterminer la contrainte thermique maximale d'un conducteur en fonction de sa section ( $S$  en  $\text{mm}^2$ ) et de son facteur ( $k$  en  $\text{A.s}^{1/2}.\text{mm}^{-2}$ ) tenant compte de la résistivité, du coefficient de température, la tenue aux échauffements du matériau conducteur ainsi que le matériau diélectrique utilisé pour son isolation [346], [347].

À défaut de connaître ce facteur pour un conducteur en cuivre isolé par encapsulation verre-polyimide, nous prendrons ses extrémums relevés dans la littérature qui sont de 103 et 201 [348], [349] pour une isolation PVC et caoutchouc siliconé respectivement. Concernant le temps ( $t$  en s), sa valeur est définie par la fréquence utilisée ; dans notre cas celle du réseau soit 50 Hz. En reprenant la Figure 3.44 (a) et sachant que nous sommes en régime alternatif, nous cherchons à définir la valeur crête du courant maximal admissible ; à l'origine de l'onde limitée pour les fusibles, à titre comparatif. Indépendamment de la polarité, le courant crête ( $I_{\text{max}}$  en A) est atteint sur une durée correspondant au quart d'une période de notre signal ; soit  $5 \cdot 10^{-3}$  seconde. Connaissant la section de notre piste, égale à  $0,51 \text{ mm}^2$ , nous pouvons déterminer le courant crête que nous récupérerons par la mesure avec notre pince ampéremétrique. D'après les calculs, la contrainte thermique maximale de notre piste serait approximativement atteinte avec un courant efficace entre 500 A et 1000 A pour un facteur ( $k$ ) de 103 et 201 respectivement, ce qui correspond à la gamme de courant que propose notre montage avec un autotransformateur puis un abaisseur. Il résulte donc que nous avons largement la marge de capacité à générer un flux de chaleur suffisant en fonction de la conception de nos substrats

$$k^2 \cdot S^2 = I_{\text{max}}^2 \cdot t$$

avec  $S = 0,51 \text{ mm}^2$  et  $t = 0,01 \text{ s}$

$$I_{\text{max}} = \sqrt{\frac{k^2 \cdot S^2}{t}} \quad \text{soit} \quad I_{\text{rms}} = \frac{I_{\text{max}}}{\sqrt{2}}$$

Équation 3.7 – Expression de la contrainte thermique maximale en fonction de la section (a) et calcul du courant maximal admissible par la piste (b)

Néanmoins, la génération du flux de chaleur ne constitue pas le seul paramètre pour la détermination expérimentale de la résistance thermique de l'assemblage. Sachant que notre structure est entièrement en cuivre, et que la résistance thermique théorique est relativement faible, cela implique également une différence de température probablement faible. C'est pourquoi nous justifions l'ajout d'un système de régulation en température au regard de la piste du substrat supérieur. L'écart en température augmentant, l'estimation de la résistance thermique n'en sera que plus fiable.

Cependant, de nombreuses contraintes subsistent dans notre protocole expérimental. Ajouter un système de régulation en température nécessite la modification du substrat. Bien que nous sommes en mesure d'accéder à notre piste en réalisant une ouverture dans notre échantillon, le comportement mécanique voire thermique de notre assemblage ne sera plus représentatif. En effet, les déformations dues aux différences des coefficients de dilatation thermique combinées au retrait de matière au regard de la structure étudiée sont susceptibles de modifier les caractéristiques électriques et thermiques de notre contact. À cela s'ajoute des pertes thermiques, par diffusion dans les pistes en cuivre, que nous avons pu visualiser précédemment par thermographie IR en section 3.5.5 et qui ne peuvent pas être négligées. Ces éléments nous encouragent à revisiter notre méthodologie d'estimation expérimentale de la résistance thermique de notre interface structurée à travers un nouvel assemblage, étudié exclusivement pour cette expérience.

### 3.6.3 La seconde méthode par intégration d'une diode

Dans la section précédente, nous avons conclu que la conception de notre substrat et de nos prototypes, ne nous permettait pas d'estimer avec précision la résistance thermique de la solution d'interconnexion que nous proposons.

C'est pourquoi nous nous sommes orientés vers la conception et réalisation d'un nouveau, et troisième, prototype en vue de procéder à la caractérisation thermique de notre interface structurée par l'intégration d'un composant actif fonctionnel, une diode.

#### 3.6.3.1 Le substrat avec drains thermiques

La seconde version du substrat est basée sur la conception du premier. Les dimensions, les trous traversant ainsi que le principe du substrat unitaire sont conservés permettant de réutiliser l'ensemble des éléments et équipements du procédé de fabrication, à l'exception des prises de contact pour la mesure qui ne font plus l'objet de pastilles mais de languettes, plus petites, mais similaires sur le principe à celle des connectiques de puissance aux extrémités.

Précédemment en section 3.6.2, nous avons abordé la nécessité de réguler la température du substrat au regard de la source de flux de chaleur. Pour cela, des vias remplis et traversant sont ajoutés en périphérie de la zone de dépôt [350]. Comme nous pouvons le voir en Figure 3.45, nous avons également deux zones, électriquement isolées, pour réaliser notre dépôt électrolytique, soit une interface structurée sur chacune d'elles. L'ensemble des pastilles autour de la zone active est réalisé en vue d'un détournage final ( $47 \times 38,5 \text{ mm}^2$ ) et une reprise de l'ensemble des contacts en face supérieure des vias nous permettant d'effectuer des expériences complémentaires comme des essais de fiabilité en court-circuit, du cyclage actif, etc.



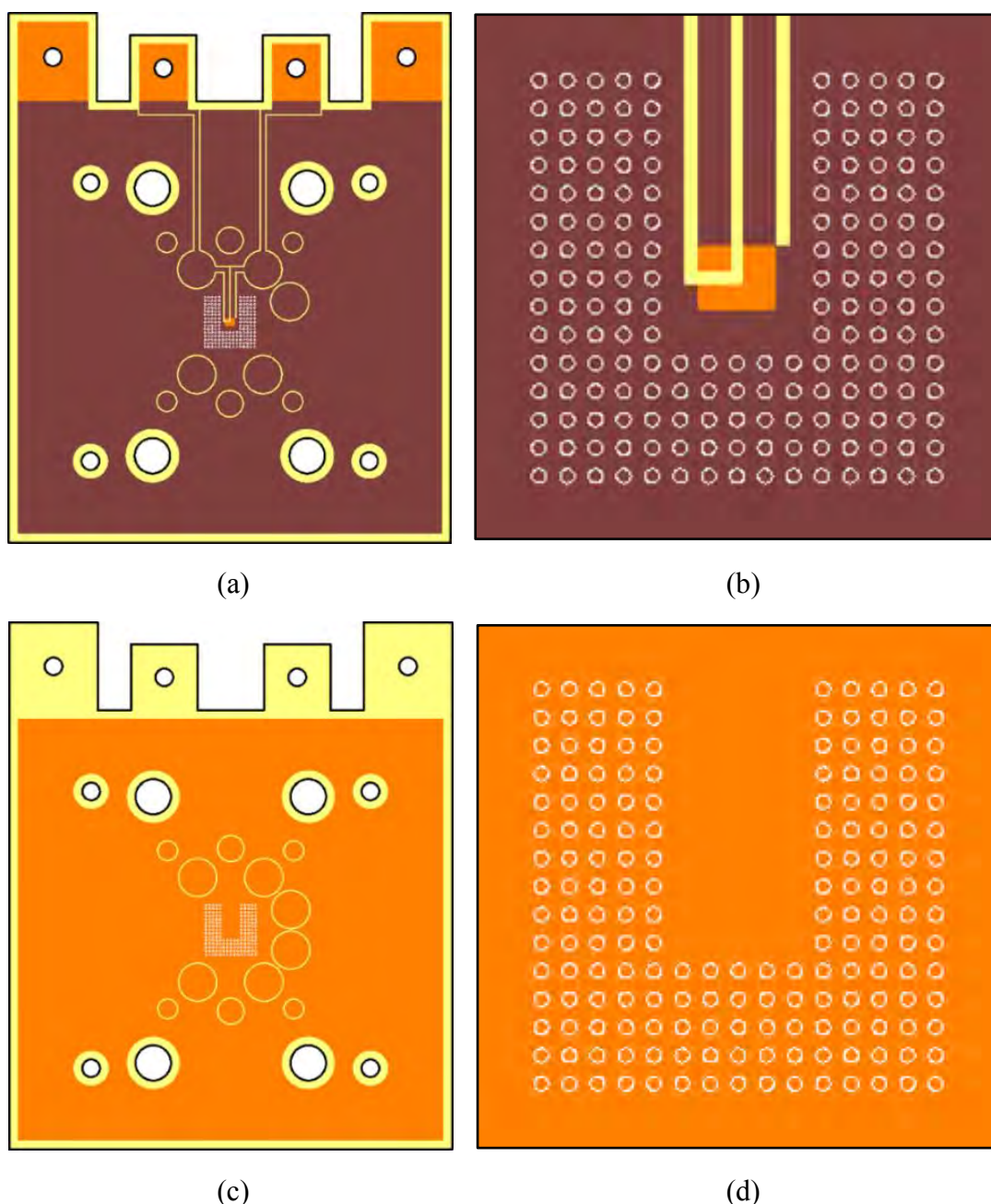


Figure 3.45 – Schéma du substrat en vue de dessus (a) avec grossissement sur la zone active (b) et en vue de dessous (c) avec grossissement similaire (d)

Avant de présenter la partie assemblage, revenons aux vias remplis. Avec un diamètre de  $400\ \mu\text{m}$  dans l'épaisseur du substrat d'environ  $1\ \text{mm}$ , ils sont électrodéposés avec un profil de courant continu et une densité de courant de  $30\ \text{mA.cm}^{-2}$  pendant une durée de 10 heures [351], soit un dépôt « pleine plaque » équivalent à  $400\ \mu\text{m}$  d'épaisseur par procédé de fabrication usuel de vias présenté en section 2.2.1. Les premiers essais et inspections au microscope numérique semblent montrer des vias remplis avec néanmoins un léger cratère d'environ  $70\ \mu\text{m}$  ; voir Figure 3.46. Cela explique pourquoi les vias sont placés en périphérie et non au regard de la zone d'élaboration de notre nano structure, venant altérer la planéité de notre surface et donc probablement notre future interface structurée. L'état de surface et la planéité sont susceptibles d'être améliorés en utilisant des profils à impulsion(s) [352] comme l'ont montré les travaux d'optimisation des dépôts de nano structures en section 2.5.4.7.

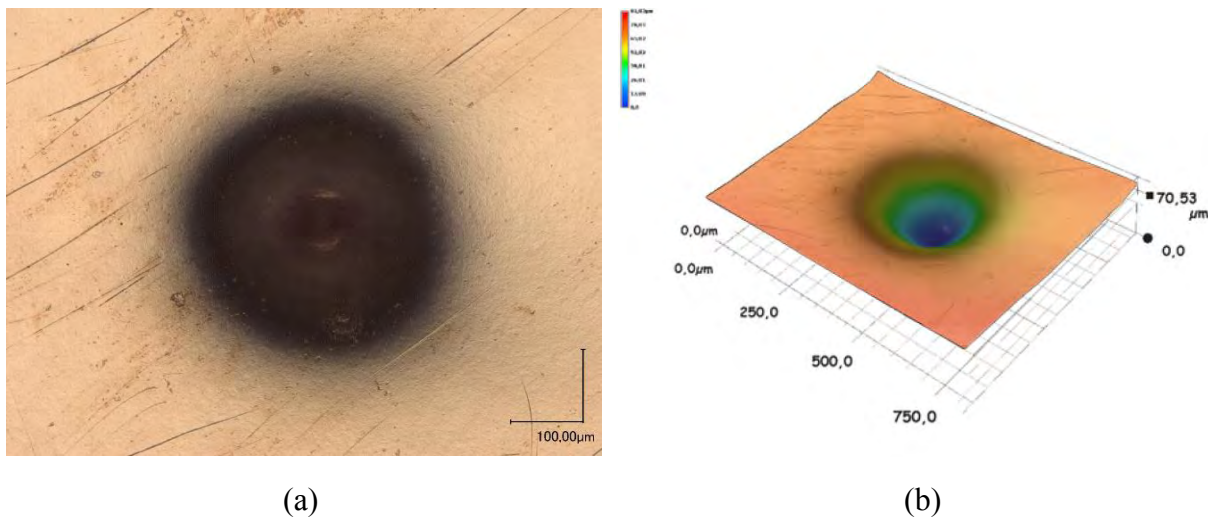


Figure 3.46 – Image d'un via rempli (x200) (a) et mesure de la profondeur du cratère résiduel (b) au microscope numérique

Après assemblage du prototype, ces vias permettront de transférer le flux de chaleur en surface, sur laquelle nous pourrions mettre en place notre système de refroidissement comme une plaque froide par exemple.

### 3.6.3.2 L'intégration du composant actif

L'utilisation de vias remplis de cuivre offre la possibilité de procéder à la régulation en température de notre point froid, soit la température que nous avons appelée  $T_b$ , en s'affranchissant de la modification du prototype afin de mettre en contact notre plaque froide au plus proche de notre constriction.

Pour le générateur du flux de chaleur à l'origine de la température  $T_a$ , nous avons décidé d'utiliser une diode. Cet assemblage tend au plus proche d'une solution représentative de l'intégration finale d'un module de puissance.

Le principe d'assemblage par thermo-compression reste inchangé. Nous remarquons par la même occasion que hormis les vias remplis et les deux dépôts électriquement isolés, l'empilement est identique à la Figure 3.9 (a). Sachant que le substrat supérieur est identique et spatialement symétrique par rotation de  $180^\circ$  par rapport au substrat inférieur, on dispose du circuit électrique équivalent représenté en Figure 3.47 (b) nous permettant de faire une mesure précise de la tension aux bornes de la diode ( $V_d$ ) par méthode quatre pointes grâce à l'élaboration de deux dépôts distincts.

Appliqué à l'estimation expérimentale de la résistance thermique de notre interface structurée, l'objectif est dans un premier temps de réaliser une calibration préalable afin de connaître la tension ( $V_d$ ) de la diode en fonction de la température ; elle est basée sur le même principe que la calibration de la constriction du premier substrat en Figure 3.3 (a). Ensuite, connaissant ces caractéristiques tension-température, il faut procéder à l'injection de courant pour générer un flux de chaleur en atteignant la température de jonction choisie. L'alimentation et la mesure de la tension de la diode devront être synchronisées.

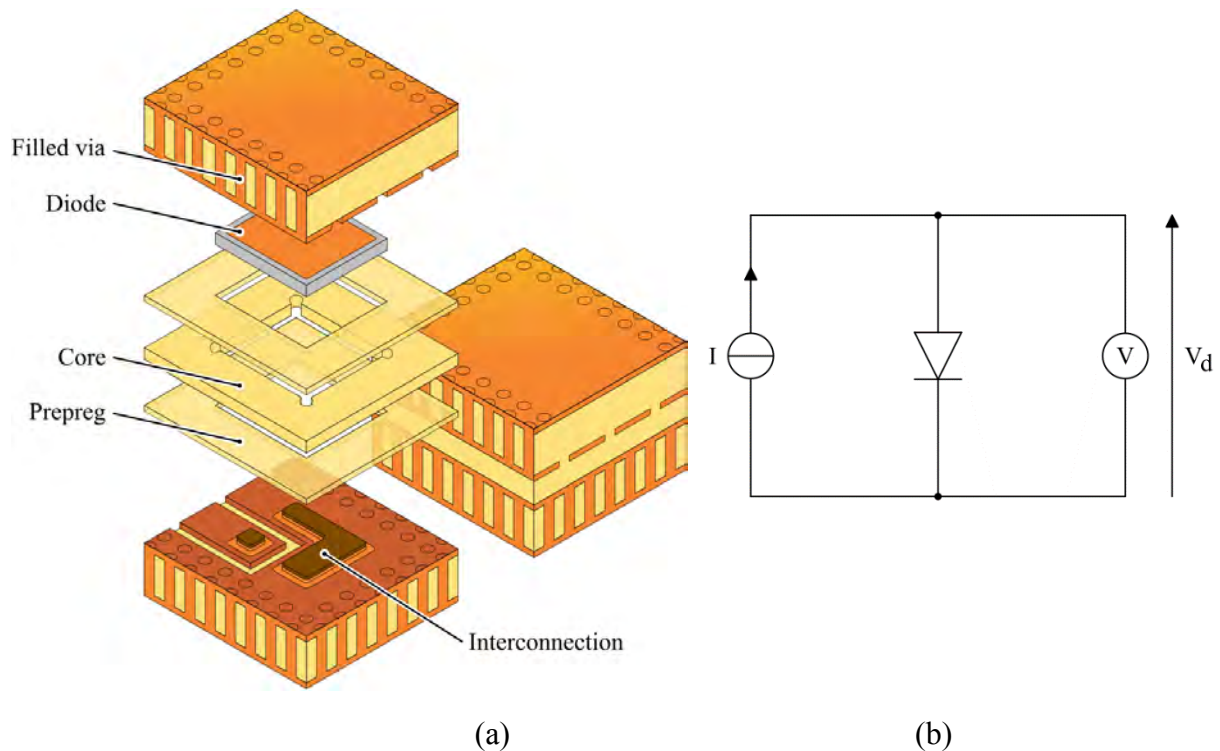


Figure 3.47 – Schéma de l'intégration par enfouissement PCB d'une diode avec ses interconnexions par interfaces structurées (a) et schéma électrique équivalent (b)

La mesure de la tension nécessite la coupure de l'alimentation. Cependant, ce délai de coupure doit être faible afin de pouvoir garantir la température de jonction qui dans notre cas est une consigne imposée. La mesure de tension lorsque le prototype est alimenté, et la connaissance du courant injecté permettront de connaître la puissance consommée par la diode. La méthode de mesure de la température  $T_b$  sera réalisée au plus proche de la surface d'échange soit au contact du cuivre et via remplis.

Les travaux d'intégration des modules de puissances par enfouissement PCB et interconnexion nano filaire s'achèvent en ouvrant la recherche à travers une conception complète de l'assemblage présenté ci-avant. L'objectif étant d'évaluer, de caractériser, la résistance thermique de la solution proposée. Parallèlement, l'agencement de ce prototype constitue un premier pas vers la réalisation d'un démonstrateur. Le dépôt de plusieurs interfaces structurées par substrats laisse envisager l'intégration de transistors, disposant de plusieurs électrodes en face supérieure, et permettant l'assemblage d'un futur module de puissance fonctionnel.

### 3.7 Conclusion

La conception judicieuse du premier substrat offre de nombreux avantages. Dans un premier temps, l'analyse préliminaire nous montre les bénéfices en termes de procédé de fabrication. Nous sommes sur un substrat unitaire utilisant les mêmes supports, équipements mais également paramètres ; nous permettant avec une seule et même conception de réaliser de nombreux prototypes et ce de façon répétable. Il en est de même du point de vue de la caractérisation avec, au total, près d'une centaine de combinaison de mesures électriques différentes. À cela s'ajoute une piste, une constriction, nous permettant d'effectuer « *in situ* » des mesures de température mais également de générer un flux de chaleur.

Une fois la conception et le principe d'assemblage présentés, une étude préalable nous a permis de définir les prototypes nécessaires pour effectuer la caractérisation de notre solution ; ainsi que de choisir le procédé d'assemblage par thermocompression de chacun deux. Cette première approche consiste à assembler un premier prototype avec une interface structurée puis un second avec une puce factice interconnectée ; chacun des prototypes présente six échantillons. Il va de soi que connaître les caractéristiques de nos interfaces structurées est tout aussi primordial qu'établir la faisabilité du procédé avec une puce semi-conductrice.

La caractérisation électrique fait l'objet de cinq combinaisons de onze mesures différentes pour chacun des échantillons et chaque type de prototype et ce dans une gamme de température de 20°C à 120°C ; de l'ambient à la température de jonction des composants actifs en silicium. Elles nous permettent de quadriller la matrice de résistance de nos structures et ce en fonction de l'environnement dans lequel l'échantillon évolue. Les résultats montrent une résistance électrique relativement faible, indépendamment des combinaisons de mesure utilisées, de l'ordre de la dizaine à la centaine de micro ohm en comparaison à la résistance à l'état passant des composants actifs de puissance, généralement autour de la dizaine de milli ohm. De plus, les résultats sont relativement répétables en fonction des différents échantillons ; à l'exception d'un échantillon avec une puce interconnectée. Nous expliquons cet écart par un défaut potentiel de la puce, et plus particulièrement au niveau de la métallisation ; ayant fait l'objet de décollements partiels lors des manipulations pour certaines puces factices.

Concernant la caractérisation thermique, la première approche consiste en la réutilisation de nos échantillons ayant permis la caractérisation d'ordre électrique. Le principe consiste en la génération d'un flux de chaleur en faisant monter la température de la constriction d'un des substrats et régulant la température à l'opposé ; la structure étudiée étant prise en *sandwich* entre ces deux pistes. Néanmoins, cette méthode nécessite de modifier mécaniquement les échantillons, faisant probablement varier les propriétés de notre contact. C'est également la présence potentielle de pertes thermiques, qui ne nous permettant pas une estimation précisément de la résistance thermique de notre solution.

C'est pourquoi nous nous sommes dirigés vers une seconde méthode basée sur l'intégration d'une diode permettant de palier ces problématiques en proposant de gérer le flux de chaleur via l'utilisation de la température de jonction de notre composant, limitant les pertes dans les pistes de cuivre épais, mais également de procéder au transfert de flux de chaleur par la réalisation préalable, avant assemblage des échantillons, d'une matrice de vias « plein cuivre » afin de pouvoir réguler la température de notre point froid.





---

## Conclusion générale

L'état de l'art des modules de puissance permet de faire ressortir les avantages offerts par les solutions d'intégration hybride ; regroupées en trois grandes familles qui sont celles des brasures, frittages et assemblages par diffusion puis des dépôts métalliques et pour finir des assemblages pressés. Après une étude comparative approfondie, les solutions par dépôt ainsi que par pression semblent être les meilleures candidates en vue d'une solution innovante et alternative au boîtier d'aujourd'hui. Bénéfiques, les améliorations qu'elles apportent demeurent néanmoins antinomiques. La majorité des solutions par dépôt utilisent des substrats PCB permettant de réduire significativement les éléments parasites, augmenter les densités de puissance. Elles bénéficient également d'un procédé de fabrication mature et fiable, à coût raisonnable, contrairement aux assemblages pressé plus onéreux, volumineux ainsi qu'un boîtier proposant une optimisation des éléments parasites bien plus modeste. Bien que la cadence de production soit plus lente, ces solutions présentent les meilleures caractéristiques en termes de fiabilité mais également de traitement des fortes puissances ; contrairement aux solutions par dépôts des substrats PCB initialement issues de la microélectronique pour les puissances les plus faibles. C'est pourquoi la solution que nous proposons se base sur ces deux familles d'intégration hybride afin de combiner ces améliorations. Notre choix s'oriente alors vers l'utilisation de la technologie PCB avec enfouissement des composants actifs dans le substrat et ce avec des structures nano filaires, en cuivre, comme interconnexions.

À partir d'une analyse approfondie des technologies sélectionnées, nous avons pu cibler les contraintes mais également les similitudes entre les procédés de fabrication respectifs. La voie électrolytique ressort comme étant la jonction possible, en termes de procédé, entre ces deux technologies. Cette hypothèse se confirme par une étude préalable du dépôt électrolytique en environnement PCB puis dans la réalisation des nano fils de cuivre, nous laissant envisager la méthode d'assemblage final afin d'enfouir des composants actifs de puissance. Sur la base d'une analyse et étude théorique solide de ces technologies, nous avons pu réaliser des nano fils de cuivre sur puces semi-conductrices. Au vu des difficultés rencontrées, notre choix s'est orienté vers le dépôt sur substrat. Les résultats nous ont permis d'obtenir des interfaces structurées en cuivre, composées d'un plot massif recouvert d'une nano structure, relativement homogène dans le volume contrairement aux dépôt sur puces. La robustesse du procédé de fabrication de ces interfaces nous a également permis de faire des expériences en faisant varier la forme d'onde de notre profil de courant lors des étapes électrolytiques.

Nous sommes en possession d'un procédé de fabrication répétable de nano structure sur substrat PCB que nous avons mis en application « unitaire ». De manière plus explicite, une seule et unique conception de notre substrat nous permet de procéder au principe d'assemblage par thermo-compression des échantillons. Ces substrats nous ont offert la possibilité de réaliser deux types de prototypes, composés de six échantillons chacun, soit le premier intégrant une interface structurée puis le second d'une puce factice interconnectée ; à ce stade nous pouvons parler d'interconnexions pour évoquer nos interfaces structurées. À présent, le procédé de fabrication complet de la solution que nous proposons est établi. Néanmoins, il est primordial de caractériser cette technologie. La première caractéristique étudiée est la résistance électrique. Bien que la conception des deux types de modules nous offre la possibilité d'effectuer près d'une centaine de combinaison de mesure différentes, nous en avons retenu cinq semblant être les plus représentatives en vue d'une future intégration de modules de puissance.

---

Les résultats obtenus démontrent, pour une interconnexion et une puce interconnectée, une résistance électrique relativement faible, notamment en comparaison à la résistance électrique des composants actifs de puissance à l'état passant, et surtout répétable du fait d'une faible dispersion. Pour compléter la caractérisation de cette solution, nous avons proposé une première approche visant à estimer la résistance thermique de notre interconnexion en réutilisant les prototypes déjà assemblés. Cependant, la nécessité de modifier les échantillons ainsi que la gestion des pertes thermiques, due à une conception non optimisée pour ce type d'expérience, nous ont encouragé à proposer un second assemblage intégrant cette fois-ci un composant actif fonctionnel ; permettant également un premier pas vers la réalisation d'une cellule de commutation.

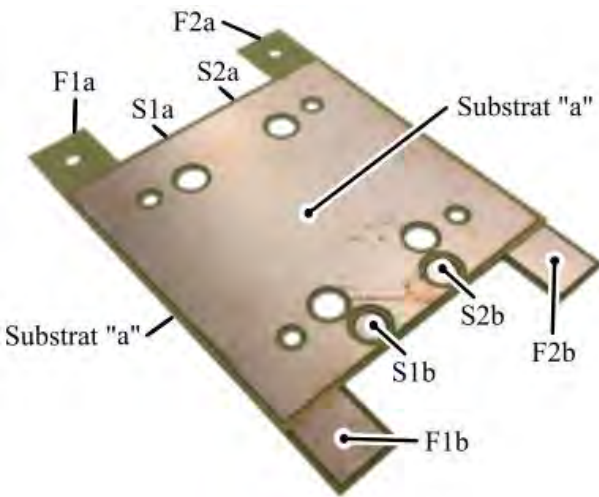
Cette recherche s'ouvre sur un second assemblage proposant la réalisation de vias remplis, pour chacun des substrats, afin d'optimiser la gestion thermique de cette technologie d'intégration. Néanmoins, d'autres approches peuvent être envisagées. Sachant que le cuivre épais est privilégié, en vue de faire transiter de fort courant, il est envisageable de directement travailler sur des feuilles de 400  $\mu\text{m}$  de cuivre, par exemple, présentant une rigidité faible mais suffisante afin de pouvoir être manipulées en substitution des substrats. Les interfaces structurées pourraient être directement électrodéposées sur ces feuillards qui feront l'objet d'un assemblage entre elles en y insérant pré-imprégnés et laminé diélectrique ; ainsi il serait possible d'obtenir des plaques « plein cuivre » intégrant directement les composants actifs. Il est donc possible à partir de là de procéder aux étapes de fabrications classiques du domaine des circuits imprimés pour obtenir un module de puissance avec pour unique intermédiaire entre puces et système de refroidissement une structure nano et macrométrique entièrement en cuivre et qui plus est double face.

---

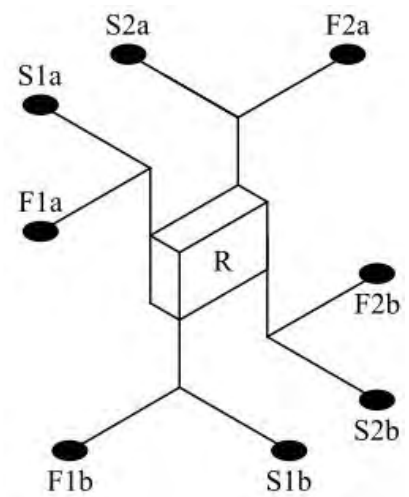
## Annexes

<b>1</b>	<b>La nomenclature des combinaisons de mesure.....</b>	<b>182</b>
<b>2</b>	<b>La résistance électrique des échantillons intégrant une interface structurée (IS).....</b>	<b>183</b>
2.1	La combinaison volumique.....	183
2.2	La première combinaison unilatérale.....	184
2.3	La seconde combinaison unilatérale.....	185
2.4	La première combinaison bilatérale.....	186
2.5	La seconde combinaison bilatérale.....	187
<b>3</b>	<b>La résistance électrique des échantillons intégrant une puce interconnectée (PI) .....</b>	<b>188</b>
3.1	La combinaison volumique.....	188
3.2	La première combinaison unilatérale.....	189
3.3	La seconde combinaison unilatérale.....	190
3.4	La première combinaison bilatérale.....	191
3.5	La seconde combinaison bilatérale.....	192

# 1 La nomenclature des combinaisons de mesure



(a)



(b)

Combinaison De mesure	Application du courant		Mesure de potentiel	
	Borne positive (+)	Borne négative (-)	Borne positive (+)	Borne négative (-)
Volumique	F1a & F2a	F1b & F2b	S1a & S2a	S1b & S2b
Unilatérale N°1	F1a	F1b	S1a	S1b
Unilatérale N°2	F2a	F2b	S2a	S2a
Bilatérale N°1	F1a	F2b	S1a	S2b
Bilatérale N°2	F2a	F1b	S2a	S1b

(c)

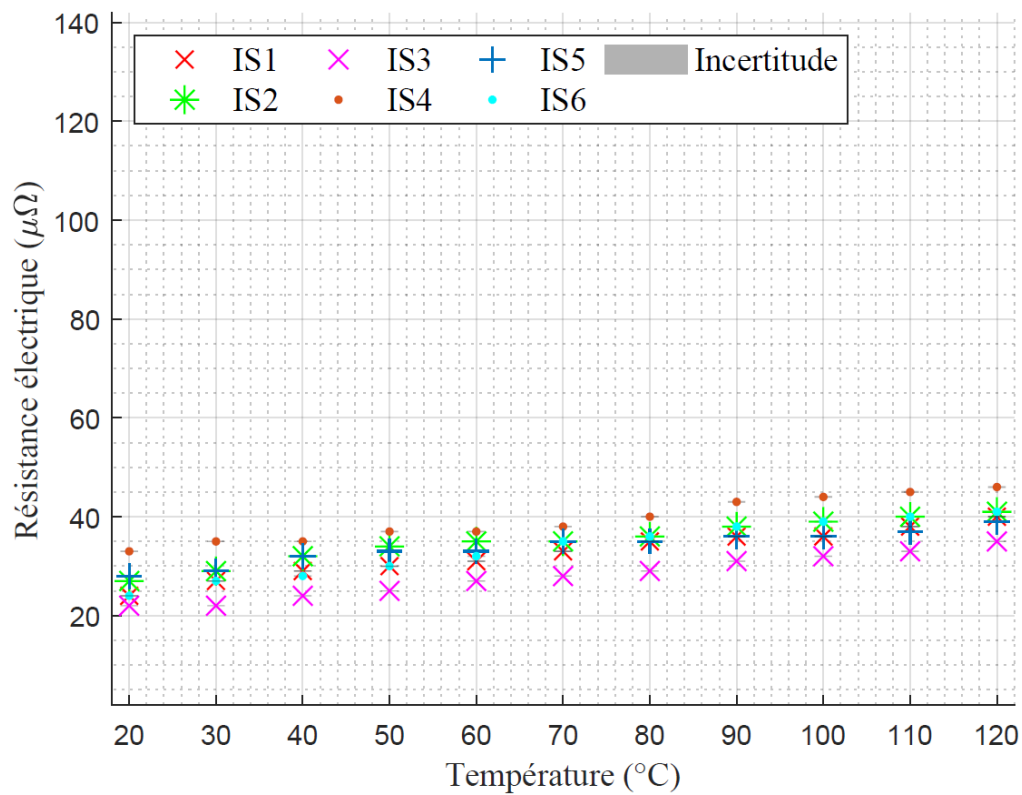
- (a) Photographie d'un assemblage intégrant une interface structurée ou une puce interconnectée ;  
 (b) Schéma électrique équivalent d'un prototype en fonction de la structure R étudié soit une interface structurée (IS) ou une puce interconnectée (PI) ;  
 (c) Nomenclature des différentes combinaisons de câblage pour la mesure quatre fils.

---

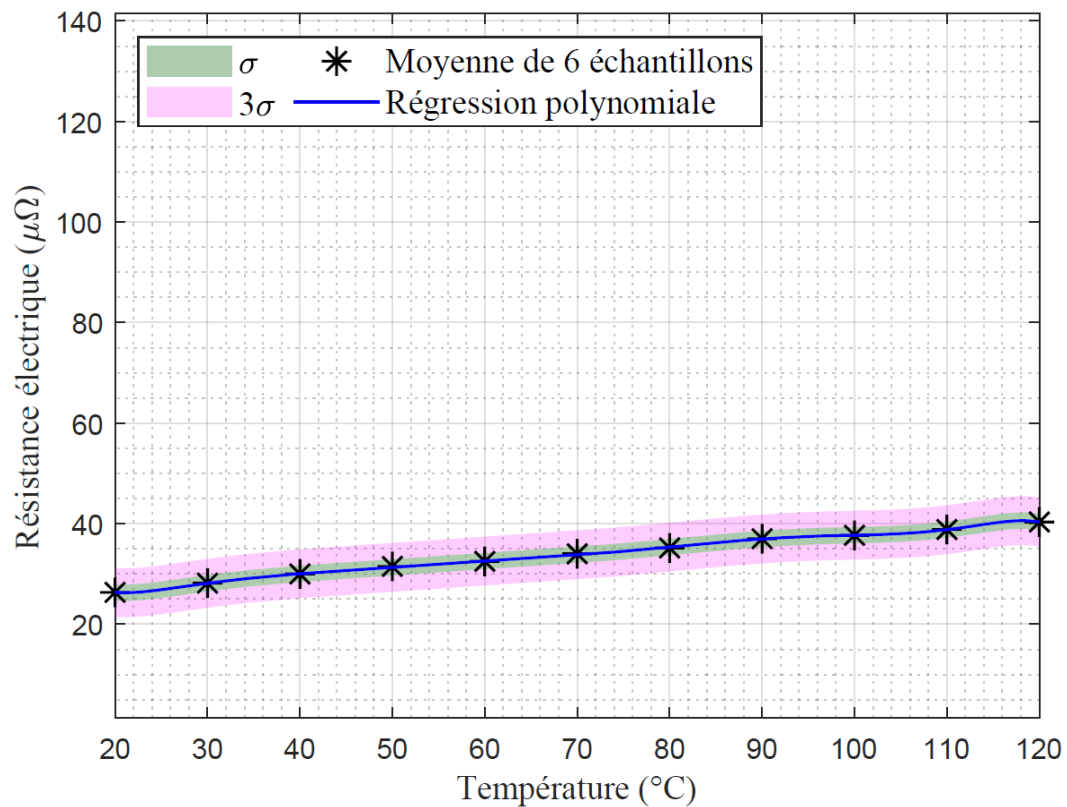
## 2 La résistance électrique des échantillons intégrant une interface structurée (IS)

### 2.1 La combinaison volumique

Mesure de la résistance électrique en fonction de la température



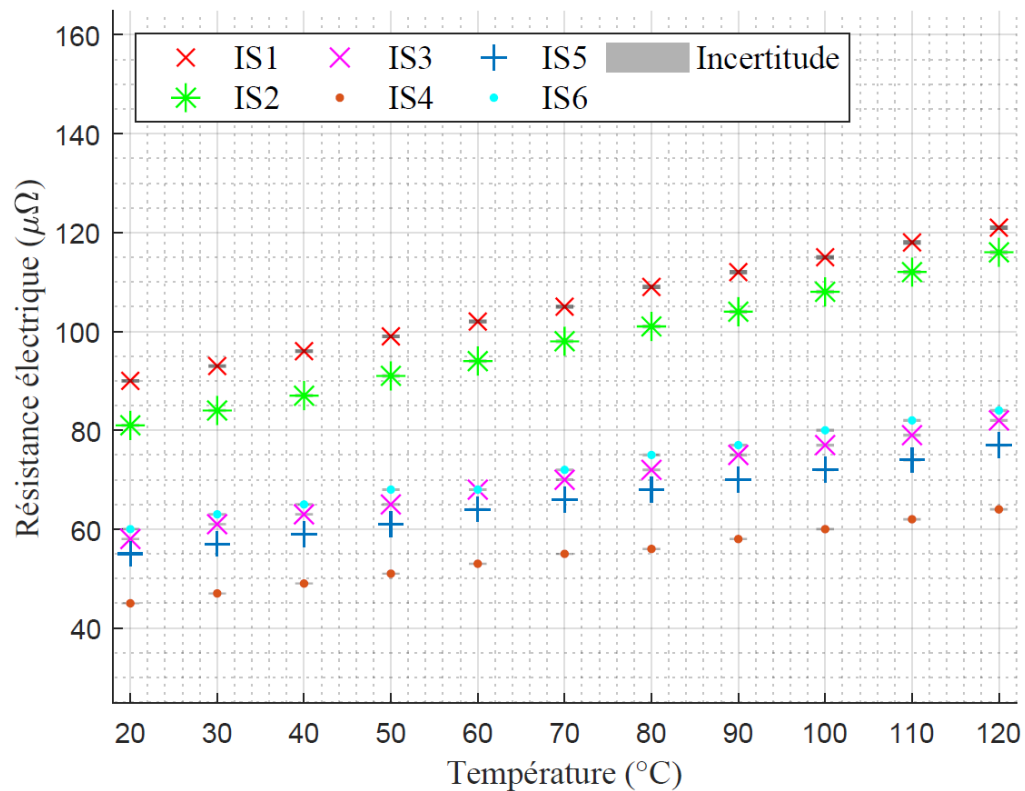
Analyse statistique des mesures de résistance électrique en fonction de la température



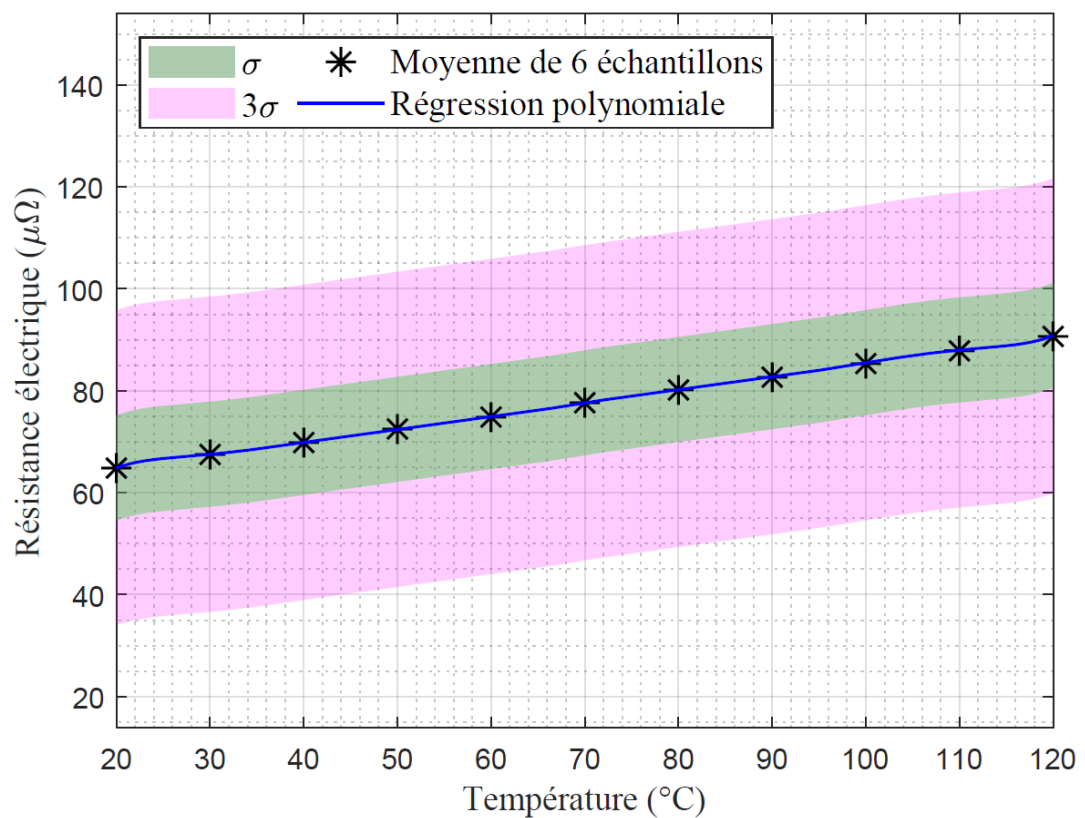


## 2.2 La première combinaison unilatérale

Mesure de la résistance électrique en fonction de la température

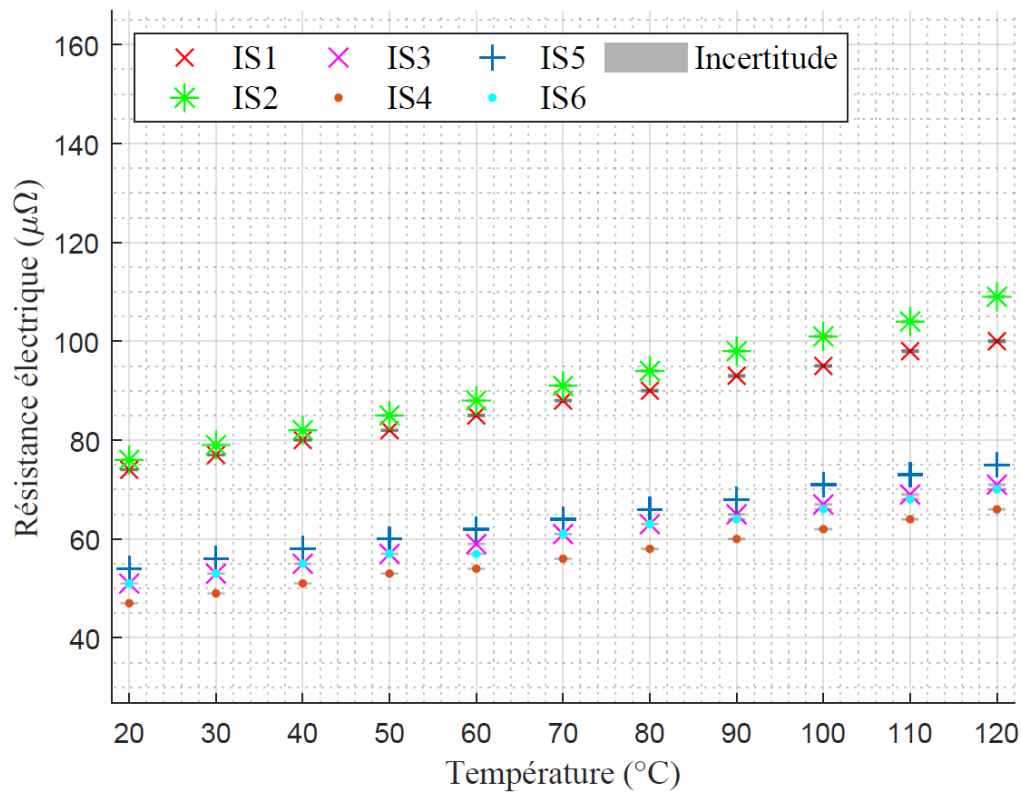


Analyse statistique des mesures de résistance électrique en fonction de la température

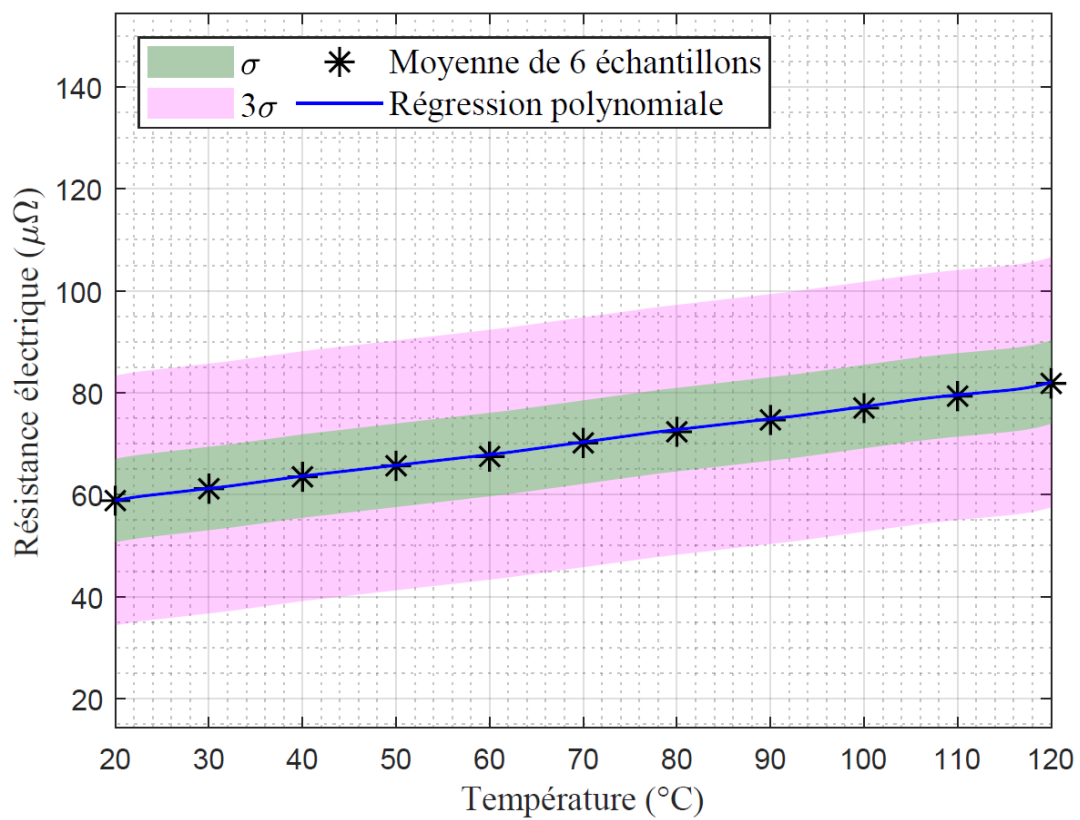


### 2.3 La seconde combinaison unilatérale

Mesure de la résistance électrique en fonction de la température



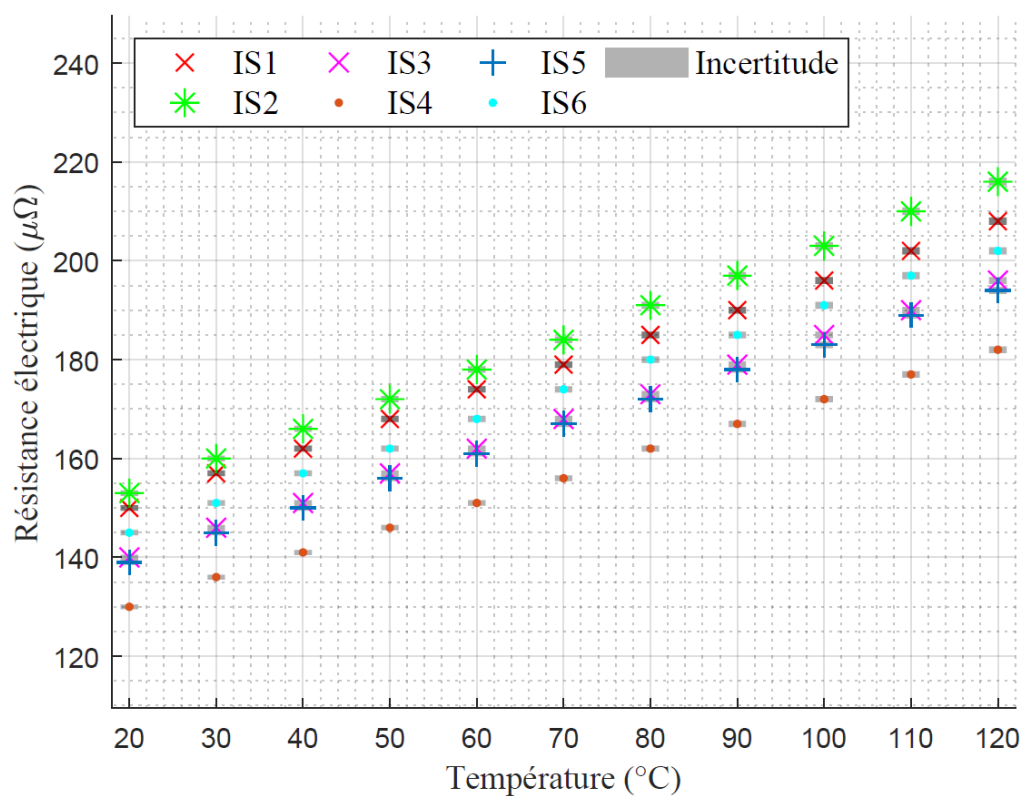
Analyse statistique des mesures de résistance électrique en fonction de la température



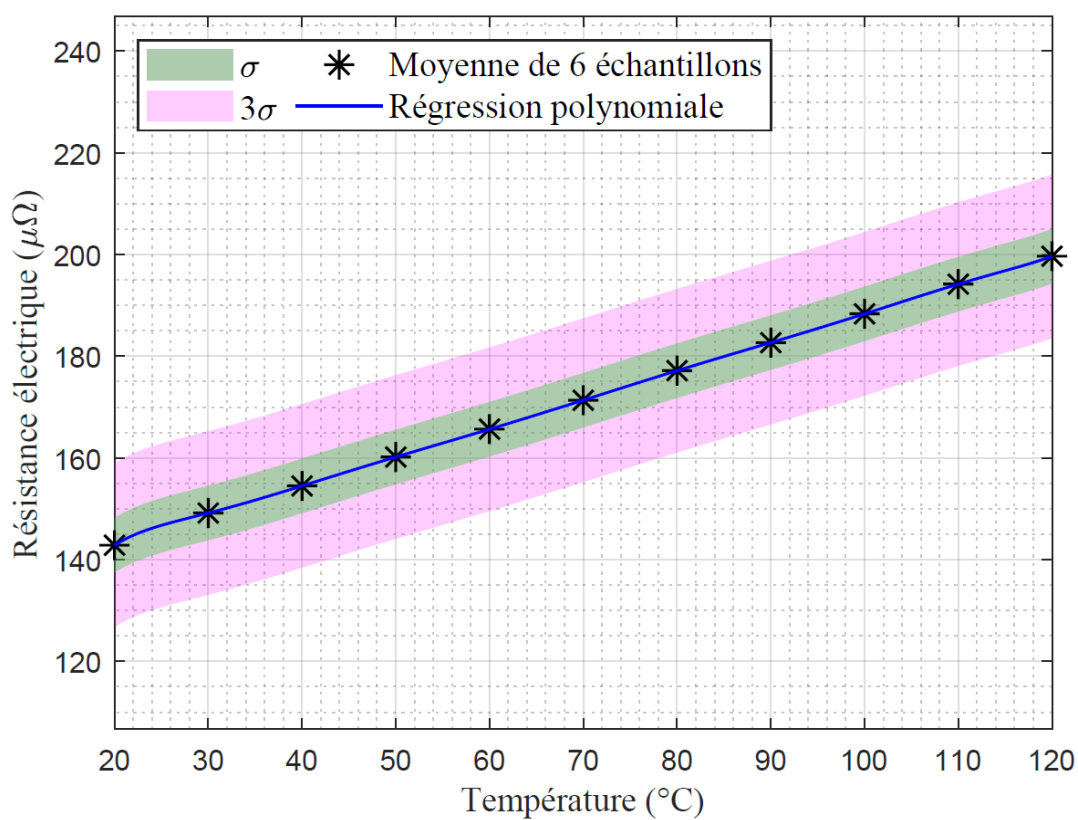
---

## 2.4 La première combinaison bilatérale

Mesure de la résistance électrique en fonction de la température



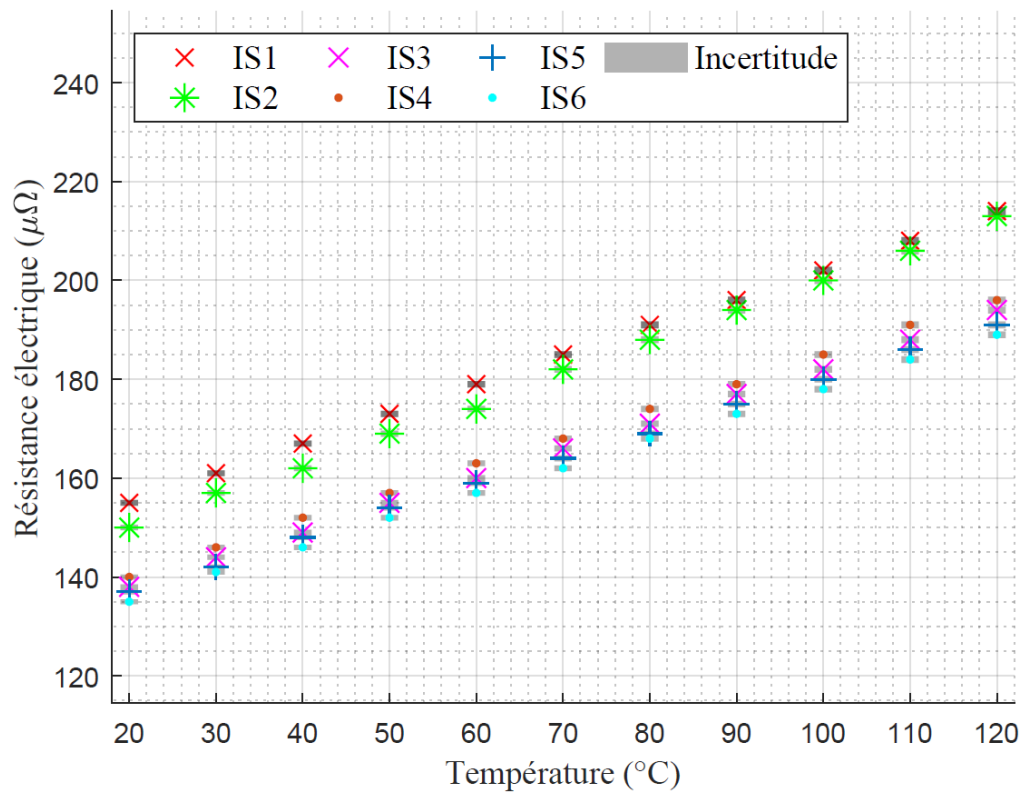
Analyse statistique des mesures de résistance électrique en fonction de la température



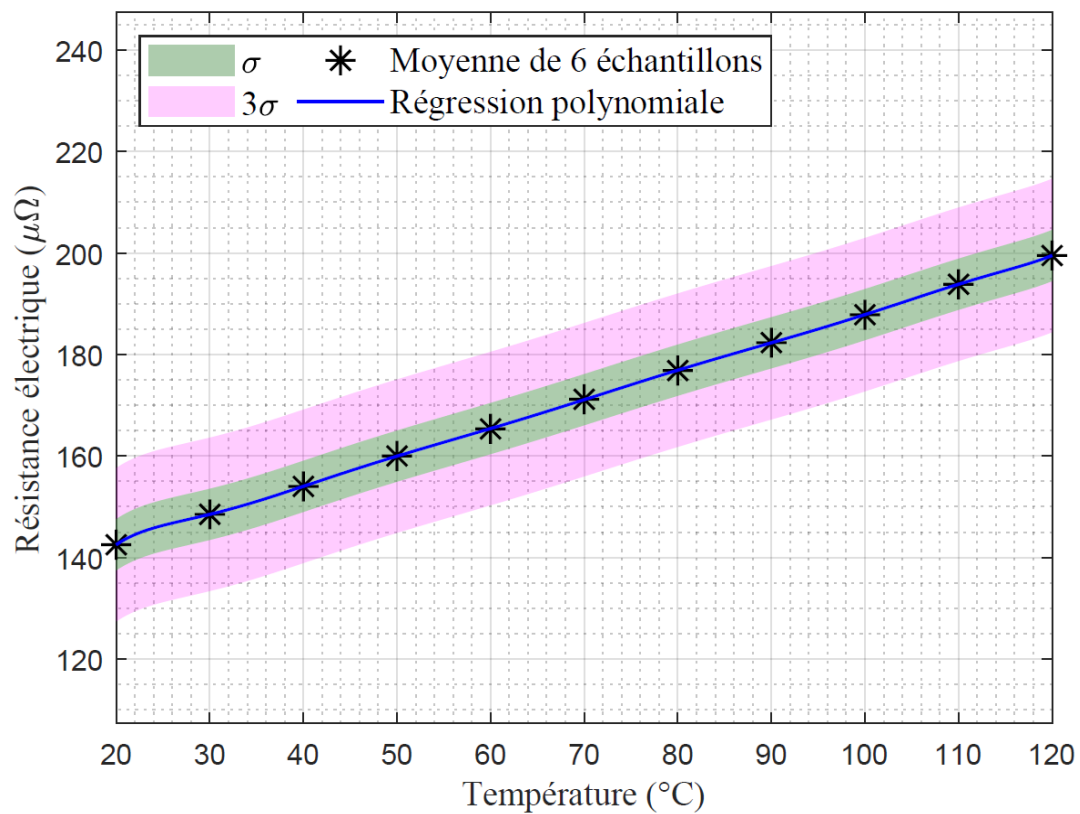
---

## 2.5 La seconde combinaison bilatérale

Mesure de la résistance électrique en fonction de la température



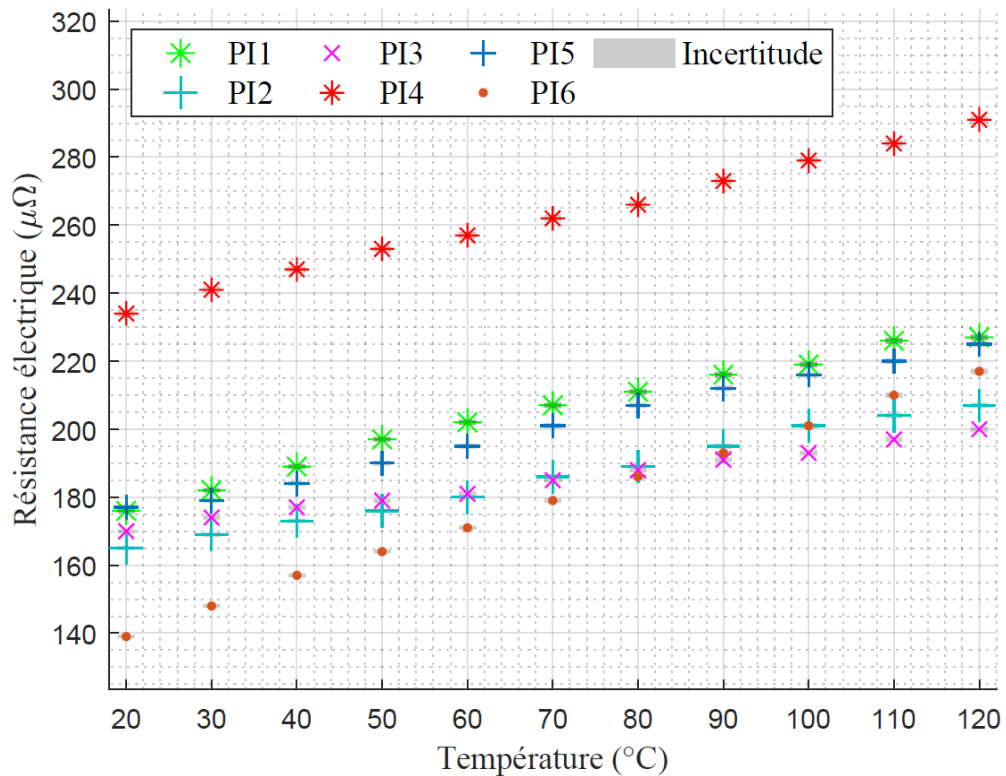
Analyse statistique des mesures de résistance électrique en fonction de la température



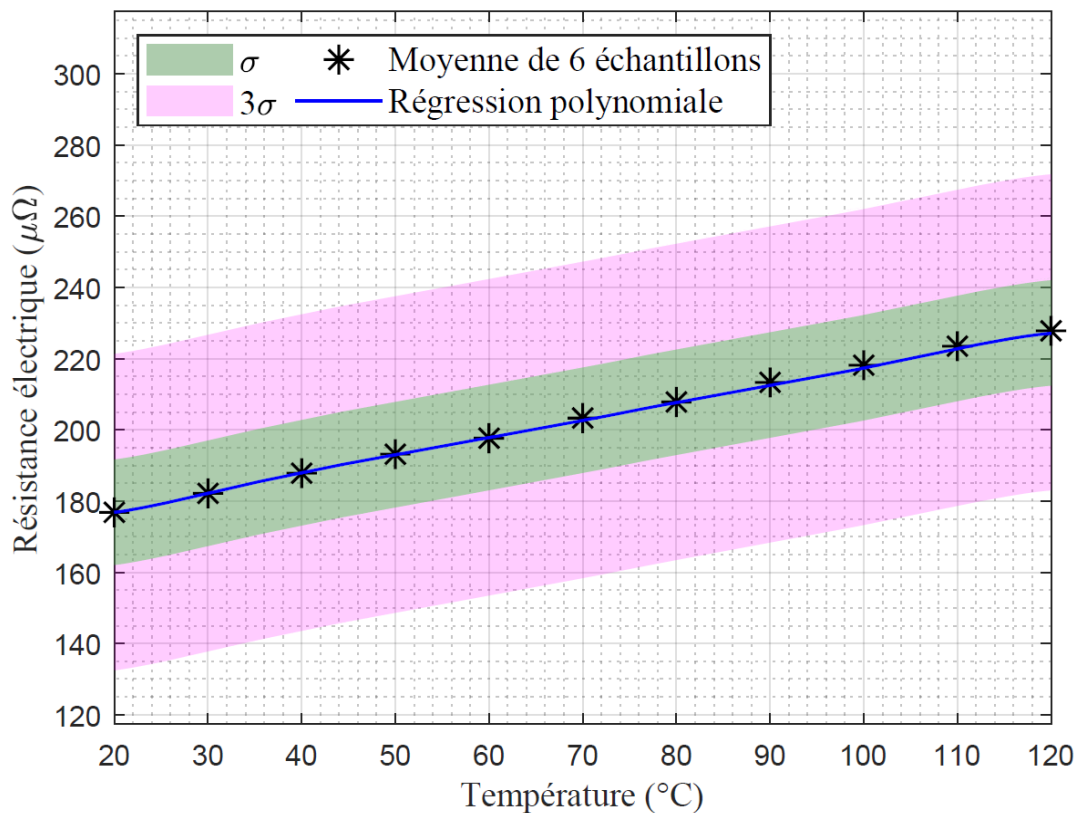
### 3 La résistance électrique des échantillons intégrant une puce interconnectée (PI)

#### 3.1 La combinaison volumique

Mesure de la résistance électrique en fonction de la température



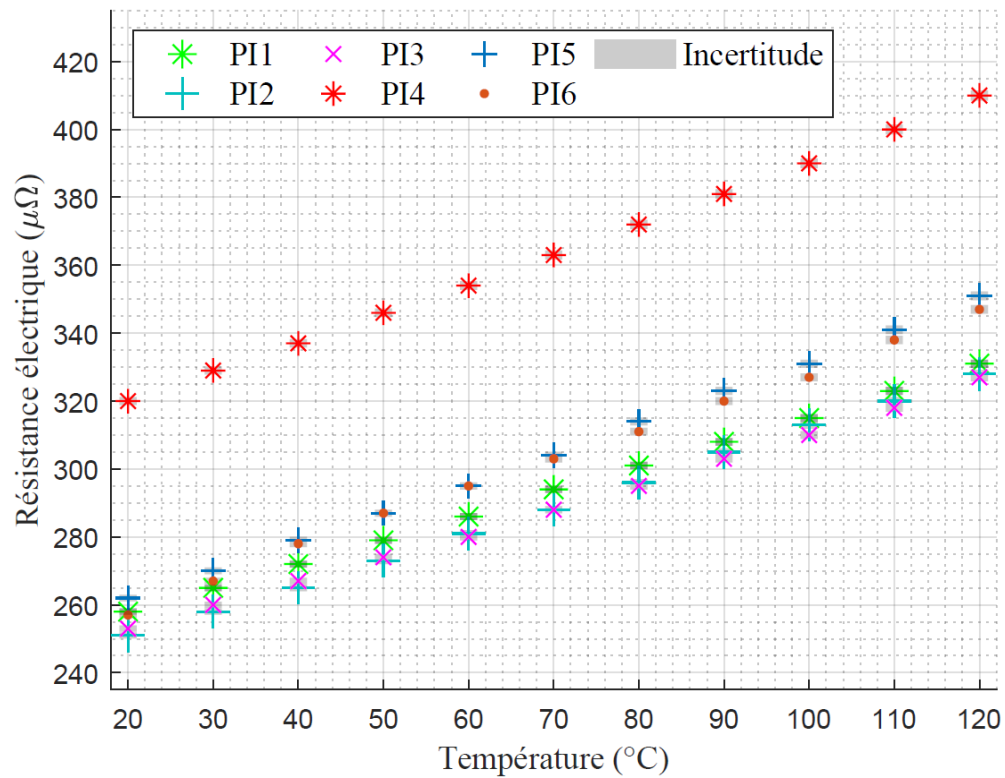
Analyse statistique des mesures de résistance électrique en fonction de la température



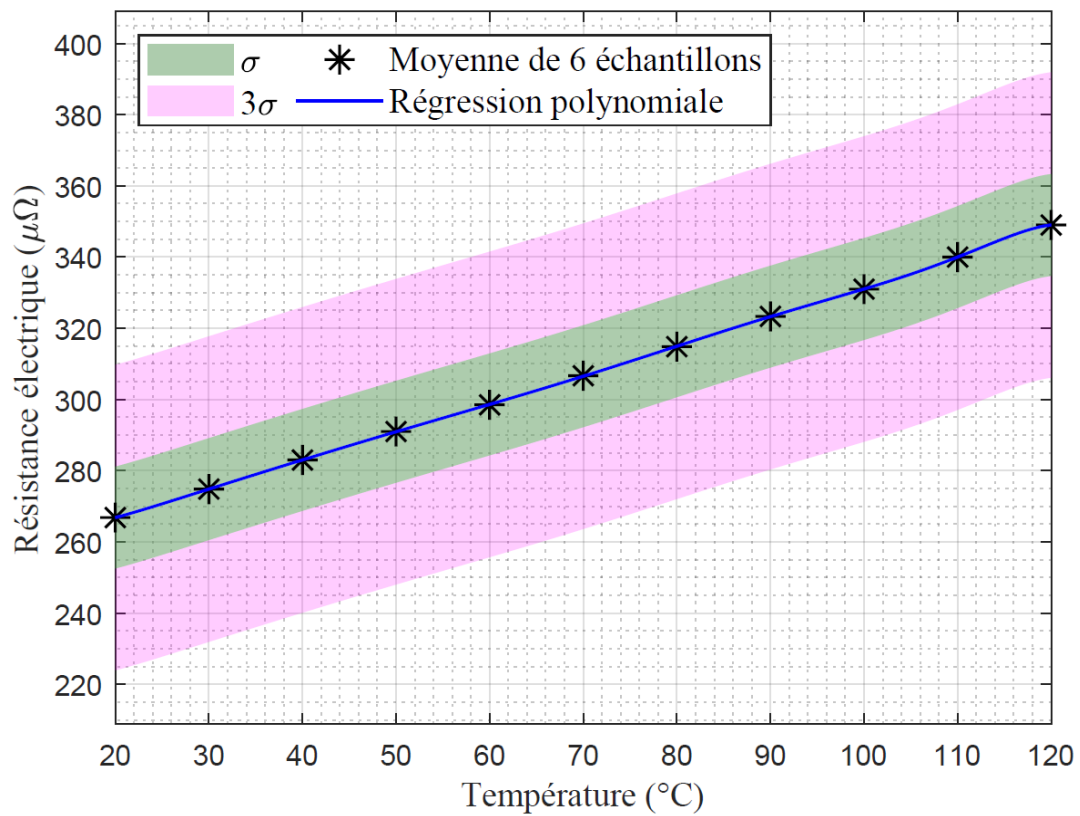


### 3.2 La première combinaison unilatérale

Mesure de la résistance électrique en fonction de la température

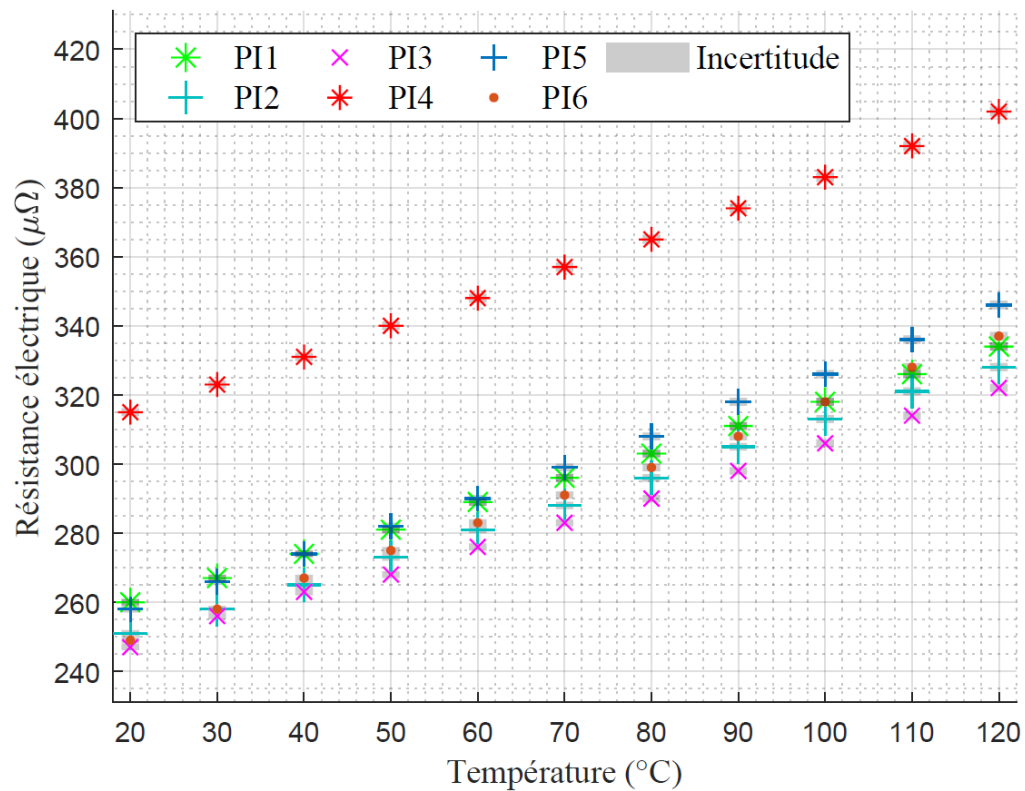


Analyse statistique des mesures de résistance électrique en fonction de la température

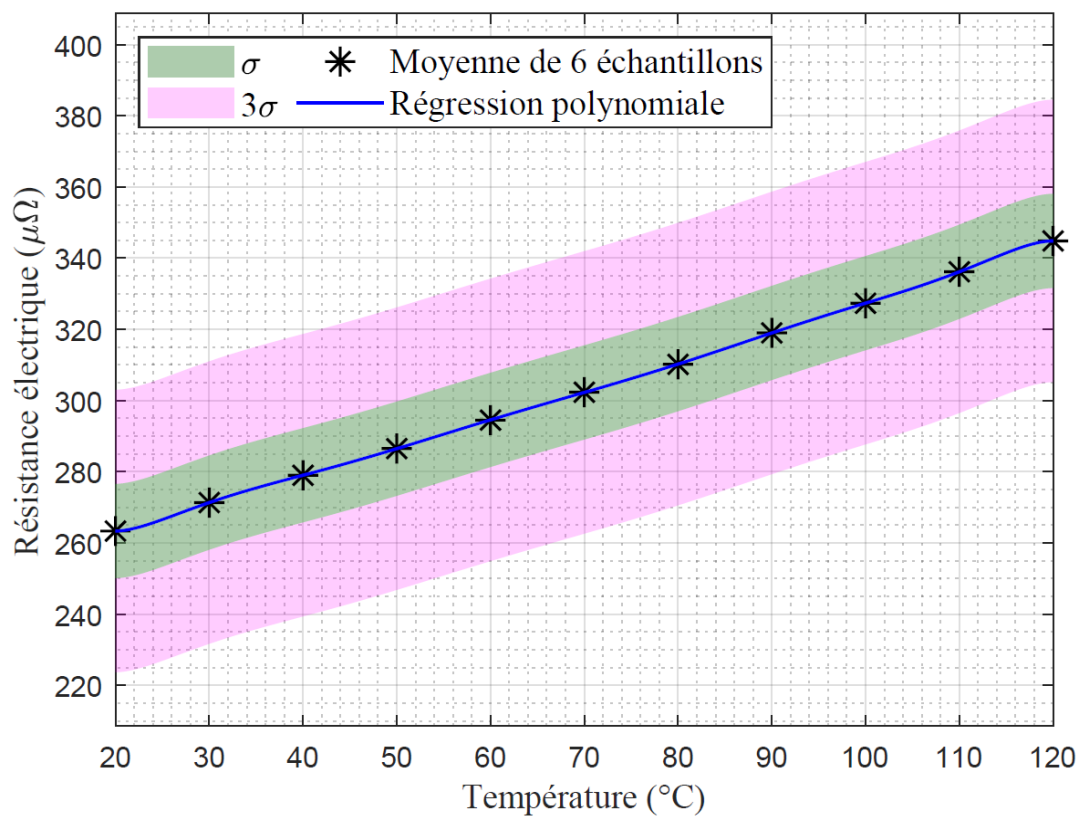


### 3.3 La seconde combinaison unilatérale

Mesure de la résistance électrique en fonction de la température

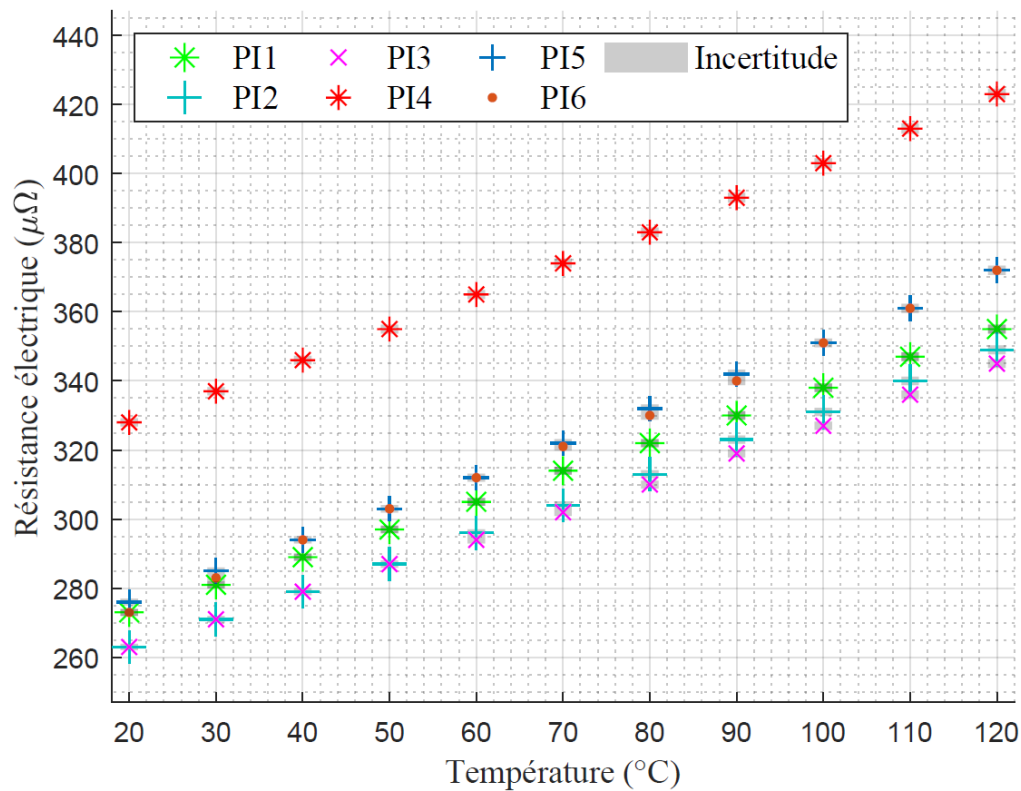


Analyse statistique des mesures de résistance électrique en fonction de la température

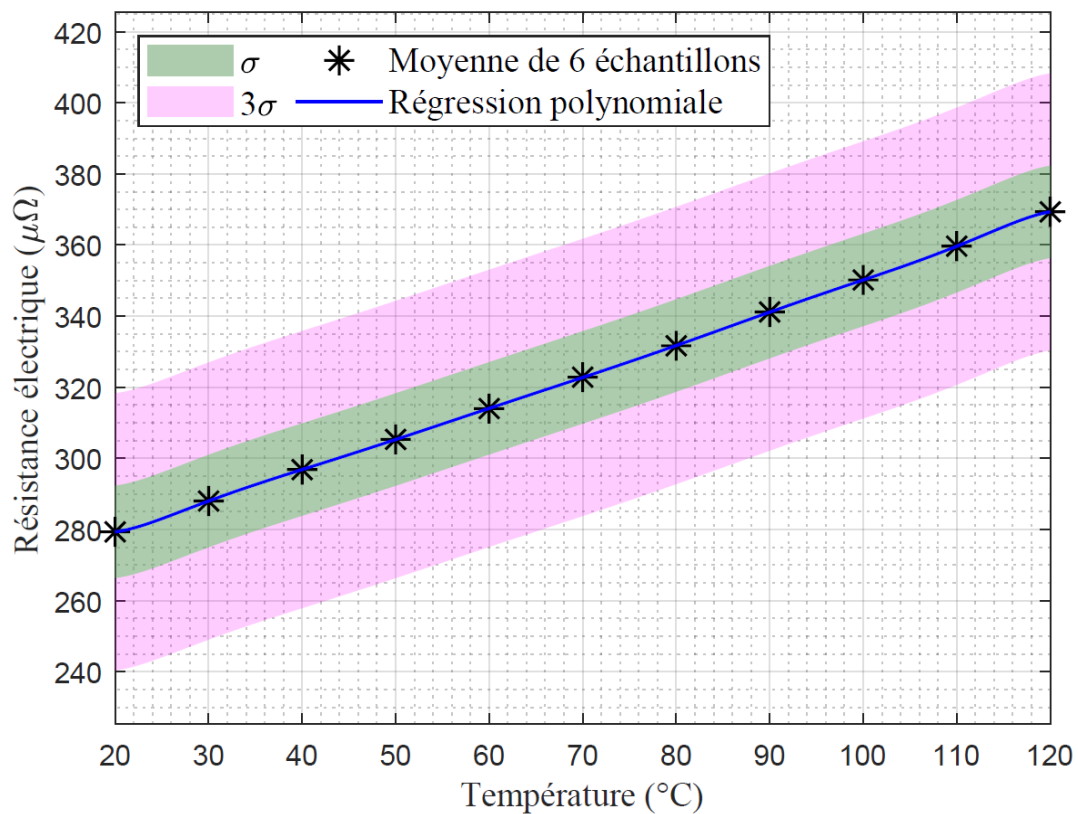


### 3.4 La première combinaison bilatérale

Mesure de la résistance électrique en fonction de la température

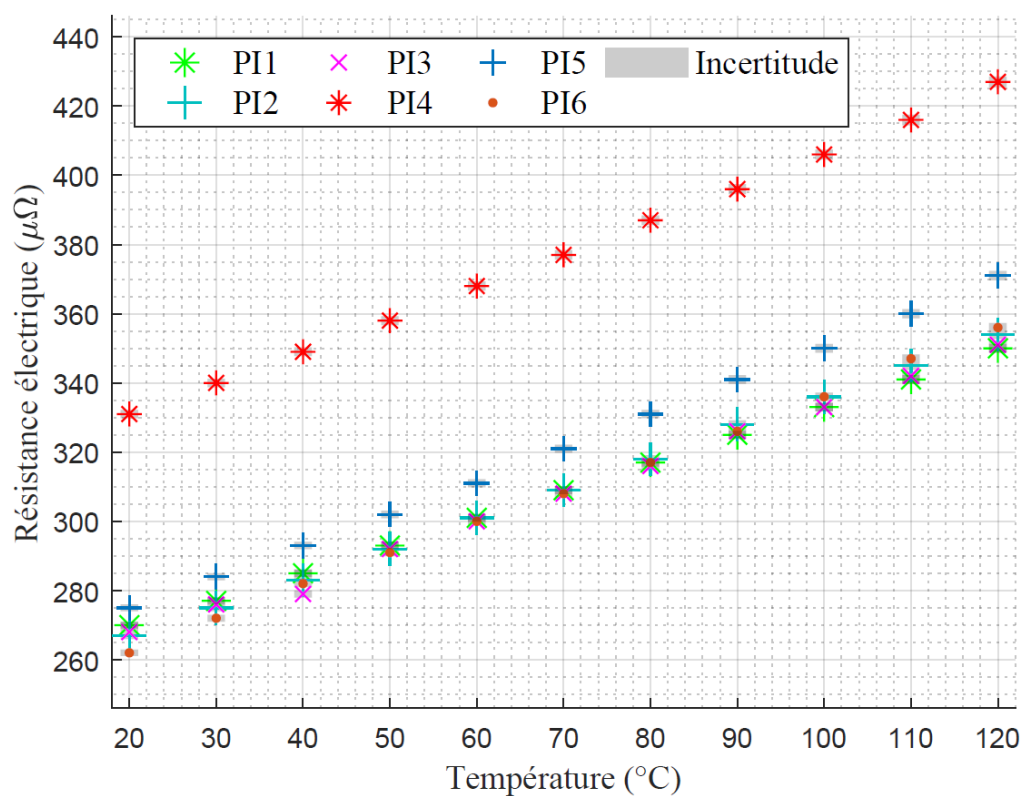


Analyse statistique des mesures de résistance électrique en fonction de la température

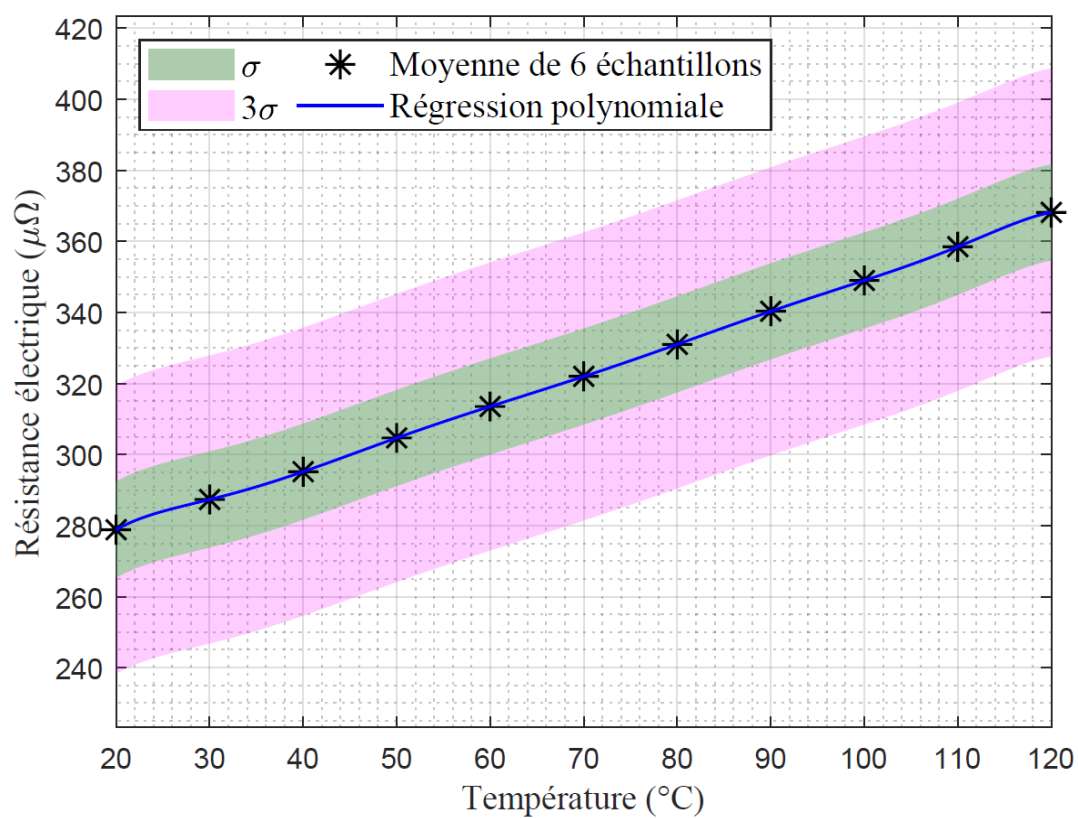


### 3.5 La seconde combinaison bilatérale

Mesure de la résistance électrique en fonction de la température



Analyse statistique des mesures de résistance électrique en fonction de la température



## Bibliographie

- [1] F. Birol, "Key world energy statistics," *IEA*, p. 101, 2019.
- [2] *December 2019 Monthly Energy Review*, vol. 24, no. 6. 2019.
- [3] "Convertisseurs statiques," *CPGE PTSI/PT - Sciences Industrielles de l'Ingénieur, Lycée Jean Zay*, no. 33. p. 31071, 1991.
- [4] HEWITTIC S.A., *Les redresseurs à vapeur de mercure*.
- [5] P. C. HEWITT, "Electric gas lamps and gas electrical resistance phenomena," *Trans. Am. Inst. Electr. Eng.*, 1902.
- [6] E. F. W. Alexanderson and E. L. Phillipi, "History and Development fo the ectronic Power Converter," *Am. Inst. Electr. Eng. Trans.*, vol. 63, no. 9, pp. 654–657, 1944.
- [7] J. Gramels, "Selenium Rectifiers — Factors in Their Application," *Bell Syst. Tech. J.*, 1953.
- [8] N. Holonyak, "The silicon p-n-p-n switch and controlled rectifier (thyristor)," *IEEE Trans. Power Electron.*, 2001.
- [9] J. Camassel and S. Contreras, "Matériaux semiconducteurs à grand gap : le carbure de silicium (SiC)," 2012.
- [10] J.-Y. Duboz, "Matériaux semi-conducteurs à grand gap III-V à base de GaN."
- [11] B. Jayant Baliga, "Trends in Power Semiconductor Devices," 1996.
- [12] R. W. Erickson and D. Maksimovic, *Fundamentals of Power Electronics*, vol. 59. 2001.
- [13] L. M. Tolbert, F. Z. Peng, F. H. Khan, and S. Li, "Switching cells and their implications for power electronic circuits," *2009 IEEE 6th Int. Power Electron. Motion Control Conf. IPEMC '09*, pp. 773–779, 2009.
- [14] C. Buttay, "Électronique de puissance embarquée et packaging," 2016.
- [15] P. Y. Yu and M. Cardona, *Fundamentals of Semiconductors : Physics and Materials Properties*, vol. 28, no. 5–6. 2010.
- [16] L. M. Tolbert, B. Ozpineci, S. K. Islam, and M. S. Chinthavali, "Wide bandgap semiconductors for utility applications," *Proc. IASTED Multi-Conference- Power Energy Syst.*, vol. 7, pp. 317–321, 2003.
- [17] "Comparison of the MOSFET and the BJT," *Oxford Univ. Press*, pp. 1–19, 2015.
- [18] P.-O. Jeannin, "Le transistor MOSFET en Commutation : Application aux Associations Série et Parallèle de Composants à grille isolée," 2006.
- [19] N. Iwamuro, S. Member, and T. Laska, "IGBT History, State-of-the-Art, and Future Prospects," pp. 1–12, 2017.
- [20] D. Risaletto, "Caractérisation électrique en commutation de diodes haute tension en carbure de silicium," no. C, pp. 12–28, 2007.
- [21] I. Batarseh, A. Harb, I. Batarseh, and A. Harb, *Review of Switching Concepts and Power Semiconductor Devices*. 2018.
- [22] IXYS Corporation, "High Voltage Power MOSFET Portfolio IXYS Corporation."
- [23] "IGBT-Die 5SMX 12M6500 Datasheet, ABB Switzerland Ltd Semiconductors," 2005.
- [24] B. Allard *et al.*, "Composants à semi-conducteur de puissance pour des applications à haute température de fonctionnement," *J3eA*, vol. 4, p. 010, 2005.
- [25] K. Shenai, "Future prospects of widebandgap (WBG) semiconductor power switching devices," *IEEE Trans. Electron Devices*, vol. 62, no. 2, pp. 248–257, 2015.
- [26] F. Morancho, "State of the art and trends in power semiconductor devices for optimized power management," 2008.
- [27] J. Millan, P. Godignon, X. Perpina, A. Perez-Tomas, and J. Rebollo, "A survey of wide bandgap power semiconductor devices," *IEEE Trans. Power Electron.*, vol. 29, no. 5, pp. 2155–2163, 2014.
- [28] D. C. Sheridan, D. Y. Lee, A. Ritenour, V. Bondarenko, J. Yang, and C. Coleman, "Ultra-low loss 600V - 1200V GaN power transistors for high efficiency applications," *PCIM Eur. Conf. Proc.*, no. May, pp. 318–324, 2014.
- [29] K. Gopalakrishna, "Frequency characterization of Si, SiC and GaN MOSFETs using buck converter in CCM as an application," 2013.
- [30] C. Buttay *et al.*, "State of the art of High Temperature Power Electronics," 2009.
- [31] B. Allard *et al.*, "Considerations for High Temperature Power Electronics," 2016.
- [32] C. Buttay, "Le Packaging en électronique de puissance," 2015.
- [33] J. W. Kolar, J. Biela, S. Waffler, T. Friedli, and U. Badstuebner, "Performance trends and limitations of power electronic systems," *2010 6th Int. Conf. Integr. Power Electron. Syst. CIPS 2010*, 2011.
- [34] V. Bley, C. Buttay, D. Labrousse, M. Petit, B. Djuric, and Y. Pascal, "Die Interconnection for Power Module 3.0," 2019.
- [35] M. Meisser, M. Schmenger, and T. Blank, "Parasitics in power electronic modules: How parasitic inductance influences switching and how it can be minimized," *PCIM Eur. 2015; Int. Exhib. Conf. Power Electron. Intell. Motion, Renew. Energy Energy Manag. Proc.*, no. May, pp. 19–21, 2015.
- [36] C. Buttay, "Contribution à la conception par la simulation en électronique de puissance : application à l'onduleur basse tension," 2004.
- [37] P. Beckedahl, "Advanced power module packaging for increased operation temperature and power density," *15th Int. Power Electron. Motion Control Conf. Expo. EPE-PEMC 2012 ECCE Eur.*, pp. 41–45, 2012.
- [38] N. Baker, M. Liserre, L. Dupont, and Y. Avenas, "Improved reliability of power modules: A review of online junction



- temperature measurement methods,” *IEEE Ind. Electron. Mag.*, vol. 8, no. 3, pp. 17–27, 2014.
- [39] J. O. Gonzalez *et al.*, “Enabling High Reliability Power Modules: A Multidisciplinary Task,” p. 648794, 2016.
- [40] A. B. Lostetter, F. Barlow, and A. Elshabini, “Integrated Power Modules (IPMs), a novel MCM approach to high power electronics design and packaging,” *Int. J. Microcircuits Electron. Packag.*, vol. 21, no. 3, pp. 274–278, 1998.
- [41] B. Mouawad, “Assemblages innovants en électronique de puissance utilisant la technique de Spark Plasma Sintering,” 2013.
- [42] E. C. S. Pietranico, S. Pommier, S. Lefebvre, Z. Khatir, S. Bontemps, “Study of ageing of the metallization layer of power semiconductor devices,” *Sci. York*, no. May, pp. 4–6, 2010.
- [43] S. Salkalachen, N. H. Krishnan, S. Krishnan, H. B. Satyamurthy, and K. S. Srinivas, “Edge Passivation and Related Electrical Stability in Silicon Power Devices,” *IEEE Trans. Semicond. Manuf.*, vol. 3, no. 1, pp. 12–17, 1990.
- [44] W. W. Sheng and R. P. Colino, *Power Electronic Modules: Design and Manufacture*. 2004.
- [45] D. Kim, Y. Yamamoto, S. Nagao, N. Wakasugi, C. Chen, and K. Suganuma, “Measurement of Heat Dissipation and Thermal-Stability of Power Modules on DBC Substrates with Various Ceramics by SiC Micro-Heater Chip System and Ag Sinter Joining,” *Micromachines*, vol. 10, no. 11, p. 745, 2019.
- [46] Z. Jouini, Z. Valdez-Nava, and D. Malec, “Failure Analysis of Ceramic Substrates Used in High Power IGBT Modules,” *Engineering*, vol. 08, no. 09, pp. 561–571, 2016.
- [47] R. De Doncker, J. Lutz, U. Scheuermann, and H. Schlangenotto, “Semiconductor Power Devices: Physics, Characteristics, Reliability,” no. january, 2011.
- [48] A. Ben Kabaar, C. Buttay, O. Dezellus, R. Estevez, A. Gravouil, and L. Gremillard, “Characterization of materials and their interfaces in a direct bonded copper substrate for power electronics applications,” *Microelectron. Reliab.*, vol. 79, pp. 288–296, 2017.
- [49] A. Berget, “Relation entre les conductibilités électrique et thermique des métaux,” *J. Phys. Théorique Appliquée*, vol. 9, no. 1, pp. 135–138, 1890.
- [50] S. Kraft, A. Schletz, and M. Maerz, “Reliability of silver sintering on DBC and DBA substrates for power electronic applications,” *2012 7th Int. Conf. Integr. Power Electron. Syst. CIPS 2012*, pp. 6–8, 2012.
- [51] B. Boettge, S. Klengel, J. Schischka, G. Lorenz, and H. Knoll, “Microstructural and mechanical characterization of ceramic substrates with different metallization for power applications,” *2012 7th Int. Conf. Integr. Power Electron. Syst. CIPS 2012*, vol. 9, pp. 3–8, 2012.
- [52] J. Schulz-Harder, “Advantages and new development of direct bonded copper substrates q,” vol. 43, pp. 359–365, 2003.
- [53] J. P. Sommer, R. Bayerer, R. Tschirbs, and B. Michel, “Base plate shape optimisation for high-power IGBT Modules,” *2008 5th Int. Conf. Integr. Power Syst. CIPS 2008*, pp. 2–5, 2008.
- [54] Y. Zhang, I. Belov, M. Bakowski, J. K. Lim, P. Leisner, and H. P. Nee, “Investigation of a finned baseplate material and thickness variation for thermal performance of a SiC power module,” *2014 15th Int. Conf. Therm. Mech. Multi-Physics Simul. Exp. Microelectron. Microsystems, EuroSimE 2014*, pp. 1–8, 2014.
- [55] F. Kato, H. Nakagawa, H. Yamaguchi, and H. Sato, “Thermal resistance evaluation by high-temperature transient thermal analysis method for SiC power modules Fumiki,” pp. 214–217, 2016.
- [56] M. a Occhionero, R. a Hay, R. W. Adams, K. P. Fennessy, and S. W. Street, “Aluminum Silicon Carbide (AlSiC) for Thermal Management Solutions and Functional Packaging Designs,” no. November, pp. 1–6, 1998.
- [57] A. Olson, “What are Intermetallics and How Can We Overcome the Failures Associated with Them?,” *STI Electron.*, vol. 35758, no. 256, 2009.
- [58] A. Syed-khaja, “Diffusion Soldering for High-temperature Packaging of Power Electronics,” 2018.
- [59] F. De Baillenx, “Equipements électriques et électroniques Directive ROHS : les échéances du 22 juillet 2019,” vol. 33, no. 0, pp. 1–7, 2019.
- [60] V. R. Manikam and K. Y. Cheong, “Die attach materials for high temperature applications: A review,” *IEEE Trans. Components, Packag. Manuf. Technol.*, vol. 1, no. 4, pp. 457–478, 2011.
- [61] S. Wen, “Thermal and Thermo-Mechanical Analyses of Wire Bond vs. Three-dimensionally Packaged Power Electronics Module,” 1999.
- [62] M. Ciappa, “Selected failure mechanisms of modern power modules,” 2002.
- [63] L. Ménager and B. Allard, “Conditionnement des modules de puissance.”
- [64] T. Şenyıldız, R. Eisele, and K. Olesen, “Thermal Management Concepts for Power Electronic Modules,” *Danfoss Silicon Power GmbH*, no. June, pp. 1–6, 2006.
- [65] K. B. Pedersen, D. Benning, P. K. Kristensen, V. N. Popok, and K. Pedersen, “Interface structure and strength of ultrasonically wedge

- bonded heavy aluminium wires in Si-based power modules,” *J. Mater. Sci. Mater. Electron.*, vol. 25, no. 7, pp. 2863–2871, 2014.
- [66] Y. Yao, Z. Chen, G. Q. Lu, D. Boroyevich, and K. D. T. Ngo, “Characterization of encapsulants for high-voltage high-temperature power electronic packaging,” *IEEE Trans. Components, Packag. Manuf. Technol.*, vol. 2, no. 4, pp. 539–547, 2012.
- [67] S. Cailhol *et al.*, “Modélisation thermo-mécanique de matériaux encapsulants en électronique de puissance,” 2016.
- [68] H. Reynes, C. Buttay, and H. Morel, “Protruding ceramic substrates for high voltage packaging of wide bandgap semiconductors,” *2017 IEEE 5th Work. Wide Bandgap Power Devices Appl. WiPDA 2017*, vol. 2017-Decem, pp. 404–410, 2017.
- [69] A. Fukumoto, D. Berry, K. D. T. Ngo, S. Member, G. Lu, and S. Member, “Effects of Extreme Temperature Swings Active Metal Brazing Substrates,” vol. 14, no. 2, pp. 751–756, 2014.
- [70] L. Dupont, Z. Khatir, S. Lefebvre, S. Bontemps, and R. Meuret, “Evaluation de technologies de substrats céramiques sous des cyclages en température de forte amplitude,” *Rev. Int. génie électrique*, vol. 10, no. 5, pp. 625–639, 2007.
- [71] R. Reicher, W. Smetana, J. C. Schuster, and A. Adlaßnig, “A fritless copper conductor system for power electronic applications,” *Microelectron. Reliab.*, vol. 41, no. 4, pp. 491–498, 2001.
- [72] J. Schulz-harder, “Advanced DBC ( Direct Bonded Copper ) Substrates for High Power and High Voltage Electronics,” pp. 6–7, 2006.
- [73] ON Semiconductor, “Insulated Metal Substrate Technology (IMST),” pp. 1–7, 2014.
- [74] S. Asai, M. Funaki, H. Sawa, and K. Kato, “Fabrication of an Insulated Metal Substrate (IMS), Having an Insulating Layer with a High Dielectric Constant,” *IEEE Trans. Components, Hybrids, Manuf. Technol.*, 1993.
- [75] C. Van Godbold, V. A. Sankaran, and J. L. Hudgins, “Thermal analysis of high-power modules,” *IEEE Trans. Power Electron.*, vol. 12, no. 1, pp. 3–11, 1997.
- [76] H. K. Yun, K. Cho, J. H. An, and C. E. Park, “Adhesion improvement of copper/epoxy joints,” *J. Mater. Sci.*, vol. 27, no. 21, pp. 5811–5817, 1992.
- [77] N. G. | S. no. 7, “Insulated Metal Substrate.”
- [78] D. Manners, “Chip-on-Heatsink game-changer,” *Electron. Wkly.*, pp. 3–5, 2013.
- [79] “Electronic Applications Division CeramCool® The Ceramic System for High Power Packaging Wherever things get hot.”
- [80] “Innovative Thermal Management with Ceramic Heat-Sinks,” *CeramTec*, pp. 3–5.
- [81] A. Masson, C. Buttay, H. Morel, C. Raynaud, S. Hascoet, and L. Gremillard, “High-Temperature Die-Attaches for SiC Power Devices.”
- [82] N. S. Nobeen *et al.*, “Transient liquid phase (TLP) bonding using Sn/Ag multilayers for high temperature applications,” *Proc. 2013 IEEE 15th Electron. Packag. Technol. Conf. EPTC 2013*, pp. 647–652, 2013.
- [83] B. J. Grummel, Z. J. Shen, H. A. Mustain, and A. R. Hefner, “Thermo-mechanical characterization of au-in transient liquid phase bonding die-attach,” *IEEE Trans. Components, Packag. Manuf. Technol.*, vol. 3, no. 5, pp. 716–723, 2013.
- [84] W. C. Welch, J. Chae, and K. Najafi, “Transfer of metal MEMS packages using a wafer-level solder transfer technique,” *IEEE Trans. Adv. Packag.*, vol. 28, no. 4, pp. 643–649, 2005.
- [85] B. S. Lee, S. K. Hyun, and J. W. Yoon, “Cu–Sn and Ni–Sn transient liquid phase bonding for die-attach technology applications in high-temperature power electronics packaging,” *J. Mater. Sci. Mater. Electron.*, vol. 28, no. 11, pp. 7827–7833, 2017.
- [86] S. W. Yoon, M. D. Glover, and K. Shiozaki, “Nickel-tin transient liquid phase bonding toward high-temperature operational power electronics in electrified vehicles,” *IEEE Trans. Power Electron.*, vol. 28, no. 5, pp. 2448–2456, 2013.
- [87] S. Hausner, S. Weis, B. Wielage, and G. Wagner, “Low temperature joining of copper by Ag nanopaste: correlation of mechanical properties and process parameters,” *Weld. World*, vol. 60, no. 6, pp. 1277–1286, 2016.
- [88] C. Mertens, J. Rudzki, and R. Sittig, “Top-side chip contacts with low temperature joining technique (LTJT),” in *PESC Record - IEEE Annual Power Electronics Specialists Conference*, 2004.
- [89] R. Amro, J. Lutz, and O. U. Magdeburg-germany, “Double-Sided Low-Temperature Joining Technique for Power Cycling Capability at High Temperature.”
- [90] Heraeus, “New Products: mAgic PE338.”
- [91] Heraeus, “Say hello to mAgic a new era in power electronics.”
- [92] Heraeus, “Heraeus mAgic Sinter Paste for Power Electronics.”
- [93] J. Rudzki, F. Osterwald, M. Bast, and R. Eisele, “Evolution of Sinter Paste Time Story of the Sintering Technology,” 2019.
- [94] W. S. Hong, M. S. Kim, D. Kim, and C. Oh, “Silver Sintered Joint Property Between Silicon Carbide Device and Ceramic Substrate for Electric Vehicle Power Module,” *J. Electron. Mater.*, vol. 48, no. 1, pp. 122–134, 2019.
- [95] G. Q. Lu, J. N. Calata, G. Lei, and X. Chen, “Low-temperature and pressureless sintering technology for high-performance and hightemperature interconnection of semiconductor devices,” in *EuroSime 2007: International Conference on Thermal, Mechanical and Multi-Physics Simulation*

- 
- Experiments in Microelectronics and Micro-Systems, 2007, 2007.*
- [96] S. Haumann, J. Rudzki, F. Osterwald, M. Becker, and R. Eisele, "Novel bonding and joining technology for power electronics - Enabler for improved lifetime, reliability, cost and power density," *Conf. Proc. - IEEE Appl. Power Electron. Conf. Expo. - APEC*, pp. 622–626, 2013.
- [97] R. Schmidt, C. König, and P. Prenosil, "Novel wire bond material for advanced power module packages," *Microelectron. Reliab.*, vol. 52, no. 9–10, pp. 2283–2288, 2012.
- [98] S. Park, S. Nagao, T. Sugahara, and K. Suganuma, "Heavy Ribbon Wire Bonding for Advanced Power Module Packages," no. c, pp. 480–481, 2013.
- [99] R. Gilardoni, "Ribbon Bonding for High Frequency Applications Advantages of Ribbon and the Impact on the Microwave Market."
- [100] S. Behrendt *et al.*, "Feasibility of copper-based ribbon bonding as an assembly method for advanced power modules," *PCIM Eur. Conf. Proc.*, no. 225809, pp. 491–498, 2018.
- [101] C. Luechinger *et al.*, "Aluminum-Copper Ribbon Interconnects for Power Devices," *IEEE Trans. Components, Packag. Manuf. Technol.*, vol. 7, no. 9, pp. 1567–1577, 2017.
- [102] H. Mitsudome *et al.*, "Partial discharge inception voltage of pressurized gas insulation encapsulation used for high-temperature and high-voltage power module," *Proc. Int. Conf. Power Electron. Drive Syst.*, vol. 2015-Augus, no. June, pp. 118–121, 2015.
- [103] Y. Kaji *et al.*, "Novel IGBT Modules with Epoxy Resin Encapsulation and Insulating Metal Baseplate," pp. 475–478, 2016.
- [104] K. Ohara, H. Masumoto, T. Takahashi, M. Matsumoto, and Y. Otsubo, *A New IGBT Module with Insulated Metal Baseplate(IMB) and 7th Generation Chips*. 2015.
- [105] T. Radke, K. Masuda, and M. E. E. B. V, "7 th Gen . IGBT and Diode Chipset Enabling Highest Performance Power Modules," no. June, pp. 4–6, 2015.
- [106] E. Motto *et al.*, "Latest progress in power modules for appliance inverter applications," *Conf. Rec. - IAS Annu. Meet. (IEEE Ind. Appl. Soc.)*, vol. 3, no. c, pp. 1222–1228, 2006.
- [107] Mitsubishi Electric Corporation, "7th Generation IGBT Module T / T1-Series Application Note," 2018.
- [108] S. Davis, "Power Management Chapter 11: Wide Bandgap Semiconductors," *PowerElectronics.*, 2018.
- [109] C. Buttay, "Modules et boîtiers de puissance (packaging)," *Tech. l'Ingénieur*, vol. D3116, no. 0, pp. 1–18, 2010.
- [110] C. Martin, L. Menager, B. Allard, L. Guichon, and L. Schanen, "Importance of interconnect in integrated power systems," in *International Conference on Integrated Power Systems*, 2006.
- [111] K. C. Nwanoro, H. Lu, C. Yin, and C. Bailey, "Computer simulation of the reliability of wire bonds and ribbon bonds in power electronics modules," in *2017 23rd International Workshop on Thermal Investigations of ICs and Systems (THERMINIC)*, 2017.
- [112] H. Morel, "Vers une methodologie de conception des interconnexions pour les dispositifs de l' electronique de puissance To cite this version : HAL Id: tel-00010823," 2005.
- [113] K. Xing, F. C. Lee, and D. Boroyevich, "Extraction of Parasitics within Wire-Bond IGBT Modules," *Current*, pp. 497–503, 1998.
- [114] M. Ishiko, M. Usui, T. Ohuchi, and M. Shirai, "Design concept for wire-bonding reliability improvement by optimizing position in power devices," *Microelectronics J.*, 2006.
- [115] A. Hamidi, S. Kaufmann, and E. Herr, "Increased lifetime of wire bonding connections for IGBT power modules," *Conf. Proc. - IEEE Appl. Power Electron. Conf. Expo. - APEC*, vol. 2, pp. 1040–1044, 2001.
- [116] M. Ciappa, "Selected failure mechanisms of modern power modules," 2002.
- [117] F. Kawashiro, Y. Endo, T. Tonedachi1, and H. Nishikawa, "Investigation of connecting techniques for high temperature application on power modules," pp. 378–381, 2016.
- [118] C. Durand, M. Klingler, M. Bigerelle, and D. Coutellier, "Solder fatigue failures in a new designed power module under Power Cycling," *Microelectron. Reliab.*, vol. 66, no. October 2018, pp. 122–133, 2016.
- [119] S. H. Tran, L. Dupont, and Z. Khatir, "Solder void position and size effects on electro thermal behaviour of MOSFET transistors in forward bias conditions," *Microelectron. Reliab.*, vol. 54, no. 9–10, pp. 1921–1926, 2014.
- [120] S. W. Guo, Y. W. Huang, and H. K. Liao, "High reliability lead free solder evaluations in power module application," *Proc. Tech. Pap. - Int. Microsystems, Packag. Assem. Circuits Technol. Conf. IMPACT*, vol. 2017-Octob, pp. 295–298, 2017.
- [121] T. Y. Hung, C. J. Huang, C. C. Lee, C. C. Wang, K. C. Lu, and K. N. Chiang, "Investigation of solder crack behavior and fatigue life of the power module on different thermal cycling period," *Microelectron. Eng.*, vol. 107, pp. 125–129, 2013.
- [122] T. Herboth, M. Guenther, A. Fix, and J. Wilde, "Failure mechanisms of sintered silver interconnections for power electronic applications," *Proc. - Electron. Components Technol. Conf.*, pp. 1621–1627, 2013.
- [123] Y. Liu, H. Zhang, L. Wang, X. Fan, G. Zhang, and F. Sun, "Effect of sintering pressure on the porosity and the shear strength of the pressure-assisted silver sintering bonding," *IEEE Trans. Device Mater. Reliab.*, vol. 18, no. 2, pp. 240–246, 2018.
-

- 
- [124] J. Carr, X. Milhet, P. Gadaud, S. A. E. Boyer, G. E. Thompson, and P. Lee, "Quantitative characterization of porosity and determination of elastic modulus for sintered micro-silver joints," *J. Mater. Process. Technol.*, vol. 225, pp. 19–23, 2015.
- [125] C. Chen and K. Suganuma, "Microstructure and mechanical properties of sintered Ag particles with flake and spherical shape from nano to micro size," *Mater. Des.*, vol. 162, pp. 311–321, 2019.
- [126] K. Guth *et al.*, "New assembly and interconnect technologies for power modules," vol. 9, pp. 3–7, 2012.
- [127] A. W. D. Macdonald and T. W. Eagar, "TRANSIENT LIQUID PHASE BONDING PROCESSES."
- [128] A. Masson *et al.*, "High-temperature die-attaches for SiC power devices To cite this version : High-Temperature Die-Attaches for SiC Power Devices," 2012.
- [129] M. Berth, "Partial discharge behaviour of power electronic packaging insulation," *Proc. Int. Symp. Electr. Insul. Mater.*, pp. 565–568, 1998.
- [130] U. Waltrich, C. F. Bayer, M. Reger, and A. Schletz, "Enhancement of the Partial Discharge Inception by Trench Coating," pp. 536–541, 2016.
- [131] N. Wang, I. Cotton, J. Robertson, S. Follmann, K. Evans, and D. Newcombe, "Partial discharge control in a power electronic module using high permittivity non-linear dielectrics," *IEEE Trans. Dielectr. Electr. Insul.*, vol. 17, no. 4, pp. 1319–1326, 2010.
- [132] L. Dupont, Z. Khatir, S. Lefebvre, and S. Bontemps, "Effects of metallization thickness of ceramic substrates on the reliability of power assemblies under high temperature cycling," *Microelectron. Reliab.*, vol. 46, no. 9–11, pp. 1766–1771, 2006.
- [133] Y. Chenjiang, "Technologies de fabrication pour les convertisseurs de puissance intégrés," 2016.
- [134] L. Dupont, "Contribution à l'étude de la durée de vie des assemblages de puissance dans des environnements haute température et avec des cycles thermiques de grande amplitude."
- [135] H. Lu, S. Ridout, C. Bailey, W. S. Loh, A. Pearl, and M. Johnson, "Computer simulation of crack propagation in power electronics module solder joints," *Proceedings, 2008 Int. Conf. Electron. Packag. Technol. High Density Packag. ICEPT-HDP 2008*, 2008.
- [136] J. Kim, "Analysis of direct-soldered power module/heat sink thermal interface for electric vehicle applications," 2001.
- [137] B. W. Rusche, N. Heuck, and I. T. Ag, "Lifetime Analysis of PrimePACK<sup>TM</sup> Modules with IGBT5 and . XT," no. July, 2016.
- [138] M. A. Eleffendi, L. Yang, P. Agyakwa, and C. Mark Johnson, "Quantification of cracked area in thermal path of high-power multi-chip modules using transient thermal impedance measurement," *Microelectron. Reliab.*, vol. 59, pp. 73–83, 2016.
- [139] H. Lu, C. Bailey, and L. Mills, "Impact of uneven solder thickness on IGBT substrate reliability," *Proc. - Electron. Components Technol. Conf.*, vol. 2015-July, pp. 1888–1893, 2015.
- [140] K. HAYASHI, G. IZUTA, K. MURAKAMI, Y. UEGAI, and H. TAKAO, "Improvement of Fatigue Life of Solder Joints by Thickness Control of Solder with Wire Bump Technique," pp. 1469–1474, 2002.
- [141] BERGQUIST, "Thermally Conductive Interface Materials for Cooling Electronic Assemblies® Sil-Pad," 2002.
- [142] T. Semenic, A. Bhunia, N. Gollhardt, G. Morris, and R. Lukaszewski, "Low thermal resistance thermal pad for power converter modules," *Proc. Int. Conf. Power Electron. Drive Syst.*, vol. 2017-Decem, no. December, pp. 453–455, 2018.
- [143] P. Drexhage, "Thermal Paste Application Note SEMIKRON," 2018.
- [144] R. Caillaud, "Integration of a 3.3 kW, AC/DC Bidirectional Converter using Printed Circuit Board Embedding Technology," 2019.
- [145] I. C. Kizilyalli, E. P. Carlson, D. W. Cunningham, J. S. Manser, and A. Y. Liu, "Wide Band-Gap Semiconductor Based Power Electronics for Energy Efficiency," 2018.
- [146] J.-L. Sanchez and F. Moranco, "Composants semi-conducteurs: Intégration de puissance monolithique," *Tech. l'Ingenieur*, 2007.
- [147] W. Pribyl, "Integrated Smart Power Circuits Technology, Design and Application," *Solid-State Circuits Conf. 1996. ESSCIRC '96. Proc. 22nd Eur.*, no. August, pp. 19–26, 1996.
- [148] D. Disney, T. Letavic, T. Trajkovic, T. Terashima, and A. Nakagawa, "High-Voltage Integrated Circuits: History, State of the Art, and Future Prospects," *IEEE Trans. Electron Devices*, 2017.
- [149] International Rectifier, "Power Conversion Processor Tm Architecture and Hvic Products for Motor Drive," no. Figure 1, pp. 1–21.
- [150] J.-P. Lainé, "Mécanismes d'injection de porteurs minoritaires dans les circuits intégrés de puissance et structures de protections associées," 2003.
- [151] E. Findlay and F. Udrea, "Reverse-Conducting Insulated Gate Bipolar Transistor: A Review of Current Technologies," *IEEE Trans. Electron Devices*, vol. 66, no. 1, pp. 219–231, 2019.
- [152] A. Lale, A. Bourennane, and F. Richardeau, "RC-IGBT-thyristor structure having trenches filled with dielectric on the backside: Physical analysis and application to the integration of a multiphase generic power converter using the 'two-chip' approach," *2015 17th Eur. Conf. Power Electron. Appl. EPE-ECCE Eur. 2015*, 2015.
-

- 
- [153] A. Lale, "Architectures d'intégration mixte monolithique-hybride de cellules de commutation de puissance sur puces multi-pôles silicium et assemblages optimisés," 2017.
- [154] A. Lale *et al.*, "A generic Reverse Conducting IGBT structure for monolithic switching cells integration," 2015.
- [155] R. Reiner *et al.*, "Monolithic GaN-on-Si Half-Bridge Circuit with Integrated Freewheeling Diodes."
- [156] A. El Khadiry, A. Bourennane, M. Breil, and F. Richardeau, "A Single-chip Integration Approach of Switching Cells Suitable for Medium Power Applications," 2013.
- [157] C. A. Warwick and A. Ourmazd, "Trends and limits in monolithic integration by increasing the die area.," *IEEE Trans. Semicond. Manuf. (Vol. 6, Issue 3, Aug 1993)*, vol. 6, no. 3, pp. 284–289, 1993.
- [158] W. Chen, Z. Li, B. Zhang, M. Ren, Y. Liu, and Z. Li, "A snapback suppressed reverse-conducting IGBT with soft reverse recovery characteristic," *Superlattices Microstruct.*, vol. 61, pp. 59–68, 2013.
- [159] F. Morancho and M. Breil, "Évolution de l'intégration en électronique de puissance," *J3eA, J. sur l'enseignement des Sci. Technol. l'information des systèmes, Vol. 2, Hors-Série 2*, 9, vol. 2, p. 9, 2003.
- [160] N. Shahane *et al.*, "Novel High-Temperature, High-Power Handling All-Cu Interconnections through Low-Temperature Sintering of Nanocopper Foams," in *Proceedings - Electronic Components and Technology Conference*, 2016.
- [161] K. Mohan, N. Shahane, P. M. Raj, A. Antoniou, V. Smet, and R. Tummala, "Low-temperature, organics-free sintering of nanoporous copper for reliable, high-temperature and high-power die-attach interconnections," in *Conference Proceedings - IEEE Applied Power Electronics Conference and Exposition - APEC*, 2017.
- [162] K. Mohan, N. Shahane, R. Liu, V. Smet, and A. Antoniou, "A Review of Nanoporous Metals in Interconnects," *Jom*, vol. 70, no. 10, pp. 2192–2204, 2018.
- [163] N. Kato, S. Hashimoto, T. Iizuka, and K. Tatsumi, "High-Temperature-Resistant Interconnections Formed by Using Nickel Micro-plating and Ni Nano-particles for Power Devices," vol. 2, pp. 87–92, 2013.
- [164] S. S. Wen, D. Huff, and G.-Q. Lu, "A Dimple-Array Interconnect Technique for Power Semiconductor Devices."
- [165] S. S. Wen, D. Huff, and G.-Q. Lu, "Design and Thermo-mechanical Analysis of a Dimple-Array Interconnect Technique for Power Semiconductor Devices."
- [166] J. N. Calata, J. G. Bai, X. Liu, S. Wen, and G. Q. Lu, "Three-dimensional packaging for power semiconductor devices and modules," *IEEE Trans. Adv. Packag.*, 2005.
- [167] T. Stockmeier, P. Beckedahl, C. Gobl, and T. Malzer, "SKiN: Double side sintering technology for new packages," in *Proceedings of the International Symposium on Power Semiconductor Devices and ICs*, 2011.
- [168] P. Beckedahl, M. Spang, and O. Tamm, "Breakthrough into the third dimension – Sintered multi layer flex for ultra low inductance power modules," *CIPS 2014 - 8th Int. Conf. Integr. Power Electron. Syst. Proc.*, pp. 1–5, 2014.
- [169] Y. Xiao, H. N. Shah, R. Natarajan, E. J. Rymaszewski, T. P. Chow, and R. J. Gutmann, "Integrated flip-chip flex-circuit packaging for power electronics applications," *IEEE Trans. Power Electron.*, vol. 19, no. 2, pp. 515–522, 2004.
- [170] R. Khazaka, M. L. Locatelli, S. Diahm, and P. Bidan, "Endurance of thin insulation polyimide films for high-temperature power module applications," *IEEE Trans. Components, Packag. Manuf. Technol.*, vol. 3, no. 5, pp. 811–817, 2013.
- [171] J.-M. Morelle, L. Vivet, M. Medina, and R. Leon, "Electronic module having a multi-layer conductor for reducing its resistivity and a method of assembling such a module," vol. 2, no. 12, 2006.
- [172] T. Ueda, N. Yoshimatsu, N. Kimoto, D. Nakajima, M. Kikuchi, and T. Shinohara, "Simple, Compact, Robust and High-performance Power module T-PM (Transfer-molded Power Module)," 2010.
- [173] "Mitsubishi Electric Launches Power Module for Electric Vehicles," 2011.
- [174] A. Lale, N. Videau, A. Bourennane, F. Richardeau, and S. Charlot, "Mixed monolithic-hybrid integration of multiphase power converter: Preliminary evaluation of the 3-chip integration concept," in *2016 International Conference on Electrical Systems for Aircraft, Railway, Ship Propulsion and Road Vehicles and International Transportation Electrification Conference, ESARS-ITEC 2016*, 2016.
- [175] W. Sanfins, D. Risaletto, F. Richardeau, G. Blondel, M. Chemin, and P. Baudesson, "Preliminary failure-mode characterization of emerging direct-lead-bonding power module. Comparison with standard wire-bonding interconnection," *Microelectron. Reliab.*, 2015.
- [176] J. L. Aw, B. Lin, H. H. Yuan, and D. R. M. Woo, "Process development and optimization for high temperature durable flip chip interconnection in SiC high power module," *Proc. 16th Electron. Packag. Technol. Conf. EPTC 2014*, pp. 225–228, 2014.
- [177] S. Seal, M. D. Glover, A. K. Wallace, and H. A. Mantooth, "Flip-chip bonded silicon carbide MOSFETs as a low parasitic alternative to wire-bonding," *WiPDA 2016* -
-



- 
- 4th IEEE Work. Wide Bandgap Power Devices Appl., pp. 194–199, 2016.
- [178] D. R. M. Woo, H. H. Yuan, J. A. J. Li, L. J. Bum, and Z. Hengyun, “Miniaturized Double Side Cooling Packaging for High Power 3 Phase SiC Inverter Module with Junction Temperature over 220°C,” *Proc. - Electron. Components Technol. Conf.*, vol. 2016-Augus, pp. 1190–1196, 2016.
- [179] Q. Zhu, A. Forsyth, R. Todd, and L. Mills, “Thermal characterisation of a copper-clip-bonded IGBT module with doublesided cooling,” *THERMINIC 2017 - 23rd Int. Work. Therm. Investig. ICs Syst.*, vol. 2017-Janua, no. September, pp. 1–6, 2017.
- [180] S. Seal, M. D. Glover, and H. A. Mantooth, “3-D wire bondless switching cell using flip-chip-bonded silicon carbide power devices,” *IEEE Trans. Power Electron.*, vol. 33, no. 10, pp. 8553–8564, 2018.
- [181] M. Schneider-Ramelow, “Double-side cooled semiconductors for automotive applications,” 2008.
- [182] C. Gillot, C. Schaeffer, R. Perret, C. Massit, and L. Meysenc, “Double-sided Cooling for High Power IGBT Modules using Flip Chip Technology,” pp. 3016–3020, 2000.
- [183] M. Mermet-Guyennet, “New structure of power integrated module.”
- [184] X. Liu, G.-Q. Lu, S. Xu, and D. A. Dillard, “Stacked Solder Bumping Technology for Improved Solder Joint Reliability.”
- [185] B. Djuric, “Détermination des valeurs de déformation maximum acceptables pour des composants de type BGA,” pp. 1–81, 2015.
- [186] J. G. Bai, J. N. Calata, and G.-Q. Lu, “Comparative Thermal and Thermomechanical Analyses of Solder-Bump and Direct-Solder Bonded Power Device Packages Having Double-Sided Cooling Capability,” 2004.
- [187] J. Favre *et al.*, “A double side cooled electronic power module,” *PCIM Eur. 2017 - Int. Exhib. Conf. Power Electron. Intell. Motion, Renew. Energy Energy Manag.*, no. May, 2017.
- [188] C. Buttay *et al.*, “Compact inverter designed for high-temperature operation,” in *PESC Record - IEEE Annual Power Electronics Specialists Conference*, 2007.
- [189] C. Buttay, B. Allard, R. Riva, and R. R. Silver, “Silver sintering for power electronics integration,” 2015.
- [190] S. Haque *et al.*, “An Innovative Technique for Packaging Power Electronic Building Blocks Using Metal Posts Interconnected Parallel Plate Structures,” 1999.
- [191] K. Siddabattula, Z. Chen, and D. Boroyevich, “Evaluation of Metal Post Interconnected Parallel Plate Structure for Power Electronic Building Blocks.”
- [192] L. Ménager, M. Soueidan, B. Allard, V. Bley, and B. Schlegel, “A lab-scale alternative interconnection solution of semiconductor dice compatible with power modules 3-d integration,” *IEEE Trans. Power Electron.*, 2010.
- [193] B. Mouawad *et al.*, “3-Dimensional, Solder-Free Interconnect Technology for high-Performance Power Modules,” VDE Verlag, 2012.
- [194] C. Yu, C. Buttay, E. Labouré, V. Bley, C. Combettes, and L. Labouré, “Highly integrated power electronic converters using active devices embedded in printed-circuit board,” 2015.
- [195] K. Weidner and M. Kaspar, “Planar Interconnect Technology for Power Module System Integration.”
- [196] K. Tatsumi *et al.*, “Development of Packaging Technology for High Temperature Resistant SiC Module of Automobile Application,” in *Proceedings - Electronic Components and Technology Conference*, 2017.
- [197] K. Tatsumi *et al.*, “High temperature resistant packaging technology for SiC power module by using Ni micro-plating bonding,” *Proc. - Electron. Components Technol. Conf.*, vol. 2019-May, pp. 1451–1456, 2019.
- [198] R. Fisher, R. Fillion, J. Burgess, and W. Hennessy, “High frequency, low cost, power packaging using thin film power overlay technology,” *Conf. Proc. - IEEE Appl. Power Electron. Conf. Expo. - APEC*, vol. 1, pp. 12–17, 1995.
- [199] B. Ozmat, C. S. Korman, and R. Fillion, “An advanced approach to power module packaging,” in *IWIPP 2000 - International Workshop on Integrated Power Packaging*, 2000.
- [200] L. Yin *et al.*, “POL-kw Modules for High Power Applications,” *Proc. - Electron. Components Technol. Conf.*, pp. 1497–1503, 2017.
- [201] R. A. Beaupre, A. V. Gowda, L. D. Stevanovic, and S. A. Solovitz, “Double side cooled power module with power overlay,” 2010.
- [202] Y. Belmehdi, S. Azzopardi, J. Y. Deletage, and E. Woïrgard, “Experimental electro-mechanical static characterization of IGBT bare die under controlled temperature,” in *Microelectronics Reliability*, 2010.
- [203] Z. Liang and F. C. Lee, “Embedded power technology for IPEMs packaging applications,” in *APEC 2001. Sixteenth Annual IEEE Applied Power Electronics Conference and Exposition (Cat. No.01CH37181)*.
- [204] B. C. Charboneau *et al.*, “Double-sided liquid cooling for power semiconductor devices using embedded power packaging,” in *Fourtieth IAS Annual Meeting. Conference Record of the 2005 Industry Applications Conference*, 2005., 2005.
- [205] F. C. Lee and J. D. Van Wyk, “IPEM-Based Power Electronics System Integration,” 2006.
- [206] B. C. Charboneau, “Double-sided liquid cooling for power semiconductor devices
-

- 
- using embedded power technology,” 2005.
- [207] C. Buttay *et al.*, “Application of the PCB-Embedding Technology in Power Electronics – State of the Art and Proposed Development,” 2018.
- [208] L. Boettcher, S. Karaszkiwicz, D. Manassis, and A. Ostmann, “Embedding of Power Semiconductors for Innovative Packages and Modules,” 2015.
- [209] A. B. Sharma *et al.*, “PCB embedded power package with reinforced top-side chip contacts,” *2016 6th Electron. Syst. Technol. Conf. ESTC 2016*, vol. 1, no. c, 2016.
- [210] A. Ostmann, L. Boettcher, D. Manassis, S. Karaszkiwicz, and K.-D. Lang, “Power Modules with Embedded Components,” France.
- [211] T. Loher, S. Karaszkiwicz, L. Bottcher, and A. Ostmann, “Compact power electronic modules realized by PCB embedding technology,” in *2016 IEEE CPMT Symposium Japan, ICSJ 2016*, 2016.
- [212] E. Hoene, A. Ostmann, B. T. Lai, C. Marczuk, A. Müsing, and J. W. Kolar, “Ultra-low-inductance power module for fast switching semiconductors,” *PCIM Eur. Conf. Proc.*, no. May, pp. 198–205, 2013.
- [213] Infineon, “DrBlade 1.0 The Revolutionary Next Packaging Generation,” 2013.
- [214] W. Peinhopf, “Chip-Embedded Packaging Contributes to New Performance Benchmark for DrMOS,” *Power Electron.*, 2013.
- [215] S. Groß *et al.*, “EmPower-Embedded power components for electric vehicle applications.”
- [216] H. Stahr, M. Morianz, M. Unger, and J. Nicolics, “Investigation of a power module with double sided cooling using a new concept for chip embedding,” 2016.
- [217] G. Regnat, “Onduleur à forte intégration utilisant des semi-conducteurs à grand gap,” 2016.
- [218] G. Regnat, P. O. Jeannin, D. Frey, J. Ewanchuk, S. V. Mollov, and J. P. Ferrieux, “Optimized Power Modules for Silicon Carbide MOSFET,” *IEEE Trans. Ind. Appl.*, vol. 54, no. 2, pp. 1634–1644, 2018.
- [219] R. Caillaud *et al.*, “Evaluation of the PCB-embedding technology for a 3.3 kW converter,” *2019 IEEE Int. Work. Integr. Power Packag. IWIPP 2019*, pp. 1–6, 2019.
- [220] M. Zurnaci, “MiniSKiiP ® Power Modules General Introduction MiniSKiiP ® Power Modules,” 2015.
- [221] M. May, “SEMiX: IGBT Modules & Bridge Rectifier Family Technical Explanations,” no. October, pp. 1–36, 2009.
- [222] H. Xiaoyu, Z. Xiangjun, Y. Xu, and W. Zhaoan, “A hybrid integrated power electronic module based on pressure contact technology,” *PESC Rec. - IEEE Annu. Power Electron. Spec. Conf.*, 2006.
- [223] F. Lang and U. Scheuermann, “Reliability of spring pressure contacts under environmental stress,” *Microelectron. Reliab.*, vol. 47, no. 9–11 SPEC. ISS., pp. 1761–1766, 2007.
- [224] J. Schuderer, U. Drofenik, B. Agostini, F. Brem, F. Mohn, and F. Canales, “Challenges and new approaches for power module’s next generation packaging technology,” *IMAPS Workshop*, 2013.
- [225] S. Eicher *et al.*, “4.5kV press pack IGBT designed for ruggedness and reliability,” *Conf. Rec. - IAS Annu. Meet. (IEEE Ind. Appl. Soc.)*, vol. 3, pp. 1534–1539, 2004.
- [226] M. Chen, E. Tsyplakov, R. Schnell, P. Hong, H. Wang, and S. Klaka, “Power Devices for GW VSC-HVDC Application Development trend and status with StakPak Power Device Trend for VSC-HVDC Application,” 2016.
- [227] M. Chen, W. Hao, and H. Peng, “High power semiconductors for T & D and industry application StakPak & IGCT introduction,” 2014.
- [228] M. Rahimo, “Power semiconductors for grid system power electronics applications,” pp. 1–278, 2017.
- [229] N. Yue, “Planar packaging and electrical characterization of high temperature SiC power electronic devices,” *Master Thesis*, no. January 2008, 2008.
- [230] Y. Zhang, T. Hammam, I. Belov, T. Sjögren, M. Bakowski, and H.-P. Nee, “Thermomechanical Analysis and Characterization of a Press-Pack Structure for SiC Power Module Packaging Applications,” *IEEE Trans. COMPONENTS, Packag. Manuf. Technol.*, vol. 7, no. 7, p. 1089, 2017.
- [231] E. Deng, Z. Zhao, Q. Xin, J. Zhang, and Y. Huang, “Analysis on the difference of the characteristic between high power IGBT modules and press pack IGBTs,” *Microelectron. Reliab.*, vol. 78, pp. 25–37, 2017.
- [232] H. Y. Long, M. R. Sweet, E. M. S. Narayanan, and G. Li, “Reliability study and modelling of IGBT press-pack power modules,” in *Conference Proceedings - IEEE Applied Power Electronics Conference and Exposition - APEC*, 2017.
- [233] E. Vagnon, J. C. Crebier, Y. Avenas, and P. O. Jeannin, “Study and realization of a low force 3D press-pack power module,” in *PESC Record - IEEE Annual Power Electronics Specialists Conference*, 2008.
- [234] E. Vagnon, P. O. Jeannin, J. C. Crébier, and Y. Avenas, “A bus-bar-like power module based on three-dimensional power-chip-on-chip hybrid integration,” *IEEE Trans. Ind. Appl.*, vol. 46, no. 5, pp. 2046–2055, 2010.
- [235] J. Ortiz Gonzalez *et al.*, “Evaluation of SiC Schottky Diodes Using Pressure Contacts,” *IEEE Trans. Ind. Electron.*, vol. 64, no. 10, pp. 8213–8223, 2017.
- [236] Y. Zhang, H. P. Nee, T. Hammam, I. Belov, P. Ranstad, and M. Bakowski, “Multiphysics characterization of a novel sic power module,”
-

- IEEE Trans. Components, Packag. Manuf. Technol.*, vol. 9, no. 3, pp. 489–501, 2019.
- [237] P. Rajaguru, H. Lu, C. Bailey, J. Ortiz-Gonzalez, and O. Alatisé, “Electro-Thermo-mechanical modelling and analysis of the press pack diode in power electronics,” *THERMINIC 2015 - 21st Int. Work. Therm. Investig. ICs Syst.*, no. 1, 2015.
- [238] J. A. O. Gonzalez, O. Alatisé, L. Ran, P. Mawby, P. Rajaguru, and C. Bailey, “An initial consideration of silicon carbide devices in pressure-packages,” *ECCE 2016 - IEEE Energy Convers. Congr. Expo. Proc.*, 2016.
- [239] N. Zhu, H. A. Mantooth, D. Xu, M. Chen, and M. D. Glover, “A Solution to Press-Pack Packaging of SiC MOSFETS,” *IEEE Trans. Ind. Electron.*, vol. 64, no. 10, pp. 8224–8234, 2017.
- [240] Y. Pascal, A. Abdedaim, D. Labrousse, M. Petit, S. Lefebvre, and F. Costa, “Using Laminated Metal Foam as the Top-Side Contact of a PCB-Embedded Power Die,” *IEEE Electron Device Lett.*, 2017.
- [241] Y. Pascal, D. Labrousse, M. Petit, S. Lefebvre, and F. Costa, “PCB-Embedding of Power Dies Using Pressed Metal Foam.”
- [242] Y. Pascal, “Étude multicritère pour l’enfouissement partiel ou total de convertisseurs d’électronique de puissance dans un circuit imprimé,” 2019.
- [243] Q. H. Luan, “Etude et mise en oeuvre de techniques d’assemblages hybrides pour l’intégration tridimensionnelle en électronique de puissance,” 2010.
- [244] Q. H. Luan, V. Bley, T. Lebey, B. Schlegel, and L. Ménager, “Nano Copper Wires Interconnection for Three -Dimensional Integration in Power Electronics,” *IEEE Power Electronics Specialists Conference*, 2008.
- [245] V. Nguyen *et al.*, “Fabrication of bottom die substrate solderless interconnection based on nano copper wires,” *13th European Conference on Power Electronics and Applications*, 2009.
- [246] V. H. Nguyen, “Etude et caractérisation d’une nouvelle connectique adaptée à l’intégration tridimensionnelle pour l’électronique de puissance,” 2010.
- [247] “Concevoir, construire, router, fabriquer, assembler, tester, réparer en haute densité des produits industriels fonctionnant jusqu’à 5 GHz,” *Séminaire “PCB/FPC HDI V10” IMS Bordeaux*, 2010.
- [248] “Copper Foil Manufacturing,” *Total Mater.*, 2015.
- [249] J. Jiang, O. Phillips, L. Keller, and P. A. Kohl, “Porous Epoxy Film for Low Dielectric Constant Chip Substrates and Boards,” *Proc. - Electron. Components Technol. Conf.*, vol. 2018-May, pp. 33–39, 2018.
- [250] J. Paulus, M. Petti, and L. Crosse, “Coated Copper Foils for High Density Interconnects,” *Isola Gr. Tech. Pap.*
- [251] “Advanced Circuit ‘www.4pcb.com/media/prepreg-thickness-chart.pdf.’”
- [252] “Understanding Glass Fabric,” *Isola Gr.*, 2018.
- [253] Isola Group, “Laminate & Prepreg Manufacturing,” 2011.
- [254] Isola Group, “PCL-FR-370HR processing guidelines,” vol. 08, pp. 1–9, 2008.
- [255] Arlon Electronic Materials, “Laminate and Prepreg 35N,” pp. 0–3, 2015.
- [256] M. Nikolova, J. Watkowski, D. De Salvo, and R. Blake, “Reliable acid copper plating for metallization of PCB,” *IPC APEX Expo 2009*, vol. 3, pp. 1478–1529, 2009.
- [257] P. Simon *et al.*, “Method for making an electrically conducting mechanical interconnection member,” 2009.
- [258] H. Y. Jung, S. M. Jung, G. H. Gu, and J. S. Suh, “Anodic aluminum oxide membrane bonded on a silicon wafer for carbon nanotube field emitter arrays,” *Appl. Phys. Lett.*, vol. 89, no. 1, pp. 1–4, 2006.
- [259] G. E. J. Poinern, N. Ali, and D. Fawcett, *Progress in nano-engineered anodic aluminum oxide membrane development*, vol. 4, no. 3, 2010.
- [260] K. Vasanthakumar, S. C. Vanithakumari, and U. Kamachi Mudali, “Fabrication of nanoporous alumina membranes by single step anodization and their microscopic characterization,” *J. Adv. Microsc. Res.*, vol. 6, no. 3, pp. 207–214, 2011.
- [261] L. Zaraska, G. D. Sulka, and M. Jaskuła, “Anodic alumina membranes with defined pore diameters and thicknesses obtained by adjusting the anodizing duration and pore opening/widening time,” *J. Solid State Electrochem.*, vol. 15, no. 11–12, pp. 2427–2436, 2011.
- [262] S. M. Fateminasab and M. Omidkhan, “The 9 th International Chemical Engineering Congress & Exhibition ( IChEC 2015 ) Preparation and Characterization of Anodized Alumina as Membrane Substrate,” no. September 2017, 2015.
- [263] Y. Lin *et al.*, “A Highly Controllable Electrochemical Anodization Process to Fabricate Porous Anodic Aluminum Oxide Membranes,” *Nanoscale Res. Lett.*, vol. 10, no. 1, pp. 1–8, 2015.
- [264] Y. Badé, “Cuivrage,” *Tech. l’Ingenieur*, vol. 33, no. 0, 1982.
- [265] E. Matisson and J. O. M. Bockris, “Galvanostatic studies of the kinetics of deposition and dissolution in the copper + copper sulphate system,” *Trans. Faraday Soc.*, vol. 55, pp. 1586–1601, 1959.
- [266] J. O. Bockers and M. Enyo, “Mechanism of Electrodeposition and Dissolution,” *Trans. Faraday Soc.*, vol. 58, pp. 1187–1202, 1962.
- [267] F. H. AYEDI, “Cuivrage chimique et électrolytique en milieu acide,” *Tech. l’Ingenieur*, vol. 33, no. 0, 2016.

- [268] (GFIE) Groupement des Fournisseurs de l'Industrie Electronique, "Finitions des circuits imprimés, états des lieux, avanatges et inconvénients," pp. 8–11, 2009.
- [269] J. Zheng, S. Zhang, L. Dong, W. He, and H. Zhang, "The improvement of Pcb's electroplating uniformity," *Appl. Mech. Mater.*, vol. 236–237, pp. 158–162, 2012.
- [270] T. Dias *et al.*, "Optimization of the manufacturing process of macro and nanostructures for power modules' interconnection," *IMAPS Power 2019*, pp. 1–6, 2019.
- [271] B. Nguyen, "Électrodéposition par courants pulsés," *Tech. l'ingénieur*, 1998.
- [272] S.-C. Chang, J.-M. Shieh, B.-T. Dai, M.-S. Feng, and Y.-H. Li, "The Effect of Plating Current Densities on Self-Annealing Behaviors of Electroplated Copper Films," *J. Electrochem. Soc.*, vol. 149, no. 9, p. G535, 2002.
- [273] A. M. Rashidi and A. Amadeh, "The effect of current density on the grain size of electrodeposited nanocrystalline nickel coatings," *Surf. Coatings Technol.*, vol. 202, no. 16, pp. 3772–3776, 2008.
- [274] L. Mirkova and S. Rashkov, "Anodic behaviour of copper during electrorefining using a rotating ring-disc electrode," *J. Appl. Electrochem.*, vol. 24, no. 5, pp. 420–425, 1994.
- [275] C. Baskerville, "Reactions between copper and concentrated sulphuric acid," *North Carolina Acad. Sci. Inc.*, vol. 12, no. 1, pp. 1–10, 1895.
- [276] D. P. Gregory and A. C. Riddiford, "Dissolution of Copper in Sulfuric Acid Solutions," *J. Electrochem. Soc.*, vol. 27, no. 10, pp. 407–417, 1960.
- [277] J. M. Casas, G. Crisóstomo, and L. Cifuentes, "Dissolution of metallic copper in aqueous sulphuric acid - Ferric sulphate solutions," *Can. Metall. Q.*, vol. 45, no. 3, pp. 243–248, 2006.
- [278] A. Sulcius, E. Griskonis, and N. Zmuidzinaviciene, "Copper Dissoluiion in Concentrated Sulfuric Acid," *World J. Chem. Educ.*, vol. 7, no. 3, pp. 196–202, 2019.
- [279] L. Ménager, "Contribution à l'intégration des convertisseurs de puissance en 3D," 2008.
- [280] J. K. W. Wilbert *et al.*, "Graphene and Nanotechnology Applications for Space Technology," *J. Knowl. Manag.*, vol. 2, no. 2, pp. 1–18, 2016.
- [281] J. Idrac, G. Mankowski, G. Thompson, P. Skeldon, Y. Kihn, and C. Blanc, "Galvanic corrosion of aluminium-copper model alloys," *Electrochim. Acta*, vol. 52, no. 27 SPEC. ISS., pp. 7626–7633, 2007.
- [282] C. Blanc, N. Pèbère, B. Tribollet, and V. Vivier, "Galvanic coupling between copper and aluminium in a thin-layer cell," *Corros. Sci.*, vol. 52, no. 3, pp. 991–995, 2010.
- [283] M. Finšgar, "Galvanic series of different stainless steels and copper- and aluminium-based materials in acid solutions," *Corros. Sci.*, vol. 68, pp. 51–56, 2013.
- [284] D. E. Carter, "Oxidation-reduction reactions of metal ions," *Environ. Health Perspect.*, vol. 103, no. SUPPL. 1, pp. 17–19, 1995.
- [285] B. Djuric, "Étude, analyse et mise en place d'un processus de nettoyage automatisé de pièces avant « optical bonding », Master thesis," 2016.
- [286] P. Harmeling, "Étude et réalisation de PCB 'Université de Liège,'" 2017.
- [287] D. L. Jones, "Printer Circuit Board design tutorial," pp. 4–26, 2004.
- [288] B. Djuric, V. Bley, J. Morand, O. Dagut, J.-P. Cambronne, and S. Mollov, "Double side interconnection for vertical power components based on macro and nano structured copper interfaces and printed circuit board technologies," *Minapad*, 2019.
- [289] Y. Oh, S. Chung, and M. Lee, "Optimization of Thickness Uniformity in Electrodeposition onto a Patterned Substrate," vol. 45, no. 10, pp. 3005–3010, 2004.
- [290] M. Teeratananon, "CURRENT DISTRIBUTION ANALYSIS OF ELECTROPLATING REACTORS AND MATHEMATICAL," 2004.
- [291] M. A. Streicher, "The dissolution of aluminum in sodium hydroxide solutions," *ECS - Electrochem. Soc.*, no. 6, 1948.
- [292] M. A. Streicher, "Dissolution of Aluminum in Sodium Hydroxide Solutions - Effect of Gelatin and Potassium Permanganate," *Ind. Eng. Chem.*, vol. 41, no. 4, pp. 818–819, 1949.
- [293] V. Palmieri, "Fundamentals of electrochemistry—the electrolytic polishing of metals: application to Nb and Cu," *Proc. 11th Work. RF-Superconductivity (SRF 2003) Lübeck-Travemünde, Ger. 8–12 Sept. 2003*, vol. 0, p. paper WeT02 (<http://srf2003.desy.de>), 2003.
- [294] V. Palmieri, "The Electrolytic Polishing of metals . Application to Copper and Niobium," *11th Work. Supercond.*, vol. 0, pp. 579–587, 2003.
- [295] W. Han and F. Fang, "Fundamental aspects and recent developments in electropolishing," *Int. J. Mach. Tools Manuf.*, vol. 139, no. March, pp. 1–23, 2019.
- [296] S. Begum, F. Tarlochan, and K. Sambasivam, "Analyzing the Influence of process parameters on Anode Usage in Electroplating Process," *Asian J. Appl. Sci.* 6, 2013.
- [297] V. M. Volgin, V. V. Lyubimov, I. V. Gnidina, T. B. Kabanova, and A. D. Davydov, "Effect of Anode Shape on Uniformity of Electrodeposition onto Resistive Substrates," *Electrochim. Acta*, vol. 230, pp. 382–390, 2017.
- [298] K. Feng, B. Decesare, M. Yu, D. Desalvo, and J. Watkowski, "Electroplated copper filling of through holes on varying substrate thickness,"

- 
- 2014 9th Int. Microsystems, Packag. Assem. Circuits Technol. Conf. Challenges Chang. - Shap. Futur. IMPACT 2014 - Proc., pp. 355–358, 2014.
- [299] Y. Ning, M. H. Azarian, and M. Pecht, "Effects of Voiding on Thermomechanical Reliability of Copper-Filled Microvias: Modeling and Simulation," *IEEE Trans. Device Mater. Reliab.*, vol. 15, no. 4, pp. 500–510, 2015.
- [300] P. Kristof and M. Pritzker, "Improved Copper Plating Through the Use of Current Pulsing & Ultrasonic Agitation," 1998.
- [301] M. S. Chandrasekar and M. Pushpavanam, "Pulse and pulse reverse plating-Conceptual, advantages and applications," *Electrochimica Acta*, 2008.
- [302] K. Ganesan *et al.*, "Innovative Advances in Copper Electroplating for IC Substrate Manufacturing," *Proc. - Electron. Components Technol. Conf.*, pp. 1369–1377, 2017.
- [303] N. Ibl, "Some theoretical aspects of pulse electrolysis," 1980.
- [304] F. Y. Shen, W. P. Dow, A. H. Liu, J. Y. Lin, P. H. Chang, and S. M. Huang, "Periodic pulse reverse cu plating for through-hole filling," *ECS Electrochem. Lett.*, vol. 2, no. 5, pp. 23–25, 2013.
- [305] T. Dias, "Optimisation of the fabrication process of macro-nano structures for interconnection in power modules, Master thesis," 2019.
- [306] S. L. Habu and Y. Yoshihiro, "Studies of Copper Etching in Ferric Chloride Solutions," *Ind. Eng. Chem. Process Des. Dev.*, vol. 21, no. 3, pp. 511–514, 1982.
- [307] C. Jian, M. Jusheng, W. Gangqiang, and T. Xiangyun, "Effects on etching rates of copper in ferric chloride solutions," *2nd 1998 IEMT/IMC Symp.*, vol. 1998-April, pp. 144–148, 1998.
- [308] X. Liu, "Electrochemical Etching of Thick Copper Patterns on Circuit Substrate," pp. 251–264, 2001.
- [309] T. Senese, "Multilayer dielectric thickness calculation 'Taconic.'"
- [310] Arlon Electronic Materials, "35N Polyimide Laminate and Prepreg."
- [311] "Flexible Circuit Materials - Dupont™ Pyralux® 'www.DuPont.com.'"
- [312] B. Sood and M. Pecht, "Controlling Moisture in Printed Circuit Boards," *IPC Print. Circuit Expo, APEX Des. Summit Proc.*, 2011.
- [313] S. V. Levchik and E. D. Weil, "Thermal decomposition, combustion and flame-retardancy of epoxy resins - A review of the recent literature," *Polym. Int.*, vol. 53, no. 12, pp. 1901–1929, 2004.
- [314] B. Sood, R. Sanapala, D. Das, M. Pecht, C. Y. Huang, and M. Y. Tsai, "Comparison of printed circuit board property variations in response to simulated lead-free soldering," *IEEE Trans. Electron. Packag. Manuf.*, vol. 33, no. 2, pp. 98–111, 2010.
- [315] R. Sanapala, B. Sood, D. Das, and M. Pecht, "Effect of lead-free soldering on key material properties of FR-4 printed circuit board laminates," *IPC APEX Expo 2009*, vol. 2, pp. 846–889, 2009.
- [316] L. Ma, B. Sood, and M. Pecht, "Effects of moisture content on Permittivity and Loss Tangent of printed circuit board materials," *IPC APEX EXPO Tech. Conf. 2010*, vol. 3, no. 1, pp. 1533–1571, 2010.
- [317] G. Schubert, T. Schönfeld, and A. Friedrich, "Drying printed circuit boards," *SuperDry Totech EU*, pp. 1–6.
- [318] J. Wang, P. He, and F. Xiao, "The effect of residual stress on the flexing strength of PCB assembly," *Proc. Sixth IEEE CPMT Conf. High Density Microsyst. Des. Packag. Compon. Fail. Anal. HDP'04*, pp. 146–150, 2004.
- [319] Y. Zheng, "Study of copper applications and effects of copper oxidation in microelectronic package," 2003.
- [320] "Les finitions pour les circuits imprimés 'Cimulec Groupe - CSI Sud-Ouest,'" pp. 1–15, 2013.
- [321] "Soldermasks - Processes and Properties 'ELECTRA.'"
- [322] "The Fine Features of Solder Mask," *PCB007 Mag.*, 2018.
- [323] D. Lee, "Root Cause Failure Analysis of Printed Circuit Board Assemblies," 2011.
- [324] G. Poupon, "Traitements de surface liés aux connexions en microélectronique," vol. 33, no. 0, pp. 0–13, 2013.
- [325] A. Vapaille, "Résistivité des semi-conducteurs," *Tech. l'ingénieur*, pp. 1–13, 1989.
- [326] W. J. Reicheneker, "Effect of Solder Thickness and Joint Overlap on the Electrical Resistance of Soldered Copper Joints," *Weld. J. (Miami, Fla)*, vol. 60, no. 10, pp. 199–201, 1981.
- [327] C. Martin, J. M. Guichon, J. L. Schanen, and R. J. Pasterczyk, "Gate circuit layout optimization of power module regarding transient current imbalance," *IEEE Trans. Power Electron.*, vol. 21, no. 5, pp. 1176–1183, 2006.
- [328] S. Mandray, J. M. Guichon, J. L. Schanen, S. Vieillard, and A. Bouzourene, "Automatic layout optimization of a double sided power module regarding thermal and EMC constraints," *2009 IEEE Energy Convers. Congr. Expo. ECCE 2009*, pp. 1046–1051, 2009.
- [329] N. Hingora, X. Liu, Y. Feng, B. McPherson, and A. Mantooth, "Power-CAD: A novel methodology for design, analysis and optimization of Power Electronic Module layouts," *2010 IEEE Energy Convers. Congr. Expo. ECCE 2010 - Proc.*, pp. 2692–2699, 2010.
- [330] W. W. Wits, J. M. Jauregui-Becker, F. E. V.
-



- 
- Vliet, and G. J. T. Riele, "Developing an integrated design strategy for chip layout optimization," *Proc. 21st CIRP Des. Conf. Korea 2011 Interdiscip. Des.*, pp. 55–62, 2011.
- [331] M. Hammadi, J. Y. Choley, O. Penas, J. Louati, A. Rivière, and M. Haddar, "Layout optimization of power modules using a sequentially coupled approach," *Int. J. Simul. Model.*, vol. 10, no. 3, pp. 122–132, 2011.
- [332] M. Bouarroudj, Z. Khatir, J. P. Ousten, F. Badel, L. Dupont, and S. Lefebvre, "Degradation behavior of 600 V-200 A IGBT modules under power cycling and high temperature environment conditions," *Microelectron. Reliab.*, vol. 47, no. 9-11 SPEC. ISS., pp. 1719–1724, 2007.
- [333] J. Martin, T. Tritt, and C. Uher, "High temperature Seebeck coefficient metrology," *J. Appl. Phys.*, vol. 108, no. 12, 2010.
- [334] J. Martin, "Computational Seebeck Coefficient Measurement Simulations," *J. Res. Natl. Inst. Stand. Technol. Comput.*, vol. 117, pp. 168–175, 2012.
- [335] S. Kong and X. Sun, "Setup of pulsed IV system and characterization of magnetic nanocontacts and microwires," 2011.
- [336] W. Robl, M. Melzl, B. Weidgans, R. Hofmann, and M. Stecher, "Copper metallization for power devices," *ASMC (Advanced Semicond. Manuf. Conf. Proc.)*, pp. 259–262, 2007.
- [337] M. Stecher, R. Hofmann, and J. Busch, "Metallization layer for a power semiconductor device," 2006.
- [338] F. Khatkhatay *et al.*, "Impact of scribe line (kerf) defectivity on wafer yield," *2018 29th Annu. SEMI Adv. Semicond. Manuf. Conf. ASMC 2018*, pp. 374–378, 2018.
- [339] W. Robi, M. Melzl, B. Weidgans, R. Hofmann, and M. Stecher, "Last metal copper metallization for power devices," in *IEEE Transactions on Semiconductor Manufacturing*, 2008.
- [340] F. Hille *et al.*, "Reliability aspects of copper metallization and interconnect technology for power devices," *Microelectron. Reliab.*, vol. 64, pp. 393–402, 2016.
- [341] M. Mousnier, K. Sanchez, E. Locatelli, T. Lebey, and V. Bley, "Lock-in thermography for defect localization and thermal characterization for space application," *Microelectron. Reliab.*, vol. 88–90, no. September, pp. 67–74, 2018.
- [342] M. Mousnier, "Apport de la thermographie infrarouge à l'analyse de défaillance de composants et systèmes électroniques," University of Toulouse 3, 2019.
- [343] W. Bussière, "La protection électrique par fusible," pp. 23–25, 2009.
- [344] S. Mohammed El Amine, "Protection des réseaux électriques," 2013.
- [345] A. Coulbois, P. André, W. Bussière, and D. Rochette, "Etude de la transition préarc-arc à faible et fort di/dt dans les fusibles MT," 2013.
- [346] "Détermination des sections de conducteurs et choix des dispositifs de protection," *Union Technique l'Electricité la Commun.*, pp. 1–86, 2003.
- [347] B. Metz-Noblat, F. Dumas, and C. Poulain, "Calcul des courants de court-circuit," *Schneider Electr.*, 2005.
- [348] D. Serre, "Installations électriques BT Protection contre les contacts indirects," *Tech. l'ingénieur*, vol. 33, no. 0, pp. 1–15, 2006.
- [349] Sitelec.org, "Section des conducteurs et protection des installations," pp. 1–14.
- [350] F. Hou, W. Wang, T. Lin, L. Cao, G. Q. Zhang, and J. A. Ferreira, "Characterization of PCB Embedded Package Materials for SiC MOSFETs," *IEEE Trans. Components, Packag. Manuf. Technol.*, vol. 9, no. 6, pp. 1054–1061, 2019.
- [351] N. Jayaraju, L. Barstad, Z. Niazimbetova, M. Rzeznik, M. Lin, and D. Yee, "Next generation Copper electroplating for HDI micro-via filling and through hole plating," *2015 10th Int. Microsystems, Packag. Assem. Circuits Technol. Conf. IMPACT 2015 - Proc.*, pp. 161–164, 2015.
- [352] K. C. Yung, K. C. Chan, T. M. Yue, and K. F. Yeung, "The effect of waveform for pulse plating on copper plating distribution of microvia in PCB manufacture," *Int. J. Adv. Manuf. Technol.*, vol. 23, no. 3–4, pp. 245–248, 2004.
-



