

Table des matières générale

Avant-propos.....	1
Introduction.....	3
Chapitre 1.....	7
1.1. Evolution et limitations des circuits intégrés.....	10
1.1.1. Limitations des circuits intégrés planaires	10
1.1.1.1. Interconnexions : un problème a priori simple.....	10
1.1.1.2. Une petite histoire des interconnexions	10
1.1.1.3. Des solutions temporaires pour dépasser ces limitations.....	12
1.1.1.4. Organisation du réseau d'interconnexions : architecture multiniveaux.....	13
1.1.2. Évolution et limitations des systèmes électroniques intégrés.....	14
1.1.2.1. Système sur Puce (SoC)	14
1.1.2.2. Système en boîtier (SiP)	15
1.2. Vers une solution réaliste : l'intégration 3D	18
1.2.1. Historique de l'intégration 3D	19
1.2.2. De l'intérêt d'intégrer verticalement.....	20
1.2.2.1. Amélioration des performances des circuits homogènes	20
1.2.2.2. Une architecture adaptée à l'intégration hétérogène	22
1.2.2.3. Optimisation des coûts et du rendement de production.....	24
1.2.3. Des architectures verticales configurables.....	26
1.2.3.1. Hiérarchisation.....	26
1.2.3.2. Intégration verticale moyenne densité : 3D-WLP	28
1.2.3.3. Intégration verticale haute densité : 3D-IC	29
1.2.3.4. Intégration verticale très haute densité : 3D monolithique	31
1.2.4. Applications	33
1.2.4.1. Les microprocesseurs.....	34
1.2.4.2. Les mémoires	35
1.2.4.3. Les capteurs	36
1.2.4.4. Les systèmes électroniques hétérogènes	37
1.2.5. Options d'intégration	39
1.2.5.1. Empilement	39
1.2.5.2. Orientation des circuits.....	39
1.2.5.3. Alignement	40
1.2.5.4. Collage.....	41
1.2.5.5. Amincissement du silicium	41
1.2.5.6. Connexions inter-strates.....	42
1.2.5.7. Connexions intra-strate (TSV).....	42
1.2.5.8. Mode de réalisation des TSV	44
1.3. Interactions possibles avec les technologies CMOS	47
1.3.1. Impact thermomécanique lié aux procédés 3D sur les composants	49
1.3.2. Influence sur la conception de circuit	51

1.4. Contributions du doctorat.....	53
1.4.1. Synthèse de l'état de l'art.....	53
1.4.2. Démarche proposée.....	54
Chapitre 2.....	55
2.1. Notions théoriques sur le couplage par le substrat	59
2.1.1. Sources de bruit substrat.....	59
2.1.1.1. Bruit d'alimentation.....	59
2.1.1.2. Couplage capacitif	60
2.1.1.3. Ionisation par impact	61
2.1.2. Propagation du bruit et réception par les composants	62
2.1.2.1. Mécanismes de propagation.....	62
2.1.2.2. Mécanismes de réception	64
2.1.3. Solutions d'isolation du substrat.....	66
2.1.3.1. Anneaux de garde	66
2.1.3.2. Couches enterrées.....	67
2.1.3.3. Caissonnage	67
2.1.3.4. Connexion à la face arrière.....	67
2.2. Du composant et de son environnement	68
2.2.1. Notions théoriques relatives au transistor.....	68
2.2.1.1. Transistors NMOS et PMOS	68
2.2.1.2. Caractéristiques électriques	69
2.2.1.3. Facteurs influençant les performances du composant.....	70
2.2.2. Notions théoriques relatives à l'inverseur.....	72
2.2.2.1. Description électrique.....	72
2.2.2.2. Caractéristiques électriques	72
2.2.2.3. Facteurs influençant les performances de l'inverseur	73
2.2.3. Composants intégrés dans une structure 3D	74
2.3. Couplage induit par l'intégration 3D sur le composant.....	76
2.3.1. Méthodologie.....	76
2.3.1.1. Considérations générales	76
2.3.1.2. Modèles électriques	76
2.3.1.3. Structure simulée	78
2.3.1.4. Transistor simulé	80
2.3.1.5. Simulation du couplage induit par l'intégration 3D.....	81
2.3.2. Couplage induit par le TSV	85
2.3.2.1. Considérations générales	85
2.3.2.2. Influence de la zone d'exclusion	87
2.3.2.3. Influence de l'épaisseur d'isolation du TSV.....	87
2.3.2.4. Influence de l'épaisseur de silicium.....	88
2.3.3. Couplage induit par le niveau de redistribution (RDL).....	91
2.3.3.1. Considérations générales	91
2.3.3.2. Influence de l'épaisseur de silicium.....	92
2.3.3.3. Influence de l'épaisseur d'isolation du RDL.....	93
2.3.4. Impact couplé du TSV et du RDL	94
2.3.4.1. Isolation homogène.....	94
2.3.4.2. Isolation hétérogène.....	95

2.3.5. Influence des signaux parasites sur le couplage	97
2.3.5.1. Considérations générales	97
2.3.5.2. Influence de la durée du front de potentiel du signal agresseur	99
2.3.5.3. Influence de l'épaisseur d'isolation du TSV.....	100
2.3.6. Solutions pour la réduction du couplage substrat	101
2.3.6.1. Augmentation de la résistivité du silicium massif.....	101
2.3.6.2. Séparation physique de la zone active et du TSV	102
2.3.6.3. Implémentation d'une masse en face arrière	103
 2.4. Couplage induit par l'intégration 3D sur l'inverseur	105
2.4.1. Modélisation circuit	105
2.4.1.1. Élaboration du modèle électrique	105
2.4.1.2. Calibration du modèle.....	106
2.4.1.3. Méthodologie	108
2.4.2. Impact du TSV sur l'inverseur	108
2.4.3. Limitations de l'approche circuit	110
 2.5. Synthèse	111
 Chapitre 3.....	113
 3.1. Définition de circuits de test dédiés à l'intégration 3D.....	116
3.1.1. Caractérisation du TSV	116
3.1.1.1. Résistance du TSV.....	116
3.1.1.2. Capacité du TSV	117
3.1.2. Impact des structures 3D sur les transistors MOS.....	119
3.1.2.1. Impact thermomécanique du TSV sur les transistors	119
3.1.2.2. Impact électrique du TSV sur les composants.....	120
3.1.2.3. Impact électrique du RDL sur les composants.....	120
3.1.3. Impact du TSV sur un oscillateur en anneau	121
3.1.3.1. Définition du circuit de test	121
3.1.3.2. Impact thermomécanique du TSV sur l'oscillateur en anneau	122
3.1.3.3. Impact électrique du TSV sur l'oscillateur en anneau	123
3.1.4. Caractérisation du délai intrinsèque du TSV	124
 3.2. Conception logique : comment passer du 2D au 3D ?.....	125
3.2.1. Les différentes étapes de conception d'un circuit	125
3.2.1.1. Kit de conception.....	126
3.2.1.2. Flot de conception.....	127
3.2.2. Limitations des outils de conception pour l'intégration 3D	128
3.2.2.1. Kit de conception	128
3.2.2.2. Flot de conception.....	130
3.2.3. Quelle méthodologie pour la conception 3D ?	131
3.2.3.1. Circuit 3D homogène	131
3.2.3.2. Circuit 3D hétérogène.....	131
 3.3. Implémentation sur démonstrateurs technologiques	132
3.3.1. Véhicule de test dédié à la moyenne densité	132
3.3.2. Véhicule de test dédié à la haute densité.....	135
 3.4. Synthèse	137

Chapitre 4	139
4.1. Impact du procédé d'amincissement du silicium.....	143
4.1.1. Principe d'amincissement du silicium	143
4.1.2. Protocole expérimental	144
4.1.3. Résultats électriques.....	146
4.1.3.1. Transistors testés	146
4.1.3.2. Montée en tension du transistor.....	146
4.1.3.3. Variations sur les courants spécifiques.....	148
4.2. Impact thermomécanique et effet de proximité du TSV.....	151
4.2.1. Impact des procédés d'intégration 3D sur les transistors	151
4.2.1.1. Considérations générales	151
4.2.1.2. Comportement des transistors NMOS	151
4.2.1.3. Comportement des transistors PMOS	152
4.2.2. Effet de proximité du TSV sur les transistors	153
4.2.2.1. Comportement des transistors NMOS	153
4.2.2.2. Comportement des transistors PMOS	155
4.2.3. Effet de l'orientation de la grille des transistors	157
4.2.3.1. Comportement des transistors NMOS	157
4.2.3.2. Comportement des transistors PMOS	159
4.2.4. Effet de proximité du TSV sur l'oscillateur en anneau.....	161
4.2.4.1. Considérations générales	161
4.2.4.2. Impact sur l'oscillateur en anneau.....	161
4.3. Caractérisation du couplage par le substrat	164
4.3.1. Caractérisation de la technologie 3D moyenne densité.....	164
4.3.1.1. Résistance du TSV.....	164
4.3.1.2. Capacité du TSV	167
4.3.2. Bruit substrat	173
4.3.2.1. Considérations générales	173
4.3.2.2. Réponse du silicium	173
4.3.2.3. Effet de la distance de la sonde de mesure	175
4.3.2.4. Effet de la distance à la masse	176
4.3.2.5. Effet de l'amplitude de la tension perturbatrice.....	177
4.3.2.6. Effet du temps du front de montée.....	178
4.3.3. Modèles électriques.....	179
4.3.3.1. Fonction de transfert	179
4.3.3.2. Confrontation du modèle à l'expérience.....	181
4.4. Synthèse	184
Conclusion	185
Références bibliographiques	191
Annexe A	201
Annexe B	223

Avant-propos

Si vous avez lu attentivement le sommaire de cette thèse, vous n'avez alors eu aucun mal à vous apercevoir de l'emploi – peut-être outrancier - de sigles étranges. Il est possible que cela puisse surprendre, voire décourager certains à poursuivre la lecture. Et pourtant, je vous assure qu'il n'en est rien. Je me permets de prendre un exemple concret pour argumenter mes propos. Le sigle « 3D-WLP » fait référence à l'appellation anglophone *Three-Dimensional Wafer-Level Packaging*, autrement dit en français, packaging 3D à l'échelle de la plaque, ce qui, nous en conviendrons, est moins vendeur que ladite version anglophone. Cela étant dit, nous utiliserons par la suite les sigles et appellations anglophones pour la seule raison qu'ils sont couramment utilisés dans le monde entier. Toutes ses expressions seront bien évidemment explicitées au fur et à mesure. Mais en aucun cas cela n'est fait pour contrarier la loi Toubon, *of course...*

Introduction

D'une révolution à une autre ?

« Les grandes douleurs sont muettes », Hippolyte de Sénèque.

« Ce qu'on risque révèle ce qu'on vaut », Jeanette Winterson.

Rapport-Gratuit.com

On dit souvent qu'une révolution en amène une autre. Certaines sont plus spectaculaires que d'autres mais dans un sens, toutes ont permis à l'humanité de grandir et de s'interroger. Et l'on peut dire assurément que le monde technologique – au sens large du terme – est des plus prolifiques dans ce domaine. Il y eut la révolution industrielle, parallèlement à la découverte de l'or noir dans les années 1860, qui conjointement engendrèrent l'essor des transports de toutes sortes, comme l'avionique, le nautisme ou le ferroviaire. Il y eut la révolution spatiale, avec le lancement de Spoutnik 1 en 1957, suivi de l'envoi des premiers hommes sur la Lune en 1969, qui lança la « démocratisation¹ » des mises en orbite de satellites, ouvrant ainsi l'ère des communications à grande échelle. Dans le vaste monde de l'information (là aussi dans son sens le plus large), si l'on reste à une échelle macroscopique, la commercialisation du premier microprocesseur par Intel en 1971 permit l'invention de l'ordinateur personnel qui, aujourd'hui, est devenu un outil quasiment indispensable au quotidien. En poussant un peu plus loin ce raisonnement, l'ordinateur personnel a créé l'opportunité de concevoir le réseau Internet et tous les services qui en découlent aujourd'hui.

Néanmoins, si l'on se concentre uniquement sur l'industrie de la microélectronique, l'avènement du circuit intégré dans les années 1960 n'a pas conduit à d'autres révolutions. A vrai dire, il est plus question ici d'évolution. A partir du moment où les principes relatifs aux architectures des circuits et aux procédés de fabrication ont été mis au point, la suite n'a été qu'une évolution vertigineuse vers la miniaturisation des composants et une course permanente pour la performance. Ainsi, pendant plus de 30 ans, la microélectronique s'est enorgueillie d'une croissance à deux chiffres, sans subir pratiquement la moindre crise économique (exception faite de l'éclatement de la bulle Internet en 2000). Les innovations technologiques qui ont vu le jour pendant ces décennies ont permis l'essor continu des applications informatiques, qu'elles soient de nature professionnelle ou personnelle.

Or, comme toute évolution, arrive un moment où certains signes de ralentissement apparaissent. La microélectronique ne fait pas exception à la règle. Le phénomène de miniaturisation commence à atteindre ses limites physiques et par là même, constitue un point d'interrogation de premier ordre quant à la question de l'avenir de la microélectronique : Doit-on se tourner vers d'autres types de composants ? Doit-on développer des architectures alternatives ? Quelles sont les voies technologiques à exploiter dans les prochaines années ?

Parallèlement à ce phénomène purement lié à la microélectronique, la miniaturisation a également déteint sur le monde des applications électroniques hétérogènes. On entend par ce terme les outils ayant une fonctionnalité liée aux sens, comme les capteurs ou les actionneurs. Ce domaine technologique a subi ces dernières années un rapprochement vers la microélectronique, notamment par la compatibilité grandissante de leurs procédés de fabrication. Par ce biais, il est devenu possible de fabriquer conjointement des circuits électroniques de traitement de l'information et des composants sensoriels, tout en ayant la possibilité de les co-intégrer. Ce concept de systèmes intégrés sur puce a permis l'apparition de nouvelles applications hétérogènes qui, aujourd'hui, font partie de notre quotidien (téléphonie intelligente, jeux vidéo interactifs, automobile, biochimie) [Massit08].

Dans une dynamique proche de celle de la microélectronique, ces systèmes intelligents subissent les contraintes du progrès – et tout ce que cela engendre du point de vue technologique. Les problématiques rencontrées dans les deux domaines, tels que le coût, la performance et la taille, ont tendance à s'homogénéiser et deviennent les leitmotsivs communs d'une évolution vers le monde de l'infiniment petit.

¹ La notion de « démocratisation » est somme toute assez relative ici, le prix moyen d'une fusée de type Ariane 5 s'élevant encore à quelques 130 millions d'euros... [Wiki09].

Ce carrefour technologique est l'occasion de proposer des solutions puissantes en termes de co-intégration hétérogène et de performances du traitement de l'information. L'intégration tridimensionnelle fait partie de ces concepts prometteurs et technologiquement réalisables à court terme. Cet axe de recherche est à l'heure actuelle porté dans le monde entier par une large majorité d'acteurs de la microélectronique. Les enjeux économiques et technologiques semblent être à la hauteur des investissements engagés pour l'instant dans le développement de cette technologie novatrice. Reste à savoir si l'intégration 3D représente la nouvelle révolution attendue en microélectronique ou simplement une évolution nécessaire aux problèmes actuels.

Le travail présenté ici n'a pas la prétention de répondre à cette question. Laissons le temps y répondre à notre place, il y aura moins de chances de se tromper. Dans un premier temps, il reste encore un certain nombre de points techniques à investiguer avant la commercialisation d'une application utilisant cette architecture particulière. On se propose d'en étudier un en particulier. Le thème de ce manuscrit de doctorat traite donc de l'impact des architectures d'intégration 3D sur la performance des technologies CMOS avancées, et plus particulièrement de la problématique du couplage par le substrat induit par les structures inhérentes à l'intégration 3D.

Quatre chapitres constituent ce manuscrit. Pour tenter de répondre aussi rigoureusement que possible à la problématique posée, un travail de modélisation a précédé un travail d'expérimentation sur circuit réel. Les technologies d'intégration 3D étant nombreuses et variées, il est apparu nécessaire de réaliser un état de l'art conséquent qui présente à la fois l'état actuel des recherches menées dans le monde, mais aussi un statut sur les technologies employées, ainsi que les applications visées, avec toujours en arrière plan le leitmotiv du coût. C'est le propos du chapitre 1.

Les phénomènes de couplage sont abordés dans le chapitre 2, avec en premier lieu un état de l'art théorique sur ce mécanisme particulier qui pose les bases des principales notions nécessaires à la compréhension de la suite. En second lieu, le problème est traité au sein d'une architecture 3D générique au niveau simulation uniquement. L'objectif de ce chapitre est de comprendre quels sont les enjeux d'un couplage par le substrat dans une intégration 3D, et notamment d'observer un quelconque impact sur les composants des technologies CMOS.

Le travail de modélisation numérique abordé au chapitre 2 permet de tracer les grandes lignes de la présente étude. Néanmoins, pour diverses raisons explicitées plus tard, le passage à une étude expérimentale s'avère nécessaire pour comprendre plus précisément les tenants et aboutissants du problème. Le chapitre 3 est ainsi consacré à la mise à niveau du flot de conception dédié à l'intégration 3D, l'élaboration de structures de test spécifiques et leur implémentation physique sur des véhicules technologiques à partir du flot de conception précédemment défini.

Enfin, le chapitre 4 constitue la synthèse des résultats expérimentaux obtenus à partir des véhicules de test dédiés. Nous y présentons notamment l'impact des procédés relatifs à l'intégration 3D sur les technologies CMOS, la caractérisation du couplage par le substrat induit par une intégration 3D (qui constitue par ailleurs une première mondiale). L'objectif de ce chapitre est de pouvoir différencier l'influence des procédés de celle du couplage. Enfin, une dernière courte partie permettra de conclure sur les travaux menés jusqu'à présent et sur les perspectives ouvertes quant à la suite de ce travail.

Très bonne lecture.

Chapitre 1

**Exploitation de la troisième dimension dans les
circuits intégrés : origine, statut, problématiques**

Table des matières

Chapitre 1	7
1.1. Evolution et limitations des circuits intégrés.....	10
1.1.1. Limitations des circuits intégrés planaires	10
1.1.1.1. Interconnexions : un problème a priori simple.....	10
1.1.1.2. Une petite histoire des interconnexions.....	10
1.1.1.3. Des solutions temporaires pour dépasser ces limitations.....	12
1.1.1.4. Organisation du réseau d'interconnexions : architecture multiniveaux.....	13
1.1.2. Évolution et limitations des systèmes électroniques intégrés.....	14
1.1.2.1. Système sur Puce (SoC)	14
1.1.2.2. Système en boîtier (SiP)	15
1.2. Vers une solution réaliste : l'intégration 3D	18
1.2.1. Historique de l'intégration 3D	19
1.2.2. De l'intérêt d'intégrer verticalement.....	20
1.2.2.1. Amélioration des performances des circuits homogènes	20
1.2.2.2. Une architecture adaptée à l'intégration hétérogène	22
1.2.2.3. Optimisation des coûts et du rendement de production.....	24
1.2.3. Des architectures verticales configurables.....	26
1.2.3.1. Hiérarchisation.....	26
1.2.3.2. Intégration verticale moyenne densité : 3D-WLP	28
1.2.3.3. Intégration verticale haute densité : 3D-IC	29
1.2.3.4. Intégration verticale très haute densité : 3D monolithique	31
1.2.4. Applications	33
1.2.4.1. Les microprocesseurs.....	34
1.2.4.2. Les mémoires	35
1.2.4.3. Les capteurs	36
1.2.4.4. Les systèmes électroniques hétérogènes	37
1.2.5. Options d'intégration	39
1.2.5.1. Empilement	39
1.2.5.2. Orientation des circuits.....	39
1.2.5.3. Alignement	40
1.2.5.4. Collage	41
1.2.5.5. Amincissement du silicium	41
1.2.5.6. Connexions inter-strates.....	42
1.2.5.7. Connexions intra-strate (TSV).....	42
1.2.5.8. Mode de réalisation des TSV	44
1.3. Interactions possibles avec les technologies CMOS	47
1.3.1. Impact thermomécanique lié aux procédés 3D sur les composants	49
1.3.2. Influence sur la conception de circuit.....	51
1.4. Contributions du doctorat.....	53
1.4.1. Synthèse de l'état de l'art.....	53
1.4.2. Démarche proposée.....	54

1.1. Evolution et limitations des circuits intégrés

L'histoire de la microélectronique, dans son sens le plus large, remonte à plus de 50 ans. Son évolution a été marqué par une caractéristique indéniable que peu d'industries peuvent se targuer d'avoir eu : une croissance technologique et économique des plus agressives seulement ponctuée de quelques crises mineures. Néanmoins, on voit apparaître un net ralentissement des points de vue économique et technologique depuis quelques années. Ce premier sous-chapitre propose de faire un statut sur l'évolution de cette industrie de pointe et de voir les alternatives envisagées en ce début de XXI^e siècle.

1.1.1. Limitations des circuits intégrés planaires

1.1.1.1. Interconnexions : un problème a priori simple

D'un point de vue volontairement simpliste, l'enjeu des interconnexions consiste à concevoir les fils reliant les différents éléments d'un circuit de la manière la plus efficace possible. Dans un cas strictement idéal, les interconnexions n'engendrent aucun délai de propagation du signal, ne prennent pas de place dans la puce, sont bon marché et toujours fiables. L'expérience acquise depuis 40 ans renvoie une toute autre réalité. L'enjeu perpétuel des interconnexions consiste à atteindre des valeurs de délai, de dimensionnement, de coût et de fiabilité qui constituent un compromis acceptable pour la réalisation d'interconnexions utilisables par l'industrie microélectronique.

1.1.1.2. Une petite histoire des interconnexions

Depuis la création de l'industrie microélectronique dans les années 50 jusqu'à la fin des années 90, les transistors ont dominé les performances et les coûts des puces, alors que les interconnexions n'ont joué qu'un rôle second dans ces domaines. Le XXI^e siècle a vu cette hégémonie s'inverser significativement. Une bonne illustration de ce qu'est le problème des interconnexions consiste à faire le parallèle entre ce qui se faisait il y a une vingtaine d'années et ce qui se fait maintenant [Meindl99]. Ainsi, pour une technologie 1 µm (fin des années 80), le délai intrinsèque d'un MOSFET approchait les 10 ps, alors que le temps de réponse d'une interconnexion de longueur 1 mm avoisinait 1 ps. Une technologie de 0.1 µm typique du début des années 2000 présente des performances bien différentes. Le temps de commutation du MOSFET chute à 1 ps alors que le temps de réponse de la même interconnexion s'envole à 100 ps. On remarque ainsi que, sur une période d'environ dix ans, l'augmentation du délai dans les interconnexions a été dix fois plus importante que la diminution du temps de commutation des transistors. A partir de cette simple constatation, il apparaît clairement que le délai généré par les interconnexions devient le facteur limitant des performances des circuits intégrés actuels. La Figure 1.1 représente les évolutions du délai caractéristique d'une interconnexion et d'un transistor NMOS à différents nœuds technologiques. Ces données sont issues des travaux de l'ITRS¹.

¹ ITRS : *International Technology Roadmap for Semiconductors*. Institution internationale regroupant l'ensemble des acteurs du monde des semi-conducteurs dont l'objectif est de définir les caractéristiques techniques des futurs nœuds technologiques. <http://www.itrs.net/>

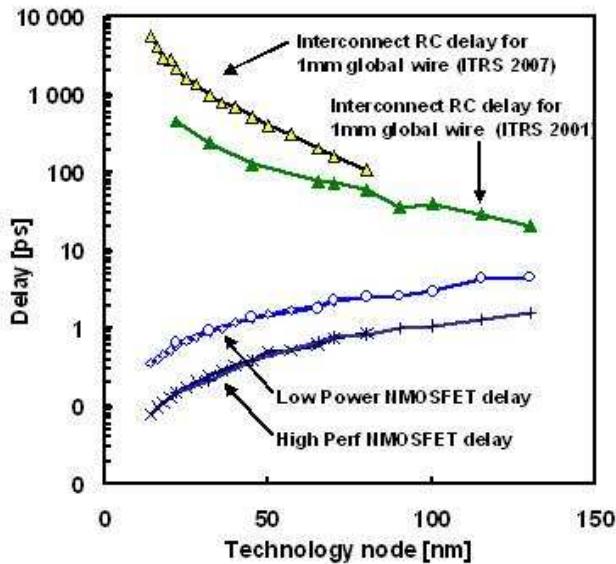


Figure 1.1. Prévision des délais caractéristiques d'une interconnexion globale et d'un transistor NMOS en fonction des nœuds technologiques [ITRS05I].

En parallèle à ce phénomène, la plupart des spécifications électriques des circuits ont elles aussi évolué durant cette décennie. Le courant d'alimentation a augmenté de 60 fois alors que la tension d'alimentation a chuté d'un facteur 5, imposant ainsi un lourd fardeau aux interconnexions qui régissent le réseau de distribution de puissance dans le circuit, notamment en termes de fiabilité des matériaux.

Par une complexification croissante des circuits, la longueur totale des interconnexions a également augmenté d'un facteur 50 par puce. Cette augmentation des longueurs accroît la valeur de la capacité totale C inhérente au réseau d'interconnexions. Or elle constitue un paramètre qui joue directement sur la puissance dynamique consommée, exprimée par :

$$P = \frac{1}{2} \alpha \cdot C \cdot V_{dd}^2 \cdot f_c \quad (\text{Eq. 1.1})$$

où V_{dd} est la tension d'alimentation et f_c la fréquence d'horloge. Une grande partie de l'énergie dissipée dans une puce est ainsi due au réseau d'interconnexions [Banerjee01].

Toutes ces évolutions pèsent sur les performances des interconnexions, qui imposent désormais des limitations sur la dissipation d'énergie, le délai et l'intégrité du signal dans un circuit intégré [Meindl01, Meindl03]. De manière plus générale et systématique, Meindl a défini en 1995 une hiérarchie des limitations des futurs circuits intégrés [Meindl95], divisée en cinq catégories : 1) fondamentales, 2) matérielles, 3) dispositifs, 4) circuit, 5) système. Sans rentrer dans leur détail, il apparaît que pour chacune d'elles, deux types de limitations sont à prendre en compte, l'une théorique, l'autre pratique. Les limites théoriques sont engendrées par les lois physiques et les innovations technologiques. Les limites pratiques couvrent les contraintes liées aux coûts de fabrication et aux tendances des marchés.

1.1.1.3. Des solutions temporaires pour dépasser ces limitations

Limiter le délai dans l'interconnexion consiste, au premier ordre, à minimiser la valeur de son produit résistance-capacité (RC). Des solutions technologiques ont été mises en place dans ce sens. À titre d'exemple, l'aluminium, métal auparavant utilisé pour les interconnexions, a été remplacé par le cuivre, moins résistif. Cependant, la largeur des lignes de cuivre devient inférieure au libre parcours moyen des électrons, ce qui entraîne une forte augmentation de la résistivité des lignes. La permittivité diélectrique des isolants interlignes diminue grâce à l'introduction de porosité. Mais, là aussi, le taux de porosité maximal (technologie « Air Gap » [Hoofman06, Gosset05, Gras08]) est déjà à l'étude et ne pourra pas être augmenté indéfiniment. En réalité, ces améliorations technologiques atteignent leur limite physique, rendant difficile la poursuite de la miniaturisation des circuits 2D classiques telle que prévue par la loi de Moore [Moore65].

En suivant cette fameuse loi, le nœud technologique 22 nm devra être atteint à l'horizon 2016, selon les prévisions de l'ITRS [ITRS06], où cent milliards de transistors seront censés être intégrés sur une puce dont les interconnexions seront réparties sur treize niveaux de métal. Or, utiliser des niveaux de métallisation supplémentaires augmente considérablement le coût de fabrication des puces. L'utilisation de répéteurs sur les lignes d'interconnexions les plus longues, en parallèle aux solutions technologiques précitées, reste la solution conceptuelle la plus employée actuellement pour minimiser le nombre de niveaux de métal [Joyner03, List06]. En jouant sur le nombre de répéteurs, les grandes lignes d'interconnexions sont cassées en plusieurs segments de moindre longueur, ramenant le délai intrinsèque d'une interconnexion globale à celui caractéristique des lignes d'interconnexions les plus courtes. La Figure 1.2 compare le délai des interconnexions (locales, semi-globales et globales – cf. Figure 1.3) avec et sans répéteurs. List *et al.* montrent qu'une répartition optimisée de répéteurs sur les lignes permet de garder un temps de propagation du signal quasiment constant, quel que soit le nœud technologique employé [List06].

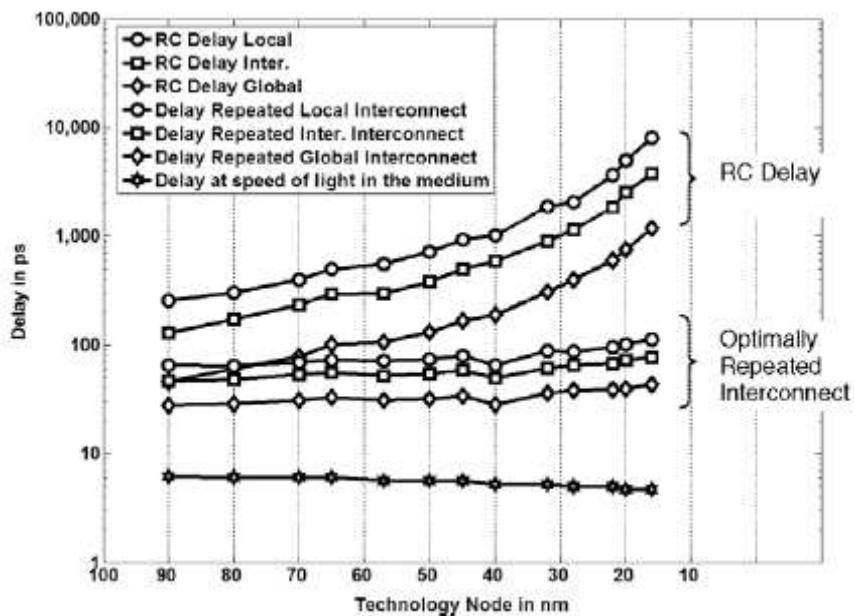


Figure 1.2. Délai propre à une ligne de longueur 1 mm dans différents types d'interconnexions intégrées dans un matériau diélectrique à faible constante diélectrique [List06].

La contrepartie forte de cette solution est l'augmentation de la surface occupée par le circuit global, les répéteurs ayant une taille non négligeable. Qui plus est, ces composants sont de nature active, ils nécessitent donc une certaine alimentation électrique qui se traduit par une augmentation de la consommation globale du circuit.

Toutes ces solutions technologiques et conceptuelles possèdent un potentiel intéressant pour ce qui est de réduire le délai propre aux interconnexions et la puissance dynamique associée. Néanmoins, nous venons de voir en quoi ces solutions sont aujourd'hui limitées dans les architectures classiques. Pour comprendre tout l'enjeu que représente le réseau d'interconnexions, il est nécessaire de décrire précisément sa hiérarchisation, et de comprendre comment la répartition des différentes longueurs d'interconnexions peut être anticipée. Toutes ces problématiques sont aujourd'hui de premier plan car les circuits atteignent un niveau de complexification extrême, et les intégrations monolithiques classiques risquent d'être trop lourdes à mettre en œuvre dans un avenir proche, aussi bien techniquement que financièrement.

1.1.1.4. Organisation du réseau d'interconnexions : architecture multiniveaux

Le réseau global d'interconnexions (ou BEOL²) dans un circuit intégré répond à une logique de hiérarchisation des niveaux physiques d'interconnexions (niveaux de métallisation). Cette catégorisation des interconnexions est définie selon des facteurs tels que l'espacement des lignes de métal, leur section, le temps de propagation maximal du signal et le mode de communication (exemple : intra blocs, inter blocs, distribution de puissance, fréquence d'horloge). Un niveau contient une ou plusieurs couches de lignes métalliques de même espacement (pas). Le niveau le plus proche des parties actives (FEOL³), appelé niveau local, est la plupart du temps responsable des communications à courte distance intra blocs. Les lignes de métal de ce niveau sont les plus courtes et leur espacement le plus fin. Le niveau le plus éloigné des parties actives, dénommé global, sert aux communications à longue distance inter blocs et à la distribution de la puissance et de la fréquence d'horloge. Ce niveau contenant les lignes les plus longues, l'espacement des lignes est le plus large possible, de sorte à minimiser les délais de propagation du signal. Une architecture moderne d'interconnexion comporte typiquement trois niveaux de hiérarchisation : local, semi-global et global, comprenant jusqu'à 10 niveaux de métal (Figure 1.3).

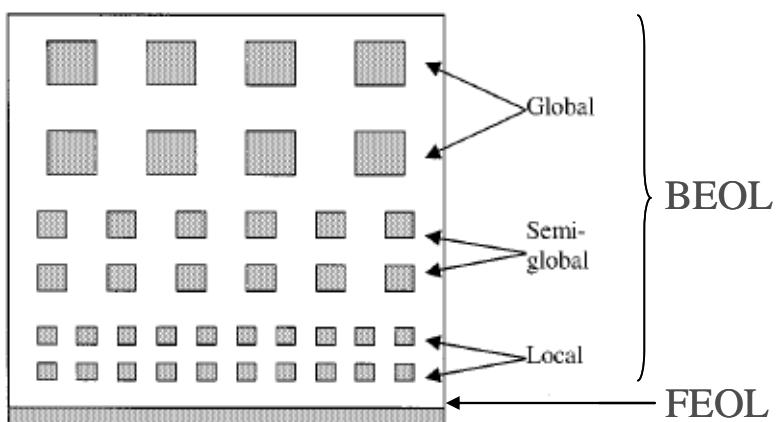


Figure 1.3. Modélisation d'une structure d'interconnexions à trois niveaux [Banerjee01].

² BEOL: *Back-End-Of-Line*. Terme désignant l'ensemble des interconnexions métalliques d'un circuit intégré.

³ FEOL: *Front-End-Of-Line*. Terme désignant l'ensemble des parties actives (transistors) d'un circuit intégré.

1.1.2. Évolution et limitations des systèmes électroniques intégrés

Nous venons de voir quelles sont les principales restrictions technologiques relatives aux interconnexions jouant un rôle déterminant sur les performances des dispositifs CMOS actuels. Ces limitations ont pour conséquence de freiner l'augmentation de la densité d'intégration, rendant la politique industrielle du *More Moore* plus coûteuse et incertaine que jamais. Or, les circuits électroniques actuels ont des spécifications de plus en plus avancées, essentiellement pilotées par les applications grand public (technologies sans fil, applications multimédia portatives, calcul, etc.). Les spécifications électriques et environnementales de ces produits sont principalement dictées par une augmentation significative de la performance et de la fonctionnalité des circuits. Ainsi, sans vraiment caricaturer la dynamique actuelle inhérente à la création d'un nouveau produit, la majorité des applications se doivent d'offrir plus de puissance de calcul, une réduction des dimensions, un faible coût et consommer moins d'énergie. Leur conception doit aussi s'effectuer en un temps réduit (notion de délai de lancement importante) et dans un souci d'évolutivité. On a donc vu apparaître des systèmes complets intégrés sur une même puce, incluant soit des technologies similaires, soit des technologies hétérogènes. Ces systèmes « tout-en-un » sont plus connus sous les appellations anglophones *System-on-Chip (SoC)* et *System-in-Package (SiP)*. Ils doivent être compris comme étant deux systèmes d'intégration complémentaires. Leur important développement leur fait jouer un rôle prépondérant dans les applications grand public actuelles. Néanmoins, les systèmes sur puce (*SoC*) se trouvent limités par leur grande complexité de conception, une des principales problématiques actuelles du domaine *More Moore*, et les systèmes en boîtier (*SiP*) doivent faire face à une mise en boîtier (*packaging*) de plus en plus coûteuse et complexe à réaliser, ce qui constitue la limite principale des systèmes hétérogènes du *More than Moore*. Tous deux trouvent leur définition ci-après.

1.1.2.1. Système sur Puce (SoC)

Nous présentons ici le principe de base du système sur puce, en mettant l'accent sur les limitations actuellement rencontrées par ce type de système intégré homogène.

Principe de base.

Le principe du système sur puce est de regrouper sur une même puce des composants actifs et passifs fabriqués collectivement, avec des procédés compatibles [Belleville06, Muralid04]. Leur architecture matérielle comprend les blocs logiques standards (CPU⁴, mémoires...), les blocs spécifiques et les bus de communication intégrés simultanément lors de la fabrication sur une même surface. Ce type de système unique contient donc des fonctions logiques, analogiques, RF et signaux mixtes [ElecManuf]. Le concept même du *SoC* implique de concevoir l'ensemble des composants du *SoC* à partir d'un même nœud technologique. Autrement dit, le sous-système le plus évolué d'un point de vue technologique va imposer à tous les autres sous-systèmes du *SoC* la technologie utilisée pour la conception et la fabrication du *SoC*. Le principal intérêt de ces systèmes est un coût unitaire faible pour une production de masse uniquement. Les *SoC* sont reconnus performants, fiables, compétitifs et difficilement copiables.

⁴ CPU : *Central Processing Unit* (unité centrale de calcul).

Limitations actuelles.

Inversement, leur inconvénient majeur réside dans le fait qu'ils sont beaucoup trop chers à produire à moins de quelques dizaines de millions d'unités par an, cette tendance se renforçant de plus en plus avec les nouvelles générations technologiques CMOS. De plus, leur conception devient extrêmement exigeante de par la nature même du *SoC*: intégrer un maximum de fonctions sur un même design requiert des moyens de calculs ainsi qu'un savoir-faire très avancés. Il s'agit là du principal frein au développement à venir des *SoC*. D'une part, leur coût de conception va exploser avec le développement des prochains nœuds technologiques (32 nm et au-delà), principalement dû à un délai de lancement (*time-to-market*) de plus en plus long. D'autre part, les flots de conception actuels ne pourront bientôt plus gérer de telles architectures complexes [Madden05]. Enfin, la particularité des *SoC* étant de regrouper au sein d'un même ensemble un éventail complet de fonctionnalités, leur taille physique moyenne atteint fréquemment plusieurs centaines de mm², ce qui les place dans la catégorie des circuits de type ULSI⁵. Il se trouve que l'ensemble des limitations inhérentes aux interconnexions présentées à la section 1.1.1 s'applique à ce type de circuit.

1.1.2.2. Système en boîtier (SiP)

Nous présentons maintenant le principe de base du système en boîtier, en mettant l'accent sur les limitations actuellement rencontrées par ce type de système intégré hétérogène.

Principe de base.

Le système en boîtier associe au sein d'un même boîtier les éléments les plus hétérogènes : circuits intégrés, MEMS, batteries, composants RF, modules de traitement biologique, etc. Les procédés de fabrication de ces différents composants sont trop hétérogènes pour être compatibles. Il s'agit donc d'assembler différentes puces contenant chacune un composant, puis de tirer la connectique pour les relier. La conception est simplifiée, les masques beaucoup moins chers, mais le coût de production unitaire est plus élevé et l'ajout *a posteriori* de la connectique pénalise la fiabilité et la vitesse des circuits. Les *SiP* sont la bonne solution quand le délai de lancement⁶ est déterminant ou quand les quantités prévues rendent incertaine la rentabilité d'un *SoC* [Belleville06]. De manière générale, le terme *SiP* désigne l'ensemble des solutions permettant de réaliser une mise en boîtier de plusieurs puces indépendantes (par exemple : CSP – *Chip Scale Package* ; MCM : *Multi-Chip Module*). Au-delà de cette signification, le véritable avantage du *SiP* réside dans le fait qu'il permet l'intégration de composants de nature réellement différente, ce que ne permet pas le système sur puce (où la conception est limitée à des systèmes de même nature technologique) [Scanlan01]. Comparé au *SoC*, le système en boîtier se veut donc plus complet et représente un véritable système électronique intégré.

Parallèlement à ces problématiques, le système en boîtier propose un gain de place considérable sur la carte mère comparé au système sur puce. En effet, dans le premier cas, les différents éléments du système sont empilés les uns sur les autres et interconnectés soit par une technique de câblage dite de *wire bonding*⁷, soit par une technique de report dite de *flip chip*⁸, alors que dans le second cas, les différents blocs du *SoC* sont implantés sur une même niveau, occupant une place considérable sur un substrat de packaging.

⁵ ULSI : Ultra Large Scale Integration.

⁶ Délai de lancement (*Time-to-market*) : délai de mise sur le marché. Temps nécessaire au développement et la mise au point d'un produit avant commercialisation.

⁷ *Wire bonding* : technique d'interconnexions d'au moins deux puces par câblage métallique.

⁸ *Flip chip* : technique de report d'une puce électronique sur un substrat de packaging par collage face à face à l'aide de billes de métal de petite taille (micro-bumps). [Source : www.microbonding.com/fr/fc_fr.htm]

Limitations actuelles.

Les deux techniques de *wire bonding* et *flip chip* sont aujourd’hui largement utilisées dans le milieu industriel, avec une prédominance significative du *wire bonding*, cette technique étant plus ancienne et moins coûteuse que le *flip chip*. La Figure 1.4 présente deux schémas en coupe d’une puce connectée à son substrat de packaging selon ces deux techniques. Pour autant, le *flip chip* apporte de nombreux avantages par rapport au *wire bonding*, parmi lesquels le gain de place (les câbles occupent une surface importante), le plus grand nombre de connexions d’entrée/sorties (en *wire bonding*, les connexions sont obligatoirement réalisées en périphéries de la puce pour éviter les courts-circuits entre câbles) et l’amélioration des performances en RF (les microbumps du *flip chip* sont plus performants électriquement que les câbles du *wire bonding*) [Tschan01, NEPG00].

De manière synthétique, on peut affirmer que la technique de connexion par *wire bonding* permet la superposition de plusieurs puces électroniques mais que la connectique par câbles superposés nécessite une place non négligeable. A l’inverse, la technique de *flip chip* ne permet pas de superposer des puces, contraignant ainsi de positionner celles-ci côte à côte. Par contre la connectique est « invisible » puisque située sous la puce. La Figure 1.5 permet de visualiser les avantages et inconvénients de chaque approche l’une par rapport à l’autre.

De ce constat, la solution idéale pour connecter deux puces ou plus sur un même substrat de packaging serait d’allier à la fois la notion de superposition propre au *wire-bonding* et la notion d’encombrement minimal propre au *flip chip*.

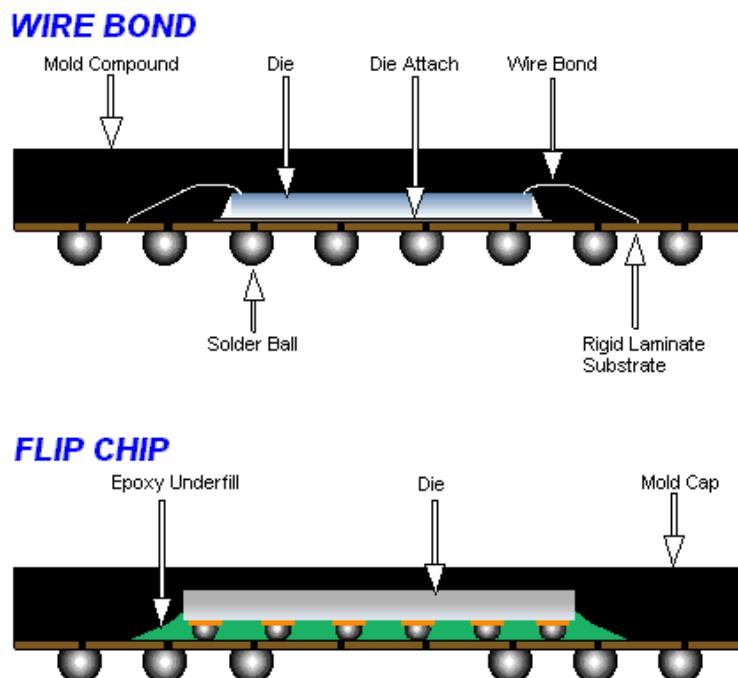


Figure 1.4. Principe de connexion par câblage (wire bonding) et par report (flip chip). (© 2001 Amkor Technology, Inc.)

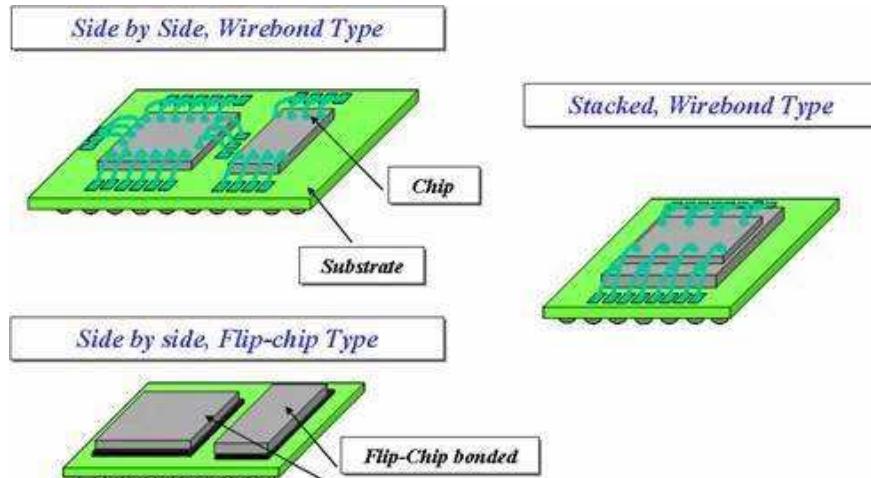


Figure 1.5. Avantages et inconvénients du flip chip et du wire bonding.

Pour conclure ce premier sous chapitre 1.1, il apparaît évident que la gestion d'un système électronique intégré s'avère complexe dès lors que plusieurs types de circuits et de packaging sont nécessaires à la réalisation de la fonction souhaitée. Cette diversification croissante des fonctionnalités d'un système est caractéristique de la thématique industrielle appelée *More than Moore*, qui se développe en parallèle à la poursuite de la miniaturisation des composants (*More Moore*). Les systèmes électroniques intégrés utilisant les avantages des deux domaines seront alors les plus à même de remplir toutes les spécifications de plus en plus exigeantes des produits à venir.

1.2. Vers une solution réaliste : l'intégration 3D

Nous venons de voir en quoi les architectures traditionnelles de circuits intégrés sont aujourd’hui limitées, à la fois d’un point de vue technologique pour la réalisation des futurs générations, que d’un point de vue conceptuel par la complexité croissante des circuits. Ces architectures de circuit vont devoir évoluer vers d’autres modèles. Les tous prochains défis technologiques vont pousser l’industrie microélectronique à faire des choix cruciaux pour mettre en œuvre de nouveaux types de circuits et peut-être une autre façon d’envisager la conception et la production. Dans ce sens, l’intégration 3D de circuits est une des nouvelles architectures les plus prometteuses à l’heure actuelle.

A ce titre, en parallèle à toutes les solutions et innovations technologiques et conceptuelles proposées jusqu’à présent, l’intégration tridimensionnelle, dans sa forme la plus générale, représente une solution prometteuse aux problèmes de la miniaturisation et de la fonctionnalisation des circuits. Ce concept présente un fort potentiel pour jouer un rôle déterminant dans la résolution des problèmes des interconnexions pour le noeud technologique 32 nm et au-delà. En ce sens, il s’inscrit à la lisière entre la dynamique de recherche « *More than Moore* » [ZhangG05, Declerck05], désignant les technologies émergentes en marge du CMOS (non digitales), et celle appelée « *More Moore* », qui s’attache à poursuivre la miniaturisation des dispositifs CMOS (Figure 1.6).

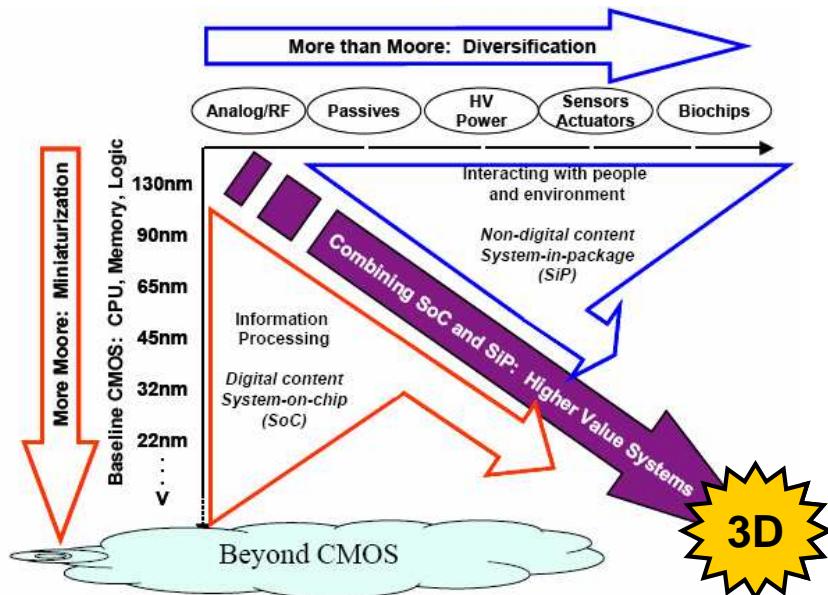


Figure 1.6. Positionnement de la thématique de l’intégration 3D dans le contexte présent et futur de l’industrie des semi-conducteurs [ITRS05II].

1.2.1. Historique de l'intégration 3D

L'intégration tridimensionnelle telle que définie aujourd'hui représente un nouveau schéma d'intégration de systèmes à plusieurs niveaux, où différentes couches de composants sont empilées et interconnectées grâce à des via verticals traversant les étages de silicium. Ces via d'un genre nouveau – ils traversent le silicium – sont communément appelés *TSV*, pour “Through-Silicon Vias”, par la communauté scientifique. Si cette technologie est résolument novatrice, le concept même d'empilement vertical des dispositifs électroniques date des premiers temps de l'industrie des semi-conducteurs. A l'origine, un seul niveau de composants actifs était empilé sur des couches de composants passifs, le tout étant interconnecté par des câbles extérieurs à la puce. Ce projet datant de 1956, appelé *Tinkertoy* [Henry56], constitue les prémisses de la technologie 3D adaptée au packaging des puces. Ce type d'architecture a été repris et amélioré par la suite, notamment en 1958 avec le projet *Micromodule* [Bernstein59]. Si la technologie 3D a longtemps été appliquée au seul domaine du packaging, Akasaka [Akasa86I, Akasa86II] présente dès 1986 les grandes lignes conceptuelles d'un circuit intégré en 3D, assez proche des concepts développés aujourd'hui, avec ses principaux avantages. Akasaka prévoyait le développement spécifique de la technologie 3D et la modification des règles de design entre 1990 et 2000 pour une industrialisation à l'aube du XXI^e siècle [Akasa86II]. Le caractère visionnaire de cette publication, même s'il est quelque peu optimiste, nous renseigne sur le fort intérêt déjà suscité pour les circuits 3D à cette époque. Par la suite, l'amélioration des techniques et des procédés de fabrication des circuits intégrés ainsi que le perfectionnement des méthodes de conception ont montré que cette technologie possédait les qualités requises pour la conception de circuits intégrés profondément innovants. Les principaux efforts de recherche effectués à la fin des années 1990 et aux débuts des années 2000 sur l'intégration 3D ont porté sur deux points essentiels : le développement des technologies de fabrication et l'extension des règles de dessin adaptées à l'intégration 3D.

Les premières innovations industrialisables ont été les empilements de puces (*3D Die Stacking*, cf. Figure 1.7), où les différents éléments sont reliés par des câblages externes (*wire bonding*). Ce type de systèmes mis en boîtier est en production depuis 1998, avec des produits phares tels que les empilements à deux niveaux de mémoires (SRAM/SRAM⁹, SRAM/Flash¹⁰, DRAM¹¹/Flash) [Garrou05I]. Par la suite sont apparus les premiers empilements de puces SDRAM¹² pour la téléphonie mobile, qui présentaient comme avantages l'amélioration des performances électriques et une réduction de la taille et du poids du boîtier final [Karnezos05]. Les principaux inconvénients du câblage externe sont la grande surface occupée et le faible nombre de configurations de câblage possibles entre puces (pas de connexion possible au cœur de la puce, seulement en bordure). Une grande innovation a été de considérer des interconnexions au cœur des circuits, ce qui implique des connexions inter circuits beaucoup plus denses. C'est le concept des circuits intégrés tridimensionnels discuté dans l'ensemble du manuscrit. Les années 90 ont aussi vu l'émergence de multiples procédés d'intégration tridimensionnelle de packagings développés par les acteurs de l'industrie microélectronique [Ghaffa99]. A l'époque, le procédé de *Micron Inc.* amorce les recherches sur les via traversants (technologie de packaging Osmium™) [MICRON].

⁹ SRAM: *Static Random Access Memory* (mémoire statique à accès aléatoire).

¹⁰ Flash Memory: mémoire non volatile qui peut être effacée et reprogrammée électriquement.

¹¹ DRAM: *Dynamic Random Access Memory* (mémoire dynamique à accès aléatoire).

¹² SDRAM : *Synchronous Dynamic Random Access Memory* (mémoire dynamique synchrone à accès aléatoire).

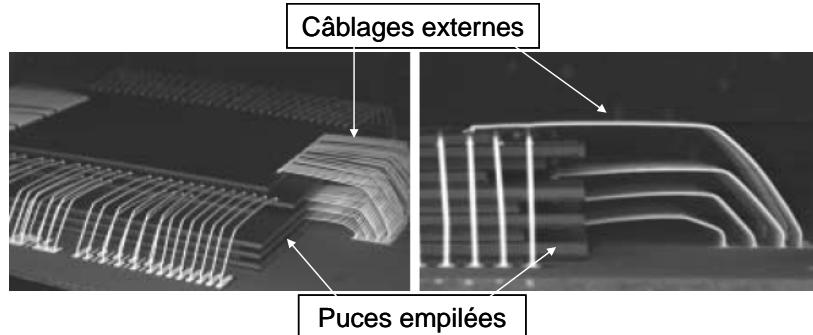


Figure 1.7. Packaging multi-puces à 9 couches [Toshiba04].

1.2.2. De l'intérêt d'intégrer verticalement

Cette section traite de l'intérêt d'utiliser la dimension verticale, jusqu'à présent peu usitée dans le domaine de la microélectronique. La troisième dimension apporte des avantages au niveau des performances du circuit pour tout ce qui concerne l'intégration homogène (domaine du *More Moore*), ainsi que de multiples possibilités au niveau de l'intégration hétérogène (domaine du *More than Moore*).

1.2.2.1. Amélioration des performances des circuits homogènes

Nous venons de voir que l'intégration classique (planaire) des blocs logiques d'une puce commence à montrer certaines limites, notamment en terme de temps de propagation du signal dans les interconnexions inter blocs. Le fait de vouloir intégrer les mêmes entités verticalement, chacune à un niveau physique distinct, ouvre la possibilité de diminuer considérablement les longueurs d'interconnexions, tout en réduisant l'aire des puces [Garrou06]. La Figure 1.11 (g) illustre schématiquement cette réduction globale des interconnexions et de la surface occupée. Les câblages inter blocs présents dans les circuits 2D sont ici remplacés par des interconnexions verticales courtes (les fameux TSV). Plusieurs travaux ont été menés dans le but d'estimer la diminution moyenne des longueurs d'interconnexions par rapport à une architecture classique 2D. Ainsi, Davis *et al.* ont estimé en première approximation que la superposition de trois niveaux actifs pouvait réduire la distribution de longueur d'interconnexions au plus d'un facteur $3^{1/2}$, soit 42% [Davis05]. Ce résultat n'est valide qu'en tenant compte du fait que les via inter niveaux sont ignorées dans l'estimation. Zhang *et al.*, dans une étude plus minutieuse, ont montré qu'une réduction de 40% maximum des plus longues lignes d'interconnexions est possible, mais qui chute à 30% en moyenne sur l'ensemble des lignes [Zhang01].

La conséquence de cette réduction significative des longueurs d'interconnexions est une diminution de la puissance dynamique dissipée dans le réseau d'interconnexions exprimée par l'équation 1.1. Cette réduction de la puissance dynamique s'explique par le fait que la capacité totale C du réseau d'interconnexions voit également sa valeur diminuer lorsqu'on se place dans une configuration 3D (on rappelle que C est la capacité totale du réseau, soit $C_{\text{local}} + C_{\text{semi}} + C_{\text{global}}$). Pour comprendre ce phénomène, nous nous référons à la modélisation d'une ligne d'interconnexion par un modèle RC (Figure 1.8). Lorsque la longueur de ligne L diminue, la valeur de la capacité décroît linéairement (Eq. 1.5).

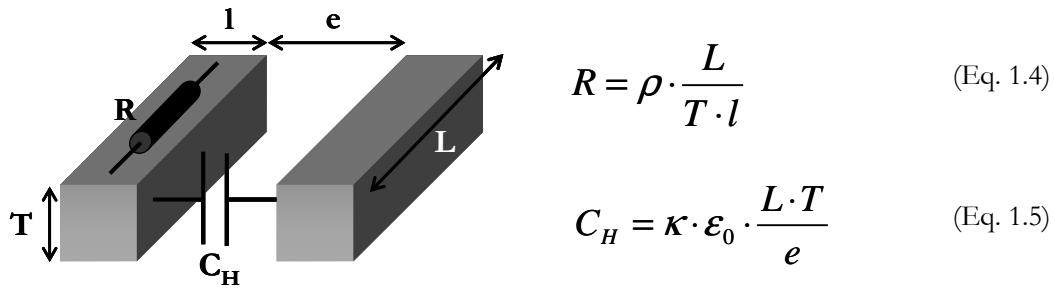


Figure 1.8. Interconnexion décrite par un modèle RC [Favenne05].

Toutefois, ce phénomène ne se vérifie que si la fréquence utilisée reste identique à celle d'un circuit 2D. L'équation 1.1 montre qu'en augmentant la fréquence de la puce, la puissance dissipée est bien plus importante que dans un circuit 2D. La Figure 1.9, qui présente une comparaison de plusieurs paramètres réalisée entre un circuit intégré 2D et deux circuits 3D comportant deux couches actives, démontre cette inversion de variation de la puissance dissipée. Les circuits sont réalisés avec une technologie 50 nm. Le circuit 3D est présenté sous deux configurations différentes qui représentent deux cas limitants. L'un possède la même surface que la puce 2D mais une fréquence doublée alors que l'autre fonctionne à la même fréquence que le circuit 2D pour une surface moindre.

50 nm Technology Node			
	2-D	3-D	3-D
Active Layers	1	2	2
f_c (MHz)	3000	3000	6000
Feature Size (nm)	50	50	50
A_c (cm ²)	8.17	5.80	8.17
N_t (Millions) per Active Layer	7053	3526.5	3526.5
Gate Pitch (cm)	3.4E-5	4.06E-5	4.81E-5
p_{local} (μm) / A.R.	0.1 / 2.1	0.1 / 2.1	0.1 / 2.1
p_{semi} (μm) / A.R.	0.165 / 2.7	0.14 / 2.7	0.33 / 2.7
p_{global} (μm) / A.R.	0.275 / 2.9	0.23 / 2.9	0.55 / 2.9
L_{local} (gate pitches)	6190	5195	1313
L_{semi} (gate pitches)	10324	6826	4380
L_{global} (gate pitches)	83982	59384	59384
C_{total} (per active layer) (μF)	6.1285	2.370	5.6257
Total Power Dissipation (W)	174	135	639
Power Density per Layer (W/mm ²)	0.213	0.116	0.391

Figure 1.9. Comparaison entre un circuit 2D et deux circuits 3D (technologie 50nm) [Banerjee01].

Pour reprendre la modélisation d'une ligne d'interconnexion (Figure 1.8), on observe également une diminution de la valeur de la résistance des lignes (R étant proportionnelle à la longueur des lignes, cf. Eq. 1.4). La conséquence principale de la diminution de la résistance des lignes et de la capacité inter lignes est la réduction significative du délai de propagation du signal dans les interconnexions, proportionnel au produit RC (au premier ordre), impliquant ainsi une augmentation significative des performances des circuits. La Figure 1.10 propose une comparaison simple d'un circuit contenant 6 IP¹³ en configuration planaire et en configuration tridimensionnelle. Avec ou sans utilisation de répéteurs sur les lignes d'interconnexions globales (supérieures à 1 mm), la configuration planaire induit un délai très largement supérieur à celui estimé dans la configuration 3D.

¹³ IP : Intellectual Property. Sigle utilisé en design pour définir la conception d'une fonction électronique.

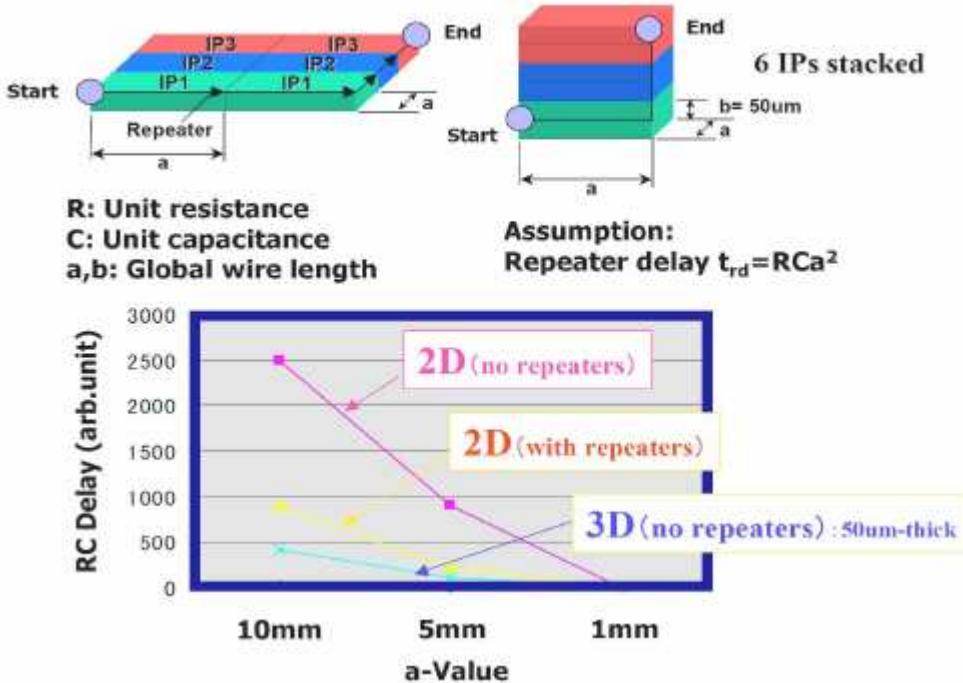


Figure 1.10. Estimation de l'impact d'une architecture 3D sur la réduction du délai RC [Okamoto07].

1.2.2.2. Une architecture adaptée à l'intégration hétérogène

De manière analogue, l'intégration tridimensionnelle hétérogène constitue une évolution prometteuse en appliquant le concept illustré Figure 1.11 (g) à différentes technologies pouvant être intégrées sur une même puce (Figure 1.11 (d)). Ce concept représente l'extension spatiale du *System-on-Chip* à l'axe ζ ($(x-y)$ étant le plan horizontal). Les différentes fonctions du système sont ainsi intégrées verticalement et non plus horizontalement. Une conséquence évidente est la diminution de la surface des puces, influant ainsi sur la taille du packaging, donc la taille du système final. Une liste non exhaustive d'applications possibles peut être établie. Le couplage d'un microprocesseur avec une mémoire cache permettrait ainsi au CPU de communiquer beaucoup plus rapidement qu'avec la technologie actuelle des *SoC* plans, où les bus de communication limitent fortement les vitesses d'échange d'information. L'empilement de mémoires (SRAM ou DRAM) sur plusieurs niveaux est également une application prometteuse et réalisable à plus court terme [Garrou05II]. Enfin, l'architecture 3D permettrait le couplage de technologies nécessitant des tensions d'alimentation différentes, tel que l'association de circuits mémoires SRAM sur des circuits logiques (*i.e.* un système de mémoires distribuées dans un microprocesseur) [Souri00]. L'intégration 3D a la capacité de développer un important potentiel sous-jacent d'applications diverses, où les critères de densité d'intégration et de fonctionnalité sont largement mis en avant par rapport aux concepts d'intégration actuels (Figure 1.12). L'ensemble des architectures 3D présentées sur la Figure 1.12 propose des densités d'intégration ainsi que des fonctionnalités bien supérieures aux circuits 2D actuels.

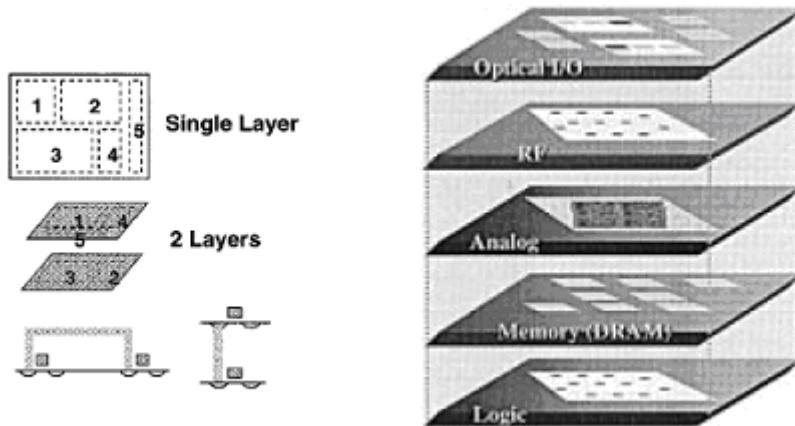


Figure 1.11. (g) Comparaison qualitative des longueurs d'interconnexions entre un dispositif intégré sur un plan (une couche) et une puce 3D (deux couches), (d) Schématique d'un dispositif *SoC* 3D intégrant des technologies hétérogènes [Banerjee01].

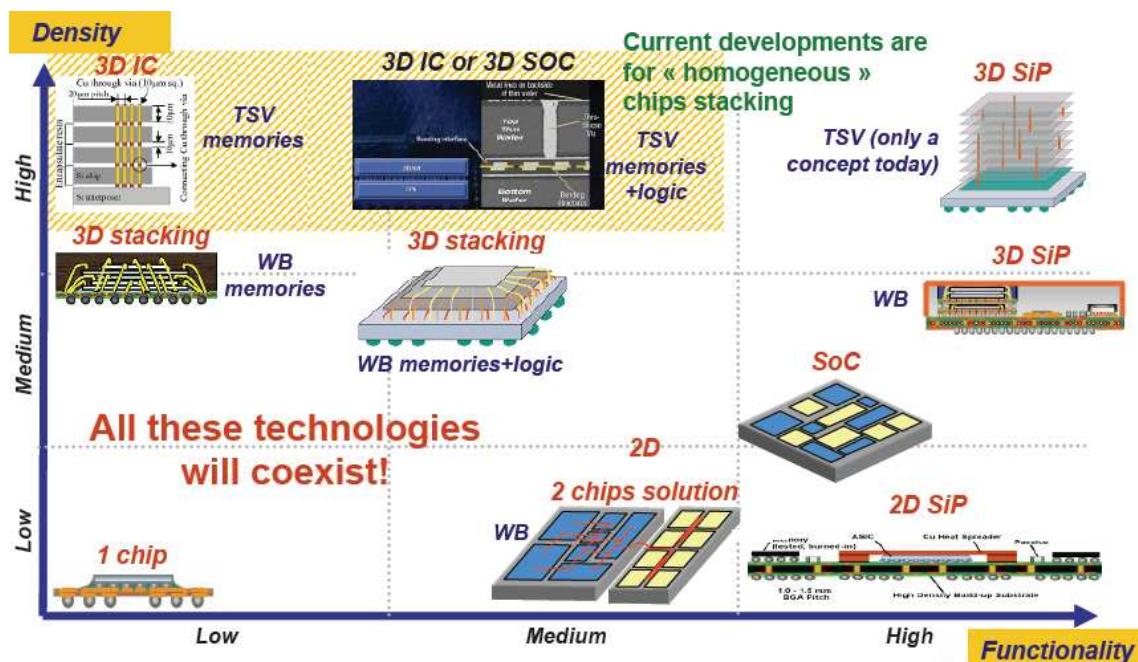


Figure 1.12. Positionnement de l'intégration 3D parmi les solutions d'intégration existantes [Eloy07].

1.2.2.3. Optimisation des coûts et du rendement de production

Lorsqu'une nouvelle technologie est implantée, un des principaux risques encourus est la chute du rendement par rapport à une technologie antérieure, suite à l'apparition de nouveaux mécanismes de défaillance (de quelque nature que ce soit). L'intégration 3D est une technologie de rupture reliant le monde du packaging (*SiP*) et celui des performances (*SoC*) et, en ce sens, représente une toute nouvelle approche d'intégration, donc une probable chute du rendement de fabrication. Paradoxalement, il apparaît de plus en plus certain que le passage industriel à la 3D sera moins coûteux que le passage aux futurs nœuds technologiques (inférieur à 45 nm), ce qui constitue aujourd'hui un avantage de taille pour les circuits 3D par rapport aux systèmes sur puce. En effet, considérant un *SoC* réalisé dans une technologie avancée, le rendement associé a tendance à diminuer alors que le coût inhérent à ladite technologie augmente comparativement à une génération antérieure. En séparant les différents sous-systèmes du *SoC* et en les fabriquant dans des technologies différentes (mature pour la partie analogue, avancée pour la partie logique, cf. Figure 1.13), l'intégration 3D du même système augmente drastiquement le rendement de fabrication des différents sous-systèmes (leur taille étant inférieure à celle du *SoC* initial), et par conséquent réduit son coût global. Est inclus dans cette estimation le coût du procédé 3D qui ne représente que 3 à 8% du coût total d'un circuit 3D [Ferrant08]. La Figure 1.14 montre l'évolution des coûts relatifs au *SoC* présenté à la Figure 1.13, basé sur une technologie 45 nm, et son équivalent 3D dont la partie numérique reste en 45 nm et la partie analogique passe en 0.8 µm.

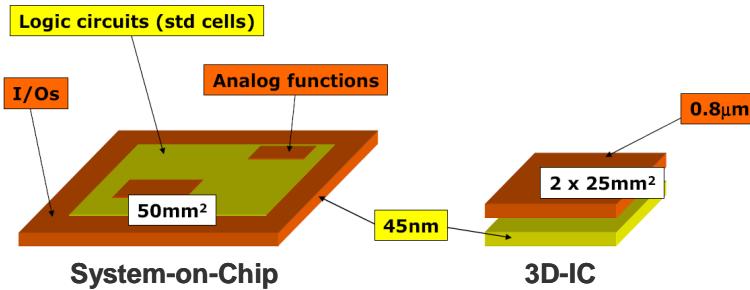


Figure 1.13. Exemple d'équivalence circuit entre un *System-on-Chip* (gauche) et une intégration 3D (droite) [Ferrant08].

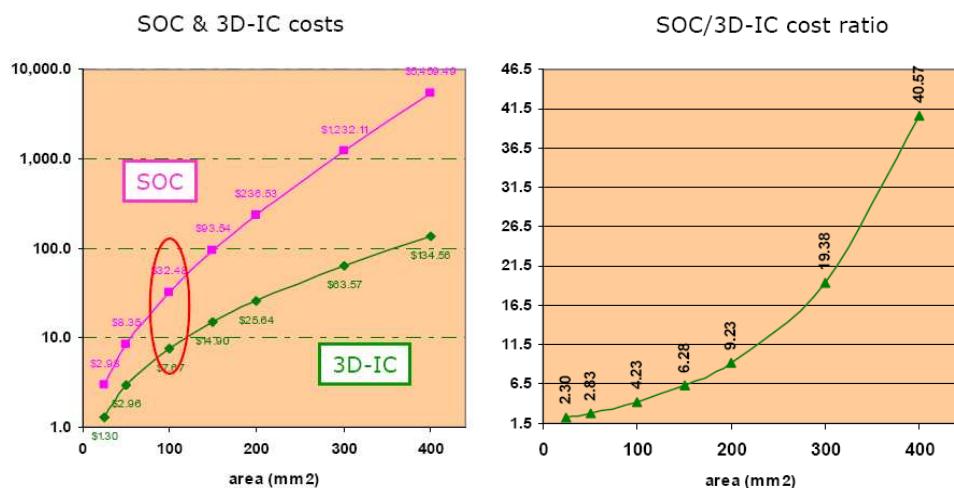


Figure 1.14. (g) Comparaison des coûts (en \$) relatifs à la fabrication d'un SoC 45 nm et son équivalent 3D 45 nm / 0.8 µm en fonction de la surface du circuit considéré. (d) Rapport des coûts relatifs aux SoC et 3D-IC [Ferrant08].

Bien entendu, ces problématiques de rendement sont fortement dépendantes du schéma d'intégration choisi. En effet, les architectures 3D existent sous de nombreuses variantes conceptuelles et technologiques (qui seront détaillées au § 1.2.3), ce qui rend son étude d'autant plus complexe et étendue. On comprend que le coût relatif d'un produit issu d'une intégration 3D varie suivant l'architecture choisie et donc l'application finale - le produit. Pour évaluer ces niveaux de coûts de développement, le concept d'intégration 3D doit être étudié et compris pour chaque application, et le coût lié à chaque flot de conception associé doit être évalué [Lammers06]. Outre l'aspect financier, les spécifications techniques finales du produit, ainsi que le savoir-faire et la maîtrise des étapes technologiques influent directement sur le choix des options architecturales et donc la définition d'un schéma d'intégration particulier.

On peut ainsi prendre l'exemple du concept *die-to-wafer* (collage puce sur plaque), qui consiste à ne sélectionner que les puces fonctionnelles (*known good die* – KGD) et les coller sur le substrat inférieur. Ce procédé a l'avantage d'augmenter le rendement technologique car il écarte d'emblée les puces defectueuses. Le principal inconvénient consiste à passer un temps considérable à placer et coller des puces sur un substrat de 300 mm et, par conséquent, représente un coût prohibitif à l'échelle industrielle, avec les techniques actuelles. Les cadences de placement des puces deviennent de plus en plus élevées si la contrainte sur la précision d'alignement est d'autant plus relâchée. Il est donc nécessaire de trouver un compromis entre précision et vitesse d'alignement selon les spécifications techniques du produit final.

Toutes ces options doivent être étudiées au cas par cas, dans le but d'obtenir, selon ses capacités de production et ses objectifs financiers, un modèle d'intégration le plus approprié aux besoins définis en amont du projet. Une enquête réalisée en 2006 par Sematech [Peters06] regroupe les niveaux d'efforts (minimal, modéré, significatif, critique) restant à accomplir pour aboutir à un produit 3D réel dans douze catégories caractéristiques d'une filière de production complète (Figure 1.15). Cette enquête résulte d'un audit réalisé auprès d'acteurs prépondérants dans le domaine de l'intégration 3D, tels que des experts du packaging, des fabricants de composants, des équipementiers et des fournisseurs de matériaux. On démontre ainsi que onze critères sur douze demandent plus de 50% d'efforts significatifs ou critiques, traduisant l'imposante quantité de travail à fournir avant l'obtention des premiers résultats probants. Parmi ces catégories, les phases de développement des règles de conception, de définition du design produit, de modélisation thermique et de développement des étapes d'intégration technologique sont les plus étudiées dans la majorité des équipes de recherche.

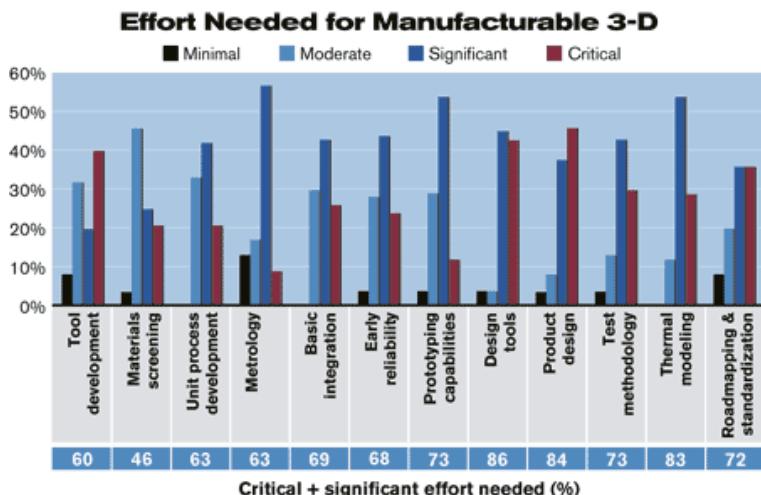


Figure 1.15. Répartition des efforts pour parvenir à fabriquer un produit 3D selon douze critères industriels représentatifs, d'après S. Vitkavage [Peters06].

1.2.3. Des architectures verticales configurables

Les principaux avantages de l'intégration 3D, dans son sens le plus large, ont été présentés. Nous avons vu qu'en terme d'intégrations homogène et hétérogène, les configurations tridimensionnelles permettent la mise en place d'une architecture avantageuse en termes de fonctionnalité, de performances et de coût, par rapport aux configurations planaires jusqu'à présent utilisées. Au-delà de ces aspects, il est important de comprendre que le terme « intégration 3D » révèle un large spectre d'architectures physiques qui sont chacune reliées à un certain niveau d'interconnexions, de packaging ou d'assemblage. Ainsi, selon que l'on souhaite adresser un certain type de problème, du composant électronique de base au système complètement intégré, l'intégration 3D choisie pour répondre à ce problème sera spécifique.

Dans les paragraphes ci-dessous, une revue des différents niveaux d'appréhension d'un système électronique (et ses sous-systèmes intégrés) est présentée, avec les différentes intégrations tridimensionnelles associées. On insistera bien sur le fait qu'à chaque niveau d'interconnexion d'un système, une solution 3D lui est dédiée. C'est par cette approche à multiples configurations que l'intégration 3D est aujourd'hui un des vecteurs de recherche et développement les plus soutenus en microélectronique.

1.2.3.1. Hiérarchisation

Pour l'utilisateur final, un système électronique se résume à sa seule fonction électronique. Inversement, le concepteur et/ou fabricant dudit système l'envisage sous plusieurs états physiques, au nombre de six. Ces niveaux de décomposition du produit fini sont la base du concept appelé JISSO, qui reflète une solution de packaging global pour les produits électroniques. La caractéristique principale du concept JISSO est de considérer à la fois la puce nue (niveau 1), son packaging (niveau 2), le module électronique dans lequel la puce est intégrée (niveau 3), ainsi que l'unité globale qui correspond à l'ensemble du système (niveau 4). Les niveaux 1 à 4 sont des niveaux physiques liés aux développements successifs du produit. Le niveau 0 correspond à la fois à la fonctionnalité première du système, avant d'exister matériellement en tant que tel, et à l'architecture matérielle de la puce nue (niveaux FEOL et BEOL typiquement, cf. Figure 1.3). Le niveau 5 correspond à la vision utilisateur (produit fini). La Figure 1.16 représente cette hiérarchisation du concept JISSO.

Comme expliqué auparavant, l'intégration tridimensionnelle de circuits est configurée selon les spécificités du produit. Ainsi, pour les niveaux 0, 1, 2 et 3 du concept JISSO, une ou plusieurs architectures 3D ont été développées. La Figure 1.17 présente la correspondance entre les niveaux du concept JISSO et ceux définis par l'ITRS. A chaque niveau correspond une intégration 3D associée dont la dénomination et les principales caractéristiques et fonctions sont explicitées. L'utilisation de TSV n'est pas obligatoire selon le type d'intégration 3D. Ainsi, le packaging 3D tel que défini ici (dénommé 3D-SiP) correspond aux empilements de puces mis en boîtier et interconnectés par des fils (*wire bonding*), tel qu'il a été exposé Figure 1.7.

Dans les paragraphes suivants, les trois grandes catégories d'intégration verticale avec utilisation de la technologie TSV sont détaillées, à savoir la moyenne densité d'interconnexions (3D-WLP), la haute densité (3D-IC) et la très haute densité (3D monolithique).

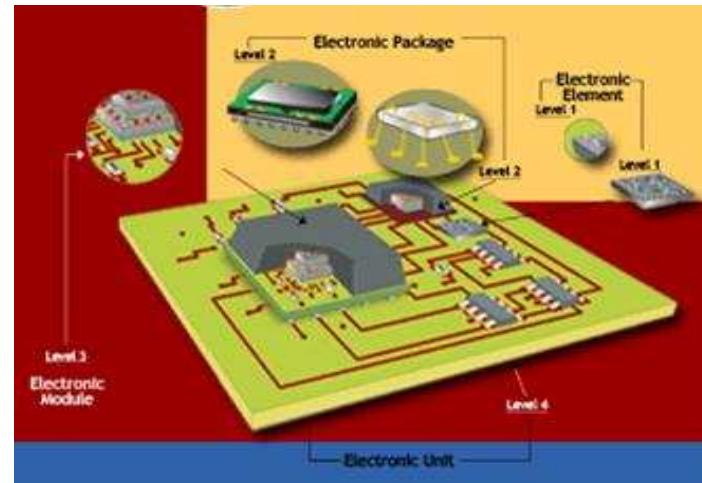


Figure 1.16. Hiérarchisation JISSO des niveaux d'interconnexions, d'assemblage et de packaging système complets pour les produits électroniques [JISSO]. (Bas) Vue schématique décomposée selon l'état fonctionnel, l'état physique (relatifs aux concepteurs/fabricants), et l'état combiné final (relatif aux utilisateurs du produit). (Haut) Vue matérielle de la hiérarchisation JISSO.

Niveau d'interconnexion		Dénomination	Densité des interconnexions 3D (TSV)	Logistique de fabrication	Caractéristiques clés
JISSO	ITRS				
2 nd & 3 rd	Packaging	3D-SiP (System-in-Package)	–	Packaging traditionnel, compagnies d'assemblage, compagnies de PCB	Technologies traditionnelles de packaging (par ex. empilements de puce par câblage, empilements PoP), pas de TSV
1 st	Connexion au niveau des pads	3D-WLP (Wafer-Level Packaging)	Moyenne densité	Production type packaging à l'échelle du wafer	Infrastructure WLP, connexions réalisées au niveau des pads I/O, densité des TSV similaire à la densité des pads
0 th	Global	3D-SoC (System-on-Chip) / 3D-IC (Integrated Circuit)	Haute densité	Production type wafer CMOS classique	Empilements de blocs logiques (IP blocks), de mémoires, similaire à une approche SoC avec les différents circuits sur plusieurs couches indépendantes. Applications: empilement de technologies hétérogènes, mémoire à large bande passante sur logique. Densité des TSV plus importante que pour le 3D-WLP: les spécifications pour le pitch sont de l'ordre de 10µm.
0 th	Semi-global	3D-IC	Haute densité	Production type wafer CMOS classique	Empilements de petits blocs logiques (parties de blocs IP). Forte densité de TSV nécessaire: pitch aux alentours de 1µm.
0 th	Local	3D monolithique	Très haute densité	Production type wafer CMOS avec adaptation du flot de fabrication (car plusieurs niveaux FEOL)	Empilements de plusieurs niveaux de transistors interconnectés par un seul empilement d'interconnexions (BEOL). Applications: très forte densité de composants dans une cellule mémoire. Les connexions 3D sont réalisées au niveau FEOL, impliquant des niveaux de densité typiques aux interconnexions locales.

Figure 1.17. Proposition de classification des intégrations 3D (avec et sans TSV) inspirée des travaux d'Eric Beyne (IMEC, Leuven) [Beyne09].

1.2.3.2. Intégration verticale moyenne densité : 3D-WLP

La Figure 1.17 permet de classer les différentes architectures 3D en fonction du niveau d'interconnexions concerné. Ainsi, le niveau 1 du classement JISSO renvoie aux connections de type « plots », autrement dit, les entrées et sorties d'un système électronique. A titre d'exemple, nous citons les plus courants, à savoir les signaux constants tels que l'alimentation (*power*), la masse (*ground*), ainsi que les signaux logiques comme la fréquence d'horloge (*clock*). Les deux types de connectiques généralement utilisés pour amener ces signaux globaux aux entrées et sorties du circuit sont le câblage externe (*wire bonding*) et le report de puce retournée (*flip chip*).

Dans l'optique de connecter plusieurs puces dans un même boîtier de packaging sans opter pour la solution de *wire bonding*, plusieurs approches d'intégration sont disponibles. Les efforts développés dans ce domaine sont réellement importants chez un grand nombre de fabricants et de laboratoires, depuis plusieurs années. Parmi toutes ces approches d'intégration, le vecteur commun est l'utilisation de TSV de grande dimension (typiquement un diamètre de plusieurs dizaines de microns pour un facteur de forme variant entre 1 et 2) pour reporter les connections électriques d'une face vers une autre sans passer par un câble externe à la puce. Pour réaliser ces connexions intra puce, deux options sont possibles. La première est d'implémenter les TSV directement dans une des puces actives de l'empilement [Tanaka06, Jang07, Sakuma08]. La deuxième, plus communément usitée, consiste à concevoir un substrat passif, appelé *interposer*, qui relie deux puces implantées en « sandwich » autour de l'*interposer*. Les deux systèmes communiquent à travers ce dernier, par un routage interne et des vias traversants qui connectent

sa face avant et sa face arrière [Kurita07, Khan08]. La Figure 1.18 présente quelques exemples de technologies 3D-WLP. Dans la majorité des cas, les TSV utilisés ont une géométrie cylindrique, mais la forme annulaire est également étudiée, notamment par IBM [Tsang07, Andry06], le LETI [Henry07] et Elpida [Khurita07].

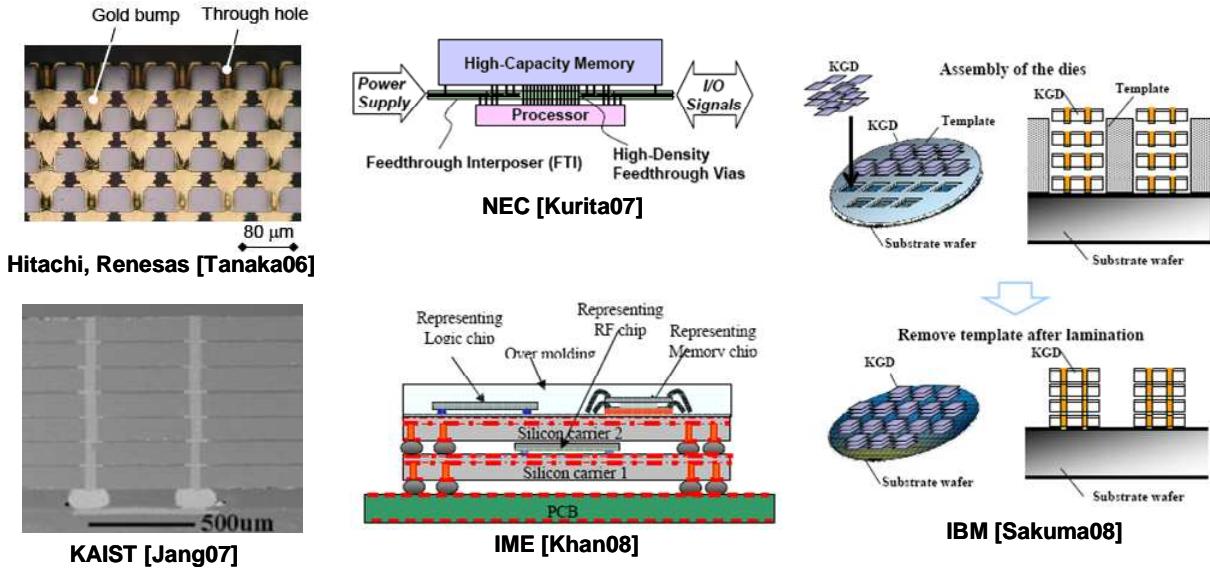


Figure 1.18. Un éventail non exhaustif d'intégrations 3D-WLP.

1.2.3.3. Intégration verticale haute densité : 3D-IC

Nous venons de voir comment les problématiques d'interconnexions propres au niveau 1 du concept JISSO sont adressées par l'intégration 3D-WLP. De la même manière, il existe une intégration 3D liée au niveau 0, c'est-à-dire aux interconnexions globales et semi-globales de type BEOL, appelée 3D-IC.

Des architectures physiques complexes.

Le fossé conceptuel séparant les intégrations 3D-WLP et 3D-IC est relativement restreint. D'un point de vue volontairement simpliste, il s'agit toujours d'interconnecter différentes puces empilées par l'intermédiaire de TSV. Néanmoins, d'un point de vue fonctionnel, la problématique adressée par le 3D-IC est assez différente de celle du 3D-WLP. Il s'agit ici d'augmenter la densité des TSV, de manière à interconnecter un nombre de signaux beaucoup plus important que précédemment. Outre les signaux déjà mentionnés au paragraphe 1.2.3.2 (*power, ground, clock, etc.*), on cherche ici à connecter directement des blocs logiques situés sur au moins deux niveaux physiques distincts. Le grand nombre d'interconnexions requis dans ce cas nécessite l'utilisation de TSV de faible diamètre présentant un facteur de forme agressif (typiquement un diamètre de quelques microns pour un facteur de forme situé entre 1 et 10, voire au-delà).

Développements technologiques actuels.

Les recherches actuelles menées en terme de développement de procédés technologiques pour la haute densité sont actives dans le monde entier. Les principaux acteurs (compagnies, laboratoires, consortium, etc.) sont regroupés dans les deux tableaux suivants, avec le détail des intégrations en cours de développement. Pour une liste exhaustive des acteurs mondiaux dans le domaine de l'intégration 3D (y compris le packaging 3D sans utilisation de TSV), le lecteur pourra se reporter à la référence [Tezzaron09].

	IBM	RPI	RTI	Intel	IMEC	Infineon / Fraunhofer	
Applications visées	Processeurs ultra performants	Plateforme technologique	IR FPA (Focal Plane Array)	Processeurs ultra performants / SRAM Stacking	Plateforme technologique	Plateforme technologique / App. automobiles	
Top wafer (Bulk/SOI) et épaisseur après amincissement	SOI	SOI (<1µm)	Bulk (20µm)	Bulk strained-Si (5-28µm)	Bulk (20µm)	Bulk (~10µm)	
Type d'architecture	Wafer-to-Wafer	Wafer-to-Wafer	Die-to-Wafer	Wafer-to-Wafer	Die-to-Wafer	W2W	D2W
Orientation de la puce supérieure / puce inférieure	Face-to-Back	Face-to-Face + Face-to-Back	Face-to-Back	Face-to-Face	Face-to-Back	Face-to-Face	
Nature du collage	moléculaire (SiO_2), basse T°	Polymère basse T° / Contact TSV Cu-Cu	Polymère basse T° / Contact TSV Cu_3Sn eutectique	Contact TSV Cu-Cu	Thermocompression Cu-Cu (300-350°C) + polymère	Alliage eutectique Cu_3Sn	
Poignée temporaire	Oui	Non	Oui	Non	Oui	Oui	
Précision alignement	$\pm 0,6\mu\text{m}$	$\pm 1\mu\text{m}$	$\pm 1\mu\text{m}$			$6\text{-}10\mu\text{m}$	
Technologie des TSV	Via Last	Via First	Via Last	Via Last	Via First (mid-process)	Via Last	
Nature des TSV	Cu	Cu (isolant : oxyde et low-k)	Cu	Cu (isolant : low-k)	Cu "nails"	W	W ou Cu
Pitch des interconnexions	~0,4µm minimum	20µm	20µm	<10µm	10µm	<15µm	30µm
Diamètre moyen des TSV	0,14µm minimum (6:1<AR<11:1)	2-4µm	5-10µm	~4µm (AR ~3:1)	5µm (AR 10:1)	2µm (AR 9:1)	2µm (AR 6:1)

Figure 1.19. Récapitulatif des procédés d'intégration 3D actuellement développés dans le monde (1).

	Ziptronix		Tezzaron	ZyCube / Tohoku Univ.	MIT - Lincoln Laboratory	MIT - MTL (Microsystems Technology Lab.)	CEA-LETI / ST	
Applications visées	Imageurs		Memory Stacking	Empilement de mémoires / Mémoire partagée	Imageurs	Plateforme technologique	Plateforme technologique	
Top wafer (Bulk/SOI) et épaisseur après amincissement	Bulk		Bulk (5,5µm)	Bulk (<30µm)	SOI	SOI	SOI (Alliance)	Bulk 10µm (ST)
Type d'architecture	D2W	W2W	Wafer-to-Wafer	Die-to-Wafer	Wafer-to-Wafer	Wafer-to-Wafer	W2W	D2W
Orientation de la puce supérieure / puce inférieure	Face-to-Face		Face-to-Face	Face-to-Face	Face-to-Face	Face-to-Back (+ Face-to-Face)	Face-to-Face	
Nature du collage	moléculaire (SiO_2), basse T° (350°C) - DBI™		Thermo-compression Cu-Cu (300-350°C)	Microbilles In-Au (2x2µm) + couche d'époxyde	moléculaire (SiO_2), basse T°	Thermo-compression Cu-Cu basse T°	moléculaire (SiO_2) basse T° ; Cu-Cu à T° ambiante	
Poignée temporaire	Non		Non	Oui	Oui	Oui	Non	
Précision alignement	>3µm		±0,3µm	±1µm	±0,4µm	±3µm	±1,5µm	
Technologie des TSV	Via First (mid-process)		Via First (mid-process)	Via First (mid-process)	Via Last	Via First (mid-process)	Via Last	
Matériaux des TSV	Cu ou W		W (SuperContact™)	n+ Poly-Si ou W (résistance plus faible requise)	W	Cu	Cu	
Pitch des interconnexions	8µm	10µm	6µm	<5µm	6µm	0,5µm	<10µm	
Diamètre moyen des TSV				0,6µm (W AR 30:1) et 2µm (Poly-Si AR 25:1)	~2µm (AR 4:1)	0,5µm (AR 2:1 à 3:1)	1µm (AR 2:1)	3-5µm (AR 5:1)

Figure 1.20. Récapitulatif des procédés d'intégration 3D actuellement développés dans le monde (2).

1.2.3.4. Intégration verticale très haute densité : 3D monolithique

En faisant référence une nouvelle fois à la hiérarchisation décrite à la Figure 1.17, il existe une architecture 3D dite « ultime » pour interconnecter directement deux transistors MOS l'un au-dessus de l'autre, c'est-à-dire capable d'adresser le niveau 0 des interconnexions locales (les lignes de métal les plus proches des zones actives FEOL). Contrairement aux deux approches précédemment décrites aux paragraphes 1.2.3.2 et 1.2.3.3, qui consistent à reporter un circuit planaire sur un autre, l'intégration 3D très haute densité est réalisée à l'échelle d'un seul substrat. Un premier niveau de composants est réalisé sur le substrat de silicium, puis un second niveau est implanté juste après. Les deux sont interconnectés par des vias de type microélectronique (diamètre d'environ 100 nm pour une profondeur de quelques centaines de nm). Le tout est interconnecté par un réseau BEOL standard, constituant ainsi un seul bloc intégré - d'où l'appellation 3D monolithique. Une illustration schématique de cette technologie ainsi que des exemples de démonstration sont présentés sur la Figure 1.21.

Ce concept d'intégration 3D est radicalement différent - d'un point de vue technologique - de ceux s'appuyant sur un report de couches. Ce flot de conception implique une refonte des procédés standards étant donné qu'ici, il est nécessaire de réaliser un second niveau de composants juste après en avoir réalisé un premier. Le budget thermique est à ce titre un des principaux freins au développement de cette technologie, puisqu'il est primordial de ne pas

endommager la première couche de composants lorsque la seconde est fabriquée. A ce titre, des solutions technologiques ont été proposées [Bature09]. Le coût de l'intégration 3D monolithique s'avère également prohibitif par rapport aux intégrations 3D moyenne et haute densités, et de plus, les besoins applicatifs en terme de très haute densité d'intégration sont quasiment inexistantes à l'heure actuelle. A ce titre, nous n'étudierons pas cette intégration dans la suite de ce manuscrit. Le lecteur pourra néanmoins se reporter aux références non exhaustives [Bature09, Son07, Feng06, Jung06] pour de plus amples explications.

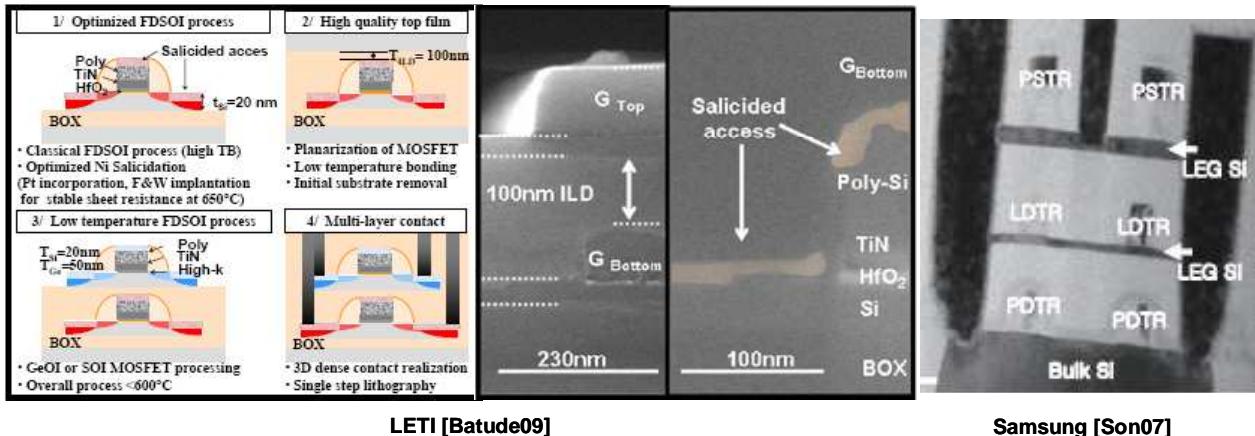


Figure 1.21. Quelques exemples de démonstration technologique d'intégration 3D monolithique.

La section 1.2.3 a permis de visualiser l'ensemble des architectures 3D envisageables en fonction de la hiérarchisation des interconnexions. Cette classification par I/Os permet d'adresser un certain nombre d'applications industrielles qui sont exposées dans la section suivante.

1.2.4. Applications

Le passage des architectures 2D aux architectures 3D n'est pas obligatoire. Pour cela, il faut réunir deux critères *sine qua non* :

- que la technologie 2D arrive à des problèmes technologiques ou conceptuels qui soient difficilement contournables avec les solutions classiques (*e.g.* le passage à une génération plus performante) ;
- que la solution 3D envisagée soit arrivée à un degré de maturité technologique suffisant pour que le coût de cette nouvelle intégration soit inférieur au passage à une génération technologique plus performante.

Ainsi, toutes les applications n'ont pas encore atteint le seuil critique qui justifie l'utilisation de la troisième dimension, et plus particulièrement de la technologie TSV. La Figure 1.22 est une cartographie illustrant ce passage du 2D au 3D pour quatre familles de produits, à savoir les microprocesseurs, les mémoires (Flash et DRAM) et les empilements « logique + mémoire », avec les avantages apportés par la 3D à chaque type d'applications.

Dans les paragraphes suivants, nous détaillerons quatre familles génériques de produits :

- les microprocesseurs ;
- les mémoires ;
- les capteurs ;
- les systèmes électroniques hétérogènes.

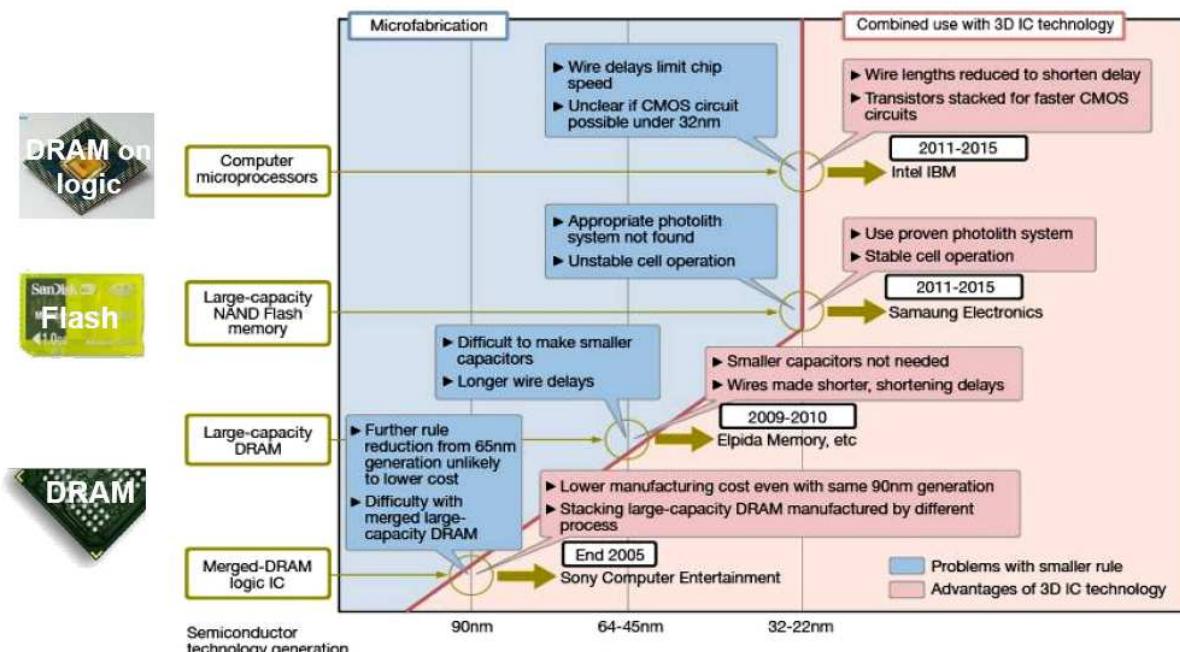


Figure 1.22. Roadmap (source : Nikkei Electronics) concernant la transition entre architecture 2D et architecture 3D pour quatre familles de produits [YOLE07].

1.2.4.1. Les microprocesseurs

Une des principales limitations technologiques propre aux microprocesseurs est le fossé grandissant qui sépare les performances des microprocesseurs et celles de leurs mémoires associées [Mahapa99]. L'expression anglophone *Processor-Memory Bottleneck* est couramment utilisée pour désigner cette problématique. Sur le fond, celle-ci est simple : les performances des processeurs augmentent plus rapidement que les vitesses d'accès à la mémoire. Pour contrecarrer ces limitations propres aux architectures planaires, une réorganisation du système {microprocesseur / mémoires} sur plusieurs niveaux superposés réduirait considérablement les longueurs d'interconnexions qui relient les deux entités. Deux cas de figure se dégagent de cette constatation [Garrou08v2] :

1°) un empilement de mémoires sur un processeur gagnerait en largeur de bande (*memory bandwidth*) par la réduction des longueurs d'interconnexions dédiées aux communications externes entre le processeur et les niveaux de mémoire cache. Il s'agit ici d'une architecture 3D dite « mémoire sur logique ». Contrairement à ce que l'on pourrait penser de prime abord, les échauffements thermiques induits par les différents niveaux physiques de composants ne sont pas réellement problématique dans cette approche. D'une part parce que les mémoires consomment peu de puissance (donc dissipent peu de chaleur), d'autre part parce que le processeur est directement connecté au dissipateur thermique, comme illustré à la Figure 1.23 [Morrow07] ;

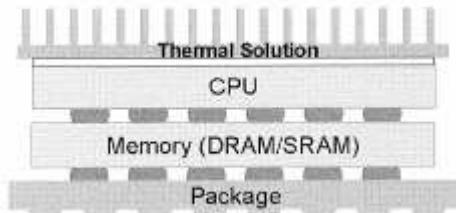


Figure 1.23. Mémoire DRAM empilée sur le processeur. Le côté de l'empilement dédié au CPU est directement collé au dissipateur thermique [Garrou08v2].

2°) un empilement de blocs logiques fonctionnels permettrait de réduire les longueurs d'interconnexions semi-globales qui relient plusieurs blocs d'une même microarchitecture¹⁴, et ainsi gagnerait en densité d'intégration de composants. Le principal intérêt est de réduire les temps de latence entre blocs et de diminuer la consommation de puissance tout en augmentant les performances. L'autre principal intérêt est de réduire la surface occupée par le microprocesseur comparativement à son homologue 2D [Black06], comme illustré à la Figure 1.24. Il s'agit d'une architecture 3D dite « logique sur logique ».

¹⁴ La microarchitecture spécifie notamment la longueur et le nombre de pipelines, le nombre, la taille et l'associativité de la mémoire cache, l'existence de renommage de registres, d'exécution dans le désordre, de prédition de branchement, etc. La microarchitecture détermine donc le nombre de transistors, la consommation électrique, la fréquence de l'horloge, et finalement les performances d'un processeur (source : Wikipedia).

Bien qu'Intel Corporation soit à l'heure actuelle le principal artisan des développements technologiques adaptés à ces applications particulières, IBM reste l'un des moteurs en termes de R&D dans le domaine des microprocesseurs. Les applications liées aux serveurs et aux supercalculateurs sont un des fers de lance de leurs travaux sur les microprocesseurs 3D (cf. Figure 1.25).

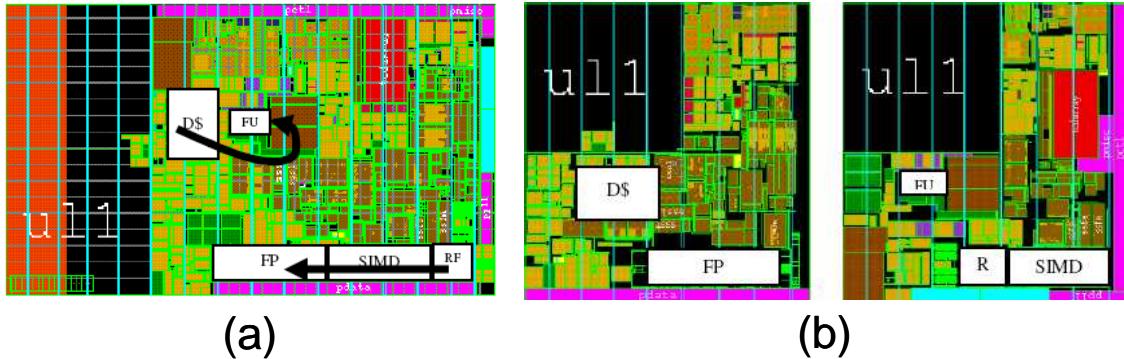


Figure 1.24. (a) Floorplan d'un processeur Pentium 4 (Family Product 4).
 (b) Floorplan 3D du même circuit [Black04, Morrow07].

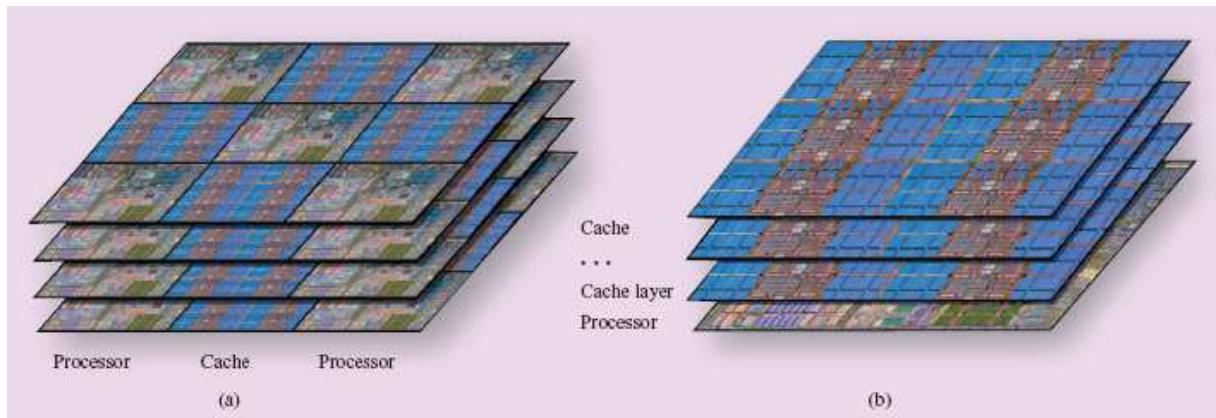


Figure 1.25. Vision des microprocesseurs 3D selon IBM : bâti à partir de processeurs 2D (a) ; Optimisation des architectures par allocation des fonctionnalités par niveau physique (b) [Emma08].

1.2.4.2. Les mémoires

Les mémoires sont des candidats parfaits pour l'intégration 3D. Les densités d'intégration requises aujourd'hui pour les produits de grande consommation sont de plus en plus élevées et les systèmes de packaging verticaux par *wire-bonding* montrent des signes d'essoufflement pour subvenir aux spécifications électriques et spatiales de tels empilements, notamment en termes de largeur de bande passante, de compacité, d'épaisseur, etc. (cf. Figure 1.26). La technologie TSV possède les qualités requises pour permettre à la fois une intégration dense et une réduction de la taille des circuits convenant au marché des mémoires NAND, et également une amélioration des performances des interconnexions que demande le marché des mémoires DRAM [Garrou08v2].

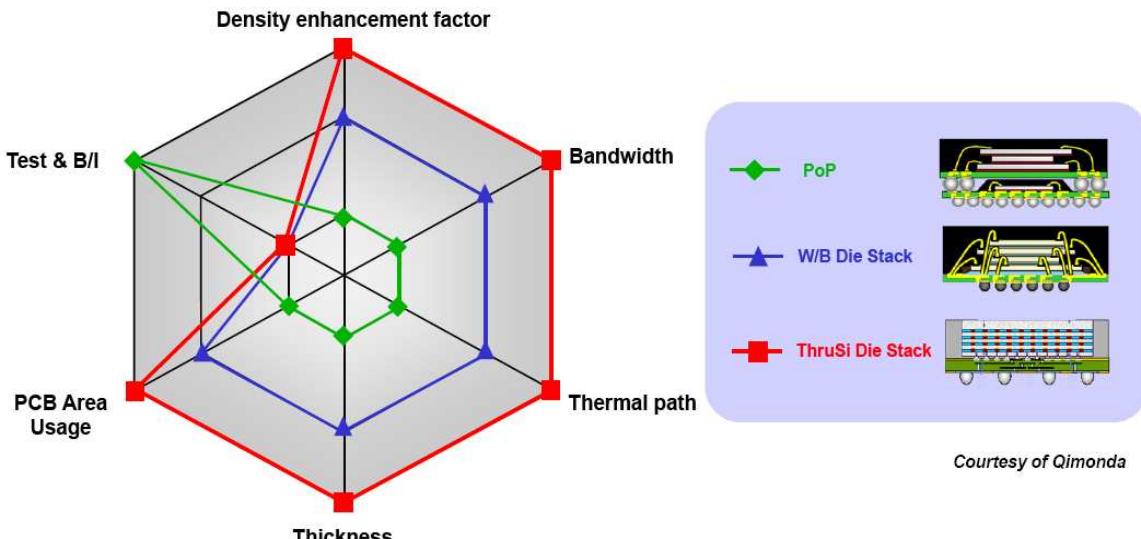


Figure 1.26. Comparaison qualitative entre trois solutions de packaging 3D adapté aux mémoires : Package-on-Package (PoP), empilement de puces par wire-bonding (W/B Die Stack) et empilement 3D par TSV (ThruSi Die Stack) [YOLE07].

1.2.4.3. Les capteurs

Les capteurs ont été les premières applications industrielles à passer sous architecture 3D. Pour l'instant, cette famille de produit est principalement pilotée par les imageurs CMOS (capteurs d'images). La problématique est simple : dans le but de miniaturiser les caméras pour les applications portatives, les systèmes de packaging couramment utilisés (comme le *wire-bonding*) peuvent être remplacés par des TSV de type *wafer-level packaging* (dimensions relâchées). Ainsi, plusieurs procédés ont vu le jour depuis 2004 [Takahashi04, Leib04, Garrou04, Henry08] en présentant l'intégration des TSV comme remplaçant du câblage (Figure 1.27). D'un point de vue économique, les débouchés potentiels de cette technologie de packaging sont importants en termes de volume de production (téléphonie mobile, automobile, médical, etc.).

Une architecture plus évoluée est également en cours de développement chez STMicroelectronics [Coudrain08]. Il s'agit cette fois d'intégrer les composants logiques associés à chaque pixel (*i.e.* trois transistors par pixel) sur un niveau physique distinct, puis de réaliser un second niveau par-dessus le premier pour intégrer les composants optiques, comme illustré sur la Figure 1.28. De cette manière, l'intégration des pixels se trouve densifiée (par conséquent la précision de l'image augmente) tout en conservant un facteur de forme restreint correspondant aux spécifications des applications portatives. Cette technologie se rapproche fortement de l'intégration 3D très haute densité (dite séquentielle ou monolithique, cf. paragraphe 1.2.3.4), ce qui la laisse encore éloignée des objectifs de production actuels.

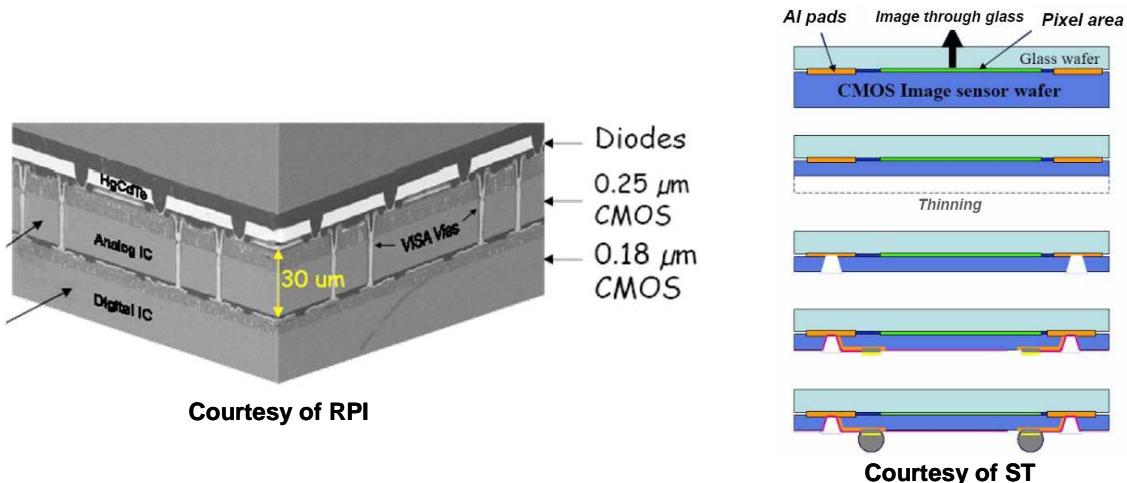


Figure 1.27. Exemples d'imageurs 3D WLP : imageur infrarouge développé par Rensselaer sur deux niveaux actifs (gauche) ; principe d'élaboration de l'imageur ST mono circuit avec report des I/O en face arrière, actuellement en production (droite) [YOLE07].

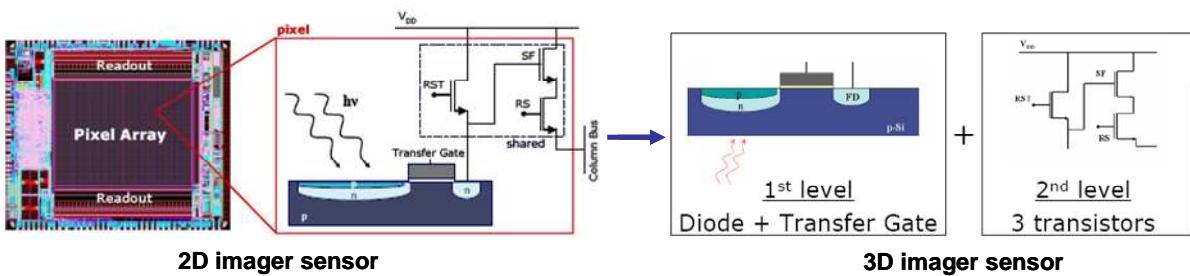


Figure 1.28. Principe de fonctionnement de l'imageur 2D (gauche) et passage à une architecture 3D séquentielle [Coudrain08].

1.2.4.4. Les systèmes électroniques hétérogènes

Les applications électroniques portatives grand public sont, pour une grande majorité, gouvernées par les problématiques du facteur de forme, c'est-à-dire l'encombrement occupé par la puce dans le produit final, et des performances électriques. La tendance actuelle étant à la politique de miniaturisation tout en augmentant les performances et autres fonctionnalités du produit, l'intégration 3D, et particulièrement le 3D-WLP, permet de supplanter les traditionnels assemblages de type SiP avec connectiques par *wire bonding*. En effet, le câblage externe possède des propriétés électriques bien inférieures à celles des TSV (notamment en termes de résistance et d'inductance), et occupe une place non négligeable autour de la puce.

Le concept de cet assemblage 3D est de fabriquer les différents étages technologiques en utilisant une technologie adaptée pour chacun (mature, avancée, etc.), ce qui permet de gérer les coûts de fabrication de chaque niveau au plus juste. Ensuite, les circuits sont généralement interconnectés par collage métallique (alliage, micro-inserts, etc.) puis le report des contacts en face arrière est réalisé sur un des circuits à l'échelle du wafer. On dit alors de ce circuit qu'il sert d'*interposer*, c'est-à-dire qu'en plus de sa fonction électrique propre liée à sa circuiterie, il joue un rôle de connecteur unique pour le packaging.

Les principaux secteurs industriels intéressés sont les fabricants de systèmes électroniques destinés à la téléphonie mobile, aux jeux vidéo, au monde du numérique en général. Une démonstration technologique a été présentée en 2009 par STMicroelectronics et le CEA-LETI, qui consistait à interconnecter une puce en technologie avancée 45 nm avec une puce en technologie mature (130 nm), le tout étant fixé à un PCB classique [Chéramy09]. L'application finale est un circuit destiné à un décodeur numérique (*set-top box*¹⁵). Le schéma de principe ainsi que des images MEB de l'empilement et des TSV sont présentés sur la figure suivante.

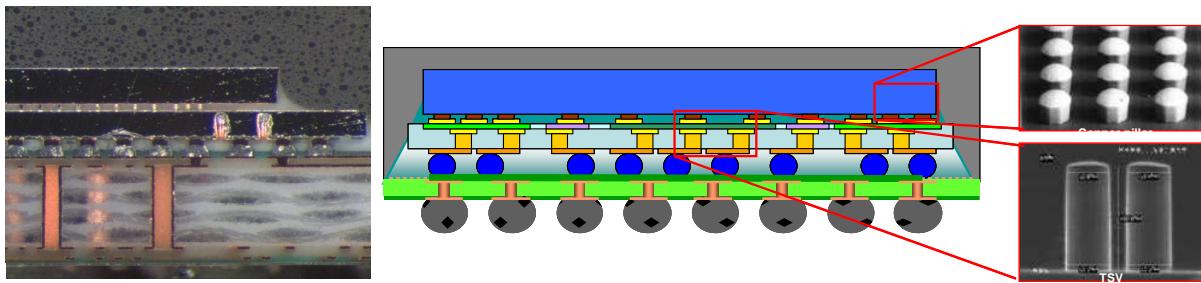


Figure 1.29. Schéma de principe et images MEB du démonstrateur de décodeur numérique [Bonnot09].

Nous venons de voir les principales applications de l'intégration 3D à plus ou moins court terme qui sont actuellement en développement chez les principaux acteurs du packaging et de la microélectronique. La section suivante se consacre à la description des différentes options technologiques envisageables pour parvenir à la réalisation de ces applications.

¹⁵ Set-top box : boîtier électronique permettant la transformation d'un signal externe en une image et un son associé pour la télévision. Typiquement, il s'agit des décodeurs Internet ou satellite.

1.2.5. Options d'intégration

En nous focalisant que sur les intégrations 3D moyenne et haute densités (*i.e.* par report de couches), nous allons voir qu'un large choix d'options technologiques est disponible pour réaliser ces architectures. On se propose ici de détailler les différentes étapes cruciales du procédé 3D indépendamment de la densité des TSV.

Le développement des circuits 3D est pour l'instant dépendant du savoir-faire des étapes technologiques associées. Ces enjeux peuvent être regroupés en sept thématiques :

- l'empilement puce à plaque ou plaque à plaque ;
- la maîtrise du flot de fabrication selon l'orientation des circuits ;
- la précision de l'alignement entre deux niveaux de circuits ;
- la nature du collage de l'empilement ;
- l'amincissement du substrat supérieur (typiquement entre 10 et 100 µm) ;
- la réalisation des connexions inter-strates ;
- la réalisation des connexions intra-strate (TSV).

La maîtrise avancée de ces briques technologiques augmentera significativement le rendement de fabrication des circuits 3D, les rendant aussi performants que les prévisions établies au début des années 2000 [Meindl03, Banerjee01, Souris00].

1.2.5.1. Empilement

Dans le cadre des intégrations 3D par report de couches, les circuits sont co-intégrés après l'élaboration de leur réseau d'interconnexions (BEOL). L'étape de passivation devient globale et intervient lorsque l'empilement 3D est achevé. L'architecture d'une co-intégration 3D prend plusieurs formes (Figure 1.30) : puce à puce (D2D – *die-to-die*), puce sur substrat (D2W – *die-to-wafer*) ou substrat sur substrat (W2W – *wafer-to-wafer*). Les approches D2W et W2W sont réalisées à l'échelle de la plaquette (*wafer-level 3D integration*) alors que l'approche D2D est entièrement réalisée à l'échelle de la puce. Son débit de fabrication (plus connu sous le terme *throughput*) est donc plus faible étant donné le temps important nécessaire au montage des puces les unes après les autres (Pick & Place¹⁶). Le *Die-to-Die* est plutôt destiné aux applications de packaging 3D, où les puces sont empaquetées avant co-intégration par *wire-bonding*.

1.2.5.2. Orientation des circuits

L'orientation du ou des niveau(x) supérieur(s) par rapport au substrat de base constitue un point essentiel de l'architecture physique des circuits 3D. Si l'on considère deux niveaux actifs (*i.e.* cas de la Figure 1.31), l'empilement peut être orienté soit face-à-face (*face-to-face*), soit dans le même sens (*face-to-back*). Le choix de l'orientation aura des conséquences technologiques sur le flot de réalisation du circuit 3D.

¹⁶ Pick & Place : concept d'alignement et de collage de puces sur un substrat (die-to-wafer).

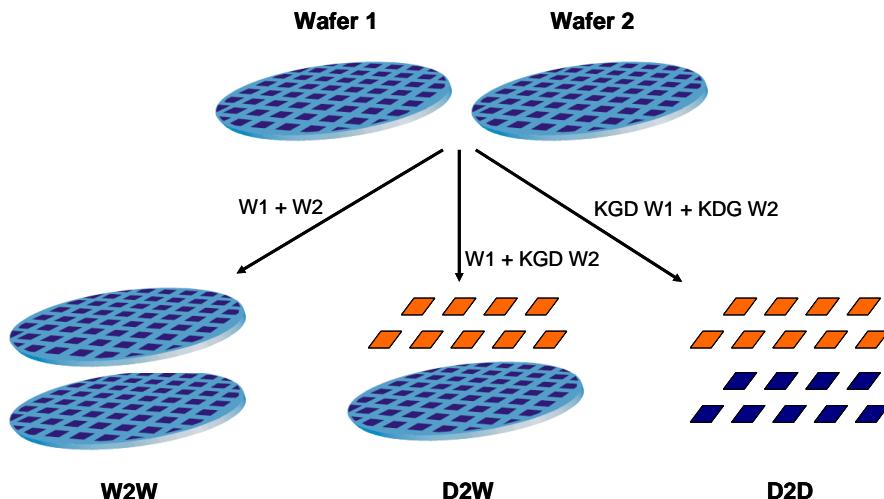


Figure 1.30. Trois façons d'assembler les circuits verticalement (KGD = Known Good Die, W2W = Wafer to Wafer, D2W = Die to Wafer, D2D = Die to Die).

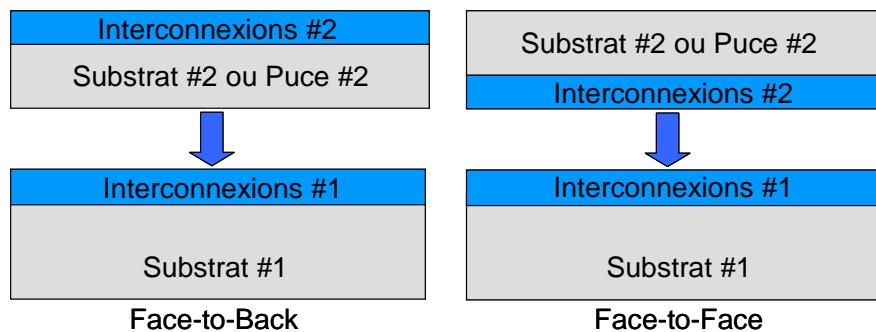


Figure 1.31. Orientations possibles pour l'empilement 3D de deux circuits.

1.2.5.3. Alignement

La notion d'alignement est fortement dépendante du type d'intégration 3D recherché. En effet, pour les problématiques liées à la moyenne densité (3D-WLP), étant donné les dimensions relâchées des TSV, un désalignement de quelques microns peut être toléré. Dans le cadre de la haute densité (3D-IC), les spécifications liées aux dimensions des TSV et à leur *pitch* (espacement) impliquent un désalignement de l'ordre du micron, voire inférieur.

Parallèlement à la précision d'alignement, la notion de débit (*throughput*) est primordiale dans le cadre d'une production industrielle. Une intégration plaque à plaque (W2W) n'aura pas le même débit qu'une intégration puce sur plaque (D2W). A titre d'exemple, on citera les deux principaux fabricants de machines de Pick & Place pour l'approche D2W : jusqu'à 1 200 puces alignées par heure pour une précision relâchée à $\pm 10 \mu\text{m}$ [DATACON], et 30 puces alignées par heure pour une précision extrême de $\pm 0,5 \mu\text{m}$ [SET]. Concernant l'approche W2W, le débit est largement supérieur étant donné qu'en un seul alignement, toutes les puces présentes sur le substrat sont alignées avec leurs conjointes sur l'autre substrat. La précision des machines actuelles est similaire à celle obtenue sur les meilleures machines de *Pick & Place*, à savoir

$\pm 0,5 \mu\text{m}$ (3σ) [EVG]. Néanmoins, au-delà de cet avantage certain, la contrainte prohibitive concernant le W2W est qu'il est impératif d'aligner des substrats dont les puces respectives ont les mêmes dimensions. L'approche D2W autorise une plus grande liberté d'action en étant compatible avec tout type de dimensions de puces.

1.2.5.4. Collage

Une fois l'alignement réalisé, la méthode de collage prend trois formes distinctes :

- 1) Collage métal
- 2) Collage polymère
- 3) Collage moléculaire

Le collage métal est une appellation générique, qui inclut la thermocompression¹⁷ cuivre sur cuivre [Reif02, Patti06, Morrow06, Beyne06] et le collage direct du cuivre [Gueguen08]. Le collage métal est généralement concentré sur les contacts inter-strates, et peut être couplé à un collage polymère (exemple typique : BCB¹⁸) pour améliorer la force du collage global, ce qui est plus connu sous le terme de collage hybride [Gutmann03, Beyne06]. Enfin, le collage moléculaire¹⁹ est réalisé le plus fréquemment en pleine plaque, à des températures dites basses (typiquement 250-350°C) [Topol06, Bair07, Garnier09]. Ce type de collage, particulièrement adapté à l'intégration face-à-face, génère une forte énergie de surface ($> 1 \text{ J/m}^2$) à partir d'une température d'environ 200°C [Tong99]. Les travaux du LETI en matière de collage direct (métal et moléculaire) sont décrits dans [Gueguen09].

1.2.5.5. Amincissement du silicium

Le substrat ou les puces collés doivent être amincis, généralement en dessous de $100 \mu\text{m}$ de manière à pouvoir réaliser les TSV par la suite. L'étape d'amincissement consiste à arracher progressivement le surplus d'épaisseur du substrat par action mécanique dans un premier temps (amincissement grossier), puis par action mécano-chimique dans un second temps (amincissement fin). Le choix du substrat s'avère donc crucial. En effet, l'oxyde enterré du substrat SOI²⁰ – appelé BOX²¹ – constitue une couche d'arrêt pour l'étape d'amincissement du substrat supérieur. Cette étape s'avère plus complexe sur un substrat de silicium bulk, notamment lorsque les épaisseurs finales de silicium recherchées approchent la dizaine de microns (amincissement extrême pouvant être réalisé sur substrat bulk, approprié pour le 3D-IC). De plus, la couche d'oxyde enterré étant situé seulement à quelques microns de profondeur, les épaisseurs rémanentes sont beaucoup plus faibles que sur du silicium bulk, permettant ainsi de créer des vias traversants de plus petite taille que sur silicium bulk.

¹⁷ La thermocompression utilise conjointement la pression et la température pour favoriser la liaison entre deux matériaux par interdiffusion à travers la frontière physique les séparant.

¹⁸ BCB : Benzo-Cyclo-Butène. Polymère de type C₈H₈ couramment utilisé pour le collage de substrat.

¹⁹ Le collage moléculaire transforme des liaisons électrostatiques faibles (type Van Der Waals) en liaisons moléculaires fortes, suite à un recuit thermique. Il s'agit d'un collage SiO₂ sur SiO₂.

²⁰ SOI : Silicon On Insulator (Silicium sur isolant).

²¹ BOX : Buried OXide (oxyde enterré).

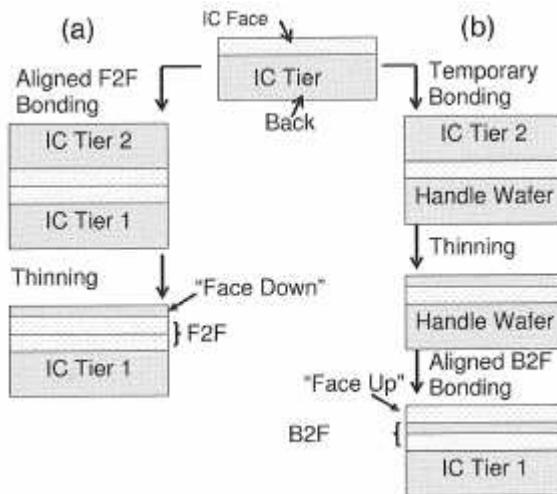


Figure 1.32. Amincissement du substrat supérieur selon le mode d'orientation : face-to-face (a), face-to-back (b) [Garrou08v1].

Seulement quatre groupes travaillent sur une approche SOI [Topol06, Gutmann03, Reif02, Burns06]. Ce parti pris facilite certes l'intégration du niveau actif supérieur sur le substrat de base inférieur, mais implique un coût de production plus élevé (un substrat SOI étant bien plus cher qu'un substrat bulk). On se retrouve alors dans une situation de choix dictée par l'application finale : le produit concerné a-t-il la nécessité d'être conçu sur SOI ?

L'approche d'amincissement sur silicium bulk est donc la plus usitée, principalement pour des raisons de coût. Deux choix sont possibles selon que l'on souhaite réaliser une intégration *face-to-face* ou *face-to-back*. La Figure 1.32 présente ces deux méthodes, dont le principe d'amincissement est équivalent.

1.2.5.6. Connexions inter-strates

Les connexions inter-strates correspondent à la connectique électrique réalisée entre deux puces empilées pour leur permettre de communiquer ensemble. Plusieurs options sont là aussi possibles, parmi les plus courantes :

- le collage métal/métal : ce type de connexions inter-strates est directement liée à l'étape de collage précédemment décrite. Ce type de collage fournit en même temps la connexion électrique ;
- le scellement métallique : il s'agit ici de la formation d'un alliage eutectique de type Cu_xSn_y (typiquement Cu_3Sn) [Klumpp03, Lee09]. On y inclue également la soudure cuivre de type SnAgCu ou SAC [Chéramy09, Baumgar07].

1.2.5.7. Connexions intra-strate (TSV)

Comme leur appellation l'indique, leur principale particularité est de traverser le silicium. Plusieurs méthodes de fabrication de TSV ont été développées, selon leur positionnement au cours du procédé global de fabrication d'un circuit 3D. Deux grandes familles ont émergé : *Via First*, *Via Last*.

Connexions de type *Via First*.

La dénomination *Via First* fait référence au fait que les TSV sont réalisés pendant le processus de fabrication du circuit planaire, avant toute étape d'intégration 3D. Cette famille de TSV implique une compatibilité complète avec les procédés utilisés pour la réalisation d'un circuit microélectronique (respect des budgets thermiques, compatibilité des matériaux métalliques, etc.). Deux options de type *Via First* sont communément utilisées : le *TSV pre-process* et le *TSV mid-process*. Le *pre-process* implique une fabrication des via directement sur le substrat vierge, avant toute étape liée aux parties actives (FEOL), alors que le *mid-process* renvoie à une fabrication des TSV réalisée après la formation des composants et avant l'élaboration des interconnexions (BEOL). La Figure 1.33 schématisse ces deux approches.

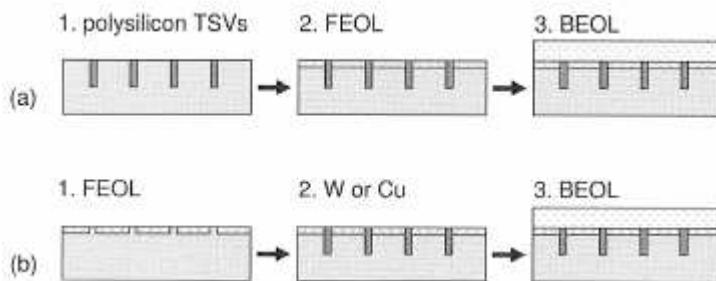


Figure 1.33. Deux concepts type « *Via First* » de fabrication de TSV : avant FEOL et BEOL : TSV pre-process (a), entre FEOL et BEOL : TSV mid-process (b) [Garrou08v1].

Connexions de type *Via Last*.

La grande famille des TSV de type *Via Last* regroupe l'ensemble des procédés de via traversants qui sont réalisés après fabrication complète des circuits planaires. Un avantage majeur à utiliser ce type de TSV est que les substrats utilisés pour l'intégration 3D n'ont pas à être compatible avec un procédé spécifique au 3D, puisque tout est réalisé après la fabrication des circuits. Etant donné que la majorité des fabricants de semi-conducteurs ne sont pas équipés (ou ne veulent pas l'être pour des raisons économiques) pour des procédés 3D type *Via First*, on comprend bien l'intérêt d'utiliser une approche *Via Last*. La Figure 1.34 présente un exemple de séquence pour la réalisation d'une intégration 3D avec technologie *Via Last*, orientation face-à-face et collage moléculaire.

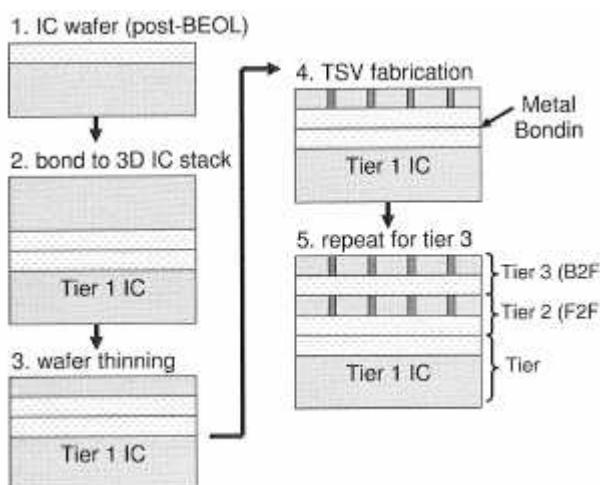


Figure 1.34. Exemple d'intégration 3D de type *Via Last* avec orientation face-à-face et collage moléculaire [Garrou08v1].

1.2.5.8. Mode de réalisation des TSV

Au-delà du choix initial de travailler selon l'approche *Via First* ou *Via Last*, la constitution physique des TSV peut être généralisée à un ensemble de quatre étapes génériques :

- 1°) Gravure du TSV dans le silicium ;
- 2°) Isolation des flancs du TSV ;
- 3°) Dépôt du matériau barrière ;
- 4°) Remplissage du TSV par un matériau conducteur.

On se propose ici de décrire succinctement ces différentes étapes en stipulant pour chacune d'elles les enjeux technologiques, ainsi que quelques exemples de procédés largement utilisés.

Gravure du TSV dans le silicium.

La gravure silicium a connu une rupture technologique cruciale pour le développement des technologies 3D dans le milieu des années 90. A cette période, Bosch a inventé un procédé de gravure plasma, plus connu sous l'acronyme DRIE²², qui permet de graver le silicium de manière verticale et profonde [Laermer96a, Laermer96b]. La DRIE, communément appelée Procédé Bosch, consiste en une série répétée de réaction de gravure anisotrope du silicium par SF₆, suivie d'une passivation par C₄F₈ qui génère un dépôt CF₂. La Figure 1.35 (gauche) illustre le procédé de base. Le procédé Bosch présente une sélectivité élevée ainsi qu'une gravure particulièrement verticale. Quelques exemples de gravures profondes sont montrés à la Figure 1.35 (droite) avec les défauts dus à l'utilisation du procédé de base. Des améliorations techniques ont permis d'optimiser le profil de gravure pour éviter la présence de tels défauts [Tezcan06, Hopkins01].

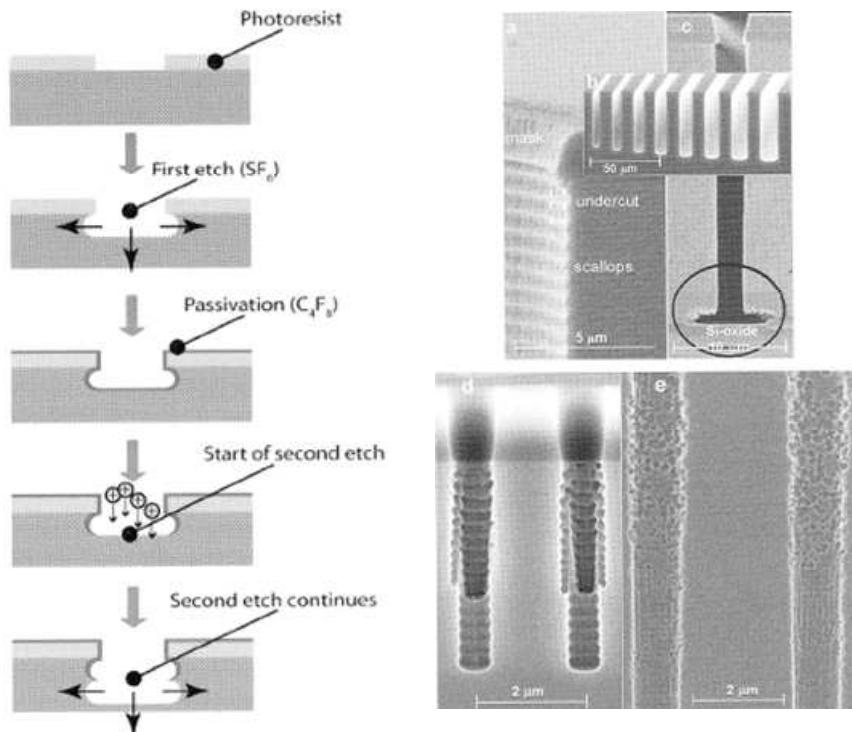


Figure 1.35. Principe simplifié du procédé de gravure silicium DRIE (gauche). Images MEB de TSV créés par DRIE avec exemples de défauts de gravure : *scalloping*, *undercut* et *mouse bites* (droite) [Garrou08v1].

²² DRIE : Deep Reactive-Ion Etching (gravure plasma profonde).

Isolation des flancs du TSV.

Après avoir réalisé la gravure profonde du silicium, qui constitue en quelque sorte le squelette du TSV, il est impératif de procéder à l'isolation électrique entre le matériau conducteur et le silicium, et éviter ainsi tout risque de court-circuit. L'isolation est réalisée par dépôt conforme (autant que faire se peut) d'un diélectrique, généralement un silicium organique type TEOS (tetraethylorthosilicate ou tetraethoxysilane, $\text{Si}(\text{OC}_2\text{H}_5)_4$) donnant un oxyde de silicium SiO_2 après dépôt. Dans la plupart des cas, le dépôt est réalisé par SACVD²³, si la température l'autorise (400°C), ou PECVD²⁴ si le budget thermique est inférieur (à noter que pour le PECVD, plus la température est basse, moins le dépôt est conforme). Une étude a montré la bonne conformité du dépôt par SACVD à 400°C avec un niveau de contraintes résiduelles peu élevé [Chang04]. Il est à noter que certains laboratoires, comme l'IMEC, développent également des dépôts isolants à base de polymère (parylène N) déposé par CVD²⁵ [Soussan08].

Dépôt du matériau barrière.

La diffusion atomique par substitution est un phénomène physique bien connu en microélectronique : les atomes de métal ont la particularité de se déplacer dans un autre matériau en échangeant leur place respective dans la structure cristallographique. [Ohring98]. Ce phénomène physique est activé par température. Dans le cas du silicium, la diffusion du cuivre est facilitée, ce qui peut amener une certaine quantité de cuivre dans le silicium, lui faisant ainsi perdre ses propriétés semi-conductrices. Les TSV n'échappent pas à la règle et doivent donc se prémunir de ce phénomène destructeur. Pour empêcher toute diffusion du cuivre des TSV dans le silicium, on emploie un matériau dit barrière, dont la fonction est littéralement de bloquer les atomes de cuivre. Les matériaux couramment utilisés sont en général des nitrures, comme le nitride de titane (TiN), le nitride de tantale (TaN) ou le nitride de tungstène (WN) [Holloway90, Tsang07]. Ils sont déposés dans la plupart des cas par PVD²⁶ ou par CVD [Hayashi03]. Il a été démontré, dans le cadre du TSV, que le dépôt isolant SiO_2 améliore significativement l'intégrité de la barrière. Les deux couches de matériaux sont donc complémentaires [ZhangS05].

En parallèle au dépôt de la barrière à la diffusion du cuivre, une couche d'accroche, communément appelée *seed layer*, est déposée par PVD. Sa fonction première est d'initier le dépôt électrolytique du cuivre (voir ci-après) pour le remplissage du TSV. Cette couche est rendue nécessaire par la forte résistivité des matériaux barrières qui induit une importante chute ohmique lors de l'électrolyse et ne permet pas un dépôt uniforme du cuivre sur la surface de la plaque de silicium.

²³ SACVD : Sub-Atmospheric pressure Chemical Vapor Deposition (dépôt chimique en phase gazeuse à pression sous-atmosphérique).

²⁴ PECVD : Plasma-Enhanced Chemical Vapor Deposition (dépôt chimique en phase gazeuse assisté par plasma).

²⁵ CVD : Chemical Vapor Deposition. Cette dénomination générique regroupe l'ensemble des dépôts chimiques en phase gazeuse.

²⁶ PVD : Physical Vapor Deposition (dépôt physique en phase gazeuse). Il s'agit là aussi d'une dénomination générique qui regroupe tous les types de procédés de dépôts physiques.

Remplissage du TSV par un matériau conducteur.

Si les TSV sont réalisés selon un procédé *Via First*, les matériaux conducteurs utilisés doivent être compatibles avec les étapes du FEOL, ce qui implique que l'ensemble des matériaux utilisés pour le BEOL sont proscrits. Dans ce cas précis, on utilisera préférentiellement du tungstène (W) pour le *mid-process* ou du poly-silicium dopé (poly-Si) pour le *pre-process* [Tsang07].

Si un procédé *Via Last* est choisi, les matériaux typés BEOL et leurs procédés de dépôt associés seront préférés. Ainsi le cuivre est largement utilisé. Il est déposé par voie électrochimique sur une couche d'accroche PVD ou CVD qui permet d'établir le contact électrique. Selon la taille du TSV, le dépôt électrochimique sera soit poussé jusqu'à son terme, de telle manière à remplir complètement le trou, soit arrêté dès que le dépôt métallique a recouvert les flancs et le fond du TSV. En effet, ce type de dépôt est fortement dépendant du temps, ce qui signifie qu'un trou de dimension importante (typiquement les TSV moyenne densité) demandera un temps de dépôt prohibitif comparé à un trou de petite taille (les TSV haute densité). De plus, la quantité de cuivre introduite dans un TSV de grande dimension entraîne une augmentation importante des contraintes thermomécaniques lors des étapes suivantes d'intégration et le risque éventuel de rupture de l'intégrité du dispositif.

De nombreuses études ont montré que les paramètres du dépôt électrochimique sont de première importance pour générer un remplissage sans défauts (pas de présence de trous – *voids*, remplissage continu jusqu'au fond, etc.) [Kim06]. De plus, la géométrie du TSV, tout comme les matériaux utilisés pour la couche barrière, influencent fortement l'intégrité du remplissage final [Kim06, Wolf08].

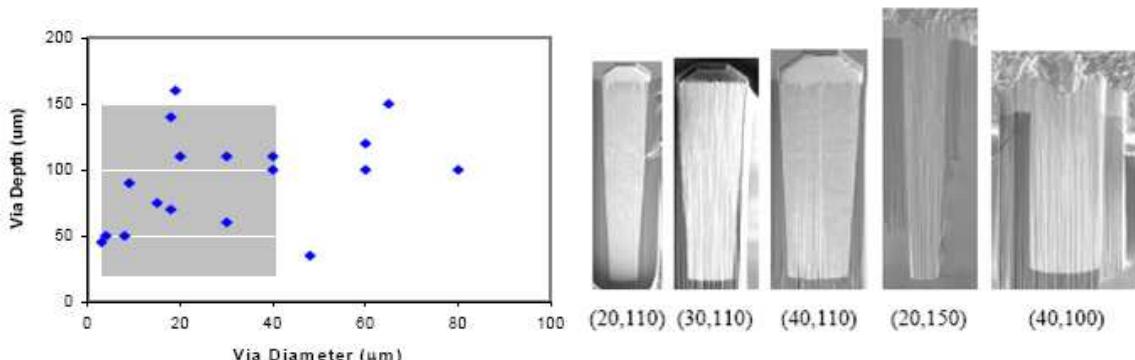


Figure 1.36. Intégrité des TSV (carré gris) selon leur profondeur et leur diamètre avec le procédé Semitool (gauche). Quelques exemples de remplissage complet pour différents couples (diamètre, profondeur) (droite) [Kim06].

Les sections précédentes ont permis de statuer sur les différents niveaux d'intégration 3D, les applications associées, ainsi que les principaux choix technologiques à définir selon l'architecture sélectionnée.

Néanmoins, avant de penser à une production de masse (et tous les tests de fiabilité associés avant la mise en vente d'un produit), il est primordial de statuer sur la compatibilité des technologies d'intégration 3D avec tous types de composants. Le sous chapitre suivant va donc permettre de comprendre quels sont les enjeux technologiques mis en œuvre par les architectures 3D sur l'intégrité des technologies CMOS actuelles.

1.3. Interactions possibles avec les technologies CMOS

En choisissant d'implémenter une nouvelle technologie d'intégration avec des composants qui n'ont pas été conçus pour cela, la question de la compatibilité entre les deux technologies s'avère légitime. Plus particulièrement dans le cas présent, il est nécessaire de savoir si le rapport d'échelle entre les deux n'est pas problématique. En effet, les efforts continuels développés en R&D pour suivre la loi de Moore aussi longtemps que possible ont un sens logique : la taille des composants a tendance à diminuer pour permettre une intégration de plus en plus dense et donc des performances améliorées de génération en génération. Paradoxalement, les technologies d'intégration 3D actuellement développées se rapprochent plus des technologies de packaging dans leurs dimensions. Le fait est que ces deux domaines technologiques doivent co-habiter et fonctionner de manière optimale. Pour se faire une idée précise de ce rapport d'échelle entre les deux types de technologies, on représente respectivement, à échelle réelle, un TSV de diamètre 2 µm (soit l'un des plus petits TSV actuellement réalisables) placé à proximité d'un transistor 45 nm (Figure 1.37), et un TSV similaire à proximité d'un transistor 0.8 µm (Figure 1.38). Ces deux exemples reprennent le cas de figure développé au paragraphe 1.2.2.3 [Ferrant08]. On comprend bien que le TSV peut avoir une influence bien plus importante dans le cas de la Figure 1.37 sur le transistor situé à proximité, que dans le cas de la Figure 1.38. Reste à qualifier et quantifier cette influence qui s'exprime sous deux formes différentes :

- Le TSV étant rempli par un matériau conducteur, la différence de dilatation thermique entre ce matériau et le silicium peut engendrer un niveau de contraintes résiduelles inhabituel dans le silicium. De plus, le TSV peut être source de perturbations de natures variées, comme la génération de nouvelles contraintes dues aux procédés technologiques (*e.g.* l'influence de l'amincissement du silicium sur le composant), ou bien une source de bruit de substrat inhabituelle.
Il s'agit de **phénomènes d'impact technologique** ;

- L'intégration 3D utilise la dimension verticale dans des circuits ayant été conçu en deux dimensions seulement. Se pose alors le problème de l'évolutivité des méthodes de conception de circuits : faut-il rendre compatible les outils de design actuels ou bien rompre complètement en proposant un schéma de conception novateur ?
Il s'agit de **phénomènes d'impact conceptuel**.

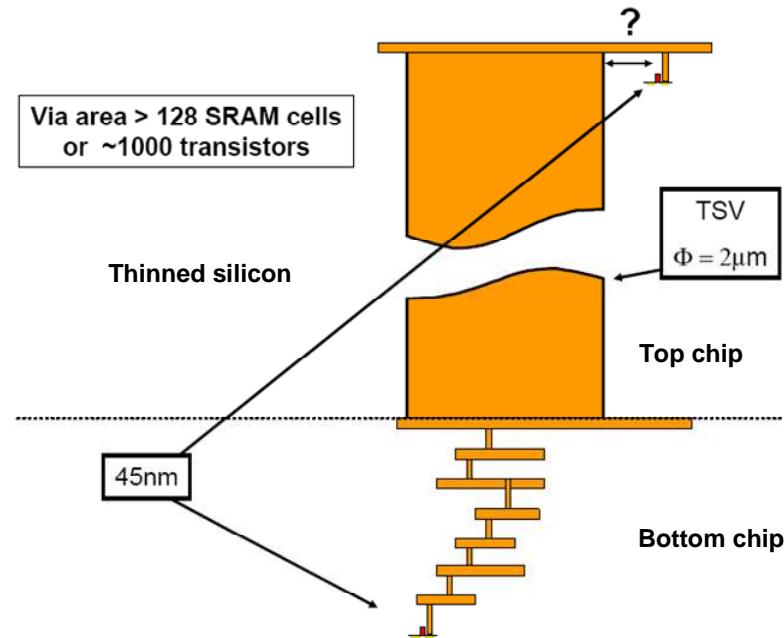


Figure 1.37. Représentation schématique à l'échelle d'un TSV de diamètre 2 μm à proximité d'un transistor MOS 45 nm [Ferrant08].

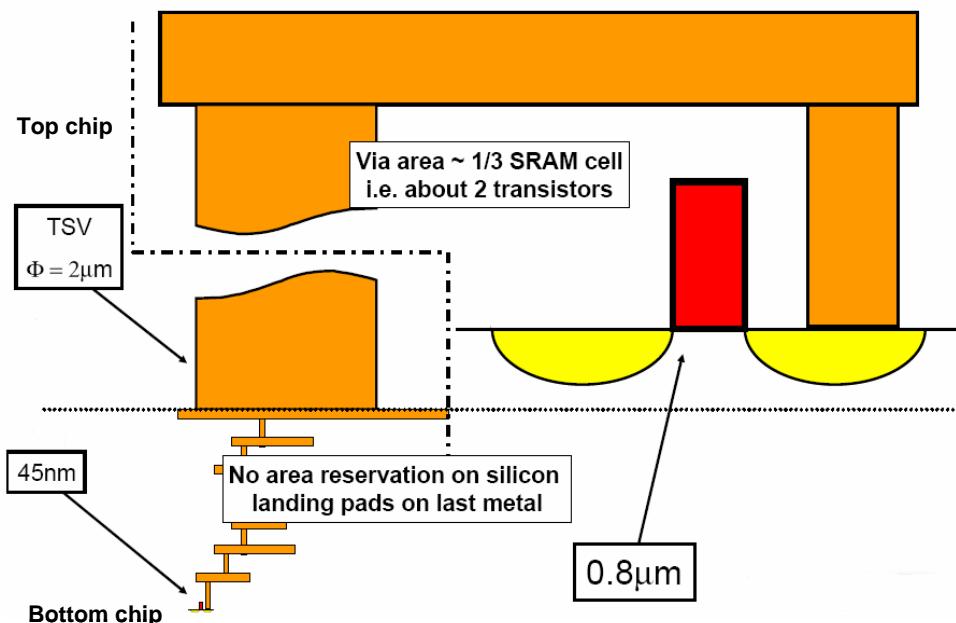


Figure 1.38. Représentation schématique à l'échelle d'un TSV de diamètre 2 μm à proximité d'un transistor MOS 0.8 μm [Ferrant08].

1.3.1. Impact thermomécanique lié aux procédés 3D sur les composants

L'impact des procédés technologiques liés à l'intégration 3D est un sujet de plus en plus étudié. Intel Corporation a initié le processus dès 2004 [Morrow04] où une réalisation d'oscillateurs en anneau implantés en technologie 65 nm sur le niveau supérieur avec les contacts repris sur la face arrière amincie par des TSV est présentée. Les composants CMOS sont réalisés sur silicium contraint (*strained silicon*). L'objectif de l'étude est de comparer les performances électriques d'un oscillateur en anneau implanté sur la strate amincie (à moins de 20 µm) avec celles d'un même oscillateur implanté dans la strate inférieure non amincie. Il est à noter que les deux oscillateurs (haut et bas) ne communiquent pas entre eux.

La Figure 1.39 présente la fréquence d'oscillation normalisée (par rapport à la fréquence moyenne d'oscillation d'oscillateurs équivalents implantés sur des substrats non collés) en fonction de la tension d'alimentation Vcc normalisée (par rapport à la tension d'alimentation de la technologie 65 nm, V_{cc_0}). On observe que la différence de fréquence d'oscillation entre l'oscillateur implanté dans le silicium aminci et celui dans la strate inférieure n'excède pas 2%, alors que la différence de fréquence entre l'oscillateur aminci et l'oscillateur non collé (référence) n'excède pas 5%. Les performances électriques du circuit aminci sont semblables à celles du même circuit dans le silicium massif.

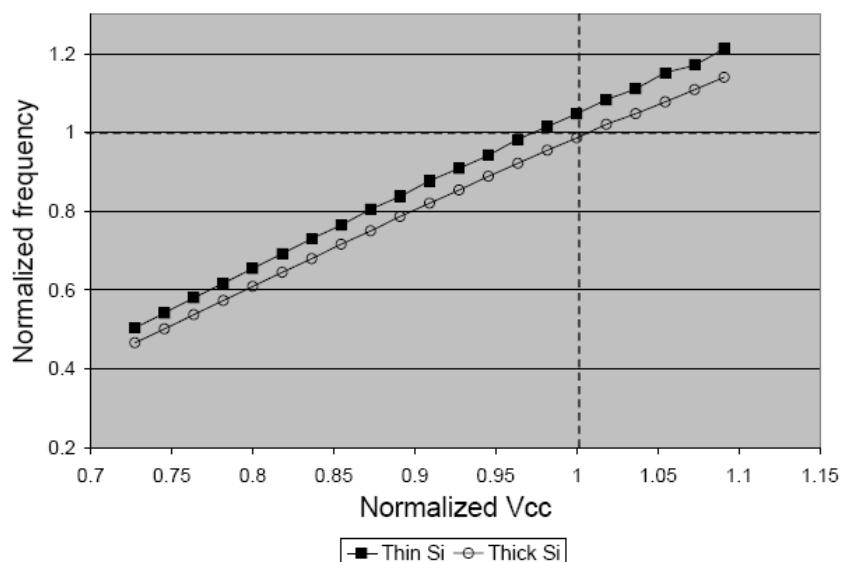


Figure 1.39. Fréquence d'oscillation normalisée de deux oscillateurs en anneau (l'un sur le silicium aminci, l'autre sur le silicium massif) en fonction de la tension d'alimentation normalisée par rapport à un oscillateur en anneau implanté dans un silicium massif non collé (référence) [Morrow04].

L'impact des procédés 3D et de leur intégration sur le fonctionnement électrique des transistors unitaires (N et P) semble suivre le même comportement, comme illustré à la Figure 1.40 [Morrow06]. Une étude menée en 2006 par une autre équipe d'Intel a permis de statuer sur l'effet de proximité des TSV haute densité ($\varnothing \sim 3 \mu\text{m}$, profondeur $\sim 15 \mu\text{m}$) par rapport aux composants, en mesurant les variations statiques sur les tensions de seuil et sur les courants de saturation de drain (cf. Figure 1.41) [Newman06]. Depuis, des études similaires de l'IMEC

[Okoro07, Olmen08] et de KAIST [Tanaka08] ont montré des résultats similaires. Leurs conclusions démontrent non seulement un impact négligeable de l'intégration 3D sur le fonctionnement électrique normal des composants, mais également la définition d'une règle minimale de positionnement des TSV par rapport aux zones actives (emplacement des transistors) sans effet sur la densité d'intégration des composants.

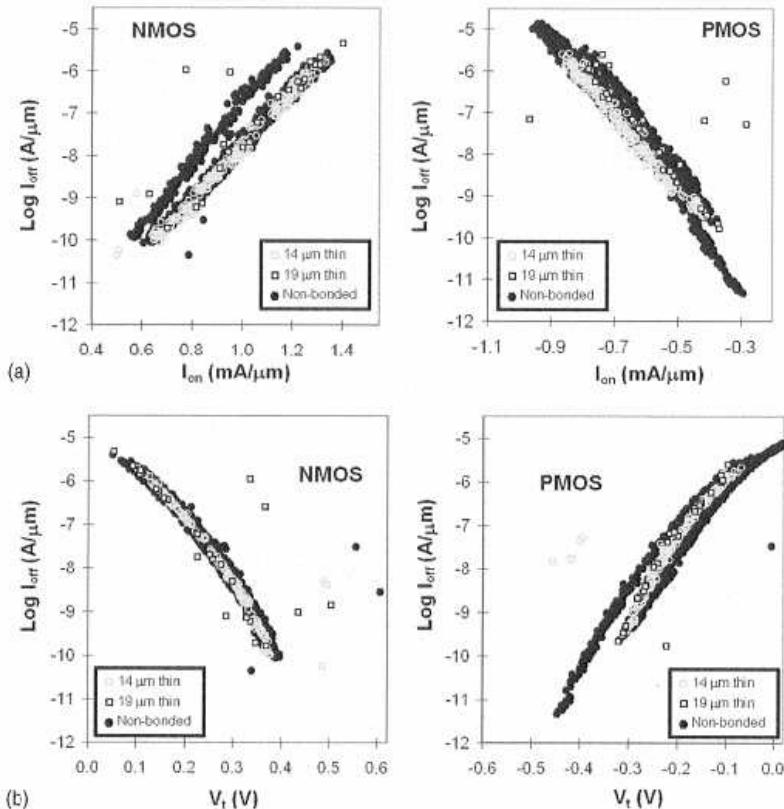


Figure 1.40. Caractéristiques $I_{OFF}(I_{ON})$ et $I_{OFF}(V_T)$ de transistors 65 nm permettant la comparaison entre dispositifs intégrés sur substrat massif et après intégration 3D [Morrow06].

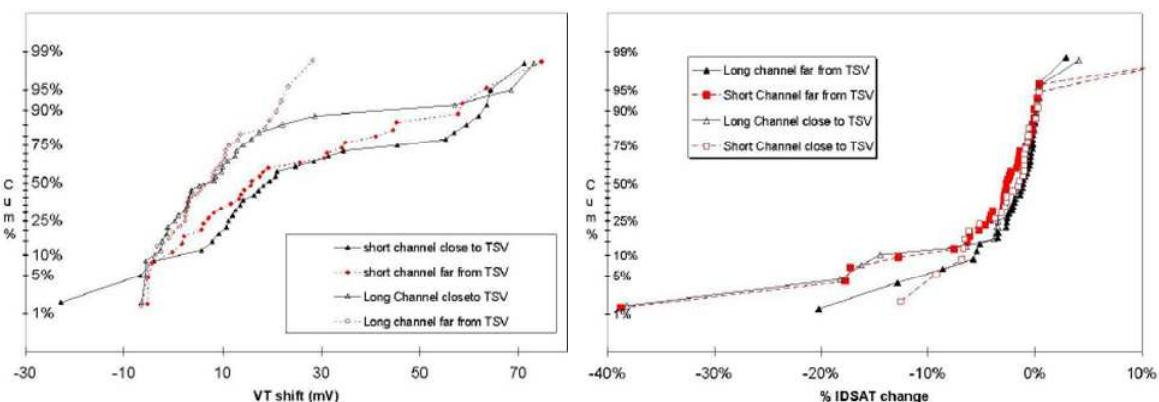


Figure 1.41. (gauche) Variations statiques sur la tension de seuil V_T selon deux positions de TSV (proches ou éloignés) ; (droite) Variations statiques sur le courant de saturation de drain I_{DSAT} ($=I_{ON}$) selon les mêmes conditions [Newman06].

1.3.2. Influence sur la conception de circuit

Au-delà des défis technologiques amenés par l'intégration 3D, le domaine de la conception circuit est également touché de plein fouet par ces nouvelles architectures. La troisième dimension apporte des possibilités inenvisageables en conception classique 2D. Néanmoins, plusieurs problématiques liées au design de circuits 3D ont émergé. Il est donc nécessaire dans un premier temps d'adresser ces challenges. On se propose de les classer en 4 catégories :

- Analyse thermique du design 3D ;
- Etape de placement & routage pilotée par analyse thermique ;
- Distribution de la puissance par réseau dans les circuits 3D ;
- Adaptation des outils de conception pour le 3D.

Analyse thermique.

L'analyse thermique consiste à simuler comment le circuit conçu réagit thermiquement aux sollicitations électriques de ses différentes fonctions. Ainsi, sur une puce, seul certaines zones vont dissiper plus de chaleur que le reste. C'est ce qu'on appelle les points chauds. Dans le cadre d'un circuit 3D, ces points chauds se retrouvent emprisonnés entre les différentes couches de l'empilement 3D, empêchant ainsi la chaleur produite de s'échapper à l'extérieur du circuit. L'analyse thermique est donc une étape importante dans le processus de conception d'un circuit, et dans le cadre d'une intégration 3D, il est nécessaire de prendre en compte tous les niveaux physiques avec leurs caractéristiques thermiques associées. Le lecteur pourra se reporter aux travaux du MIT dans ce domaine [Das04].

Placement & routage piloté par analyse thermique.

Comme stipulé ci avant, la problématique de la dissipation thermique dans les circuits 3D est de première importance. La phase de placement & routage est ainsi directement liée à celle de l'analyse thermique. En effet, il convient dans un premier temps de quantifier les points chauds pour ensuite pouvoir les placer de manière à optimiser la distribution de dissipation thermique dans le circuit global. Trois étapes de placement & routage sont couramment développées pour le design 3D :

- le placement 3D piloté par l'analyse thermique. Il s'agit de placer les différents blocs fonctionnels les uns par rapport aux autres en tenant compte de leur dissipation thermique évaluée lors de l'analyse thermique ;
- l'utilisation de TSV thermiques (dont la fonction est purement liée à la dissipation thermique et non à un rôle électrique) ;
- le routage 3D piloté par l'analyse thermique. Il s'agit de router les interconnexions qui vont permettre de relier les différents blocs fonctionnels qui ont été précédemment placés.

Il est à noter que l'utilisation de TSV thermiques est une caractéristique propre aux architectures 3D qui possède de nombreux avantages concernant l'évacuation de la chaleur (cf. Figure 1.42). Néanmoins, le principal défaut de ces TSV est de consommer une grande surface de silicium, réduisant ainsi la densité d'intégration des composants. Pour plus d'informations, le lecteur pourra se rapporter aux excellents travaux de l'équipe de l'Université du Minnesota qui ont été précurseurs dans ce domaine [Ababei05, Goplen05].

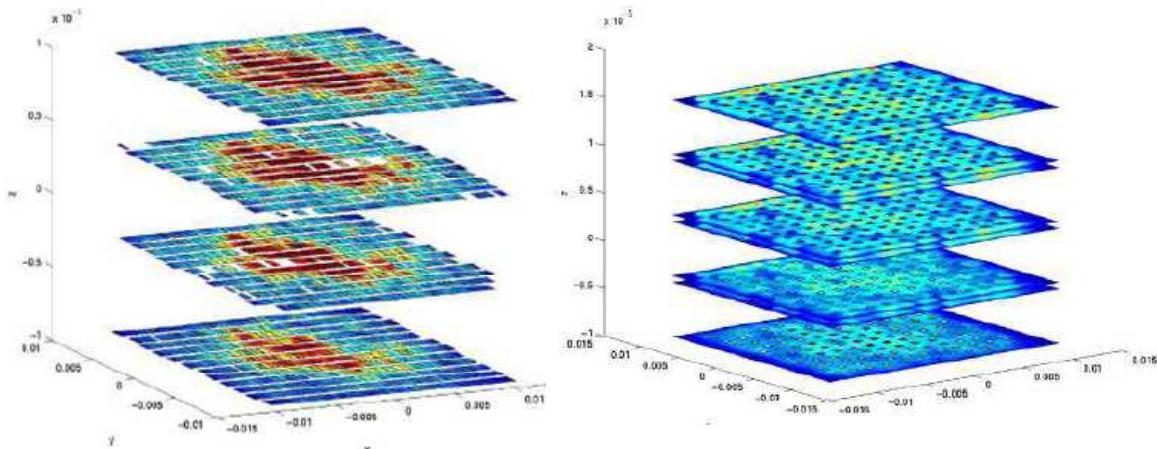


Figure 1.42. Profils thermiques d'un circuit 3D formé de 4 niveaux physiques distincts : sans TSV thermiques (gauche) ; avec TSV thermiques (droite) [Ababei05].

Réseau de distribution de puissance.

Les circuits 3D ont une propension assez limitée pour distribuer convenablement la puissance, comparativement aux circuits planaires classiques. Ce fait est principalement dû à la limitation du nombre d'I/O dans un circuit 3D par rapport à un circuit 2D, étant donné la mise en parallèle de plusieurs niveaux de circuits pour un nombre sensiblement identique d'I/O (comme illustré à la Figure 1.43).

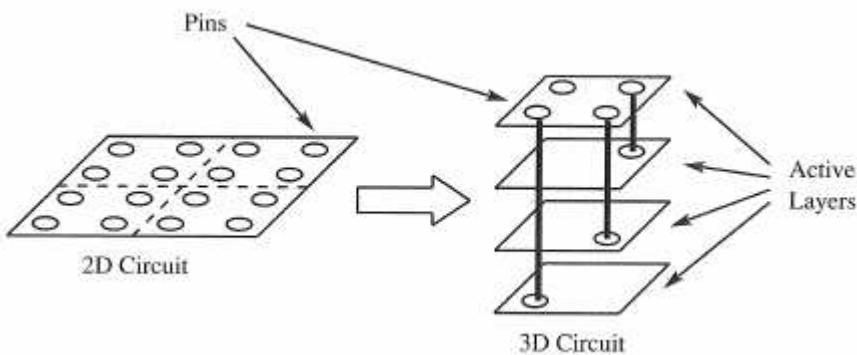


Figure 1.43. Limitations du nombre d'I/O pour les circuits 3D par rapport aux circuits 2D [Garrou08v2].

Adaptation des outils de conception.

Le dernier point limitant actuellement le développement du design des circuits 3D concerne les outils de conception. Il se trouve que tous les outils de développement (que ce soit les éditeurs de layout/schématique, les simulateurs basés en langage SPICE, les outils de placement/routage, etc.) ont été exclusivement conçus pour des circuits planaires. La troisième dimension leur est complètement étrangère, et pour cette simple raison, la conception sur plusieurs niveaux physiques superposés est impossible. À l'heure actuelle, seul une entreprise américaine, R³Logic, développe des logiciels entièrement automatisés adaptés pour les circuits 3D [R3Logic].

1.4. Contributions du doctorat

Dans ce court sous chapitre, on se propose de partir du constat réalisé suite au chapitre 1 au sujet des développements acquis sur le thème de l'intégration 3D, et de proposer des axes de recherche innovants qui vont constituer le cœur de ce manuscrit.

1.4.1. Synthèse de l'état de l'art

Nous venons de voir à quel point le thème de l'intégration 3D a changé – en quelques années seulement – la vision classique de la microélectronique qui était jusqu'à peu uniquement bâtie sur la poursuite de la loi de Moore. Les potentialités techniques et économiques liées à l'intégration 3D sont à proprement parler peu courantes et constituent en cela une véritable révolution technologique. Au-delà de cet engouement logique, il convient d'analyser sous tous les angles les problèmes de compatibilité des technologies 3D avec les composants classiques. Nous avons vu qu'un grand nombre de laboratoires de recherche et d'entreprises ont déjà investigué un certain nombre de problématiques propres aux intégrations 3D, parmi lesquelles :

- l'impact thermomécanique des TSV sur les composants CMOS ;
- l'effet de proximité des TSV sur les caractéristiques électriques des composants ;
- l'impact des procédés 3D sur l'intégrité physique et électriques des composants ;
- l'adaptation des outils de conception aux architectures 3D ;
- la réorganisation architecturale des circuits pour tirer avantage au maximum du 3D ;
- etc.

De plus, il est frappant de constater la grande souplesse des configurations architecturales en fonction de l'application définie. C'est d'ailleurs ce fait qui rend l'étude de l'intégration 3D aussi variée que complexe.

En partant de ce constat, il apparaît intéressant de se focaliser plus particulièrement sur certaines architectures pour permettre une étude plus ciblée. Ainsi, en accord avec les spécifications industrielles de STMicroelectronics, il a été décidé d'isoler deux intégrations : l'une faisant référence à la moyenne densité (3D-WLP), l'autre à la haute densité (3D-IC).

Enfin, n'oublions pas que le rôle premier des technologies 3D est d'interconnecter électriquement plusieurs niveaux de circuits selon des routages verticaux. A ce sujet, une réflexion émerge : le TSV étant une structure communicante entre deux niveaux de circuits, des potentiels et leurs courants associés vont être amenés à circuler par ces vecteurs. Ces phénomènes électriques peuvent représenter une source de bruit inhabituelle pour les composants.

Deux questions trouvent alors leur légitimité :

- **Les procédés 3D spécifiquement développés pour les intégrations définies ont-ils un impact thermomécanique sur la performance des technologies CMOS ?**
- **Les structures 3D engendrent-elles des phénomènes de bruit de substrat ? Si oui, en quoi cet impact par couplage substrat est-il problématique pour les composants ?**

1.4.2. Démarche proposée

Pour répondre aux questions précédemment posées, il est nécessaire dans un premier temps d'étudier les phénomènes de couplage substrat dans un circuit conventionnel et de transposer ces phénomènes dans une structure de circuit 3D générique. A partir de là, on peut procéder à l'étude de ces phénomènes et de leur impact sur les composants CMOS. C'est le propos du chapitre 2 qui ne traite que de modélisation et simulation.

Les études par simulation de phénomènes électriques ayant trait aux transistors étant la plupart du temps limitées aux seules dimensions du transistor lui-même (les phénomènes étant particulièrement complexes, les grandes dimensions sont peu adaptées aux simulations), on cherchera par la suite à caractériser ces mêmes phénomènes sur silicium. Le chapitre 3 traitera donc de la conception de cellules de test spécifiques à la mise en évidence du couplage substrat dans des structures 3D, en passant par la mise en œuvre d'un flot de conception adapté aux circuits 3D jusqu'à l'implémentation desdites structures de test sur deux démonstrateurs fonctionnels.

Le chapitre 4 concerne l'exploitation des véhicules de test. Dans un premier temps, on portera une attention particulière à la caractérisation électrique des TSV (résistance et capacité) puisque leurs propriétés auront une incidence directe sur le couplage par le substrat. Par la suite, l'impact des procédés 3D sera quantifié sur les caractéristiques électriques des composants CMOS, ainsi que l'effet de proximité engendré par la présence de TSV autour des zones comportant les composants actifs. Enfin, pour conclure cette démarche scientifique, on procèdera à l'analyse des résultats expérimentaux concernant la caractérisation du couplage par le substrat induit par la technologie 3D moyenne densité.

Chapitre 2

**Modélisation de phénomènes parasites au sein d'une
architecture 3D générique.**

Table des matières

Chapitre 2	55
2.1. Notions théoriques sur le couplage par le substrat	59
2.1.1. Sources de bruit substrat.....	59
2.1.1.1. Bruit d'alimentation.....	59
2.1.1.2. Couplage capacitif	60
2.1.1.3. Ionisation par impact	61
2.1.2. Propagation du bruit et réception par les composants	62
2.1.2.1. Mécanismes de propagation.....	62
2.1.2.2. Mécanismes de réception	64
2.1.3. Solutions d'isolation du substrat.....	66
2.1.3.1. Anneaux de garde	66
2.1.3.2. Couches enterrées.....	67
2.1.3.3. Caissonnage	67
2.1.3.4. Connexion à la face arrière.....	67
2.2. Du composant et de son environnement	68
2.2.1. Notions théoriques relatives au transistor.....	68
2.2.1.1. Transistors NMOS et PMOS	68
2.2.1.2. Caractéristiques électriques	69
2.2.1.3. Facteurs influençant les performances du composant.....	70
2.2.2. Notions théoriques relatives à l'inverseur.....	72
2.2.2.1. Description électrique.....	72
2.2.2.2. Caractéristiques électriques	72
2.2.2.3. Facteurs influençant les performances de l'inverseur	73
2.2.3. Composants intégrés dans une structure 3D	74
2.3. Couplage induit par l'intégration 3D sur le composant.....	76
2.3.1. Méthodologie.....	76
2.3.1.1. Considérations générales	76
2.3.1.2. Modèles électriques	76
2.3.1.3. Structure simulée	78
2.3.1.4. Transistor simulé	80
2.3.1.5. Simulation du couplage induit par l'intégration 3D.....	81
2.3.2. Couplage induit par le TSV	85
2.3.2.1. Considérations générales	85
2.3.2.2. Influence de la zone d'exclusion	87
2.3.2.3. Influence de l'épaisseur d'isolation du TSV.....	87
2.3.2.4. Influence de l'épaisseur de silicium.....	88
2.3.3. Couplage induit par le niveau de redistribution (RDL)	91
2.3.3.1. Considérations générales	91
2.3.3.2. Influence de l'épaisseur de silicium.....	92
2.3.3.3. Influence de l'épaisseur d'isolation du RDL.....	93

2.3.4. Impact couplé du TSV et du RDL	94
2.3.4.1. Isolation homogène.....	94
2.3.4.2. Isolation hétérogène.....	95
2.3.5. Influence des signaux parasites sur le couplage	97
2.3.5.1. Considérations générales	97
2.3.5.2. Influence de la durée du front de potentiel du signal agresseur	99
2.3.5.3. Influence de l'épaisseur d'isolation du TSV.....	100
2.3.6. Solutions pour la réduction du couplage substrat	101
2.3.6.1. Augmentation de la résistivité du silicium massif	101
2.3.6.2. Séparation physique de la zone active et du TSV	102
2.3.6.3. Implémentation d'une masse en face arrière	103
2.4. Couplage induit par l'intégration 3D sur l'inverseur	105
2.4.1. Modélisation circuit	105
2.4.1.1. Élaboration du modèle électrique	105
2.4.1.2. Calibration du modèle.....	106
2.4.1.3. Méthodologie	108
2.4.2. Impact du TSV sur l'inverseur	108
2.4.3. Limitations de l'approche circuit	110
2.5. Synthèse	111

Ce chapitre est entièrement dédié à la modélisation des phénomènes de parasitage intervenant dans le silicium d'un circuit 3D. Les simulations permettent d'investiguer un problème en avance de phase, de manière à cibler précisément l'essence de la problématique traitée. Avant de rentrer dans le détail des modélisations, la première partie 2.1 se veut être un bilan général sur les principales notions théoriques relatives au couplage par le substrat. Cette partie s'avère nécessaire pour la compréhension des phénomènes traités dans la suite du chapitre. La seconde partie 2.2 fait un rapide état de l'art des composants CMOS et de l'inverseur logique. En effet, le comportement électrique de ces dispositifs est étudié par différentes méthodes de simulations. L'ensemble des notions théoriques présenté ici permet une meilleure compréhension des résultats de modélisation dévoilés aux sous chapitres 2.3 et 2.4.

2.1. Notions théoriques sur le couplage par le substrat

Le terme « couplage par le substrat », qui est un synonyme de l'expression « bruit substrat », fait référence à un phénomène pour le moins critique. Son action sur un circuit intégré peut être catastrophique ou bien extrêmement limitée, mais dans tous les cas, il est toujours plus prudent de le prendre en compte au moment de la conception. Néanmoins, le bruit substrat n'en reste pas moins un phénomène impalpable et invisible, ce qui lui confère une part de mystère qu'il convient de lever. Le sous-chapitre 2.1 est principalement basé sur les travaux de thèse d'Olivier Valorge [Valorge06] et sur un ouvrage de référence écrit par Eduardo Charbon *et al.* [Charbon01].

2.1.1. Sources de bruit substrat

Plusieurs sources différentes ont été identifiées quant à la génération de bruit substrat. On ne traitera ici que des trois principales, à savoir le bruit d'alimentation, le couplage capacitif et l'ionisation par impact, les autres ayant une influence plus restreinte.

2.1.1.1. Bruit d'alimentation

En considérant le circuit intégré dans son intégralité, c'est-à-dire avec le packaging associé, son positionnement sur la carte imprimée ainsi que les connectiques nécessaires à son fonctionnement, il apparaît que les lignes d'alimentation, peu importe le niveau JISSO considéré (voir paragraphe 1.2.3.1.), constituent autant de sources génératrices de bruit substrat. En effet, ces structures d'alimentation (masse y compris) représentent des inductances, des capacités et des résistances parasites qui interagissent directement avec le substrat par l'intermédiaire des contacts de polarisation du substrat présents sur l'ensemble de la surface d'un circuit. Il est à noter que les bruits d'alimentation constituent la principale source de parasitage dans le substrat. On distingue quatre sources de bruit substrat liées à l'alimentation :

- **Les lignes d'alimentation** : le courant électrique parcourt un chemin spécifique depuis son entrée sur le circuit imprimé jusqu'au cœur du circuit intégré. L'ensemble des câblages nécessaires à son acheminement constitue des sources de bruit ;

- **Le courant de fonctionnement**: dans les circuits logiques, certains signaux (comme la fréquence d'horloge) sont dynamiques, c'est-à-dire qu'ils vont commuter d'un état logique à un autre selon une certaine fréquence. Ces commutations engendrent des pics de consommation de courant plus ou moins importants, ces derniers engendrant des perturbations proportionnelles dans le substrat ;
- **L'impédance du cœur du circuit**: cette impédance est la mise en parallèle des impédances de chacun des composants élémentaires du circuit, si l'on considère que tous sont connectés au même point d'alimentation ;
- **Les sauts d'alimentation et de masse**: le bruit d'alimentation d'un circuit numérique est le fruit de l'interaction des trois précédentes sources décrites ci-dessus. Les composants parasites des lignes d'alimentation forment avec l'impédance du cœur digital des réseaux de type RLC dont les oscillations sont entretenues par les pics de courant régulièrement appelés par les portes logiques de l'ensemble du circuit.

2.1.1.2. Couplage capacitif

Certaines capacités parasites propres aux structures mêmes d'un circuit génèrent un couplage des signaux bruités au substrat. Les principales sources de ce couplage sont classées en quatre catégories et sont explicitées par la Figure 2.1 :

- **(a) les capacités MOS des transistors**: l'oxyde de grille joue le rôle du diélectrique, la grille et le substrat les rôles des deux électrodes. Le PMOS est moins sensible que le NMOS car il est ancré dans un caisson dopé N (nwell) qui l'isole mieux du substrat (cf. Figure 2.5) ;
- **(b) les capacités drain/substrat et source/substrat**: les sources et drains des transistors CMOS forment des diodes PN avec le substrat. Celles-ci sont polarisées en inverse et se comportent donc comme une liaison capacitive entre le plot et le substrat ;
- **(c) les capacités interconnexions/substrat**: les niveaux locaux d'interconnexions constituent des électrodes qui se couplent au substrat par effet capacitif ;
- **(d) les capacités caisson/substrat**: dans les cas des transistors PMOS, le caisson nwell utilisé pour isoler le transistor du substrat dopé P constitue une jonction PN avec le substrat, polarisée en inverse afin d'isoler électriquement les composants à l'intérieur du caisson.

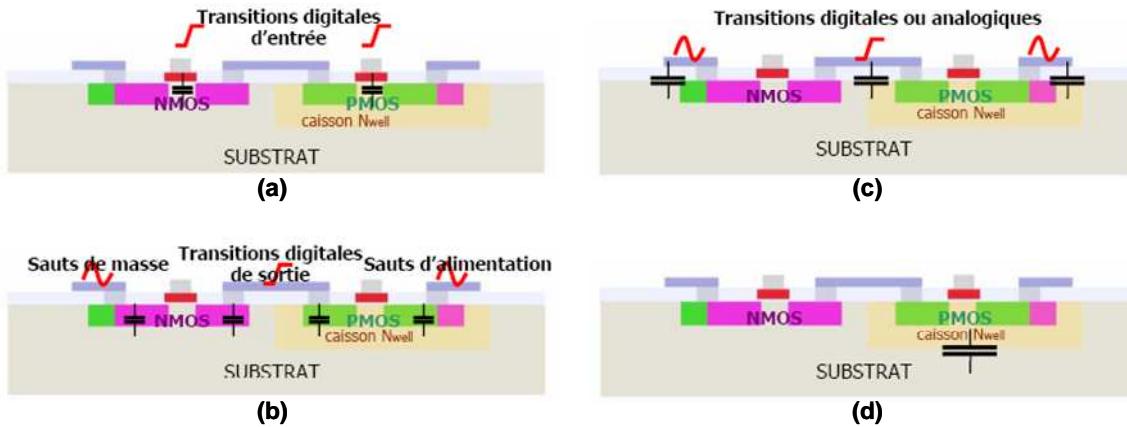


Figure 2.1. Schémas de principe des quatre modes de couplage capacitif [Valorge06].

2.1.1.3. Ionisation par impact

Le phénomène d'ionisation par impact ne doit pas être négligé quant à son rôle de générateur de courant parasite. Lorsqu'un transistor est en régime de saturation, un fort champ électrique apparaît dans le canal de conduction ($> 3.10^5 \text{ V/cm}$), localisé près du drain. L'énergie apportée par ce champ charge des électrons et des trous de telle manière que ceux-ci deviennent des porteurs chauds (*hot carriers*). Ces derniers ont la particularité de subir des collisions et de perdre ainsi leur énergie en créant de nouvelles paires électron/trou. On observe deux façons pour ces paires électron/trou de se dissiper : soit elles sont évacuées dans le substrat créant alors un fort courant parasite, soit elles vont se loger dans l'oxyde de grille, ce qui a pour conséquence d'endommager celui-ci. Les performances du transistor sont alors diminuées, du fait de la destruction progressive de l'oxyde de grille [Wolf86]. Il est à noter que pour le cas des particules se dispersant dans le substrat, l'effet sur le transistor PMOS est largement inférieur à celui effectif sur le NMOS, le coefficient d'ionisation des trous étant moins important que celui des électrons [Charbon01]. Le lecteur pourra se reporter à la référence [Arnold94] pour tout ce qui concerne la théorie d'ionisation par impact.

2.1.2. Propagation du bruit et réception par les composants

Cette partie fait état des principaux modes de propagation du bruit dans le silicium ainsi que des principaux modes de réception par les composants électroniques. Les notions abordées ici sont à la base des phénomènes observés en simulation dans les sous chapitre 2.3 et 2.4.

2.1.2.1. Mécanismes de propagation

Le silicium est le matériau support de la propagation du bruit. Les courants parasites mis en jeu par ce phénomène sont donc soumis à la physique des milieux diélectriques conducteurs, et plus particulièrement à la loi d'Ohm généralisée avec des conditions limites définies par [Gharpure92] en négligeant le courant de diffusion :

$$\vec{J} = \vec{E} \cdot (\sigma + j \cdot \omega \cdot \epsilon) \quad (\text{Eq. 2.1})$$

E étant le champ électrique (V.m^{-1}), J la densité de courant électrique (A.m^{-2}), σ la conductivité électrique du matériau (S.m^{-1}), ω la pulsation du champ électrique (s^{-1}) et ϵ la permittivité diélectrique du matériau¹ (F.m^{-1}).

Trois mécanismes de propagation rentrent en jeu dans le cas du silicium, à savoir l'effet résistif, l'effet capacitif et l'effet de peau. Ces trois mécanismes sont brièvement décrits ci-après. La Figure 2.2, représentant le schéma électrique équivalent au silicium, permet de comprendre les contributions de la résistance et de la capacité du silicium.

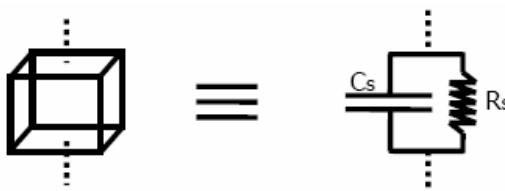


Figure 2.2. Schéma électrique équivalent d'un élément de silicium [Valorge06].

Effet résistif.

La conductivité d'un semi-conducteur (exprimée en S.m^{-1}) est donnée par :

$$\sigma = q \cdot (p \cdot \mu_p + n \cdot \mu_n) \quad (\text{Eq. 2.2})$$

q étant la charge de l'électron (C), μ_p et μ_n les mobilités respectives des trous et électrons ($\text{m}^2.\text{V}^{-1}.\text{s}^{-1}$) et p et n les concentrations associées des deux types de porteurs (m^{-3}).

L'équation 2.2 traduit le fait que la résistivité du silicium est directement proportionnelle à son niveau de dopage.

¹ Permittivité du silicium : $\epsilon = 11,7 \cdot \epsilon_0 = 103,5 \text{ pF.m}^{-1}$

Effet capacif.

La fréquence de coupure du silicium, noté f_c et décrite par l'équation 2.3, est directement proportionnelle à la conductivité du silicium, c'est-à-dire à son dopage. En dessous de cette fréquence de coupure, le comportement électrique du silicium est considéré comme purement résistif. La Figure 2.3 donne les valeurs de conductivité, de résistivité et de fréquence de coupure pour différents niveaux de dopage.

$$f_c = \frac{\sigma}{2\pi \cdot \epsilon} \quad (\text{Eq. 2.3})$$

Niveau de dopage [cm ⁻³]	Conductivité [S.cm ⁻¹]	Résistivité [Ω.cm]	f _c [GHz]
10 ¹⁴	7,96.10 ⁻³	125	1,2
10 ¹⁵	7,87.10 ⁻²	12,7	12
10 ¹⁶	0,714	1,4	>100
10 ¹⁸	28,57	0,035	>1000

Figure 2.3. Fréquences de coupure dans le silicium pour différents niveaux de dopage (et conductivités et résistivités associées) [Singh99].

Effet de peau.

Les hautes fréquences impliquent un mode de propagation en surface, d'où l'expression « effet de peau », et non plus dans la masse du matériau considéré. L'effet de peau se manifeste de manière différente selon la résistivité du silicium. Plus celle-ci est importante (donc un dopage faible), plus la profondeur de peau est prononcée. La Figure 2.4 illustre ce phénomène pour des fréquences comprises entre 100 MHz et 1 THz et pour deux résistivités différentes.

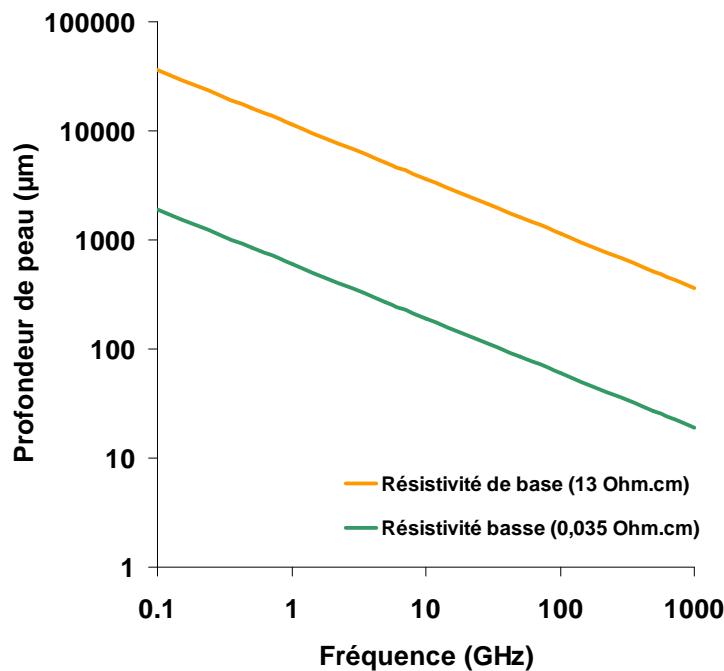


Figure 2.4. Evolution de la profondeur de peau pour des fréquences comprises entre 100 MHz et 1 THz et pour deux résistivités du silicium (courbe verte : résistivité de la couche fortement dopée ; courbe orange : résistivité du silicium massif).

2.1.2.2. Mécanismes de réception

Les tensions parasites se propageant dans le substrat sont réceptionnées différemment selon le composant mis en jeu. On se focalisera ici uniquement sur les deux composants principaux de la technologie CMOS, à savoir les transistors NMOS et PMOS.

Bruit d'alimentation et couplage capacitatif.

Ces deux types de bruit substrat sont réceptionnés par les composants CMOS par le biais des capacités parasites mis en évidence au paragraphe 2.1.1.2.

- Transistor NMOS : trois capacités parasites réceptionnent le bruit substrat, à savoir celles issues de la source (C_{ss}), la grille (C_{gs}) et le drain (C_{ds}), avec le substrat (cf. Figure 2.5-gauche).
- Transistor PMOS : les modes de couplage sont les mêmes que ceux du NMOS, à l'exception d'une capacité série supplémentaire entre le caisson N (nwell) et le substrat (C_{nwell}), comme illustrée à la Figure 2.5-droite.

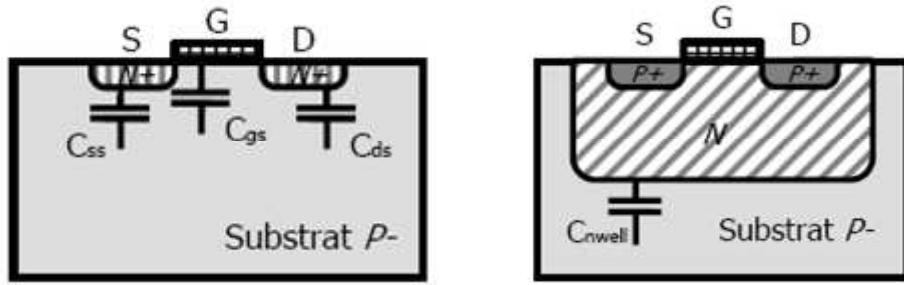


Figure 2.5. Localisation des capacités parasites dans le transistor NMOS (gauche) et PMOS (droite) [Valorge06].

Transconductance substrat.

Un autre mécanisme de réception est fréquemment mis en avant. Il s'agit du phénomène de transconductance substrat, communément nommé g_{mb} , qui fait référence au fait que les transistors sont particulièrement sensibles aux fluctuations du potentiel substrat, et plus particulièrement pour les fréquences basses à moyennes. Ainsi, la tension de seuil V_T des composants MOS est fortement dépendante de la tension substrat, comme illustré à la Figure 2.6. Pour une concentration uniforme de dopant N_A , l'expression de la tension de seuil est approximée par [Charbon01] :

$$V_T = V_{T0} + \frac{\sqrt{2 \cdot q \cdot \epsilon \cdot N_A}}{C_{ox}} \cdot (\sqrt{|-2\Phi_f + V_{sb}|} - \sqrt{|2\Phi_f|}) \quad (\text{Eq. 2.4})$$

ϵ est la permittivité diélectrique du substrat, N_A la concentration d'impuretés, C_{ox} la capacité surfacique de l'oxyde, $2\Phi_f$ le potentiel d'inversion et V_{sb} la tension de substrat.

La transconductance s'exprime donc par le rapport entre la variation du courant de sortie et la variation de la tension d'entrée. Ainsi, le rapport entre la transconductance substrat g_{mb} et la transconductance MOS g_m peut s'écrire sous la forme décrite à l'équation 2.5. Ce rapport varie entre 0,1 et 0,3 pour les technologies actuelles.

$$\frac{g_{mb}}{g_m} = \frac{\sqrt{2 \cdot q \cdot \epsilon \cdot N_A}}{2 \cdot C_{ox} \cdot \sqrt{2 \cdot \Phi_f + V_{sb}}} \quad (\text{Eq. 2.5})$$

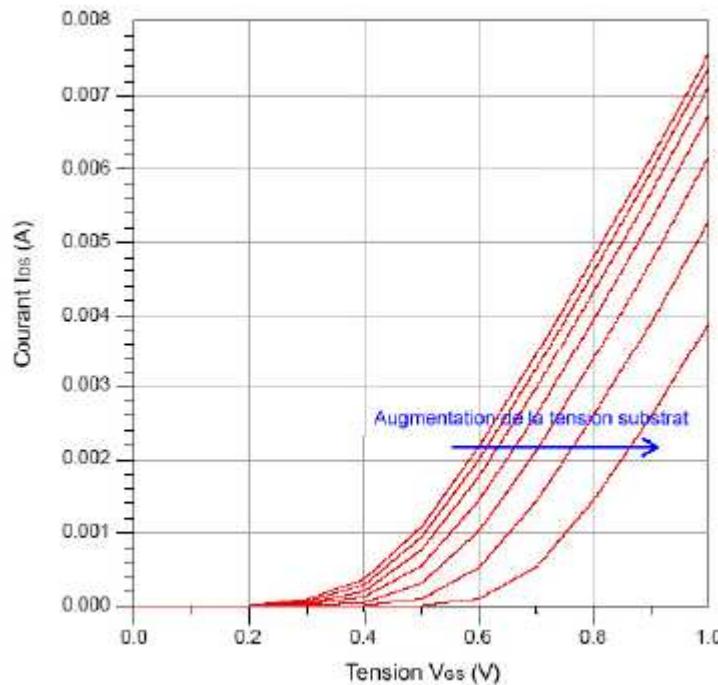


Figure 2.6. Influence de la tension de substrat sur les caractéristiques $I_{DS}(V_{GS})$ d'un transistor [Valorge06].

On retiendra particulièrement que pour les circuits numériques, les deux principaux mécanismes de réception du bruit de substrat par les composants CMOS sont le couplage capacitif et la modification du potentiel de substrat (par variation de la transconductance et donc du potentiel de body²). La conséquence néfaste de ce couplage est une possible augmentation du délai des portes logiques, phénomène connu sous le nom d'effet de retard [Charbon01].

² Potentiel de body : potentiel électrique dans le silicium, dit potentiel de corps, qui renseigne sur la polarisation de la face arrière du transistor (la quatrième électrode).

2.1.3. Solutions d'isolation du substrat

Dans les technologies CMOS, plusieurs techniques d'isolation du substrat ont été mises au point. Nous proposons de détailler brièvement dans cette section les quatre principales solutions passives et bas coût couramment utilisées dans l'industrie microélectronique. D'autres solutions, dites actives, existent mais sont peu usitées du fait de leur coût prohibitif et de leur encombrement excessif sur le silicium. Elles sont principalement destinées aux applications analogiques et demandent une connaissance poussée des phénomènes de couplage par le substrat en termes de conception de circuit [Laine03].

2.1.3.1. Anneaux de garde

Les anneaux de garde constituent probablement la solution d'isolation du substrat la plus couramment utilisée. Sa simplicité de mise en œuvre et son faible encombrement sur silicium sont ses principaux avantages. Il s'agit soit d'anneaux dopés N ou P, soit de tranchées remplies par un matériau diélectrique, qui sont placées autour des blocs fonctionnels à isoler. Le procédé mis en jeu pour les anneaux dopés est une implantation ionique à faible énergie et haute dose sur silicium. Une oxydation de la tranchée gravée dans le substrat permet de réaliser les anneaux diélectriques. Dans le cas des anneaux dopés, il est nécessaire de connecter électriquement les anneaux au réseau d'interconnexions pour polariser les structures de garde et ainsi garantir une isolation optimale. Néanmoins, pour être efficace, cette technique exige un nombre suffisant de contacts sur l'anneau permettant de bien stabiliser les courants de substrat.

- **Anneaux P :** ils agissent comme un point d'impédance faible dans le substrat, ce qui a pour effet d'évacuer les courants parasites de surface. Pour que leur action soit maximale, ils doivent être connectés à une masse propre de telle manière qu'elle induise le minimum d'éléments parasites. Plus le nombre d'anneaux est important, plus la polarisation du substrat P est efficace et homogène.
- **Anneaux N :** proposant la même fonction d'évacuation des courants parasites de surface que leurs homologues dopés P, ils créent en plus une zone de charge d'espace (due à la jonction PN avec le substrat) qui agit comme un anneau diélectrique isolant. Une tension positive doit être appliquée sur l'anneau N, de manière indépendante comme pour la connexion de l'anneau P. Si aucune tension n'est appliquée, la zone de charge d'espace subsiste mais son efficacité d'isolation se voit nettement amoindrie.
- **Anneaux diélectriques :** ce type d'isolation ne capte pas les courants parasites comme le font les anneaux dopés mais les dévie simplement de la zone sensible. Néanmoins, les anneaux diélectriques présentent le grand avantage de ne nécessiter aucune connectique électrique.
- **Anneaux concentriques :** en cumulant l'utilisation des anneaux précédemment décrits, on peut ainsi améliorer les qualités d'isolation mais on augmente inexorablement le nombre de connexions à réaliser sur les différents anneaux. De plus, en modifiant la géométrie de la prise isolante (initialement un anneau), on peut ajuster le degré d'isolation de la solution envisagée.

2.1.3.2. Couches enterrées

L'isolation proposée par les anneaux n'a qu'une portée surfacique. Dans les cas où l'on souhaite porter l'isolation en profondeur, de manière à protéger les composants des courants parasites de profondeur, les couches enterrées sont préférées. Il s'agit de couches dopées, comme le sont les anneaux, et placées en profondeur, à quelques microns des dispositifs. L'implantation ionique utilisée pour créer ces structures est réalisée à forte énergie et fortes doses (donc faiblement résistives). Il est nécessaire de polariser ces couches enterrées par des prises substrat profondes.

2.1.3.3. Caissonnage

En combinant les anneaux de garde avec les couches enterrées, on optimise drastiquement la qualité de l'isolation, tout en supprimant les contacts profonds inhérents aux couches enterrées puisque les contacts du caisson se font en surface. Le caissonnage le plus fréquent est un caisson dopé N qui crée une double jonction PN tête-bêche, donc polarisée en inverse avec le substrat. La technique du caissonnage est couramment appelée « triple well » dans le domaine de la microélectronique.

2.1.3.4. Connexion à la face arrière

Une mise à la masse par la face arrière peut être réalisée dans le cas d'une utilisation en basses fréquences. En effet, à hautes fréquences, l'effet de peau devient le mode de propagation prédominant et les courants parasites n'atteignent pas la face arrière de la puce. Le procédé de connectique en face arrière est industriellement complexe, ce qui explique que cette solution n'est pas utilisée pour toutes les applications. Néanmoins, cette protection attire la majorité des courants parasites en basses fréquences car la dimension du plan de masse ainsi généré est supérieure à la surface développée par les solutions de garde en face avant.

2.2. Du composant et de son environnement

Pour comprendre l'impact du couplage par le substrat sur la technologie CMOS, il est nécessaire de s'attarder quelque peu sur les notions de base des composants CMOS, à savoir les transistors NMOS et PMOS, ainsi que sur l'étage inverseur qui constitue la porte logique élémentaire et à titre la base de la conception numérique, l'inverseur. Ces deux composants seront par la suite étudiés dans leur environnement 3D qui sera présenté à la section 2.2.3.

2.2.1. Notions théoriques relatives au transistor

Les notions physiques concernant les transistors MOS présentées ici sont loin d'être exhaustives. L'étude de ces composants n'est en effet pas l'objet de cette thèse et le lecteur désireux de parfaire sa connaissance du MOS pourra faire référence au cours de T. Skotnicki [Skotnicki00]. On se bornera ici à ne rappeler que les principales caractéristiques d'un transistor qui permettent de comprendre les simulations décrites par la suite.

2.2.1.1. Transistors NMOS et PMOS

Le principe de fonctionnement des transistors métal/oxyde/semi conducteur à effet de champ (MOSFET) est basé sur la modulation électrostatique d'une densité de charges mobiles dans un semi conducteur. La structure de base d'un transistor comprend quatre électrodes qui contrôlent les différents points de potentiel nécessaire à son bon fonctionnement : une électrode d'entrée dite de « source », une électrode de sortie dite de « drain », une électrode de commande appelée « grille » et une électrode de contrôle du potentiel de substrat dénommée « prise substrat ». Le signal appliqué sur la grille commande l'existence ou non d'une couche conductrice de porteurs libres en surface (le canal de conduction) entre la source et le drain.

Les transistors N et P diffèrent de par leur type de conduction : le NMOS est basé sur une circulation des électrons grâce à un dopage des sources et drains de type N alors que le transistor PMOS utilise les trous grâce à un dopage de type P. La Figure 2.7 montre les différents modes de fonctionnement d'un NMOS en fonction de la polarisation des électrodes. On remarque ainsi que lorsque la tension de grille V_{GS} dépasse une tension de seuil V_{TH} propre à chaque dispositif, le transistor est en mode passant, *i.e.* le passage du courant entre la source et le drain est permis. La tension de drain V_{DS} permet de contrôler l'intensité du courant associé I_{DS} .

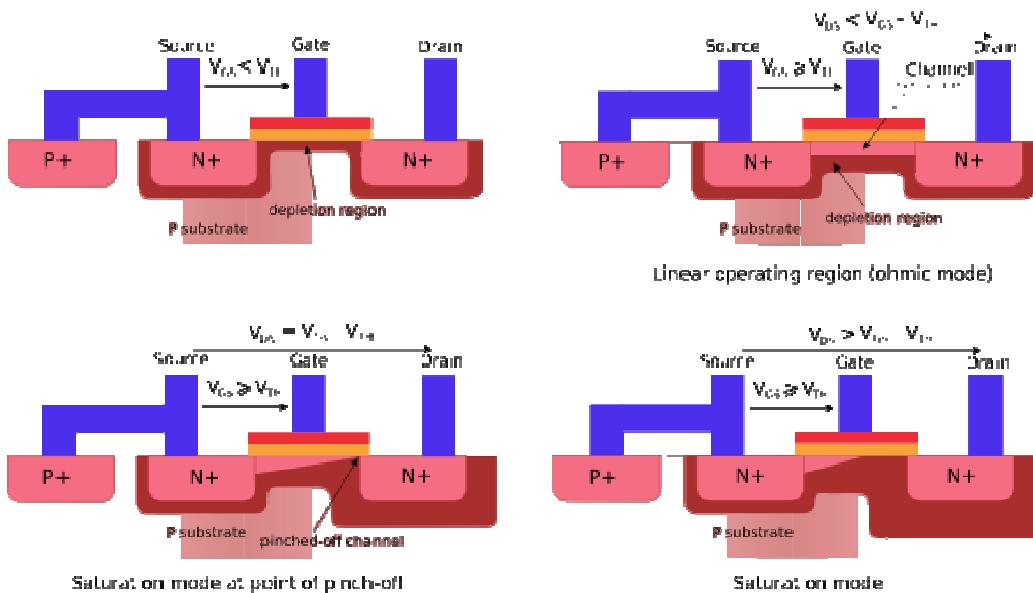


Figure 2.7. Modes de fonctionnement d'un transistor NMOS [Wiki07].

2.2.1.2. Caractéristiques électriques

Les différents modes de fonctionnement du transistor présentés à la Figure 2.7 font état d'autant de régimes électriques présentant des courants de drain particuliers. Seulement deux régimes sont explicités ici, à savoir :

- le **courant de saturation de drain I_{DSAT}** (ou I_{ON}). Il est défini comme étant le courant de drain à $V_{GS} = V_{DS} = V_{DD}$ (*i.e.* la valeur nominale de l'alimentation). Son unité usuelle est le $\mu\text{A}/\mu\text{m}$, c'est-à-dire l'intensité du courant passant dans le canal de conduction par unité de largeur (W).
- le **courant de fuite I_{Dleak}** (ou I_{OFF}) qui correspond à l'état de repos du transistor. Il est défini comme étant le courant de drain à $V_{GS} = 0$ et $V_{DS} = V_{DD}$. Son intensité est typiquement exprimée en $\text{A}/\mu\text{m}$.

Ces deux points de fonctionnement sont représentatifs des performances d'un transistor. En effet, le courant I_{ON} est un indice de courant passant lorsque le transistor est en saturation alors que le I_{OFF} est un indice de la dissipation d'énergie lorsque le transistor est au repos. On cherchera à optimiser les performances d'un transistor en obtenant une élévation du I_{ON} et une diminution du I_{OFF} : le rapport I_{ON}/I_{OFF} doit donc être aussi élevé que possible. La Figure 2.8 représente ces deux points de fonctionnement caractéristiques sur une courbe typique $I_{DS}(V_{GS})$.

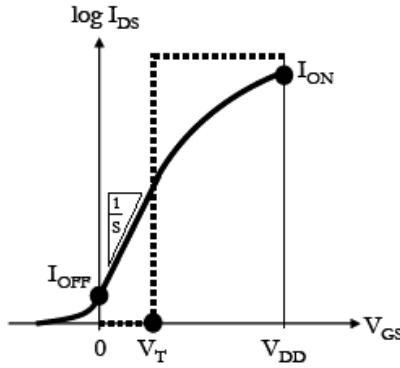


Figure 2.8. Caractéristiques de sortie $I_{DS}(V_{GS})$ d'un transistor NMOS (trait plein) et d'un interrupteur supposé parfait (trait pointillé) [Jaud06].

2.2.1.3. Facteurs influençant les performances du composant

Les transistors CMOS sont des dispositifs actifs qui ont tendance à devenir de plus en plus sensibles à leur environnement en fonction des avancées technologiques. En effet, le phénomène de *scaling*, qui consiste à réduire les tailles des composants et diminuer les tensions d'alimentation pour obtenir des performances accrues, montre ses limites. Pour une longueur de grille L_G représentative des technologies actuelles (*i.e.* une trentaine de nanomètres), outre les nombreux phénomènes physiques parasites apparaissant au sein du canal de conduction (tels que les effets de canaux courts, les phénomènes quantiques, etc.), les plus infimes variations de l'environnement direct du transistor ont une influence sur son fonctionnement électrique [Taur97]. Par ailleurs, pour les dimensions les plus fines, les forts champs électriques verticaux engendrés par la grille ont tendance à dégrader la mobilité des porteurs de charge [Thompson04]. On ne reviendra pas ici sur les phénomènes de réception du couplage substrat décrits au paragraphe 2.1.2.2 qui peuvent accroître le temps de propagation du signal dans un composant.

Variation de la mobilité des porteurs de charge.

Le critère environnemental le plus représentatif de ce phénomène est l'impact des contraintes dans le silicium sur les caractéristiques électriques des transistors. En effet, le niveau de contraintes internes a la capacité d'engendrer une modification de la mobilité des porteurs de charge. On cherche donc à induire des niveaux de contraintes internes particuliers dans le canal, selon des directions avantageuses, de telle manière à optimiser le passage du courant de drain I_{DS} . De plus la mobilité des électrons (pour le NMOS) et des trous (pour le PMOS) n'évoluent pas similairement selon le même niveau de contraintes et la même direction. Par exemple, le gain en mobilité des trous est largement supérieur au gain en mobilité des électrons dans le cas d'une contrainte induite selon l'axe longitudinal du canal de conduction (cf. Figure 2.9). Cette différence est principalement due au fait que la génération des contraintes dans les deux types de transistors n'est pas réalisée selon le même procédé [Thompson04]. Il est à noter que les directions de contraintes sont déterminantes. Une mauvaise direction peut tout à fait avoir un effet négatif sur la mobilité des porteurs et induire une dégradation du passage du courant de drain.

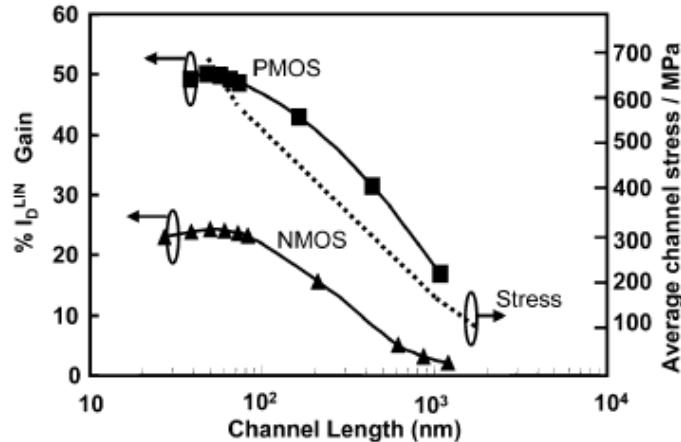


Figure 2.9. Gain en courant linéaire (axe de gauche) et niveaux de contraintes moyens dans le canal en fonction de la longueur de grille. Données expérimentales et modélisées pour un stress induit selon l'axe longitudinal du canal de conduction [Thompson04].

Influence du TSV sur la mobilité des porteurs de charge.

L'impact des contraintes induites dans le canal du transistor par la présence de TSV ne constitue pas le cœur de ce chapitre. Néanmoins, il est important d'avoir conscience de ces effets mécaniques sur l'amélioration ou la détérioration des performances des transistors. Une étude interne au LETI, menée en 2008, a permis de statuer sur la génération de contraintes dans le silicium aminci par la présence de TSV haute densité, en fonction de leur diamètre et du métal de remplissage (cuivre ou tungstène), et son impact sur la variation de mobilité des porteurs de charges pour les deux types de transistors [Crécy08]. La Figure 2.10 présente les variations de la mobilité des porteurs de charges pour les deux types de transistors, en fonction de leur éloignement par rapport au TSV. Les conclusions de cette étude montrent que les contraintes engendrées par les TSV ont un impact variable selon l'orientation de la grille des transistors, et également selon le type de porteurs de charge.

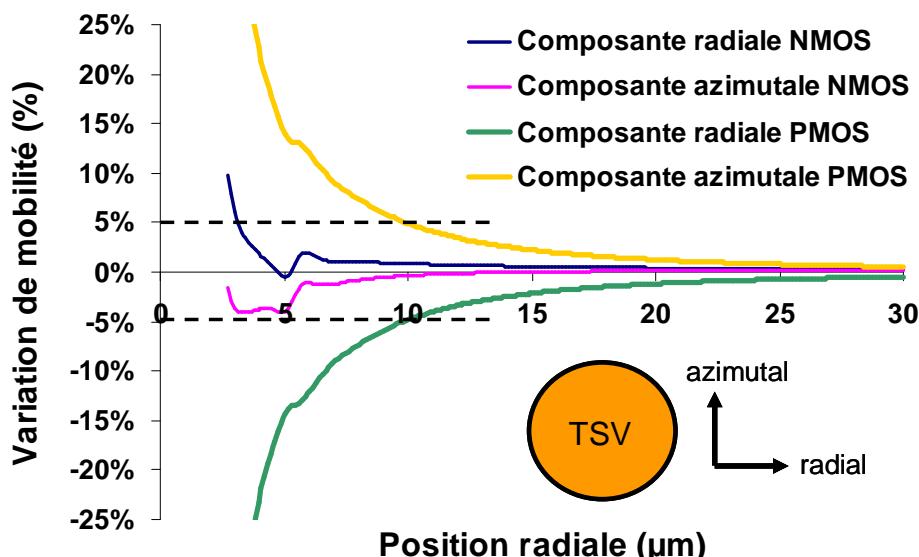


Figure 2.10. Variation de la mobilité des porteurs de charge en fonction de l'éloignement du TSV (en microns) pour des transistors NMOS et PMOS dont les grilles sont orientées perpendiculairement à la tangente au TSV (radial) et parallèle (azimutal) [Crécy08].

2.2.2. Notions théoriques relatives à l'inverseur

Tout comme pour la partie 2.2.1 pour les transistors, les notions présentées ici concernant l'inverseur ne sont pas exhaustives. Le lecteur soucieux de parfaire sa connaissance de cette porte logique pourra se référer au livre de Kang et Leblebici [Kang03].

2.2.2.1. Description électrique

L'inverseur est la porte logique la plus usitée en conception. Elle permet d'opérer un changement d'état booléen sur une seule variable d'entrée. L'inverseur est composé de deux transistors, un NMOS et un PMOS, les deux étant connectés ensemble. La Figure 2.11 présente le symbole logique représentant un inverseur, la table de vérité associée à cet opérateur et l'implémentation de la fonction inverseur en technologie CMOS.

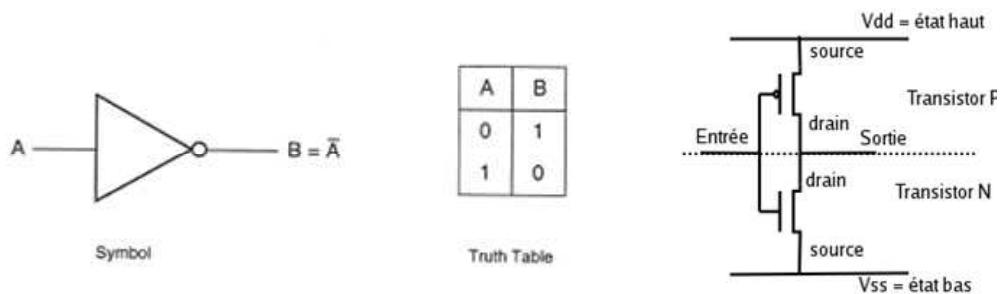


Figure 2.11. Symbole logique, table de vérité associée et implémentation physique en technologie CMOS [Kang03].

2.2.2.2. Caractéristiques électriques

Sa fonction booléenne consiste à inverser la valeur logique de la variable en entrée (Figure 2.12 gauche). D'un point de vue pratique, cela consiste à obtenir en sortie une tension positive correspondante à V_{DD} lorsque la tension en entrée est inférieure à la tension de seuil du transistor NMOS, et inversement (Figure 2.12 droite).

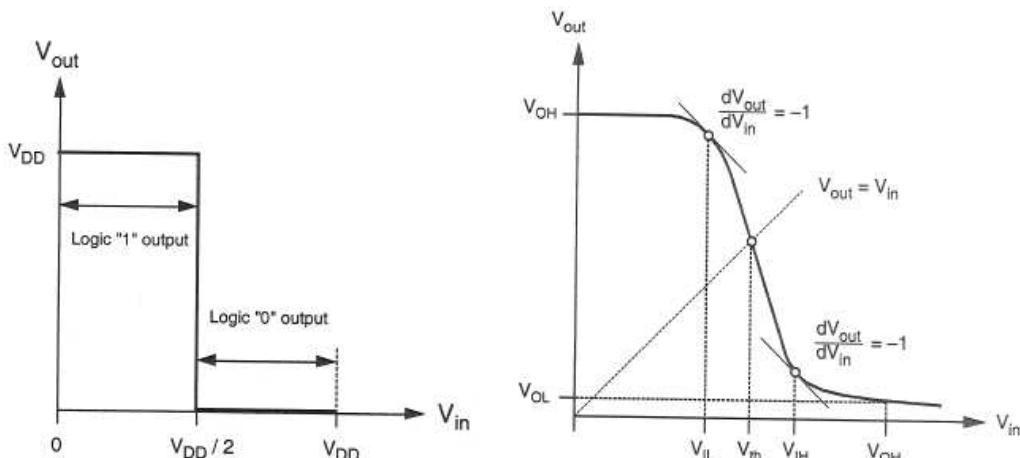


Figure 2.12. Caractéristiques de transfert d'un inverseur idéal (gauche) et réaliste (droite) [Kang03].

La puissance statique consommée est calculée comme le produit de la tension d'alimentation et de la quantité de courant consommée soit à l'état logique '0' soit à l'état logique '1' comme illustré par l'équation 2.6.

$$P_{DC} = V_{DC} \cdot I_{DC} \quad (\text{Eq. 2.6})$$

Etant donné que la consommation de courant de l'inverseur varie en fonction des états d'entrée et de sortie, une estimation plus réaliste de la puissance statique dissipée peut être donnée en considérant qu'en moyenne, 50 % du temps est consacré à l'état logique '1' et 50 % à l'état logique '0' :

$$P_{DC} = \frac{V_{DD}}{2} \cdot [I_{DC}(V_{in} = low) + I_{DC}(V_{in} = high)] \quad (\text{Eq. 2.7})$$

2.2.2.3. Facteurs influençant les performances de l'inverseur

Une porte logique est par définition moins sensible qu'un transistor au bruit de substrat. Le composant unitaire fonctionne de manière analogique, c'est-à-dire que son signal de sortie sera fonction de son signal d'entrée. Une porte logique, comme l'inverseur, donne un signal de sortie digital, c'est-à-dire un bit de valeur 0 ou 1, peu importe la valeur réelle de sa tension de sortie (si celle-ci est supérieure à la tension de seuil du transistor NMOS de l'inverseur, alors le bit de sortie sera 1. Sinon, le bit de sortie vaudra 0).

En conception numérique, les problématiques de bruit de substrat sont peu regardées car les concepteurs savent que les perturbations récoltées par les portes logiques ne sont pas critiques pour leur fonctionnement. A l'inverse, en conception analogique, étant donné que les signaux de sortie ne sont pas discrétisés, les moindres perturbations risquent d'impacter sensiblement les signaux traités par la partie analogique. Ainsi, dans les circuits mixtes (*i.e.* contenant une partie analogique et une partie numérique), la majorité du bruit substrat générée par la partie numérique influence significativement la partie analogique [Valorge06, Andrei05].

En se focalisant uniquement sur le domaine numérique, quelques phénomènes sont néanmoins responsables de variations de performances relatives aux technologies CMOS. Ainsi, la chute de tension ohmique (appelée *IR drop* en anglais) cause un abaissement local de la tension d'alimentation aux bornes des portes logiques. Ce phénomène est dû à la résistance non négligeable des fils d'alimentation, et au courant important qui circule dans ce type d'interconnexions, engendrant ainsi un bruit d'alimentation conséquent. La température, tout comme pour le transistor, est également un facteur pouvant dégrader les performances d'une porte logique, en influençant la mobilité des porteurs.

2.2.3. Composants intégrés dans une structure 3D

Les deux composants précédemment explicités sont étudiés dans leur environnement 3D. Nous cherchons ainsi à qualifier et quantifier l'impact du couplage par le substrat généré par les structures inhérentes à l'intégration 3D sur les performances de composants représentatifs d'une technologie.

Pour cette étude de simulation, il a été choisi de travailler sur la technologie bulk CMOS 65 nm basse consommation, avec un oxyde de grille fin (pour les applications logiques) et des caractéristiques basse consommation (applications grand public), parmi les nombreux choix technologiques proposés dans cette technologie STMicroelectronics (cf. Figure 2.13). Afin de s'affranchir des effets de canal court, on décide arbitrairement de considérer uniquement un canal long ($L_G = 1 \mu\text{m}$).

Même si ce parti pris reste discutable, il permet en l'occurrence de clarifier les analyses relatives aux phénomènes de couplage, en ne tenant pas compte des phénomènes quantiques et autres parasitages intervenant dans les transistors à canaux courts.

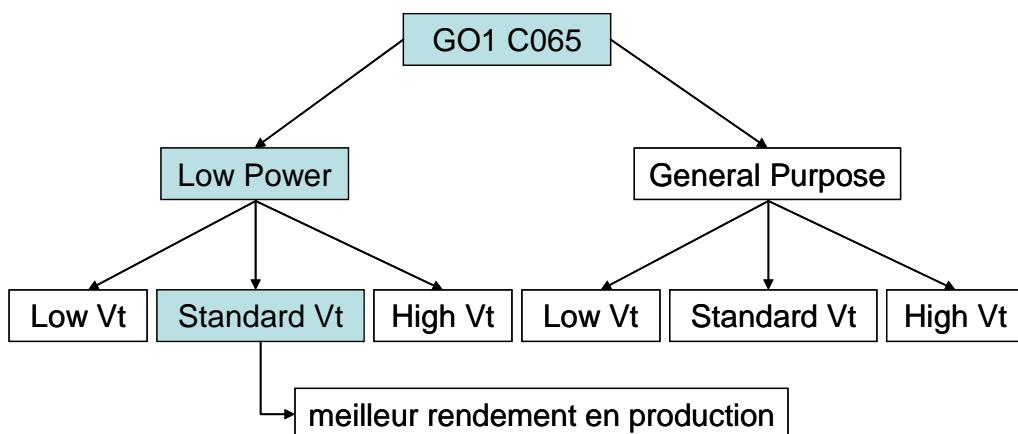


Figure 2.13. Choix de la technologie pour l'étude de modélisation.

Cette technologie CMOS avancée est considérée dans une intégration 3D haute densité, sans référence particulière aux étapes d'amincissement, de collage, d'orientation des puces, etc. L'objectif ici est de considérer une architecture 3D générique dont les résultats pourront être validés quelles que soient les options d'intégration choisies.

Ainsi, on cherche simplement à considérer un transistor ou un inverseur, basés sur la technologie précédemment décrite et implémentés sur silicium aminci, à proximité de structures 3D génériques comme il est décrit à la Figure 2.14. On considère alors une ligne de redistribution (RDL) en face arrière du silicium aminci, ainsi qu'un TSV qui connecte le métal 1 du BEOL au niveau de RDL. Ces deux entités propres à la plupart des intégrations 3D constituent des électrodes à part entière, tout comme les lignes de métal du BEOL, à la différence près que ces électrodes 3D se trouvent à des emplacements pour le moins délicats et surtout inenvisagés jusqu'à présent en microélectronique. Il convient donc d'étudier leur influence électrique sur le fonctionnement d'une technologie. Les modélisations présentées dans la suite de ce chapitre se concentrent sur la zone décrite en pointillés sur la Figure 2.14.

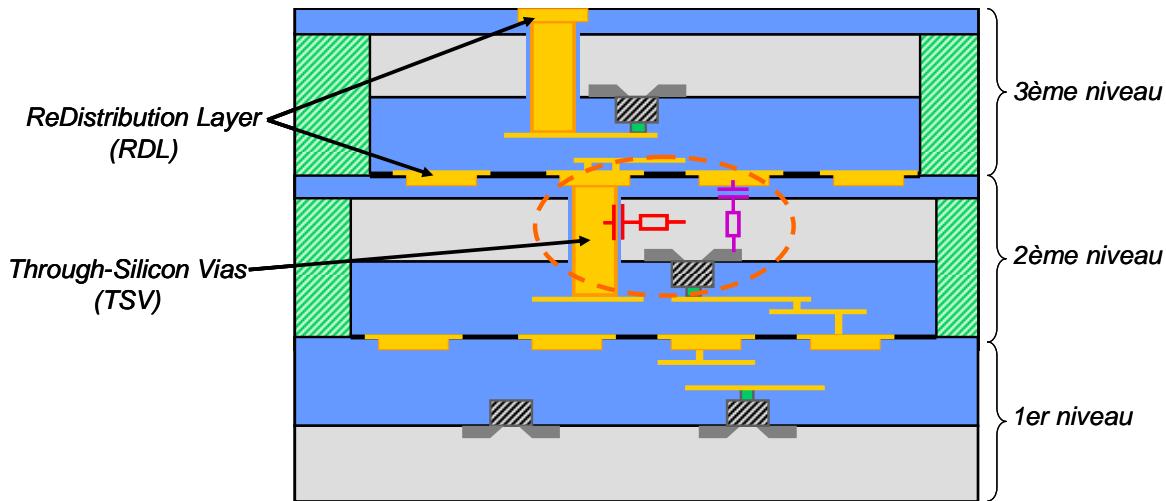


Figure 2.14. Schéma d'une intégration 3D haute densité générique. Les deux premières couches de composants sont collées « face-to-face » alors que le troisième étage est orienté « face-to-back ».

2.3. Couplage induit par l'intégration 3D sur le composant

Les deux premiers sous-chapitres ont permis de présenter les principales notions théoriques liées au couplage par le substrat et au fonctionnement des composants et portes de base. Dans ce nouveau sous-chapitre, on se propose de relier les deux domaines précités en étudiant la question de l'impact du couplage substrat induit par l'intégration 3D sur les dispositifs. On se focalise ici uniquement sur le comportement des composants unitaires, à savoir des transistors MOS.

2.3.1. Méthodologie

Cette section est consacrée à la description de la méthodologie mise en place dans le cadre de l'étude par simulation du couplage induit par l'intégration 3D sur le composant.

2.3.1.1. Considérations générales

Les simulations présentées dans ce sous-chapitre 2.3 s'appuient uniquement sur une approche TCAD³, *i.e.* basée sur la résolution numérique des équations de la physique, ce qui nécessite des hypothèses simplificatrices pour obtenir un résultat fiable dans un temps limité. Le logiciel utilisé est ATLAS, de la société SILVACO [ATLAS].

En prenant conscience des grandes dimensions de la structure à mailler en éléments finis, il est apparu assez évident de ne pas prendre en compte toutes les étapes de procédés technologiques menant à la fabrication d'un transistor MOS. Le contraire aurait amené à trop de complexité pour un résultat quasiment similaire. La structure considérée dans ce sous-chapitre est donc une description géométrique et idéale de ce qui est obtenu après complétion de l'ensemble des procédés de fabrication. De plus, au regard des grandes dimensions de ladite structure, un maillage tridimensionnel est une entreprise qu'il convient de considérer prudemment en termes de temps de calcul induit. C'est pourquoi il a été décidé dans cette étude de ne prendre en compte qu'une approche bidimensionnelle.

2.3.1.2. Modèles électriques

On utilise le module S-PISCES qui est le simulateur électrique bidimensionnel (2D) sous ATLAS. Le principe général des simulations réalisées ainsi que les principaux modèles physiques utilisés sont décrits ci-après. En effet, ces modèles sont nécessaires pour notamment décrire la statistique des porteurs, le transport des porteurs ainsi que la génération-recombinaison.

Principe général des simulations TCAD

Les simulations TCAD sont basées sur la résolution auto cohérente de l'équation de Poisson qui décrit le potentiel dans l'espace en fonction de la densité de charge et des équations de continuité qui assurent la conservation de la matière comme illustré par la Figure 2.15 dans le cas 2D.

³ TCAD : Technology Computer Aided Design.

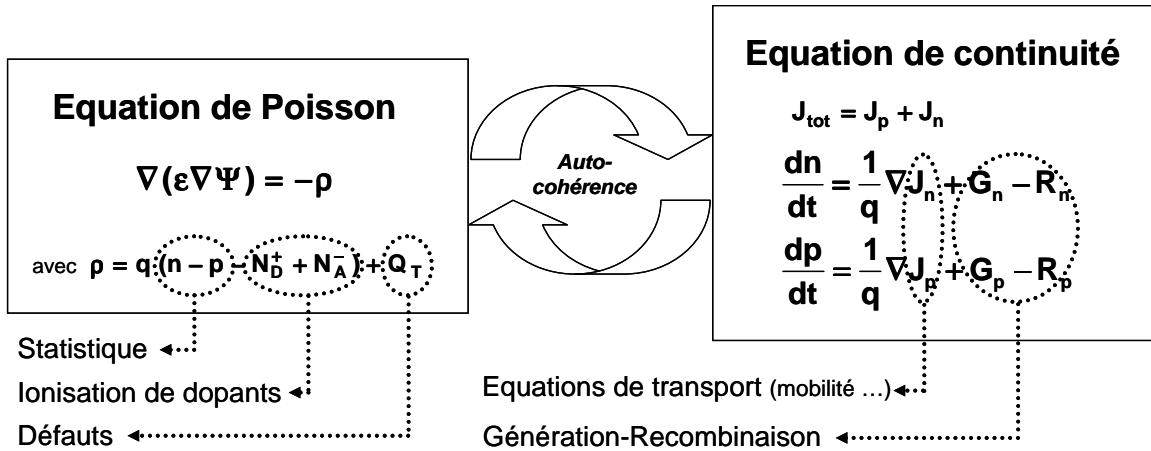


Figure 2.15. Principe de la résolution auto-cohérente de l'équation de Poisson.

Avec Ψ le potentiel, ρ la densité de charges, ϵ la permittivité du semi-conducteur, n et p les densités d'électrons et de trous, J_n et J_p les densités de courants d'électrons et de trous, $(G_n - R_n)$ et $(G_p - R_p)$ les termes de génération-recombinaison pour les électrons et les trous.

Statistique des porteurs.

Les électrons à l'équilibre thermique dans un réseau semi conducteur obéissent à la statistique de Fermi-Dirac. Il s'agit de la probabilité $f(\epsilon)$ qu'un état électronique disponible avec une énergie ϵ soit occupé par un électron. La statistique de Boltzmann pourrait être utilisée pour simplifier les calculs mais la statistique de Fermi-Dirac est nécessaire pour prendre en compte certaines propriétés de matériaux fortement dopés, dont la dégénérescence.

Modèle de transport des porteurs.

Dans les hypothèses du modèle dérive-diffusion (*Drift Diffusion*), la densité de courant s'exprime par les équations suivantes :

$$J_n = q \cdot D_n \cdot \nabla n + q \cdot n \cdot \mu_n \cdot E \quad (\text{Eq. 2.8})$$

$$J_p = q \cdot D_p \cdot \nabla p + q \cdot p \cdot \mu_p \cdot E \quad (\text{Eq. 2.9})$$

Cette densité de courant est constituée de deux termes dus aux deux mécanismes à l'origine du déplacement des porteurs de charges : la diffusion et la conduction. Lorsque les porteurs ne sont pas répartis uniformément, ils subissent le phénomène de diffusion, c'est-à-dire un mouvement d'ensemble des régions de fortes concentrations vers celles de faibles concentrations avec D le terme lié à la diffusion. De plus, il y a phénomène de conduction lorsque l'on applique un champ électrique E , il se produit alors un mouvement de dérive dans le sens du champ pour les trous et dans le sens contraire pour les électrons. La mobilité μ traduit alors l'aptitude des porteurs à se déplacer sous l'effet de ce champ électrique. Le modèle usuel de mobilité de Lombardi est utilisé pour simuler la mobilité en volume ainsi que la mobilité inhérente à la couche d'inversion. En effet, ce modèle associe par une loi de Mathiessen une composante de mobilité liée aux impuretés du volume, aux phonons acoustiques et à la rugosité de surface. De plus l'évolution de la mobilité avec le champ électrique entre la source et le drain est prise en compte. Précisons que les effets de la quantification n'ont pas été pris en compte dans ces simulations.

Modèle de génération/recombinaison des porteurs.

Le mécanisme de génération/recombinaison est le processus par lequel le matériau semi conducteur tente de retourner à l'équilibre après avoir été excité. Si l'on considère un semi conducteur dopé de manière homogène avec des concentrations de porteurs de charge mobiles n et p (respectivement celles des électrons et des trous), où celles à l'équilibre sont n_0 et p_0 , un équilibre permanent existe selon la loi d'action de masse :

$$n_0 \cdot p_0 = n_i^2 \quad (\text{Eq. 2.10})$$

où n_i renvoie à la concentration de porteurs intrinsèques dans le silicium. Quoiqu'il en soit, les matériaux semi conducteurs sont continuellement soumis à des excitations par lesquelles les concentrations en porteurs mobiles n et p sont éloignées de leurs valeurs à l'équilibre, n_0 et p_0 . Par exemple, un rayonnement lumineux va causer la génération de paires électron/trou à la surface d'un semi conducteur de type P, ce qui aura pour conséquence de dégrader la concentration des porteurs minoritaires. Une recombinaison en résulte, qui tentera de faire revenir le semi conducteur à son équilibre. Les processus qui régissent la génération-recombinaison sont répertoriés sous six catégories :

- les transitions de phonons ;
- les transitions de photons ;
- les transitions Auger ;
- les recombinaisons de surface ;
- l'ionisation par impact ;
- l'effet tunnel.

Nous utilisons ici un modèle de temps de vie des porteurs dépendant de la concentration dit modèle SRH, pour Shockley-Read-Hall. Ce modèle se base sur les transitions de phonons qui apparaissent en présence de pièges (ou de défauts) à l'intérieur du *gap* interdit du semi conducteur considéré.

2.3.1.3. Structure simulée

La structure simulée et maillée par éléments finis reprend l'ensemble des dispositifs présentés à la Figure 2.14. Un seul transistor NMOS est implanté dans une zone de silicium aminci, à proximité d'un via traversant, lui-même isolé du silicium par un isolant déposé sur ses flancs verticaux. Un niveau de redistribution est également prévu, tout aussi isolé du substrat par un isolant similaire. Le TSV et le RDL sont considérés comme deux électrodes parfaites et indépendantes, c'est-à-dire que le potentiel parasite est directement appliqué sur toute la surface de l'isolation (du TSV ou du RDL). La Figure 2.16 représente la structure simulée sous ATLAS. Les parties décrites par le terme STI⁴ correspondent aux caissons d'isolation gravés dans le silicium et remplis par un oxyde. Ces caissons permettent notamment d'isoler les parties actives entre elles.

⁴ STI = Shallow Trench Isolation.

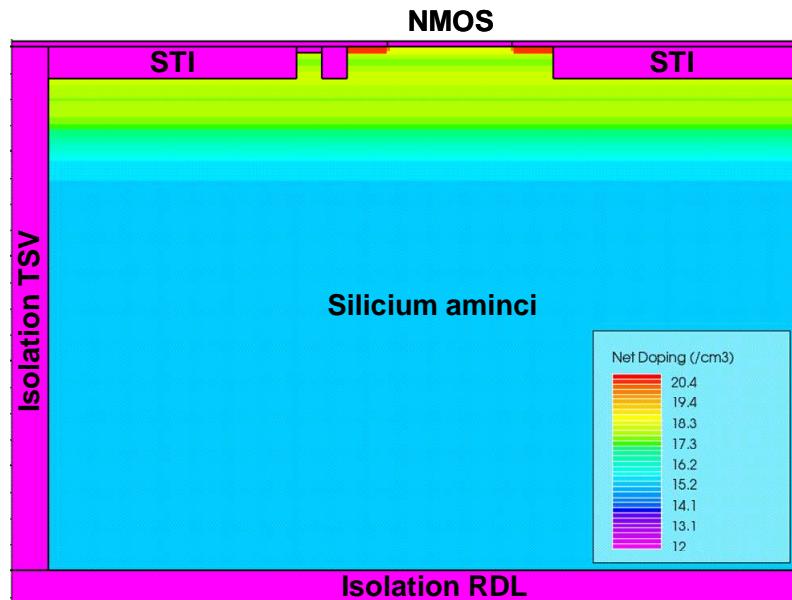


Figure 2.16. Structure bidimensionnelle simulée sous ATLAS. La figure rend compte des niveaux de dopage. Les parties en violet correspondent à des zones non dopées (oxydes ou métaux).

Dans un souci de précision, le comportement du silicium est basé sur un profil de dopage réaliste issu d'une caractérisation SIMS⁵. Les relevés SIMS ont été lissés dans le but de minimiser le bruit de mesure qui peut être extrêmement gênant pour le calcul numérique par la méthode des éléments finis. Le dégradé de couleurs visible sur la Figure 2.16 renvoie directement aux variations du profil de dopage (cf. Figure 2.17). On remarquera par ailleurs qu'à partir de 2 µm de profondeur, le dopage se stabilise à la valeur intrinsèque du silicium massif employé chez STMicroelectronics, *i.e.* 10^{15} atomes/cm³. Pour les zones où le dopage peut être assimilé à un critère constant, on se reportera à la Table 2.1 pour les valeurs de dopage uniforme. Les zones concernées sont les sources et drains fortement dopés (HDD) et faiblement dopés (LDD), ainsi que la prise substrat qui sert à contrôler le potentiel du substrat.

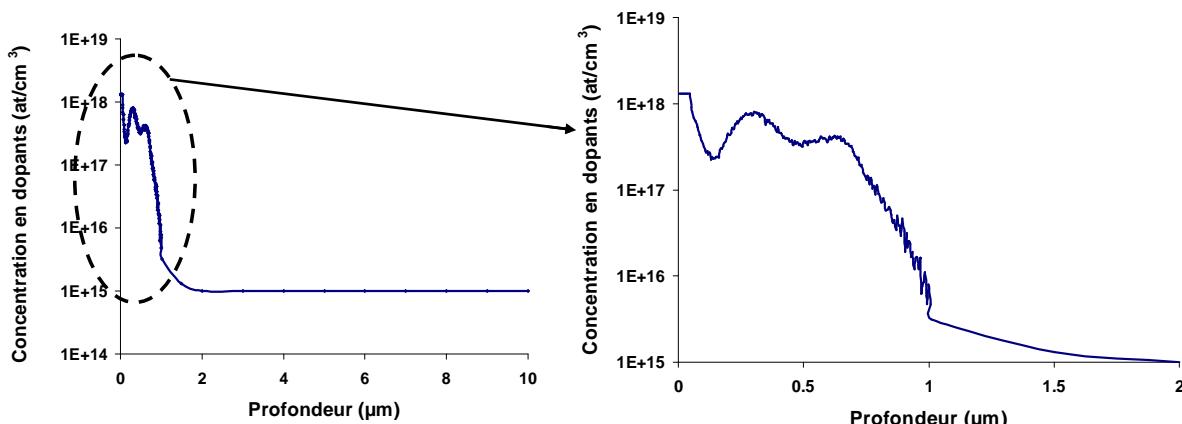


Figure 2.17. Profil de dopage complet pour le transistor NMOS sur une profondeur de 10 µm (gauche). Zoom sur la zone proche de la surface, implantée avec du bore entre 0 et 2 µm de profondeur (droite).

⁵ SIMS : Secondary Ion Mass Spectroscopy.

Pour plus d'informations : www.isteem.univ-montp2.fr/spip/spip.php?article305

Table 2.1. Niveaux et types de dopage uniforme pour le transistor NMOS.

Zones à dopage uniforme	Concentration (atomes/cm ³)	Type de dopage
HDD⁶ pour les Source/Drain	2.10^{+20}	N
LLD⁷ pour les Source/Drain	6.10^{+19}	N
Prise substrat	10^{+20}	P
Silicium massif	10^{+15}	P

2.3.1.4. Transistor simulé

Le transistor simulé est un NMOSFET basé sur le nœud technologique 65 nm bulk⁸. Sa longueur de grille vaut 1 µm pour s'affranchir des effets de canal court. La tension de seuil V_{TH} de ce type de transistor étant mesurée à 0,4 V, le travail de sortie de grille, noté Φ_m , a été ajusté afin de reproduire cette valeur. De cette manière, la valeur de Φ_m est fixée à 4,23 V. La courbe $I_{DS}(V_{GS})$ présentée à la Figure 2.18 montre que le transistor modélisé n'atteint pas son régime de saturation. Cela est principalement dû au fait que pour une grille de longueur 1 µm, le courant de drain n'est pas suffisamment dense pour saturer le transistor, ce qui explique aussi le faible niveau de courant atteint pour I_{DSAT} (cf. Table 2.2).

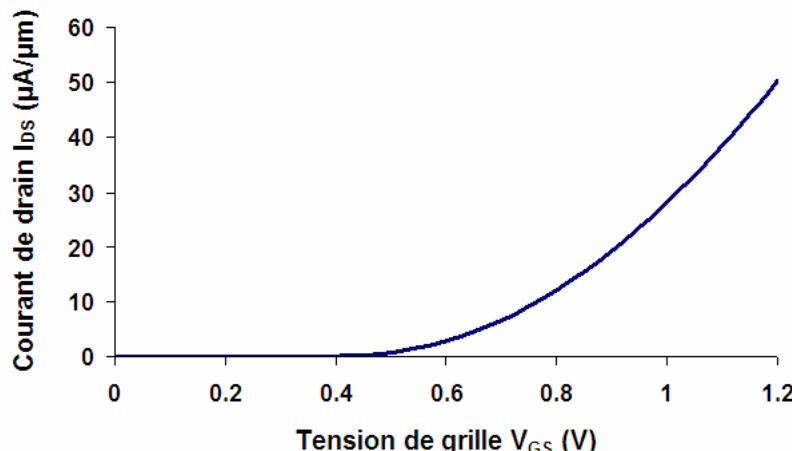


Figure 2.18. Caractéristique $I_{DS}(V_{GS})$ du transistor NMOS modélisé sous ATLAS relevée à $V_{DS} = 1.2$ V.

Table 2.2. Caractéristiques électriques du transistor NMOS faible consommation à $L_G = 1$ µm.

NMOS	
Tension de seuil V_{TH} (V)	0,40
Courant de saturation de drain I_{DSAT} ($\mu\text{A}/\mu\text{m}$) extrait à $V_{GS}=V_{DS}=1.2$ V	50,2
Courant de fuite $I_{D\text{ leak}}$ ($\text{pA}/\mu\text{m}$) extrait à $V_{DS}=1.2$ V et $V_{GS}=0$ V	0,72

⁶ HDD : Highly Doped Drain structure (drain fortement dopé).

⁷ LDD : Lightly Doped Drain structure (drain faiblement dopé).

⁸ Source: www.itrs.net

2.3.1.5. Simulation du couplage induit par l'intégration 3D

Des simulations transitoires ont été réalisées afin d'observer (ou non) d'éventuelles variations sur les caractéristiques électriques du transistor. Pour cela il est impératif dans un premier temps de placer le transistor dans un régime électrique particulier, comme au point de I_{ON} ou de I_{OFF} . Dans un deuxième temps, en appliquant un potentiel parasite sur le TSV ou le RDL, nous pourrons observer au cours du temps si les courants subissent des variations significatives ou non. L'ensemble des étapes chronologiques de la modélisation est décrit ci-après :

- 1°) Positionnement du transistor dans un mode électrique statique (ON ou OFF) ;
- 2°) Application d'une tension statique ou créneau sur le TSV ou le RDL. Les caractéristiques du signal statique sont décrites à la Table 2.3, et celles du signal dynamique (créneau) à la Table 2.4 ;
- 3°) Extraction transitoire du courant de drain I_{DS} (dont la valeur de référence est celle obtenue à l'issue de l'étape 1) et du potentiel de body V_{body} .

Nota : le potentiel de body est un potentiel extrait au milieu du canal de conduction, à 5 nm de profondeur. Il permet de se renseigner sur le contrôle du potentiel de substrat qui est directement lié à la tension de seuil du transistor (cf. Figure 2.6).

Table 2.3. Valeurs de tensions statiques appliquées sur le TSV ou le RDL.

	Valeurs
Amplitudes de la tension statique sur le TSV ou le RDL (V)	1,2 ; 3,3 ; 4,8 ; 12 ; 25

Table 2.4. Caractéristiques du signal créneau appliqué sur le TSV ou le RDL.

	Valeurs
Amplitude maximale de la tension appliquée (V)	1,2
Temps du front de montée / descente (ps)	50
Fréquence du signal appliquée (MHz)	200

Cette méthodologie est appliquée à toutes les simulations décrites ici. L'objectif de cette démarche est de tester différentes configurations géométriques de l'architecture 3D. Pour cela trois paramètres technologiques et un paramètre de conception sont définis pour jouer sur la géométrie de la structure. On appelle paramètres technologiques les épaisseurs de matériaux pouvant être modifiées lors du processus de fabrication et paramètres de conception les règles de dessin propres à l'intégration 3D ne faisant donc pas partie des règles de dessin relatives aux technologies CMOS (celles-ci étant fixées pour chaque nœud technologique).

Paramètres technologiques :

- épaisseur du silicium aminci, notée T_{SUB} ;
- épaisseur de l'oxyde d'isolation du TSV, notée T_{OXTSV} ;
- épaisseur de l'oxyde d'isolation du RDL, notée T_{OXRDL} .

Paramètre de conception :

- zone d'exclusion du TSV. Ce paramètre correspond à la distance séparant la limite de gravure du TSV et la prise substrat.

Les gammes de dimension étudiées pour ces quatre paramètres sont décrites sur la Table 2.5. Ces paramètres variables, ainsi que les potentiels parasites appliqués indépendamment aux électrodes et les paramètres électriques extraits sont positionnés sur la structure géométrique elle-même, sur la Figure 2.19.

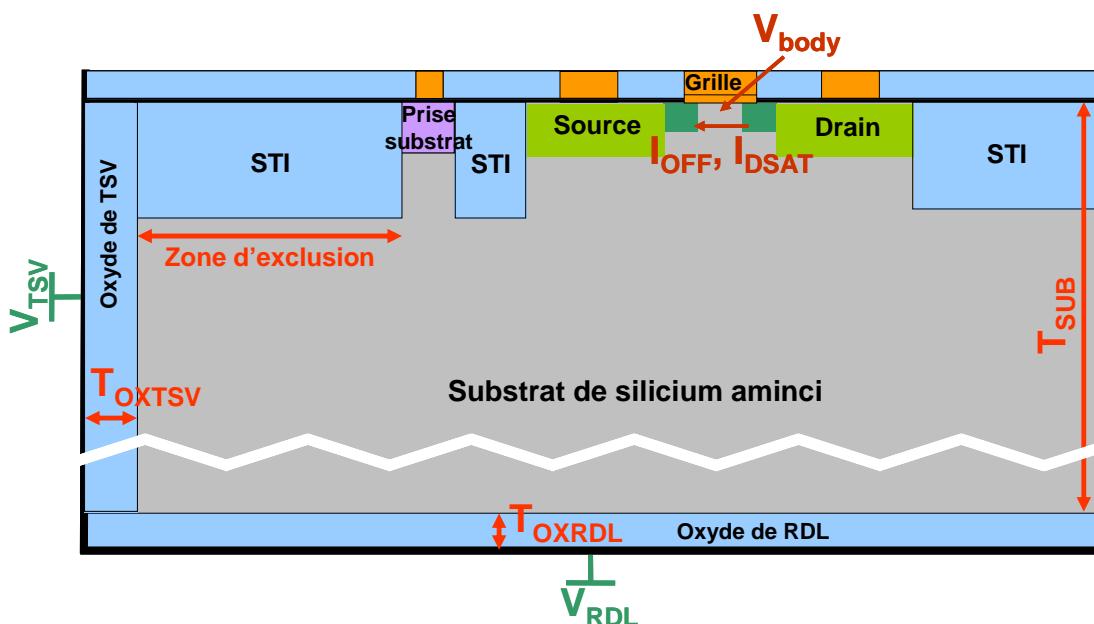


Figure 2.19. Schéma de la structure étudiée avec notifications des variables technologiques et conceptuelle (en rouge), des potentiels parasites appliqués sur le TSV et le RDL (en vert), et des paramètres électriques extraits (en marron). Schéma non à l'échelle.

Table 2.5. Gamme de dimensions étudiées pour les paramètres technologiques et conceptuels.

	Gamme de dimensions (μm)
Epaisseur du substrat (T_{SUB})	5 - 30
Epaisseur d'isolation du TSV (T_{OXTSV})	0,05 - 0,5
Epaisseur d'isolation du RDL (T_{OXRDL})	0,4 - 1,4
Zone d'exclusion	2,5 - 5

Il est à noter que les gammes de dimensions présentées dans la Table 2.5 sont représentatives de ce qui peut être réalisé technologiquement. Pour ce qui est de la zone d'exclusion, la valeur minimale de 2,5 µm est ici la plus petite distance autorisée à cause de la contrainte de désalignement des TSV par rapport au circuit qui est fixée à 2 µm. La valeur maximale de 5 µm est une distance provisoire proposée ici comme étant la distance à ne pas dépasser pour garder une densité d'intégration suffisamment importante. Les valeurs d'épaisseur de substrat sont plutôt représentatives d'une intégration 3D haute densité.

Simulation en mode statique.

En premier lieu, il convient de vérifier s'il existe ou non un couplage statique, c'est-à-dire si le TSV et le RDL influent électriquement sur les caractéristiques des composants lorsqu'un potentiel statique est appliqué sur ces structures 3D. La Table 2.3 fait référence aux valeurs de tensions statiques appliquées sur le TSV ou le RDL ; on extrait ensuite les caractéristiques $I_{DS}(V_{GS})$ du transistor NMOS. L'isolation du TSV est fixée à son minimum (0,05 µm). La Table 2.6 présente les résultats obtenus.

Table 2.6. Courants de drain et courants de substrat (I_{BS}) obtenus pour différentes valeurs de tensions statiques appliquées sur le TSV/RDL.

Tension statique V_{TSV} (V)	I_{DSAT} ($\mu A/\mu m$)	I_{OFF} ($pA/\mu m$)	$I_{BS} @ I_{DSAT}$ (A)	$I_{BS} @ I_{OFF}$ (A)
0	50,2	0,72	-8.10 ⁻¹⁵	-5.10 ⁻¹⁵
1,2	50,2	0,72	-8.10 ⁻¹⁵	-5.10 ⁻¹⁵
3,3	50,2	0,72	-8.10 ⁻¹⁵	-5.10 ⁻¹⁵
4,8	50,2	0,72	-8.10 ⁻¹⁵	-5.10 ⁻¹⁵
12	50,2	0,72	-8.10 ⁻¹⁵	-5.10 ⁻¹⁵
25	50,2	0,72	-8.10 ⁻¹⁵	-5.10 ⁻¹⁵

On constate que les valeurs des deux types de courants de drain (saturation et fuite) restent stables et équivalentes aux valeurs statiques présentées à la Table 2.2, et ce, quelque soit la tension parasite appliquée au TSV ou RDL. De même, les courants de substrats relevés à l'état ON et à l'état OFF ne varient aucunement pour les mêmes tensions parasites.

Cette première simulation écarte d'emblée le couplage statique provoqué par les structures 3D. S'il existe des mécanismes de couplage par le substrat engendrés par ces structures conductrices, ils sont nécessairement d'une autre nature.

Simulation en mode transitoire.

En appliquant la famille de signaux dynamiques décrits à la Table 2.4, on obtient les résultats présentés à la Figure 2.20. Dans cet exemple la tension maximale appliquée sur le TSV vaut 3,3 V, le front de montée et de descente est de 200 ps (en bleu), et l'on extrait le potentiel de body (en mauve). Comparativement au mode statique, les variations observées sur le potentiel de body ne sont plus négligeables et surtout elles suivent un comportement capacitif. En effet, pour chaque front de montée ou de descente du potentiel appliqué sur le TSV, un phénomène de charge et de décharge est relevé sur la prise substrat (potentiel de body).

Nous proposons donc d'investiguer en profondeur le couplage induit par l'intégration 3D en mode dynamique. La majorité des données traitées dans la suite de cette étude correspond à la variation maximale observée sur le potentiel de canal (body) et sur les courants de drain rapportée à la valeur initiale de la donnée considérée relevée en mode statique.

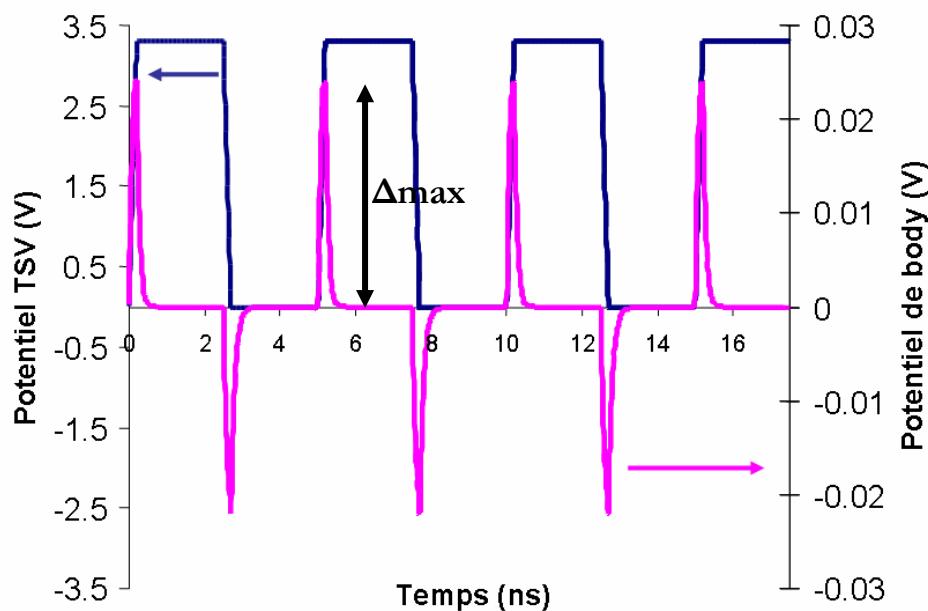


Figure 2.20. Extraction du potentiel de body en fonction du temps pour un signal créneau appliquée sur le TSV.

Dans un premier temps, nous proposons de ne considérer que les variations dynamiques sur le potentiel de body relevé à 5 nm de profondeur et le courant de saturation de drain I_{DSAT} . Les parties 2.3.2, 2.3.3 et 2.3.4 sont consacrées à l'étude de l'influence des structures 3D (*i.e.* TSV, RDL et les deux couplées) sur les composants.

2.3.2. Couplage induit par le TSV

2.3.2.1. Considérations générales

On ne considère ici que le TSV comme structure perturbatrice. La ligne de RDL est ignorée, et le potentiel au fond de la structure est fixé par les conditions aux limites. Dans cette étude particulière au TSV, trois paramètres sur les quatre décrits au paragraphe précédent rentrent en ligne de compte : la zone d'exclusion, l'épaisseur d'isolation du TSV et l'épaisseur du silicium.

La Figure 2.21 présente les variations dynamiques maximales extraites sur le potentiel de body du transistor NMOS. Les résultats sont exprimés en % de sa valeur initiale qui vaut 0,44 V. Ces variations sont observées en fonction de l'épaisseur du silicium qui varie de 5 µm à 30 µm. Deux autres études de sensibilité sont reportées sur cette figure : d'une part, l'épaisseur d'isolation du TSV est fixée à 0,05 µm et à 0,5 µm (respectivement traits bleu foncé et bleu clair), d'autre part, de manière similaire, deux zones d'exclusion sont investiguées : 2,5 µm et 5 µm (respectivement lignes pleines et lignes pointillées).

La Figure 2.22 renvoie quant à elle aux variations dynamiques concomitantes observées sur le courant de saturation de drain du même transistor NMOS.

On note d'emblée les comportements similaires des deux paramètres étudiés. Cela est expliqué par le fait que le courant de drain est dépendant de la tension de seuil du transistor, comme indiqué par l'équation 2.11 [Kang03] :

$$I_D = \frac{\mu_n \cdot C_{ox}}{2} \cdot \frac{W}{L} \cdot \left[2V_{DS} \cdot (V_{GS} - V_{T0}) - V_{DS}^2 \right] \quad (\text{Eq. 2.11})$$

dans laquelle μ_n est la mobilité des porteurs de charge, W et L sont respectivement la largeur et longueur de la grille, V_{DS} la tension drain-source, V_{GS} la tension grille-substrat et V_{T0} la tension de seuil à V_{sb} nulle.

Or nous avons vu que cette tension de seuil est fortement dépendante des variations de la tension de substrat V_{sb} (cf. Eq. 2.4 et Figure 2.6). Le comportement dynamique du potentiel de body est donc la cause du comportement observé sur le courant de drain.

Ensuite, les variations dynamiques extraites du potentiel de body oscillent entre des valeurs extrêmes comprises entre 0,4 et 1,5 %. Celles qui correspondent au courant de saturation de drain varient entre 1,2 et 4,5 % environ. Il y a donc un facteur 3 qui intervient entre les variations du potentiel de body et celles du courant I_{DSAT} .

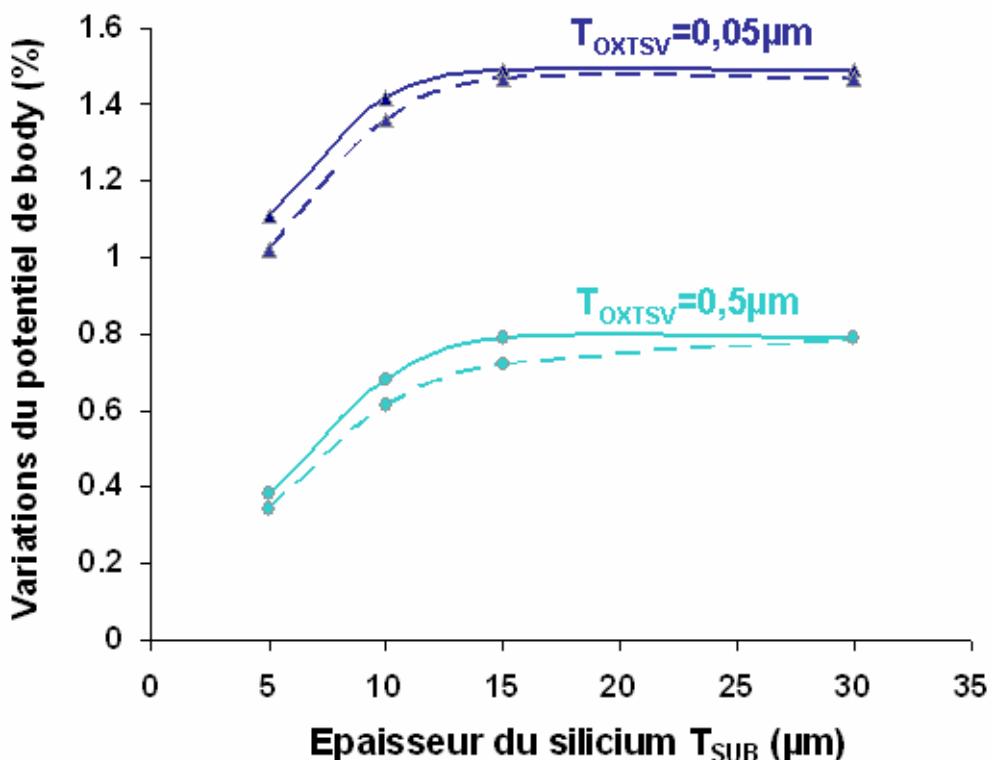


Figure 2.21. Variations dynamiques maximales du potentiel de canal (body) en fonction de l'épaisseur du substrat T_{SUB} pour deux épaisseurs d'isolation du TSV : $0,05\mu m$ et $0,5\mu m$, et pour deux zones d'exclusion : $2,5\mu m$ (lignes pleines) et $5\mu m$ (lignes pointillées).

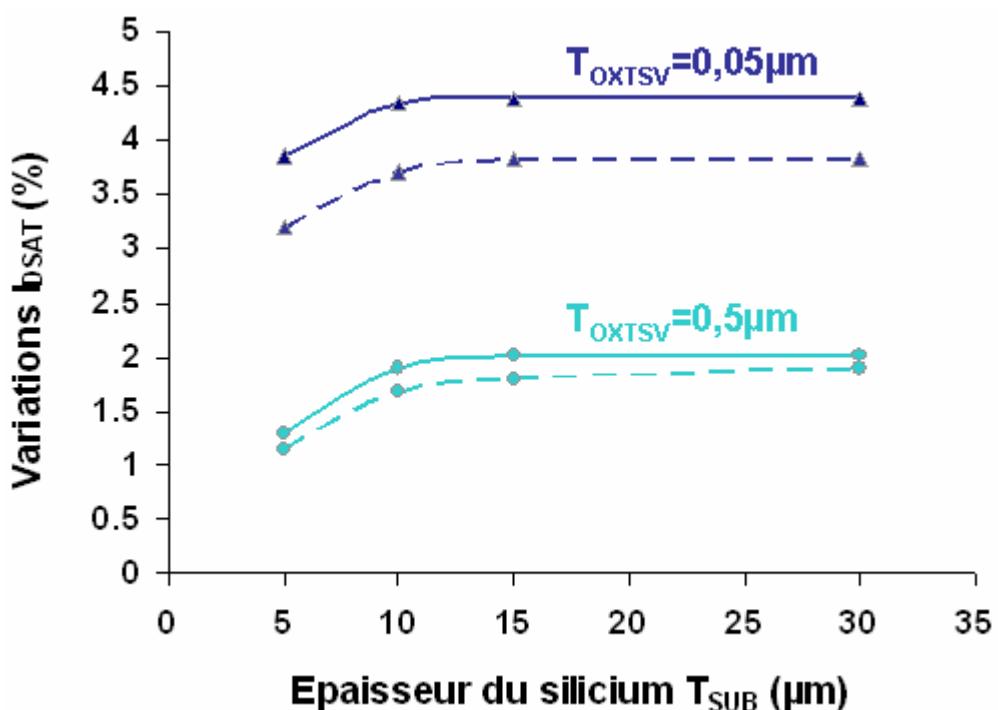


Figure 2.22. Variations dynamiques maximales du courant de saturation de drain I_{DSAT} en fonction de l'épaisseur du substrat T_{SUB} pour deux épaisseurs d'isolation du TSV : $0,05\mu m$ et $0,5\mu m$, et pour deux zones d'exclusion : $2,5\mu m$ (lignes pleines) et $5\mu m$ (lignes pointillées).

2.3.2.2. Influence de la zone d'exclusion

La zone d'exclusion est un paramètre de conception important car il constitue une règle de dessin propre aux intégrations 3D. Ainsi par sa définition, les concepteurs pourront positionner les blocs logiques par rapport aux emplacements dédiés aux TSV. La Figure 2.21 montre une influence extrêmement restreinte de cette zone d'exclusion sur l'impact dynamique observé sur le potentiel du canal. En effet, on remarque qu'à distance minimale ($2,5 \mu\text{m}$), le couplage est maximal, mais que pour une distance doublée ($5 \mu\text{m}$), la diminution du couplage est peu significative. On retrouve un comportement similaire sur le courant de saturation de drain uniquement pour une forte épaisseur d'isolation du TSV. Il semblerait qu'à faible épaisseur d'isolation (*i.e.* $0,05 \mu\text{m}$), la zone d'exclusion a une influence plus importante sur I_{DSAT} que sur le potentiel de canal. On observe alors une diminution en moyenne de 1 point de % lorsque la zone d'exclusion passe de $2,5$ à $5 \mu\text{m}$ dans cette configuration précise d'isolation du TSV. Néanmoins il est nécessaire de mentionner que cette diminution du couplage par effet de la zone d'exclusion à faible épaisseur d'isolation du TSV reste relativement faible par rapport au problème de couplage initial.

Ici la distance maximale de $5 \mu\text{m}$ a été arbitrairement définie pour des questions de densité d'intégration. En effet, pour des TSV haute densité, c'est-à-dire avec un diamètre de quelques microns, l'utilisation d'une zone d'exclusion de plus de $5 \mu\text{m}$ s'avère être un non-sens car on perd alors l'intérêt d'utiliser ce type de technologie 3D haute densité, le but original étant de permettre un grand nombre de connexions entre les circuits superposés.

On peut donc statuer sur le rôle joué par ce paramètre de conception qu'est la zone d'exclusion. D'après ces résultats de modélisation, il semblerait que la prise de substrat, qui contrôle le potentiel de substrat V_{sb} et dont la position est définie par la valeur de la zone d'exclusion, semble insuffisante pour imposer un potentiel de référence. L'électrode intra silicium que constitue le TSV apporte des perturbations d'un genre nouveau dont l'influence ne semble pas pouvoir être contrôlée uniquement par les prises substrat.

2.3.2.3. Influence de l'épaisseur d'isolation du TSV

L'influence de l'épaisseur de l'oxyde déposé sur les flancs du TSV, qui sert à isoler électriquement le métal du silicium, est renseignée sur les deux mêmes figures précédentes. On ne présente ici que les deux valeurs extrêmes d'épaisseurs de dépôt, à savoir $0,05$ et $0,5 \mu\text{m}$. La valeur minimale correspond à l'épaisseur limite à ne pas dépasser pour des raisons de fiabilité (un dépôt moins épais pourrait engendrer des défauts d'isolation importants), alors que la valeur maximale est une recommandation technologique pour éviter d'avoir à augmenter le diamètre du TSV. Toutefois, cette dernière condition, qui est particulièrement justifiée pour la haute densité, le sera beaucoup moins en moyenne densité où l'on peut se permettre des épaisseurs de dépôt bien supérieures.

Avec ce cadre de paramétrage des données technologiques, on se concentre dans un premier temps sur le potentiel de body (Figure 2.21). On remarque que, quelle que soit l'épaisseur de silicium considérée, une augmentation de l'épaisseur d'oxyde d'un facteur 10 réduit le couplage exprimé par la variation du potentiel de body de 0,7 points de % en moyenne.

L'impact observé sur le courant de saturation de drain est similaire du point de vue comportemental, avec néanmoins des diminutions plus marquées du couplage apparent sur ce paramètre électrique pour la même augmentation d'épaisseur d'isolation (facteur 10 sur ce paramètre). Ainsi, à épaisseur minimale de silicium, on observe une chute de 2,5 points de % en moyenne sur les variations dynamiques du courant de saturation de drain pour une zone d'exclusion de 2,5 μm et une chute de 2 points de % en moyenne pour une zone d'exclusion de 5 μm .

Sachant que l'épaisseur de dépôt d'oxyde est un paramètre purement technologique, cela signifie qu'indépendamment de la conception, il existe une solution facilement envisageable pour réduire l'impact dynamique du TSV sur le potentiel de substrat.

2.3.2.4. Influence de l'épaisseur de silicium

L'épaisseur de silicium après amincissement est un paramètre technologique des plus importants en ce qui concerne l'intégration 3D. En effet, pour satisfaire les conditions sur les facteurs de forme possibles pour les TSV, ce paramètre impose directement leur diamètre. En fixant une épaisseur de silicium précise, on définit par là même le type d'intégration 3D visée (haute ou moyenne densité). Pour la modélisation présentée, qui comprend un transistor et une large structure de silicium, il a été impossible de modéliser au-delà d'une épaisseur de silicium de 30 μm , à cause du trop grand nombre de mailles qui seraient alors nécessaires. L'intégration 3D visée est donc plutôt orientée vers la haute densité. Comme stipulé dans la Table 2.5, la gamme d'épaisseurs de silicium étudiée va de 5 à 30 μm .

En reprenant les résultats présentés sur les deux figures précédentes, on remarque que les comportements des courbes de variations du courant de drain et du potentiel de body sont tout à fait similaires et infléchissent pour la même valeur d'épaisseur de substrat, comprise entre 10 et 15 μm .

On se propose d'étudier le phénomène de couplage induit par le TSV en fonction de ce paramètre technologique par l'intermédiaire d'une modélisation électrique du problème, présentée à la Figure 2.23. Le silicium aminci est décrit par un réseau distribué de résistances, dont les valeurs sont directement reliées au dopage local. Ainsi, l'ensemble du silicium massif (appelé *bulk*) possède une résistance homogène facilement modélisable, dénommée R_{bulk} . A l'inverse, la couche superficielle fortement dopée (appelée *active*) présente une résistivité qui varie en fonction de la profondeur considérée, comme on peut le voir sur la courbe de dopage donnée sur la Figure 2.17. La modélisation électrique de cette couche superficielle est alors plus complexe. Néanmoins, pour examiner le problème présent, nous considérerons une résistance homogène, dénommée R_{active} , dont la valeur est inférieure à R_{bulk} .

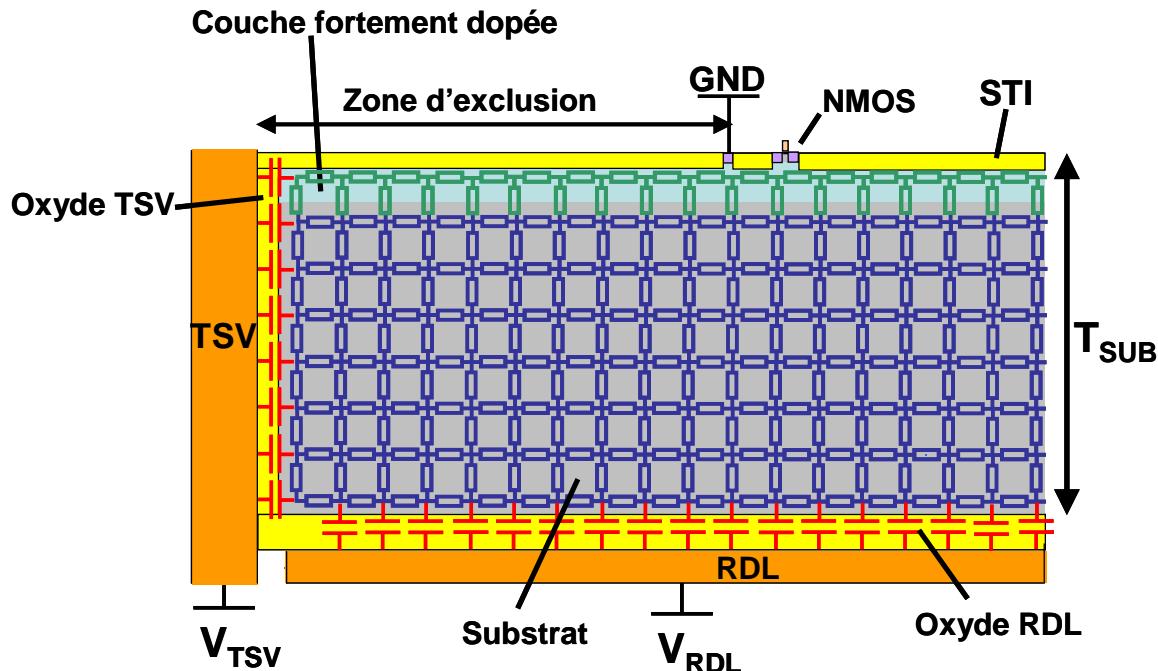


Figure 2.23. Schéma de la modélisation de la structure dans lequel le silicium forme un réseau distribué de résistances présentant une contribution horizontale et une verticale.

La zone fortement dopée a la particularité d'être implantée sur l'ensemble de la plaque, ce qui signifie qu'elle touche l'isolation du TSV, comme illustré à la Figure 2.23. Or, la capacité d'oxyde liée à l'isolation du TSV est distribuée sur l'ensemble de la profondeur de silicium, englobant ainsi le silicium massif et la couche active. La Figure 2.24 permet de comprendre la contribution de la capacité du TSV sur le réseau hétérogène de résistances. Cette configuration particulière est à l'origine des comportements inhérents aux mécanismes de couplage observés à la fois sur le potentiel de body et sur le courant de saturation de drain.

Ainsi, pour une épaisseur importante du silicium restant après amincissement, la contribution au couplage de la composante horizontale de la résistance silicium est accrue (on diminue la résistance par mise en jeu d'une section de silicium plus importante), alors que dans le même temps, la contribution verticale voit son influence réduite (augmentation de la résistance dans cette direction). Parallèlement à ce comportement résistif, la valeur de la capacité d'oxyde du TSV augmente avec la profondeur. La saturation – avec même une légère inflexion dans le cas de l'épaisseur d'oxyde de $0,05 \mu\text{m}$ – du couplage que l'on observe à partir de $15 \mu\text{m}$ est donc, dans ces conditions, le résultat du quasi équilibre qui s'établit entre les effets antagonistes (augmentation de R_{bulk} verticale et augmentation de C_{OXTSV}) que nous venons de mentionner. En pratique, tout se passe comme dans une ligne de transmission où l'impédance vue de l'entrée est indépendante de la longueur de la ligne ; ici, dans notre cas, la saturation est induite par l'augmentation de la contribution verticale de la résistance répartie dans le silicium massif (R_{bulk} verticale).

A l'inverse, un amincissement important du silicium diminue la section considérée et par conséquent, réduit dans le même temps la capacité, augmente la composante horizontale de la résistance du silicium et réduit l'effet de la composante verticale. Dans ces conditions, on observe comme attendu que les effets conjugués de la réduction de C_{OXTSV} et de l'accroissement de R_{bulk} latéral sont bénéfiques pour la minimisation du couplage.

Parallèlement à ces phénomènes de résistances distribuées selon les deux dimensions dans le silicium massif peu dopé, la résistance de la zone active ne varie pas selon les configurations d'amincissement. Sa contribution est donc stable quelle que soit l'épaisseur de silicium. Sa faible résistivité et son positionnement connexe au TSV lui font vraisemblablement jouer une part importante dans la propagation du couplage substrat. Ainsi, localement le couplage passe préférentiellement à travers cette couche moins résistive et directement accessible, ce qui permet d'expliquer aussi les faibles variations observées sur le potentiel de body et le courant de saturation de drain lorsque les épaisseurs de silicium considérées sont supérieures au seuil des 15 µm.

Il apparaît donc que le couplage est minimal lorsque l'épaisseur de silicium est la plus fine possible. Il est important de formuler deux remarques à ce propos : d'une part, un amincissement à moins de 5 µm sur un silicium massif est extrêmement difficile à obtenir d'un point de vue technologique ; d'autre part, amincir le silicium implique un rapprochement de la ligne de RDL par rapport au composant. On peut donc se demander à juste titre si cette solution est viable.

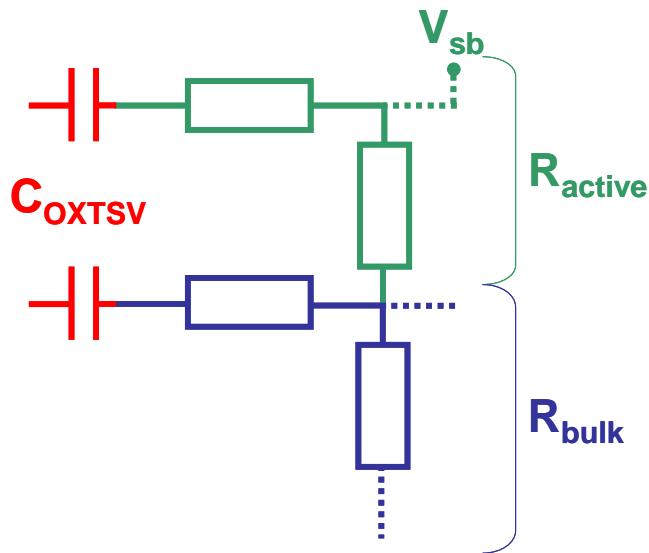


Figure 2.24. Modèle électrique simplifié de l'environnement séparant le TSV du composant (détail de la Figure 2.23).

2.3.3. Couplage induit par le niveau de redistribution (RDL)

2.3.3.1. Considérations générales

De manière similaire à l'étude du couplage induit par le TSV, on ne considère ici que le RDL comme structure perturbatrice et le TSV est à son tour ignoré. Dans cette étude particulière au RDL, seul deux paramètres technologiques rentrent en ligne de compte : l'épaisseur d'isolation du RDL, T_{OXRDL} , et l'épaisseur du silicium, T_{SUB} (cf. Figure 2.19). La zone d'exclusion n'a aucun impact sur le RDL, étant donné que ce paramètre de conception est uniquement lié au TSV (règle de dessin).

La Figure 2.25 présente les variations maximales dynamiques relevées sur le potentiel de body, en fonction de l'épaisseur de silicium, et ce, pour trois valeurs d'épaisseurs d'isolation du RDL : 0,4 µm, 1 µm et 1,4 µm. La Figure 2.26 utilise la même méthodologie pour présenter les variations dynamiques du courant de saturation de drain.

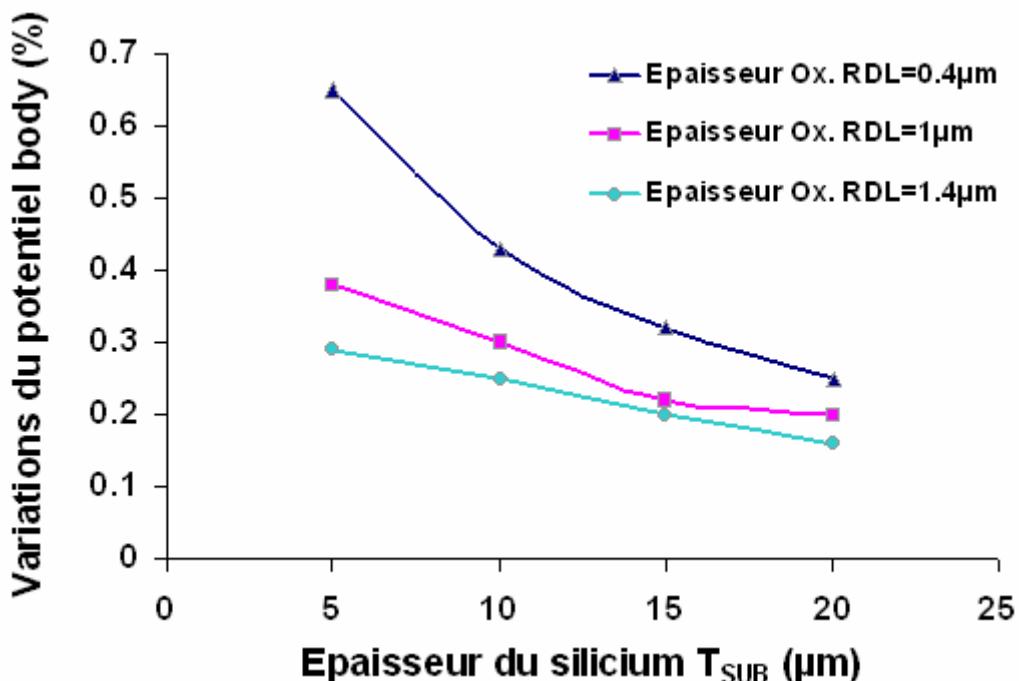


Figure 2.25. Variations dynamiques maximales du potentiel de canal (body) en fonction de l'épaisseur du substrat T_{SUB} pour trois épaisseurs d'isolation du RDL : 0,4 µm, 1 µm et 1,4 µm.

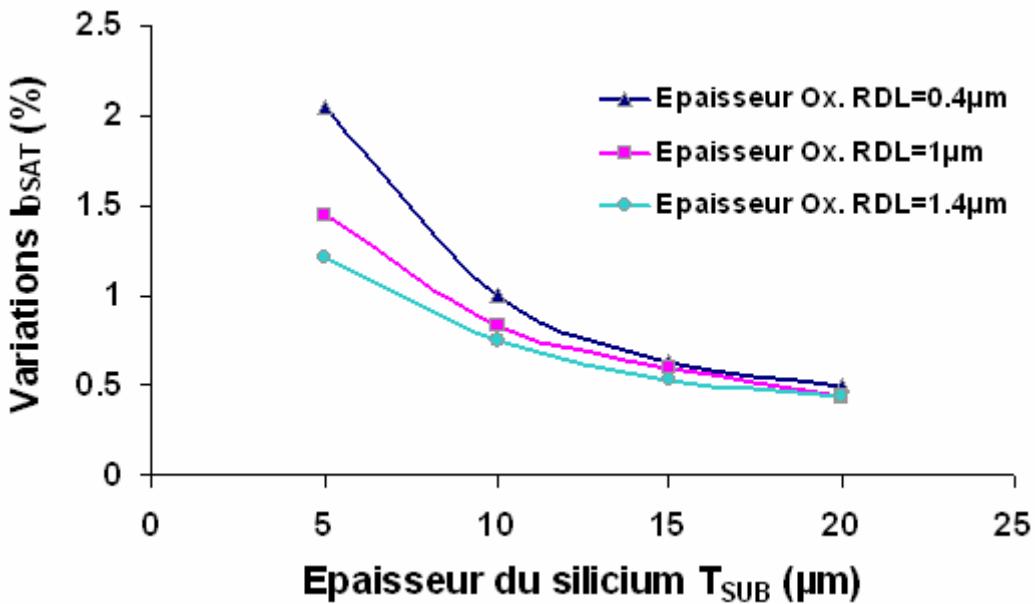


Figure 2.26. Variations dynamiques maximales du courant de saturation de drain I_{DSAT} en fonction de l'épaisseur du substrat T_{SUB} pour trois épaisseurs d'isolation du RDL : 0,4 μm , 1 μm et 1,4 μm .

2.3.3.2. Influence de l'épaisseur de silicium

Comme mentionné au paragraphe 2.3.2.4, l'amincissement extrême du silicium engendre un rapprochement de la ligne de RDL par rapport au composant, ce qui a tendance à augmenter le couplage issu de cette structure en face arrière, comme illustré sur les deux figures précédentes.

Le comportement est tout à fait similaire entre les courbes de variations du potentiel de body et celles du courant de saturation de drain, comme il a été observé pour le couplage induit par le TSV. Néanmoins, la propagation du couplage dans le cas du RDL est plus simple à modéliser que pour le TSV où deux dimensions interviennent (2D). Dans le cas présent, la propagation suit un comportement unidimensionnel (1D). La Figure 2.27 permet de comprendre, par rapport à la Figure 2.24, la contribution verticale due à la résistance du silicium par rapport à la distribution de la capacité d'oxyde du RDL, C_{OXRDL} . Cette dernière est uniquement liée à R_{bulk} , contrairement au cas du TSV où C_{OXTSV} est directement reliée à R_{active} et R_{bulk} .

On observe par ailleurs, qu'à épaisseur de silicium donnée, les niveaux de couplage sur les deux paramètres électriques étudiés apparaissent moins importants que dans le cadre du couplage induit par le TSV. Cette observation semble tout à fait logique, dans le sens où les perturbations issues de la RDL se propagent dans un premier temps dans la partie du silicium où la résistance est la plus élevée, ce qui diminue l'intensité du couplage avant d'arriver au point sensible pour le composant, à V_{sb} . Plus la distance séparant la ligne de RDL de la tension de substrat à proximité du composant est grande, plus le couplage diminue. Cette distance est typiquement l'épaisseur du silicium après amincissement, ce qui explique les variations observées sur les deux figures précédentes.

Enfin, il semblerait qu'à partir d'une certaine épaisseur avoisinant 15 µm (et au-dessus), les variations dynamiques observées sur le potentiel de body comme sur le courant de saturation de drain semblent adopter un comportement asymptotique et tendre ainsi vers un minimum.

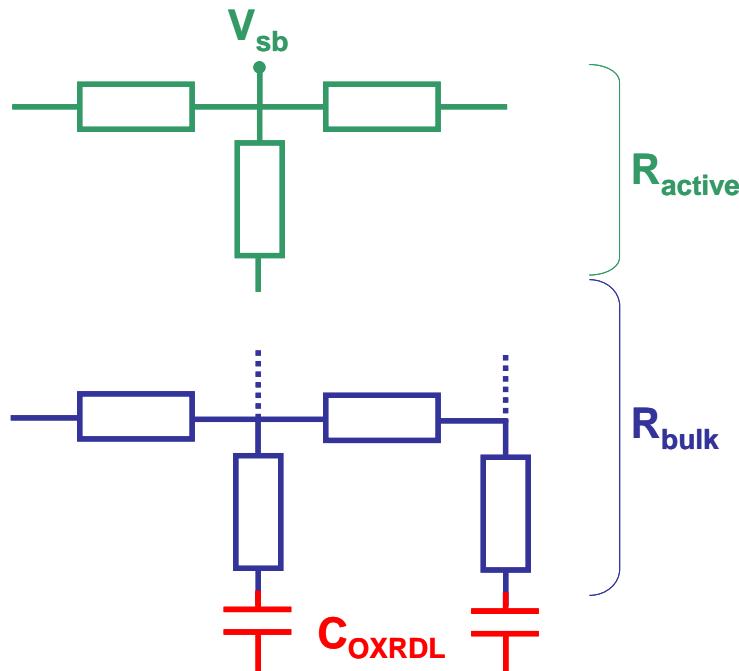


Figure 2.27. Modèle électrique simplifié de l'environnement séparant le RDL du composant (détail de la Figure 2.23).

2.3.3.3. Influence de l'épaisseur d'isolation du RDL

De même que pour le cas du TSV, l'épaisseur d'isolation du RDL est directement reliée à la valeur de la capacité de l'oxyde RDL. Ainsi, pour une épaisseur minimale (ici, 0,4 µm), la capacité est maximisée et, par voie de conséquence, également le couplage qui en résulte. Inversement, une capacité minimisée par une épaisseur maximale d'oxyde (1,4 µm) permet de décroître au maximum le couplage induit par le RDL.

Un phénomène intéressant à relever est le comportement des variations dynamiques du courant de saturation de drain pour des épaisseurs de silicium supérieures à 15 µm. A partir de ce seuil, l'épaisseur d'isolation du RDL n'a plus aucun impact sur le couplage (voir Figure 2.26). Il se trouve qu'à partir de cette distance, l'effet de décharge de la capacité de l'oxyde RDL dans le silicium n'est plus prédominant par rapport à l'effet d'atténuation du couplage généré par la résistance du silicium massif, résistance qui tend à croître avec l'épaisseur du silicium.

2.3.4. Impact couplé du TSV et du RDL

Les sections 2.3.2 et 2.3.3 font état de l'impact du couplage substrat induit indépendamment soit par le TSV soit par le RDL. Or, dans une intégration 3D générique, il n'est pas rare de voir ces deux structures conductrices interconnectées. Une connexion entre le TSV et le RDL implique une mise en commun du potentiel à l'origine du parasitage par le substrat. Ce même potentiel peut alors se propager à la fois par une décharge de la capacité oxyde du TSV et par une décharge de la capacité oxyde du RDL. On se propose ici d'observer l'effet d'un couplage commun induit par le TSV et le RDL sur le courant de saturation de drain I_{DSAT} . Dans ce cas précis, deux approches différentes sont proposées.

La première consiste à additionner les contributions apportées par le TSV et le RDL (simulées précédemment) pour constituer une contribution globale au couplage substrat. Cette hypothèse est envisageable à partir du moment où les deux électrodes étant interconnectées, le potentiel appliqué sur l'une ou l'autre est équivalent sur l'ensemble de leur surface commune.

La seconde approche consiste à reproduire des simulations équivalentes à celles entreprises dans les sections précédentes, en appliquant le potentiel parasite sur les deux électrodes simultanément. Ainsi, la comparaison entre la méthode additionnelle et la méthode de simulation peut être entreprise.

Deux configurations d'isolation sont étudiées pour chacune des deux approches. La première configuration présente une isolation homogène entre le TSV et le RDL ($0,4 \mu\text{m}$ d'oxyde pour les deux structures) et les résultats associés sont illustrés à la Figure 2.28. La seconde présente une isolation hétérogène, à $0,2 \mu\text{m}$ pour l'oxyde du TSV et $0,8 \mu\text{m}$ pour l'oxyde du RDL, qui se veut plus réaliste d'un point de vue technologique. Les résultats associés sont détaillés à la Figure 2.29.

2.3.4.1. Isolation homogène

Couplage mixte additionné.

A première vue, le comportement général de la courbe du couplage mixte (TSV+RDL) additionné (ronds) est piloté par celui de la courbe du couplage RDL. Il se trouve que l'effet du couplage induit par le TSV varie moins en fonction de l'épaisseur du silicium, contrairement à l'effet du couplage induit par le RDL. Parallèlement à cette première observation, le couplage induit par le TSV a un impact plus important sur le composant que celui induit par le RDL, notamment pour des épaisseurs de silicium supérieures à $10 \mu\text{m}$. Ainsi, dans cette configuration d'isolation homogène, le couplage global est majoritairement inhérent au couplage induit par le TSV, sauf à faible épaisseur de silicium où la contribution apportée par le RDL est légèrement supérieure.

Couplage mixte simulé.

La courbe décrivant la simulation du couplage mixte TSV+RDL (triangles) présente un comportement assez proche de la courbe liée à l'addition des deux contributions. La différence principale vient du fait que la simulation du couplage mixte donne des variations maximales sur le courant de saturation de drain inférieures aux résultats obtenus par addition des deux contributions. De plus, pour une épaisseur de silicium supérieure à 10 µm, l'impact du couplage produit par les deux structures se stabilise. Si l'analogie avec les deux courbes liées aux contributions individuelles est réalisée, il est possible de conclure sur le fait que le RDL n'a qu'une influence prédominante pour des épaisseurs de silicium inférieures à 10 µm. Au-delà, le couplage induit par le TSV est le seul engendrant des variations sur le courant de drain.

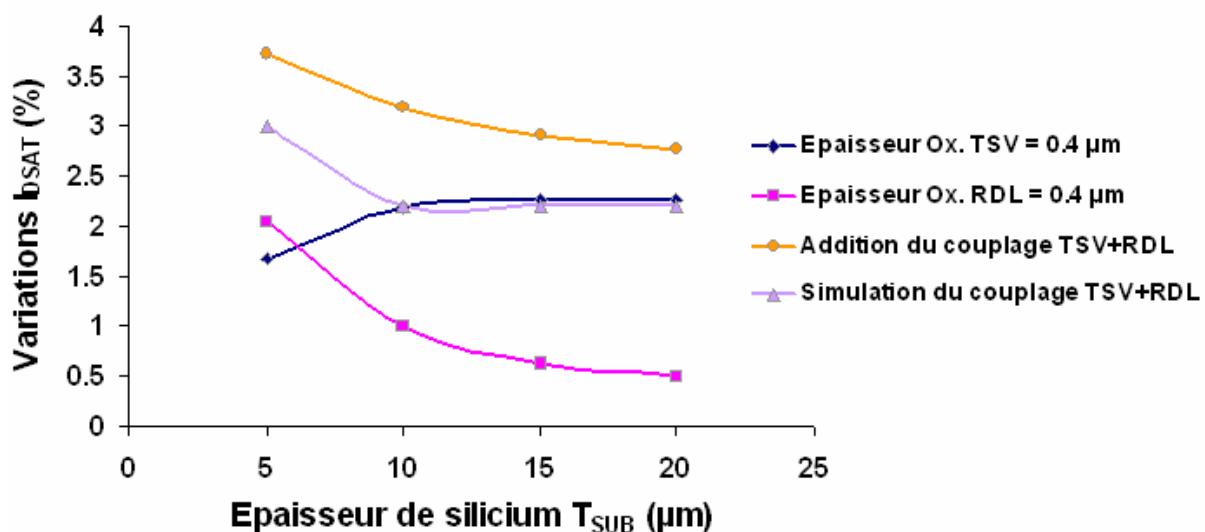


Figure 2.28. Contributions au couplage apportées par le TSV (losange bleu), par le RDL (carré mauve) et par le couplage mixte additionné (rond orange) et celui simulé (triangle lavande) sur le courant de saturation de drain, à épaisseurs d'isolation équivalentes entre TSV et RDL (*i.e.* 0,4 µm).

2.3.4.2. Isolation hétérogène

Couplage mixte additionné.

La deuxième configuration présente une isolation hétérogène entre le TSV et le RDL, qui reflète plus une réalité technologique. L'épaisseur d'oxyde du TSV est fixée à 0,2 µm, celle du RDL à 0,8 µm. On remarque d'emblée que les comportements généraux des deux courbes mixtes sont tout à fait similaires à ceux présentés pour la configuration d'isolation homogène. Néanmoins, on note une nette différence entre les deux contributions apportées par le TSV et le RDL. Les nouvelles valeurs d'épaisseurs d'isolation provoquent un couplage induit par le TSV plus important que celui induit par le RDL.

Les variations du courant de saturation de drain varient moins que dans le cas d'une isolation homogène. Cette observation rend compte de la prédominance du couplage induit par le TSV.

Couplage mixte simulé.

Le comportement général du couplage mixte en configuration d'isolation hétérogène est similaire à ce qui a été observé dans le cadre de l'isolation homogène. Le fait marquant ici est de remarquer que pour des épaisseurs de silicium supérieures à 10 µm, le couplage mixte induit par les deux structures conductrices se calque littéralement sur le couplage induit par le TSV. L'influence du RDL est complètement effacée par celle du TSV qui prédomine à ces gammes d'épaisseurs de silicium.

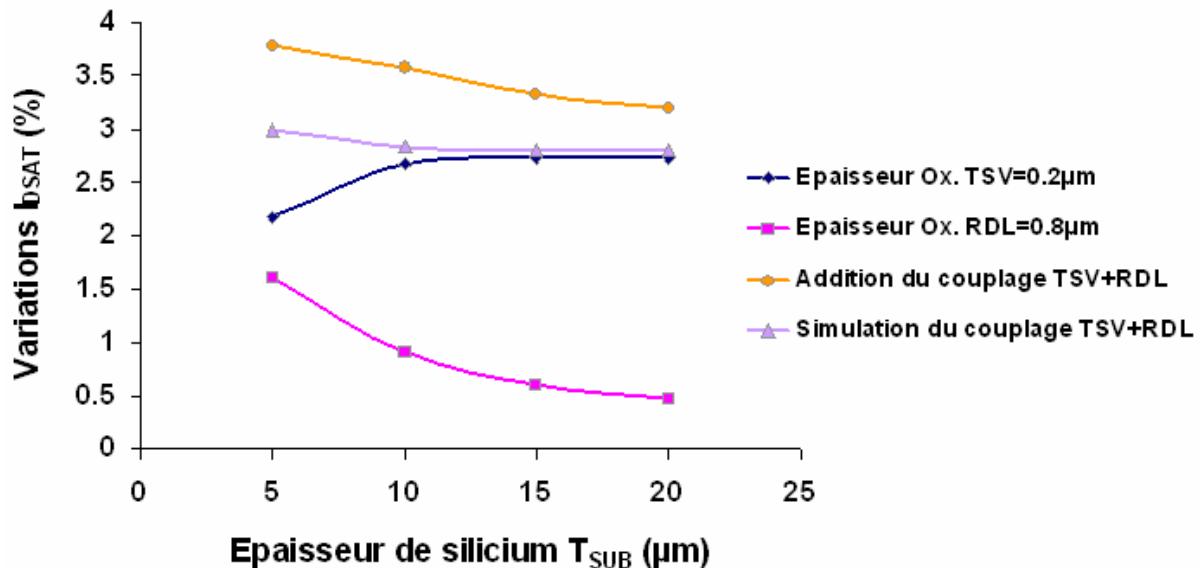


Figure 2.29. Contributions au couplage apportées par le TSV (losange bleu), par le RDL (carré mauve) et par les deux couplés (rond orange) sur le courant de saturation de drain, pour une configuration d'isolation réaliste (*i.e.* $T_{OXTSV}=0,2 \mu\text{m}$ et $T_{OXRDL}=0,8 \mu\text{m}$).

2.3.5. Influence des signaux parasites sur le couplage

Nous venons de statuer sur les phénomènes de couplage induits par le TSV ou le RDL, ainsi que sur un couplage global généré à partir des deux structures, en fonction des quatre paramètres technologiques et conceptuels définis au paragraphe 2.3.1.5. Il est intéressant de se pencher maintenant sur la source de ce couplage, à savoir les signaux dynamiques appliqués sur le TSV et le RDL, et d'étudier leur influence sur le couplage en fonction de leurs caractéristiques propres.

2.3.5.1. Considérations générales

Nous nous intéressons ici à faire varier les caractéristiques des signaux dynamiques appliqués sur les structures perturbatrices pour connaître leur influence sur les phénomènes de couplage observés précédemment. Deux paramètres pertinents sont isolés, à savoir le temps du front de montée et de descente du signal créneau et l'épaisseur de l'isolation. Nous avons vu au cours des paragraphes précédents que le couplage substrat induit par l'intégration 3D est de nature dynamique et apparaît au moment des transitions d'état du potentiel perturbateur. Pour cette étude particulière, on s'intéressera à la fois au courant de saturation de drain I_{DSAT} et au courant de fuite I_{OFF} du transistor NMOS. Le courant de fuite est un paramètre crucial du transistor MOS puisqu'il renseigne sur l'état bloqué du transistor. Il est donc intéressant de regarder l'impact induit sur les deux types de courants caractéristiques du transistor.

Pour cette étude, une structure géométrique est fixée selon les observations précédemment établies. La Table 2.7 renseigne sur les dimensions particulières définies pour la suite. Le choix des dimensions liées à ces paramètres va dans le sens de sélectionner une structure dite « pire cas » et un temps de calcul optimal. Enfin, nous avons vu à la section 2.3.4 que la contribution majoritaire au couplage global est celle issue du TSV. Nous nous bornerons ici à n'étudier que le couplage induit par cette structure perturbatrice.

Table 2.7. Dimensions définies pour cette étude pour les deux paramètres technologique et conceptuel concernés.

Dimensions (μm)	
Epaisseur du substrat (T_{SUB})	5
Zone d'exclusion	2,5

Les gammes de valeurs des deux paramètres variables étudiés dans cette étude pour déterminer leur influence respective sur l'intensité du couplage induit sont listées dans la Table 2.8.

Table 2.8. Gammes de valeurs relatives aux paramètres étudiés concernant l'influence du potentiel perturbateur appliqué sur le TSV sur le couplage.

Gamme de valeurs	
Durée du front de potentiel	20-100 ps
Epaisseur d'isolation du TSV (T_{OXTSV})	0,05-0,3 μm

Enfin, le transistor PMOS est également modélisé dans cette étude et comparé au NMOS. Ses niveaux et types de dopage sont présentés à la Table 2.9, et ses caractéristiques électriques simulées décrites à la Table 2.10. Un caisson nwell (*i.e.* dopé N) est implanté pour créer une zone active adéquate dans le substrat massif de type P. Le dopage de ce caisson est basé sur un profil de dopant de type phosphore (N) présenté à la Figure 2.30.

Table 2.9. Niveaux et types de dopage uniforme pour le transistor PMOS.

Zones à dopage uniforme	Concentration (atomes/cm ³)	Type de dopage
HDD⁹ pour les Source/Drain	2.10^{+20}	P
LD¹⁰ pour les Source/Drain	6.10^{+19}	P
Prise substrat	10^{+20}	N
Silicium massif	10^{+15}	P

Table 2.10. Caractéristiques électriques du transistor PMOS faible consommation à $L_G = 1 \mu\text{m}$.

PMOS	
Tension de seuil V_{TH} (V)	-0,41
Courant de saturation de drain I_{DSAT} ($\mu\text{A}/\mu\text{m}$) extrait à $V_{GS}=V_{DS}=-1.2 \text{ V}$	-34
Courant de fuite I_{OFF} ($\text{pA}/\mu\text{m}$) extrait à $V_{DS}=-1.2 \text{ V}$ and $V_{GS}=0 \text{ V}$	-0,07

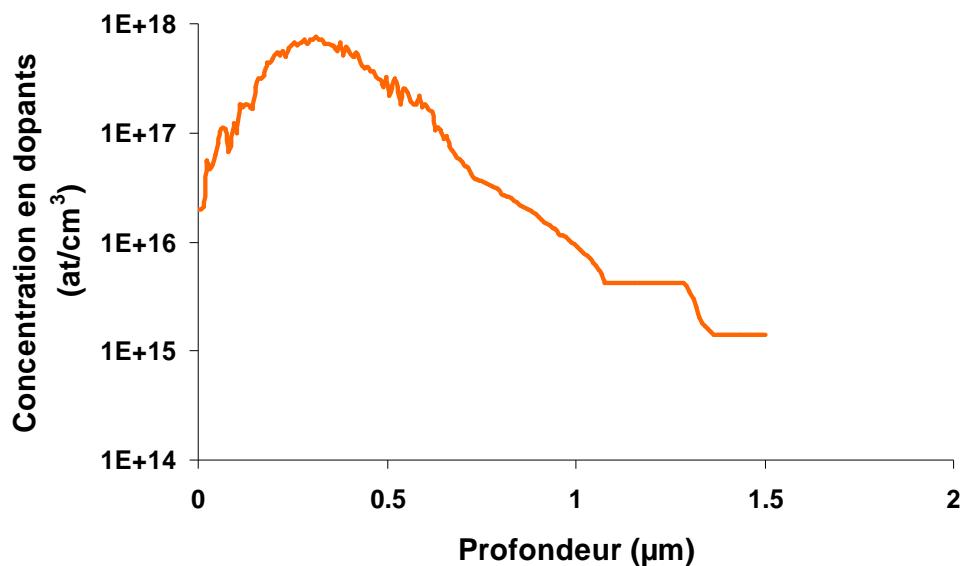


Figure 2.30. Profil de dopage du caisson nwell du transistor PMOS sur sa profondeur totale de $1,5 \mu\text{m}$.

⁹ HDD : Highly Doped Drain structure (drain fortement dopé).

¹⁰ LDD : Lightly Doped Drain structure (drain faiblement dopé).

2.3.5.2. Influence de la durée du front de potentiel du signal agresseur

La durée du front de montée et de descente du potentiel dynamique appliquée sur le TSV est probablement le facteur le plus influant concernant l'intensité du couplage. En effet, il définit la durée de la transition entre deux états contraires d'un potentiel, à savoir l'état logique '0' et l'état logique '1', c'est-à-dire qu'il influence directement le phénomène de charge et décharge de la capacité oxyde concernée, en l'occurrence ici celle du TSV.

La Figure 2.31 présente les variations dynamiques maximales relevées à la fois sur le courant de saturation de drain et sur le courant de fuite des transistors NMOS et PMOS, en fonction des valeurs du temps de front de potentiel. Les fronts définis vont de 20 ps à 100 ps. La valeur minimale de 20 ps correspond typiquement au temps de montée et descente le plus agressif en technologie CMOS 65 nm. L'épaisseur d'isolation du TSV est fixée au minimum ici, soit 50 nm. Concernant les unités des caractéristiques étudiées, les variations du courant I_{DSAT} sont toujours exprimées en %, comme précédemment, alors que celles du courant de fuite I_{OFF} sont exprimées en % du courant I_{DSAT} . Cette notation relative particulière est nécessaire, d'une part pour pouvoir comparer directement les variations des deux courants (ainsi exprimées dans la même unité), d'autre part, parce que les fluctuations observées sur le I_{OFF} sont apparues être de l'ordre du $\mu\text{A}/\mu\text{m}$, soit l'unité de I_{DSAT} .

A première vue, les comportements des deux transistors N et P semblent être affectés de manière symétrique, avec néanmoins une plus grande sensibilité au couplage pour le PMOS. Les variations relevées sur I_{DSAT} sont de l'ordre de 8 % sur le NMOS et -11 % sur le PMOS pour un front de 20 ps. Il semblerait donc que la résistivité du caisson de type N (pour le PMOS) soit inférieure à celle liée au dopage P du transistor NMOS.

Concernant l'influence du temps de montée et descente du front de potentiel sur l'intensité du couplage, il apparaît clairement que les temps courts engendrent un couplage plus conséquent par rapport à des temps longs. Sachant que pour un front de 100 ps, les variations de courant I_{DSAT} sont de l'ordre de 2,5 % pour le NMOS et -3 % pour le PMOS, on peut supposer une nette atténuation voire une suppression possible des effets du couplage pour des fronts de l'ordre de quelques centaines de picosecondes, voire de la nanoseconde.

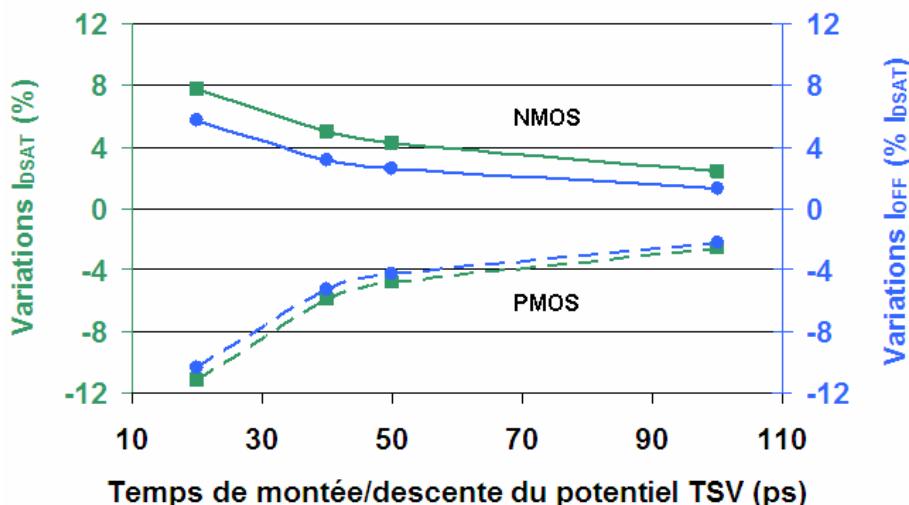


Figure 2.31. Variations dynamiques maximales relevées sur le courant de saturation de drain I_{DSAT} (carrés, axe de gauche) et sur le courant de fuite I_{OFF} (ronds, axe de droite) des transistors N et P, en fonction de la durée du front de potentiel appliquée sur le TSV.

Enfin, et c'est probablement l'observation la plus importante ici, on remarque que les variations du courant de fuite sont quasiment identiques à celles du courant de saturation de drain (les deux étant exprimées dans la même unité). On rappelle que la valeur originelle statique du courant de fuite est de $0,72 \text{ pA}/\mu\text{m}$ pour le NMOS et $-0,07 \text{ pA}/\mu\text{m}$ pour le PMOS (cf. Table 2.2 et Table 2.10). Le phénomène observé à la Figure 2.31 est loin d'être anodin et surtout peu conventionnel en technologie CMOS classique. Les variations du courant de fuite montrent qu'un courant lié à l'état bloqué du transistor, c'est-à-dire lorsqu'il ne devrait pas conduire, augmente à des niveaux dramatiquement élevés, approchant la dizaine de % du courant de saturation de drain, soit encore l'amplitude de la variation de ce courant consécutive au couplage. Par conséquent, ces fuites observées représentent potentiellement une consommation importante, or dans cette étude, nous travaillons sur technologie faible consommation (*low power*).

2.3.5.3. Influence de l'épaisseur d'isolation du TSV

Enfin, il est intéressant de comprendre comment un paramètre technologique influence l'intensité du couplage induit selon les fronts de potentiel appliqués sur le TSV. L'épaisseur d'isolation du TSV représente une solution technologique facilement adaptable pour réduire le couplage. Pour quantifier son efficacité, l'effet de l'épaisseur d'isolation du TSV est investigué pour des fronts de potentiel variant toujours de 20 à 100 ps, sur les deux types de transistors à l'état bloqué (I_{OFF}). Les résultats sont présentés sur la Figure 2.32. Deux épaisseurs d'isolation sont montrées sur ce graphique, à savoir $0,05 \mu\text{m}$ (traits pleins) et $0,3 \mu\text{m}$ (traits pointillés).

L'augmentation de l'épaisseur d'isolation d'un facteur 6 réduit l'impact du couplage sur le courant de fuite d'environ 3 points de % sur le NMOS et de 4 sur le PMOS, pour le front le plus agressif à 20 ps. Pour des fronts plus longs, on observe le phénomène d'atténuation du couplage. Néanmoins, en observant les valeurs obtenues après épaississement de l'isolation à $0,3 \mu\text{m}$, et ce quel que soit le temps du front de potentiel, on ne peut que constater que les valeurs de variations du I_{OFF} approchent le même ordre de grandeur que le courant de saturation I_{DSAT} .

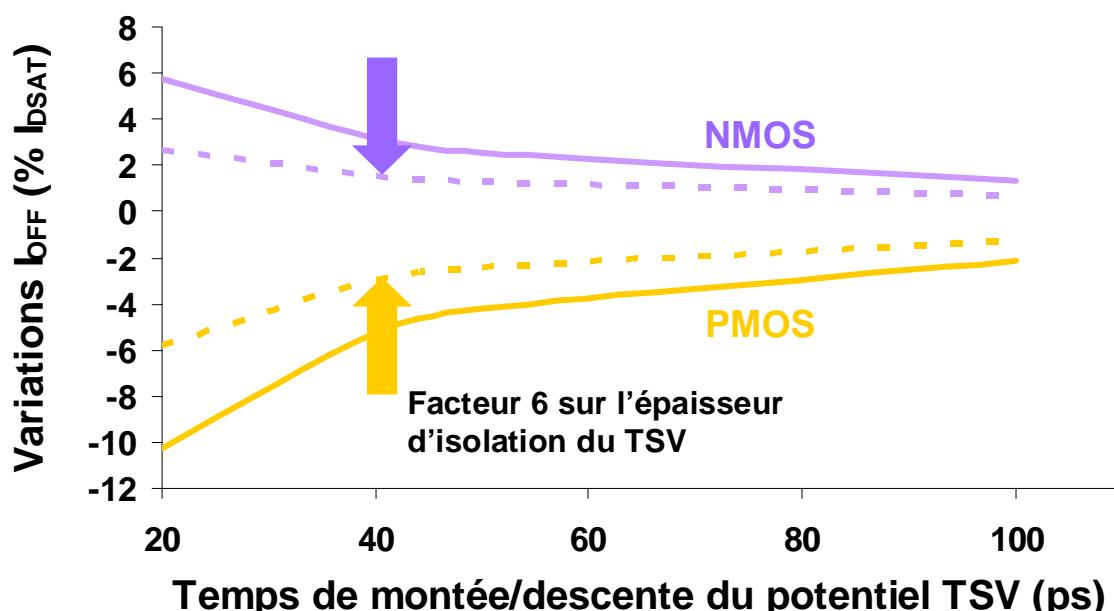


Figure 2.32. Influence de l'épaisseur d'isolation du TSV sur les variations dynamiques du courant de fuite des transistors N et P, en fonction du front de potentiel appliqué sur le TSV. Deux épaisseurs d'isolation sont proposées : $T_{OXTSV}=0,05 \mu\text{m}$ (traits pleins) et $T_{OXTSV}=0,3 \mu\text{m}$ (pointillés).

2.3.6. Solutions pour la réduction du couplage substrat

Les résultats de simulation présentés précédemment ont permis de faire émerger un constat général sur la problématique du couplage induit par les structures 3D sur la technologie CMOS : quelles que soient les configurations géométriques de la structure d'intégration 3D étudiée ou les propriétés électriques des signaux perturbateurs, les phénomènes de couplage capacitif affectent le comportement des composants de manière significative, que ce soit sur leur état passant ou leur état bloqué. En partant de ce constat, plusieurs solutions potentielles peuvent être proposées dans le but de décroître significativement les effets du couplage. Ces solutions se basent sur des propriétés physiques, des variantes technologiques ou des modifications de *layout*. On se propose d'étudier l'influence de ces solutions sur le pire cas de couplage, c'est-à-dire celui obtenu lorsque le potentiel appliqué sur le TSV présente un front de 20 ps.

2.3.6.1. Augmentation de la résistivité du silicium massif

Nous avons vu que la résistivité du substrat massif possède la qualité d'atténuer plus ou moins les perturbations électriques provenant des éléments perturbateurs, comme les TSV ou le RDL. La force de l'atténuation est fortement dépendante de la résistivité intrinsèque du matériau semi conducteur traversé, en l'occurrence le silicium. A l'heure actuelle, la plupart des substrats utilisés dans l'industrie ont un niveau de dopage massif de l'ordre de 10^{+15} atomes/cm³, soit une résistivité moyenne de $13 \Omega \cdot \text{cm}$. Cette valeur sera considérée comme la référence par la suite.

On propose ici d'utiliser un substrat de plus forte résistivité, donc par conséquent présentant un plus faible niveau de dopage. D'un point de vue technologique, il est difficile de descendre en dessous de 10^{+14} atomes/cm³. On se bornera donc à n'étudier que cette valeur comparée à la valeur de référence. La Figure 2.33 présente les variations maximales relevées sur les courants de saturation et de fuite des deux transistors pour les deux niveaux de résistivité du silicium étudiés.

On constate à la vue de ces résultats que la résistivité du silicium massif a une influence extrêmement restreinte sur la propagation du couplage. Les diminutions observées sur les variations des courants sont de l'ordre de 1 point de %, voire inférieures. Cela vient confirmer les conclusions du paragraphe 2.3.2.4 sur le fait que le couplage se propage préférentiellement dans la couche dopée où la résistivité est faible.

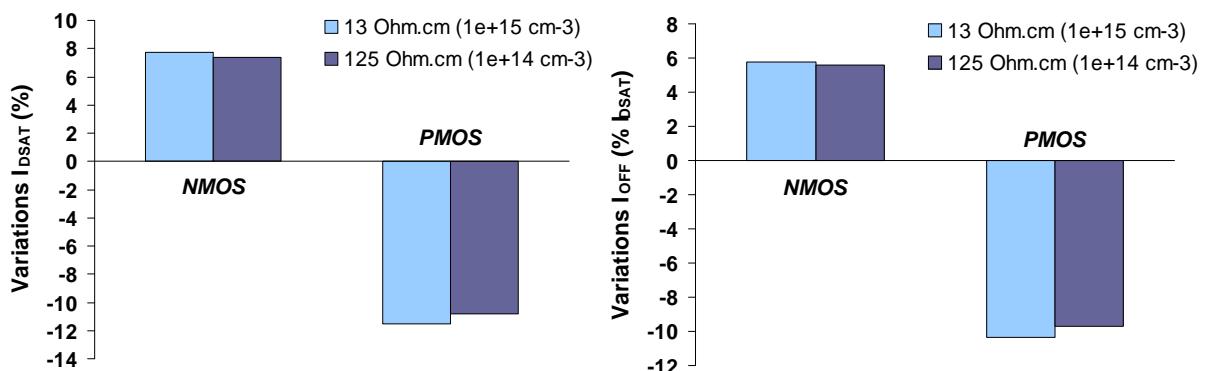


Figure 2.33. Influence de l'augmentation de la résistivité du silicium massif sur les variations du courant de saturation de drain (gauche) et du courant de fuite (droite) des transistors N et P.

2.3.6.2. Séparation physique de la zone active et du TSV

Quel que soit le transistor considéré auparavant, les profils de dopage décrits à la Figure 2.17 pour le NMOS et à la Figure 2.30 pour le PMOS sont implantés pleine plaque, ce qui signifie que ces zones dopées touchent la zone de gravure du TSV sur le plan horizontal. La Figure 2.16 rend bien compte de cette particularité. Or, dans le cadre du couplage induit par le TSV, nous avons vu que cette zone de faible résistivité a tendance à jouer un rôle déterminant dans la propagation du couplage en surface. Il est donc tout à fait intéressant de considérer une structure où la zone active n'atteint pas l'oxyde d'isolation du TSV et est séparée de celui-ci d'une distance définie par une règle de dessin (donc à l'étape de conception). Pour le cas présent d'étude, on conserve la géométrie précédemment utilisée en fixant une limite aux caissons de dopants P (pour les NMOS) et N (pour les PMOS) située à 200 nm de la prise substrat (D_{well}). La Figure 2.34 illustre cette nouvelle configuration avec une zone d'exclusion de 2,5 μm .

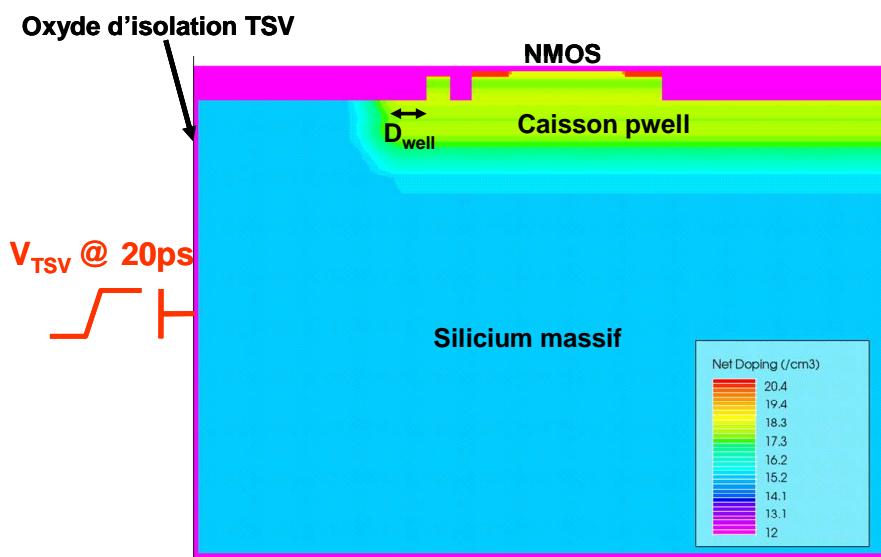


Figure 2.34. Répartition du dopage dans l'ensemble de la structure d'étude. On présente ici le cas du transistor NMOS avec son caisson P (« pwell »).

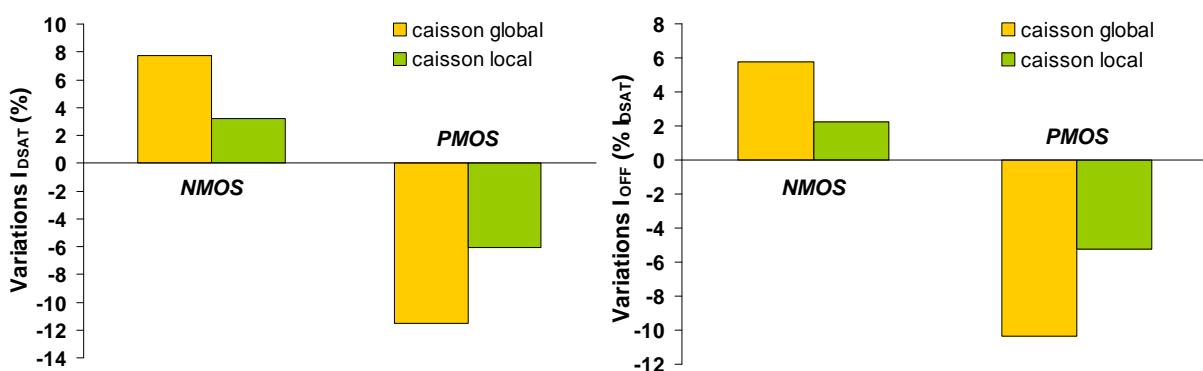


Figure 2.35. Influence de la localisation du caisson de dopage sur les variations du courant de saturation de drain (gauche) et du courant de fuite (droite) des transistors N et P. Le caisson global renvoie à la configuration où la zone active est uniformément répartie sur l'ensemble du substrat alors que le caisson local correspond à la configuration décrite à la Figure 2.34.

Les résultats exposés à la Figure 2.35 démontrent que cette solution a un impact sur le couplage tout à fait significatif, comparé à l'influence de la résistivité du silicium. Peu importe le transistor considéré, l'utilisation d'un caisson de dopage délimité aux seules zones d'implémentation des composants permet de réduire les variations des courants de plus de 50 % par rapport à la configuration où un caisson global est utilisé. Il apparaît donc intéressant de définir une règle de dessin spécifique qui délimite une zone d'exclusion de toute forme de dopage autour des TSV.

2.3.6.3. Implémentation d'une masse en face arrière

L'utilisation du caisson local est une solution séduisante par le fait qu'elle est simple à mettre en œuvre (un niveau de masque supplémentaire). Néanmoins, il est intéressant de réduire davantage l'impact du couplage induit par les TSV. Le fait de considérer le TSV comme une électrode interne au sein du silicium massif est une idée résolument nouvelle en microélectronique. D'ordinaire, dans les circuits planaires, le potentiel de substrat est uniquement contrôlé par les prises substrat à proximité des composants. Or, nous avons vu comment les TSV génèrent des perturbations directement au cœur du silicium. Il se trouve que les seules prises substrat sont inefficaces pour contrôler correctement le potentiel de substrat. Dans cette configuration précise, il semblerait que la création d'un nouveau point de masse sur la face arrière du silicium aminci pourrait attirer les lignes de potentiel parasite et donc de réduire leur impact sur le composant en face avant.

On se propose alors de considérer une structure présentant à la fois l'utilisation d'un caisson de dopage local et une prise substrat en face arrière. Cette dernière est un plan de masse métallique, directement contacté sur le silicium massif en face arrière. La Figure 2.36 est une vue des lignes de potentiel se propageant dans le silicium au moment où le potentiel appliqué sur le TSV passe à 1,2 V, juste à la fin du temps du front de montée. On remarque d'emblée la forte influence de la prise de masse en face arrière, qui permet de contrôler les lignes de champ parasite sur une grande surface. Le potentiel parasite décroît rapidement au sein du silicium massif, dont la résistivité est élevée, ce qui réduit l'impact du couplage sur les courants du transistor.

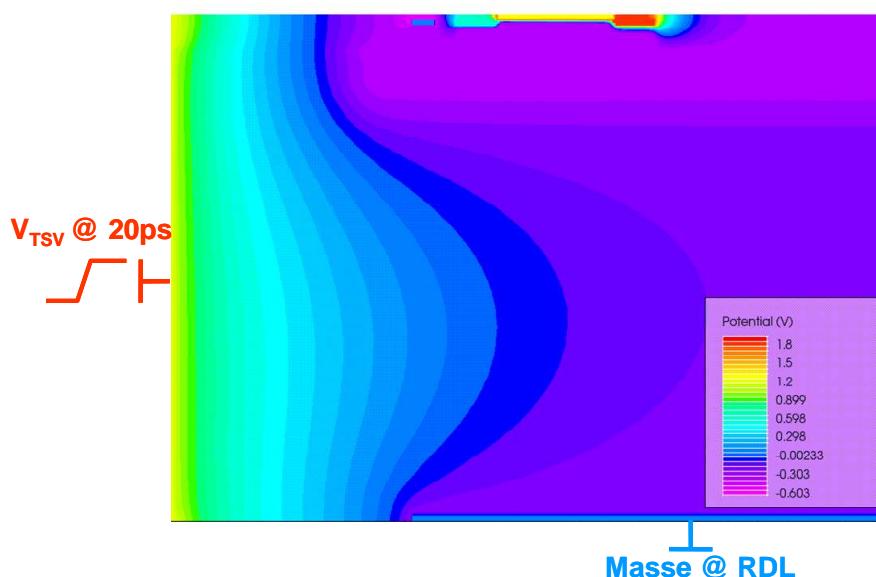


Figure 2.36. Propagation des lignes de potentiel parasite avec utilisation d'une masse en face arrière et d'un caisson de dopage localisé.

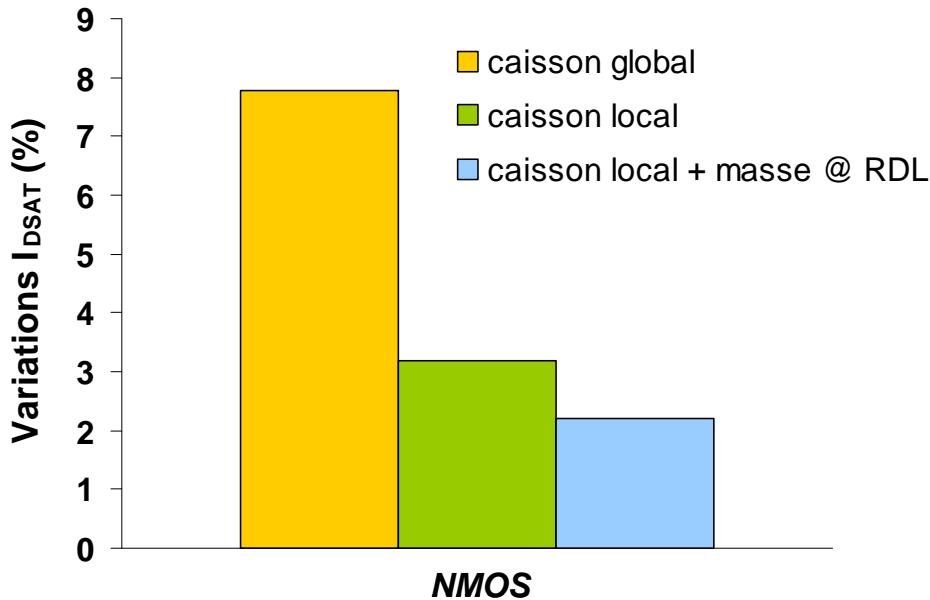


Figure 2.37. Variations maximales du courant de saturation de drain du transistor NMOS selon trois configurations de couplage : utilisation d'un caisson de dopage global (gauche), d'un caisson de dopage local (centre), et utilisation conjointe d'un caisson local et d'une masse en face arrière.

Les variations maximales relevées sur le courant de saturation de drain sont exposées à la Figure 2.37. On compare ici les perturbations de I_{DSAT} pour une configuration présentant un caisson de dopage global (cas général), une autre présentant un caisson local, et enfin une configuration utilisant conjointement un caisson local et une prise de masse en face arrière. Les perturbations apportées par le TSV sont là encore représentatives du pire cas. On remarque que l'utilisation conjointe des deux dernières solutions présentées permet de réduire significativement le couplage substrat. Ainsi, en utilisant seulement le caisson local, on réduit d'environ 5 points de %, alors qu'en couplant avec une prise de masse en face arrière, on passe à 6 points de %. Le niveau de couplage obtenu est alors de seulement 2 % de variations sur le courant de saturation, ce qui est bien inférieur aux 8 % initiaux.

2.4. Couplage induit par l'intégration 3D sur l'inverseur

L'objectif de ce nouveau sous chapitre est de poursuivre l'investigation menée précédemment sur le composant unitaire en passant au niveau logique, c'est-à-dire à une porte, et de voir si les observations réalisées sur le transistor ont une réalité au niveau d'une porte logique, à savoir un inverseur dans le cas présent, qui est le composant de base d'un circuit logique.

Contrairement au composant unitaire, le fonctionnement électrique d'une porte est difficilement modélisable en TCAD. Il est donc nécessaire de passer à un simulateur basé sur des modèles électriques (type RLCG) et plus précisément sous langage SPICE¹¹. Cette partie relative à la simulation circuit a été menée par Olivier Rozeau¹². On précise que les résultats présentés ci-après ne sont pas génériques, contrairement à ceux relatifs aux MOS. En effet, les configurations de positionnement de l'inverseur étant trop nombreuses pour être toutes étudiées, on a donc arrêté une géométrie particulière qui sert plutôt d'exemple aux phénomènes de couplage présentés ci avant que de démonstration générale.

2.4.1. Modélisation circuit

Cette partie est consacrée à la mise au point de la structure à simuler sous SPICE, ainsi qu'à sa calibration électrique.

2.4.1.1. Élaboration du modèle électrique

On propose de reprendre la même structure que celle présentée à la Figure 2.19, à la différence près que le transistor est remplacé par un inverseur (*i.e.* un NMOS et un PMOS). Le transistor NMOS est placé au plus près du TSV, suivi du PMOS, comme illustré à la Figure 2.38. L'oxyde d'isolation TSV est modélisé par des capacités MOS. Les deux transistors sont simulés avec le modèle BSIM4 [BSIM4] et les paramètres associés sont pris dans le « *Design Kit CMOS065 Low Power* » de STMicroelectronics. La modélisation électrique du silicium est définie par un réseau de résistance dont la contribution horizontale est basée sur un pas de $0,5 \mu\text{m}$ et la contribution verticale sur un pas de $T_{\text{SUB}}/20$. Comme décrit auparavant, le silicium massif possède une résistance homogène qui peut être maillée correctement par ce réseau. La couche fortement dopée, qui présente une résistance hétérogène, est assimilée à une seule résistance de plus faible valeur.

Quatre paramètres géométriques sont étudiés : l'épaisseur du substrat T_{SUB} , l'épaisseur d'isolation TSV T_{OXTSV} , la zone d'exclusion, notée ZE, et la distance D_{body} entre la prise substrat et le NMOS. Le signal perturbateur appliqué sur le TSV est volontairement peu agressif en terme de temps de montée/descente. Pour des raisons de définition des modèles électriques, les fronts de l'ordre de quelques dizaines de picosecondes sont mal simulés et peuvent engendrer des erreurs d'interprétation. Pour ces raisons, on décide de fixer le front de potentiel appliqué au TSV à 200 ps.

¹¹ SPICE : Simulation Program with Integrated Circuit Emphasis.

¹² Olivier Rozeau est ingénieur au Service Conception et Modélisation Electrique du LETI.

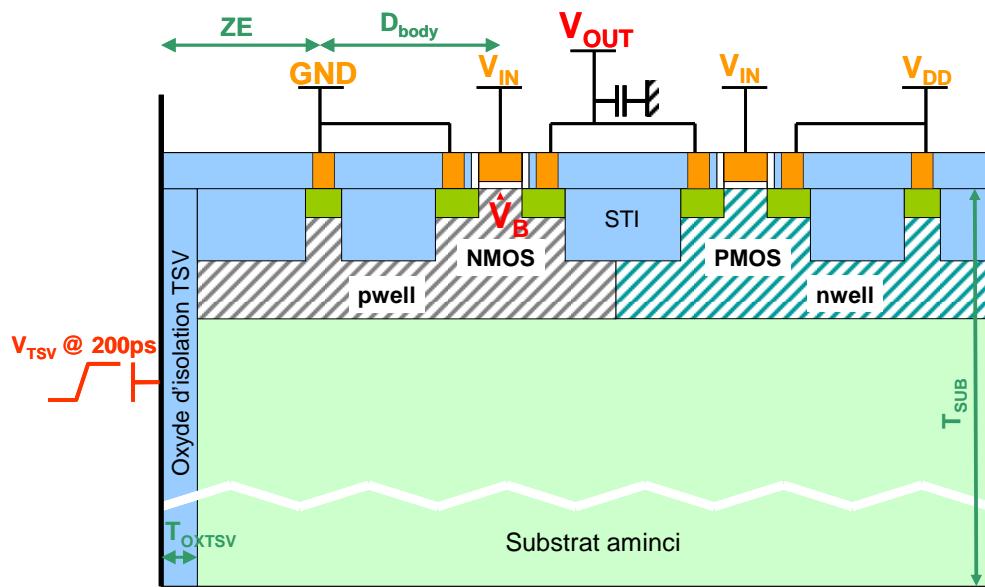


Figure 2.38. Vue schématique en coupe de l'inverseur implémenté à proximité d'un TSV.

2.4.1.2. Calibration du modèle

A partir de la modélisation de la structure de la Figure 2.38, il est nécessaire de passer à une phase de calibration dans le but de s'assurer de la fiabilité du modèle SPICE par rapport au modèle par éléments finis sous TCAD. Le principe consiste à jouer sur les valeurs de résistivité relatives au silicium massif et à la couche fortement dopée (active) du transistor NMOS sous le modèle SPICE pour corrélérer les valeurs de couplage relevées sur le potentiel de body (V_{Bmax}). Il est considéré de manière arbitraire que seul le NMOS est impacté par les variations du potentiel substrat (Figure 2.39). Cette hypothèse sera discutée à la section 2.4.3.

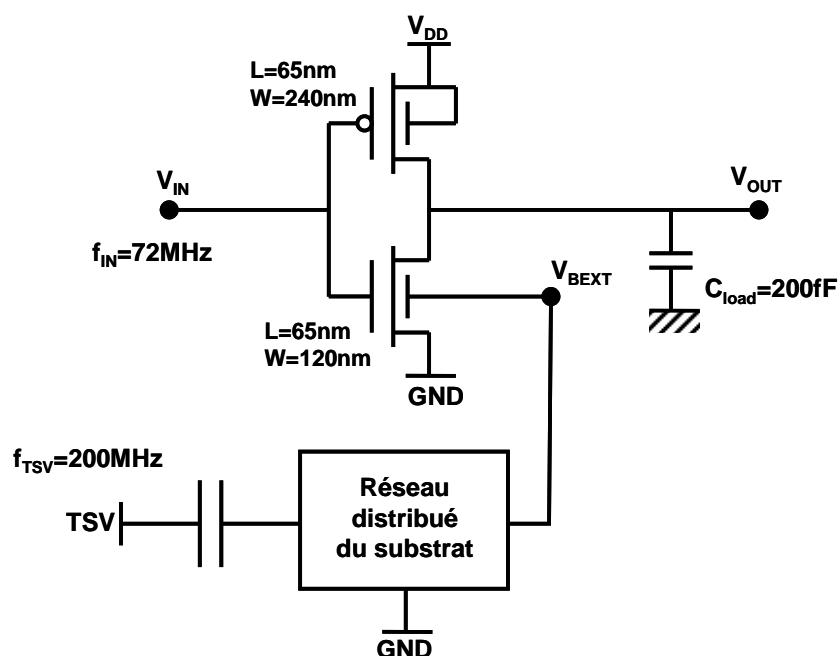


Figure 2.39. Vue schématique du système modélisé sous SPICE.

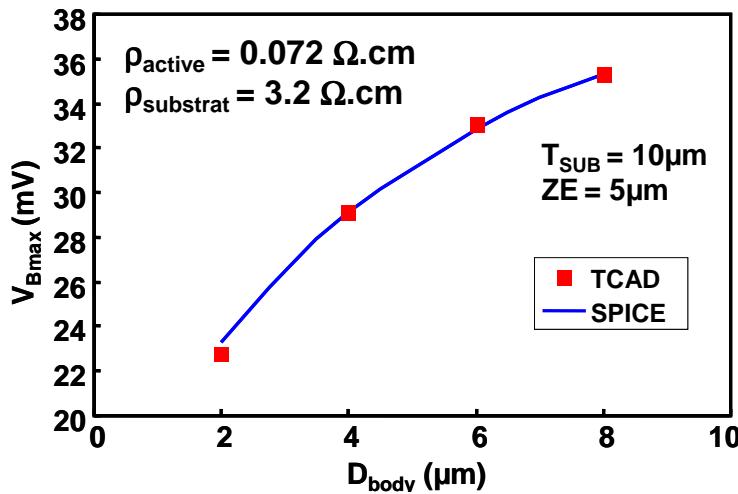


Figure 2.40. Corrélation du modèle SPICE avec la référence TCAD concernant le couplage maximal relevé en fonction de la distance séparant la prise substrat et le NMOS.

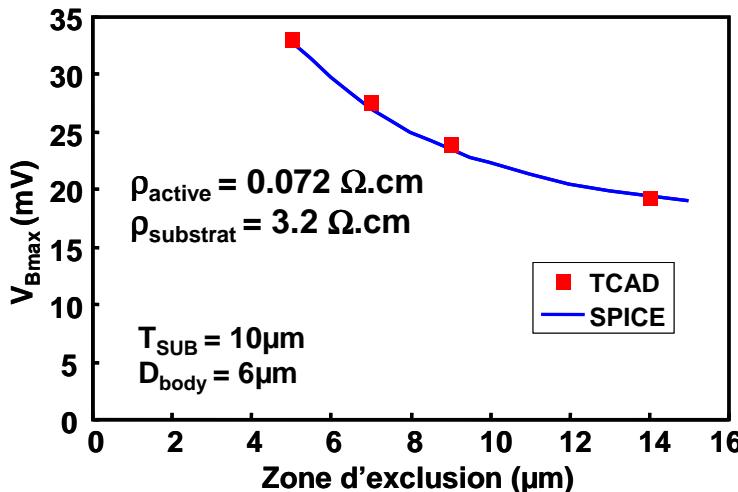


Figure 2.41. Corrélation du modèle SPICE avec la référence TCAD concernant le couplage maximal relevé en fonction de la zone d'exclusion ZE séparant la prise substrat et le TSV.

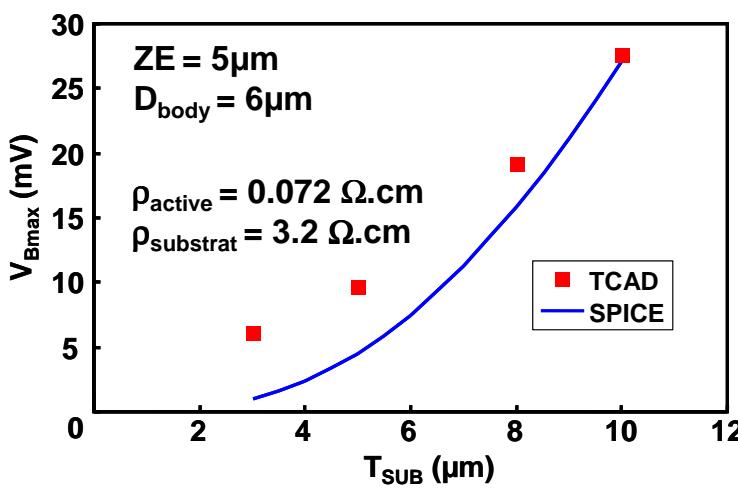


Figure 2.42. Corrélation du modèle SPICE avec la référence TCAD concernant le couplage maximal en fonction de l'épaisseur de silicium.

Les trois figures précédentes montrent la corrélation optimale obtenue entre les deux modélisations pour un unique couple de valeurs de résistivité (ρ_{active} ; ρ_{substrat}) équivalent respectivement à (0,072 $\Omega \cdot \text{cm}$; 3,2 $\Omega \cdot \text{cm}$). On remarque sur les figures 40 et 41 que cette corrélation est excellente pour différentes valeurs de la zone d'exclusion et de la distance D_{body} . La Figure 2.42 démontre par contre que la corrélation entre les deux modèles est plus difficile à obtenir en particulier pour les faibles valeurs d'épaisseurs de substrat. Cela peut être dû au manque de précision lié à la description du réseau de distribution des résistances du substrat dont la résistivité générale est hétérogène. La corrélation ne pouvant être améliorée pour les trois paramètres, le couple de résistivité ($\rho_{\text{active}} = 0,072 \Omega \cdot \text{cm}$; $\rho_{\text{substrat}} = 3,2 \Omega \cdot \text{cm}$) est adopté pour la suite de l'étude, ainsi qu'une épaisseur de silicium fixée à 10 μm , valeur donnant la meilleure corrélation entre les deux modèles.

2.4.1.3. Méthodologie

En considérant le modèle électrique précédemment défini et calibré, l'impact du couplage substrat induit par le TSV sur l'inverseur peut être étudié de manière fiable. La méthodologie de simulation est similaire à celle décrite pour le transistor au paragraphe 2.3.1.5. L'inverseur est alimenté par une tension V_{DD} de 1,2 V et son signal d'entrée V_{IN} est défini à une fréquence de 72 MHz (f_{IN}). La sortie de l'inverseur possède une charge capacitive de 200 fF (C_{load}) comme illustré à la Figure 2.39.

A partir du moment où l'inverseur est alimenté, on applique une tension de 200 MHz sur le TSV, avec une amplitude maximale de 3,3 V (cf. Figure 2.39). Le potentiel de substrat est relevé au milieu du canal du transistor NMOS ($L_G = 1 \mu\text{m}$), à une profondeur de 0,5 μm .

2.4.2. Impact du TSV sur l'inverseur

Les résultats présentés dans cette partie concernent l'impact du couplage généré par les potentiels dynamiques en crêteau appliqués sur le TSV sur un inverseur.

La Figure 2.43 et la Figure 2.44 présentent les variations temporelles observées au niveau du potentiel de substrat V_B ainsi que le signal de sortie de l'inverseur V_{OUT} pour une grande zone d'exclusion (5 μm) et pour une zone d'exclusion minimale (2,5 μm) respectivement. La distance D_{body} séparant le transistor de sa prise substrat vaut 5 μm dans les deux cas.

On remarque deux types de pics de tension sur le potentiel de substrat. Les pics quasi instantanés correspondent aux fluctuations du potentiel de substrat induites par la commutation de l'inverseur, *i.e.* le moment où la porte passe d'un état logique à un autre. Ils possèdent donc la même fréquence que celle de l'inverseur ($f_{\text{IN}} = 72 \text{ MHz}$). Les pics plus larges et plus rapprochés correspondent aux fluctuations du potentiel de substrat liées aux commutations du potentiel appliqué sur le TSV. Celui-ci fonctionnant à 200 MHz, il est logique d'observer un plus grand nombre de pics liés aux commutations du TSV qu'à celles de l'inverseur. Dans les deux cas de figure, le signal de sortie V_{OUT} semble être préservé de toute variation liée à son état logique. Néanmoins, son niveau de tension à l'état '1' ou à l'état '0' subit des variations de l'ordre de 200 μV pour une zone d'exclusion de 5 μm et d'environ 500 μV à 2,5 μm .

Il ne semble donc pas y avoir d'impact majeur sur le fonctionnement de l'inverseur en mode numérique, même si les phénomènes de couplage décrits à la partie 2.3.2 sont bien observés.

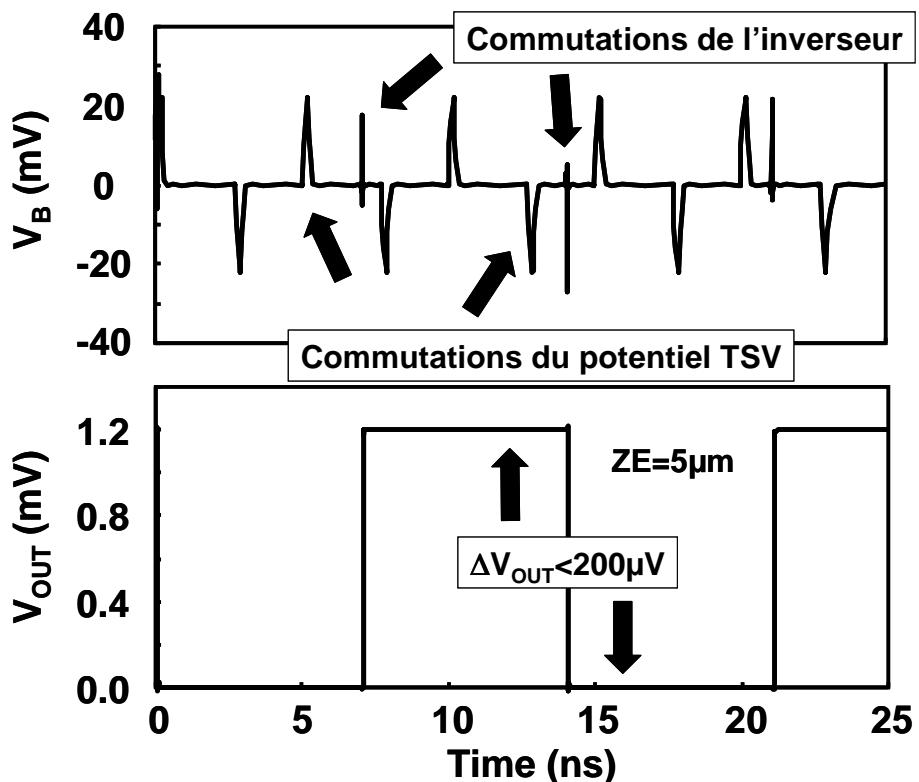


Figure 2.43. Extraction des variations du potentiel de substrat V_B (haut) et du signal de sortie de l'inverseur V_{OUT} (bas) pour une grande zone d'exclusion ($ZE = 5 \mu\text{m}$).

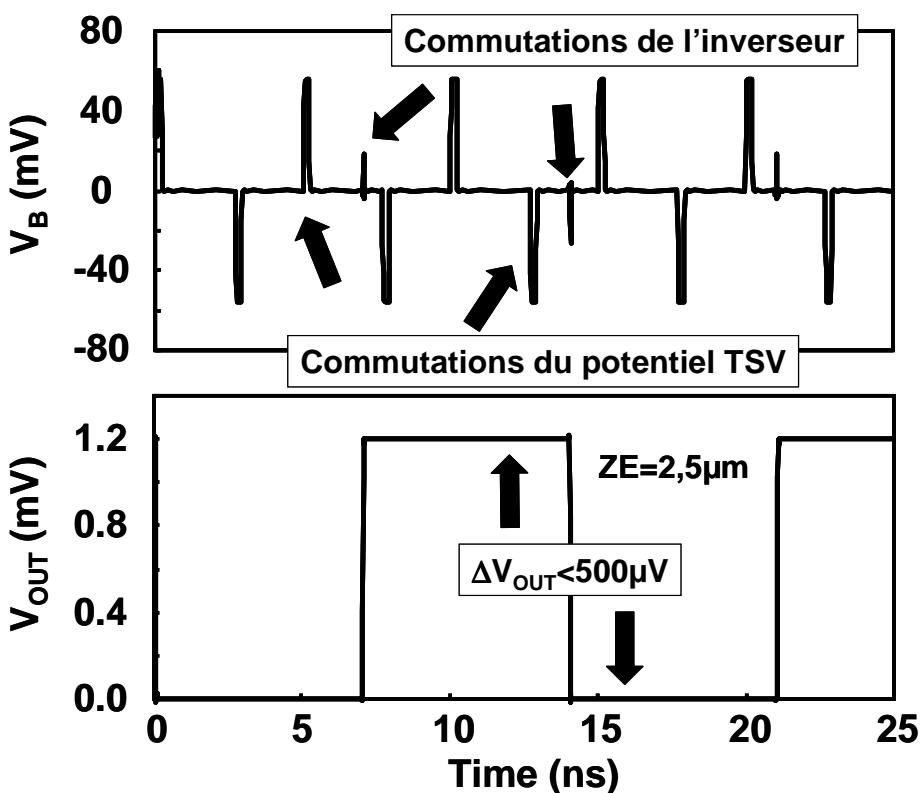


Figure 2.44. Extraction des variations du potentiel de substrat V_B (haut) et du signal de sortie de l'inverseur V_{OUT} (bas) pour une zone d'exclusion minimale ($ZE = 2,5 \mu\text{m}$).

2.4.3. Limitations de l'approche circuit

La modélisation du couplage substrat induit par le TSV sur une porte logique mène à des conclusions plutôt optimistes. Nous avons vu que l'état logique associé au signal de sortie de l'inverseur n'est pas modifié par le bruit généré, et que la tension crête à crête varie de quelques centaines de μV par rapport à sa valeur originale. Néanmoins, il a été démontré que la calibration du modèle SPICE sur le modèle TCAD implique des divergences pour des épaisseurs de silicium inférieures à $10 \mu\text{m}$. De plus, les épaisseurs plus importantes n'ont pas été investiguées (cf. Figure 2.42). Trois facteurs pourraient expliquer ces limitations du modèle compact :

1°) La prise en compte du couplage uniquement sur le potentiel de substrat du transistor NMOS. Cette hypothèse semble erronée d'après les résultats obtenus dans la section 2.3.5. En effet, le couplage substrat semble avoir une influence similaire voire supérieure sur le PMOS que sur le NMOS. Il apparaît donc nécessaire de prendre en compte dans le modèle compact le couplage sur le potentiel de substrat lié aux deux transistors.

2°) L'approche bidimensionnelle du modèle compact. En ne considérant pas la géométrie réaliste de la structure d'intégration 3D, le modèle compact montre des imprécisions qui, ici, poussent cette approche de modélisation à ses limites.

3°) La modélisation simpliste de la résistivité hétérogène de la couche fortement dopée (zone active). L'hypothèse faite ici consiste à considérer une résistivité homogène de valeur plus faible que la celle du silicium massif. Or, cette description grossière de la couche de fort dopage peut induire des erreurs significatives sur les calculs. Dans le but d'affiner le modèle compact, il serait plus approprié de considérer une description plus réaliste des niveaux de dopage tels que ceux présentés à la Figure 2.17 pour le NMOS et à la Figure 2.30 pour le PMOS. En tenant compte de la complexité à modéliser les profils réels, on propose une représentation du dopage par discrétisation de la résistivité associée en fonction de la profondeur de silicium considérée (Figure 2.45).

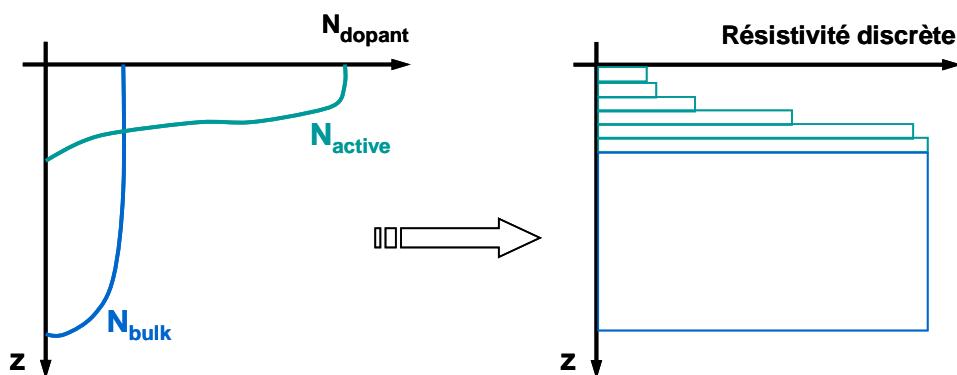


Figure 2.45. Discrétisation des niveaux de dopage en termes de résistivité du silicium.

Au vu des résultats extraits du modèle compact concernant le couplage induit par le TSV, tout en étant conscient des limitations actuelles de cette approche, il a été décidé de ne pas porter l'étude au niveau du couplage induit par le RDL. De plus, la partie 2.3 a démontré que l'impact du couplage induit par le RDL est, dans une large majorité de cas, très inférieur à celui engendré par le TSV. Il apparaît donc inutile, *a priori*, de porter nos efforts sur cette problématique.

2.5. Synthèse

Les modélisations réalisées sur composant unitaire et porte logique ont permis de dessiner une tendance majeure en ce qui concerne l'influence des structures d'intégration 3D sur les performances des technologies CMOS avancées. En synthétisant les résultats et conclusions du chapitre, nous pouvons statuer sur le fait que :

- Le couplage électrique par le substrat généré par les structures d'intégration 3D touche de manière quasi similaire les transistors N et P, avec toutefois une plus grande sensibilité pour le PMOS ;
- Il est de nature capacitive, du fait de la présence d'un oxyde d'isolation propre aux TSV et aux RDL, et se propage donc de manière dynamique, puisqu'il n'intervient qu'aux transitions d'état des potentiels parasites appliqués sur le TSV et le RDL ;
- La porte logique de type inverseur semble peu sensible aux fluctuations de potentiel de substrat. L'intégrité du signal de sortie n'est pas atteinte ;
- La modélisation circuit est un outil puissant mais sa mise en œuvre en trois dimensions dans le cadre de la présente étude s'avère complexe. Des limitations ont été mises en avant dans l'approche bidimensionnelle et doivent être considérées au premier ordre pour obtenir des résultats fiables ;
- De plus, les transistors modélisés sous TCAD présentent tous des grilles longues pour éviter les effets de canal court. Or, dans les technologies actuelles, une grande majorité de composants présentent des grilles de quelques dizaines de nanomètres, où les effets de canal court doivent être pris en compte au moment de la conception des cellules de base. La prise en compte de ces effets est tout à fait envisageable mais complexifie considérablement l'analyse des phénomènes de couplage simulés.
- Les outils et méthodologies de simulation mis en place dans ce chapitre renseignent sur les ordres de grandeur et sur les tendances liées au phénomène de couplage.

Ces conclusions montrent bien que les modélisations et simulations associées sont de puissants outils de compréhension mais l'approche choisie comporte des limites quant à l'interprétation des résultats. Dans le cas présent, elles ont permis de comprendre l'influence des structures d'intégration 3D sur les performances des composants et des cellules logiques de base, ainsi que le rôle joué par les paramètres technologiques et conceptuel définis au paragraphe 2.3.1.5 sur le contrôle du couplage par le substrat.

Néanmoins, l'aspect bidimensionnel des modélisations est en lui-même limitant par le fait qu'il ne permet pas de prendre en compte le diamètre effectif du TSV, tout comme son positionnement réel par rapport au composant étudié. De plus, les simulations décrites précédemment ne prennent pas en compte les phénomènes thermomécaniques. Dès lors, il convient de mettre en place des cellules de test sur un véhicule technologique qui permettront, d'une part, de vérifier les phénomènes observés en simulation, et d'autre part, de définir précisément des règles de conception adaptées à une majorité de composants.

Chapitre 3

Conception de circuits de test tridimensionnels.

Table des matières

Chapitre 3	113
3.1. Définition de circuits de test dédiés à l'intégration 3D.....	116
3.1.1. Caractérisation du TSV	116
3.1.1.1. Résistance du TSV.....	116
3.1.1.2. Capacité du TSV	117
3.1.2. Impact des structures 3D sur les transistors MOS.....	119
3.1.2.1. Impact thermomécanique du TSV sur les transistors	119
3.1.2.2. Impact électrique du TSV sur les composants.....	120
3.1.2.3. Impact électrique du RDL sur les composants.....	120
3.1.3. Impact du TSV sur un oscillateur en anneau	121
3.1.3.1. Définition du circuit de test	121
3.1.3.2. Impact thermomécanique du TSV sur l'oscillateur en anneau	122
3.1.3.3. Impact électrique du TSV sur l'oscillateur en anneau.....	123
3.1.4. Caractérisation du délai intrinsèque du TSV.....	124
3.2. Conception logique : comment passer du 2D au 3D ?.....	125
3.2.1. Les différentes étapes de conception d'un circuit	125
3.2.1.1. Kit de conception	126
3.2.1.2. Flot de conception.....	127
3.2.2. Limitations des outils de conception pour l'intégration 3D	128
3.2.2.1. Kit de conception	128
3.2.2.2. Flot de conception.....	130
3.2.3. Quelle méthodologie pour la conception 3D ?	131
3.2.3.1. Circuit 3D homogène	131
3.2.3.2. Circuit 3D hétérogène.....	131
3.3. Implémentation sur démonstrateurs technologiques	132
3.3.1. Véhicule de test dédié à la moyenne densité.....	132
3.3.2. Véhicule de test dédié à la haute densité.....	135
3.4. Synthèse	137

3.1. Définition de circuits de test dédiés à l'intégration 3D

Les conclusions du chapitre 2 ont permis de comprendre les interactions électriques entre les structures propres aux intégrations tridimensionnelles et les composants actifs. Il a aussi été montré que cette approche uniquement basée sur des simulations numériques présente des limites non négligeables si l'on souhaite obtenir des résultats fiables et précis. La mise en place de véhicules de test spécifiques s'avère alors un passage obligé pour valider et affiner les modèles précédemment établis.

Avant de présenter la démarche adoptée pour la création des véhicules de test et des circuits associés, il est important de spécifier qu'il ne s'agit en aucun cas d'implémenter un véritable circuit numérique ULSI, comme un microprocesseur par exemple, sous une architecture 3D. L'objectif premier ici est de mettre en évidence certains phénomènes physiques et électriques qui ont été observés par simulation. Pour cela, il est important de garder en tête que plus un circuit est complexe, plus il est difficile d'analyser des variations de paramètres électriques, et encore moins d'en tirer des conclusions claires et tranchées. Pour cette raison, les circuits ou structures de test mis en œuvre dans ce chapitre, et qui serviront de base aux résultats du chapitre 4, ont volontairement été conçus de la manière la plus pertinente qui soit.

3.1.1. Caractérisation du TSV

Avant de caractériser le couplage par le substrat ou tout autre forme d'interactions entre le TSV et le composant, il est primordial de caractériser la structure 3D concernée. Il s'agit principalement de mesurer expérimentalement les propriétés électriques du TSV (*i.e.* sa résistance et sa capacité), ainsi que le rendement de fabrication sur des structures dites en chaîne. Les principes de base de ces structures de test sont détaillés ci-après.

3.1.1.1. Résistance du TSV

La mesure de la résistance du TSV est basée sur un motif bien connu en microélectronique, dit « via Kelvin ». Cette structure de test est couramment utilisée pour mesurer la résistance des via reliant les différents niveaux de métallisation dans le réseau BEOL. Ici, on propose une transposition de ce motif au cas du TSV, c'est-à-dire exécuter une mesure statique quatre pointes entre le RDL et le métal 1 (M1), comme illustré à la Figure 3.1.

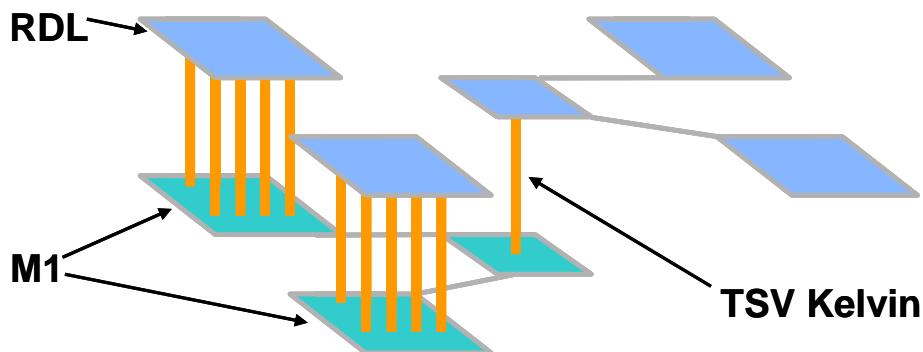


Figure 3.1. Motif Kelvin pour la mesure de résistance du TSV unitaire.

Le principe de la mesure consiste à appliquer un courant constant entre les deux niveaux métalliques (donc sur deux plots de test) et à mesurer la tension correspondante, toujours entre ces deux mêmes niveaux par deux plots différents. Ainsi, par application de la loi d'Ohm, la mesure statique de la résistance entre les points de mesure (*i.e.* uniquement le TSV) est directement effectuée par la relation entre la tension mesurée et le courant appliquée.

3.1.1.2. Capacité du TSV

La mesure de la capacité du TSV s'avère plus complexe à réaliser que celle de la résistance. En effet, aucun motif connu n'est applicable à ce cas d'étude. Une structure spécifique a donc été développée pour parvenir à une mesure aussi fiable que possible.

Une capacité se mesure aux bornes de deux électrodes placées en vis-à-vis. Dans le cas du TSV (qui constitue une des deux électrodes en soi), la seconde électrode doit être positionnée dans le silicium massif, de sorte à mesurer la capacité due à l'oxyde d'isolation du TSV. La principale difficulté a été de concevoir cette électrode de silicium. Etant donné qu'il n'est pas possible de contrôler précisément le potentiel du silicium sur une profondeur importante, la seule solution envisageable est de considérer une prise substrat sur une zone dopée localement, appelée « active ». Cette électrode de silicium est implémentée sous forme d'anneau tout autour du TSV, comme illustré à la Figure 3.2.

En théorie, la mesure de la capacité d'oxyde du TSV n'est valable que si le silicium se comporte comme un conducteur parfait. Dans la pratique, on cherchera à utiliser des substrats peu résistifs pour obtenir une valeur approchée de la capacité. Un moyen de vérifier que la résistance de silicium n'affecte pas significativement la mesure de capacité d'oxyde du TSV est de comparer les résultats de mesure provenant de structures dont la distance de séparation entre le TSV et la prise substrat, notée d , est variable. La mesure effectuée sur ce motif de test se fait à l'aide d'un capacimètre.

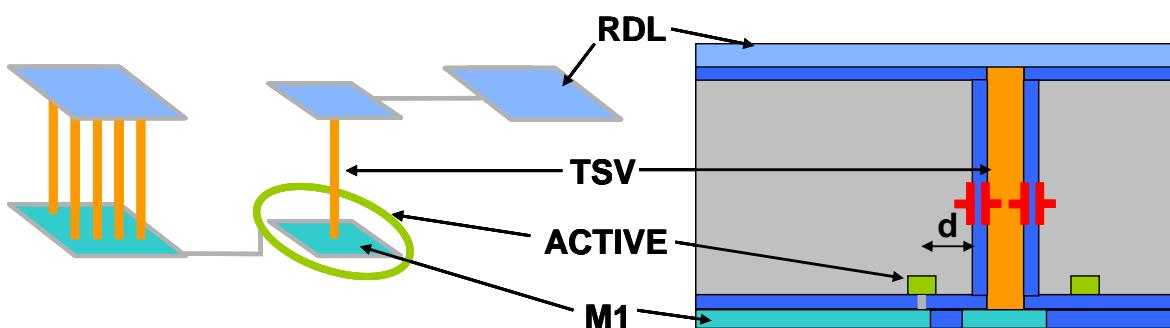


Figure 3.2. Motif dédié à la mesure de la capacité du TSV. Vue isométrique (gauche), vue en coupe (droite).

Selon la valeur approximée de la capacité, la mesure réalisée sur la structure décrite à la Figure 3.2, c'est-à-dire présentant un TSV unique comme électrode, peut s'avérer trop faible et être considéré comme un bruit lié aux défauts de mesure. Dans ce cas, il est nécessaire de mettre plusieurs TSV en parallèle, tous connectés au même potentiel, et chacun entouré par un anneau de prise substrat, comme illustré à la Figure 3.3. Les TSV sont disposés en matrice, interconnectés par un RDL commun. De manière similaire, tous les anneaux de prise substrat (*active*) sont interconnectés par le biais du métal 1.

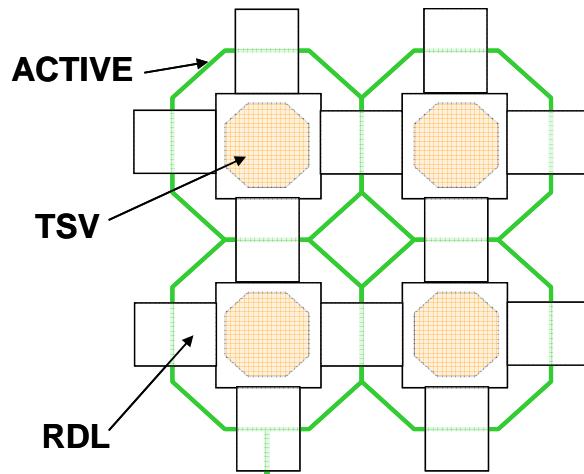


Figure 3.3. Schéma de principe de la mesure de capacité mutualisée. Vue de dessus.

Ces motifs de test s'avèrent également polyvalents en ce qui concerne les informations qu'ils peuvent fournir. Au-delà de la simple mesure de la capacité du TSV, ils permettent également de mesurer le courant de fuite issu du ou des TSV, dans le but de vérifier la qualité de l'isolation latérale. De plus leur conception permet également de réaliser une lecture directe du couplage par le substrat, en relevant le potentiel dynamique parasite mis en évidence dans le chapitre 2 par le biais de l'anneau de prise substrat.

3.1.2. Impact des structures 3D sur les transistors MOS

L'objectif de ces motifs de test est double. D'une part, nous cherchons à mettre en évidence l'influence thermomécanique du TSV sur le fonctionnement électrique des composants MOS, en jouant sur les effets d'éloignement du TSV par rapport aux zones actives, ainsi que sur l'orientation des grilles de transistor par rapport au TSV. D'autre part, nous visons à démontrer expérimentalement les phénomènes simulés au chapitre 2, à savoir l'influence du couplage dynamique sur les courants du transistor.

3.1.2.1. Impact thermomécanique du TSV sur les transistors

Comme explicité au chapitre 1, la présence de TSV à proximité des composants engendre un certain niveau de contraintes dans le silicium aminci et influence les performances électriques des transistors. L'objectif de ces structures de test est donc de comparer les caractéristiques électriques des composants avant et après leur intégration en configuration 3D. De plus, si l'impact thermomécanique du TSV n'est pas négligeable, il est primordial de définir des règles d'exclusion des composants par rapport au TSV perturbateur.

Dans cette optique, plusieurs transistors de dimensions similaires (même longueur - L - et même largeur - w - de grille) sont implantés à différentes distances du TSV, comme illustré à la Figure 3.4. De plus, les mêmes populations de composants sont reproduites aux mêmes distances mais en modifiant l'orientation de leur grille de 90°. Cette approche permet de mettre en évidence un possible rôle de l'orientation des transistors par rapport au TSV. En effet, les contraintes radiales et azimutales générées par le TSV sont hétérogènes, ce qui a pour effet d'impacter la mobilité des porteurs libres différemment. Enfin, on observe également le rôle de la dimension de la largeur de grille (w), la longueur de grille étant fixée à sa dimension minimale.

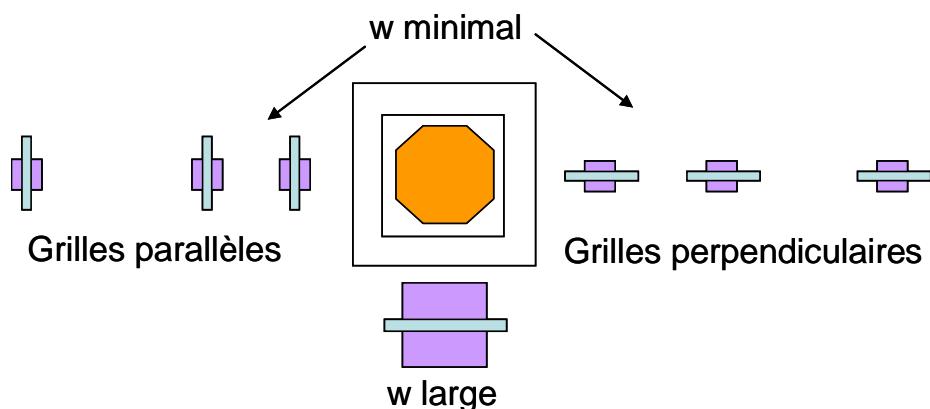


Figure 3.4. Exemple de configurations spatiales pour mesurer l'influence du TSV sur les composants unitaires.

3.1.2.2. Impact électrique du TSV sur les composants

La mesure de l'influence électrique du TSV sur les composants peut être reproduite sur les structures de la Figure 3.4 en connectant électriquement le TSV perturbateur à un plot de test extérieur pour permettre la polarisation du TSV, selon le même principe que celui exposé dans les simulations TCAD du chapitre 2. L'entrée du signal perturbateur appliquée sur le TSV est redressée par une série d'inverseurs de taille croissante. Cet amplificateur logique (appelée *buffer*) permet d'appliquer des créneaux de tension présentant des fronts de potentiels agressifs (de l'ordre de la dizaine de picosecondes).

3.1.2.3. Impact électrique du RDL sur les composants

De par sa localisation par rapport aux composants, l'impact thermomécanique du niveau de RDL est négligeable devant celui engendré par le TSV. Néanmoins, et au même titre que pour le TSV, nous avons vu au chapitre 2 que le RDL pouvait avoir une influence non négligeable sur les performances électriques des composants, selon l'épaisseur rémanente de silicium après amincissement, par effet de couplage capacitif. Le motif de test dédié à cette étude reprend le même principe que celui exposé au paragraphe 3.1.2.2. La ligne de RDL est connectée électriquement à un plot extérieur de telle sorte que des signaux parasites puissent être appliqués. Les caractéristiques électriques des composants sont ensuite mesurées pour différents signaux parasites appliqués sur le RDL. Là aussi, l'orientation des grilles des transistors est investiguée, selon le sens de circulation du courant dans la ligne de RDL. La Figure 3.5 illustre schématiquement le concept du motif de test.

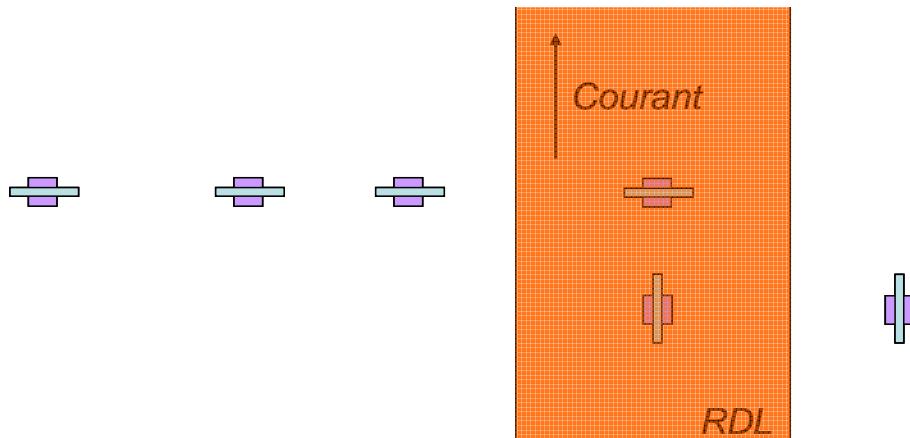


Figure 3.5. Exemple de configurations spatiales pour mesurer l'influence du RDL sur les composants unitaires.

3.1.3. Impact du TSV sur un oscillateur en anneau

A l'instar du chapitre 2, nous visons ici à caractériser l'impact thermomécanique et l'impact par couplage électrique engendré par le TSV sur un circuit logique simple. Il est effectivement intéressant de différencier l'influence que peut avoir le TSV sur les caractéristiques statiques d'un composant unitaire de son influence sur le fonctionnement dynamique d'un circuit logique.

3.1.3.1. Définition du circuit de test

Dans le cas de la présente étude, il est question de statuer sur les performances d'une technologie particulière. Pour cela, il est nécessaire de définir un circuit logique élémentaire qui soit à la fois simple d'un point de vue conceptuel et précis au niveau des informations délivrées. Le choix s'est donc porté sur un oscillateur en anneau, qui répond aux deux exigences précitées.

L'oscillateur en anneau est un circuit composé d'inverseurs implantés en chaîne, qui se rebouclent sur une unique porte NAND permettant de gérer à la fois l'entrée initiale du signal dans le circuit et la boucle du signal oscillant. Avec les rapidités des technologies CMOS actuelles, il est nécessaire d'implémenter un minimum d'inverseurs pour mesurer une fréquence réaliste. De plus, pour éviter de mesurer les harmoniques de l'oscillation propre au circuit, il est préférable de dimensionner l'oscillateur selon un nombre premier de portes. Pour ces raisons, il a été choisi de baser l'oscillateur en anneau sur 101 portes, soit cent inverseurs et une porte NAND. Le circuit est présenté à la Figure 3.6.

Il est à noter que les prises substrat, notées B sur la figure, sont indispensables au bon fonctionnement électrique du circuit. Elles permettent la mise à la masse du substrat et ne sont plus incluses d'office au sein des portes logiques définies dans les bibliothèques de conception des technologies avancées.

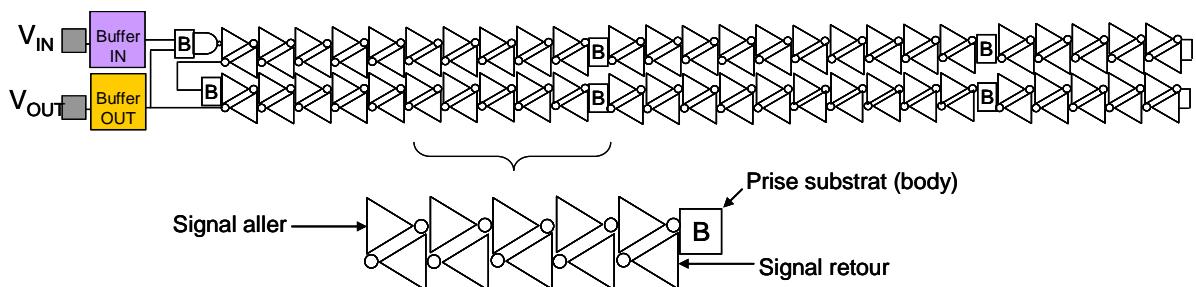


Figure 3.6. Oscillateur en anneau présentant 101 étages (100 inverseurs et 1 NAND).

Pour s'affranchir de tout problème inhérent aux mesures (déformation des signaux par les capacités des plots de test, fréquence d'oscillation en dehors des spécifications techniques du testeur, etc.), une circuiterie périphérique est nécessaire aux entrée et sortie du circuit. Ces blocs fonctionnels spécifiques ont une fonction première d'amplification (*buffer*). Ils sont détaillés à la Figure 3.7. Le *buffer* d'entrée (IN) est une simple suite d'inverseurs de taille croissante (comme décrit au paragraphe 3.1.2.2) dont le rôle est de restituer le signal d'entrée après passage par les plots de test (et par conséquent un « lissage » du signal causé par la forte capacité du plot).

Le *buffer* de sortie (OUT) comprend un nombre n de diviseurs de fréquence (bascules) implantés en série qui permet d'abaisser la fréquence d'oscillation brute f_{osc} du circuit à des niveaux détectables par la plupart des machines de test. La fréquence f_{sortie} obtenue en sortie des bascules est définie par l'équation 3.1.

$$f_{sortie} = \frac{f_{osc}}{2^n} \quad (\text{Eq. 3.1})$$

Le signal divisé est ensuite amplifié par une série d'inverseurs de taille croissante (identique au *buffer* d'entrée) pour charger convenablement la capacité du plot de sortie.

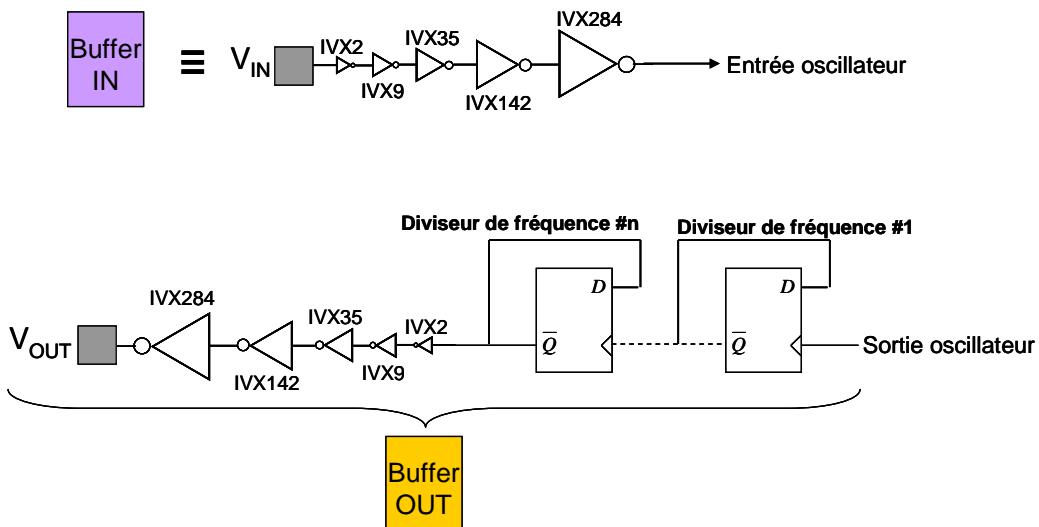


Figure 3.7. Détail des buffers d'entrée IN (haut) et de sortie OUT (bas) nécessaires pour la mesure de la fréquence d'oscillation.

3.1.3.2. Impact thermomécanique du TSV sur l'oscillateur en anneau

Le principe de ce circuit de test est identique à celui développé pour les composants unitaires au paragraphe 3.1.2.1. Il s'agit de mesurer les performances électriques du circuit défini précédemment avant et après intégration 3D pour permettre leur comparaison directe et statuer sur l'impact des procédés liés à l'architecture 3D. Dans cette optique, on place un oscillateur en anneau rectiligne (comme celui défini précédemment) en vis-à-vis d'un ou de plusieurs TSV (selon leur diamètre) à différentes distances de celui-ci (ceux-ci). Un premier test de référence est réalisé avant intégration 3D pour connaître les performances en fonctionnement normal des oscillateurs. Il est à noter que tous les oscillateurs en anneau sont rigoureusement identiques entre eux de telle sorte à permettre la comparaison directe de leurs performances. De plus, aucun signal perturbateur n'est appliqué sur les TSV. Le principe du motif de test est décrit à la Figure 3.8. En comparant les caractéristiques de chaque oscillateur, l'éloignement du TSV (et donc implicitement la règle de conception associée) est investiguée et rend compte de l'influence des contraintes thermomécaniques générées par les TSV sur un circuit logique.

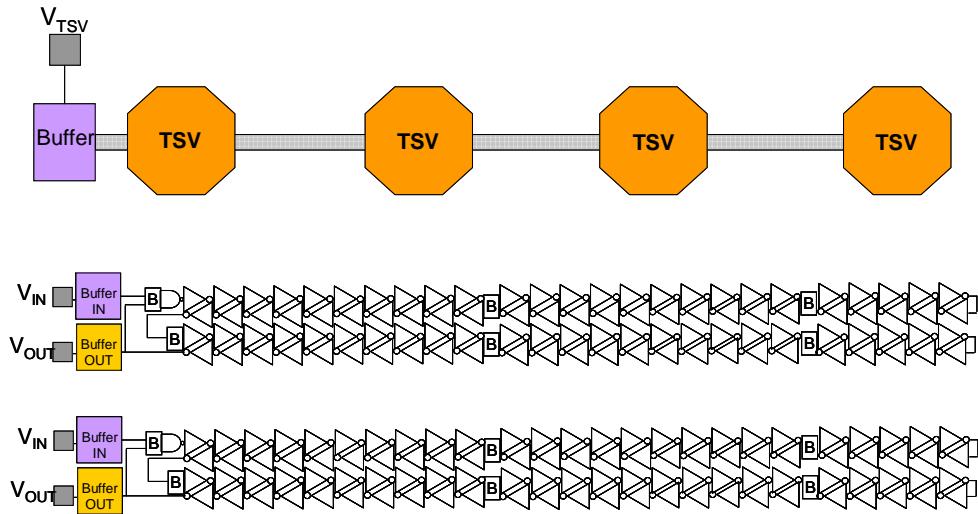


Figure 3.8. Exemple de configurations spatiales pour mesurer l'influence électrique des TSV sur les oscillateurs en anneau, en fonction de leur éloignement.

3.1.3.3. Impact électrique du TSV sur l'oscillateur en anneau

En reprenant le motif de test décrit à la Figure 3.8, une connexion électrique est routée sur le ou les TSV interconnectés, passant par un étage de *buffer*. Cette connexion permet d'appliquer un même signal perturbateur simultanément sur l'ensemble des TSV et ainsi, de perturber les oscillateurs de manière uniforme sur toute leur longueur. De la même manière que précédemment, l'influence électrique des TSV est mise en évidence, en surplus de l'impact thermomécanique déjà caractérisé. Le signal perturbateur passant par un *buffer* d'entrée, le front du signal ainsi que son amplitude sont définis par la taille du *buffer*. Il est intéressant d'évaluer l'effet de la fréquence du signal perturbateur sur le fonctionnement de l'oscillateur.

3.1.4. Caractérisation du délai intrinsèque du TSV

Une alternative de conception aux oscillateurs en anneau planaires (2D) décrits ci avant est de considérer le même nombre de portes regroupées par groupes de dix. Chacun des groupes d'inverseurs est interconnecté aux groupes adjacents par deux TSV et une ligne de RDL, comme illustré à la Figure 3.9. Nous appelons ce type de circuit des oscillateurs 2,5D car, sans exploiter pleinement la troisième dimension en connectant, par exemple, deux niveaux physiques distincts d'inverseurs, ils utilisent le niveau de RDL, et par conséquent des TSV, au sein même de leur conception.

L'objectif de ce circuit est de comparer le délai intrinsèque de ce type d'oscillateur avec celui de son homologue 2D qui présente le même nombre de portes. Ainsi, connaissant le nombre de TSV implémentés dans le circuit, il est possible de remonter au délai intrinsèque d'un TSV. Celui-ci étant équivalent, au premier ordre, au produit RC du TSV, nous cherchons à caractériser la capacité d'un via traversant par traitement du délai. Notons que sa résistance est mesurée de manière précise par le motif Kelvin présenté au paragraphe 3.1.1.1. Par cette approche temporelle, il est alors possible de comparer la valeur de capacité du TSV à celle mesurée par le motif de test présenté au paragraphe 3.1.1.2.

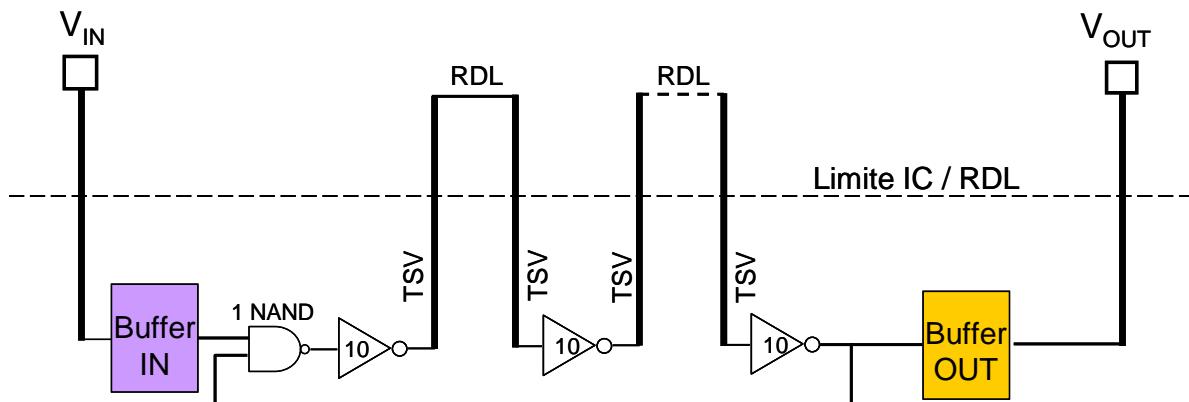


Figure 3.9. Oscillateur en anneau chargé par des TSV (dit « 2,5D »).

Nous venons d'exposer les principaux circuits et motifs de test développés dans le cadre de cette thèse. A partir de cette première étape, la phase de conception se poursuit par leur implantation physique sur circuit. Cette étape est communément appelée *layout* et doit être réalisée sur un environnement informatique initialement conçu pour des circuits planaires. Nous allons voir dans le sous chapitre suivant quelle méthodologie de conception a été adoptée pour parvenir à implémenter ces circuits 3D à partir d'outils conçus uniquement pour la conception de circuits planaires.

3.2. Conception logique : comment passer du 2D au 3D ?

Dans sa globalité, la phase de conception d'un circuit intégré suit un cheminement complexe où de nombreuses étapes se succèdent pour créer *in fine* un design reflétant les spécifications initiales du circuit, tout en respectant les nombreuses règles de dessin inhérentes à chaque technologie. Dans le contexte actuel, il n'existe pas ce genre de règles adaptées aux circuits 3D, tout comme il n'existe pas non plus d'outils de conception spécifiquement conçus pour ces architectures. La question - légitime au demeurant - qui se pose alors est la suivante : Comment faire pour implémenter correctement les circuits de test précédemment décrits au sous chapitre 3.1 ?

Ce sous chapitre traite de la problématique de passer d'une conception classique en deux dimensions à une conception utilisant la verticalité, tout en conservant les outils actuels. Ce dernier point revête une importance certaine car, dans le cadre de ce travail de doctorat, il n'est aucunement question de développer des outils de conception spécifiques aux architectures 3D. D'une part, cet objectif échoue aux concepteurs d'outils CAD¹, d'autre part, la problématique en présence atteint un niveau de complexité tel qu'elle soulève des questions de fond quant aux fondements mêmes de la méthodologie habituellement utilisée pour concevoir des circuits en microélectronique [McIlrath09]. L'approche de conception développée ci-après se base donc sur l'utilisation d'une plateforme de conception classique.

Pour bien comprendre de quoi il retourne, un statut sur les étapes de conception d'un circuit planaire est proposé, de manière à comprendre l'ensemble du processus. Ensuite, les différents points bloquants pour la conception 3D sont détaillés et une méthodologie est proposée pour outrepasser ces limites conceptuelles. Ces différents points ont été développés en collaboration avec Gérald Cibrario².

3.2.1. Les différentes étapes de conception d'un circuit

L'objectif de cette section n'est pas de dresser un tableau exhaustif de toutes les étapes de conception mais d'en comprendre le fonctionnement. Le lecteur désireux de parfaire ses connaissances en conception pourra se tourner vers un ouvrage de référence dans ce domaine [Clein00].

La Figure 3.10 propose une représentation schématique d'un flot de conception générique (carré central jaune), dit « *Full Custom* », sous environnement de travail Cadence® [CADENCE]. Il est également spécifié l'ensemble des entrées nécessaires à sa complétion (zone périphérique bleue). Toutes ces entrées sont regroupées dans ce qui est appelé un kit de conception (*Design Kit*).

¹ CAD : Computer-Aided Design.

² Gérald Cibrario est ingénieur au sein du laboratoire « Layout, Masques et Environnement CAO » au LETI.

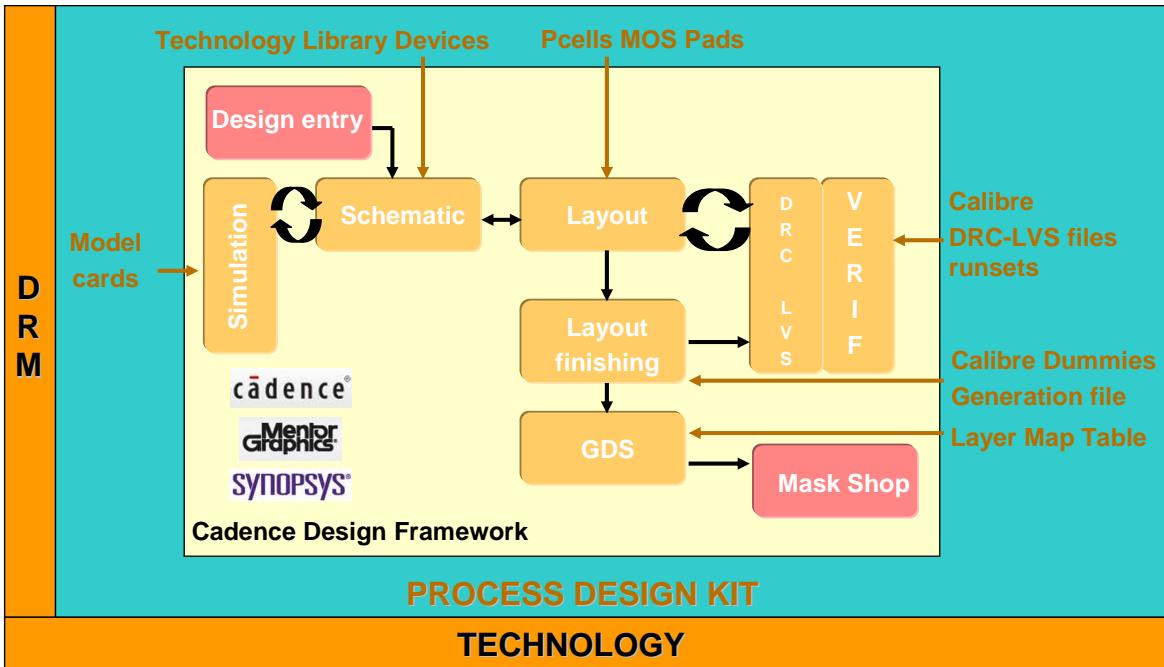


Figure 3.10. Flot de conception sous environnement de travail Cadence®.

3.2.1.1. Kit de conception

Lorsqu'une technologie est développée, des règles de dessin spécifiques à chaque type de composants, chaque matériau, etc., sont définies dans l'objectif de concevoir des circuits aussi robustes et rapides que possible. Ces règles de dessin sont regroupées dans un document appelé DRM (pour *Design Rules Manual*). Le DRM contient toutes les informations de référence pour l'ensemble des outils de conception. A titre d'exemple, nous pouvons citer les paramètres les plus courants tels que la largeur de grille des transistors ou la largeur des lignes de métal, notée *w* (pour *width*), ou l'espacement entre deux lignes de métal sur un même niveau, noté *s* (pour *space*), etc. A partir des règles de conception, plusieurs modules sont développés au sein du kit de conception. A titre d'exemple, on pourra citer les plus importants :

- les librairies technologiques (*Technology Library Devices*), qui comprennent l'ensemble des composants définis pour une technologie ;
- les cartes de modèles (*Model cards*), qui regroupent le comportement électrique (sous langage SPICE) desdits composants ;
- les fichiers de DRC (*Design Rules Checking*), qui permettent de vérifier si les règles issues du DRM ont été correctement appliquées sur le circuit implémenté ;
- les fichiers de LVS (*Layout Versus Schematic*), qui vérifient la correspondance électrique entre la conception symbolique (*schematic*) et l'implémentation physique (*layout*) ;
- les fichiers de génération de dummies (*Dummies Generation Files*), qui permettent de générer des formes inertes (appelées *dummies*) servant à remplir les zones vides pour chaque niveau physique. L'objectif de cette étape est d'uniformiser autant que possible l'ensemble des dépôts, spécifiquement dans les zones vides, de telle manière à obtenir un procédé le plus fiable qui soit.
- les librairies I/O (*pads*) contenant les éléments d'entrée et de sortie d'un circuit.

3.2.1.2. Flot de conception

Le flot de conception est l'enchaînement d'étapes décrit à la Figure 3.10, en partant des spécifications de conception (*Design Entry*) jusqu'à la création des fichiers GDS³ destinés à la centrale de masques (*Mask Shop*).

Dans un premier temps, il s'agit de créer un environnement de conception propre aux spécifications du circuit souhaité. Cette première étape consiste à décrire le comportement du circuit par une symbolisation de celui-ci. Cette description est communément appelée schématique. Une fois cette étape réalisée, des simulations électriques sous langage SPICE permettent de vérifier les fonctionnalités du circuit. Ces simulations se basent sur les cartes de modèles.

La seconde étape consiste à implémenter physiquement la description symbolique réalisée préalablement. Cette phase est connue sous l'appellation *layout*. Il s'agit de dessiner l'ensemble des portes logiques et tout autre élément nécessaire au circuit sous forme de polygones décrivant les différentes parties constitutives du circuit. Au cours de cette étape, les règles de dessin sont vérifiées lors de l'étape de DRC. Si la vérification ne débouche sur aucune erreur, on procède alors à la comparaison du circuit physique (sous forme de *layout*) avec la vue schématique précédemment établie : c'est l'étape de LVS. Cette comparaison permet de s'assurer que l'implémentation physique reproduit bien le comportement électrique souhaité. Le principe de la comparaison est double : en premier lieu, il s'agit d'extraire les paramètres physiques des composants dessinés ; en second lieu, de vérifier les connectiques entre les portes et avec les plots d'entrée et sortie.

Après ces vérifications, il est fortement recommandé de générer des structures géométriques en métal, appelées *dummies*, dans les zones où les densités de matériaux sont insuffisantes. Cette étape se révèle d'une importance certaine depuis que les procédés technologiques sont mieux reproductibles et conformes sur des zones relativement uniformisées en termes de métallisation et de matières isolantes, c'est-à-dire présentant une densité de métal minimale.

Enfin, la dernière étape consiste à établir la transcription du circuit défini sous format GDS pour l'envoi au fabricant de masques.

³ GDS : (Graphic Data System). Il s'agit du format de fichier communément utilisé en microélectronique pour exporter des circuits intégrés sous forme binaire. Ce format peut être compris par tous les acteurs de la fabrication d'un circuit, ce qui le rend universel.

3.2.2. Limitations des outils de conception pour l'intégration 3D

Nous venons de voir les principales étapes de la conception d'un circuit classique, basé sur une architecture planaire. L'intégration 3D implique des considérations sensiblement différentes qui n'ont pas leur place dans les outils de conception actuels. Cette section propose de faire le statut de ces limitations.

3.2.2.1. Kit de conception

Les structures propres à l'architecture 3D, telles que les TSV, le RDL, les plots de connexion au substrat de packaging en face arrière, etc., correspondent à des niveaux physiques supplémentaires comparés à ceux déjà existants pour la composition du FEOL et du BEOL. Pour les implémenter physiquement dans le circuit, chacun de ces niveaux doit être défini et clairement déclaré dans la liste des couches utilisées (*layers*) pour le *layout*.

Ensuite, comme pour une couche standard, chaque nouvelle couche répond à un certain nombre de règles de conception. La principale difficulté dans le cas présent est de ne pas avoir de règles de dessin clairement identifiées pour chacun des niveaux spécifiques aux architectures 3D. Par conséquent, le DRM est incomplet et ne peut convenir en l'état pour l'étape de DRC. La Figure 3.11 et la Table 3.1 présentent les règles de dessin relatives au TSV haute densité et les valeurs minimales associées qui sont intégrées au DRM existant. Les valeurs présentées ici tiennent compte à la fois des règles existantes pour la technologie CMOS considérée, des résultats issus des modélisations du chapitre 2 concernant l'interaction entre TSV et transistors, ainsi que des contraintes imposées par les procédés technologiques spécifiquement mis en œuvre. De manière similaire, la Figure 3.12 et la Table 3.2 présentent les règles de dessin définies pour le TSV moyenne densité et les valeurs minimales associées.

Enfin, les connectiques inhérentes aux nouveaux niveaux définis (TSV, RDL, etc.) sont inconnues pour le DRM, ce qui bloque l'étape de LVS. Il est donc nécessaire de procéder là aussi à une mise à jour des nouvelles connectiques.

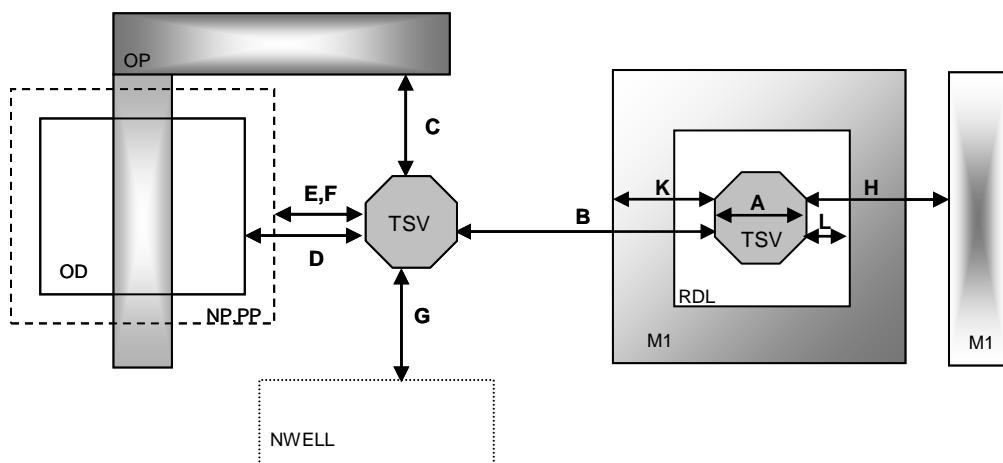


Figure 3.11. Définition des règles de conception dédiées au niveau physique du TSV haute densité.

Table 3.1. Liste des règles de conception décrites à la Figure 3.11 pour le TSV haute densité et valeurs minimales associées.

TSV haute densité		
Règle		Valeur (μm)
Largeur (<i>width</i>)	A	4.0
Espacement (<i>space</i>)	B	6.0
Espacement entre TSV et PO (polysilicium)	C	2.2
Espacement entre TSV et OD (zone active)	D	2.26
Espacement entre TSV et PP (caisson de dopage P)	E	2.13
Espacement entre TSV et NP (caisson de dopage N)	F	2.13
Espacement entre TSV et NWELL (caisson profond dopé N)	G	2.47
Espacement entre TSV et M1 (métal 1)	H	2.1
Encerclement du TSV par M1 (<i>enclosure M1</i>)	K	2.0
Encerclement du TSV par RDL (<i>enclosure RDL</i>)	L	0.5

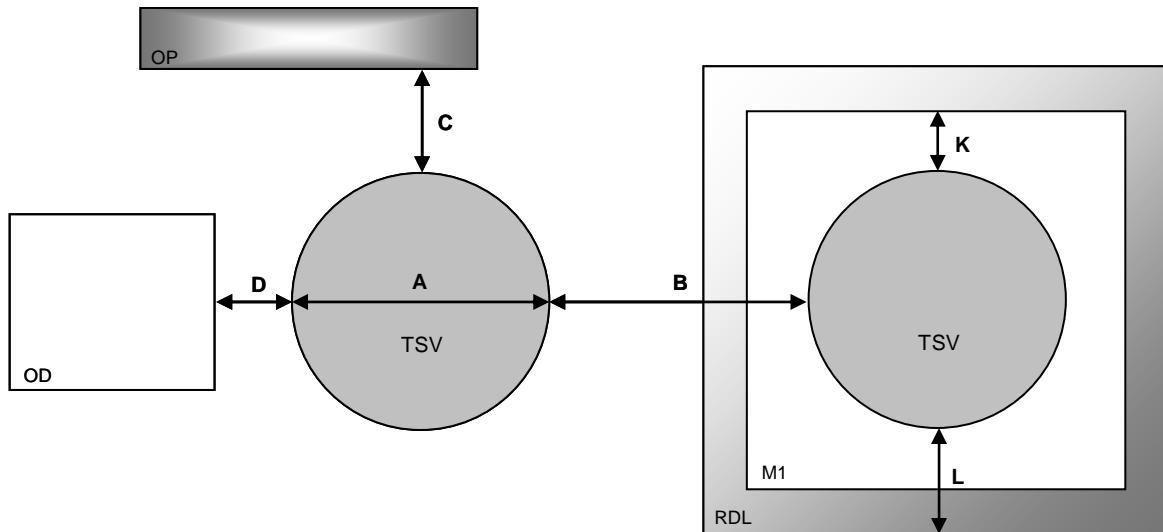


Figure 3.12. Définition des règles de conception dédiées au niveau physique du TSV moyenne densité.

Table 3.2. Liste des règles de conception décrites à la Figure 3.12 pour le TSV moyenne densité et valeurs minimales associées.

TSV moyenne densité		
Règle		Valeur (μm)
Largeur (<i>width</i>)	A	60.0
Espacement (<i>space</i>)	B	60.0
Espacement entre TSV et PO (polysilicium)	C	5.0
Espacement entre TSV et OD (zone active)	D	5.0
Encerclement du TSV par M1 (<i>enclosure M1</i>)	K	5.0
Encerclement du TSV par RDL (<i>enclosure RDL</i>)	L	20.0

3.2.2.2. Flot de conception

Concernant le flot de conception, l'utilisation des outils CAD ne permet pas la conception de circuits 3D sans ajustements conséquents. Quand un circuit est conçu sous environnement Cadence®, toutes les couches du circuit sont gérées comme un ensemble unitaire qui est symbolisé par le kit de conception. Ainsi, on utilise un seul kit de conception relatif à une seule technologie pour concevoir un circuit donné. Dans le cadre de l'intégration 3D, et plus particulièrement en haute densité (où les blocs logiques des différents niveaux de circuits sont conçus comme une seule et même fonction électrique), l'implémentation physique des sous circuits constituant le circuit 3D global se fait dans une seule et même étape de *layout*. De plus, l'orientation des sous circuits au sein de l'empilement 3D, comme décrite au paragraphe 1.2.5.2., est un paramètre qui prend tout son sens lors de cette phase de conception. L'environnement de travail doit alors gérer en même temps une multiplication des couches ainsi qu'un critère d'orientation des sous circuits. Deux cas s'offrent alors :

- S'il s'agit d'un **circuit 3D homogène**, c'est-à-dire impliquant une seule technologie à chaque étage du circuit 3D, une seul kit de conception (relatif à la technologie en question) est nécessaire, mais l'environnement de travail devra gérer simultanément le nombre de couches initiales prévues pour un circuit planaire multiplié par le nombre de sous circuits constituant le circuit 3D global. Ainsi, on soulève un paradoxe nouveau dans le domaine conceptuel, à savoir devoir gérer des couches similaires (*i.e.* ayant la même appellation, donc étant considérées sur un même circuit physique) implémentées sur des sous circuits physiques distincts. De plus, l'orientation des sous circuits doit être pris en compte dès que possible, puisque ce critère implique de réaliser un retournement à 180° sur un des sous circuits si l'empilement choisi est face à face.
- S'il s'agit d'un **circuit 3D hétérogène**, c'est-à-dire impliquant plusieurs technologies différentes, la conception peut être extrêmement complexifiée. Il faut alors gérer simultanément autant de kits de conception au sein d'un même environnement de travail, ce qui n'est pas encore envisageable à l'heure actuelle sur les plateformes de conception. Une approche moins complexe – mais offrant aussi moins de possibilités en conception – est de diviser la conception du circuit 3D en sous circuits dont chaque fonctionnalité est indépendante les unes des autres. Les connexions inter-strates ne concernent bien souvent que les signaux globaux (alimentation, masse, I/O), tout comme les connexions intra-strates (par TSV). Pour rappel, le lecteur pourra se référer aux paragraphes 1.2.5.6. et 1.2.5.7. L'ensemble de ces connexions est alors réalisé *a posteriori*, une fois que tous les sous circuits sont implantés et vérifiés de manière indépendante.

Dans le cas présent, les approches simplifiées ont été privilégiées, à savoir l'utilisation d'un kit de conception unique dans le cadre d'un circuit 3D homogène, et la conception par sous circuits indépendants dans le cadre d'un circuit 3D hétérogène.

3.2.3. Quelle méthodologie pour la conception 3D ?

Dans le cadre du projet affilié au doctorat, il a été décidé de développer en parallèle deux véhicules de test utilisant deux architectures 3D distinctes, l'une basée sur la moyenne densité (3D-WLP), l'autre sur la haute densité (3D-IC). De par leurs définitions établies au chapitre 1 (section 1.2.3.), la moyenne densité est associée à une architecture 3D hétérogène, puisqu'elle permet d'interconnecter les I/Os de deux circuits indépendants, alors que la haute densité se rapproche plus d'une architecture 3D homogène qui interconnecte différents blocs fonctionnels sur plusieurs niveaux physiques. Dans cette section, nous abordons succinctement les deux méthodologies de conception relatives aux deux types d'architectures 3D.

3.2.3.1. Circuit 3D homogène

L'ensemble des problèmes présentés à la section 3.2.2 pour un circuit 3D homogène est adressé par une méthodologie développée en interne au LETI. La démarche de conception est détaillée intégralement en annexe A et est applicable à un circuit 3D construit sur la base de deux sous circuits utilisant le même kit de conception (ici, la technologie CMOS 65 nm) couplé à une technologie 3D haute densité. Dans notre approche, les deux circuits superposés sont orientés face-à-face, impliquant de réaliser un effet miroir sur un des deux sous circuits lors de la réalisation du *layout*.

La méthodologie de conception 3D homogène mise en place ici permet d'utiliser les outils de conception actuels pour concevoir des circuits 3D simples (*i.e.* dont la complexité est peu élevée).

3.2.3.2. Circuit 3D hétérogène

Comme expliqué au paragraphe 3.2.2.2, le flot de conception adapté à la 3D hétérogène peut être envisagé sous deux concepts différents. Dans le cas présent, seul l'approche de conception par sous circuits est étudiée, pour des raisons évidentes de moindre coût et de simplicité.

Deux circuits indépendants, utilisant deux kits de conception distincts, sont conçus séparément. La phase de connectique, typiquement la phase de conception 3D, consiste à dessiner les couches relatives aux structures propres à l'architecture 3D-WLP (TSV, RDL, niveaux de bumps, etc.) sur le sous circuit le plus pertinent pour accueillir ces structures. Bien que les niveaux relatifs au circuit (niveaux FEOL et BEOL) et les niveaux 3D soient implantés des deux côtés du substrat de silicium, donc en orientation opposée, l'ensemble est dessiné dans une seule et même orientation. Lorsque toute la phase d'implémentation physique est terminée, l'ensemble des niveaux 3D subit un retournement de 180° (effet miroir) et les fichiers GDS associés partent à la centrale de masques tels quels. Ainsi, au moment de l'intégration 3D du circuit, les procédés associés à ces niveaux spécifiques seront réalisés en face arrière, c'est-à-dire dans une orientation opposée au circuit CMOS, sur des masques symétrisés, ce qui permettra de retrouver exactement le circuit complet dessiné à l'origine.

3.3. Implémentation sur démonstrateurs technologiques

Ce dernier sous chapitre présente une vue d'ensemble des deux démonstrateurs technologiques développés au cours de cette thèse. La première section concerne l'intégration 3D moyenne densité, avec un démonstrateur technologique hétérogène comportant deux circuits actifs empilés [Cheramy09]. La seconde section décrit le démonstrateur 3D haute densité comme étant un véhicule de test pour l'étude des phénomènes de couplage et la caractérisation des structures inhérentes à ce type d'architecture 3D.

Les motifs de test présentés au sous chapitre 3.1 sont des descriptions génériques des cellules réellement implémentées sur les démonstrateurs. Ils ont été adaptés pour être compatibles avec les deux intégrations 3D définies en fonction des spécificités des technologies CMOS employées.

3.3.1. Véhicule de test dédié à la moyenne densité

Ce premier véhicule de test, entièrement dédié à la moyenne densité, a pour but premier la démonstration technologique d'un décodeur numérique (« *set-top box* ») par report d'un circuit logique conçu sur une technologie avancée (ici, le CMOS 45 nm - STMicroelectronics) sur un circuit basé sur une technologie mature (CMOS 130 nm - STMicroelectronics). L'intégration 3D choisie correspond à un empilement puce sur plaque (*Die-to-Wafer*) avec orientation face-à-face.

Les connexions inter-strates se font par soudure cuivre (procédé à base de SnAgCu, voir § 1.2.5.6). Le report des contacts vers le substrat de packaging se fait par utilisation de la technologie 3D-WLP implantée sur la puce 130 nm. Un niveau de RDL en cuivre est ensuite déposé en face arrière de la puce 130 nm de telle manière à router et connecter les TSV aux *bumps*⁴ de redistribution, ces derniers ayant pour fonction de connecter le substrat de packaging. Les TSV moyenne densité présentent un diamètre moyen de 60 µm pour une profondeur d'environ 120 µm, soit un facteur de forme de 1:2. La Figure 3.13 illustre le principe du véhicule par un schéma en coupe ainsi que des photographies optiques du démonstrateur réalisé [Bonnot09, Cheramy09].

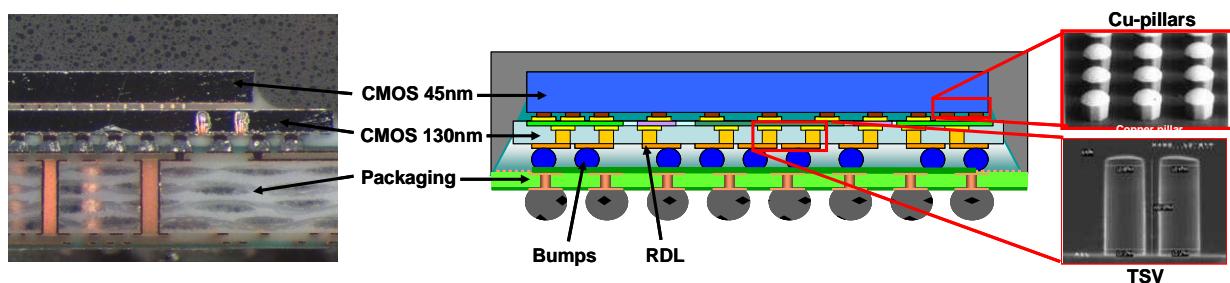


Figure 3.13. Démonstrateur technologique d'intégration 3D moyenne densité avec circuits actifs.

⁴ Bumps : billes métalliques déposées sur un circuit pour connecter celui-ci au substrat de packaging.

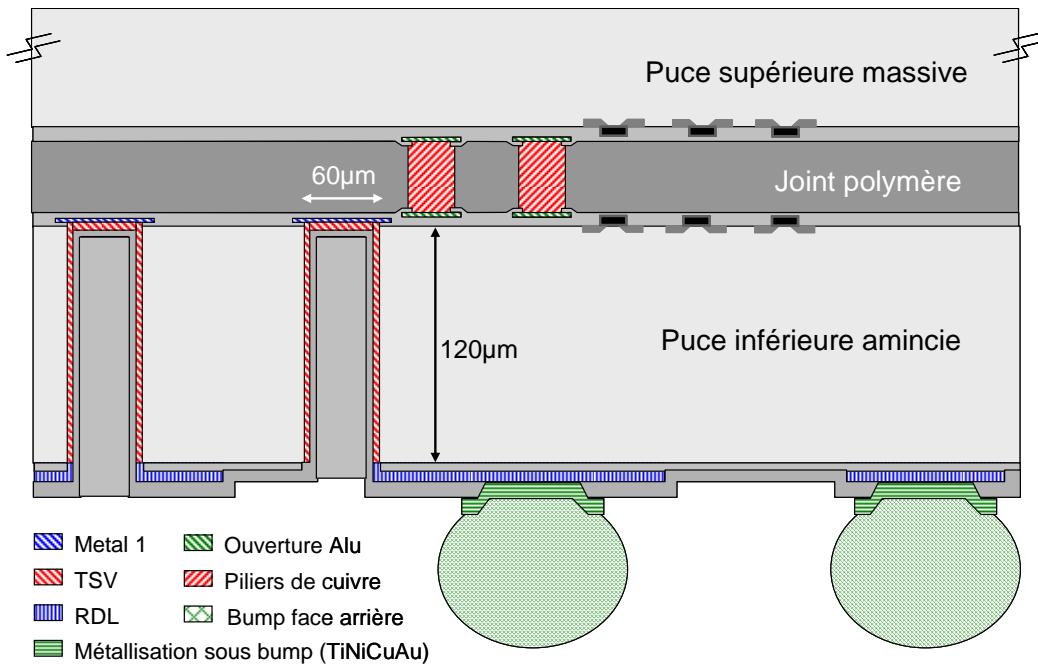


Figure 3.14. Vue schématique en coupe du démonstrateur technologique 3D moyenne densité.

Une description de l'empilement technologique propre aux deux circuits actifs est proposée à la Figure 3.14. Le TSV est laissé évidé, seul ses flancs sont recouverts de cuivre.

La finalité applicative de ce démonstrateur complet est le décodage numérique sous architecture 3D. Parallèlement à cet objectif, un quart de champ est réservé à l'étude des phénomènes de couplage dans la puce concernée par l'intégration 3D-WLP, *i.e.* celle réalisée en technologie 130 nm, ainsi qu'à la caractérisation des propriétés électriques des TSV. Cette puce a été conçue dans le cadre de ce travail de doctorat et est visible sur la Figure 3.15 (partie gauche). La vue masque (*layout*) correspondante figure sur la partie droite, avec les dimensions réelles de la puce d'étude, soit une surface totale d'environ 32 mm².

Trois familles de cellules de test sont implémentées sur le démonstrateur selon la répartition surfacique suivante :

- **Caractérisation électrique du TSV** (résistance, capacité, courant de fuite) répartie sur 10 % de la surface globale.
- **Caractérisation du couplage électrique par le substrat** (intensité du couplage, impact sur les transistors) répartie sur 40 % de la surface globale.
- **Fiabilité** : électromigration sur le niveau RDL et métal 1, ainsi que sur les niveaux *bump* (face arrière) et piliers de cuivre (face avant). Ces cellules de fiabilité ne sont pas étudiées dans ce manuscrit.

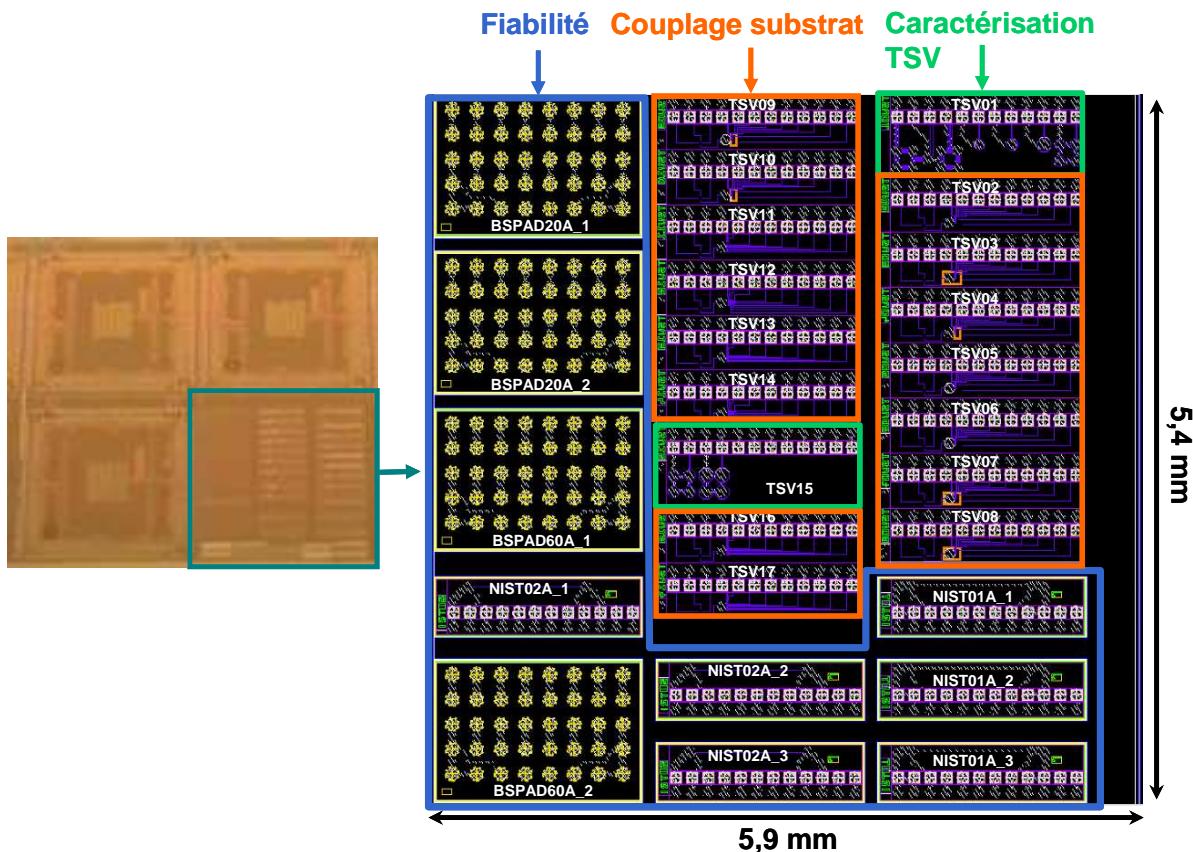


Figure 3.15. Vue optique du démonstrateur 3D moyenne densité (gauche) avec zoom sur la partie masque de la puce d'étude (droite). Les trois puces identiques visibles sur la photographie optique correspondent au démonstrateur complet décrit à la Figure 3.13.

Dans le temps imparti pour ce travail de doctorat, ce démonstrateur fût achevé avec succès en début d'année 2009. Les résultats expérimentaux présentés au chapitre 4 sont issus de cette intégration 3D.

3.3.2. Véhicule de test dédié à la haute densité

En parallèle à la conception du démonstrateur moyenne densité est mis en œuvre un véhicule de test spécialement dédié à l'étude de la haute densité. Pour résoudre la problématique de la 3D haute densité comme exposée au chapitre 1 (§ 1.2.3.3), l'objectif est d'atteindre une certaine densité d'interconnexions 3D (typiquement supérieure à $10\,000 \text{ TSV/mm}^2$) pour être capable de connecter des blocs fonctionnels situés sur deux niveaux distincts, tout en présentant des caractéristiques électriques meilleures que les lignes d'interconnexions BEOL globales (notamment en terme de délai de propagation).

Le cas d'étude exposé ici n'est pas un circuit 3D au sens où les références suivantes l'entendent [Morrow06, Olmen08, Koester08], c'est-à-dire une intégration 3D comportant deux circuits actifs empilés. Ici, seul le niveau supérieur est actif, c'est-à-dire contenant les parties logiques, le niveau inférieur étant laissé passif et servant principalement en tant que support physique pour le collage face-à-face de la puce supérieure. L'objectif de ce véhicule de test est d'étudier les phénomènes décrits au chapitre 2. En partant de ce postulat architectural, la méthodologie de conception développée pour l'intégration 3D moyenne densité peut également être appliquée à ce cas précis.

L'architecture d'intégration 3D choisie est similaire au démonstrateur moyenne densité, *i.e.* puce sur plaque. Les TSV présentent une forme octogonale, un diamètre moyen de $4\,\mu\text{m}$ pour une profondeur d'environ $15\,\mu\text{m}$, et connectent le niveau de RDL en face arrière au niveau de métal 1 de la puce supérieure. La Figure 3.16 illustre le principe schématique du démonstrateur.

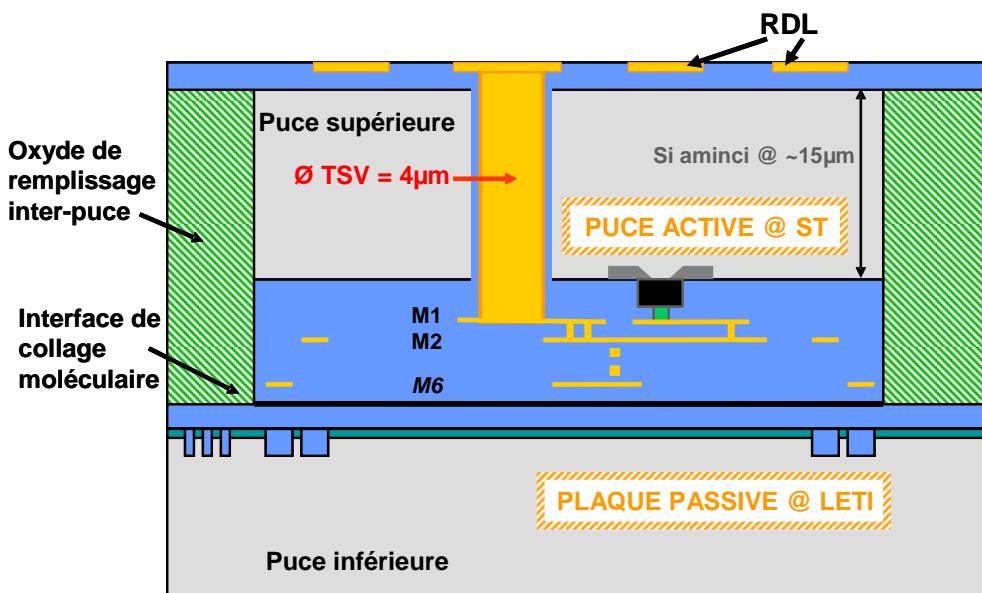


Figure 3.16. Vue schématique en coupe du démonstrateur technologique 3D haute densité.

Enfin, la Figure 3.17 correspond à la vue masque de la puce active avec les dimensions extérieures indiquées en périphérie. La superficie globale du circuit représente $27\,\text{mm}^2$. On remarquera l'emplacement des six grandes familles de structures de test (fiabilité, caractérisation RF, caractérisation TSV, couplage substrat, couplage composant et couplage circuit) dont les surfaces occupées sont réparties comme suit :

- **Caractérisation électrique du TSV** (résistance, capacité, courant de fuite) répartie sur 11 % de la surface globale.
- **Caractérisation du couplage électrique par le substrat** (intensité du couplage, impact sur les transistors) répartie sur 11 % de la surface globale.
- **Couplage composant** (évaluation de l'impact du couplage par le substrat sur les composants unitaires - N et P) réparti sur 15 %.
- **Couplage circuit** (évaluation de l'impact du couplage par le substrat sur l'oscillateur en anneau) réparti sur 11 %.
- **Caractérisation RF** (effet de peau, validation du modèle électrique du TSV, comportement en RF, etc.) répartie sur 16 %.
- **Fiabilité** : électromigration sur le niveau RDL et métal 1, ainsi que sur les niveaux *bump* (face arrière) et piliers de cuivre (face avant). Ces cellules de fiabilité ne sont pas étudiées dans ce manuscrit.

Au moment de la rédaction du manuscrit, le démonstrateur technologique n'était pas encore disponible pour la phase de test électrique.

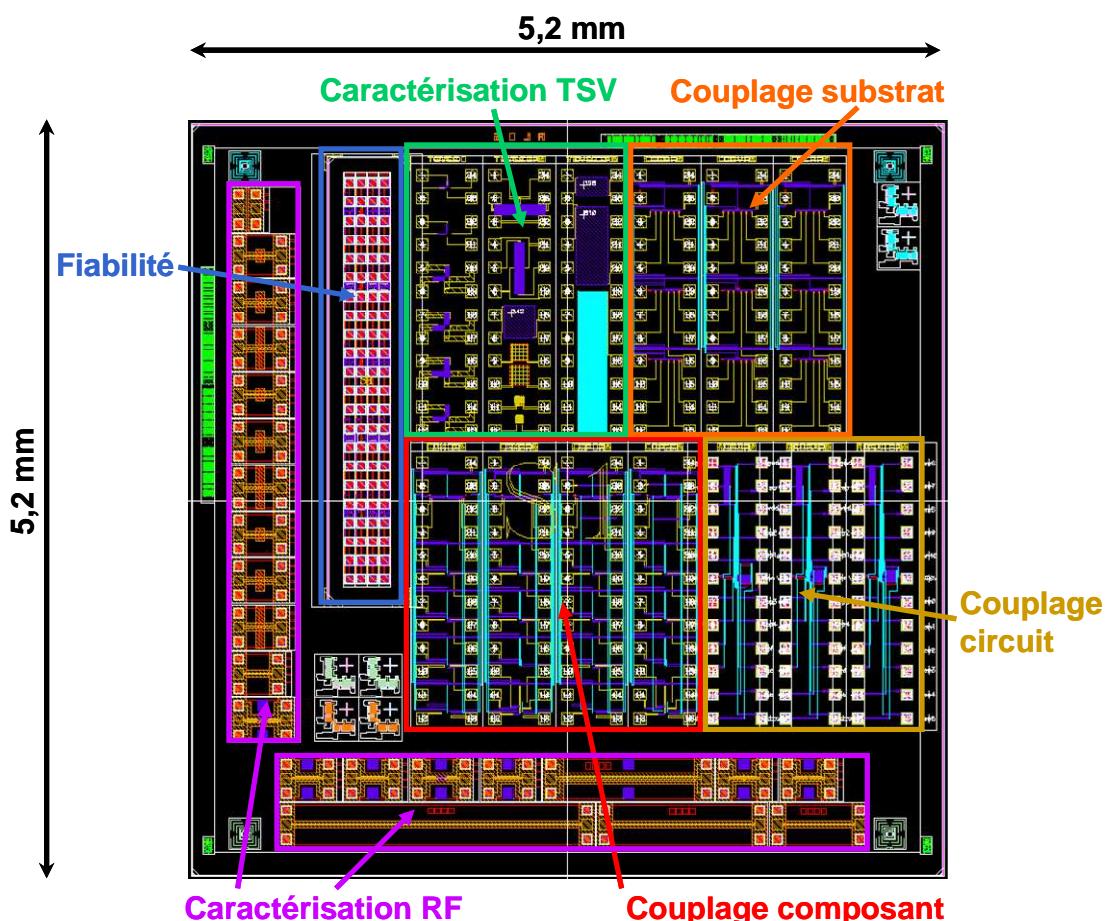


Figure 3.17. Vue masque du démonstrateur technologique 3D haute densité.

3.4. Synthèse

Pour conclure ce chapitre intermédiaire, il est intéressant de faire un rapide compte-rendu de ce qui a été abordé depuis le début. Nous avons vu au chapitre 2 que des phénomènes de couplage électrique, engendrés par les structures d'intégration 3D, se propagent dans le silicium et provoquent des variations de comportement électrique sur les composants logiques. Pour mettre en évidence ces phénomènes et parallèlement, pour caractériser électriquement la technologie 3D, des structures de test avec composants actifs ont été élaborées puis implémentées sur deux démonstrateurs utilisant deux technologies CMOS distinctes, ainsi que deux technologies d'intégration 3D différentes. Cette implantation physique a été rendue possible par une phase de réflexion sur la conception de circuits tridimensionnels et par l'élaboration de méthodologies associées. Le chapitre suivant présente les résultats expérimentaux obtenus sur le premier démonstrateur 3D moyenne densité, principalement concernant l'impact des procédés d'intégration 3D sur les performances des technologies CMOS, ainsi que sur la mise en évidence des phénomènes de couplage électrique par le substrat engendrés par les TSV.

Chapitre 4

**Caractérisation de la technologie d'intégration 3D et
son impact sur dispositifs CMOS.**

Table des matières

Chapitre 4	139
4.1. Impact du procédé d'amincissement du silicium.....	143
4.1.1. Principe d'amincissement du silicium	143
4.1.2. Protocole expérimental	144
4.1.3. Résultats électriques.....	146
4.1.3.1. Transistors testés	146
4.1.3.2. Montée en tension du transistor.....	146
4.1.3.3. Variations sur les courants spécifiques.....	148
4.2. Impact thermomécanique et effet de proximité du TSV.....	151
4.2.1. Impact des procédés d'intégration 3D sur les transistors	151
4.2.1.1. Considérations générales	151
4.2.1.2. Comportement des transistors NMOS	151
4.2.1.3. Comportement des transistors PMOS	152
4.2.2. Effet de proximité du TSV sur les transistors	153
4.2.2.1. Comportement des transistors NMOS	153
4.2.2.2. Comportement des transistors PMOS	155
4.2.3. Effet de l'orientation de la grille des transistors	157
4.2.3.1. Comportement des transistors NMOS	157
4.2.3.2. Comportement des transistors PMOS	159
4.2.4. Effet de proximité du TSV sur l'oscillateur en anneau.....	161
4.2.4.1. Considérations générales	161
4.2.4.2. Impact sur l'oscillateur en anneau.....	161
4.3. Caractérisation du couplage par le substrat	164
4.3.1. Caractérisation de la technologie 3D moyenne densité.....	164
4.3.1.1. Résistance du TSV.....	164
4.3.1.2. Capacité du TSV	167
4.3.2. Bruit substrat	173
4.3.2.1. Considérations générales	173
4.3.2.2. Réponse du silicium	173
4.3.2.3. Effet de la distance de la sonde de mesure	175
4.3.2.4. Effet de la distance à la masse	176
4.3.2.5. Effet de l'amplitude de la tension perturbatrice.....	177
4.3.2.6. Effet du temps du front de montée	178
4.3.3. Modèles électriques.....	179
4.3.3.1. Fonction de transfert	179
4.3.3.2. Confrontation du modèle à l'expérience	181
4.4. Synthèse	184

Préambule

Il est question dans ce nouveau chapitre de décrire et d'analyser les résultats expérimentaux obtenus majoritairement sur le démonstrateur dédié à la moyenne densité de TSV. Le chapitre précédent a permis de présenter toute l'étendue des motifs de test qui permettent d'adresser un nombre conséquent de problématiques liées à l'intégrité des technologies CMOS au sein d'une architecture 3D.

Le cœur de ce chapitre suit une hiérarchisation particulière des caractérisations et des niveaux d'impact engendrés par l'intégration 3D qu'il est nécessaire de décrire point par point pour une meilleure compréhension du chapitre. Trois thématiques se détachent ainsi :

- **1°) Mesure de l'impact mécanique du procédé d'amincissement du silicium sur les composants.**

Ce procédé mécano-chimique s'avère être l'une des étapes les plus critiques dans l'ensemble du processus d'intégration 3D. Le fait de quantifier son impact sur les performances des composants permet de statuer sur l'impact d'un procédé particulier avant de considérer l'ensemble du processus d'intégration.

- **2°) Mesure de l'impact thermomécanique du TSV et du niveau RDL sur les composants.**

En ayant isolé préalablement l'effet d'un procédé technologique agressif, l'influence de l'ensemble des procédés utilisés lors de l'intégration 3D peut alors être étudiée. L'objectif de cette thématique est double. Dans un premier temps, il s'agit de mesurer l'impact thermomécanique induit par les TSV et plus généralement par toutes les structures d'intégration 3D. Dans un second temps, nous cherchons à dissocier l'impact des procédés 3D et l'effet de proximité dû à la présence locale de TSV par rapport à des zones actives contenant des composants.

- **3°) Caractérisation du couplage électrique par le substrat induit par les TSV.**

Il est question ici de démontrer l'existence des phénomènes de couplage électrique mis en évidence par modélisation au chapitre 2. Un modèle électrique simplifié est également proposé. En guise de préambule, le TSV moyenne densité est caractérisé électriquement, notamment en termes de résistance et de capacité. La valeur de la capacité du TSV permet de remonter analytiquement à l'intensité maximale du pic de couplage par l'intermédiaire du modèle précité.

4.1. Impact du procédé d'amincissement du silicium

Ce sous chapitre se consacre à la quantification de l'effet de l'amincissement du silicium sur les caractéristiques électriques des composants. Pour cette étude particulière, il a été choisi de se placer dans des conditions extrêmes. D'une part, le choix de la technologie CMOS étudiée s'est tourné vers une technologie qui soit à la fois mature et sensible aux contraintes induites dans le silicium. Le nœud technologique 65 nm réunit ces deux conditions : il est en production depuis 2006 (donc une maturité qui correspond aux standards industriels) et ses dimensions intrinsèques en font un candidat répondant parfaitement aux sollicitations thermomécaniques. D'autre part, le procédé d'amincissement sur silicium massif a été poussé autant que faire se peut pour générer un maximum de contraintes. Typiquement, les épaisseurs de silicium obtenues après amincissement sont représentatives d'une intégration 3D haute densité.

4.1.1. Principe d'amincissement du silicium

Un substrat de silicium massif commercialisé présente une épaisseur moyenne de 750 et 800 μm pour des plaques de diamètre respectif 200 et 300 mm. Dans le cadre du procédé d'intégration 3D moyenne densité, le substrat aminci présente des épaisseurs de l'ordre de la centaine de microns, ce qui n'engendre quasiment pas de contraintes internes. L'intégration 3D haute densité nécessite des amincissements de silicium bien plus agressifs, de l'ordre de la dizaine de microns [Swinnen06, Liu08], voire inférieurs dans certains cas [Morrow06]. Ici, la valeur extrême de silicium rémanent atteint 5 μm .

Pour parvenir à réduire l'épaisseur du substrat de silicium jusqu'à ces ordres de grandeur, un procédé générique d'amincissement est utilisé. Son principe et son impact sur l'état de surface du silicium sont décrits par [Pei01, McLellan04]. Trois phases successives le composent, procurant une qualité de surface respective de plus en plus fine :

- 1°) l'abrasion mécanique grossière (*coarse grinding*) ;
- 2°) l'abrasion mécanique fine (*fine grinding*) ;
- 3°) le polissage mécano-chimique.

Il est à noter que la phase de finition peut se décliner sous quatre procédés majeurs, à savoir le polissage mécano-chimique, la gravure sèche, la gravure humide et le polissage sec [Argoud08].

Pour que le circuit à amincir puisse supporter les pressions mises en jeu par le procédé d'amincissement, celui-ci est collé par sa face avant sur un substrat temporaire par le biais d'une colle temporaire, telle une résine par exemple. Ce dernier joue alors sa fonction de support mécanique pour les trois phases successives du procédé (Figure 4.1).

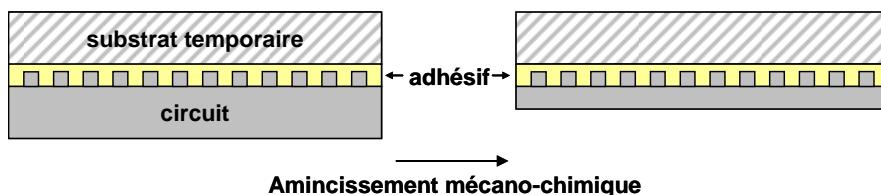


Figure 4.1. Principe de l'amincissement mécano-chimique du silicium avec utilisation d'un substrat temporaire.

4.1.2. Protocole expérimental

La Figure 4.1 montre bien le principe développé pour réaliser un amincissement de la face arrière d'un circuit sur silicium. Or, dans le cas présent, nous cherchons à tester les composants avant et après amincissement du silicium, c'est-à-dire pouvoir accéder aux plots de test (situés sur la face avant du circuit, au dernier niveau de métallisation du BEOL, appelé métal supérieur) après le procédé concerné. Un protocole expérimental spécifique a donc été développé pour cette étude et présenté schématiquement à la Figure 4.2.

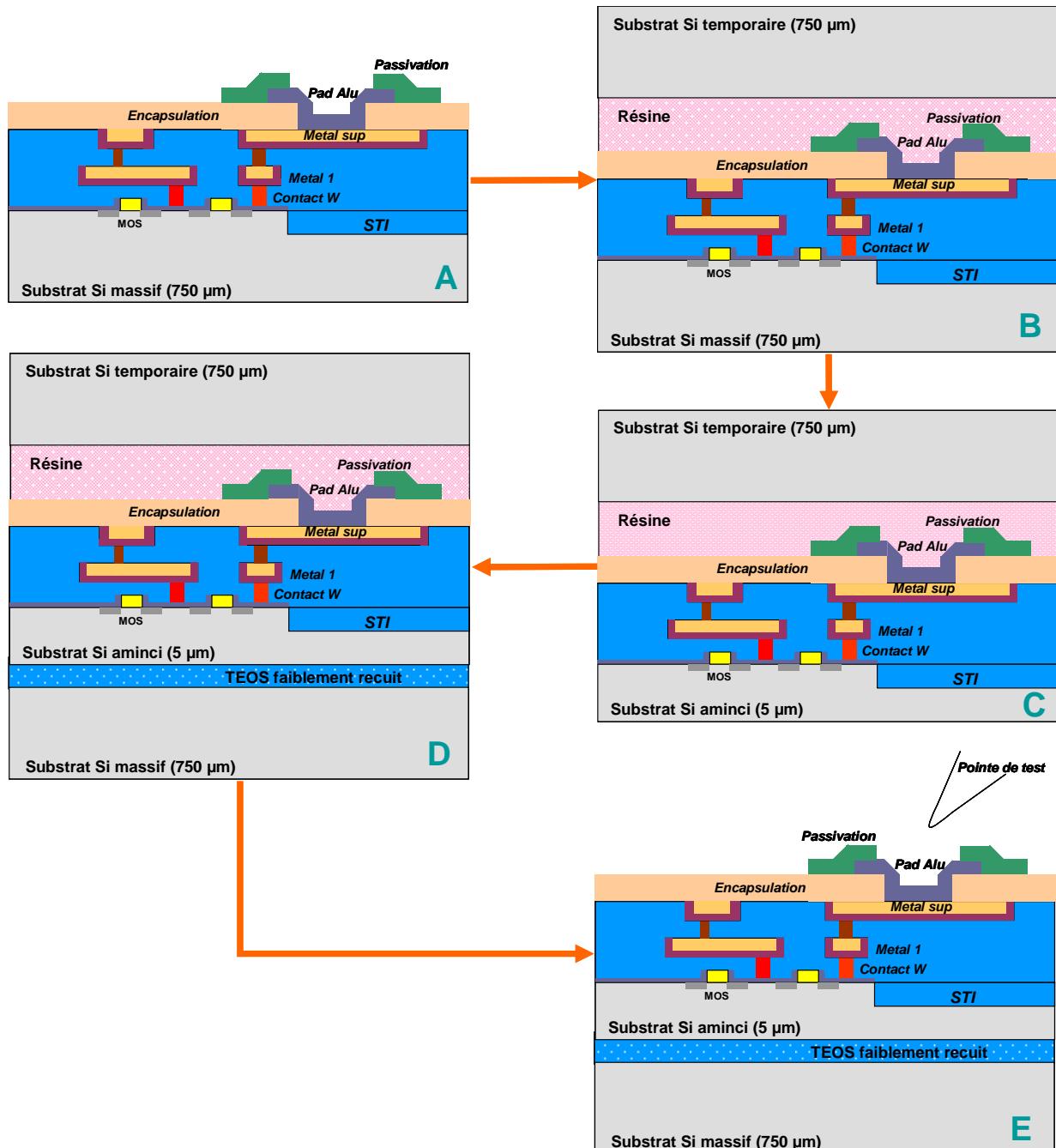


Figure 4.2. Protocole expérimental développé pour autoriser les étapes successives d'amincissement du silicium en face arrière et de test électrique en face avant du circuit logique.

Les cinq étapes génériques du protocole expérimental sont détaillées ci-dessous :

- A) Le circuit logique est finalisé et opérationnel. Les tests électriques de référence (avant amincissement) sont alors effectués ;
- B) Un substrat temporaire est collé sur la face avant du circuit à amincir par une colle temporaire de type résine. A partir de cette étape, les plots de test en face avant ne sont plus accessibles ;
- C) L'amincissement est pratiqué sur la face arrière du circuit. Le substrat temporaire sert alors de support mécanique pour éviter tout mécanisme de rupture dans le circuit logique ;
- D) Une fois le circuit aminci, un second substrat est utilisé comme support. Celui-ci est collé sur la face arrière du circuit logique, c'est-à-dire sur sa face amincie. Le collage pratiqué utilise un oxyde basse température (dont le précurseur chimique est connu sous l'acronyme TEOS, cf. Figure 4.2, étapes D et E) qui limite fortement la génération de contraintes internes ;
- E) Le substrat temporaire collé en face avant du circuit logique est alors retiré en chauffant la résine temporaire (température de décollement inférieure à 200°C). Un nettoyage chimique est alors pratiqué pour supprimer tout débris de résine sur la face avant du circuit. Les plots de test sont alors à nouveau accessibles pour la phase finale de test après amincissement.

En appliquant ce protocole expérimental à un circuit logique basé sur la technologie CMOS 65 nm basse consommation, et comportant des transistors isolés, il est possible de comparer directement les caractéristiques électriques de composants unitaires avant et après amincissement extrême du silicium. Le résultat visuel de la mise en œuvre de ce protocole expérimental est montré à la Figure 4.3.

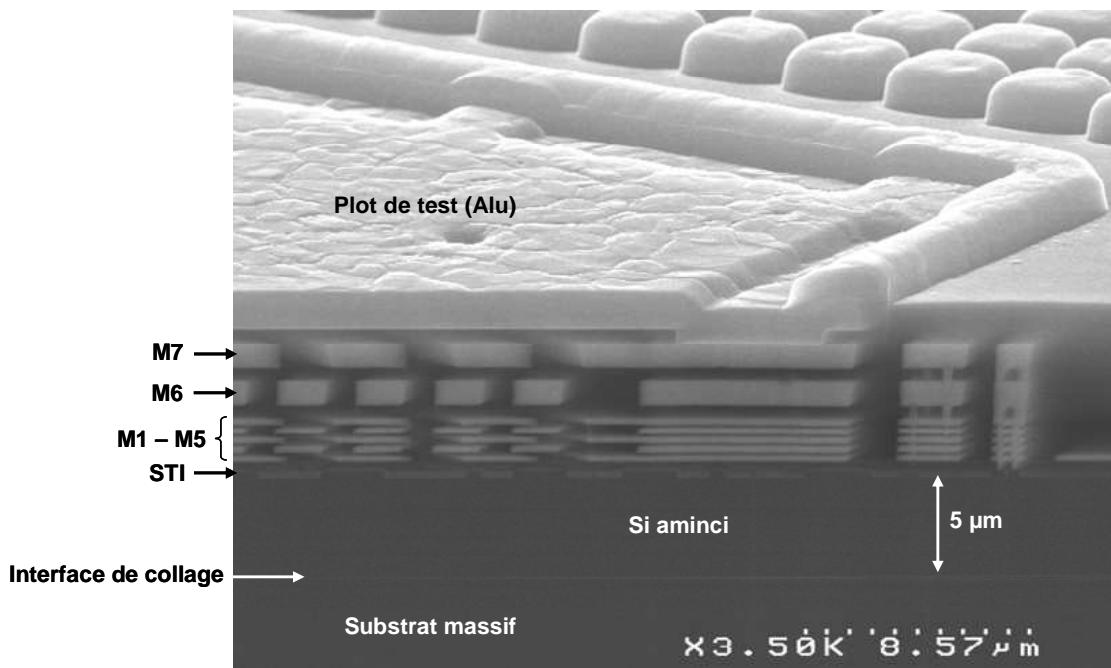


Figure 4.3. Coupe MEB de la plaque amincie à 5 μm avec visualisation de tous les niveaux BEOL et du silicium aminci sur son substrat support.

4.1.3. Résultats électriques

Cette section propose de détailler les résultats électriques obtenus en suivant le protocole expérimental précédemment défini. Les caractéristiques électriques étudiées sont le courant de drain lors de la montée en tension de la grille $I_{DS}(V_{GS})$, le courant de saturation de drain I_{ON} (rappel : identique à I_{DSAT}) et le courant de fuite I_{OFF} .

4.1.3.1. Transistors testés

Deux géométries de transistors N et P sont testées. D'une part, le transistor à taille minimale (*i.e.* $L = 60 \text{ nm}$ et $W = 120 \text{ nm}$) est à la fois le composant le plus usité et celui ayant un canal de longueur minimale présentant des effets dits de canal court. D'autre part, le transistor carré (*i.e.* $L = 1 \mu\text{m}$ et $W = 1 \mu\text{m}$) est un composant à canal long, tel que celui modélisé au chapitre 2, qui ne présente pas tous les effets parasites du transistor à taille minimale.

De cette manière, il est possible d'investiguer les variations de caractéristiques électriques dues à l'amincissement du silicium pour des transistors dont la sensibilité aux contraintes internes est significativement différente.

4.1.3.2. Montée en tension du transistor

Ce paragraphe se consacre à l'étude du courant de drain lors de la montée en tension de la grille pour deux valeurs de tension de drain : 50 mV (V_{DS} faible) et 1,2 V (V_{DS} fort). Le courant I_{DS} est relevé pour le transistor à taille minimale (dit à canal court) ainsi que pour le transistor carré (dit à canal long) et ceci, avant et après amincissement du silicium à 5 μm . La Figure 4.4 synthétise les résultats pour les deux transistors NMOS à une tension de drain faible (50 mV) et la Figure 4.5 présente les résultats concomitants pour une tension de drain forte (1,2 V).

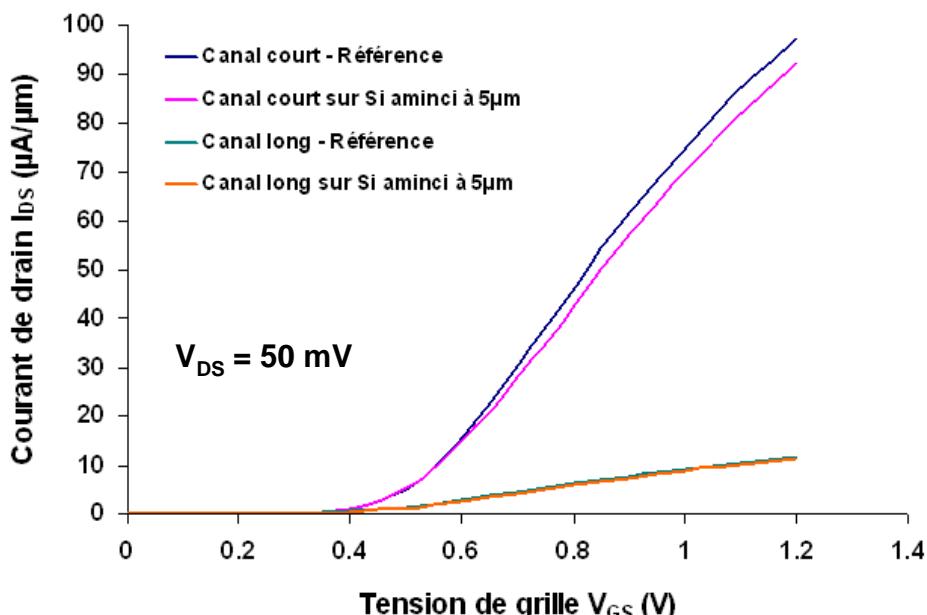


Figure 4.4. Caractéristiques $I_{DS}(V_{GS})$ des deux transistors NMOS à V_{DS} faible (50 mV) avant et après amincissement à 5 μm .

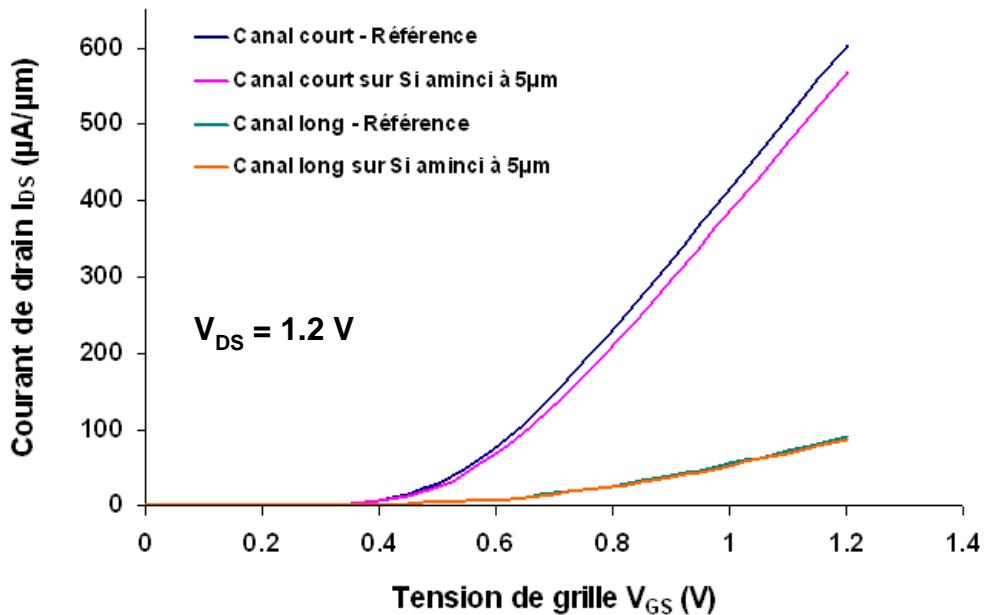


Figure 4.5. Caractéristiques $I_{DS}(V_{GS})$ des deux transistors NMOS à V_{DS} fort (1,2 V) avant et après amincissement à 5 μm .

L'analyse du courant de drain à V_{DS} fort correspond au véritable comportement du transistor, et permet l'extraction du courant I_{ON} et du courant I_{OFF} . Néanmoins, cette condition d'étude implique toute une série de phénomènes parasites tels que des courants de fuite difficilement quantifiables (GIDL : *Gate Induced Drain Leakage*), un courant tunnel bande à bande qui peut survenir lorsque la tension V_{DS} est proche de la valeur du gap du semi-conducteur (BTBT : *Band To Band Tunneling*), etc. De plus, le potentiel le long du canal se réduit considérablement du côté drain, ce qui entraîne une réduction de la densité de porteurs libres dans la couche d'inversion. Le canal devient par conséquent de plus en plus résistant (cf. Figure 2.7 bas gauche) [Skotnicki00].

Inversement, l'analyse du courant de drain à V_{DS} faible ne renvoie pas au comportement réel du composant, mais cette condition permet de s'affranchir de la plupart des phénomènes précités. Dans ce cas précis, l'effet de champ est quasiment uniforme le long du canal, qui se comporte alors comme une résistance indépendante de la polarisation du drain (cf. Figure 2.7 haut droite). Cette condition d'étude doit être privilégiée car elle permet d'analyser les propriétés électriques intrinsèques du transistor de manière plus précise.

La tension de seuil est ainsi extraite pour une faible tension de drain. Les valeurs mesurées sont regroupées dans la Table 4.1 pour les deux types de transistors NMOS. Concernant le transistor carré à canal long, la tension de seuil est stable à 0,34 V quelle que soit l'épaisseur du silicium. On observe également une diminution de 10 mV pour le transistor à taille minimale (canal court) lorsque l'épaisseur du silicium passe de 750 μm à 5 μm , soit une baisse relative de 2,4 %. Cette variation n'est pas significative et peut être négligée comparativement à la dispersion maximale sur l'ensemble de la plaque testée (6,5 % pour le transistor carré et 7,5 % pour le transistor de taille minimale).

Table 4.1. Valeurs mesurées de la tension de seuil pour les transistors NMOS à V_{DS} faible (50 mV).

Configurations du transistor NMOS	Tension de seuil V_T @ $V_{DS} = 50$ mV
$W = L = 1 \mu\text{m}$ – plaque référence	0,34 V
$W = L = 1 \mu\text{m}$ – plaque amincie	0,34 V
$W = 120 \text{ nm}, L = 60 \text{ nm}$ – plaque référence	0,42 V
$W = 120 \text{ nm}, L = 60 \text{ nm}$ – plaque amincie	0,41 V

Enfin, d'un point de vue qualitatif, les caractéristiques du courant de drain pour les transistors à canal long ne semblent pas subir de variations significatives avant et après amincissement du silicium. Dans le cas des transistors à canal court, pour des valeurs élevées de tension de grille, l'écart entre les deux courbes (référence et plaque amincie) semble devenir proéminent, pour arriver à un maximum au point de saturation ($V_{GS} = 1,2$ V) quelle que soit la valeur de V_{DS} .

Une étude complémentaire des courants caractéristiques du transistor (I_{ON} et I_{OFF}) est proposée dans le paragraphe suivant, sur un plus grand nombre de transistors.

4.1.3.3. Variations sur les courants spécifiques

Ce paragraphe se consacre à l'étude des courants I_{ON} et I_{OFF} pour les deux géométries de transistors N (Figure 4.6) et P (Figure 4.7) avant et après amincissement du silicium à 5 μm .

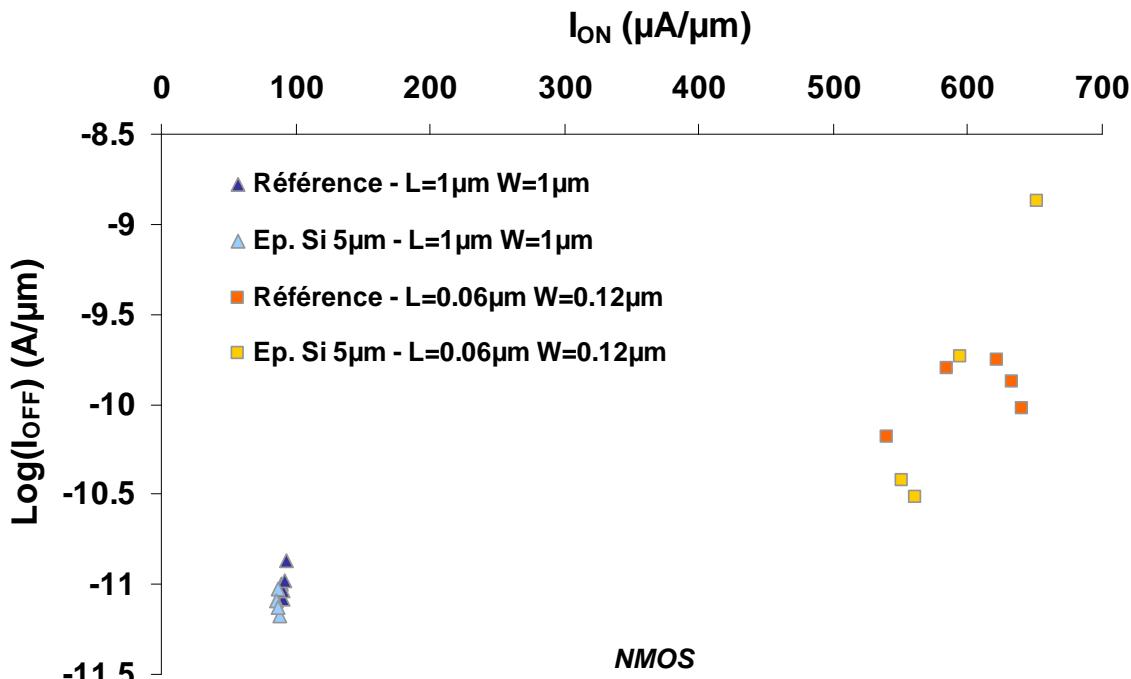


Figure 4.6. Caractéristiques I_{ON} - I_{OFF} pour les deux familles de transistors NMOS avant et après amincissement du silicium.

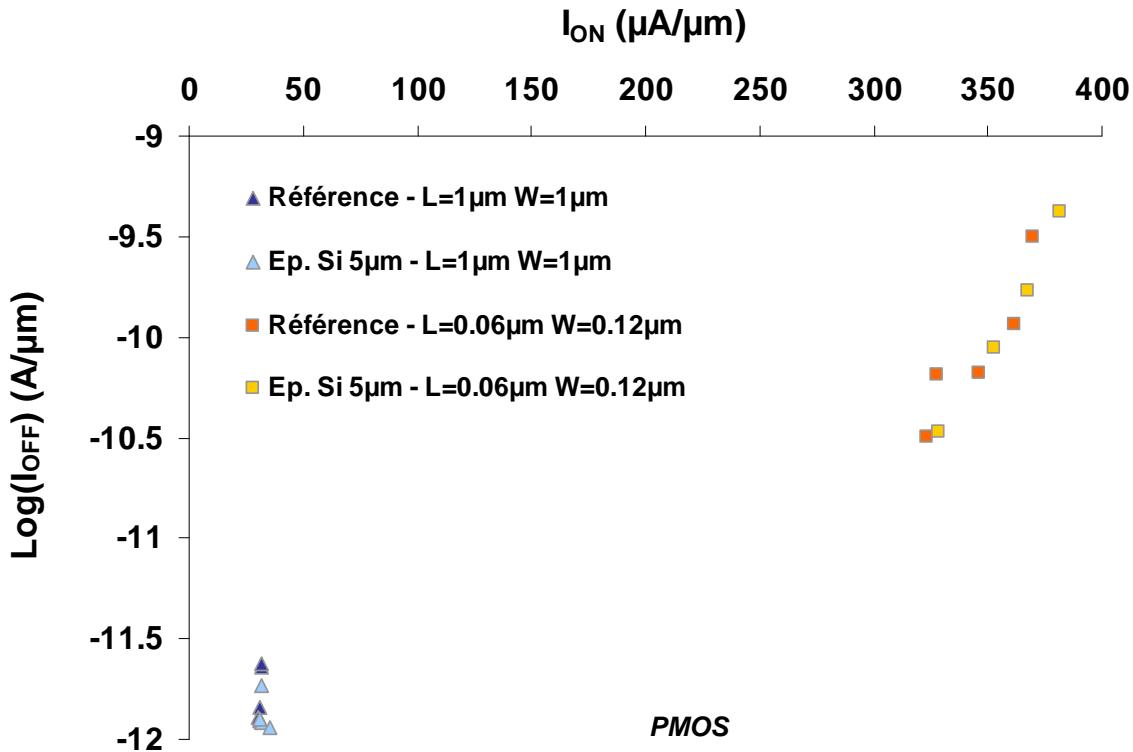


Figure 4.7. Caractéristiques I_{ON} - I_{OFF} pour les deux familles de transistors PMOS avant et après amincissement du silicium.

Concernant les transistors NMOS, on retrouve les valeurs des courants caractéristiques obtenues sur la courbe $I_{DS}(V_{GS})$ de la Figure 4.5, à savoir environ $100 \mu\text{A}/\mu\text{m}$ pour le transistor carré à canal long et $600 \mu\text{A}/\mu\text{m}$ pour le transistor de taille minimale à canal court. Néanmoins, pour cette dernière catégorie de transistors, la Figure 4.6 fait état de dispersion importante, puisque les valeurs de I_{ON} oscillent entre 540 et $640 \mu\text{A}/\mu\text{m}$ pour la référence et entre 550 et $650 \mu\text{A}/\mu\text{m}$ après amincissement. Les valeurs de courant de fuite restent inférieures à $10^{-9} \text{ A}/\mu\text{m}$. Le transistor carré à canal long quant à lui ne semble subir aucune variation significative ni de son courant de fuite ni de son courant de saturation.

Le cas des transistors PMOS est assez similaire. Les caractéristiques en courant des transistors carrés à canal long restent inchangées après amincissement. Les transistors à canal court présentent également une forte dispersion de leur courant de saturation, toutefois moins prononcée que celle relative aux NMOS, puisque ces courants varient en absolu entre 320 et $370 \mu\text{A}/\mu\text{m}$ pour la référence et entre 330 et $380 \mu\text{A}/\mu\text{m}$ après amincissement. La Table 4.2 récapitule les valeurs moyennes des courants de drain pour les deux transistors N et P à canal court avec les dispersions relatives et absolues.

Les valeurs moyennes de courant de saturation montrent que cette caractéristique électrique subit une légère augmentation après amincissement du silicium, d'environ $10 \mu\text{A}/\mu\text{m}$ pour les deux transistors N et P. Néanmoins, les valeurs de dispersion restent relativement stables quel que soit l'état de la plaque, ce qui ne permet pas de conclure de manière certaine quant à l'impact du procédé d'amincissement sur les variations au niveau des performances électriques des transistors. Dans tous les cas, son influence sur la technologie CMOS semble très limitée. Ces conclusions rejoignent en tous points les premiers travaux d'Intel Corporation sur la 3D haute densité [Morrow06].

Table 4.2. Tableau récapitulatif des valeurs de courant I_{DSAT} et leurs dispersions associées pour les transistors N et P à canal court.

Type de transistor	Etat de la plaque Si	I_{DSAT} moyen	Dispersion absolue	Dispersion relative
NMOS $L = 60 \text{ nm}$ $W = 120 \text{ nm}$	Référence (750 μm)	590 $\mu\text{A}/\mu\text{m}$	100 $\mu\text{A}/\mu\text{m}$	$\pm 8,5 \%$
	Amincie (5 μm)	601 $\mu\text{A}/\mu\text{m}$	100 $\mu\text{A}/\mu\text{m}$	$\pm 8,3 \%$
PMOS $L = 60 \text{ nm}$ $W = 120 \text{ nm}$	Référence (750 μm)	346 $\mu\text{A}/\mu\text{m}$	46 $\mu\text{A}/\mu\text{m}$	$\pm 6,6 \%$
	Amincie (5 μm)	354 $\mu\text{A}/\mu\text{m}$	52 $\mu\text{A}/\mu\text{m}$	$\pm 7,4 \%$

Le sous chapitre suivant se focalise sur l'impact thermomécanique induit par le procédé global d'intégration 3D sur la performance de la technologie CMOS 130 nm, ainsi que sur l'effet de proximité induit par la présence de TSV.

4.2. Impact thermomécanique et effet de proximité du TSV

Ce sous chapitre concerne l'impact thermomécanique induit par les procédés technologiques d'intégration 3D (*i.e.* TSV + RDL) sur la technologie CMOS 130 nm STMicroelectronics, ainsi que les effets de proximité liés à la présence de TSV. Les résultats présentés ici sont tous issus du démonstrateur 3D moyenne densité. Les problématiques de couplage par le substrat abordées au chapitre 2 ne sont pas concernées ici.

4.2.1. Impact des procédés d'intégration 3D sur les transistors

Cette section est consacrée à l'étude de l'impact thermomécanique induit exclusivement par l'intégration 3D, c'est-à-dire les procédés technologiques associés à cette architecture. Le principe de l'étude repose sur la comparaison directe des caractéristiques en courant (typiquement le I_{ON} et le I_{OFF}) de différentes populations de transistors N et P testés avant et après intégration 3D.

4.2.1.1. Considérations générales

L'objectif de cette expérience est de visualiser directement l'influence thermomécanique du TSV sur des transistors de taille variable. Pour une même longueur minimale de grille ($L = 130 \text{ nm}$), trois largeurs de grille caractéristiques sont investiguées, à savoir $0,15 \mu\text{m}$ (transistor de taille minimale), $1 \mu\text{m}$ et $10 \mu\text{m}$. Après intégration 3D, les transistors se trouvent localisés à $6 \mu\text{m}$ du bord d'un TSV de $60 \mu\text{m}$ de diamètre, leurs grilles étant toutes parallèles au plus proche flanc du TSV. Les contraintes, de toutes natures, générées par cette intégration 3D sont donc identiques pour l'ensemble des composants étudiés ici.

De manière générale, le transistor de taille minimale présente la plus forte densité de courant de saturation par unité de largeur comparativement aux transistors de largeur $1 \mu\text{m}$ et $10 \mu\text{m}$, ce dernier présentant la densité de courant la plus faible. Inversement, les transistors dont la densité de courant de saturation est la plus élevée sont ceux présentant un courant de fuite plus important. Ces tendances sont clairement illustrées pour les transistors NMOS à la Figure 4.8.

Concernant les PMOS, il est difficile de retrouver ce comportement électrique (cf. Figure 4.9). Cela est principalement dû au fait que, de par la nature même des transistors P, les niveaux de courant mis en œuvre sont bien inférieurs à ceux des transistors N (la mobilité des trous étant très inférieure à celle des électrons). Ainsi, pour des largeurs de grille différentes, les dispersions des valeurs de courant de saturation sont telles que les trois populations se trouvent mélangées entre 90 et $120 \mu\text{A}/\mu\text{m}$, les rendant par conséquent indissociables les unes des autres.

4.2.1.2. Comportement des transistors NMOS

L'analyse des deux types de courant pour les trois transistors NMOS est assez significative. Les trois populations de points (I_{ON} ; I_{OFF}) issues des tests après intégration 3D se superposent clairement sur les trois populations concomitantes issues des tests de référence, avec des dispersions de même ordre pour les trois largeurs de grille. Cette observation rend compte de l'impact négligeable des procédés d'intégration 3D sur la performance statique des transistors N.

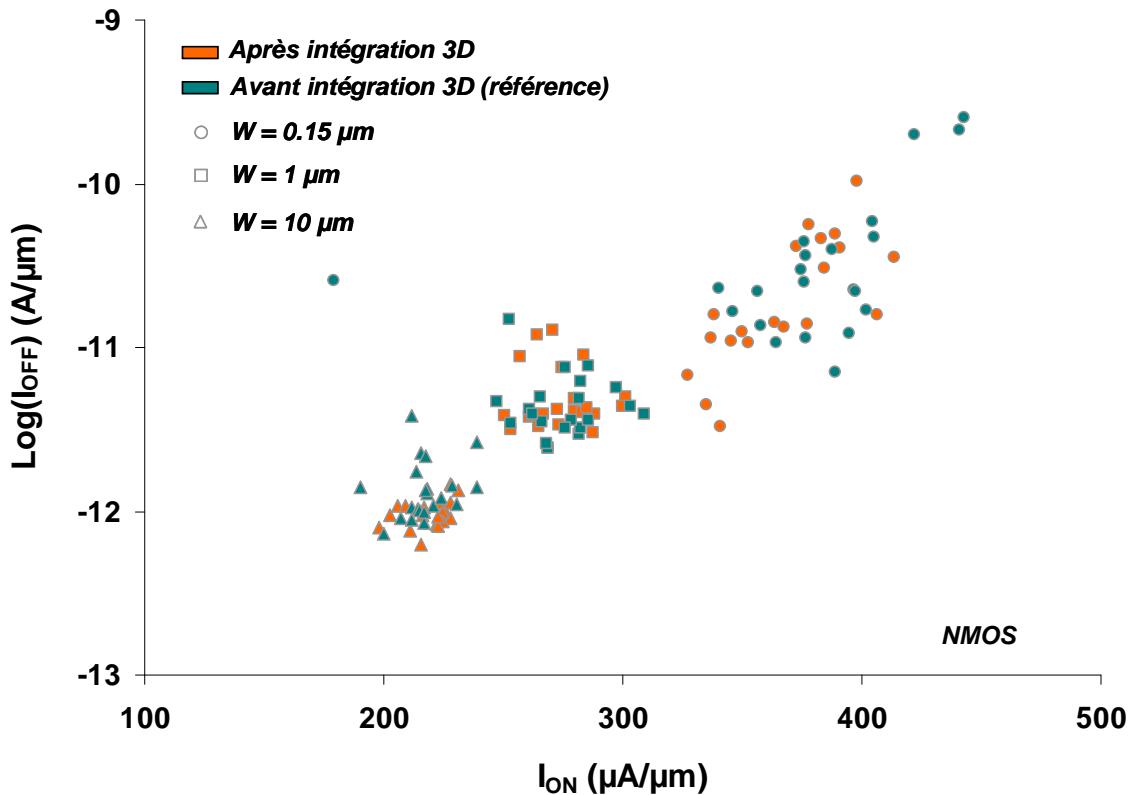


Figure 4.8. Comparaison des courants de saturation et de fuite des transistors NMOS pour trois largeurs de grille distinctes ($0,15\text{ }\mu\text{m}$; $1\text{ }\mu\text{m}$; $10\text{ }\mu\text{m}$) avant et après intégration 3D.

4.2.1.3. Comportement des transistors PMOS

Le cas d'étude relatif aux transistors PMOS est plus complexe que pour les NMOS. En effet, comme il a été expliqué au paragraphe 4.2.1.1, les performances des transistors PMOS, en termes de courants statiques, sont indissociables les unes des autres quelle que soit la largeur de grille considérée, du fait principalement des forts niveaux de dispersion relatifs aux courants de fuite et de saturation (cf. Figure 4.9). Néanmoins, on constate une diminution des courants de saturation généralisée aux trois largeurs de grille après intégration 3D. Cet affaissement des performances statiques engendre des courants I_{ON} compris entre 60 et 90 $\mu\text{A}/\mu\text{m}$ après intégration 3D alors que leurs niveaux d'origine se situent dans la gamme 90-120 $\mu\text{A}/\mu\text{m}$.

En ne considérant que des valeurs moyennes, la chute de performance statique observée sur les PMOS est d'environ 30 %, ce qui représente un écart extrêmement significatif. Pour comparaison, les standards actuels en matière de vieillissement de transistors recommandent un affaissement maximal de 10 % du courant de saturation sur une période de 5 ans.

A l'inverse des composants NMOS, l'impact thermomécanique engendré par les procédés d'intégration 3D sur les composants PMOS ne doit pas être négligé. Pour rappel, les transistors testés dans ce paragraphe sont situés à $6\text{ }\mu\text{m}$ du bord du TSV, c'est-à-dire la distance minimale de garde pour l'intégration 3D moyenne densité. La notion de zone d'exclusion prend alors ici tout son sens. C'est le propos de la section suivante.

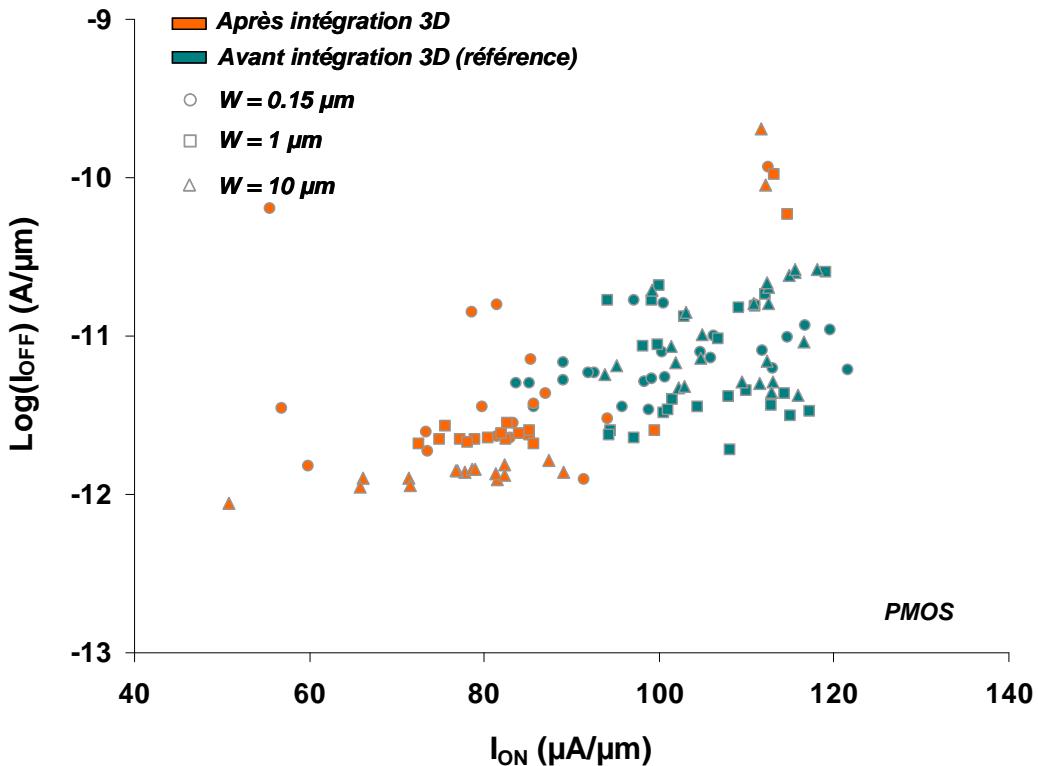


Figure 4.9. Comparaison des courants de saturation et de fuite des transistors PMOS pour trois largeurs de grille distinctes ($0,15\text{ }\mu\text{m}$; $1\text{ }\mu\text{m}$; $10\text{ }\mu\text{m}$) avant et après intégration 3D.

4.2.2. Effet de proximité du TSV sur les transistors

Il a été démontré au paragraphe précédent que les procédés d'intégration 3D impactent – plus ou moins significativement – le comportement électrique des transistors et ceci, indépendamment de leurs dimensions. Ainsi, pour les NMOS, aucune influence notable n'a été relevée. Concernant les PMOS, une réduction des performances est constatée, sans pour autant pouvoir différencier l'influence de la largeur de grille. Dans cette section, différentes zones d'exclusion sont testées, entre 6 et 10 μm , pour une seule largeur de grille, à savoir 0,15 μm (transistor de taille minimale). L'objectif de cette section est de mettre en évidence l'influence d'une zone d'exclusion pour limiter l'impact des procédés d'intégration 3D sur les composants. Comme précédemment, les grilles sont orientées parallèlement au bord du TSV le plus proche des composants.

4.2.2.1. Comportement des transistors NMOS

La Figure 4.10 renvoie aux valeurs moyennes de courant de fuite des transistors NMOS ($W = 0,15\text{ }\mu\text{m}$) pour quatre zones d'exclusion distinctes à 6, 7, 8 et 10 μm . En suivant le même protocole expérimental, les valeurs moyennes du courant de saturation sont relevées et présentées à la Figure 4.11 pour les mêmes distances de séparation entre le bord du TSV et le transistor considéré. Pour chaque composant testé, les dispersions minimales et maximales sont indiquées sur ces deux figures. Les valeurs de référence avant intégration 3D pour les deux courants considérés ici sont indiquées sur les graphiques. Ces courants de référence sont par définition totalement indépendants de la distance de séparation entre le TSV et le transistor.

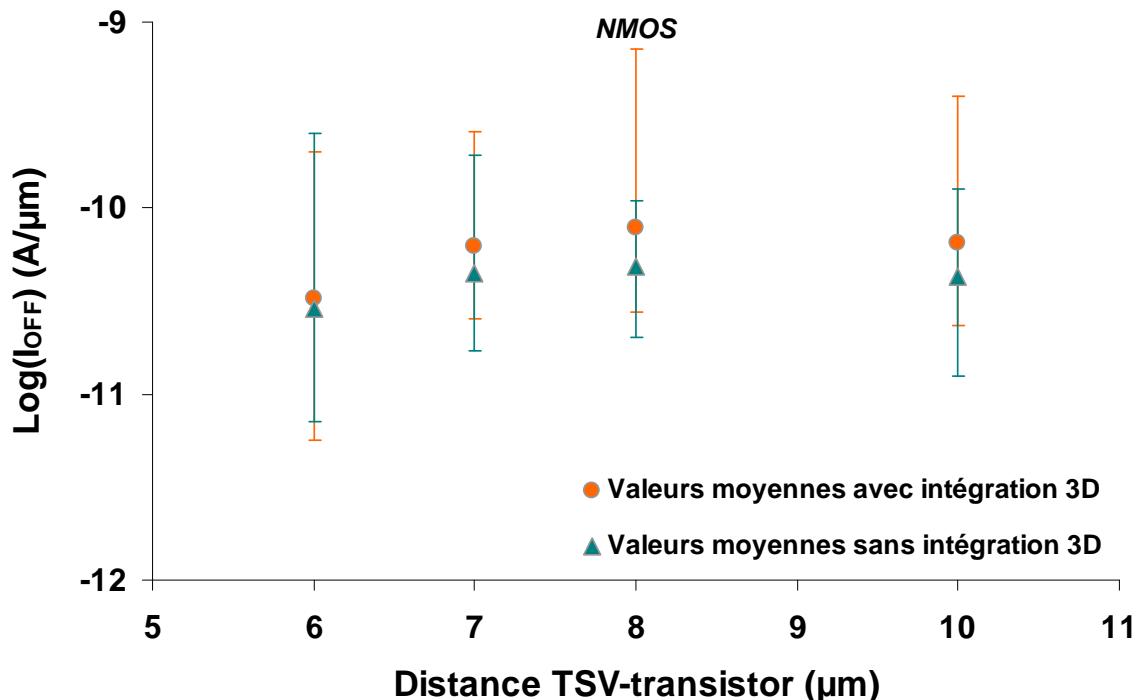


Figure 4.10. Courants de fuite moyens et dispersions associées pour les transistors NMOS de largeur de grille 0,15 μm implantés à différentes distances du TSV. La ligne horizontale est la valeur moyenne de référence pour le courant de fuite avant intégration 3D.

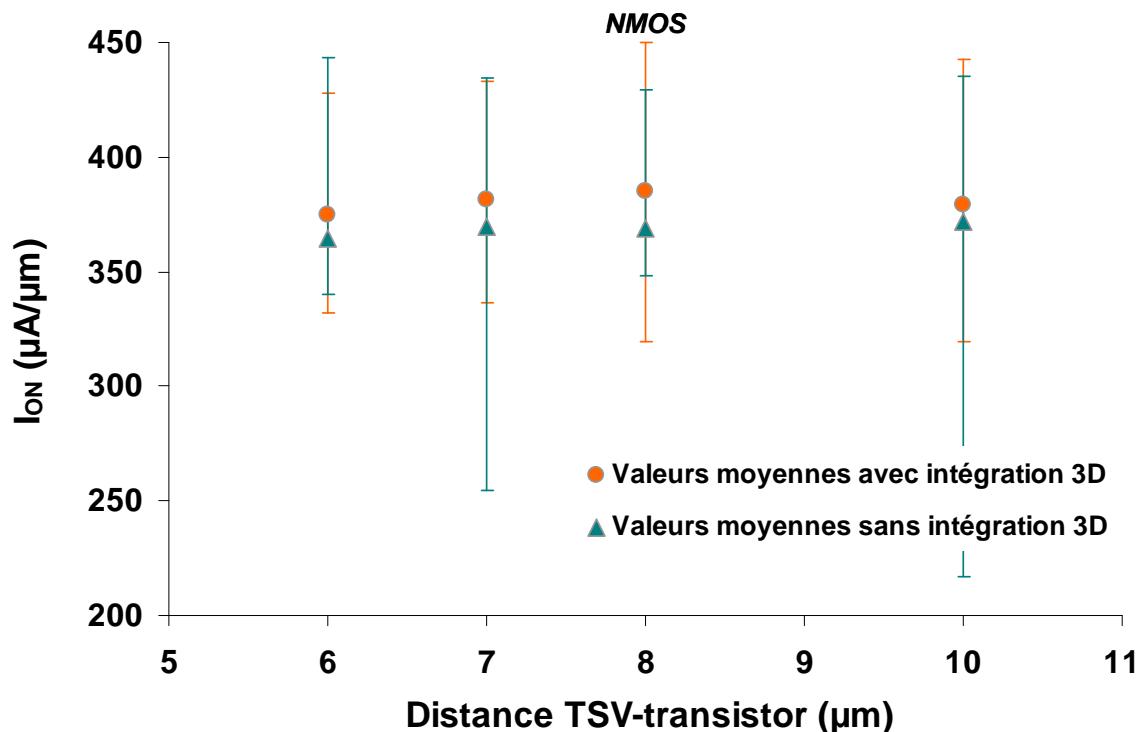


Figure 4.11. Courants de saturation moyens et dispersions associées pour les transistors NMOS de largeur de grille 0,15 μm implantés à différentes distances du TSV. La ligne horizontale est la valeur moyenne de référence pour le courant de saturation avant intégration 3D.

Concernant le courant de fuite, les valeurs oscillent entre $3,1 \cdot 10^{-11}$ et $7,9 \cdot 10^{-11}$ A/ μm alors que la valeur moyenne de référence est de $4,3 \cdot 10^{-11}$ A. Ces différences sont réellement négligeables et en aucun cas ne permettent de statuer sur l'impact des procédés d'intégration 3D.

Les courants de saturation varient autour d'une valeur moyenne d'environ 380 $\mu\text{A}/\mu\text{m}$ sans subir d'écart significatif en fonction de la distance au bord du TSV. La valeur de référence s'établit autour de 365 $\mu\text{A}/\mu\text{m}$, soit un écart moyen de 4 % quelle que soit la distance de séparation considérée.

Ces différentes observations permettent de confirmer les conclusions du paragraphe 4.2.1.2 sur les transistors NMOS, à savoir que les procédés d'intégration 3D n'engendrent pas d'impact significatif sur les performances électriques de ce type de composant. De plus, il apparaît assez précisément que, considérant une quelconque distance entre le TSV et le composant comprise entre 6 et 10 μm , les performances électriques de ce dernier ne semblent pas subir un impact thermomécanique induit par les procédés d'intégration 3D.

4.2.2.2. Comportement des transistors PMOS

Une étude similaire est réalisée sur des transistors PMOS, tous identiques, et présentant là aussi une largeur minimale de grille ($W = 0,15 \mu\text{m}$).

La valeur moyenne de référence du courant de fuite du transistor PMOS se situe autour de $7,9 \cdot 10^{-12}$ A/ μm . La particularité de la Figure 4.12 est de présenter une valeur de courant de fuite inférieure à $5 \cdot 10^{-12}$ A/ μm pour le transistor situé au plus près du TSV (6 μm). Pour ceux placés plus loin, les courants de fuite sont supérieurs à la valeur de référence, compris entre $1,6 \cdot 10^{-11}$ et $2,5 \cdot 10^{-11}$ A/ μm . Ces écarts par rapport à la valeur de référence ne sont toutefois pas suffisants pour confirmer le rôle de la distance au TSV sur les courants de fuite du transistor PMOS.

Si l'on se concentre uniquement sur le courant de saturation (Figure 4.13), les variations observées sont plus parlantes. A l'instar des conclusions du paragraphe 4.2.1.3, on remarque une diminution de l'ordre de 30 % par rapport à la valeur de référence avant intégration 3D et ce, quelle que soit la distance d'exclusion considérée. Les très fortes dispersions de mesure sont dues aux variations des procédés d'intégration 3D. Ces résultats expérimentaux mettent en évidence l'existence d'un impact du TSV sur les transistors PMOS, et que celui-ci est identique dans une zone périphérique d'au moins 10 μm autour des flancs du TSV.

Pour statuer sur l'efficacité d'une zone d'exclusion plus grande, il aurait fallu implémenter des transistors à des distances supérieures à 10 μm , ce qui n'a pas été fait sur le démonstrateur technologique. Parallèlement à cette conclusion, le fait d'augmenter significativement cette distance de séparation entre le TSV et le transistor n'est pas envisageable d'un point de vue industriel. En effet, cela revient à consommer une surface de silicium trop importante pour garantir les performances des composants au détriment de la densité d'intégration.

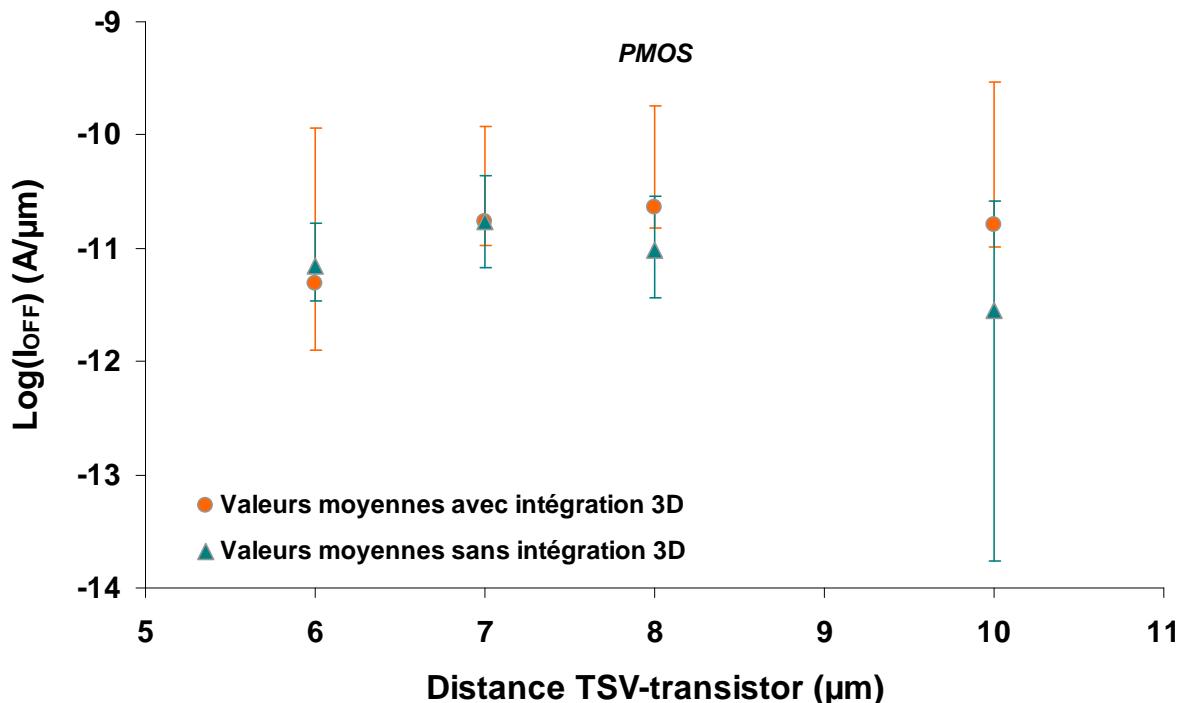


Figure 4.12. Courants de fuite moyens et dispersions associées pour les transistors PMOS de largeur de grille $0,15 \mu\text{m}$ implantés à différentes distances du TSV. La ligne horizontale est la valeur moyenne de référence pour le courant de fuite avant intégration 3D.

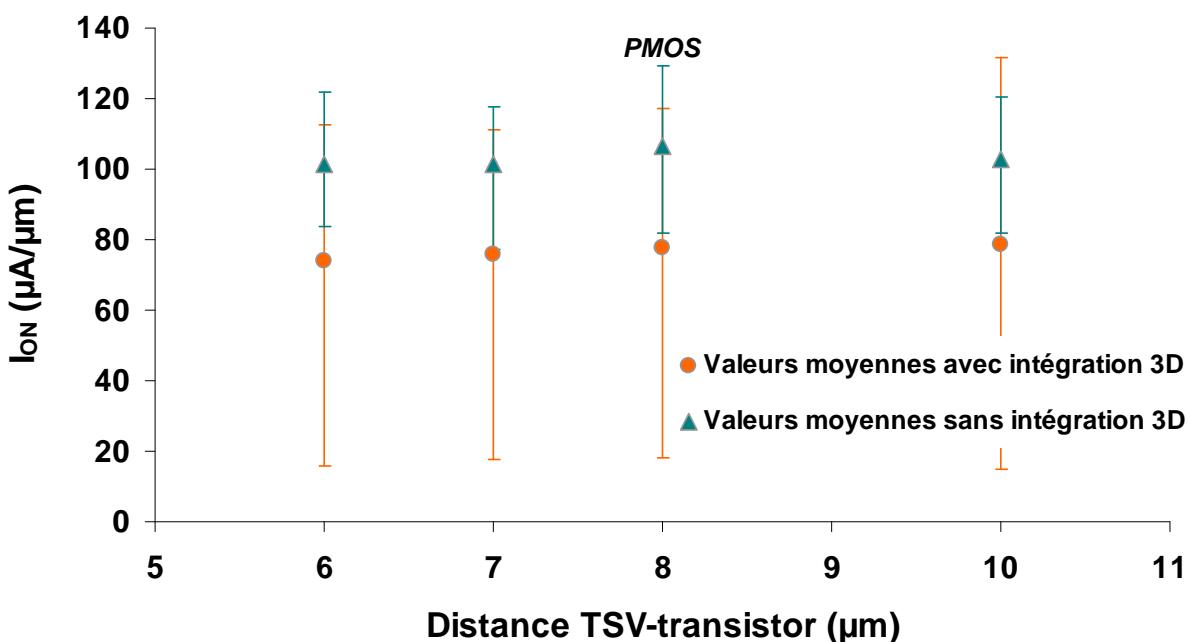


Figure 4.13. Courants de saturation moyens et dispersions associées pour les transistors PMOS de largeur de grille $0,15 \mu\text{m}$ implantés à différentes distances du TSV. La ligne horizontale est la valeur moyenne de référence pour le courant de saturation avant intégration 3D.

Tous les transistors considérés jusqu'à maintenant présentent des largeurs de grille parallèles au plus proche côté du TSV. La section suivante est consacrée à une étude similaire en fonction de l'orientation de la grille des transistors.

4.2.3. Effet de l'orientation de la grille des transistors

Il est question dans cette section d'observer l'influence que peut avoir l'orientation de la grille, c'est-à-dire l'orientation du transistor par rapport à la position du TSV. De par son mode de réalisation, ce dernier génère un champ de contraintes dans le silicium. Nous avons vu à la section 4.2.2 que ce champ de contraintes, s'il influence les composants de quelque façon que ce soit, pourrait s'étendre au-delà de 10 µm de la périphérie du TSV.

Nous proposons ici de comparer les trois transistors de largeur de grille {0,15 ; 1 ; 10 µm} présentés à la section 4.2.1 implantés sous deux orientations différentes, à savoir celle d'origine (largeur de grille parallèle au plus proche bord du TSV) et perpendiculaire (largeur de grille orientée dans la direction définie par le composant et le centre du TSV). Pour rappel des configurations spatiales, le lecteur se reportera à la Figure 3.4. Les transistors sont tous situés à la distance minimale de séparation entre le TSV et eux-mêmes, à savoir 6 µm. Comme précédemment, l'ensemble des transistors testés est comparé à des composants de référence présentant les mêmes géométries (sans intégration 3D). Les courants de fuite et de saturation sont les deux paramètres étudiés.

4.2.3.1. Comportement des transistors NMOS

Courant de fuite.

La Figure 4.14 présente les courants de fuite moyens et leurs dispersions associées pour les trois transistors NMOS à largeur de grille variable et selon deux orientations différentes.

Considérant uniquement les grilles parallèles, on constate qu'il n'y a aucune variation des courants avant et après intégration 3D, ce qui reprend le résultat présenté à la Figure 4.10 pour une distance de 6 µm. En comparant cette fois les deux transistors de référence selon les deux orientations proposées, et ceci quelle que soit la largeur de grille, on observe là aussi une grande stabilité des courants de fuite, autour de $3,1 \cdot 10^{-11}$, $3,1 \cdot 10^{-12}$ et 10^{-12} A/µm respectivement pour les trois largeurs croissantes. Cette observation reflète l'innocuité de l'orientation cristalline du silicium pour la conservation des performances électriques initiales des transistors.

Si l'on considère dorénavant le transistor à grille perpendiculaire, un constat général peut alors être formulé. Pour les trois largeurs de grille, une augmentation du courant de fuite est observée, de l'ordre d'une demie décade maximum. Même si cet écart reste faible par rapport à la dispersion, il est néanmoins intéressant de constater ce phénomène sur les trois transistors NMOS testés.

Courant de saturation.

La Figure 4.15 présente les courants de saturation moyens et leurs dispersions associées pour les trois transistors NMOS à largeur de grille variable et selon les deux orientations considérées.

Au vu des dispersions importantes relatives au courant de saturation pour ces transistors (cf. Figure 4.8), ce paramètre électrique s'avère complexe à analyser dans le cas présent. Des variations moyennes de courant de saturation sont observées mais toujours dans des proportions non significatives. En effet, les variations moyennes restent, pour tous les cas d'étude testés, dans l'écart moyen du nuage de dispersion visualisé à la Figure 4.8. Par conséquent, il est hasardeux de conclure ici quant à l'analyse de ce paramètre électrique.

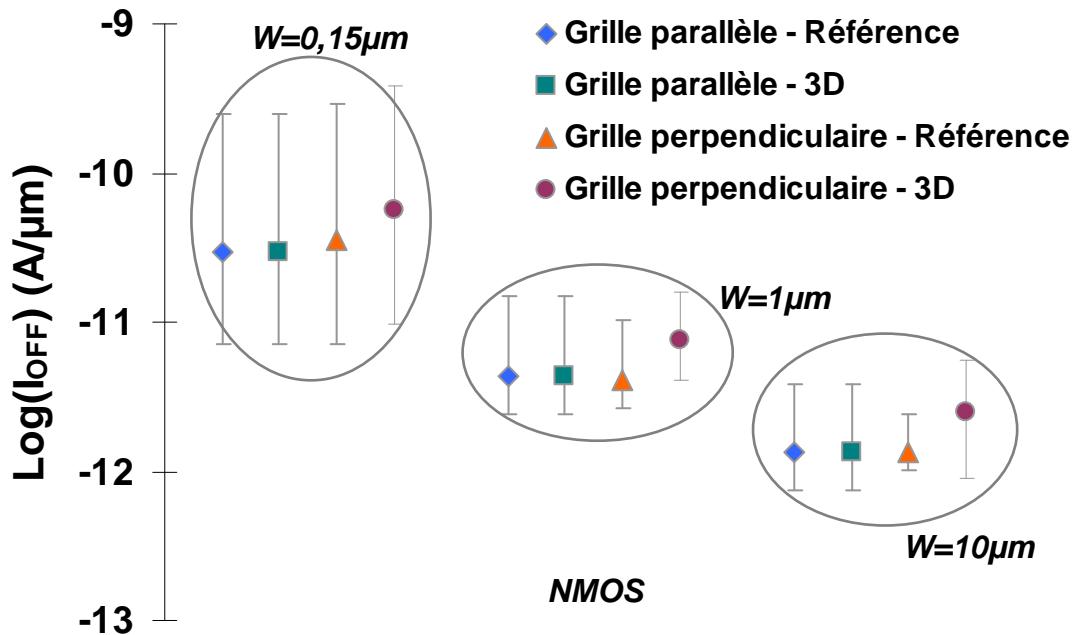


Figure 4.14. Courants de fuite moyens et dispersions associées pour les transistors NMOS de trois largeurs de grille $0,15\text{ }\mu\text{m}$, $1\text{ }\mu\text{m}$ et $10\text{ }\mu\text{m}$ et d'orientation parallèle et perpendiculaire au bord du TSV le plus proche.

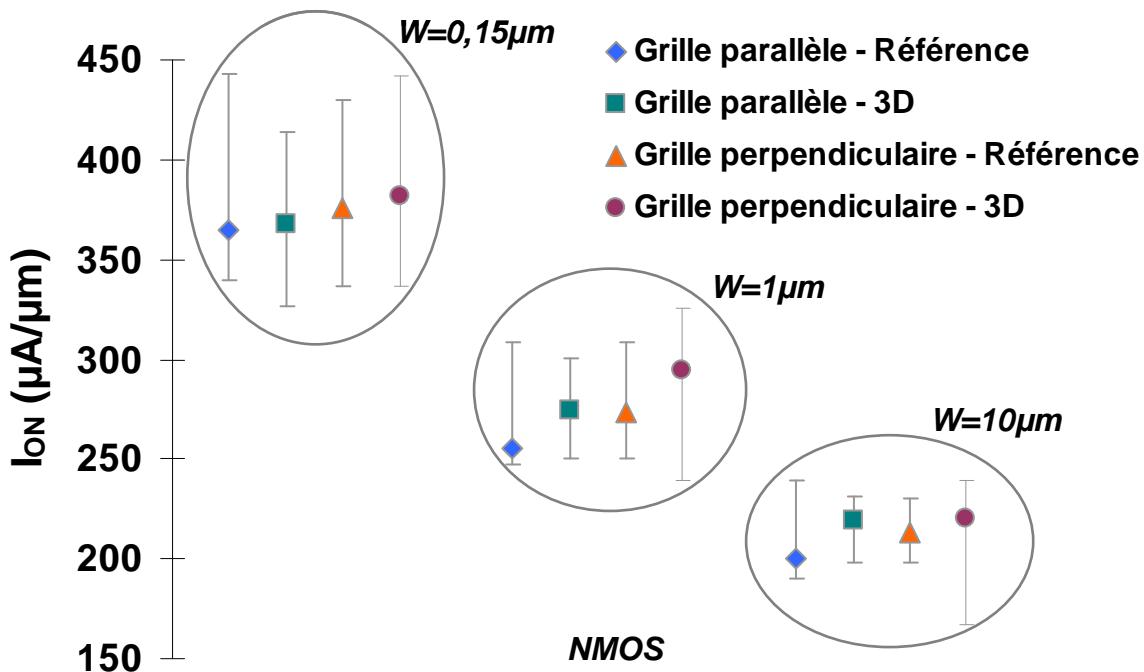


Figure 4.15. Courants de saturation moyens et dispersions associées pour les transistors NMOS de trois largeurs de grille $0,15\text{ }\mu\text{m}$, $1\text{ }\mu\text{m}$ et $10\text{ }\mu\text{m}$ et d'orientation parallèle et perpendiculaire au bord du TSV le plus proche.

4.2.3.2. Comportement des transistors PMOS

Courant de fuite.

A l'inverse des transistors NMOS qui semblent diminuer leur courant de fuite par unité de largeur en augmentant leur largeur de grille, les transistors PMOS présentent des courants de fuite indépendants de ce paramètre géométrique, autour d'une valeur moyenne de $3,1 \cdot 10^{-12} \text{ A}/\mu\text{m}$. D'un point de vue qualitatif, une telle valeur de courant de fuite signifie que le transistor est parfaitement isolé en terme électrostatique. Les variations observées sur la Figure 4.16 ne semblent pas avoir de réel sens physique. En tout état de cause, les maxima et minima obtenus pour les courants de fuite des transistors PMOS renseignent sur le maintien d'un niveau de fuite minimal quelle que soit l'orientation de la grille et la configuration d'intégration (planaire ou 3D).

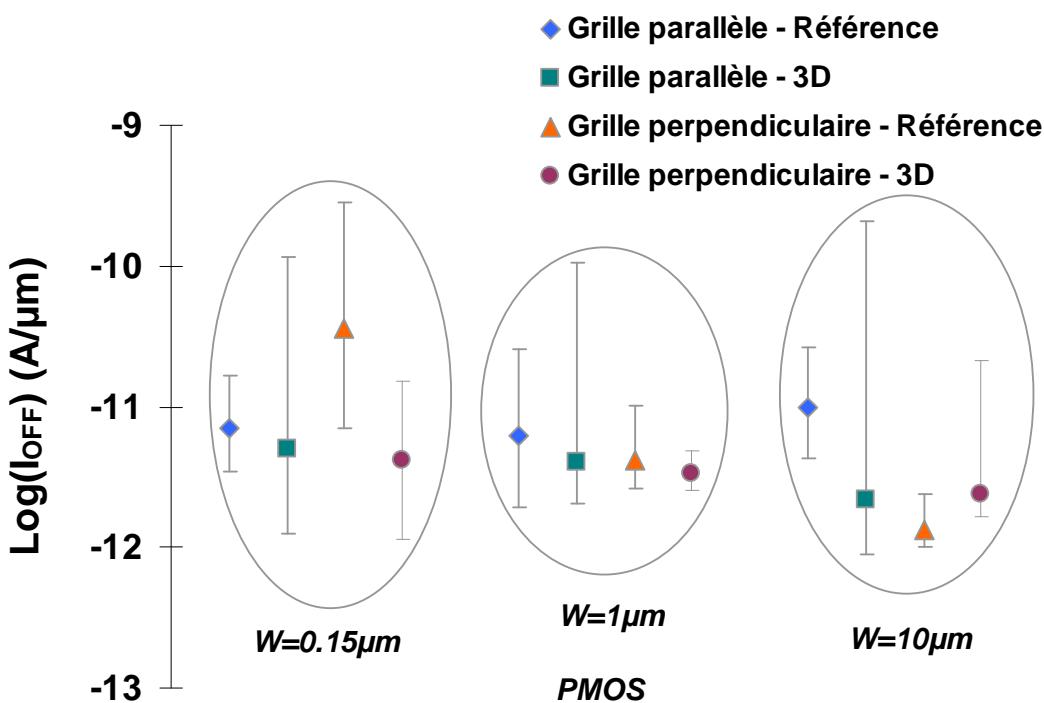


Figure 4.16. Courants de fuite moyens et dispersions associées pour les transistors PMOS de trois largeurs de grille $0,15 \mu\text{m}$, $1 \mu\text{m}$ et $10 \mu\text{m}$ et d'orientation parallèle et perpendiculaire au bord du TSV le plus proche.

Courant de saturation.

Dans la continuité de ce qui a été observé à la Figure 4.9, les courants de saturation des transistors PMOS semblent être indépendants de la largeur de grille considérée. La valeur moyenne des composants de référence testés se situe autour de $100 \mu\text{A}/\mu\text{m}$.

Si l'on considère dorénavant l'intégration 3D, les PMOS présentent des courants de saturation situés autour de $75 \mu\text{A}/\mu\text{m}$, soit environ 30 % en deçà de la valeur de référence, ce qui a été montré au paragraphe 4.2.2.2. La présente étude apporte néanmoins une information complémentaire tout à fait intéressante. On remarque une baisse de courant identique pour les deux orientations, soit 30 %. Cela montre que les PMOS sont impactés de manière homogène, sans effet d'orientation à la suite de l'intégration 3D. L'effet des contraintes semble donc à écarter. Des simulations et caractérisations complémentaires sont nécessaires pour confirmer cette hypothèse.

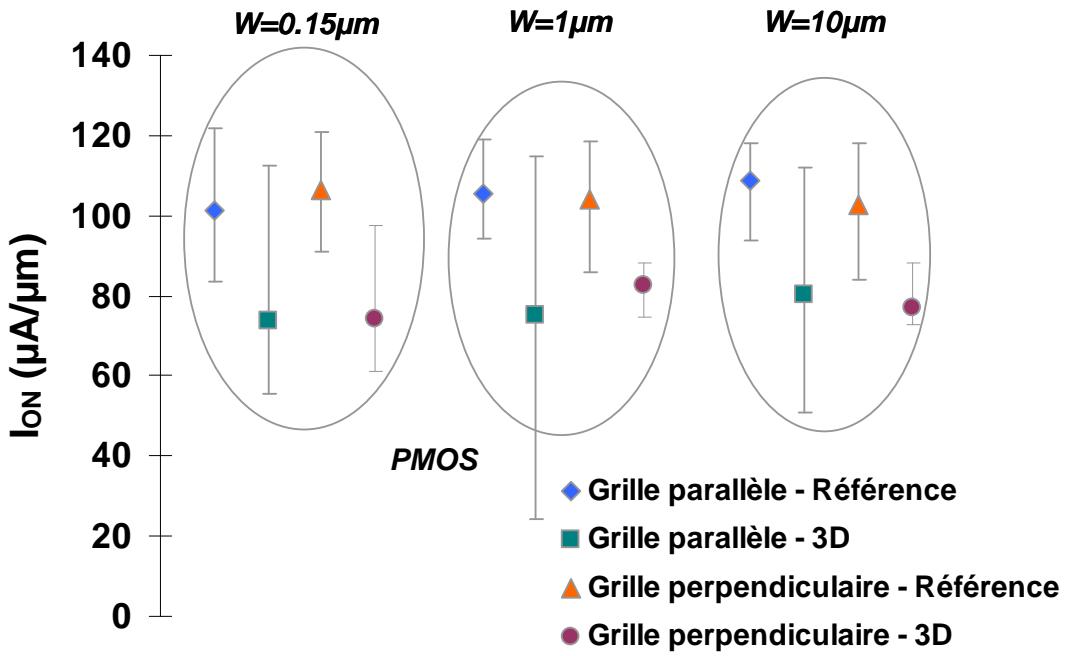


Figure 4.17. Courants de saturation moyens et dispersions associées pour les transistors PMOS de trois largeurs de grille 0,15 μm, 1 μm et 10 μm et d'orientation parallèle et perpendiculaire au bord du TSV le plus proche.

Conclusions.

Nous venons d'observer des phénomènes de dégradation de performances électriques en termes de courant de saturation sur les transistors PMOS. Ces derniers semblent être les seuls réceptifs à l'intégration 3D. L'orientation de la grille par rapport au TSV n'influence pas cette dégradation qui touche l'ensemble des transistors PMOS testés. Cette constatation démontre qu'il ne s'agit pas ici d'une perturbation d'origine thermomécanique. Si cela avait été le cas, le comportement des transistors aurait été différent selon l'orientation de leur grille. En effet, les contraintes induites par le TSV modifient la mobilité des porteurs libres selon des directions cristallographiques différentes. Des études complémentaires sont néanmoins nécessaires pour expliquer cette chute de performances. Il est à noter que les courants de fuite restent à des niveaux minimaux. Les transistors NMOS quant à eux ne subissent aucune variation significative de leurs performances électriques, que ce soit à l'état ON ou à l'état OFF.

Des travaux précédemment menés par Intel Corporation [Newman06] montrent des résultats similaires sur les transistors NMOS issus de leur technologie CMOS 65 nm sur silicium contraint et intégrés dans une architecture 3D haute densité. Leur étude ne s'intéresse pas au cas du PMOS, ce qui fait de la présente étude la seule qui se consacre à ce type de composants en montrant qui plus est des résultats sensiblement différents de ceux obtenus auprès des NMOS.

En menant le raisonnement relatif à ce sous chapitre, nous venons de poser les premières pierres quant à la caractérisation des interactions entre le TSV – le procédé d'intégration 3D plus globalement – et les transistors issus d'une technologie CMOS mature. Tout comme ce qui a été réalisé au chapitre 2 dans le cadre des modélisations numériques, il est intéressant d'étendre la problématique au-delà du cas du simple transistor. La section suivante porte donc le point d'étude spécifiquement développé à la section 4.2.2 au cas d'un circuit logique simple, à savoir l'oscillateur en anneau.

4.2.4. Effet de proximité du TSV sur l'oscillateur en anneau

4.2.4.1. Considérations générales

Au chapitre 3, un circuit logique spécifique a été défini pour mesurer les performances de la technologie employée et observer une quelconque variation de celles-ci après intégration 3D. Le circuit considéré est un oscillateur en anneau comportant 101 portes (100 inverseurs et 1 NAND) et est basé sur la même technologie basse consommation utilisée pour les transistors mesurés précédemment (nœud technologique CMOS 130 nm). Il est décrit au paragraphe 3.1.3.1.

5 oscillateurs identiques sont implémentés de plus en plus loin d'un TSV. L'objectif de cette étude est similaire que celui développé pour l'étude sur les transistors, à savoir comparer les performances électriques de l'oscillateur – ici ses fréquences d'oscillation – avant et après intégration 3D, et en fonction de la distance de séparation d'avec le TSV.

La sortance (*fan-out*) des portes est ici de 1, c'est-à-dire que chaque porte de l'oscillateur est capable de charger une seule porte successive sans perdre le niveau logique.

La Figure 4.18 est une vue masque des cinq oscillateurs en anneau. Le premier oscillateur est celui placé au plus proche du TSV au centre. Sa zone d'exclusion est de 5,6 µm. Les oscillateurs #2 et #3 sont localisés respectivement à 90 et 180 µm du TSV central, mais les deux subissent les contraintes thermomécaniques de deux TSV situés à leurs extrémités (droite et gauche sur les deux vues masque). Dans ces deux cas, il y a donc une sollicitation mécanique constante avec les TSV latéraux et une sollicitation mécanique variable avec le TSV central. Enfin, les oscillateurs #4 et #5 sont localisés suffisamment loin de tout TSV pour – théoriquement – ne subir aucune variation de performances.

4.2.4.2. Impact sur l'oscillateur en anneau

L'ensemble des oscillateurs est testé en fréquence sur un substrat de 200 mm et les résultats associés sont présentés sous forme de fréquence distribuée à la Figure 4.19. L'encart inséré dans cette figure est une représentation alternative des fréquences d'oscillation d'un oscillateur particulier (ici le RO1_1) sous forme d'histogramme de distribution qui renseigne notamment sur la valeur médiane. Celle-ci s'établit à 368 kHz et son écart type à 3σ est de 14 kHz. L'écart type renseigne sur la dispersion relative à la fois aux procédés de fabrication de la technologie CMOS et à la précision de la mesure. En reportant la valeur médiane sur la distribution cumulée, la variation maximale de fréquence moyenne entre les 5 oscillateurs est mesurée à 2 kHz, ce qui démontre une très bonne reproductibilité des résultats entre les différents circuits.

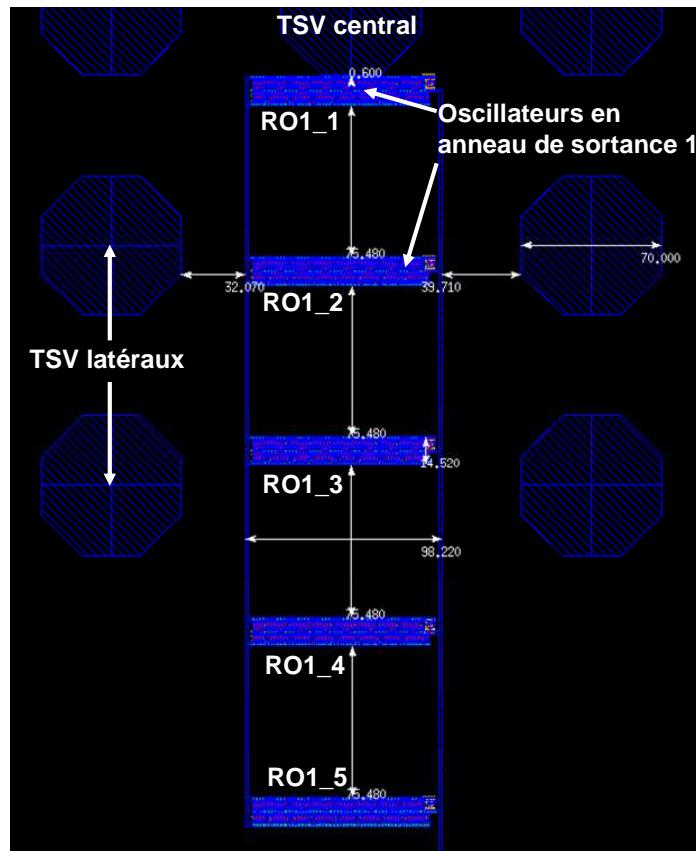


Figure 4.18. Vue masque des cinq oscillateurs en anneau de sortance 1 dans leur environnement contraint par la présence des TSV. Les dimensions indiquées sur la figure sont exprimées en microns.

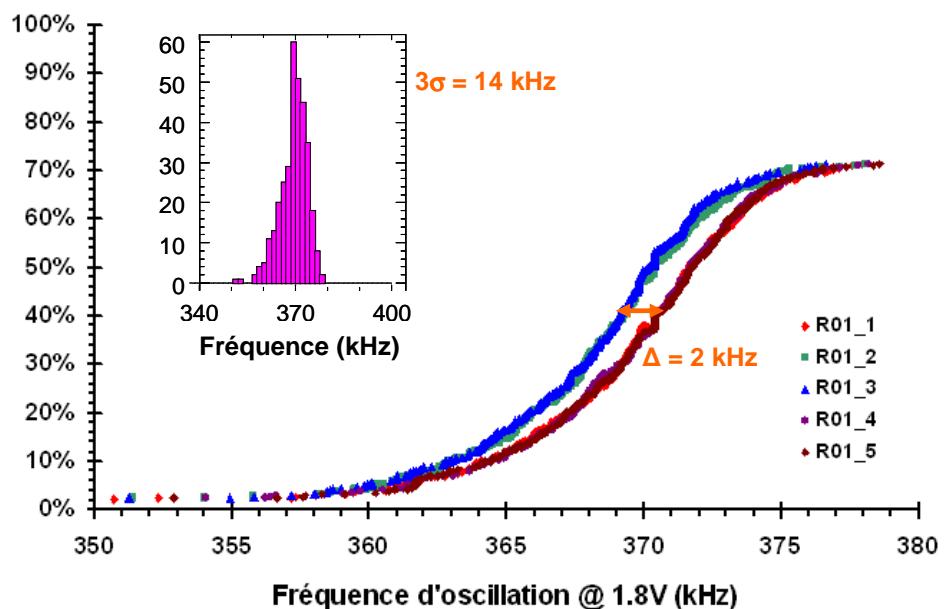


Figure 4.19. Distribution des fréquences d'oscillation pour les cinq oscillateurs en anneau de sortance 1. Histogramme de distribution des fréquences d'oscillation (encart).

Les valeurs moyennes de fréquence des cinq oscillateurs de sortance 1 sont représentées sous forme d'histogramme à la Figure 4.20. Alors que les oscillateurs #1, #4 et #5 oscillent à la même fréquence de 367 kHz, les #2 et #3 voient leur fréquence s'établir à 366 kHz. Cette différence infime d'environ 1 kHz (soit 0,4 %) n'est aucunement significative dans le cas présent et ne permet pas de conclure sur l'impact thermomécanique engendré par les TSV sur les oscillateurs en anneau de sortance 1.

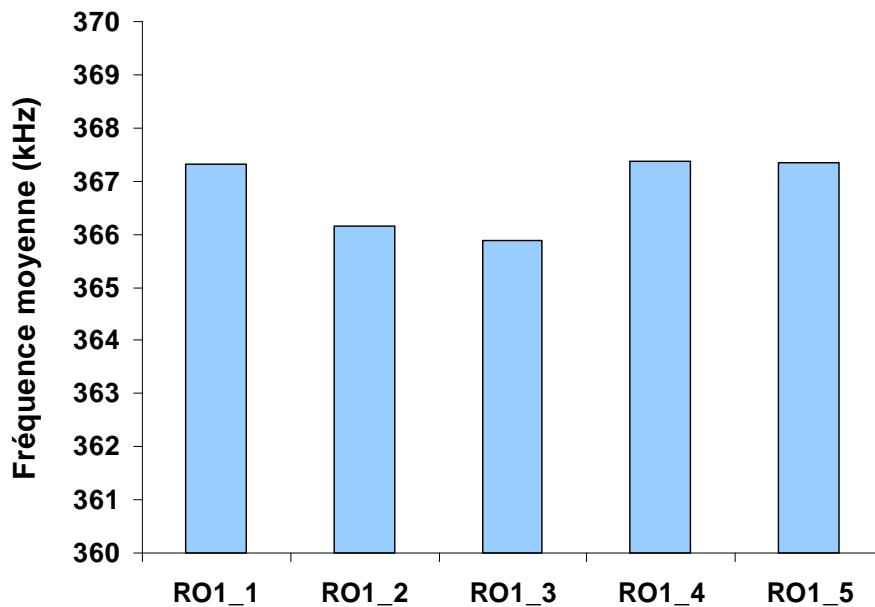


Figure 4.20. Fréquences moyennes des 5 oscillateurs de sortance 1 sur l'ensemble d'un wafer de 200 mm.

Des résultats en tous points similaires sont également isolés pour des oscillateurs en anneau de sortance 3. Dans ce cas particulier, chaque porte du circuit est capable de charger trois portes parallèles sans perdre le niveau logique. De manière concrète, l'oscillateur en anneau étant linéaire comme celui de sortance 1, chaque porte n'est connectée qu'à une seule autre. La conséquence de cette implémentation est une augmentation générale de la fréquence d'oscillation pour la sortance 3, s'établissant autour de 428 kHz. La puissance consommée suit également un comportement similaire.

Quelle que soit la puissance adressée par l'oscillateur, on peut donc considérer que l'intégration 3D et la proximité du TSV par rapport à ce circuit logique ont une influence non significative sur les performances de la technologie.

4.3. Caractérisation du couplage par le substrat

L'objectif du sous chapitre 4.1 a été de statuer sur l'effet d'un procédé technologique isolé sur les composants. Le sous chapitre 4.2 a permis de mettre en évidence l'influence des procédés d'intégration 3D et l'effet de proximité du TSV sur les dispositifs CMOS. Néanmoins, ces types d'impact sont thermomécaniques ou induits par les procédés de fabrication. Le chapitre 2 s'est consacré à l'étude par simulation des phénomènes de couplage électrique par le substrat et leur impact sur le fonctionnement et les performances d'une technologie CMOS. Ce nouveau sous chapitre, qui clôture le manuscrit, a pour objectif de caractériser le couplage électrique par le substrat mis en évidence par simulation.

Trois sections composent cette partie : la première s'intéresse à la caractérisation R-C des TSV moyenne densité, la seconde présente les résultats expérimentaux concernant les mesures de bruit substrat émis par le TSV dans le silicium aminci et la troisième propose un modèle analytique simplifié qui permet d'expliquer simplement les mesures expérimentales.

4.3.1. Caractérisation de la technologie 3D moyenne densité

La caractérisation d'une technologie passe par la mesure de ses propriétés électriques. Dans le cas appliqué à la technologie 3D moyenne densité, nous cherchons à identifier précisément les caractéristiques intrinsèques du TSV, dont les deux plus importantes sont la résistance et la capacité. Cette dernière est également nécessaire à la modélisation du couplage substrat. Les résultats de cette section sont directement liés à l'intensité du couplage décrit à la fin de ce sous chapitre.

4.3.1.1. Résistance du TSV

La mesure de résistance du TSV s'effectue par le biais de la structure dite « via Kelvin », décrite à la Figure 3.1. Une plaque de silicium ayant subi le procédé 3D moyenne densité est testée sur son ensemble de telle manière à obtenir la distribution des valeurs de résistances exprimée en pourcentages cumulés. Les résultats sont représentés à la Figure 4.21. Il est à noter que cette distribution s'arrête à 70 %, les 30 % restants correspondent aux puces présentant des résistances aberrantes sur la plaque testée. Ces données non prises en compte sur le graphique sont dues à un procédé technologique 3D inhomogène sur l'ensemble de la plaque.

La dispersion observée sur les mesures de résistances est importante, puisque la gamme de mesure s'étend de 5 à 45 mΩ. La valeur analytique de la résistance de ce type de TSV est donnée par l'équation 4.1.

$$R_{TSV} = \rho_{Cu} \cdot \frac{L_{TSV}}{S_{TSV}} \quad (\text{Eq. 4.1})$$

où ρ_{Cu} est la résistivité du cuivre déposé sur les flancs du TSV et est mesurée à $2,4 \mu\Omega \cdot \text{cm}$, L_{TSV} est la longueur (ici la profondeur) du TSV et S_{TSV} est sa section. Pour rappel, la profondeur nominale du TSV est de $120 \mu\text{m}$, et sa section vaut :

$$S_{\text{TSV}} = \pi \cdot (R_{\text{ext}}^2 - R_{\text{int}}^2) \quad (\text{Eq. 4.2})$$

où R_{ext} est le rayon extérieur du dépôt cylindrique de cuivre et R_{int} le rayon intérieur associé. Pour des calculs précis, il est préférable de procéder à des coupes MEB¹ sur le TSV et de mesurer directement les épaisseurs déposées. La Figure 4.22 illustre à différents grossissements les détails d'un TSV moyenne densité.

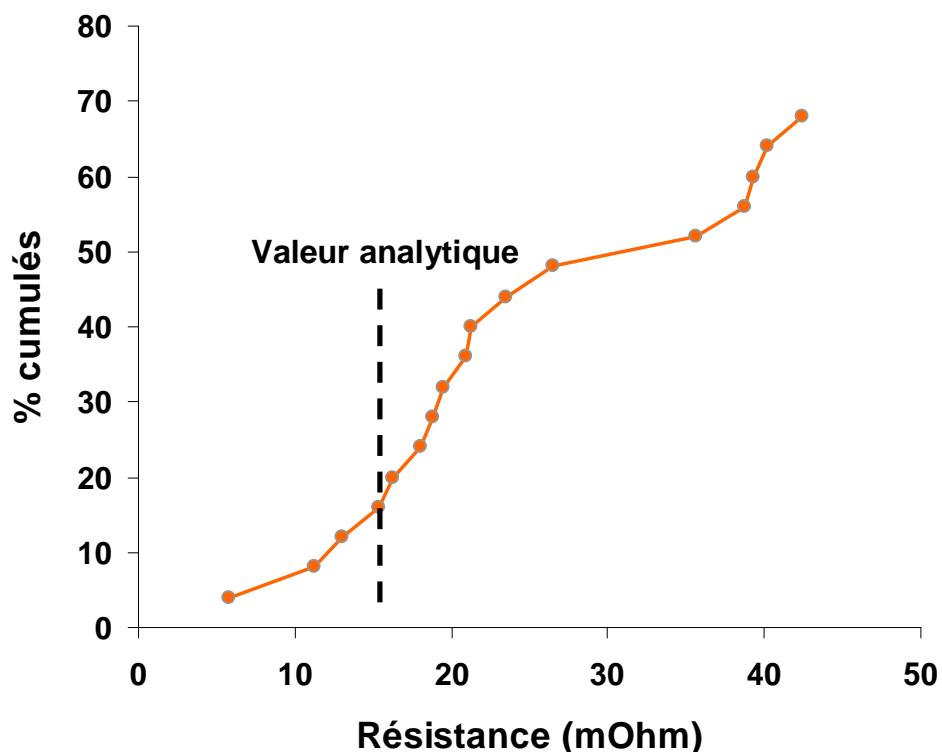


Figure 4.21. Pourcentages cumulés des valeurs de résistance du TSV unitaire mesurés pour une plaque de silicium issue du procédé 3D moyen densité.

¹ MEB : Microscopie Electronique à Balayage.

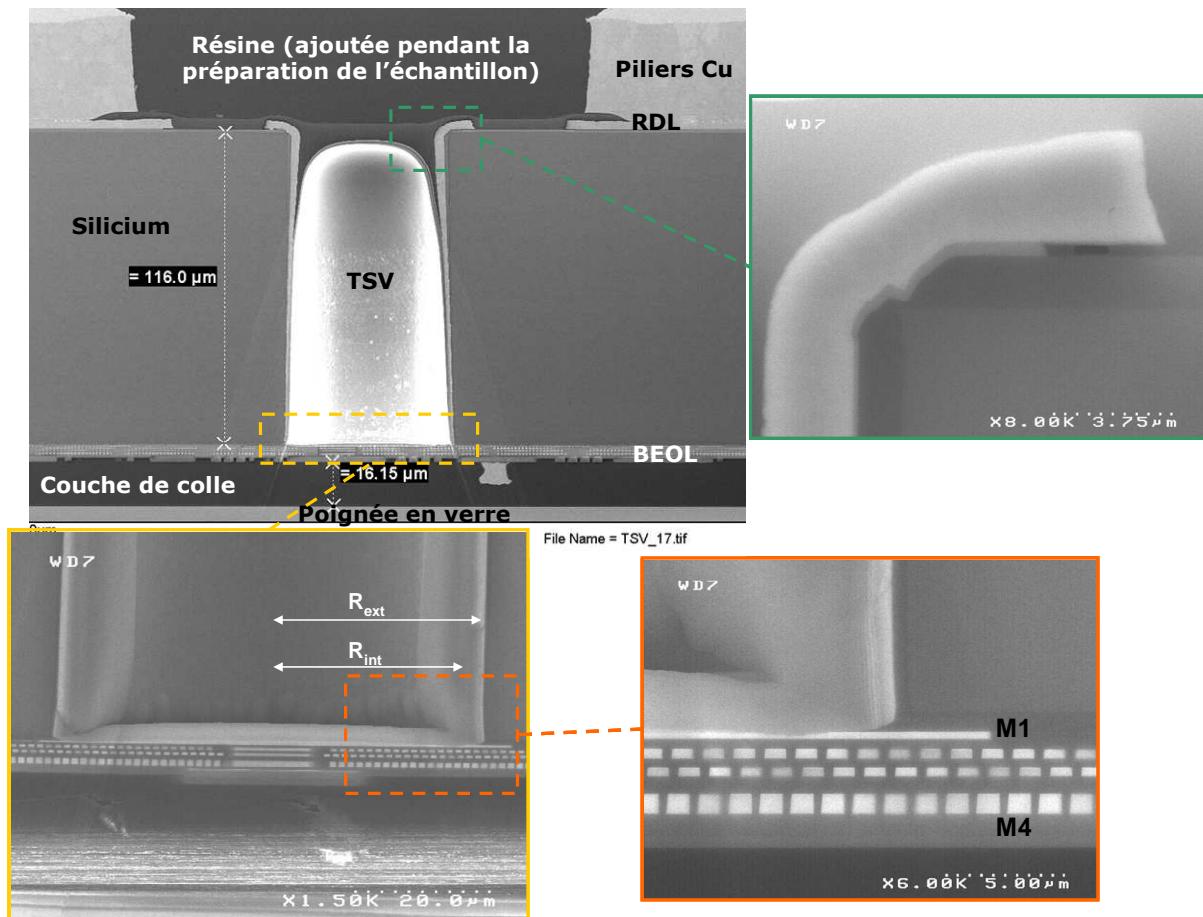


Figure 4.22. Coupes MEB d'un TSV moyenne densité et détails associés.

A partir des mesures d'épaisseurs et de profondeur réalisées sur les clichés MEB, l'équation 4.1 donne une valeur analytique de résistance équivalente à $15 \text{ m}\Omega$. Cette valeur est située sur la Figure 4.21 pour comparer aux valeurs mesurées. Si l'on se conforme à cette stricte valeur analytique, il apparaît évident que les procédés mis en œuvre sur ce démonstrateur ne sont pas suffisamment matures pour aboutir à une géométrie de TSV idéale, ainsi qu'à un dépôt de métal parfaitement conforme.

Parallèlement à cette première analyse, les spécifications électriques demandées pour ce type d'intégration 3D sont plus relâchées que les résultats du calcul analytique. Dans le cas présent, une résistance inférieure à $25 \text{ m}\Omega$ est visée, ce qui est le cas de 50 % des TSV mesurés sur la plaque.

Néanmoins, une telle dispersion rend surtout compte de la variabilité des procédés technologiques qui peut s'avérer problématique entre différents lots de plaques pour ce qui concerne les caractéristiques électriques. Rien ne sert d'être alarmiste, il convient donc de tempérer cette conclusion en précisant que ces résultats sont issus de la première série du démonstrateur moyenne densité. Les procédés technologiques apparaissent encore instables mais les futures améliorations sauront réduire ces imperfections.

4.3.1.2. Capacité du TSV

Structures de test dédiées

A l'instar de la résistance, la capacité du TSV est un paramètre électrique important puisqu'il conditionne directement le temps de propagation du signal dans le TSV. Autrement dit, la capacité, tout comme la résistance, affecte au premier ordre la performance électrique du via traversant. Il est donc nécessaire de caractériser cette propriété électrique de manière répétable et fiable. Comme il a été décrit au paragraphe 3.1.1.2., la mesure de capacité du TSV n'est pas chose triviale. Sur le démonstrateur 3D moyen densité ont été implantés les deux types de structures décrites au chapitre 3, à savoir le motif à TSV unique ainsi que la matrice de TSV. Dans cette dernière structure, et compte tenu du diamètre imposant de ce type de via traversant, le nombre de TSV s'élève à 4 seulement. De plus, trois distances de séparation, notées d , entre le bord des TSV et l'anneau de garde sont testées. Les valeurs associées sont 6, 10 et 20 μm . Les deux cellules de test sont présentées à la Figure 4.23.

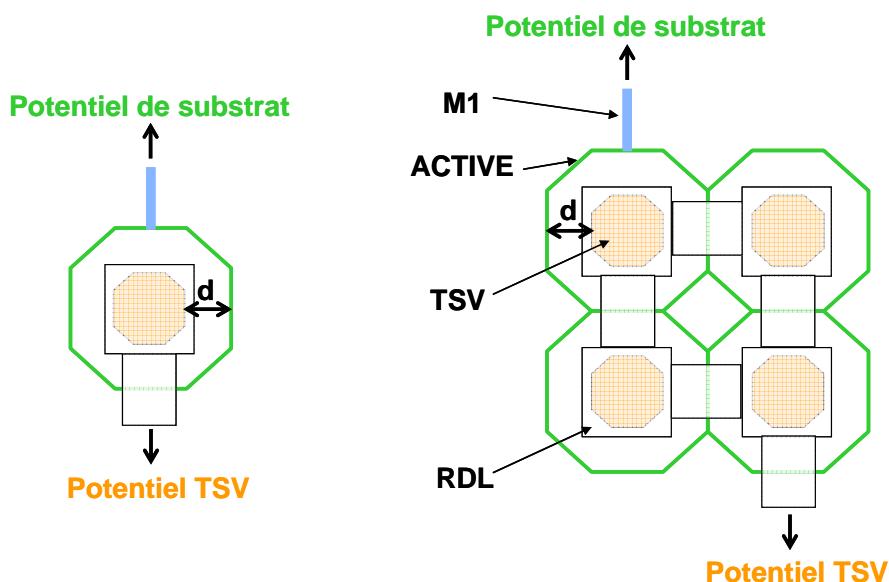


Figure 4.23. Vues masque des deux structures de test dédiées à la mesure de capacité TSV : motif à TSV unique (gauche), matrice à 4 TSV (droite).

Les cellules de test ont été conçues pour pouvoir être testées de manière similaire soit par la face avant du circuit (métal supérieur), soit par la face arrière (RDL). Cette approche nécessite donc la mise en place de plots de test localisés à la fois sur le RDL et sur le métal supérieur, les deux niveaux étant interconnectés par un TSV. Ces plots de test génèrent une capacité parasite importante, principalement due à la présence du TSV connectant le plot en face avant au plot en face arrière. Cette structure particulière complexifie quelque peu la méthode d'interprétation de la mesure de capacité puisqu'une étape de calibration est nécessaire pour supprimer la capacité parasite.

Méthodologie associée aux tests.

Pour s'affranchir de cette capacité d'accès (nous l'appellerons de la sorte), une méthodologie d'extraction de la capacité est proposée et décrite en trois points listés ci-dessous :

1°) Mesurer les capacités brutes issues des deux structures de test, à savoir le motif à TSV unique et la matrice de 4 TSV, respectivement $C_{brute1TSV}$ et $C_{brute4TSV}$, pour les trois distances de séparation entre la sonde et le TSV ;

2°) Soustraire la capacité brute issue du motif à TSV unique à la capacité brute de la matrice à 4 TSV de telle manière à supprimer la capacité d'accès (rappelons que la structure d'accès est identique entre les deux motifs de test). On procède ainsi à une calibration de la mesure de capacité ;

3°) Diviser cette valeur de capacité calibrée par 3, c'est-à-dire le nombre de TSV réellement pris en compte après calibration. La formulation suivante est ainsi obtenue :

$$C_{TSV} = \frac{(C_{brute4TSV} - C_{brute1TSV})}{3} \quad (\text{Eq. 4.3})$$

Le paragraphe suivant présente les résultats de mesure après application de cette méthodologie.

Mesures et analyse.

Trois types d'oxyde de silicium² pour l'isolation du TSV sont testés. La Table 4.3 récapitule les différentes caractéristiques du dépôt et des matériaux notés oxyde A, oxyde B et oxyde C. Tous les matériaux sont déposés par procédé PECVD à 255°C. Seul le précurseur organique change.

L'étape 1 de la méthodologie est retranscrite pour l'exemple sur la Figure 4.24 pour l'oxyde C (à constante diélectrique faible). Les valeurs brutes de capacité obtenues par mesure directe sur les deux types de dispositifs sont retranscrites sur le modèle de résultats appliquée pour la résistance et présenté à la section 4.3.1.

Table 4.3. Caractéristiques du dépôt et des matériaux isolants.

Matériaux isolants	Epaisseur déposée en surface (μm)	Epaisseur mesurée sur les flancs (μm)	Constante diélectrique
Oxyde A	3 x 2	2,1	9,4
Oxyde B	1	0,7	6,5
Oxyde C	3 x 1,5	1,75	4,5

² Notation : le terme « oxyde » sera employé par la suite pour désigner un oxyde de silicium.

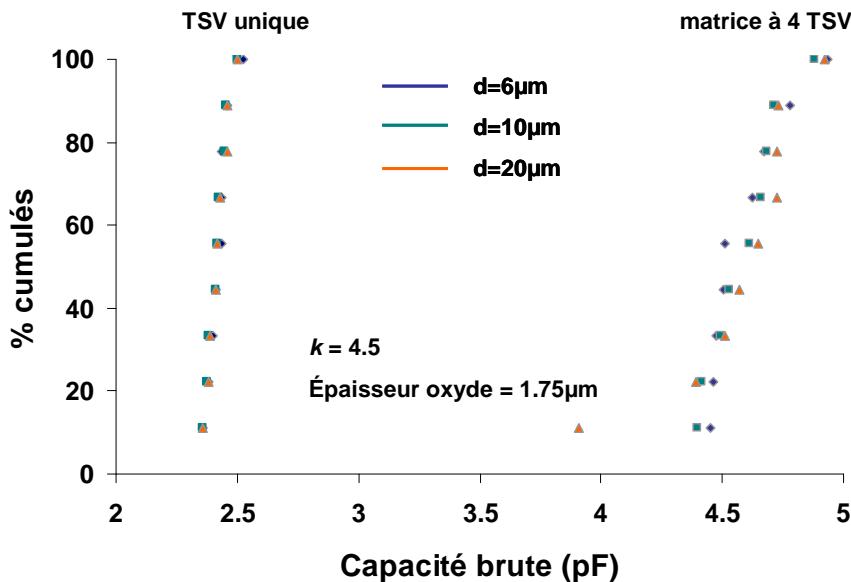


Figure 4.24. Distribution cumulée des capacités brutes liées à l'oxyde noté C à constante diélectrique faible ($k=4,5$). Les motifs à TSV unique sont regroupés à gauche et les matrices à 4 TSV à droite pour les trois distances d de séparation entre l'anneau de garde et le bord des TSV.

Les écarts-types des distributions concernant la structure à TSV unique sont extrêmement restreints et avoisinent $0,05\text{ pF}$. La structure en matrice de 4 TSV présente des dispersions légèrement supérieures, autour de $0,15\text{ pF}$ pour les distances d valant 6 et $10\text{ }\mu\text{m}$, et $0,3\text{ pF}$ pour la distance de $20\text{ }\mu\text{m}$.

Il est également à noter que la notion de distance de séparation entre la sonde (*i.e.* l'anneau de garde) et le bord du TSV ne semble avoir aucune influence sur la valeur de capacité brute mesurée. Cela peut être expliqué par le fait que la résistance du silicium impacte peu la mesure de la capacité du TSV.

Les étapes 2 et 3 de la méthodologie, qui consistent à calibrer la mesure de capacité brute puis déterminer la valeur effective de la capacité d'un seul TSV (par application de l'équation 4.3), sont effectuées sur l'ensemble des valeurs distribuées de capacités brutes. Les distributions de capacités traitées pour les trois oxydes A, B et C sont présentées respectivement Figure 4.25, Figure 4.26 et Figure 4.27. L'oxyde B présente des valeurs de capacité autour de $1,8\text{ pF}$, soit plus de deux fois supérieures aux valeurs issues des matériaux A et C. Les valeurs médianes des capacités et les écart-types relatifs aux mesures sont listés dans la Table 4.4 pour les trois oxydes et comparées à la valeur analytique calculée selon les caractéristiques mesurées du matériau (*i.e.* sa constante diélectrique et l'épaisseur effective de dépôt sur les flancs issue des coupes MEB). La formule analytique de la capacité pour un cylindre creux est décrite dans l'annexe B.

Les valeurs de capacités obtenues pour chacun des oxydes sont quasiment constantes quelle que soit la sonde considérée. Cette observation vient confirmer le très faible impact de la résistance du silicium dans la mesure de la capacité du TSV. Néanmoins, étant données les différences intrinsèques entre les deux matériaux A et C, il est étonnant de trouver des valeurs de capacité similaires pour les deux oxydes, autour d'une moyenne à $0,7\text{ pF}$, alors que les valeurs analytiques sont de $0,86\text{ pF}$ pour l'oxyde A et de $0,52\text{ pF}$ pour l'oxyde C.

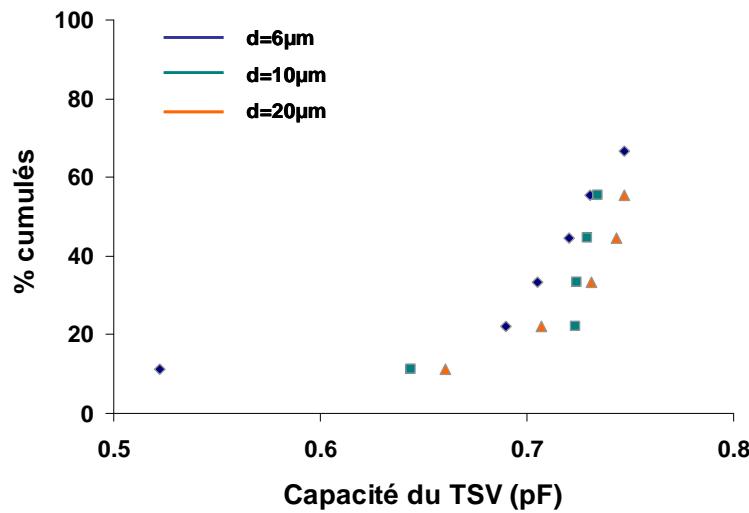


Figure 4.25. Distribution cumulée de la capacité traitée du TSV isolé par l'oxyde A à constante diélectrique élevée ($k=9,4$).

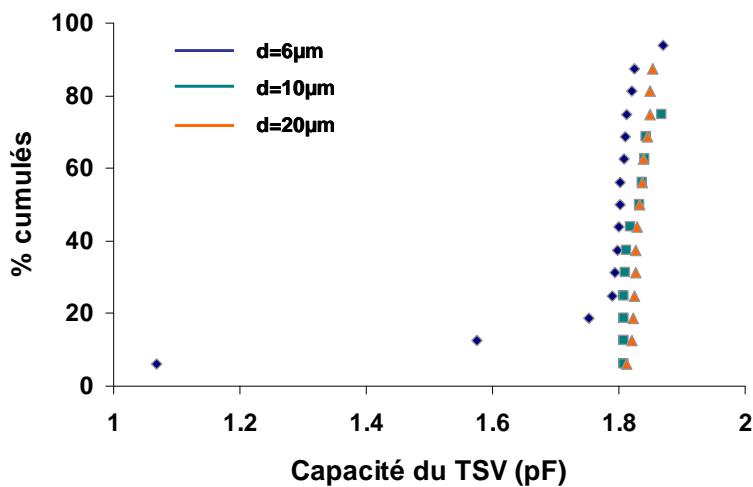


Figure 4.26. Distribution cumulée de la capacité traitée du TSV isolé par l'oxyde B à constante diélectrique moyenne ($k=6,5$).

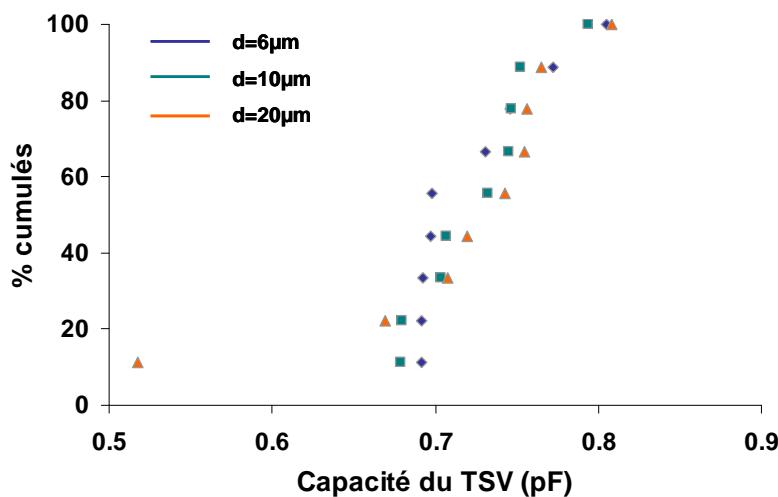


Figure 4.27. Distribution cumulée de la capacité traitée du TSV isolé par l'oxyde C à constante diélectrique faible ($k=4,5$).

Table 4.4. Capacités d'oxyde d'un TSV moyenne densité obtenues après traitement des valeurs brutes pour les trois oxydes déposés. Les valeurs de capacité calculées analytiquement sont issues des caractéristiques mesurées des matériaux (constante diélectrique et épaisseur déposée).

Matériaux isolants	Capacité TSV @ d = 6 µm (pF)	Capacité TSV @ d = 10 µm (pF)	Capacité TSV @ d = 20 µm (pF)	Capacité TSV analytique (pF)
Oxyde A	0,68 ± 0,08	0,71 ± 0,04	0,72 ± 0,04	0,86
Oxyde B	1,74 ± 0,19	1,82 ± 0,02	1,83 ± 0,01	1,83
Oxyde C	0,72 ± 0,04	0,73 ± 0,04	0,71 ± 0,09	0,52

Deux hypothèses peuvent être formulées pour expliquer ces écarts entre les capacités mesurées et les capacités analytiques :

- l'épaisseur de dépôt considérée dans le traitement des données pour les capacités listées à la Table 4.4 est relevée à mi-profondeur du TSV. Or, les matériaux diélectriques utilisés dans ces géométries particulières ne sont pas conformes sur toute la profondeur des vias. Ce phénomène est dû au fait que le procédé de dépôt par plasma utilisé ici n'autorise pas toutes les espèces mobiles en présence dans le plasma à se déplacer jusqu'au fond du TSV avec la même cinétique. L'épaisseur de la zone en fond de via s'avère donc moins conséquente qu'en surface, ou même à mi-profondeur. Etant donné que les anneaux de garde qui mesurent la capacité du TSV sont également situés vers le fond du via (cf. Figure 3.2), rien ne permet d'assurer que le signal mesuré provient préférentiellement de toute la profondeur du TSV plutôt que d'une zone principalement située en fond de TSV où l'épaisseur de l'oxyde est inférieure à celle utilisée ici pour les calculs ;
- il est connu que le dépôt par plasma n'engendre pas une structure de matériau homogène selon que le dépôt est réalisé sur une surface plane (pleine plaque) ou sur une surface verticale (le TSV). Ce mécanisme propre à chaque dépôt peut donc donner une hétérogénéité structurale de l'oxyde sur les flancs du TSV qui peut engendrer une variation de sa constante diélectrique par rapport à celle mesurée pleine plaque (valeurs utilisées dans les calculs).

A partir des valeurs de capacités mesurées pour les trois distances de séparation d et de la formule analytique de la capacité donnée en annexe B, les épaisseurs d'oxyde correspondantes sont calculées, puis comparées aux épaisseurs mesurées sur cliché MEB à mi-profondeur. Les résultats sont listés à la Table 4.5.

Les valeurs d'épaisseurs sont constantes quelle que soit la distance de sonde considérée. Le calcul met bien en évidence le fait que l'oxyde A est déposé sur une épaisseur plus importante que l'oxyde C. Néanmoins, l'épaisseur de l'oxyde A s'avère surestimée par rapport à la valeur réelle alors que l'épaisseur de l'oxyde C est elle sous-estimée. Enfin, la très faible épaisseur de dépôt de l'oxyde B explique la forte capacité mesurée à 1,8 pF, comparativement aux deux autres matériaux déposés sur des épaisseurs plus conséquentes.

Table 4.5. Epaisseurs d'oxyde sur les flancs du TSV issues du calcul analytique en considérant les valeurs de capacités listées dans la Table 4.2, et comparées à l'épaisseur effective mesurée sur cliché MEB.

Matériaux isolants	Epaisseur sur les flancs calculée pour $d = 6 \mu\text{m}$ (μm)	Epaisseur sur les flancs calculée pour $d = 10 \mu\text{m}$ (μm)	Epaisseur sur les flancs calculée pour $d = 20 \mu\text{m}$ (μm)	Epaisseur mesurée sur les flancs (μm)
Oxyde A	2,4	2,4	2,4	2,1
Oxyde B	0,7	0,7	0,7	0,7
Oxyde C	1,2	1,2	1,2	1,7

Cette section a permis de caractériser les propriétés électriques élémentaires du TSV moyenne densité, à savoir sa résistance et sa capacité. Concernant cette dernière, l'annexe B fournit des abaques iso-capacités qui permettront au lecteur de comprendre comment abaisser la valeur de la capacité du TSV en modifiant à la fois les propriétés du matériau diélectrique et la géométrie intrinsèque du TSV.

Par la suite, nous nous intéressons plus précisément aux phénomènes de couplage par le substrat dépendants entre autres de la valeur de la capacité du TSV.

4.3.2. Bruit substrat

4.3.2.1. Considérations générales

Jusqu'à présent, le TSV n'a été considéré qu'en tant que structure physique engendrant des contraintes thermomécaniques. Autrement dit, peu importe l'état électrique du TSV, les possibles modifications locales du substrat (ex : injection de charges libres dans les métaux ou le silicium lors de la gravure du TSV) et globales (ex : budget thermique) engendrées par les procédés de fabrication sont avérées. En prenant en compte cette assertion, nous définissons ainsi l'effet *a minima* de l'intégration 3D sur la technologie CMOS.

Cela étant dit, la fonction principale des TSV est de nature électrique. Le propos du chapitre 2 a mis en évidence l'impact électrique du TSV par couplage à travers le substrat. Or, en fonctionnement, le couplage électrique intervient en surplus de l'impact thermomécanique. Les variations observées sur le composant lors de mesures expérimentales sont donc la résultante du couplage électrique induit par le TSV et de l'effet des contraintes thermomécaniques.

Afin de mettre en évidence les phénomènes de couplage électrique, les structures de test décrites à la Figure 4.23 et servant à mesurer la capacité du TSV sont suffisantes. Un potentiel en créneau est appliqué sur le TSV et le potentiel parasite dans le substrat est relevé au niveau de l'anneau de garde. Le pic de potentiel est enregistré à la transition du signal créneau.

Les deux structures de test décrites à la Figure 4.23 permettent d'investiguer trois paramètres (dont un est de nature géométrique, les deux autres de nature électrique et liés à la source perturbatrice) et ainsi, d'évaluer l'influence de ces paramètres en terme de couplage. Ils sont listés ci-dessous :

- Distance de la masse par rapport à la structure de test ;
- Amplitude de la tension appliquée sur le TSV ;
- Temps de montée et descente du front du potentiel dynamique.

Avant d'analyser les potentiels de substrat en fonction de ces trois paramètres, nous rappelons que les structures de test existent sous trois variantes, à savoir les trois distances de séparation à 6, 10 et 20 µm entre le TSV et l'anneau de garde. Il est intéressant dans un premier temps de simplement relever le potentiel substrat sur une sonde et de comparer le signal agresseur et le signal transmis par le silicium, de telle manière à comprendre comment intervient le phénomène capacitif dans la réalité. L'analogie entre le signal transmis et le modèle électrique équivalent au système {TSV + silicium}, développé par [Cadix09], permet de comprendre la réponse électrique du silicium. Dans un second temps, la comparaison directe des signaux transmis sur les trois sondes vient confirmer les hypothèses précédemment émises.

4.3.2.2. Réponse du silicium

Un potentiel en créneau est appliqué sur le TSV, d'amplitude crête à crête de 3,6 V (de -1,8 à +1,8 V), avec un front de montée de 8 ns centré à $t_0 = 0$ et une fréquence de 1 kHz. Le potentiel de substrat est relevé sur la même échelle de temps. Il est à noter que le substrat est mis à la masse sur tout le temps de la mesure. Les potentiels appliqués sur le TSV et relevés sur la sonde substrat sont décrits à la Figure 4.28.

Avant t_0 , le potentiel de substrat est stabilisé autour de 0 mV alors que le potentiel du TSV est constant à -1,8 V. A partir de t_0 , c'est-à-dire quand la tension appliquée sur le TSV passe à 1,8 V, il est observé un pic de potentiel correspondant à la charge de la capacité du TSV suivi de sa décharge.

A partir de $t = 0,06 \mu\text{s}$, on remarque une oscillation atténuée sur le potentiel substrat. Cette réponse électrique est typiquement due à l'inductance du TSV. En effet, le modèle électrique du système {TSV + silicium} proposé par Cadix *et al.* [Cadix09] corrobore les observations expérimentales présentées ci-dessous. Ce modèle est exposé à la Figure 4.29.

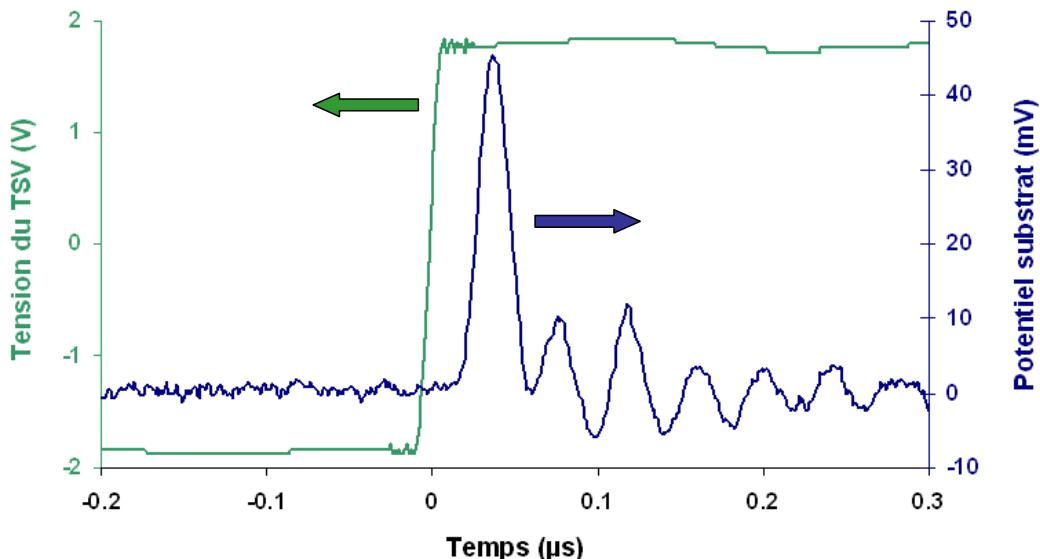


Figure 4.28. Réponse caractéristique en potentiel relevée par la sonde en anneau (bleu) en fonction d'une tension perturbatrice en créneau appliquée sur le TSV (vert).

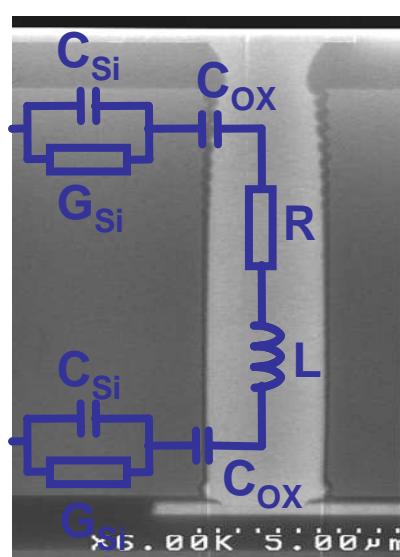


Figure 4.29. Modélisation du comportement électrique du système TSV + silicium. Le cliché MEB est tiré d'une intégration 3D haute densité [Cadix09].

Le TSV est schématisé par une résistance R et une inductance L. Le circuit formé entre le substrat et le TSV est de type RLC série. La réponse observée à la Figure 4.28 est tout à fait caractéristique de ce type de circuit. Il faut noter un temps de retard entre le front de montée du signal créneau et le pic de potentiel observé à la sonde, qui peut être dû à la propagation dans le TSV et le substrat mais aussi aux connectiques externes (câblage de pointes de test par exemple).

4.3.2.3. Effet de la distance de la sonde de mesure

La Figure 4.30 illustre le potentiel substrat brut tel qu'il est relevé par les trois sondes en anneau. Comme précédemment, le temps de montée du signal créneau est de 8 ns et son amplitude de 3,6 V. Le silicium est mis à la masse. En superposant les réponses en potentiel issues des trois sondes situées à 6, 10 et 20 μm des flancs du TSV, on observe que l'amplitude et la position du pic de potentiel sont peu dépendants de la distance entre le TSV et la sonde puisque les trois courbes sont identiques jusqu'à 40 ns. Cette observation va dans le sens des expériences menées pour l'extraction de la capacité d'oxyde du TSV (voir paragraphe 0).

Au-delà de 40 ns, les trois signaux transmis suivent un comportement similaire mais décalé d'un offset vertical de quelques mV. L'oscillation du signal transmis étant due à l'inductance du TSV, il est logique d'observer un signal dont l'intensité est plus forte pour la sonde la plus proche (6 μm) et l'inverse pour la sonde la plus éloignée (20 μm). En effet, la plus grande résistance du silicium dans ce dernier cas a tendance à estomper le signal transmis dans le silicium (cf. Figure 4.29).

Dans la suite, on ne s'intéressera qu'à l'amplitude du premier pic de potentiel pour évaluer le couplage entre le TSV et le substrat.

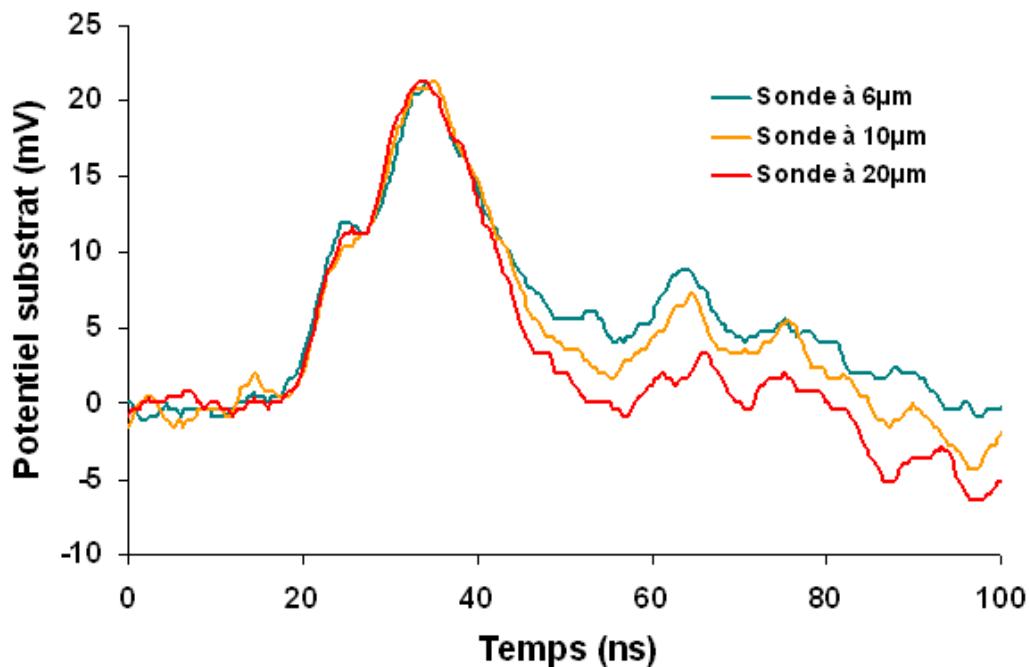


Figure 4.30. Potentiel substrat relevé par trois sondes en anneau placées à 6, 10 et 20 μm des flancs du TSV.

4.3.2.4. Effet de la distance à la masse

Dans ce paragraphe, l'influence du positionnement de la masse au silicium est étudiée. Cinq cas particuliers sont testés, à savoir une mise à la masse à 30 µm d'un des bords de la sonde (masse proche), trois cas de mise à la masse éloignée (240, 670 et 880 µm) et le cas où le substrat est laissé flottant (pas de masse). Le temps du front de montée appliquée sur le créneau de tension du TSV est fixé à 5 ns. La Figure 4.31 regroupe les potentiels de substrat relevés pour ces cinq cas d'étude.

Dans un premier temps, seul la partie de la figure correspondant à un temps compris entre 0 et 0,25 µs est regardée. Il est intéressant de remarquer que les potentiels de substrat recueillis pour les cas de masse flottante et située à 880 µm ne sont pas à 0 mV comme les autres. Ces deux potentiels sont extraits à la même valeur avoisinant -10 mV. Cette observation permet d'affirmer que le substrat flottant possède un potentiel de référence à cette valeur négative.

Dans un second temps, la deuxième partie de la figure correspondant aux temps supérieurs à 0,25 µs est considérée. Le changement d'état du potentiel appliqué sur le TSV est visible sur l'ensemble des cinq courbes de potentiel de substrat. Le pic capacitif est comme précédemment le premier à intervenir dans le couplage, suivi des oscillations inductives. Considérant uniquement les potentiels issus des deux cas particuliers (pas de masse et masse à 880 µm), il convient de noter une stabilisation du potentiel de substrat autour de 30 mV, alors même que le potentiel perturbateur appliqué sur le TSV est à son état statique (tension stabilisée à 1,8 V). Nous rappelons qu'il a été démontré au chapitre 2 que le couplage statique n'intervient aucunement dans le cas étudié. Le fait qu'un couplage statique soit précisément relevé pour ces deux cas démontre bien le rôle primordial joué par la masse.

Pour confirmer ces premières hypothèses, il suffit d'observer le comportement du potentiel de substrat lorsque la mise à la masse se rapproche de la sonde de mesure. Ainsi pour une distance intermédiaire de 670 µm, le couplage s'atténue peu à peu pour revenir à 0 mV. Une microseconde est néanmoins nécessaire pour que la masse fasse son effet, contrairement aux cas où la masse est implantée à 240 µm et à 30 µm de la sonde. Il existe donc une distance seuil pour laquelle la masse n'est plus suffisamment efficace pour contrôler le potentiel du substrat.

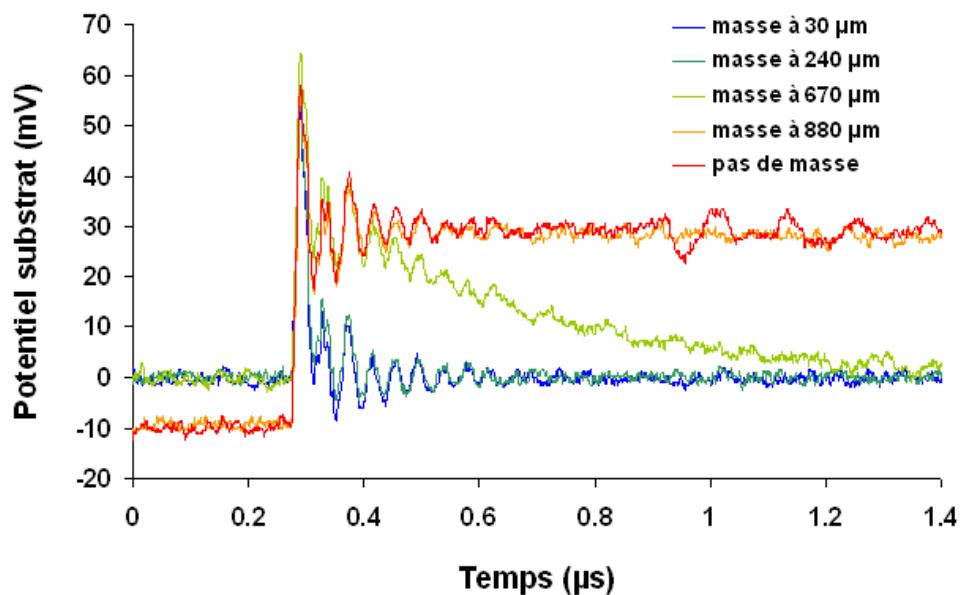


Figure 4.31. Potentiel substrat relevé par la sonde en anneau avec mise à la masse du silicium à plusieurs distances de la structure de test.

4.3.2.5. Effet de l'amplitude de la tension perturbatrice

Ce paragraphe se consacre à l'étude de l'influence de l'amplitude maximale de la tension appliquée sur le TSV sur l'intensité du couplage induit. Jusqu'à présent, cette amplitude était fixée arbitrairement à 1,8 V, qui est une valeur standard en technologie CMOS 130 nm. Néanmoins, pour des nœuds technologiques antérieurs, des niveaux de tension supérieurs sont appliqués au sein d'un bloc logique. L'influence de la tension d'alimentation sur le couplage est vérifiée.

Trois tensions d'alimentation appliquées sur le TSV sont testées, à savoir 1,8 V, 2 V et 3 V. Leur déclenchement est effectué par un front de montée de 5 ns. La masse est appliquée à 30 µm de la sonde. Les potentiels de substrat recueillis pour ces trois tensions sont décrits à la Figure 4.32.

Les pics capacitifs liés aux trois tensions croissantes atteignent respectivement 54 mV, 57 mV et 74 mV. Si l'on procède à une comparaison relative des accroissements d'amplitude avec les augmentations des intensités de couplage, voici le constat qui suit : considérant 1,8 V comme l'amplitude de référence, une augmentation de 11 % amène à un accroissement du couplage de 5,5 %. Ainsi, 66 % d'augmentation sur l'amplitude donne une hausse du couplage de 37 %.

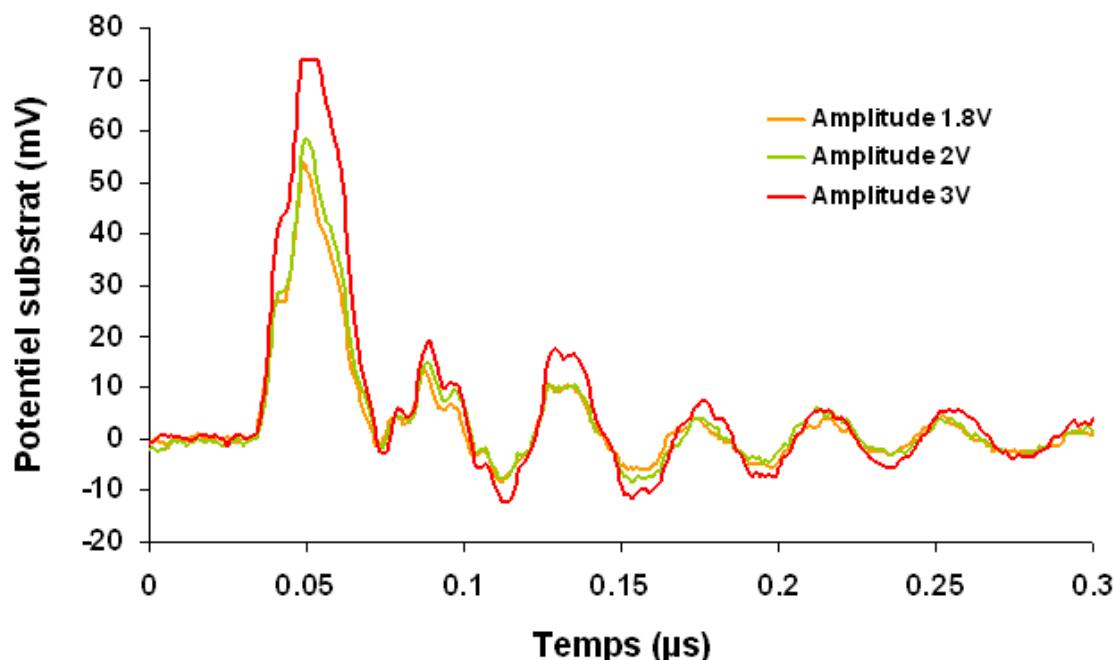


Figure 4.32. Potentiel substrat relevé par la sonde en anneau pour trois amplitudes (1,8 V, 2 V et 3 V) de la tension appliquée sur le TSV.

4.3.2.6. Effet du temps du front de montée

Le dernier paragraphe de la présente section s'intéresse à l'impact du temps du front de montée (ou de descente) sur l'intensité du couplage. Comme précédemment, l'amplitude de la tension du TSV est fixée à 1,8 V et la masse est située à 30 µm de la sonde. Six temps de montée sont testés, à savoir 5 ns, 8 ns, 20 ns, 50 ns, 100 ns et 200 ns. Les potentiels de substrat associés sont présentés à la Figure 4.33.

Le constat le plus évident est de remarquer que l'intensité des pics de couplage décroît avec l'augmentation du temps de montée appliquée sur la tension en crête du TSV. De plus, l'embase de chacun des pics augmente avec la durée du front de montée. Ainsi pour des fronts longs, le pic de couplage est au moins aussi long et d'intensité faible. Ainsi pour des fronts supérieurs à 100 ns, le couplage par le substrat n'est plus mesurable.

Qualitativement, ces observations corroborent tout à fait les résultats des modélisations exposées au chapitre 2 (notamment au paragraphe 2.3.5.2). Quantitativement, les ordres de grandeur du couplage sont supérieurs à ceux issus de la modélisation. Cependant, les configurations d'intégration 3D sont dissimilaires (intégration 3D haute densité au chapitre 2, moyenne densité ici). Il est donc hasardeux de prononcer une conclusion quantitative, dans le cas d'étude présent, par rapport à celles du chapitre 2.

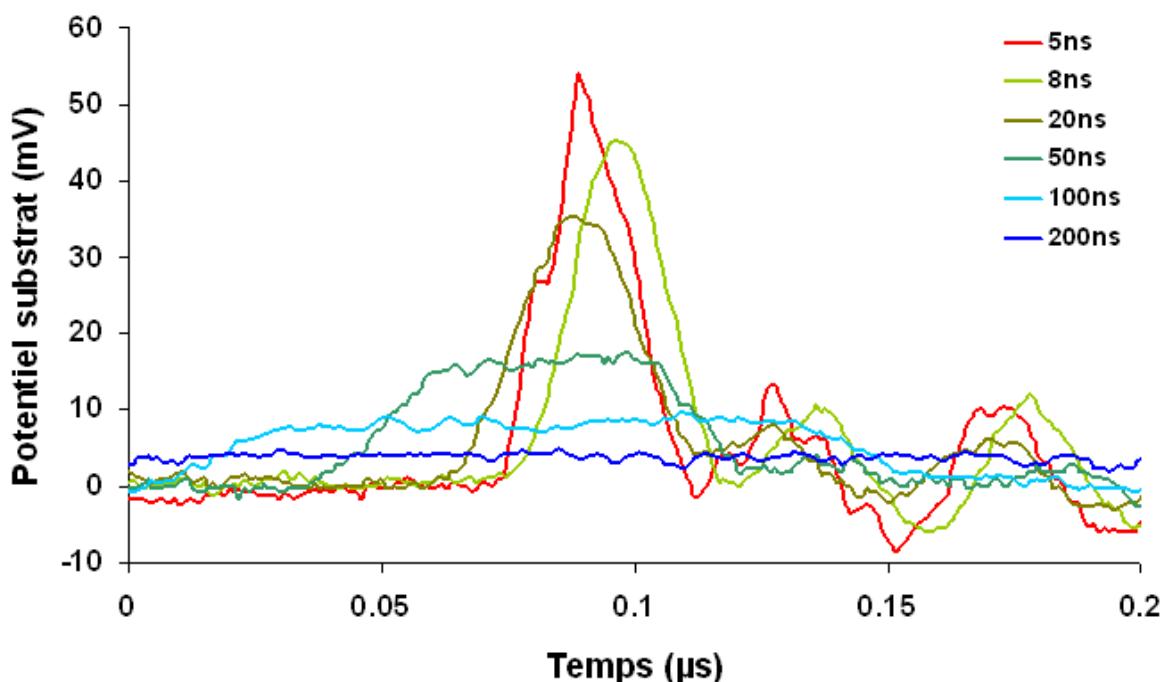


Figure 4.33. Potentiel substrat relevé par la sonde en anneau pour différents temps de front de montée relatifs à la tension du TSV.

4.3.3. Modèles électriques

La section précédente a mis en évidence des phénomènes de couplage par le substrat entre le TSV moyenne densité et la zone active. Le modèle électrique proposé par Cadix (cf. Figure 4.29) est une représentation fidèle du système {TSV + silicium} mais s'avère complexe à manipuler analytiquement. Tout comme l'approche proposée au chapitre 2, si l'on néglige l'inductance L du TSV ainsi que la capacité C_{Si} du silicium, le système se résume à un pont diviseur de tension, c'est-à-dire un circuit RC, qui devient tout à fait accessible en première approche analytique.

L'objet de cette dernière section est de proposer un modèle électrique équivalent le plus simple possible qui rende compte des comportements électriques observés à la section 4.3.2.

4.3.3.1. Fonction de transfert

En considérant un système électrique simplifié d'après les hypothèses décrites ci-dessus (L et C_{Si} négligées), le modèle équivalent est décrit sur la Figure 4.34. Le potentiel noté V_B correspond au potentiel de substrat relevé par la prise en anneau implantée autour du TSV. Deux résistances équivalentes, notées R_1 et R_2 , connectent respectivement la capacité du TSV à la prise substrat et celle-ci à la masse.

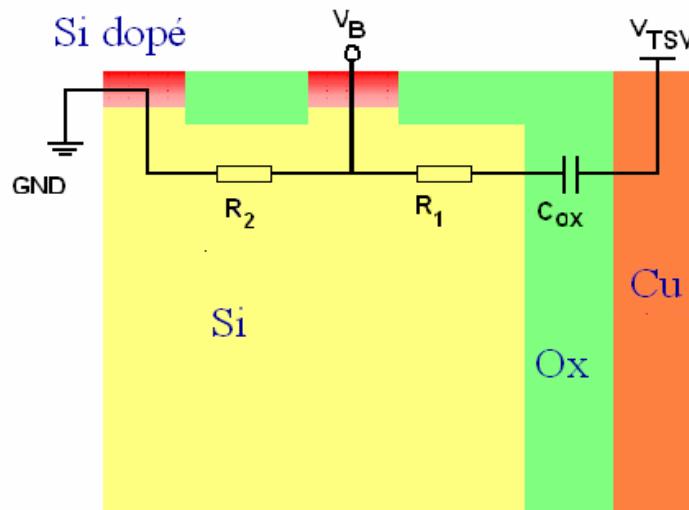


Figure 4.34. Modèle RC du système {TSV + silicium}.

La fonction de transfert de ce circuit est décrite par l'équation 4.4 :

$$\frac{V_B}{V_{TSV}} = \frac{jR_2C\omega}{1 + j(R_1 + R_2)C\omega} \quad (\text{Eq. 4.4})$$

En considérant cette équation sous notation différentielle, l'équation 4.5 est obtenue :

$$R_2 C \frac{dV_{TSV}}{dt} = V_B + (R_1 + R_2) C \frac{dV_B}{dt} \quad (\text{Eq. 4.5})$$

La résolution de cette équation différentielle lors de la commutation du signal appliqué sur le TSV (*i.e.* dV_{TSV}/dt non nul) donne les solutions de charge (Eq. 4.6) et de décharge (Eq. 4.7).

- Solution de charge :

$$V_{Bload} = V_0 \left(1 - e^{-\frac{t}{\tau}} \right) \quad (\text{Eq. 4.6})$$

Avec $V_0 = R_2 C \frac{dV_{TSV}}{dt}$ et $\tau = (R_1 + R_2) C$.

- Solution de décharge :

$$V_{Bunload} = V_{Bmax} \cdot e^{\frac{-t}{\tau}} \quad (\text{Eq. 4.7})$$

Avec V_{Bmax} correspondant à la valeur maximale de V_B atteinte lors de la charge du système (tension maximale de la perturbation lors de son établissement).

4.3.3.2. Confrontation du modèle à l'expérience

Les solutions de la fonction de transfert décrite par l'équation 4.4 donnent des tendances analytiques pour les phénomènes de charge et décharge de la capacité d'oxyde du TSV. Un moyen simple de valider qualitativement ce modèle électrique simplifié est de le comparer aux mesures effectuées à la section précédente pour ces deux phases temporelles. Ainsi, la phase de charge est étudiée à la Figure 4.35 et celle de la décharge à la Figure 4.36. L'oxyde de silicium étudié ici est celui noté B à la section 4.3.1.2, dont la constante diélectrique vaut 6,5.

Phase de charge.

En phase de charge, une régression est effectuée sur chaque courbe expérimentale (correspondant à l'ensemble des temps de montée étudiés). Ainsi, il est possible d'extraire un couple unique de paramètres V_0 et τ de manière empirique.

La structure de test à un TSV (cf. Figure 4.23 - gauche) donne une constante de temps moyenne égale à 30 ns et un produit R_2C de 300 ps. En considérant la valeur de la capacité brute extraite à la section 4.3.1.2 pour cette structure avec l'oxyde B, soit 4,7 pF, les valeurs de résistance R_1 et R_2 obtenues sont respectivement de 6 k Ω et 60 Ω pour une distance de 20 μm entre les flancs du TSV et la prise substrat et 180 μm entre celle-ci et la masse. Il est nécessaire de prendre en compte la capacité brute mesurée au paragraphe 4.3.1.2 plutôt que la capacité traitée car, dans le contexte des extractions de potentiels de substrat présentés ici, les structures d'accès rentrent en jeu dans les mesures électriques. La capacité considérée dans le terme R_2C renvoie donc à la capacité brute telle que mesurée précédemment. Néanmoins sur cette structure particulière, les écarts maximaux sur la constante de temps τ atteignent 100 % de la valeur moyenne. Il convient donc de reproduire le protocole expérimental sur la structure à 4 TSV pour viser une dispersion de mesure moindre.

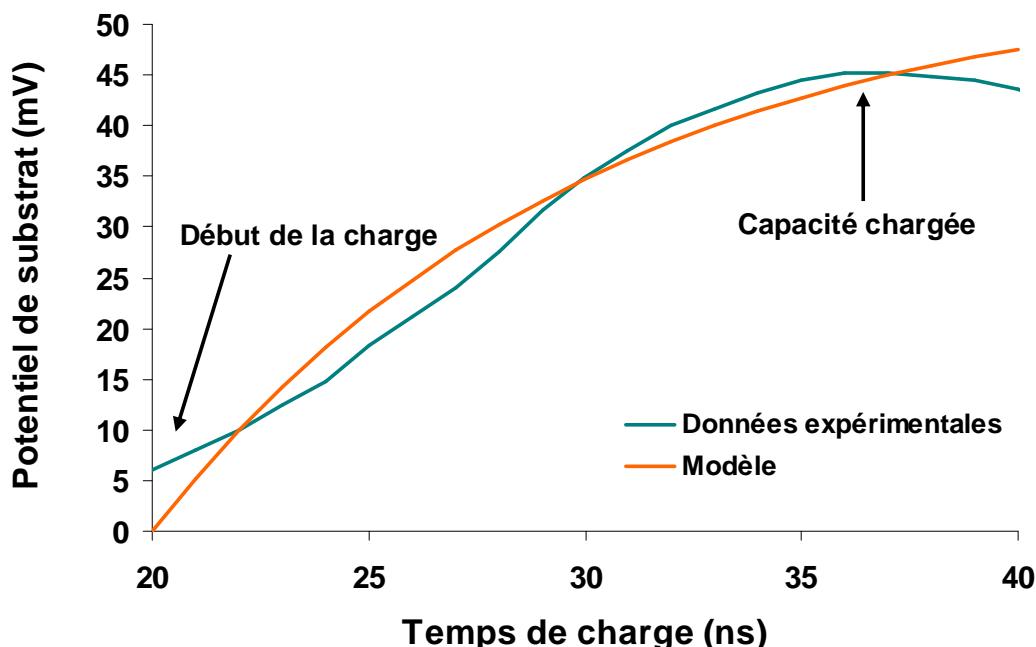


Figure 4.35. Comparaison entre la mesure du potentiel de substrat lors de la charge de la capacité de la matrice à 4 TSV et la solution du modèle analytique considérée en période de charge (cf. Eq. 4.6).

Pour affiner la précision de la mesure et diminuer les écarts par rapport à la moyenne, on considère dorénavant la structure matricielle à 4 TSV (cf. Figure 4.23 – droite). La constante de temps extraite de la régression vaut 12 ns et le paramètre R_2C 450 ps. Ces valeurs sont valables pour une distance de séparation entre les TSV et la prise substrat de 6 μm et 30 μm entre la prise et la masse. Dans ce cas particulier, la capacité brute prise en compte vaut 10 pF. Les valeurs de résistances R_1 et R_2 obtenues sont respectivement de 1 k Ω et 45 Ω . Les variations associées pour la constante de temps sont de 25 % autour de la moyenne, ce qui confirme la plus grande précision de mesure de la structure matricielle à 4 TSV comparativement à la structure à TSV unique.

Phase de décharge.

En phase de décharge, des régressions sont effectuées de manière similaire sur les mesures expérimentales de sorte à obtenir une valeur empirique de $V_{B\max}$. Là encore, le modèle électrique simplifié de type RC semble donner une équivalence réaliste comme illustrée à la Figure 4.36.

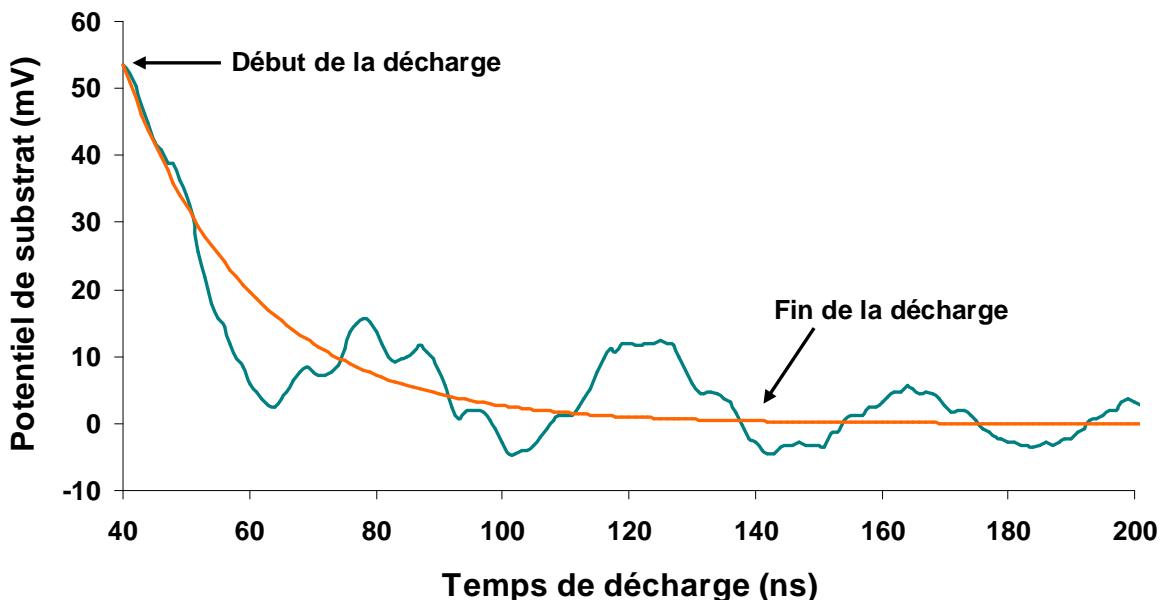


Figure 4.36. Comparaison entre la mesure du potentiel de substrat lors de la décharge de la capacité du TSV et la solution du modèle analytique considérée en période de décharge (cf. Eq. 4.7).

Tension de couplage maximale.

Dans un premier temps, les valeurs maximales du potentiel de substrat ($V_{B\max}$) issues de la structure à TSV unique sont comparées aux tensions maximales extraites des données expérimentales pour chaque temps de front de montée. Ces résultats sont présentés à la Figure 4.38. Il s'avère que, pour cette structure particulière, les divergences entre le modèle analytique et les données expérimentales soient non négligeables. Comme vu précédemment, le bruit lié à la mesure du potentiel de substrat issu d'un seul TSV est trop important devant le signal en lui-même. Ce phénomène est d'autant plus amplifié que le front de montée est long.

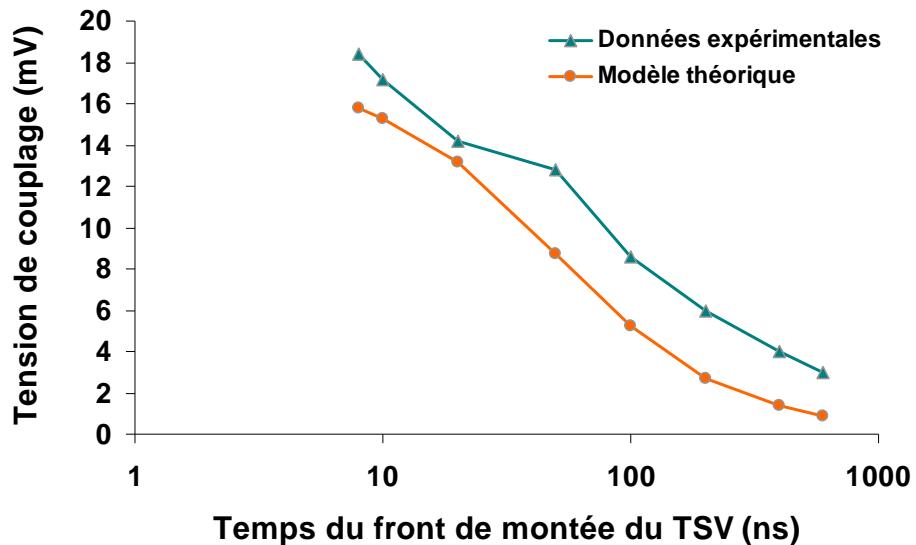


Figure 4.37. Comparaison des tensions de couplage maximales obtenues pour des fronts de montée compris entre 8 ns et 600 ns appliqués sur le TSV seul et les solutions concomitantes issues du modèle analytique.

Pour augmenter le rapport signal sur bruit, une étude similaire est menée sur la structure matricielle à 4 TSV. Comme précédemment, le couplage est découpé grâce à l'augmentation de la capacité.

Les résultats obtenus sur cette structure de test sont présentés à la Figure 4.38. Les écarts entre le modèle analytique et les données expérimentales sont dorénavant plus restreints pour toute la gamme de fronts de montée. Il est à noter toutefois que pour les temps de montée supérieurs à 400 ns, les signaux utiles restent noyés dans le bruit de mesure.

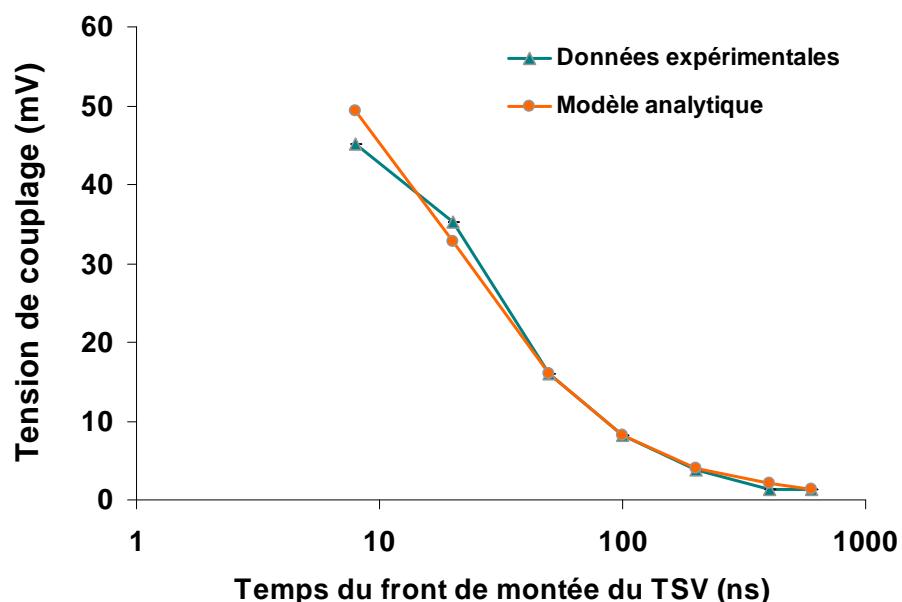


Figure 4.38. Comparaison des tensions de couplage maximales obtenues pour des fronts de montée compris entre 8 ns et 600 ns appliqués sur la matrice à 4 TSV et les solutions concomitantes issues du modèle analytique.

4.4. Synthèse

Les résultats présentés dans ce dernier sous chapitre 4.3. ont mis en évidence des phénomènes de couplage électrique par le substrat induits par le TSV. Ces travaux constituent une première démonstration expérimentale de tels phénomènes à l'échelle mondiale et constituent une avancée majeure dans la compréhension des interactions entre intégration 3D et technologies classiques. De tous les travaux de recherche menés sur l'intégration 3D en général, aucun ne porte concrètement sur la caractérisation du couplage par le substrat.

Concernant le propos scientifique du sous chapitre, le bruit substrat engendré par le TSV répond à un comportement au premier ordre de type RC. Il a été observé un pic de couplage capacitif avec une phase de charge suivie d'une décharge. Plusieurs conclusions se dégagent :

- le phénomène capacitif démontré est similaire aux résultats de modélisation obtenus au chapitre 2. Le couplage par le substrat mis en évidence n'intervient qu'aux changements d'état du potentiel appliqué sur le TSV (c'est-à-dire chaque fois que celui-ci passe de son amplitude basse à son amplitude haute et inversement) ;
- l'emplacement de la mise à la masse du silicium est un paramètre critique. En effet, au-delà d'une distance seuil située à plusieurs centaines de microns du point d'émission du bruit, la masse ne parvient plus à évacuer le potentiel parasite. Il est donc primordial d'implémenter une masse à distance restreinte du point d'émission, le plus efficace étant à moins de 100 µm ;
- ce pic de potentiel voit son intensité varier selon l'amplitude maximale du potentiel en créneau appliqué sur le TSV perturbateur ;
- sa durée est quasiment identique au temps du front de montée du potentiel appliqué sur le TSV ;
- son intensité est directement liée au temps du front de montée du signal perturbateur. Plus ce dernier est court, plus le couplage sera important ;

Par la suite, un modèle électrique équivalent pour le système {TSV + silicium} est proposé. Ce modèle simplifié rend compte du comportement RC du circuit ainsi constitué. Il a été démontré que ce modèle analytique décrit finement le phénomène capacitif propre au couplage par le substrat et permet de prévoir l'intensité maximale du pic de couplage pour des fronts de montée situés entre la dizaine et quelques centaines de nanosecondes.

En ce qui concerne l'impact des TSV et l'effet de proximité qu'ils engendrent sur les zones actives, il a été démontré que les performances des transistors NMOS ne subissent pas de variations imputables aux contraintes thermomécaniques. Néanmoins le comportement des transistors PMOS a soulevé un problème encore non identifié jusqu'à présent. Il semble qu'une autre source de perturbation soit à l'origine d'une chute de 30 % de leur courant de saturation de drain quelle que soit la largeur et l'orientation de grille considérées. Les hypothèses les plus plausibles sont relatives aux budgets thermiques et aux charges d'ions dans le silicium lors des étapes de gravure.

Conclusion

Du poids des technologies sur une (r)évolution annoncée.

« *L'heure de la fin des découvertes ne sonne jamais* », Colette.

En guise de prémisses à cette conclusion, nous rappelons le titre de l'introduction : « D'une révolution à une autre ? ». Qu'en est-il vraiment de cette interrogation ? L'intégration 3D annonce-t-elle l'avènement d'un tournant radical dans l'industrie de la microélectronique et du packaging ? Comme il a été annoncé en introduction de ce manuscrit, nous n'avons aucunement la prétention de répondre à cette question d'ordre général. Néanmoins, il convient de dresser un bilan des travaux présentés dans ce domaine depuis le début de ce travail de doctorat. Force est de constater que, si en 2006, les productions scientifiques et autres avancées technologiques concernant l'intégration 3D n'étaient pas les plus rares, en 2009, elles représentent dorénavant un véritable raz-de-marée. Il suffit pour cela de comptabiliser le nombre de publications relatif à ce domaine pour s'en rendre compte (environ un facteur 10 sur trois ans). Et le phénomène de toucher l'ensemble des acteurs du packaging et de la microélectronique. Parallèlement aux productions scientifiques, le nombre d'applications visées s'élargit de jour en jour. Si l'intégration 3D n'est peut-être pas une révolution en soi, elle s'en approche tout de même fortement dans un contexte industriel extrêmement compétitif et innovant, qui plus est sévèrement touché par la crise économique de 2009.

Ce travail de doctorat s'est fortement appuyé sur les travaux scientifiques précurseurs qui ont posé les bases de la technologie d'intégration 3D - le chapitre 1 en est la preuve. Les avantages inhérents à l'intégration 3D sont nombreux en termes de performances des interconnexions et d'optimisation des architectures. Néanmoins, il a été mis en évidence le manque flagrant de littérature concernant la question de la compatibilité de cette technologie intégrative avec les composants CMOS. A la question : « les architectures 3D ont-elles un impact significatif sur les performances des technologies CMOS ? », la réponse ne s'avère pas immédiate. Et pour cause, les problèmes soulevés par ce point de départ sont nombreux et complexes. L'enjeu de cette question est immense : si l'intégration 3D affecte – de quelque manière que ce soit – le comportement électrique des composants, l'intérêt de cette technologie d'interconnexions peut se trouver limité voire anéanti. Apporter des réponses aussi concrètes que possible pour parvenir à esquisser la réponse à cette question a été le propos de cette thèse. Sans pouvoir statuer de manière certaine sur cette vaste problématique, le travail réalisé pendant ces trois années de recherche a néanmoins soulevé quantité d'obstacles qui ont pu être levés dans les trois chapitres de résultats présentés ici.

Pour conclure ces travaux, il convient de différencier les différents niveaux d'impact pouvant engendrer des perturbations sur les performances des technologies CMOS. Deux catégories ont été isolées : l'impact d'origine thermomécanique engendré par les procédés de fabrication et l'impact d'origine électrique provoqué par les connexions traversantes appelées TSV. Les conclusions formulées par rapport à ces deux thématiques sont assez disparates. Il convient de les expliciter distinctement.

Impact thermomécanique et physique.

La notion d'impact thermomécanique est induite par la réalisation des TSV et du niveau de redistribution dénommé RDL. L'aminçissement du substrat de silicium, la gravure des TSV ainsi que les nombreux dépôts de matériaux isolants et conducteurs nécessaires à la réalisation de ces connexions verticales constituent autant de procédés pouvant altérer les performances des composants. Les principales causes de cet impact sont les contraintes induites dans le silicium par les TSV et par l'étape d'aminçissement du substrat, ainsi que des phénomènes physiques tels que les budgets thermiques inhérents aux procédés de dépôt ou l'implantation de charges dans le substrat et dans le métal 1 lors de l'étape de gravure du TSV. Ces phénomènes physiques sont avérés depuis longtemps dans les circuits planaires, néanmoins leur existence et leur pertinence dans le cadre de cette étude n'ont pas été investiguées. Au cours de cette thèse, l'effet des

contraintes induites par l'amincissement du silicium a été quantifié. Au vu des résultats, cette étape technologique n'engendre pas d'impact significatif sur l'ensemble des composants testés. L'impact thermomécanique du TSV moyenne densité (non rempli) a également été évalué. Il apparaît que les transistors NMOS, quels qu'ils soient, ne sont là aussi pas impactés ni par les procédés de fabrication ni par l'effet de proximité engendré par le TSV (entre 6 et 10 µm). Néanmoins, il a été mis en évidence une variation de performances des transistors PMOS sous configuration 3D se traduisant par une chute de 30 % de leur courant de saturation quelles que soient la largeur et l'orientation de grille considérées. Le fait que l'orientation de la grille par rapport au TSV n'influence aucunement les valeurs de courant de saturation montre qu'il existe un phénomène non identifié, ne trouvant pas son origine d'un point de vue thermomécanique, qui impacte significativement les transistors PMOS. Ce phénomène doit être vérifié et confirmé sur d'autres plaques de test.

En poussant ce raisonnement plus loin, une étude similaire a été menée non plus sur des transistors isolés mais sur des oscillateurs en anneau. L'objectif de cette étude est de montrer quel peut être l'impact thermomécanique des TSV sur la performance dynamique d'une technologie CMOS. Les résultats obtenus montrent des variations de fréquence d'oscillation pour certaines configurations d'oscillateur (notamment ceux dont les extrémités sont proches de TSV) mais trop faibles pour démontrer un quelconque lien de cause à effet. Ces variations peuvent également être dues à la dispersion relative aux procédés de fabrication et à la mesure électrique.

Impact électrique par couplage.

La notion d'impact électrique est induite par la nature de la polarisation du TSV. Il a ainsi été démontré qu'un couplage par le substrat est engendré à chaque front de montée ou de descente du potentiel en créneau appliqué sur le TSV. L'intensité du couplage est dépendante entre autres de la capacité d'oxyde du TSV, de l'amplitude du créneau et du temps du front de montée. Concernant ce dernier paramètre, les temps les plus courts investigués sur circuit de test avoisinent quelques nanosecondes. Or, les simulations du couplage par le substrat menées au chapitre 2 ont montré une intensité de couplage importante pour des fronts de potentiel plus courts, proches de la dizaine de picosecondes. Les mesures ont été réalisées avec des temps de montée de quelques nanosecondes et n'ont pas pu être effectuées pour des fréquences plus élevées. Une modélisation simple, purement capacitive, a été proposée. Cette modélisation peut difficilement être extrapolée pour ces temps qui impliquent l'apparition de phénomènes purement liés aux hautes fréquences comme l'effet inductif ou l'effet de peau. Pour outrepasser cette limitation du modèle simplifié, il serait intéressant de réaliser les mêmes tests sur plaque en diminuant les temps de montée appliqués sur le TSV. Les spécifications techniques du testeur utilisé ne permettent pas de descendre en dessous de la nanoseconde. Néanmoins, l'utilisation d'un testeur adapté aux hautes fréquences est envisagée dans un futur proche pour s'approcher des temps de montée étudiés au chapitre 2. Ce travail de recherche s'est principalement attaché à démontrer l'existence des phénomènes de couplage induits par le TSV, ce qui constitue une première étape vers la caractérisation de l'impact du couplage sur les composants.

L'étude préliminaire du couplage électrique par modélisation et simulation TCAD présentée au chapitre 2 a permis de comprendre en avance de phase les phénomènes de bruit substrat mis en œuvre dans une intégration 3D. Les conclusions de cette étude ont permis de concevoir et dimensionner des structures de test spécifiques et uniques pour la mise en évidence de ces phénomènes de couplage entre autres. Cette phase de conception a elle-même provoqué une réflexion d'ordre général sur la question de la conception de circuits tridimensionnels. De ce point d'avancement il est apparu nécessaire d'obtenir des règles de dessin spécifiques aux architectures 3D. Or ces règles sont fortement dépendantes des applications finales, certains circuits étant plus sensible au bruit substrat que d'autres. L'utilisation des résultats présentés dans ce manuscrit, et particulièrement du modèle électrique, permettra aux concepteurs de prévoir les zones d'exclusion à implémenter autour des zones actives pour protéger de manière optimale les blocs fonctionnels des circuits 3D en fonction de leur sensibilité au bruit substrat.

Perspectives.

L'objectif de ce travail a été de traiter les questions soulevées par la compatibilité des technologies d'intégration 3D avec les composants CMOS, ce qui constitue un sujet d'investigation pour le moins large. Dans l'objectif de pousser la démarche mise en œuvre dans ces chapitres le plus loin possible, deux perspectives de recherche se dénotent.

En premier lieu, la modélisation TCAD exposée au chapitre 2 s'avère être un outil puissant dans le traitement des problématiques de couplage électrique. Néanmoins, le maillage bidimensionnel montre certaines limitations quant à la précision des résultats. En partant de ce constat, il est tout à fait justifié de développer un modèle TCAD tridimensionnel qui puisse rendre compte d'une structure plus réaliste. Le niveau de complexité induit par ce type de maillage 3D pourrait pousser à travailler sur un logiciel de simulation multi-échelle plus apte à gérer les structures de taille importante. De plus, il n'a pas été possible de valider ce modèle par comparaison aux résultats électriques issus d'une architecture 3D similaire. Dans le but de valider la précision des simulations, il est prévu d'effectuer une comparaison avec les informations tirées du démonstrateur technologique dédié à la haute densité. La réalisation sur silicium de ce véhicule de test est arrivée à terme au moment de la finalisation du manuscrit. Les tests électriques permettront à la fois de comparer le modèle TCAD ainsi que les résultats électriques issus du circuit dédié à la moyenne densité. Ce dernier point permettra de quantifier les différences entre ces deux architectures 3D.

En second lieu, il a été mis en évidence au chapitre 4 un impact significatif de l'intégration 3D sur les performances des transistors PMOS en particulier. La nature thermomécanique de cet impact a été écartée. Néanmoins, son origine reste inconnue. Il est par conséquent intéressant de s'interroger sur la nature même de cet impact en vérifiant les phénomènes observés et d'en isoler les facteurs déclencheurs.

Enfin, il existe aussi une perspective de recherche qui dépasse le cadre de ce travail de doctorat mais qui s'avère tout aussi importante à traiter, à savoir la fiabilité des architectures 3D. En effet, tout circuit doit être mis en boîtier de manière à pouvoir fonctionner dans son environnement propre. Il est connu que les procédés de mise en boîtier engendrent fréquemment des problèmes de fiabilité sur les circuits CMOS. Dans le cas présent, il apparaît nécessaire de porter le raisonnement présenté ici sur un circuit 3D mis en boîtier pour étudier l'impact du packaging sur le fonctionnement électrique d'une puce 3D. Cette phase de mise en boîtier a été prévue au moment de la conception du démonstrateur haute densité et doit être implantée physiquement sur le circuit après sa réalisation sur silicium.

Références bibliographiques

- [Ababei05] C. Ababei *et al.*, *Placement and routing in 3D integrated circuits*, IEEE Design & Test of Computers **22-6** (November-December 2005) pp 520-531.
- [Akasa86I] Y. Akasaka, T. Nishimura, *Concept and basic technologies for 3-D IC structure*, IEDM **32** (1986) pp 488-491.
- [Akasa86II] Y. Akasaka, *Three dimensional IC trends*, Proceedings of the IEEE, **74-12** (1986) pp 1703-1714.
- [Andrei05] C. Andrei, *Impact du bruit substrat sur les oscillateurs contrôlés en tension à 4,5 GHz, intégrés en technologie BiCMOS 0,35 µm*, Thèse de doctorat en Electronique, Electrotechnique et Automatique, Lyon (2005).
- [Andry06] P.S. Andry *et al.*, *A CMOS-compatible process for fabricating electrical through-vias in silicon*, Proceedings of Electronic Components and Technology Conference (2006), pp 831-837.
- [Argoud09] M. Argoud, *Etude des procédés de collage, d'amincissement, de transport et d'alignement nécessaires à l'intégration d'une architecture tridimensionnelle*, rapport de stage Ingénieur ENSIACET, CEA-LETI (2008).
- [Arnold94] D. Arnold *et al.*, *Theory of high-field electron transport and impact ionization in silicon dioxide*, Physical Review B **49-15** (April 1994) pp 10278-10297.
- [ATLAS] Silvaco International, Atlas User's Manual, 2008, USA, www.silvaco.com
- [Bair07] W. Bair, *A path to 3D integration using silicon vias and DBI™ (Direct Bond Interconnect)*, EMC 3D SE Asia Technical Symposium, Jan. 22-26, 2007.
- [Banerjee01] K. Banerjee *et al.*, *3-D ICs: a novel chip design for improving deep-submicrometer interconnect performance and systems-on-chip integration*, Proceedings of the IEEE **89-5** (2001) pp 602-632.
- [Bature09] P. Bature *et al.*, *GeOI and SOI 3D monolithic cell integrations for high density applications*, Proceedings of VLSI Technology Symposium (2009), pp 166.
- [Baumgar07] T. Baumgartner *et al.*, *Printing solder paste in dry film – a low cost fine-pitch bumping technique*, Proceedings of the Electronic Packaging Technology Conference (2007) pp 609-612.
- [Belleville06] M. Belleville, N. Sillon, *Intégration système : êtes-vous plutôt SiP ou SoC ?*, CEA Technologies, n°82 (octobre 2006).
- [Bernstein59] M. Bernstein, *Frequency control devices and the Micro-Module program*, 13th Annual Symposium on Frequency Control (1959) pp 261-265.
- [Beyne06] E. Beyne, *The rise of the 3rd dimension for system integration*, Proceedings of the International Interconnect Technology Conference (2006), pp 1-5.
- [Beyne09] E. Beyne, L. Smith, *ITRS comments and 2009 preview*, Sematech work group for ITRS roadmap for TSV technologies.
- [Black04] B. Black *et al.*, *3D processing technology and its impact on iA32 microprocessors*, Proceedings of the International Conference on Computer Design 2004 (ICCD'04).

- [Black06] B. Black *et al.*, *Die stacking (3D) microarchitecture*, Proceedings of the IEEE/ACM International Symposium on Microarchitecture (MICRO'06).
- [Bonnot09] L. Bonnot *et al.*, *3D integration program overview*, Proceedings of Design, Automation & Test in Europe Conference (DATE), Nice, France, April 2009.
- [BSIM4] BSIM Research Group Website:
http://www-device.eecs.berkeley.edu/~bsim3/bsim4_intro.html
- [Burns06] J.A. Burns *et al.*, *A wafer-scale 3-D circuit integration technology*, IEEE Transactions on Electron Devices, **53**-10 (2006) pp 2507-2516.
- [CADENCE] Cadence Design Systems, USA, www.cadence.com
- [Cadix09] L. Cadix *et al.*, *RF characterization and modeling of high density Through Silicon Vias for 3D chip stacking*, Materials for Advanced Metallization Conference 2009, Grenoble, France.
- [Chang04] C. Chang *et al.*, *Trench filling characteristics of low stress TEOS/ozone oxide deposited by PECVD and SACVD*, Microsystem Technologies **10** (2004) pp 97-102.
- [Charbon01] E. Charbon, R. Guarpurey, P. Miliozzi, R.G. Meyer, Substrate noise: analysis and optimization for IC design. Boston: Kluwer Academic publisher, 2001. 171 p.
- [Chéramy09] S. Chéramy *et al.*, *3D integration process flow for set-top box application: description of technology and electrical results*, Proceedings of the European Microelectronics and Packaging Conference (June 2009) Rimini, Italy.
- [Clein00] D. Clein, G. Shimokura, CMOS IC Layout: Concepts, Methodologies, and Tools, Newnes, 2000. 261 p.
- [Coudrain08] P. Coudrain *et al.*, *Three-dimensional CMOS image sensors with highly miniaturized pixels*, Proceedings of 3D-System Integration Conference, Tokyo, Japan, 12-13 May 2008.
- [Crécy08] F. de Crécy, *Calcul des contraintes générées dans le silicium par les supervias*, Document interne Léti, mars 2008.
- [Das04] S. Das. *Design automation and analysis of three-dimensional integrated circuits*, 176 p. PhD thesis: Electrical Engineering and Computer Science, Massachusetts Institute of Technology, 2004.
- [DATACON] DATACON website: <http://www.datacon.at/>
- [Davis05] W.R. Davis *et al.*, *Demystifying 3D ICs: The pros and cons of going vertical*, IEEE Design & Test of Computers (nov-dec 2005) pp 498-510.
- [Davis96] J.A. Davis *et al.*, *Optimal low power interconnect networks*, 1996 Symposium on VLSI Technology, Digest of technical papers (1996) pp 78-79.
- [Declerck05] G. Declerck, *A look into the future of nanoelectronics*, Symposium on VLSI Technology Digest of Technical Papers (2005) pp 6-10.
- [Donath81] W.E. Donath, *Wire length distribution for placement of computer logic*, IBM Journal of Research & Development, 2-3 (1981) pp 152-155.

- [ElecManuf] *System on Chip (SoC)*, Electronics Information Online, disponible en ligne : <http://www.electronics-manufacturers.com/info/circuits-and-processors/system-on-chip-soc.html>
- [Eloy07] J.-C. Eloy, *Markets and applications for TSVs*, Asia Roadshow EMC 3D, Jan. 22-26, 2007.
- [Emma08] P.G. Emma, E. Kursun, *Is 3D chip technology the next growth engine for performance improvement?*, IBM Journal of Research & Development, **52**-6 (November 2008) pp 541-552.
- [EVG] EVG website: <http://www.evgroup.com/en>
- [Favennec05] L. Favennec, *Développement de matériaux diélectriques pour les interconnexions des circuits intégrés a-SiOC:H poreux Ultra Low K et a-SiC:H Low K*, Thèse de doctorat en Chimie des Matériaux, Montpellier (2005).
- [Feng06] J. Feng *et al.*, *Integration of Germanium-on-Insulator and silicon MOSFETs on a silicon substrate*, IEEE Electron Device Letters, vol. 27, No. 11, November 2006, pp 911-913.
- [Ferrant08] R. Ferrant, *3D-IC integration costs and benefits*, Design For 3D Workshop, Minatec Crossroads 2008, 27 June 2008, Grenoble, France.
- [Garnier09] A. Garnier *et al.*, *Results on aligned SiO₂/SiO₂ direct wafer-to-wafer low temperature bonding for 3D integration*, 2009 IEEE International SOI Conference, 5-8 October 2009, Foster City, California, USA.
- [Garrou04] P. Garrou, *Opto-WLP for CMOS imaging sensors*, Semiconductor International.
- [Garrou05I] P. Garrou, *Future ICs go vertical*, In Semiconductor International, Feb. 1st 2005.
- [Garrou05II] P. Garrou, *Future ICs go vertical*, In Semiconductor International, February 1st 2005.
- [Garrou06] P. Garrou, *Wafer-level 3-D integration moving forward*, In Semiconductor International, October 1st, 2006.
- [Garrou08v1] P. Garrou, C. Bower, P. Ramm. Handbook of 3D Integration, volume 1 – 1st Edition. Weinheim: WILEY-VCH Verlag GmbH & Co. KGaA, 2008. 269 p.
- [Garrou08v2] P. Garrou, C. Bower, P. Ramm. Handbook of 3D Integration, volume 2 – 1st Edition. Weinheim: WILEY-VCH Verlag GmbH & Co. KGaA, 2008. 773 p.
- [Ghaffa99] R. Ghaffarian, *3D Chip Scale Package (CSP)*, in Chip Scale Packaging for Modern Electronics (1999), disponible en ligne : <http://trs-new.jpl.nasa.gov/dspace/bitstream/2014/17367/1/99-0814.pdf>
- [Gharpure92] R. Gharpurey, *Modeling and analysis of substrate coupling in integrated circuits*, PhD Thesis in Electrical Engineering and Computer Sciences. Berkeley: University of California, 1992.
- [Goplen05] B. Goplen, S.S. Sapatnekar, *Thermal via placement in 3D ICs*, Proceedings of the ACM International Symposium on Physical Design (2005).

- [Gosset05] L.G. Gosset *et al.*, *Advanced Cu interconnects using Air Gaps*, Microelectronic Engineering, vol. 82, issues 3-4 (2005), pp 321-332.
- [Gras08] R. Gras *et al.*, *300 mm Multi Level Air Gap Integration for Edge Interconnect Technologies and Specific High Performance Applications*, Proceedings of the IITC 2008, (2008), pp 196-198.
- [Gueguen08] P. Gueguen *et al.*, *3D vertical interconnects by copper direct bonding*, Proceedings of the MRS Fall Meeting 2008, vol. 1112, Boston, USA.
- [Gueguen09] P. Gueguen *et al.*, *Physics of direct bonding; applications to 3D heterogeneous or monolithic integration*, Microelectronic Engineering (2009).
- [Gutmann03] R.J. Gutmann *et al.*, *A wafer-level 3D IC technology platform*, Proceedings of the Advanced Metallization Conference (AMC) 2003, pp 19-26.
- [Hayashi03] M. Hayashi *et al.*, *Dependence of copper interconnect electromigration phenomenon on barrier metal materials*, Microelectronics Reliability **43** (2003) pp 1545-1550.
- [Henry07] D. Henry *et al.*, *Via first technology development based on high aspect ratio trenches filled with doped polysilicon*, Proceedings of Electronic Components and Technology Conference (2007), pp 830-835.
- [Henry08] D. Henry *et al.*, *Through silicon vias technology for CMOS image sensors packaging*, Proceedings of the Electronic Components and Technology Conference (2008) pp 556-562.
- [Henry56] R.L. Henry, *Project Tinkertoy: a system of mechanized production of electronics based on modular design*, IRE Transactions on Production Techniques, **1-1** (1956) pp 10-11.
- [Holloway90] K. Holloway, P.M. Fryer, *Tantalum as a diffusion barrier between copper and silicon*, Applied Physics Letters **57**-17 (1990) pp 1736-1738.
- [Hoofman06] R. Hoofman *et al.*, *Benefits and Trade-offs in Multi-Level Air Gap Integration*, Proceedings of the MRS 2006, (2006), pp 403.
- [Hopkins01] J. Hopkins et al. (February 13, 2001) Method and apparatus for etching a substrate, US patent 6,187,685.
- [ITRS05I] Interconnect Roadmap, édition 2005, disponible en ligne :
<http://www.itrs.net/Links/2005ITRS/Interconnect2005.pdf>
- [ITRS05II] ITRS Executive Summary 2005, Disponible en ligne :
<http://www.itrs.net/Links/2005ITRS/ExecSum2005.pdf>
- [ITRS06] Interconnect Roadmap, update 2006, disponible en ligne :
http://www.itrs.net/Links/2006Update/FinalToPost/09_Interconnect2006Update.pdf
- [Jang07] D.M. Jang *et al.*, *Development and evaluation of 3-D SiP with vertically interconnected through silicon vias (TSV)*, Proceedings of Electronic Components and Technology Conference (2007), pp 847-852.

- [Jaud06] M.-A. Jaud, *Approche du potentiel effectif pour la simulation Monte-Carlo du transport électronique avec effets de quantification dans les dispositifs MOSFETs*, 109 p. Thèse de doctorat en Physique, Paris-Sud XI (2006).
- [JISSO] Jisso International Council, disponible en ligne :
http://jisso.ipc.org/jic_mission_p1.htm
- [Joyner03] J.W. Joyner. *Opportunities and limitations of three-dimensional integration*, 316 p. PhD Thesis in Electrical Engineering. Georgia Institute of Technology, 2003.
- [Jung06] S.M. Jung *et al.*, *Highly cost effective and high performance 65nm S³ (stacked single-crystal Si) SRAM technology with 25F², 0.16um² cell and doubly stacked SSTFT cell transistors for ultra high density and high speed applications*, Symposium on VLSI Technology, Digest of Technical Papers (2005), pp 232-233.
- [Kang03] S.-M. Kang, Y. Leblebici, CMOS Digital Integrated Circuits, Analysis and Design - 3rd edition. McGraw-Hill, 2003. 655 p.
- [Karnezos05] M. Karnezos *et al.*, *3D packaging promises performance, reliability gains with small footprints and lower profiles*, Chip Scale Review, vol. 1 (2005), pp 29.
- [Khan08] N. Khan *et al.*, *Development of 3D silicon module with TSV for System in Packaging*, Proceedings of Electronic Components and Technology Conference (2008), pp 550-555.
- [Khurita07] Y. Kurita *et al.*, *A 3D stacked memory integrated on a logic device using SMAFTI technology*, Proceedings of Electronic Components and Technology Conference (2007), pp 821-829.
- [Kim06] B. Kim *et al.*, *Factors affecting copper filling process within high aspect ratio deep vias for 3D chip stacking*, Proceedings of the Electronic Components and Technology Conference (2006) pp 838-843.
- [Klumpp03] A. Klumpp *et al.*, *Chip-to-wafer stacking technology for 3D system integration*, Proceedings of the Electronic Components and Technology Conference (2003) pp 1080-1083.
- [Koester08] S.J. Koester *et al.*, *Wafer-level 3D integration technology*, IBM Journal of Research & Development **52**-6 (November 2008).
- [Laermer96a] F. Laermer, A. Schilp (March 12, 1996) Method for anisotropic plasma etching of substrates, US patent 5,498,312.
- [Laermer96b] F. Laermer, A. Schilp (March 26, 1996) Method of anisotropically etching silicon, US patent 5,501,893.
- [Laine03] J.-P. Laine. *Mécanismes d'injection de porteurs minoritaires dans les circuits intégrés de puissance et structures de protection associées*, 175 p. Thèse de doctorat en Génie Electronique, Toulouse (2003).
- [Lammers06] D. Lammers, *Sematech targets infrastructures for 3-D chips*, EE Times online, 16/01/2006.
- [Landman71] B.S. Landman, R.L. Russo, *On a pin versus block relationship for partitions of logic graphs*, IEEE Transactions on Computers, C-20 (1971) pp 1469-1479.

- [Lee09] J.S. Lee, Y.-H. Kim, *Chip-to-chip bonding using micro-Cu bumps with Sn capping layers*, Proceedings of the European Microelectronics and Packaging Conference (June 2009), Rimini, Italy.
- [Leib04] J. Leib, M. Toepper, *New wafer level packaging technology using silicon vias contacts for optical and other sensor applications*, Proceedings of the Electronic Components and Technology Conference (2004) pp 843.
- [List06] S. List *et al.*, *A global view of interconnects*, Microelectronic Engineering, **83** (2006), pp 2200-2207.
- [Liu08] F. Liu *et al.*, *A 300-mm wafer-level three-dimensional integration scheme using tungsten through-silicon via and hybrid Cu-adhesive bonding*, IEDM Proceedings (2008).
- [Madden05] P.H. Madden, *SuperSized VLSI: A recipe for disaster*, Electronic Design Process Workshop (2005), Monterey, USA.
- [Mahapatra99] N.R. Mahapatra, B. Venkatrao, *The processor-memory bottleneck: problems and solutions*. Disponible en ligne: <http://www.acm.org/crossroads/xrds5-3/pmgap.html>
- [Massit08] C. Massit, *L'intégration hétérogène sur silicium : l'opportunité pour de nouvelles fonctionnalités sur la puce*, Midi Minatec, 7 Novembre 2008. Disponible en ligne : http://www.minatec.com/sites/default/files/080711_integration-heterogene-silicium.pdf
- [McIlrath09] L. McIlrath, *3D EDA Tools – What, When, How*, Design for 3D Workshop (D43D), June 2009, Grenoble, France.
- [McLellan04] N. McLellan *et al.*, *Effects of Wafer Thinning Condition on the Roughness, Morphology and Fracture Strength of Silicon Die*, Journal of Electronic Packaging, **126**-1 (March 2004) pp 110-114.
- [Meindl01] J.D. Meindl *et al.*, *Interconnecting device opportunities for gigascale integration*, IEDM Technical Digest (2001) pp 525-528.
- [Meindl03] J.D. Meindl, *Interconnect opportunities for gigascale integration*, IEEE Micro, **23**-3 (2003) pp 28-35.
- [Meindl95] J.D. Meindl, *Low power microelectronics: retrospect and prospect*, Proceedings of IEEE, **83**-4 (1995) pp 619-635.
- [Meindl99] J.D. Meindl, *Interconnect limits on gigascale integration*, Electrical Performance of Electronic Packaging Conference, San Diego (1999) pp 3.
- [MICRON] Osmium Packaging Technology Booklet, disponible en ligne : http://download.micron.com/pdf/guide/osmium_booklet.pdf
- [Moore65] G.E. Moore, *Cramming more components onto integrated circuits*, Electronics **38**-8 (April 19, 1965).
- [Morrow04] P. Morrow *et al.*, *Wafer-level 3D interconnects via Cu bonding*, Proceedings of the Advanced Metallization Conference (2004).

- [Morrow06] P.R. Morrow *et al.*, *Three-dimensional wafer stacking via Cu–Cu bonding integrated with 65-nm strained-Si/Low-k CMOS technology*, IEEE Electron Device Letters, **27**-5 (2006) pp 335-337.
- [Morrow07] P. Morrow *et al.*, *Design and fabrication of 3D microprocessors*, MRS Proceedings **970**, Enabling Technologies for 3D Integration (eds C. Bower, P. Garrou, P. Ramm and K. Takahashi), Materials Research Society (2007) pp 91-103.
- [Muralid04] N. Muralidharan *et al.*, *The System on Chip technology*, Proceedings of LACCEI'04, Miami, USA, 2-4 June 2004.
- [NEPG00] The Nordic Electronics Packaging Guideline, disponible en ligne : <http://extra.ivf.se/ngl/>
- [Newman06] M. Newman *et al.*, *Fabrication and electrical characterization of 3D vertical interconnects*, Proceedings of the Electronic Components and Technology Conference (2006) pp 394-398.
- [Ohring98] M. Ohring. Reliability and failure of electronic materials and device – 1st Edition. Academic Press, 1998. 692 p.
- [Okamoto07] K. Okamoto, *Current status of LSI micro-fabrication and future prospect for 3D system integration*, Proceedings of Material Research Society Symposium **970** (2007).
- [Okoro07] C. Okoro *et al.*, *Analysis of the induced stresses in silicon during thermocompression Cu-Cu bonding of Cu-through vias in 3D-SiC architecture*, Proceedings of the Electronic Components and Technology Conference (2007) pp 249-255.
- [Olmen08] J. Van Olmen *et al.*, *3D stacked IC demonstration using a through-silicon via first approach*, Proceedings of the International Electron Devices Meeting (2008) pp 603-606.
- [Patti06] B. Patti, *3D scaling to production*, 3D Architectures for Semiconductor Integration and Packaging Conference (2006). 31 Oct.-2 Nov. 2006, San Francisco, USA.
- [Pei01] Z.J. Pei, A. Strasbaugh, *Fine grinding of silicon wafers*, International Journal of Machine Tools and Manufacture, **41**-5 (April 2001) pp 659-672.
- [Peters06] L. Peters, *3-D integration could improve yields*, Semiconductor International, Dec. 1st 2006.
- [R3Logic] R³Logic website: <http://www.r3logic.com/>
- [Radke69] C.E. Radke, *A justification of, and an improvement on, a useful rule for predicting circuit-to-pin ratios*, Proceedings of Design Automation Conference (1969) pp 257-267.
- [Reif02] R. Reif *et al.*, *Fabrication technologies for three-dimensional integrated circuits*, Proceedings of the International Symposium on Quality Electronic Design (ISQED'02).
- [Sakuma08] K. Sakuma *et al.*, *Characterization of stacked die using die-to-wafer integration for high yield and throughput*, Proceedings of Electronic Components and Technology Conference (2008), pp 18-23.

- [Scanlan01] C.M. Scanlan, N. Karim, *System-in-Package technology, application and trends*, SMTA international proceedings, 2001, pp 764-773.
- [SET] SET SAS website: <http://www.set-sas.fr/en/index.xml>
- [Singh99] R. Singh, *A review of substrate coupling issues and modeling strategies*, Proceedings of the Custom Integrated Circuits Conference, California, May 16-19, 1999.
- [Skotnicki00] T. Skotnicki, *Transistor MOS et sa technologie de fabrication*, Techniques de l'Ingénieur, E2430, publié le 10 février 2000.
- [Son07] Y.H. Son *et al.*, *Laser-induced epitaxial growth (LEG) technology for high density 3-D stacked memory with high productivity*, Proceedings of VLSI Technology Symposium (2007) pp 80-81.
- [Souri00] S.J. Souri *et al.*, *Multiple Si layer ICs: motivation, performance analysis, and design implications*, 37th Conference on Design Automation (DAC'00), 2000, pp 213-220.
- [Soussan08] P. Soussan *et al.*, *3D wafer level packaging: processes and materials for through-silicon vias and thin die embedding*, Proceedings of Materials Research Society Symposium **1112** (2009).
- [Swinnen06] B. Swinnen *et al.*, *3D integration by Cu-Cu thermocompression bonding of extremely thinned bulk-Si die containing 10 µm pitch through-Si vias*, IEDM Proceedings (2006) pp 371-374.
- [Takahashi04] K. Takahashi *et al.*, *Process integration of 3D chip stack with vertical interconnection*, Proceedings of the Electronic Components and Technology Conference (2004) pp 601.
- [Tanaka06] N. Tanaka *et al.*, *Low-cost through-hole electrode interconnection for 3D-SiP using room-temperature bonding*, Proceedings of Electronic Components and Technology Conference (2006), pp 814-818.
- [Tanaka08] N. Tanaka *et al.*, *Characterization of MOS transistors after TSV fabrication and 3D-assembly*, Proceedings of the Electronics Systemintegartion Technology Conference (2008) pp 131-134.
- [Taur97] Y. Taur *et al.*, *CMOS scaling into the nanometer regime*, Proceedings of the IEEE **85**-4 (April 1997) pp 486-504.
- [Tezcan06] D.S. Tezcan *et al.*, *Development of vertical and tapered via etch for 3D through wafer interconnect technology*, Proceedings of the Electronics Packaging Technology Conference, 6-8 December 2006, pp 22-28.
- [Tezzaron09] 3D IC Industry Summary, Tezzaron Semiconductor Website.
Actualisé le 12 juin 2009. Disponible en ligne :
http://www.tezzaron.com/technology/3D_IC_Summary.html
- [Thompson04] S.E. Thompson *et al.*, *A 90-nm logic technology featuring strained-silicon*, IEEE Transactions on Electron Devices **51**-11 (November 2004) pp 1790-1797.
- [Tong99] Q.-Y. Tong, U. Gösele. Semiconductor Wafer Bonding: Science and Technology - 1st Edition. The Electrochemical Society Series, 1999 - 296 p.

- [Topol06] A.W. Topol *et al.*, *Three-dimensional integrated circuits*, IBM Journal of Research & Development, **4/5** (2006) pp 491-506.
- [Toshiba04] *System-in-Package*, Toshiba system catalog (2004), disponible en ligne : <http://www.semicon.toshiba.co.jp/eng/prd/common/pdf/sce0010a.pdf>
- [Tsang07] C.K. Tsang *et al.*, *CMOS-compatible through silicon vias for 3D process integration*, Proceedings of Material Research Society Symposium **970** (2007).
- [Tschan01] T. Tschan, *Deciding between Flip Chip and Wire Bonding*, disponible en ligne: http://www.oerlikon.com/ecomaXL/get_blob.php?name=deciding_between_fc_and_wb_03.2001.pdf
- [Tummala04] R.R. Tummala, *SOP: what is it and why? A new microsystem-integration technology paradigm-Moore's law for system integration of miniaturized convergent systems of the next decade*, IEEE Transactions on Advanced Packaging, **27-2**, May 2004, pp 241-249.
- [Tummala99] R.R. Tummala *et al.*, *SOP : Microelectronics system packaging technology for 21st century ; prospects and progress*, 12th European Microelectronics and Packaging Conference, Harrogate, UK (1999), pp 327-335.
- [Valorge06] O. Valorge. *Bruit d'alimentation et couplage par le substrat dans les circuits mixtes*, 211 p. Thèse de doctorat: Génie Electronique, Electrotechnique et Automatique. Institut National des Sciences Appliquées de Lyon, 2006.
- [Wiki07] *MOSFET*, article Wikipedia, 2007, disponible en ligne : <http://en.wikipedia.org/wiki/MOSFET>
- [Wiki09] Ariane 5, article Wikipedia, Août 2009, disponible en ligne : http://fr.wikipedia.org/wiki/Ariane_5
- [Wolf08] M.J. Wolf *et al.*, *High aspect ratio TSV copper filling with different seed layers*, Proceedings of the Electronic Components and Technology Conference (2008) pp 563-570.
- [Wolf86] S. Wolf, R.N. Tauber. Silicon Processing for the VLSI Era, Volume 1: Process Technology. Lattice Press, 1986. 660 p.
- [YOLE07] 3D IC & TSV Report, YOLE Développement, 2007 Edition.
- [ZhangR01] R. Zhang *et al.*, *Power trends and performance characterization of 3-dimensional integration for future technology generations*, Proceedings of International Symposium on Quality Electronic Design (ISQED'01), IEEE CS Press (2001) pp 217-222.
- [ZhangG05] G.Q. Zhang *et al.*, *The paradigm of « More than Moore »*, IEEE 6th International Conference on Electronic Packaging Technology (2005) pp 17-24.
- [ZhangS05] S.X. Zhang *et al.*, *Characterization of copper-to-silicon diffusion for the application of 3D packaging with through-silicon vias*, Proceedings of the Electronics Packaging Technology Conference (2005).

Annexe A

Flot de conception pour l'intégration 3D.

Table des matières

ANNEXE A	201
A.1. INTRODUCTION.....	203
A.2. CONFIGURATION CAO.....	203
A.2.1. Technologie.....	203
A.2.2. Outils.....	203
A.2.3. Plateformes	203
A.2.4. Arbres de hiérarchie	204
A.2.5. Fichier de Setup.....	204
A.3. DESIGN KIT INTERNE	205
A.3.1. Bibliothèque de référence.....	205
A.3.2. Fichier technologique	205
A.3.3. Layer Map Table.....	206
A.3.4. Fichiers de vérification	207
A.3.5. Fonction Mirror	209
A.4. FLOT DE CONCEPTION (METHODOLOGIE)	210
A.4.1. Environnement de travail	211
A.4.2. Saisie de Schéma.....	211
A.4.3. Environnement de simulation.....	213
A.4.4. Réalisation du Layout	213
A.4.5. Vérification (DRC/LVS)	216
A.4.6. Génération (GDS)	218
A.5. DESIGN RULES MANUAL (DRM).....	218
A.5.1. Barrette de plots	218
A.5.2. Mask Table	219
A.5.3. Description Back-End avec deux niveaux actifs	219
A.5.4. Règles DRC.....	220

A.1. Introduction

Ce document est destiné aux concepteurs souhaitant réaliser un circuit avec la technologie d'intégration 3D. Pour une meilleure compréhension de cette technologie, une description est présentée dans le A.5.3. Le flot de conception habituel ne peut pas être appliqué à la 3D ; les outils de CAO ne sont pas adaptés. De même, tous les fichiers du Design Kit ne prennent pas en compte les niveaux de métal supplémentaires (*layers*).

Ce document a pour but de présenter la méthodologie à suivre et de guider les concepteurs dans les différentes étapes du flot de conception. Les règles de dessins associées aux *layers* 3D sont décrites dans le paragraphe A.5.4. Ceci vient compléter le DRM de ST.

A.2. Configuration CAO

A.2.1. Technologie

Voici quelques informations sur la technologie utilisée :

Version du Design Kit	DK_cmos065lpgp_7m4x0y2z_50A28A_4.2.1
Transistors utilisés	nsvtlp, psvtlp
Tension d'alimentation	1.2V
Niveaux de métal/plaque	2

A.2.2. Outils

Les pré requis sur les outils de CAO sont les suivants :

- ✓ Cadence IC : 5.10.41.500.4.72
- ✓ Eldo : 6.5_2.2
- ✓ Calibre : 2006.1_19.20

A.2.3. Plateformes

Le Design Kit 65nm est compatible sur les plateformes suivantes :

- ✓ Sun Solaris 5.8
- ✓ Linux Red Hat Enterprise 4.0

A.2.4. Arborescence

Répertoire/Fichier	PATH
Projet	/home/dcis_scme/share/CI/3DINTEGRATION
Circuit	/home/dcis_scme/share/CI/3DINTEGRATION/DESIGN_3D
Travail	/home/dcis_scme/share/CI/3DINTEGRATION/DESIGN_3D/CADENCE
Design Kit ST	/home/dkit/cmos065/cmp_cmos065lpgp_7m4x0y2z_50A28A_4.2.1
Design Kit interne	/home/dcis_scme/share/CI/3DINTEGRATION/DKIT

A.2.5. Fichier de Setup

Sous le répertoire CADENCE, lancer dans un terminal la commande :

>> setup3D.csh &

Ce fichier lance un fichier ‘.cshrc’ du DKIT interne qui contient la déclaration des variables d’environnement ci-dessous, nécessaire pour les étapes de Vérification DRC et LVS, ainsi que le chargement de la commande ‘icfb’

```
#!/bin/csh -f
setenv DKITROOT_3D      /home/share/dcis_scme/CI/3DINTEGRATION/DKIT
icfb<
setenv U2TK_CALIBRETKITdrc      $DKITROOT_3D/Calibre/calibredrc_leti
setenv U2TK_CALIBRETKITHs      $DKITROOT_3D/Calibre/calibrelhs_leti
```

Figure A.1 : Fichier .cshrc.

A.3. Design Kit interne

Afin de réaliser les modifications nécessaires liées à la 3D, une partie du Design Kit ST a du être modifiée. Pour cela, tous les fichiers/répertoires concernés ont été placés dans le répertoire DKIT sous l'arborescence suivante :

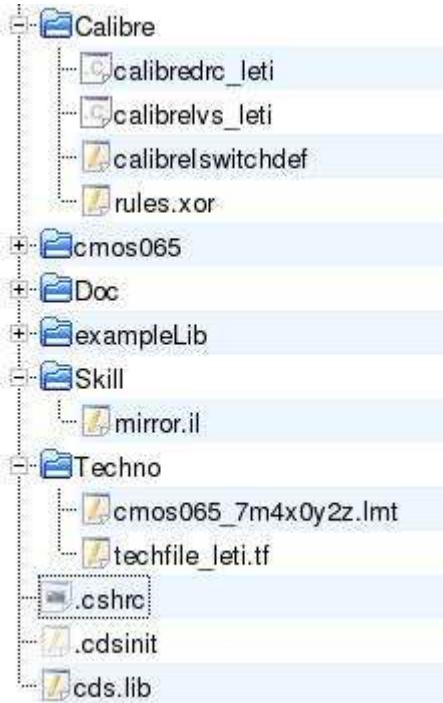


Figure A.2. Arborescence du répertoire DKIT.

A.3.1. Librairie de référence

La librairie de référence de la 65nm correspond au répertoire ‘cmos065’. Celui-ci a été copié depuis le Design Kit ST et a été modifié par la suite. L'accès à cette librairie dans Cadence est donné dans le fichier ‘cds.lib’.

La librairie ‘cmos065’ contient entre autre les transistors ‘nsvtlp’, ‘psvtlp’, les vias ... mais également les TSV ‘MTOP_M2B’ et ‘MTOP_M1H’ créés pour l'occasion. L'ajout de ces TSV a été effectif lors de la modification du fichier techno.

A.3.2. Fichier techno

La librairie ‘cmos065’ est attachée à son fichier ‘techfile.cds’ qui correspond au fichier techno compilé. Dans l'environnement Cadence (CIW) et à l'aide de la fonction ‘Dump’, il est possible d'extraire un fichier ASCII. Ce fichier texte, ‘techfile_leti.tf’ sous le répertoire ‘Techno’, peut donc être modifié puis compilé de nouveau.

Les modifications apportées à ce fichier concernent la création des layers MTOP, SVIA_B et SVIA_H ; ainsi que la construction des TSV MTOP_M2B et MTOP_M1H illustrés ci-dessous :

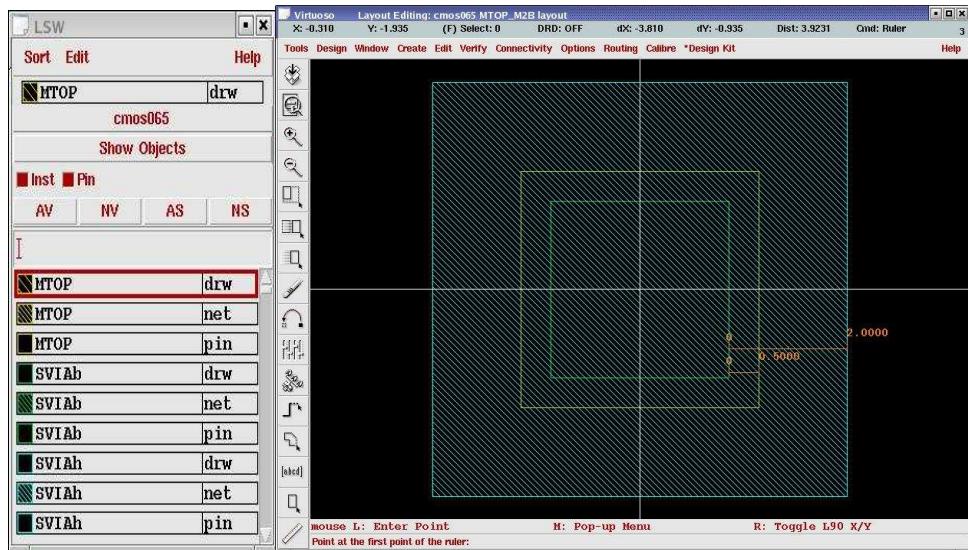


Figure A.3. TSV MTOP_M2B.

MTOP : Niveau de métal supplémentaire permettant de relier les TSV (RDL).

SVIAb : Niveau TSV reliant le MTOP au niveau de métal de la couche du bas (M2).

SVIAh : Niveau TSV reliant le MTOP au niveau de métal de la couche du haut (M1).

Les règles de dessins associés sont les suivantes :

- ✓ Largeur du TSV : 4 µm (forme octogonale)
- ✓ Espace min entre 2 TSV : 6 µm
- ✓ Recouvrement du MTOP (RDL) : 0.5 µm
- ✓ Recouvrement du M1/2 : 2µm

A.3.3. Layer Map Table

Le fichier ‘Layer Map Table’ (Techno/cmos065_7m4x0y2z.lmt) permet de générer un fichier GDS avec une correspondance/conversion entre le Layer Cadence et le numéro GDS.

<i>Cadence Layer name</i>	<i>Cadence Layer purpose</i>	<i>Stream Layer number</i>	<i>Stream Data type</i>
MTOP	<i>drawing</i>	45	0
SVIAb	<i>drawing</i>	41	0
SVIAh	<i>drawing</i>	42	0
MTOP	<i>pin</i>	145	0
SVIAb	<i>pin</i>	141	0
SVIAh	<i>pin</i>	142	0
MTOP	<i>net</i>	145	83
SVIAb	<i>net</i>	141	83
SVIAh	<i>net</i>	142	83

Figure A.4. Extrait Layer Map Table (.lmt).

Ce fichier a été copié du Design Kit puis modifié ; il doit être utilisé lors de toute création d'un GDS :

- ✓ Calibre DRC/LVS,
- ✓ Génération des GDS pour la génération des masques (Export dans Cadence),
- ✓ Importation de tous les fichiers GDS extérieurs (Import dans Cadence)

A.3.4. Fichiers de vérification

Les fichiers de vérification pour Calibre DRC/LVS ont été copiés du Design Kit d'origine (<PATH Design Kit>/DATA/CALIBRE_CORE/calibredrc et calibrelvs) puis modifiés pour créer les ‘LAYER’, les ‘TEXT LAYER’ ainsi que les connectiques (LVS) et les règles de dessins (DRC).

- Les fichiers DRC/LVS sont placés sous le répertoire Calibre et sont appelés à l'aide des variables unix déclarées dans le fichier de ‘setup’. En voici les principales commandes :

```
# Déclaration des Layers Calibre mappés sur la layer map table
TEXT LAYER 3414 LAYER MAP 145 TEXTTYPE 0 3414
TEXT LAYER 3415 LAYER MAP 145 TEXTTYPE 83 3415

# Déclaration des Layers Calibre mappés sur la layer map table
LAYER SVIAb 3610 LAYER MAP 41 DATATYPE 0 3610
LAYER SVIAh 3611 LAYER MAP 42 DATATYPE 0 3611
LAYER MTOP 3612 LAYER MAP 45 DATATYPE 0 3612
LAYER MTOP_pin 3614 LAYER MAP 145 DATATYPE 0 3614
LAYER MTOP_net 3616 LAYER MAP 145 DATATYPE 83 3616
# Attach des Layers texte sur le Métal TOP
ATTACH 3414 MTOP PORT LAYER TEXT 3414
ATTACH 3415 MTOP

# Connection des niveaux de métal par le TSV
CONNECT MTOP M2Xi BY SVIAb
CONNECT MTOP M1i BY SVIAh

# Ecriture des règles de dessins
SVIAb.W.1 {@ Rule SVIAb.W.1: Width : 3.000
NOT RECTANGLE SVIAb == 3.000 BY == 3.000
}

SVIAb.S.1 {@ Rule SVIAb.S.1: Space: 6.000
EXT SVIAb < 6.000 ABUT <90 SINGULAR REGION
}
.......
```

Figure A.5. Extrait du fichier calibredrc_leti.

Note : Toutes les règles de dessins sont décrites et illustrées dans le A.5.4.

- Le fichier de ‘Customization’ ‘CalibreIswitchdef’ utile pour l’étape de DRC, permet d’exécuter certaines règles de dessins.

Dans notre cas le fichier de ‘Customization’ permet de sélectionner le bouton :

Check DRC 3D for Bottom Strata only

Une fois coché, certaines règles de dessins spécifiques au Layout de la couche du bas seront exécutées.

Pour cela, une variable dans le fichier ‘drc’ a été déclarée et permet de réaliser ce type de sélection. Pour prendre en compte ce fichier il suffit de sélectionner dans Calibre Interactive ‘Setup → Preferences’ et d’indiquer son chemin dans le champ ‘Customization File’.

- Afin de vérifier que les TSV bas (SVIAb) sont bien alignés, il a fallu réaliser une fonction ‘xor’ entre les fichiers GDS des Layout haut et bas.

L’utilisation de ce fichier est décrite dans le chapitre Méthodologie de ce rapport.

Néanmoins, ce fichier utilisé par Calibre, crée 2 fichiers GDS correspondant aux circuits bas et haut, et les compare en réalisant un ‘xor’ sur les Layers SVIAb. Ceci permet de vérifier tout problème d’alignement.

```

LAYOUT SYSTEM GDS
LAYOUT SYSTEM2 GDS
LAYOUT PATH 'cirbo.gds'
LAYOUT PATH2 'cirba_image.gds cirba.gds'
LAYOUT PRIMARY 'cirbo'
LAYOUT PRIMARY2 'cirba_image'
LAYOUT ERROR ON INPUT NO
DRC RESULTS DATABASE xor_results.db
DRC SUMMARY REPORT xor_summary HIER

```

```
LAYOUT BUMP2 132
```

```

LAYER MAP 41 DATATYPE 0 0
LAYER MAP 173 DATATYPE 0 132
comp_SVIAb { XOR 0 132 }
```

Figure 6. Fichier rules.xor.

Pour réaliser cette vérification, il est indispensable de « manipuler » le GDS du circuit bas en réalisant un « flip 180° ». Dans le répertoire <PATH DKIT>/Calibre/xor, le script place_cell.o permet de réaliser une telle opération. Voici comment doit être utilisé ce script :

```

stevia/xor 150 >>place_cell.o
What is the name of the new GDSII file? cirba_image.gds
What is the name of the new top cell? cirba_image
What is the name of the cell to be placed (CTRL-D terminates)? cirba
What is the magnification (input 1 for none)? 1
What is the rotation (input 0 for none)? 180
Is there an x-axis reflection (input 'y' if so)? y
What is the position (input both x and y)? 1980 0
What is the name of the cell to be placed (CTRL-D terminates)?

```

Figure A.7. Fonction place_cell.o.

A.3.5. Fonction Mirror

Une des spécificités de l'intégration 3D vient du fait de réaliser le Layout du circuit haut en prenant en compte les TSV provenant du circuit bas. La procédure ‘mirror’ (répertoire Skill) a été écrite pour réaliser une « image » du circuit bas. Cette « image » est le résultat d'un miroir Y et d'un changement d'origine sur le Layout du circuit bas.

```
Procedure(mirror)
    let((cel celM shape)
    cel = geGetWindowCellView()
    dbSave(cel cel~>libName cel~>cellName "image")
    geOpen(?lib cel~>libName ?cell cel~>cellName ?view "image")
    celM= geGetWindowCellView()

    foreach(inst celM~>instances
        leFlattenInst(inst 20 t)
    )

    x0= caar(celM~>bBox)
    x1= caadr(celM~>bBox)

    foreach(shape celM~>shapes
        if((shape~>layerName != "prBoundary")&&(shape~>layerName != "SVIAb")&&(shape~>layerName != "MTOP") then
            dbDeleteObject(shape)

        else if((shape~>layerName == "prBoundary")&&(caadr(shape~>bBox) < x1) then dbDeleteObject(shape)

        else
            dbMoveFig(shape celM list(0:0 "MY"))
    )
    )

    nor= dbTransformPoint(x1:0 list(0:0 "MY"))
    dx= x0-car(nor)
    leMoveCellViewOrigin(celM list(-dx 0))
)
```

Figure A.8. Fichier mirror.il.

Cette procédure est chargée à travers le fichier ‘.cdsinit’, et crée une vue ‘image’ dans Cadence contenant seulement les TSV :

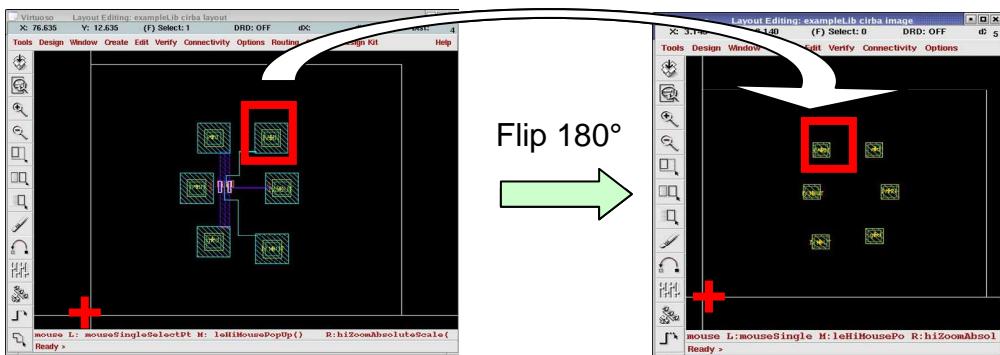
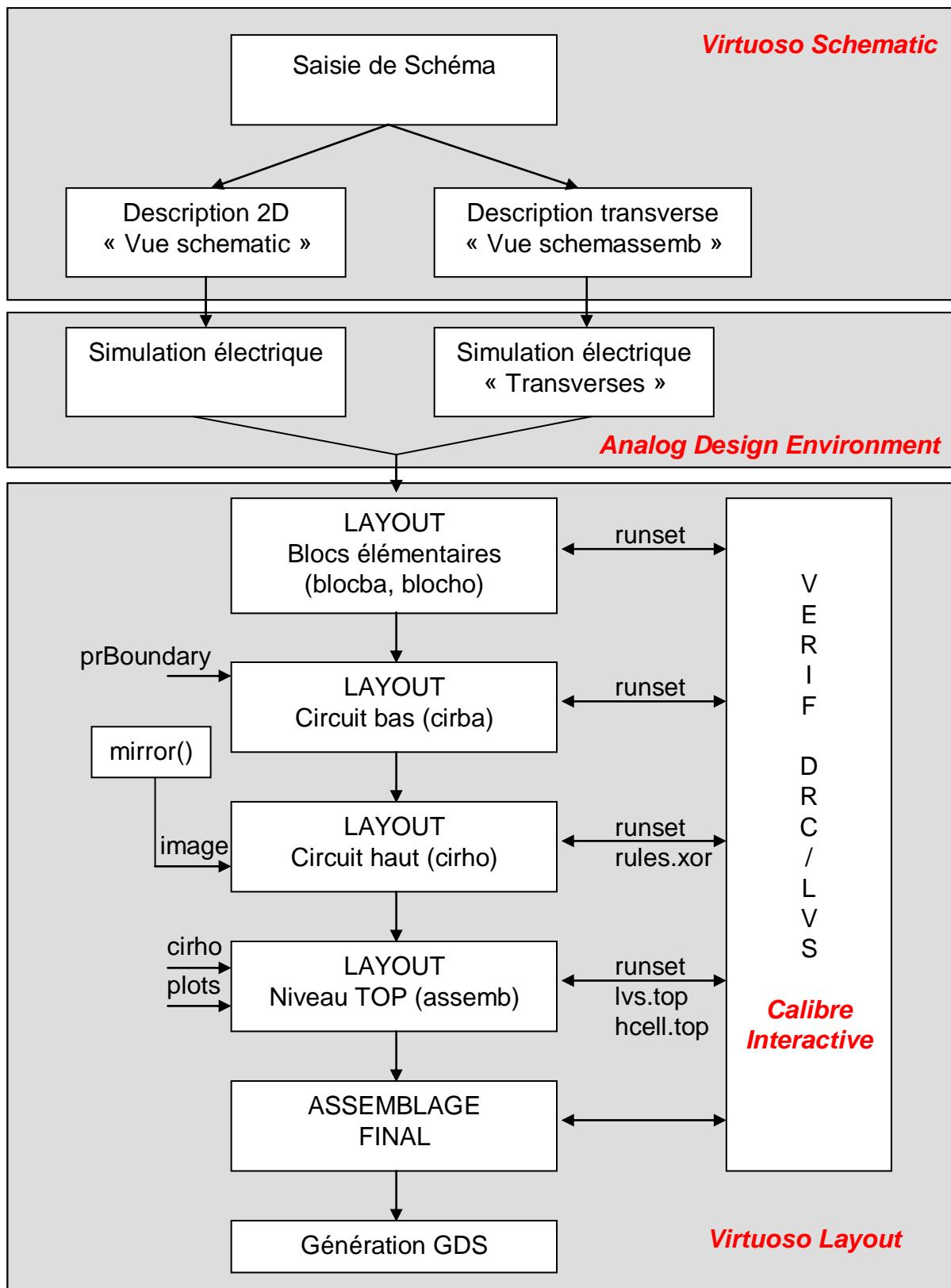


Figure A.9. Vue « image ».

A.4. Flot de conception (Méthodologie)



A.4.1. Environnement de travail

La première étape consiste à charger le Design Kit CMOS 65nm version 4.2.1 dans l'outil de gestion ‘Version CAO’ puis de se positionner dans le répertoire CADENCE du circuit. Ensuite, pour charger l'environnement Cadence lancer la commande « setup3D.csh ».

Les transistors utilisés sont les ‘Low Power SVT’ (nsvtlp & psvtlp). La bibliothèque numérique associée est la CORE65LPSVT.

La librairie ‘exampleLib’ est une librairie LETI qui permet d’illustrer la méthodologie 3D. La suite de ce chapitre fera régulièrement référence à cette librairie.

A.4.2. Saisie de Schéma

La librairie ‘exampleLib’ est basée sur 4 inverseurs connectés de la façon suivante :

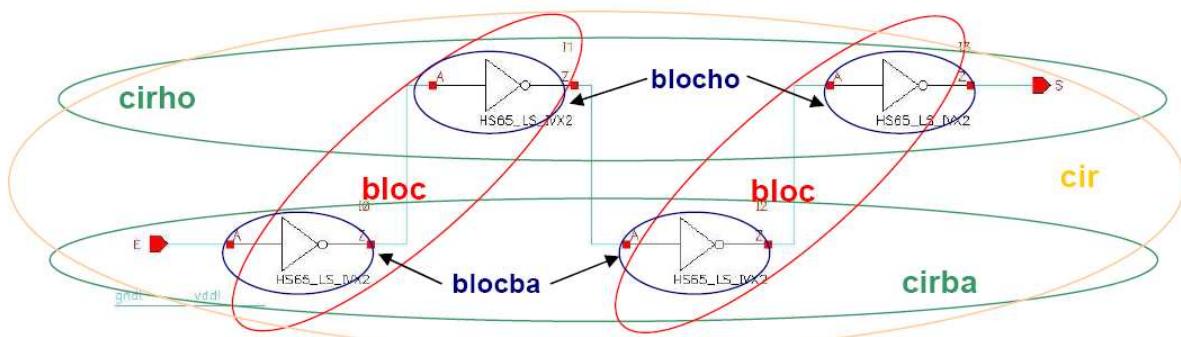


Figure A.10. Méthodologie Vue Schematic.

Le niveau hiérarchique le plus élevé est représenté par ‘cirba’ et ‘cirho’ respectivement plaque du bas et plaque du haut. Chacune de ces cellules est composée de ‘sous cellules’ représentées par ‘blocba’ et ‘blocho’. Cet exemple ne comporte que deux niveaux hiérarchiques pour atteindre la vue ‘cmos’ des transistors. La méthodologie reste la même en fonction de la complexité du design à réaliser.

Cette méthode met en évidence les entrées/sorties ainsi que les TSV de chaque plaque. Le Layout suivra cette structuration. En revanche, ce « découpage » ne permet pas de réaliser une simulation globale du circuit (‘cir’) ainsi qu’une cellule de type ‘bloc’. Pour permettre cela, ces cellules que l’on qualifiera de « transverses » sont créées (bloc, cir, ...) et ont ‘schemassemb’ comme vue.

Pour résumé, le circuit est schématisé de deux façons :

- Schematic : pour la description réelle du circuit (avec vue layout) ; représentation des deux plaques ;
- Schemassemb : représentation transverse permettant une description électrique globale.

Enfin, la cellule « assemb » représentée ci-dessous correspond au circuit final. La vue « Schematic » (Fig 10) permet de descendre dans la hiérarchie à l'aide des vues « schematic ». La vue « schemassemb » () permet de descendre dans la hiérarchie à l'aide des vues « schemassemb ».

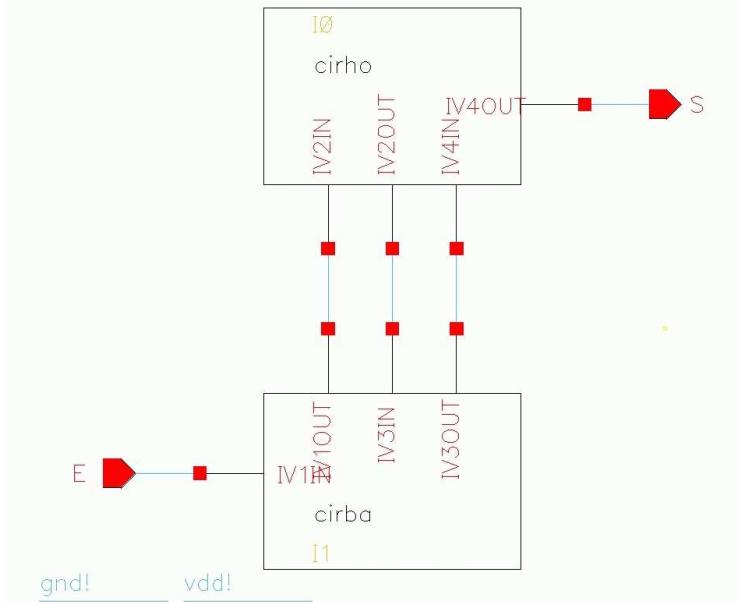


Figure A.11. Vue Schematic – Circuit complet.

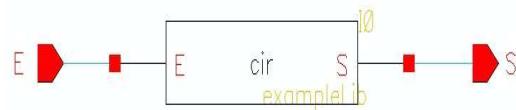


Figure A.12. Vue Schemassemb – Circuit complet.

Note : lors de la réalisation des vues « schematic » il est nécessaire d'alimenter les prises substrats des transistors. Pour cela, rajouter dans les propriétés de votre symbol (bouton Add) :



Figure A.13. Alimentation des prises substrats.

Renouveler l'opération pour vdss.

A.4.3. Environnement de simulation

L'environnement de simulation est « Analog Design Environment » et le simulator par défaut est « eldoD ». En revanche lors de simulations des vues « schemassemb » il faut rajouter cette vue dans le champ « Switch View List », dans le menu « Setup → Environment » :

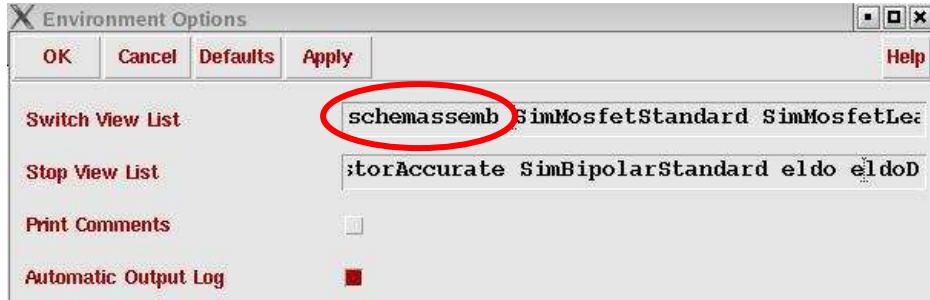


Figure A.14. Analog Design Environment – Setup.

A.4.4. Réalisation du Layout

Ce paragraphe va décrire la méthodologie à suivre pour arriver à un assemblage final des deux plaques avec le routage au niveau TOP des interconnexions. La réalisation des vues « Layout » jusqu'à l'assemblage final se décompose en 5 étapes :

Réalisation du layout des blocs élémentaires de type 'blocka', 'blocho'.

Dans l'exemple ci-dessous, le Layout de l'inverseur (librairie CORELIB) ne comporte pas les prises substrats. Ceci génère une erreur DRC. Pour remédier à cela, il suffit d'instancier depuis la librairie cmos065 les prises NTAP pour le pmos et PTAP pour le nmos. Puis d'entourer le NTAP par un caisson NWELL :

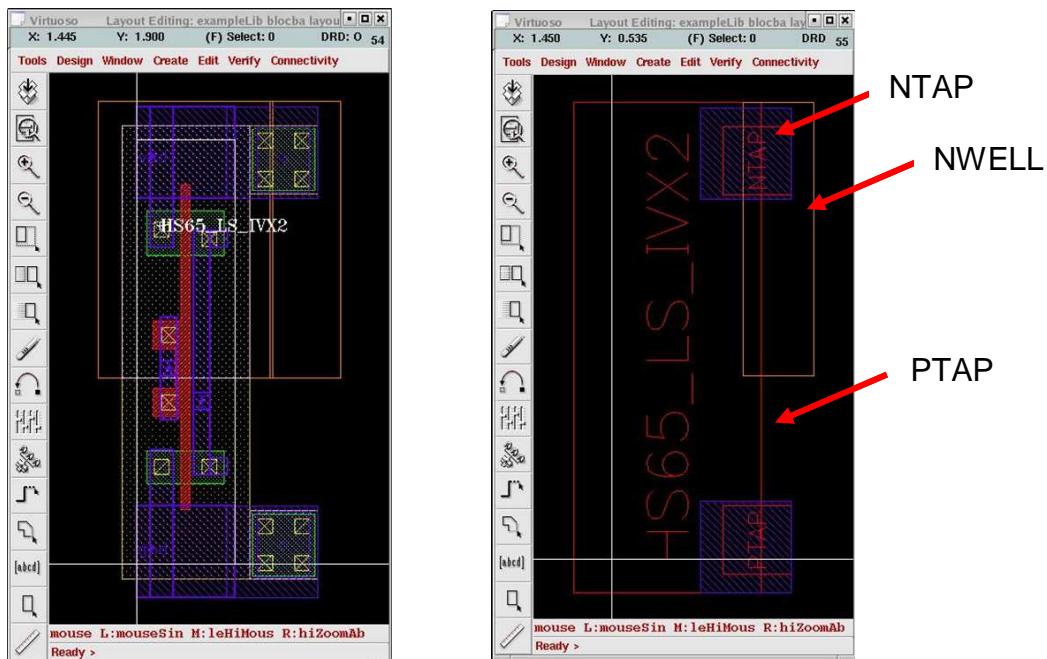


Figure A.15. Prises substrats NTAP / PTAP.

Réalisation du Layout du circuit bas (cirba).

Pour réaliser le Layout du circuit bas, il est nécessaire de définir une zone « autorisée ». Dans un cadre classique, il suffirait d'instancier une barrette de plots. Or celle-ci ne peut apparaître avant l'assemblage final des deux plaques. Pour implémenter cette zone « virtuelle », il suffit d'instancier la cellule « prBoundary » présente dans la librairie 'exampleLib' (cf. Figure A.15). Il est important pour la suite de positionner ce symbole sur l'origine (0 :0) de notre vue. Vous trouverez sur ce Layout deux rectangles ; l'un destiné à l'espace Layout et l'autre à l'espace réservé pour ne pas se superposer aux plots. Tout ceci est illustré sur la figure suivante :

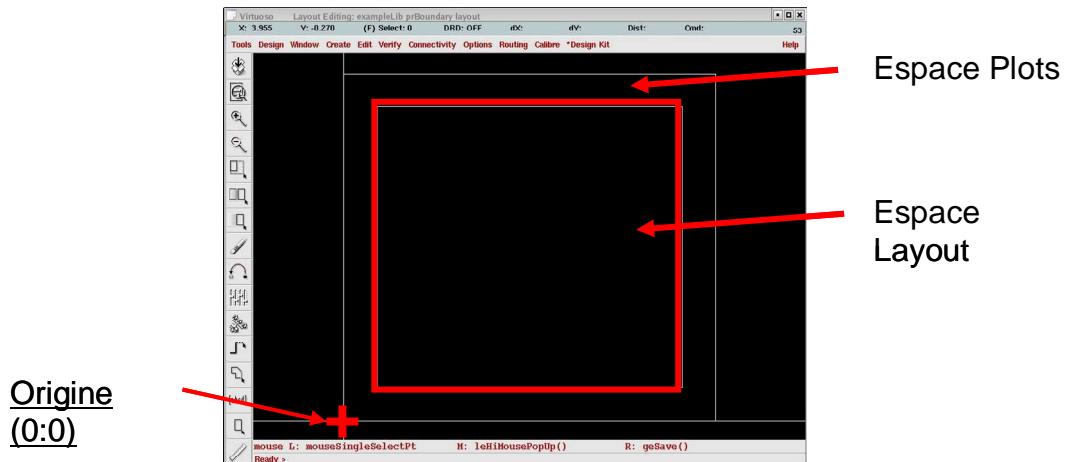


Figure A.16. Cellule prBoundary.

Note : L'espace Plots ne peut contenir de SVIAb. En revanche, cette zone peut contenir le Layout des autres « layers » de la techno 65nm. La zone Layout comporte non seulement le layout des blocs élémentaires (blocba) avec leur connectique mais également tous les SVIAb permettant le contact avec le niveau TOP.

Note : pour tous les TSV bas (SVIAb), créer un label avec le Layer 'MTOP pin'

Réalisation de la vue « image » du circuit bas (cirba).

Pour réaliser la vue « layout » du circuit haut (cirho), il est indispensable d'avoir l'image des TSV provenant du circuit bas. De plus, il faut tenir compte du retournement de 180° de la plaque du haut. Pour réaliser cette opération, il suffit d'ouvrir la vue layout de 'cirba' et de lancer dans Cadence (CIW) la commande 'mirror()'. Cette procédure va créer la vue image (cellule cirba) que l'on utilisera pour le layout du circuit haut (cirho). Cette vue contient seulement les TSV bas (SVIAb) ainsi que le niveau de métal MTOP avec son label associé. Pour plus d'informations sur la fonction Mirror, reportez-vous au paragraphe A.3.5.



Figure A.17. Cellule cirba Layout (G) & Image (D).

Réalisation du Layout du circuit haut (cirho).

Avant de commencer le Layout du circuit haut (cirho), instancier la cellule « prBoundary » ainsi que la vue « image » du circuit bas (cirba). L'espace réservé au Layout du circuit haut (cirho) est le même que pour le circuit bas. L'espace pour les plots est réservé pour l'assemblage final. La zone Layout comporte donc le layout des blocs élémentaires (blocho) avec leur connectique mais également tous les TSV (SVIAh et SVIAb) permettant le contact avec le niveau TOP.

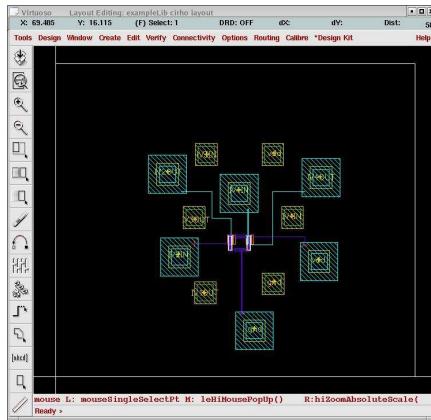


Figure A.18. Layout de cirho.

Réalisation du Layout final (assemb).

Le layout final de la cellule « assemb » permet de réaliser la connexion des TSV ainsi que la connectique des entrées/sorties sur les plots. Pour cela, il suffit d'instancier la barrette de plots (origine 0:0), la vue image du circuit bas et la vue layout du circuit haut.

Attention : pour des raisons hiérarchiques (LVS), le layout du circuit haut ne doit pas contenir la vue image du circuit bas, mais doit être instancié comme une cellule de même niveau.

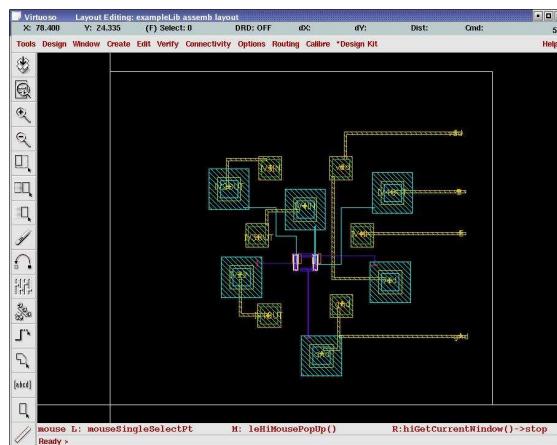


Figure A.19. Layout final (assemb).

Les images des figures A.16-A.17-A.18-A.19 ne sont pas représentées à l'échelle ni avec la barrette de plots standard. Ces images sont données à titre purement indicatif.

A.4.5. Vérification (DRC/LVS)

Ce paragraphe explique l'utilisation de Calibre Interactive avec le chargement des « runsets » (fichier de configuration pré rempli) ainsi que les options choisies. Les erreurs DRC/LVS sont à traiter à l'aide du DRM. Les étapes de DRC et de LVS sont à lancer le plus fréquemment possible.

Attention : A chaque chargement de Calibre Interactive (DRC et LVS), la layer map table (.lmt) chargée est celle du Design Kit ST. Ceci génère des erreurs sur les layers 3D (MTOP, SVIAb et SVIAh). Pour cela, il est impératif de positionner le path suivant dans le champ « Layer Map Table » accessible dans le menu Calibre → Setup → Layout Export :

`<PATH DKIT>/Techno/cmos065_7m4x0y2z.lmt`

Cependant, ce path est écrasé lors de chaque lancement DRC/LVS. C'est pourquoi il est indispensable de cocher la case 'Show dialog before export'. Ceci ouvrira une fenêtre de dialogue permettant ainsi de modifier le path du fichier 'lmt'.

Vérification DRC.

- Pour lancer « Calibre Interactive », choisir dans la fenêtre layout le menu « Calibre → Run DRC »

- Charger le “runset” du Design Kit à travers le menu « File → Load runset » et indiquer le chemin suivant :

`/home/dcis_scme/share/CI/3DINTEGRATION/DKIT/Calibre/runsetdrc`

- Dans la rubrique « Rules → Calibre-DRC Run Directory » : <PATH Circuit>/VERIF/DRC/tmp , remplacer ‘tmp’ par le nom de la cellule courante.

Ce répertoire contient tous les résultats de la commande calibre (fichier results, fichier db ...)

- Dans la rubrique Customization, décocher toutes les options ; cocher l'option « Check DRC 3D for Bottom Strata only » pour tous les DRC sur le circuit bas. Le fichier de Customization chargé se trouve sous <PATH DKIT>/Calibre/calibreIswitchDef.

- La création du fichier GDS est sauvegardée sous le répertoire <PATH Circuit>/VERIF/GDS

- Pour chaque cellule, sauvegarder votre config à travers le menu « File → Save Runset As... » dans le répertoire VERIF/DRC/<nom_cellule>

- Recharger un runset à travers les menus « File → Load Runset » ou « File → Recents Runsets »

Vérification LVS.

- Pour lancer « Calibre Interactive », choisir dans la fenêtre layout le menu « Calibre → Run LVS »

- Charger le “runset” du Design Kit à travers le menu « File → Load runset » et indiquer le chemin suivant :

`/home/dcis_scme/share/CI/3DINTEGRATION/DKIT/Calibre/runsetlhs`

- Dans la rubrique « Rules → Calibre-LVS Run Directory » : <PATH Circuit>/VERIF/LVS/tmp , remplacer ‘tmp’ par le nom de la cellule courante.

Ce répertoire contient tous les résultats de la commande calibre (fichier results, fichier db ...)

- Dans la rubrique Customization, décocher toutes les options.

- La création du fichier GDS est sauvegardée sous le répertoire <PATH Circuit>/VERIF/GDS

- Pour chaque cellule, sauvegarder votre config à travers le menu « File → Save Runset As... » dans le répertoire VERIF/LVS/<nom_cellule>
- Recharger un runset à travers les menus « File → Load Runset » ou « File → Recent Runsets »
- Les options cochées par défaut sont les suivantes :
 - * Run Short isolation, Abort LVS on Softchk errors

Vérification LVS de la cellule « assemb ».

Pour que la vérification LVS de la cellule ‘assemb’ soit cohérente entre le ‘Layout’ et le ‘Schematic’, il suffit de considérer la cellule ‘cirba’ comme une « boite noire ». En effet le layout de la cellule ‘assemb’ ne contient que la vue image de la cellule ‘cirba’ et non le layout complet. Pour cela, il suffit d’inclure dans Calibre Interactive (Setup → LVS Options → Include) le fichier ‘LVS.top’ :

LVS BOX cirba cirba

De plus pour faire correspondre le nom des cellules instanciées dans ‘assemb’ soit ‘cirho’ et ‘cirba’, placer le fichier ‘hcell.top’ (Inputs → Hcells → Use H-cells file) :

*cirba cirba
cirho cirho*

Ce fichier permet à Calibre-LVS de réaliser une vérification hiérarchique en « découplant » les cellules.

Les fichiers ‘LVS.top’ et ‘hcell.top’ se trouvent sous le répertoire <PATH DKIT>/Calibre. Un fichier de ‘runset’ est disponible sous <PATH DKIT>/Calibre/runsetlvs_assemb

Note: Le LVS top génère le warning suivant:

Components with non-identical power and ground pins

Ce warning concerne les pins « vdd/gnd inherit » mais n'est pas une erreur à prendre en compte.

Vérification des GDS (XOR).

Avant de générer les différents fichiers GDS, il est nécessaire de réaliser une vérification finale entre le circuit haut et bas. En effet, la fonction XOR permet de valider l'alignement des TSV bas des deux couches. L'idéal est de réaliser un XOR entre le GDS du circuit haut et le GDS (« flippé » de 180°) du circuit bas. Le script « place_cell.o » permet de réaliser une telle manipulation sur le GDS du circuit bas en créant un GDS image. L'utilisation de ce script est décrite dans le paragraphe 3.4 Ce fichier « rules.xor » réalise un ‘XOR’ seulement sur le niveau SVIAb. Voici la procédure qui a permis de construire ce fichier (<PATH DKIT>/Calibre/rules.xor) :

- Créer les fichiers GDS des circuits haut et bas à l'aide du fichier ‘lmt’,
- Lancer la commande : create_compare_rules rules.xor cirho.gds,
- Ajuster le fichier résultant en retirant les layers non concernés,
- Lancer le script « place_cell.o » pour créer une image du GDS du circuit bas
- Lancer la commande : calibre –drc –hier rules.xor,
- Charger le fichier résultat (.db) dans Calibre/Start RVE pour visualiser les erreurs

Côté utilisateurs, il suffit de copier les fichiers « rules.xor » et « place_cell.o » dans un répertoire ‘xor’, d'y placer vos fichiers GDS et de lancer respectivement les commandes ‘place_cell.o’ et ‘calibre’.

A.4.6. Génération (GDS)

3 fichiers GDS sont nécessaires :

- GDS n°1 : circuit bas (cirba) sauf les layers MTOP et SVIAb,
- GDS n°2 : circuit haut (cirho) sauf les layers MTOP, SVIAb et SVIAh,
- GDS n°3 : circuit final (assemb) avec seulement les layers MTOP, SVIAb et SVIAh

A.5. Design Rules Manual (DRM)

Les règles de dessins ci-après viennent compléter la révision D du DRM ST (document 7683821).

A.5.1. Barrette de plots

La barrette de 24 plots utilisée pour ce projet est la suivante:

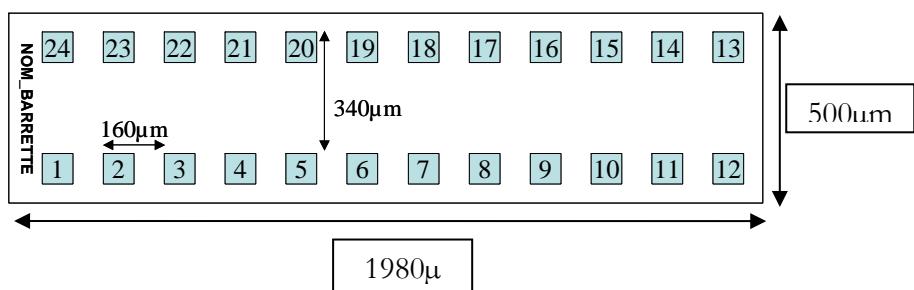


Figure A.20. Barrette de plots.

La géométrie de cette structure est $1980 \times 500 \mu\text{m}^2$. La dimension des plots est $80 \times 80 \mu\text{m}^2$. Le fichier skill (barrette24plots.il) correspondant à cette « pcell » se trouve sous <PATH DKIT>/Skill.

Les paramètres de la « pcell » sont les suivants :

- Nom barrette : 6 digits,
- Version : 2 digits (A0),
- Barrette TOP : booléen

Par défaut, la barrette contient des plots en Métal TOP. Si l'on décoche ce bouton, les plots appelés sont en Métal 1 et Métal 2 connectés par une matrice de VIA1. La barrette est accessible sous la Librairie « exampleLib » et se nomme « PC_b24plots »

A.5.2. Mask Table

Number	Type	Comments
[45]	MTOP	Niveau de métal TOP (RDL)
[41]	SVIAb	TSV reliant le métal 2 de la couche du bas au métal TOP
[42]	SVIAh	TSV reliant le métal 2 de la couche du haut au métal TOP

A.5.3. Description Back-End avec deux niveaux actifs

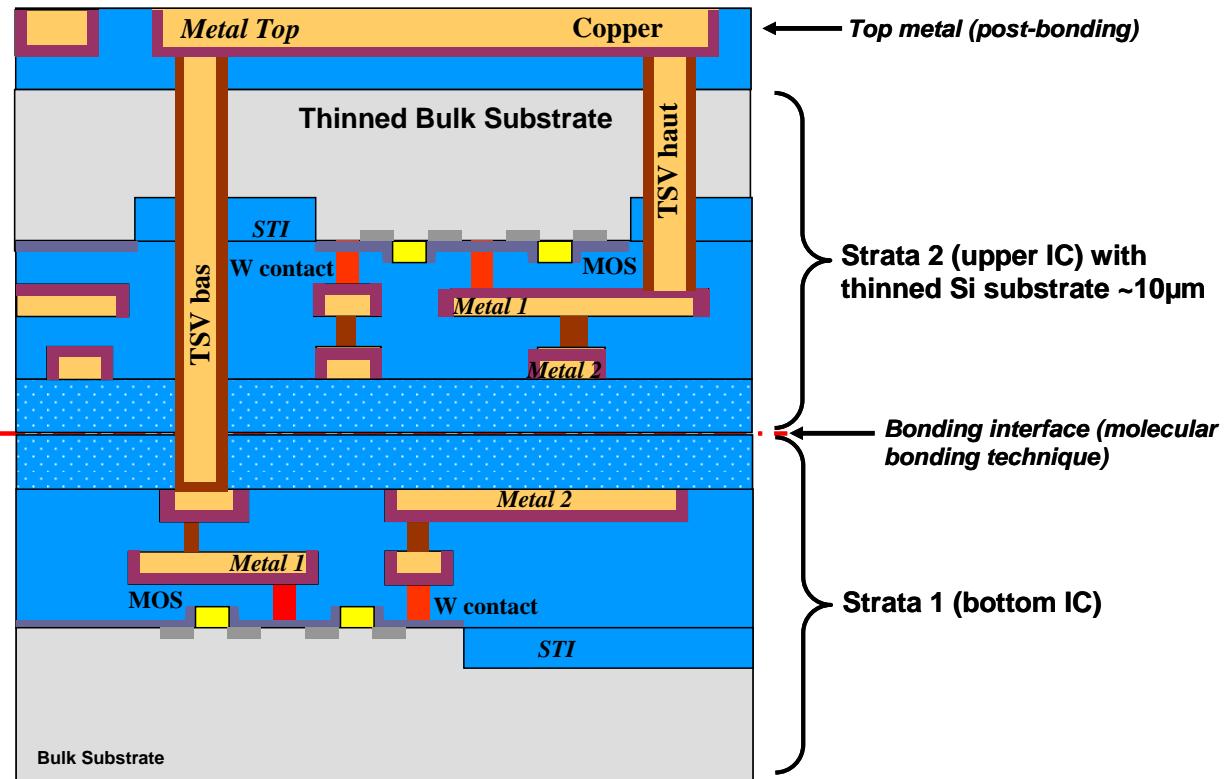


Figure A.21. Description de l'empilement d'intégration 3D.

A.5.4. Règles DRC

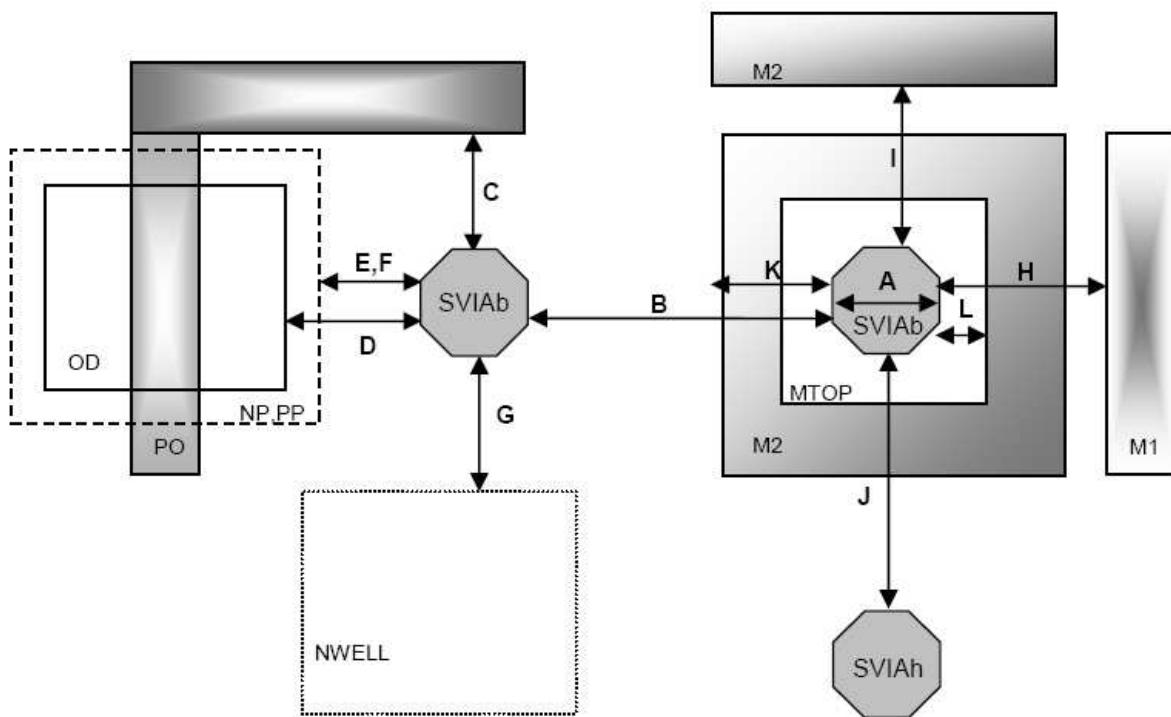
A.5.4.1. Niveau SVIAb

SVIAb [41]			
Name	Rule		Value
SVIAb.W.1	Width	A	4.0
SVIAb.S.1	Space	B	6.0
SVIAb.S.2	Space between SVIAb and PO	C	2.2
SVIAb.S.3	Space between SVIAb and OD	D	2.26
SVIAb.S.4	Space between SVIAb and PP	E	2.13
SVIAb.S.5	Space between SVIAb and NP	F	2.13
SVIAb.S.6	Space between SVIAb and NWELL	G	2.47
SVIAb.S.7	Space between SVIAb and M1	H	2.1
SVIAb.S.8	Space between SVIAb and M2	I	2.1
SVIAb.S.9	Space between SVIAb and SVIAh	J	6.0
SVIAb.EN.1	Enclosure of SVIAb by Metal2	K	2.0
SVIAb.EN.2	Enclosure of SVIAb by MTOP	L	0.5
Forbidden			
SVIAb.EN.3	Enclosure of SVIAb by M1 forbidden		
SVIAb.EN.5	SVIAb inside M1 forbidden		
SVIAb.EN.6	SVIAb inside M2 forbidden		
SVIAb.EN.7	SVIAb NOT inside MTOP		
SVIAb.EN.8	SVIAb NOT inside M2		

Les règles suivantes ne sont pas vérifiées pour un DRC d'un circuit bas:

- SVIAb.S.2, SVIAb.S.3, SVIAb.S.4, SVIAb.S.5, SVIAb.S.6, SVIAb.S.7, SVIAb.S.8, SVIAb.S.9, - SVIAb.EN.3, SVIAb.EN.5, SVIAb.EN.6

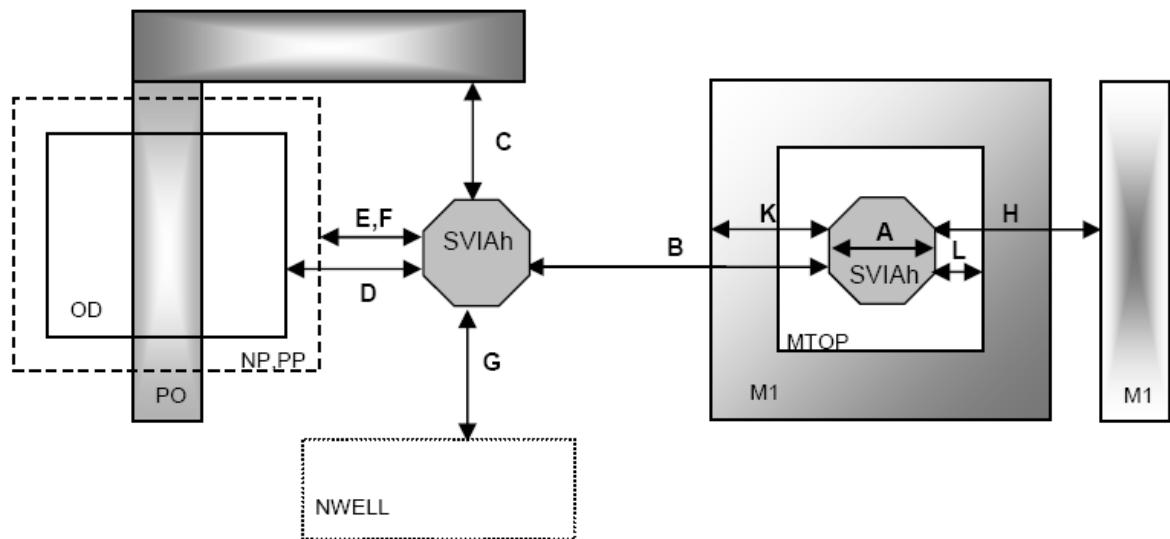
La règle suivante n'est pas vérifiée pour un DRC d'un circuit haut: SVIAb.EN.8



A.5.4.2. Niveau SVIAh

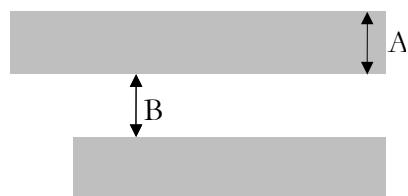
SVIAh [42]			
Name	Rule		Value
SVIAh.W.1	Width	A	4.0
SVIAh.S.1	Space	B	6.0
SVIAh.S.2	Space between SVIAh and PO	C	2.2
SVIAh.S.3	Space between SVIAh and OD	D	2.26
SVIAh.S.4	Space between SVIAh and PP	E	2.13
SVIAh.S.5	Space between SVIAh and NP	F	2.13
SVIAh.S.6	Space between SVIAh and NWELL	G	2.47
SVIAh.S.7	Space between SVIAh and M1	H	2.1
SVIAh.EN.1	Enclosure of SVIAh by Metal1	K	2.0
SVIAh.EN.2	Enclosure of SVIAh by MTOP	L	0.5
Forbidden			
SVIAh.EN.5	SVIAh NOT inside MTOP		
SVIAh.EN.6	SVIAh NOT inside M1		
SVIAh.DEN.1	Density of SVIAh in Bottom strata forbidden		

La règle suivante n'est pas vérifiée pour un DRC d'un circuit haut: SVIAh.DEN.1



A.5.4.3. Niveau Metal TOP (RDL)

Metal TOP [45]			
Name	Rule		Value
MTOP.W.1	Width	A	0.5
MTOP.S.1	Space	B	0.5



Annexe B

Abaques analytiques des capacités TSV moyenne densité.

Table des matières

ANNEXE B	223
B.1. INTRODUCTION	225
B.2. ABAQUE DES CAPACITES DE TSV A FACTEUR DE FORME FIXE	226
B.3. ABAQUE DES CAPACITES DE TSV A GEOMETRIE VARIABLE	227
B.4. CONCLUSION	228

B.1. Introduction

Cette annexe B présente différentes courbes iso-capacités pour des TSV dont la géométrie est définie sur la Figure B.1.

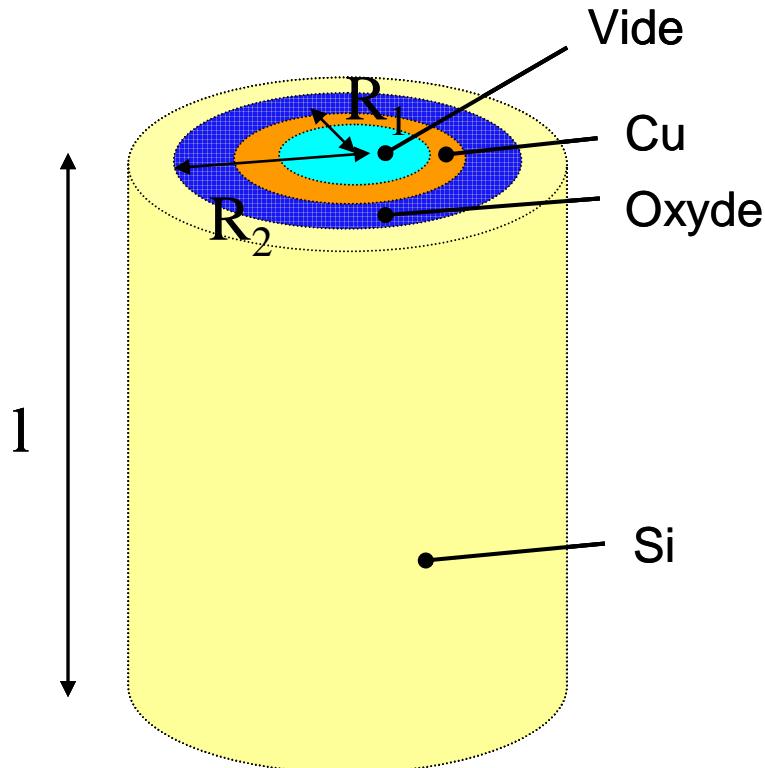


Figure B.1. Vue schématique d'un TSV moyenne densité.

Les valeurs de capacités sont obtenues en fonction de cette géométrie et selon la formule analytique suivante :

$$C_{oxTSV} = \frac{2 \cdot \pi \cdot \epsilon_0 \cdot \epsilon_r \cdot l}{\ln(R_2/R_1)} \quad (\text{Eq. B.1})$$

Plusieurs cas sont étudiés. Dans un premier temps, le facteur de forme du TSV est fixé. Les paramètres variables sont donc les propriétés électriques (ϵ_r) et l'épaisseur de dépôt ($R_2 - R_1$) du matériau diélectrique. Dans un second temps, les caractéristiques du matériau diélectrique sont fixées et le facteur de forme devient la variable. Cette double approche permet de comprendre quels paramètres (propriétés du matériau ou géométrie du TSV) s'avèrent prédominants sur la réduction de la valeur de capacité du TSV.

B.2. Abaque des capacités de TSV à facteur de forme fixe

Nous présentons sur la Figure B.2 les courbes iso-capacités issues du calcul analytique pour un TSV moyenne densité de diamètre 60 µm et de profondeur 120 µm (c'est-à-dire le TSV étudié dans le chapitre 4). Le facteur de forme est ainsi fixé à 1:2. Les paramètres variables sont donc les propriétés électriques du matériau diélectrique qui isole le silicium du TSV, à savoir sa constante diélectrique k (ou ϵ_r) et son épaisseur de dépôt sur les flancs du TSV.

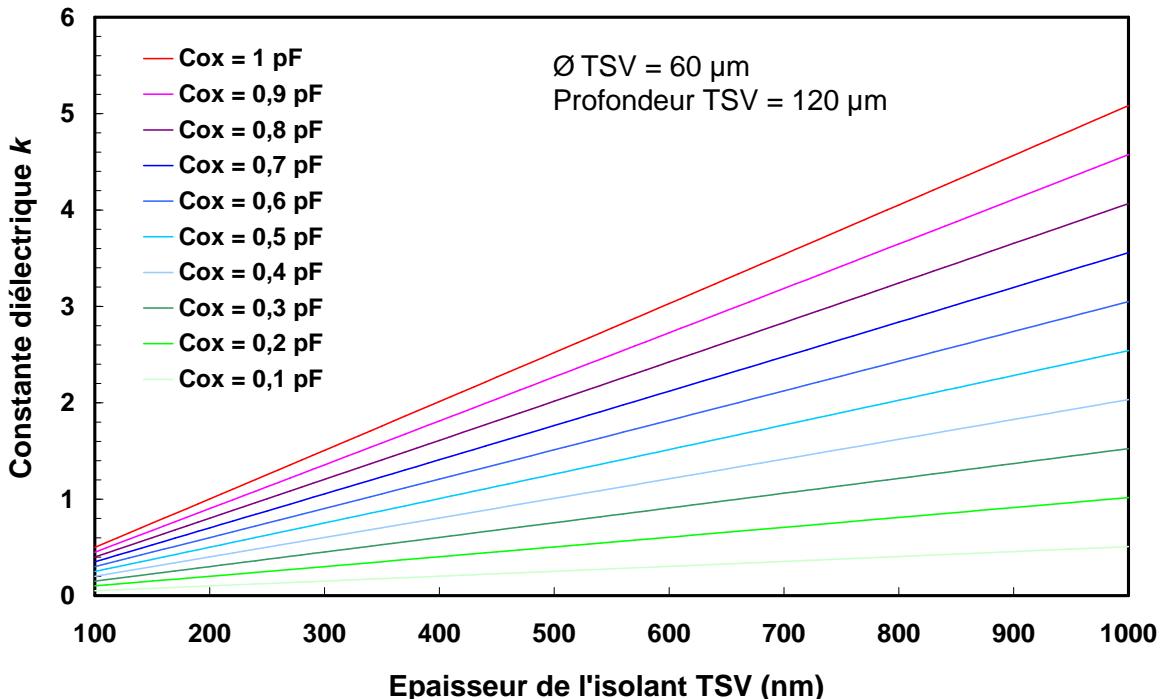


Figure B.2. Courbes iso-capacités pour un facteur de forme de 1:2 (\emptyset 60 µm) en fonction de la constante diélectrique k de l'isolant et de son épaisseur de dépôt.

Le procédé technologique employé pour le dépôt de l'isolant ne permet pas, à ce stade, de fabriquer des matériaux diélectriques présentant une constante diélectrique inférieure à 6. La Figure B.3 se concentre sur des valeurs de k plus réalistes. Une diminution significative de la capacité du TSV passe, dans le cas présent, par une augmentation de l'épaisseur de dépôt du matériau diélectrique et/ou un abaissement de sa constante diélectrique k .

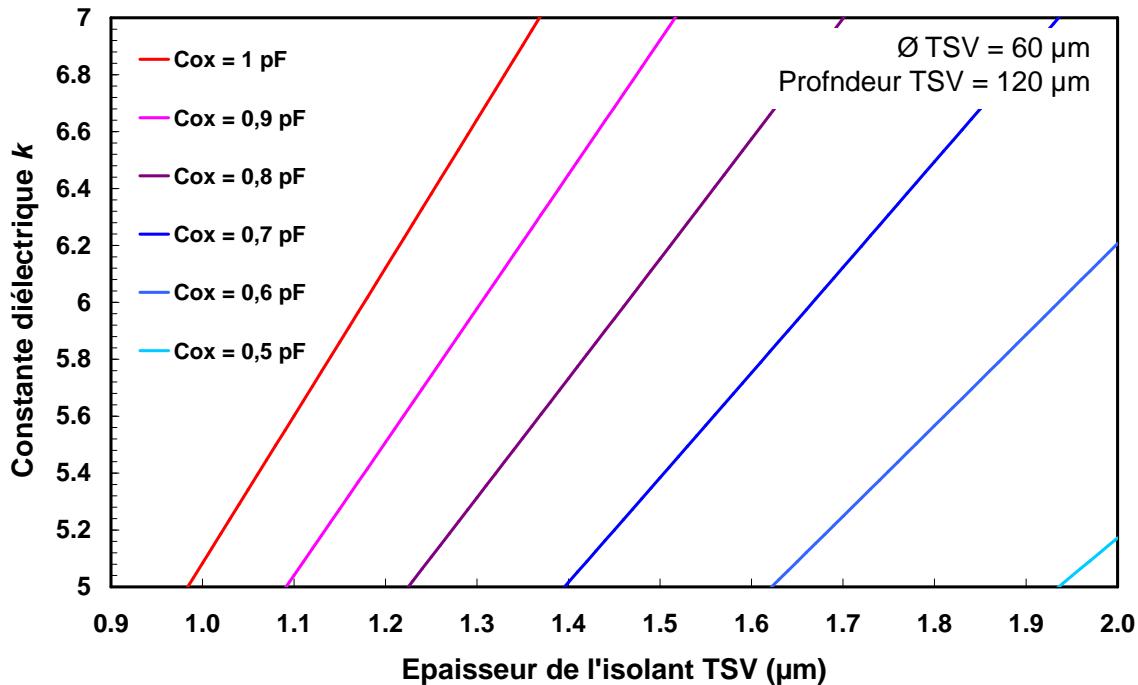


Figure B.3. Courbes iso-capacités pour un facteur de forme de 1:2 ($\emptyset = 60 \mu\text{m}$) en fonction de la constante diélectrique k de l'isolant et de son épaisseur de dépôt. La constante diélectrique k est concentrée sur des valeurs envisageables d'un point de vue technologique avec le procédé de dépôt employé dans le chapitre 4.

B.3. Abaque des capacités de TSV à géométrie variable

Nous présentons sur la Figure B.4 les courbes iso-capacités obtenues pour différentes géométries de TSV. Le matériau diélectrique utilisé possède des propriétés électriques fixées ($k=6$) et son épaisseur de dépôt vaut 650 nm.

La valeur de capacité analytique a tendance à décroître de manière très significative en combinant une diminution du diamètre du TSV et de sa profondeur.

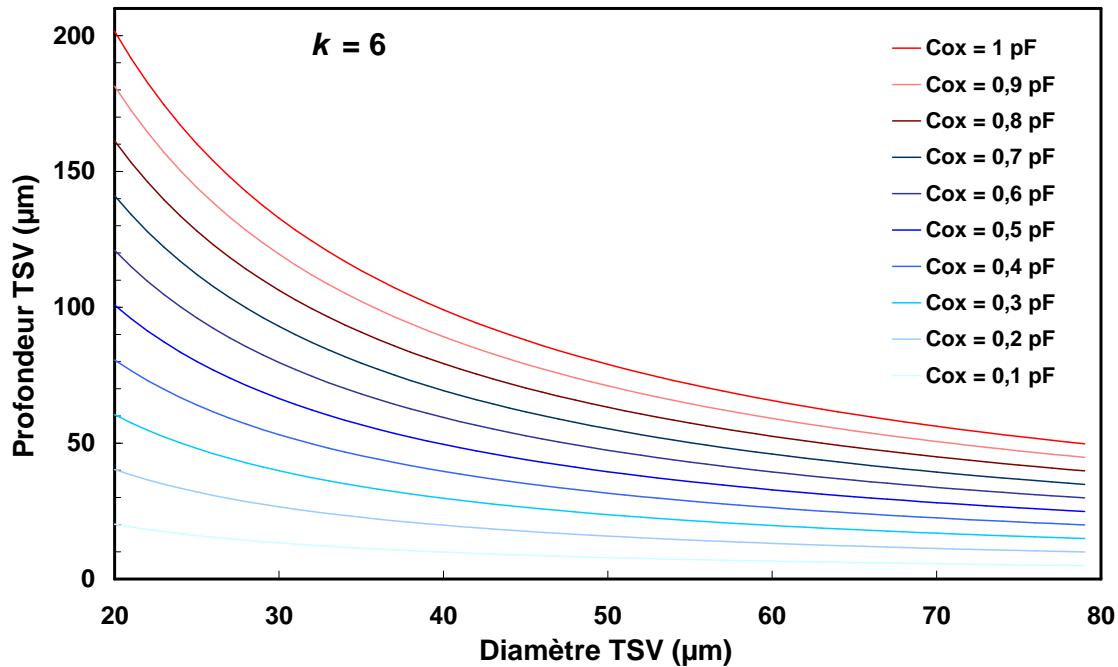


Figure B.4. Courbes iso-capacités pour un même matériau diélectrique ($k=6$) en fonction de différentes géométries de TSV.

B.4. Conclusion

Les courbes iso-capacités issues du calcul analytique permettent de comprendre l'influence de certains paramètres technologiques sur la diminution de la capacité d'oxyde du TSV. Nous conclurons sur le fait qu'une diminution des dimensions de la géométrie du TSV engendre un abaissement de la capacité du TSV plus important que de conserver la géométrie actuelle ($\emptyset 60 \mu\text{m}$; $P 120 \mu\text{m}$) tout en adaptant les propriétés électriques du matériau diélectrique. Ce dernier point est d'autant plus problématique qu'il est relativement difficile d'améliorer la structure du matériau du fait des nombreuses contraintes technologiques imposées sur cette étape de procédé (budget thermique, contraintes résiduelles, etc.).

Impact of 3D integration technologies on electrical performances of CMOS devices

Current innovations in electronics combine performance, size and cost criteria. Nevertheless, in the all-digital era, CMOS technologies are confronted by stagnating electrical performances. In parallel, multitask heterogeneous systems are moving towards an extreme complexification of their architectures, increasing cost of design and manufacture dramatically. Electrical performance and heterogeneity challenges seem to converge towards a common requirement. The three-dimensional integration of integrated circuits is a viable industrial solution to obtain the ultimate architecture required. This vertical architecture leads to miniaturized high value heterogeneous systems by stacking several IC featuring various functionalities. The electrical performances of such 3D architecture appear to be superior to those of classic System-on-Chip. Nevertheless, CMOS technologies are not designed for this specific integration, so that they may not tolerate the impact of 3D integration structures. This PhD work is focused on the evaluation and characterization of all possible impacts generated by 3D integration structures on the electrical performance of CMOS devices. Two levels of impact are described, those of electrical and those of thermo-mechanical natures. Firstly, a TCAD-based simulation study has led to the demonstration of an electrical impact due to substrate coupling. The influence of such a coupling significantly decreases the static currents of PMOS transistors. The second part of the PhD is focused on the implementation of test circuits dedicated to the characterization of electrical coupling induced by 3D integration structures on transistors and ring oscillators.

AUTEUR : Maxime ROUSSEAU

TITRE : Impact des technologies d'intégration 3D sur les performances des composants CMOS

DIRECTEUR DE THESE : Antoine MARTY

LIEU ET DATE DE SOUTENANCE : Grenoble, le 20 novembre 2009

RESUME

Les innovations actuelles en électronique allient à la fois des critères de coût, de performance et de taille. Or à l'ère du tout numérique, les technologies CMOS sont confrontées à la stagnation de leurs performances électriques. Parallèlement, les systèmes hétérogènes multifonctions s'orientent vers une complexification extrême de leurs architectures, augmentant leur coût de conception. Les problématiques de performance électrique et d'hétérogénéité convergent vers un objectif commun. Une solution industriellement viable pour atteindre cet objectif d'architecture ultime est l'intégration tridimensionnelle de circuits intégrés. En empilant verticalement des circuits classiques aux fonctionnalités diverses, cette architecture ouvre la voie à des systèmes multifonctions miniaturisés dont les performances électriques sont meilleures que l'existant. Néanmoins, les technologies CMOS ne sont pas conçues pour être intégrées dans une architecture 3D. Cette thèse de doctorat s'intéresse à évaluer toute forme d'impact engendré par les technologies d'intégration 3D sur les performances électriques des composants CMOS. Ces impacts sont classifiés en deux familles d'origine thermomécanique et électrique. Une étude exploratoire réalisée par modélisation TCAD a permis de montrer l'existence d'un couplage électrique par le substrat provoqué par les structures d'intégration 3D dont l'influence s'avère non négligeable pour les technologies CMOS. La seconde partie de l'étude porte sur la mise en œuvre et le test de circuits conçus pour quantifier ces phénomènes d'interaction thermomécanique et électrique, et leur impact sur les performances de transistors et d'oscillateurs en anneau.

MOTS-CLES

Intégration 3D, bruit substrat, via traversant (TSV), couche de redistribution (RDL), performance, transistor MOS, couplage électrique.

DISCIPLINE ADMINISTRATIVE

CONCEPTION DES CIRCUITS MICROELECTRONIQUES ET MICROSYSTEMES

INTITULE ET ADRESSE DES LABORATOIRES

CEA-LETI/MINATEC

Département Intégration Hétérogène sur Silicium (DIHS)

Laboratoire des Technologies de Packaging et d'Intégration (LTPI)

17, rue des Martyrs

F-38054 Grenoble Cedex 9

LAAS - CNRS (Laboratoire d'Analyse et d'Architecture des Systèmes)

Groupe N2IS (Nano Ingénierie et Intégration des Systèmes)

7, avenue du Colonel Roche

F-31077 Toulouse Cedex 4