

INTRODUCTION GENERALE	1
CHAPITRE I : INTERCONNEXIONS ET INDUCTANCES SUR SUBSTRAT SILICIUM BICMOS	7
1. Introduction	9
2. Le substrat silicium BiCMOS	9
2.1 Caractéristiques du substrat.....	9
2.2 Les niveaux de métallisation	10
3. Le choix des interconnexions pour la bande K.....	11
3.1 Validation expérimentale des simulations électromagnétiques	11
3.1.1 Spécificités des simulateurs électromagnétiques employés	11
3.1.2 Validation des simulations à partir de mesures sur différentes lignes	12
3.2 Potentialité des différentes structures de propagations étudiées	17
3.2.1 La ligne microruban	17
3.2.2 Le guide coplanaire	19
3.2.3 La ligne à rubans coplanaires	20
3.3 Conclusion.....	22
4. Optimisation des inductances pour les fréquences millimétriques.....	23
4.1 Les mécanismes à l'origine des pertes dans les inductances intégrées.....	24
4.1.1 Pertes dans les métallisations	24
4.1.2 Pertes dans le substrat	27
4.2 Un critère d'évaluation des performances d'une inductance : le facteur de qualité..	28
4.3 Influence des différents types de pertes sur les performances d'une inductance	30
4.3.1 Expression du facteur de qualité en fonction des différents types de pertes.	30
4.3.2 Détermination analytique des différentes contributions.....	30
4.4 Minimisation des pertes	33
4.4.1 Les pertes dans les conducteurs	33
4.4.2 Solutions pour la minimisation des pertes liées au substrat	34
4.5 Elaboration d'une bibliothèque d'inductances intégrées destinée aux applications millimétriques.....	40
4.5.1 Problèmes posés par les mesures	40
4.5.2 Description de la bibliothèque d'inductances	41
4.5.3 Mise en place d'un plan de masse autour des inductances	43
4.5.4 Améliorations possibles	44
5. Conclusion.....	45

CHAPITRE II : TOPOLOGIES DE PAIRES DIFFÉRENTIELLES EXPLOITABLES AUX FRÉQUENCES MILLIMÉTRIQUES..... 47

1. Introduction	49
2. Rappels théoriques	49
2.1 Modes pair/impair et modes commun/différentiel	49
2.2 Application aux amplificateurs différentiels : taux de réjection de mode commun. 53	
2.2.1 Définition	53
2.2.2 Equivalence du TRMC avec les écarts en phase et en gain	54
3. Facteurs limitatifs de la paire différentielle classique.....	55
4. Conception de paires différentielles "hautes fréquences".....	58
4.1 Condition d'annulation du mode pair	58
4.2 Matrice impédance d'un TBH SiGe monté en émetteur commun.....	59
4.3 Application aux trois configurations possibles pour les transistors	61
4.3.1 Détermination de l'impédance de couplage optimale.....	61
4.3.2 Configuration émetteur commun	62
4.3.3 Configuration base commune.....	64
4.3.4 Configuration collecteur commun.....	67
5. Conclusion.....	70

CHAPITRE III : ETUDE ET CONCEPTION D'UN DIVISEUR DE PUISSANCE ACTIF 180°..... 71

1. Introduction	73
2. Définitions	73
2.1 Le diviseur de puissance 180°	73
2.2 Paramètres caractéristiques	74
3. Un bref état de l'art sur les coupleurs Si/SiGe.....	75
3.1 Coupleurs passifs.....	75
3.2 Coupleurs actifs.....	76
4. Conception du diviseur de puissance 180°	78
4.1 Cahier des charges.....	78
4.1.1 Impédances d'entrée et de sortie.....	78
4.1.2 Facteur de bruit, gain et linéarité.....	78
4.2 Description du diviseur de puissance 180°	79
4.2.1 Choix de la topologie	79
4.2.2 Optimisation du premier étage	80
4.2.3 Optimisation du second étage	83

4.2.4	Réalisation du dessin des masques.....	84
4.3	Résultats de simulation.....	85
4.3.1	Caractéristiques linéaires.....	85
4.3.2	Caractéristiques non linéaires.....	86
4.3.3	Conclusion.....	87
4.4	Etude de la stabilité	88
4.5	Analyse statistique des dispersions sur les éléments du circuit	91
5.	Mesures du circuit.....	92
5.1	Le report de la puce	92
5.2	Technique employée pour la mesure des paramètres S.....	93
5.3	Résultats de mesure	94
5.3.1	Caractéristiques "petit signal"	94
5.3.2	Caractéristiques non linéaires.....	95
5.4	Conclusion.....	96
6.	Améliorations possibles du diviseur de puissance 180°	96
7.	Conclusion.....	98
 CHAPITRE IV : APPLICATION À LA CONCEPTION D'UN MÉLANGEUR DOUBLEMENT ÉQUILIBRÉ EN BANDE K.....		99
1.	Introduction	101
2.	Définitions	101
2.1	La transposition de fréquence	101
2.2	Les mélangeurs équilibrés	103
3.	Conception du mélangeur complet	106
3.1	Organisation de la puce complète	106
3.2	Le combineur de puissance FI.....	106
3.2.1	Polarisation des transistors	107
3.2.2	Optimisation de la linéarité du circuit	108
3.2.3	Caractéristiques électriques du combineur de puissance	110
3.3	Conception du mélangeur.....	111
3.3.1	La cellule de Gilbert.....	111
3.3.2	Topologie développée	112
3.3.3	Critères utilisés pour le choix du transistor	113
3.3.4	Détermination des paramètres optimaux du mélangeur	115
3.4	Diviseurs de puissance 180° pour les voies RF et OL	119
4.	Intégration du convertisseur de fréquences.....	121

4.1	Interconnexion des différents sous-ensembles	121
4.2	Spécificités du diviseur de puissance OL pour le dessin des masques	125
5.	Evaluation des performances de la puce complète.....	126
5.1	Etude en fonction de la puissance appliquée sur la voie OL.....	127
5.1.1	Facteur de bruit et gain de conversion	127
5.1.2	Linéarité de la caractéristique en puissance	128
5.1.3	Synthèse des caractéristiques électriques du mélangeur complet	129
5.2	Etude en fonction de la fréquence RF	130
5.3	Conséquences des imperfections des coupleurs.....	131
6.	Caractérisation du convertisseur de fréquence	132
6.1	Environnement de test.....	132
6.2	Caractérisation du circuit	132
6.2.1	Caractérisation des coupleurs RF, OL et FI	132
6.2.2	Caractérisation du convertisseur complet	133
6.2.3	Interprétation des mesures.....	135
7.	Conclusion.....	136
	CONCLUSION GÉNÉRALE.....	137
	ANNEXES	143
	Annexe 1: Epluchage des accès lors d'une mesure sous pointes	145
	Annexe 2: Expression du TRMC d'une paire différentielle à partir des écarts de module et de phase sur les gains de chaque voie	149
	Annexe 3: amélioration des performances dynamiques d'un miroir de courant à transistors MOS.....	151
	REFERENCES BIBLIOGRAPHIQUES	155

INTRODUCTION GENERALE

L'essor industriel et grand public des applications hyperfréquences a créé un fort besoin en fonctions électroniques hautes fréquences fortement intégrées. Cette nécessité, largement dictée par des contraintes de coût, a permis au Silicium de remplacer avantageusement le GaAs dans une grande partie des applications radiofréquences (RF) jusqu'à quelques GHz (figure 1), en repoussant finalement l'utilisation des technologies à base de matériaux III-V pour des applications à plus hautes fréquences.

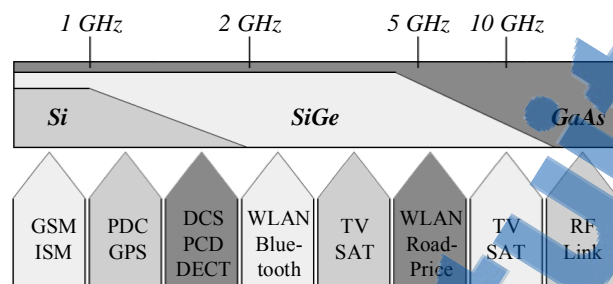


Figure 1: Applications radiofréquences et technologies actuellement disponibles [1].

Parmi les technologies silicium actuellement disponibles, les filières BiCMOS SiGe semblent les plus prometteuses lorsque l'on envisage les futures applications grand public, dont les fréquences de fonctionnement dépasseront la gamme radiofréquence. Ces technologies sont d'ores et déjà prêtes pour la conception de circuits dans la bande des 20–30 GHz, comme en témoigne la littérature avec des réalisations d'amplificateurs faible bruit et de puissance, d'oscillateurs ou encore de mélangeurs [2] [3]. En effet, même si le transistor MOS est de plus en plus performant grâce aux réductions successives de ses dimensions, le transistor bipolaire à hétérojonction (TBH) SiGe, même intégré sur une filière BiCMOS équivalente, reste plus intéressant pour plusieurs raisons : la première est bien évidemment la fréquence de transition bien plus élevée dans le cas du TBH mais nous pouvons aussi citer un meilleur facteur de bruit, des facilités d'adaptations en impédance accrues et des tensions d'alimentation plus élevées en faveur de ce même transistor bipolaire [4].

En outre, et contrairement aux technologies GaAs, les possibilités actuelles en terme de densités d'intégrations des filières silicium permettent d'envisager la réalisation de circuits intégrés "mixtes", dont l'objectif est d'associer sur la même puce la partie frontale analogique (circuits RF) avec les circuits de traitement numérique de l'information [5]. Cette association pose cependant quelques problèmes. Le bruit généré par la partie numérique de la puce [6], et qui se propage des contacts de masse vers le substrat conducteur, est susceptible de dégrader notablement les performances des circuits analogiques. Pour limiter ce phénomène, une pratique courante consiste à séparer les alimentations des sections analogiques et numériques

afin d'isoler au mieux les circuits analogiques de la source de bruit. L'utilisation de substrats P⁺ faiblement dopés, d'anneaux de garde ou de tranchées isolantes, permet aussi de limiter le couplage entre les deux parties [7]. Enfin, l'emploi des topologies de circuits équilibrées contribue encore à diminuer l'influence de ce couplage. Ces topologies sont ainsi largement employées pour la conception des différentes fonctions de la section RF, en raison de leur forte immunité aux sources de bruit de mode commun, malgré leur consommation et leur encombrement accrus.

Les circuits à topologies équilibrées nécessitent des coupleurs dont le rôle est de générer ou recombinaison les signaux différentiels traités. Par exemple, dans le cas d'un système d'émission/réception RF classique tel que celui présenté sur la figure 2, le signal envoyé ou provenant de l'antenne n'est pas différentiel.

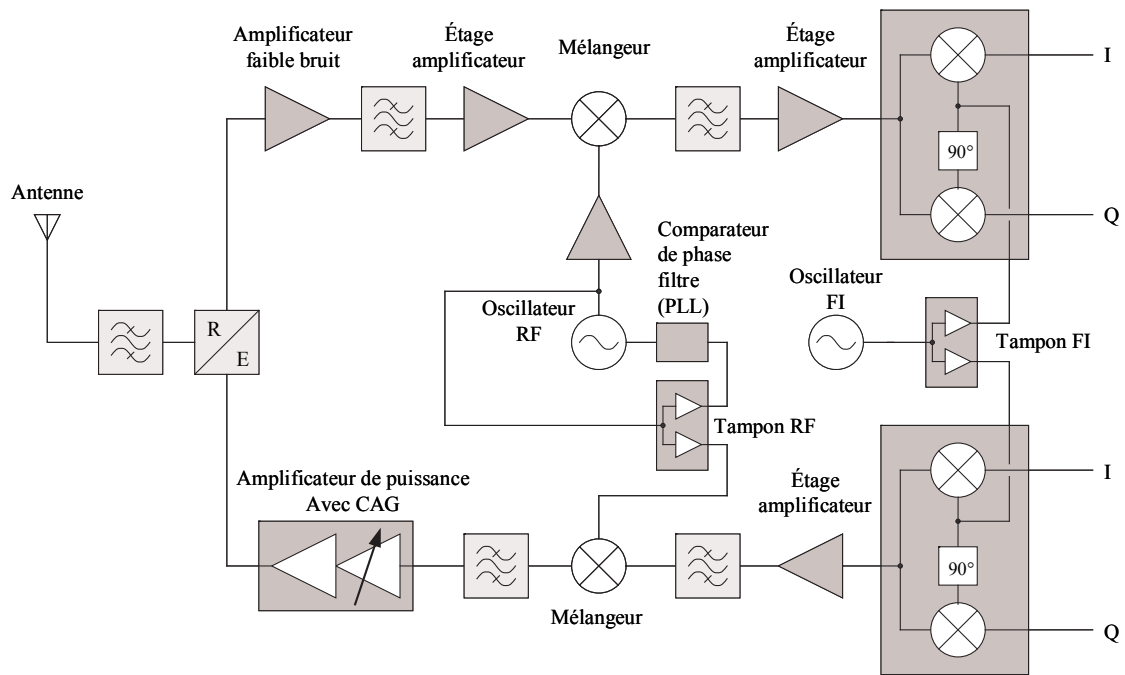


Figure 2: architecture d'un émetteur/récepteur superhétérodyne conventionnel.

Dans la partie réception, il est nécessaire de disposer un diviseur de puissance 180° entre l'antenne et le premier dispositif de conversion de fréquence, habituellement réalisé à partir d'un mélangeur équilibré. Ce coupleur peut être réalisé par un transformateur (passif) au niveau du filtrage en aval de l'amplificateur faible bruit, mais aussi par un circuit actif en tant que second étage d'amplification, ou encore à l'entrée du mélangeur. Côté émission, les signaux différentiels sortant du mélangeur doivent être recombinaisonés en un signal simple avant d'attaquer l'amplificateur de puissance. Un combineur de puissance actif ou un transformateur peut alors être placé à la sortie du mélangeur au niveau du filtrage, ou à l'entrée de l'étage de

correction automatique de gain (CAG) de l'amplificateur de puissance. Dans les systèmes RF classiques, ces fonctions de couplage sont généralement assurées de façon discrète en dehors de la puce, par un transformateur ou bien directement par le filtre. Ces solutions ne sont pas optimales par rapport au critère de coût et il serait parfaitement envisageable d'intégrer cette fonction au sein de la puce.

Malheureusement, la montée en fréquence au-delà de la gamme radiofréquence (> 10 GHz) des applications hyperfréquences sur silicium s'accompagne de nouvelles difficultés. Les pertes introduites par les éléments passifs augmentent, les performances des structures différentielles classiques du point de vue de leur immunité face aux perturbations de mode commun chutent très rapidement. Il est alors nécessaire d'exploiter d'autres techniques ou de rechercher des topologies innovantes permettant la réalisation de fonctions équilibrées performantes.

Le travail présenté dans ce mémoire s'inscrit dans ce contexte et concerne la conception de circuits équilibrés innovants et performants fonctionnant dans la gamme de fréquence 20-30 GHz.

Le premier chapitre est consacré à une évaluation des performances des éléments passifs les plus critiques en terme de pertes. Nous analysons dans un premier temps les propriétés des différents types d'interconnexions dont on peut disposer pour les conceptions monolithiques. Les domaines d'applications privilégiés pour chacune d'entre elles sont ensuite mis en évidence afin de choisir les interconnexions les mieux adaptées pour nos futures conceptions. Un travail similaire est mené pour les inductances spirales intégrées, dont le facteur de qualité est sévèrement limité dans les filières silicium. L'identification précise des différents mécanismes physiques à l'origine des pertes nous permet de constituer une bibliothèque d'inductances optimisées pour une utilisation dans la gamme de fréquences millimétriques.

Le deuxième chapitre traite de l'optimisation des performances des circuits différentiels pour les futures applications dans la gamme 20-40 GHz. Dans un premier temps, nous détaillons les caractéristiques hautes fréquences du TBH qui pénalisent le fonctionnement d'une structure différentielle classique en terme de réjection de mode commun. Nous proposons ensuite des topologies de structures différentielles originales permettant de résoudre ce problème.

Le chapitre trois traite de l'intégration de ces structures pour la conception d'un diviseur de puissance actif 180° original à très forte réjection de mode commun, optimisé pour une

fréquence centrale de fonctionnement de 20 GHz, et qui exploite les éléments passifs optimisés et présentés dans le premier chapitre.

Enfin, le quatrième chapitre développe la conception d'un convertisseur de fréquences 20 GHz vers 1 GHz, intégrant, outre le mélangeur, les trois coupleurs actifs 180° nécessaires à la génération / recombinaison des signaux différentiels utiles au mélangeur. Cette puce met en évidence l'intérêt des topologies différentielles décrites au chapitre précédent par ses performances attendues proches de l'état de l'art.

CHAPITRE I :
INTERCONNEXIONS ET INDUCTANCES SUR SUBSTRAT
SILICIUM BICMOS

1. INTRODUCTION

La conception de circuits monolithiques sur silicium pour un fonctionnement vers les fréquences millimétriques n'est possible que si les éléments actifs (transistors bipolaires SiGe), très performants, sont associés à des éléments passifs faibles pertes. Ce premier chapitre est donc consacré à l'optimisation des performances des éléments passifs "sensibles" sur substrat silicium pour une utilisation au-delà de 20 GHz.

Dans une première partie, nous exposons les caractéristiques des différentes lignes de transmissions habituellement employées lors de la conception de circuits monolithiques. Nous évaluons ainsi les potentialités des lignes de type microruban (microstrip = uS), des guides coplanaires (Coplanar Wave Guide = CPW) ainsi que des lignes à rubans coplanaires (Coplanar Strips = CPS).

La seconde partie est consacrée à la conception d'inductances optimisées pour présenter des caractéristiques suffisantes jusqu'aux fréquences millimétriques. Nous détaillons notamment l'ensemble des mécanismes physiques à l'origine des pertes dans ce type d'élément, pour mieux dégager les solutions permettant d'améliorer leurs performances.

2. LE SUBSTRAT SILICIUM BiCMOS

Nous avons pu bénéficier d'une filière BiCMOS SiGe 0,25 μm pour la réalisation des circuits. Cette filière a été mise à notre disposition par le fondeur ST Microelectronics, dans le cadre d'une collaboration avec notre laboratoire.

2.1 Caractéristiques du substrat

Contrairement aux technologies CMOS, les substrats employés dans les filières BiCMOS SiGe sont faiblement dopés, de l'ordre de 10-20 $\Omega\cdot\text{cm}$, afin de garantir des performances convenables pour les éléments passifs intégrés. Cependant, des couches fortement dopées (couches enterrées P^+/N^+) sont généralement implantées à la surface du substrat P^- au début du processus de fabrication. Ces couches sont indispensables pour prévenir des phénomènes de verrouillage ("latch-up") dans les circuits logiques CMOS, mais vont aussi induire des pertes importantes dans certains éléments passifs, notamment les inductances, du fait de leur forte conductivité. Les caractéristiques de ces couches ainsi que les processus à l'origine des pertes des éléments passifs sont détaillés dans le paragraphe 4.1.

Fort heureusement, il est possible d'éviter l'implantation de ces couches enterrées fortement dopées dans les zones au-dessus desquelles seront intégrés ensuite les éléments passifs. Cependant, la couche supérieure du substrat sur laquelle sont fabriqués tous les éléments actifs est déposée par épitaxie (Népi), après l'implantation des couches enterrées susnommées. Il n'est donc pas possible d'avoir un dopage P⁻ jusqu'à la surface du substrat pour des raisons évidentes de planéité. Il est toutefois possible de changer les caractéristiques de cette couche épitaxiale en procédant à l'implantation de caissons de type P (Pwell) ou N (Nwell), utilisés notamment pour la fabrication des transistors MOS. Parmi ces trois configurations possibles, c'est la couche dans sa configuration initiale (Népi) qui est susceptible de fournir les meilleurs résultats en terme de pertes pour les éléments passifs, puisqu'elle possède la plus forte résistivité. Ce résultat sera confirmé lors de l'étude réalisée sur les inductances (cf. §4.4.2).

2.2 Les niveaux de métallisation

Classiquement, les filières silicium disposent d'un grand nombre de niveaux métalliques positionnés sur la partie supérieure du substrat, comme illustré sur la figure 3. Ces métallisations sont généralement réalisées avec un alliage à base d'aluminium. Le niveau de métallisation supérieur est toujours le plus épais et offre la meilleure conductivité parmi tous les niveaux disponibles. Son éloignement par rapport à la surface du substrat est aussi maximal ce qui permet de minimiser le couplage électromagnétique entre un ruban métallique et le substrat. Pour tous ces avantages, les lignes de transmission ainsi que les inductances sont alors préférentiellement réalisées en utilisant ce dernier niveau métallique. La filière BiCMOS SiGe dont nous disposons est constituée de cinq niveaux de métallisation.

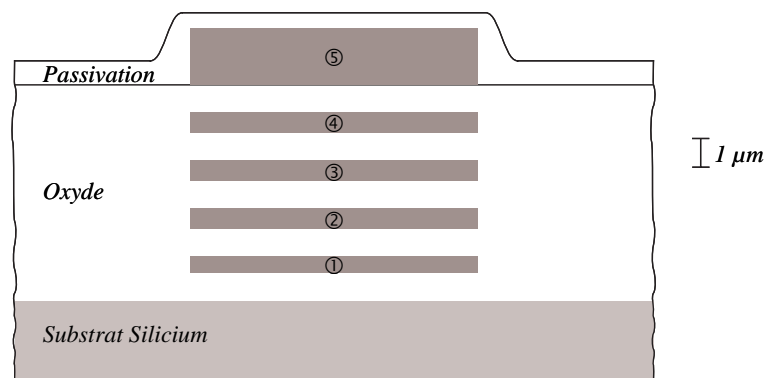


Figure 3: Niveaux métalliques de la filière BiCMOS SiGe 0.25 µm de ST Microelectronics.

3. LE CHOIX DES INTERCONNEXIONS POUR LA BANDE K

Il existe essentiellement deux catégories d'interconnexions pour la réalisation de circuits micro-ondes monolithiques, qui sont la ligne microruban et le guide coplanaire.

Historiquement, la technologie microruban a été la plus développée, tout d'abord pour les applications hybrides, puis pour la conception de circuits monolithiques. Cette technologie d'interconnexions dispose de modèles analytiques paramétrés fiables et éprouvés qui permettent de concevoir des circuits performants très rapidement.

Le guide coplanaire a été introduit par C.P. Wen en 1969. A cette époque, les recherches étaient surtout orientées vers les fréquences centimétriques pour lesquelles le guide coplanaire est moins intéressant que la ligne microruban en raison des pertes élevées qu'il présente. Depuis quelques années cependant, on le retrouve dans certaines applications millimétriques sur GaAs ou InP, fréquences auxquelles ses performances deviennent équivalentes voire supérieures aux lignes microrubans dans ces mêmes technologies. Le guide coplanaire est aussi reconnu pour sa faible dispersion fréquentielle ainsi que pour le couplage réduit entre lignes adjacentes.

Sur silicium, plusieurs études ont montré les potentialités des guides coplanaires. Mais le plus souvent, ces études sont réalisées en employant des substrats particuliers, à haute résistivité [8] ou en procédant à son micro usinage [9]. Quelques auteurs ont cependant reporté des pertes comparables aux lignes microruban en utilisant des substrats silicium classiques [10] [11], ce qui rend le guide coplanaire potentiellement très intéressant.

3.1 Validation expérimentale des simulations électromagnétiques

L'évaluation des pertes dans les différents types de lignes de transmission nécessite un grand nombre de lignes de test pour réaliser des abaques précis. Ce travail peut aussi être effectué à l'aide de simulations électromagnétiques (EM), en ne fabriquant que quelques motifs de tests pour calibrer et valider les simulateurs utilisés.

3.1.1 Spécificités des simulateurs électromagnétiques employés

Nous disposons au laboratoire de deux logiciels de simulation électromagnétique qui sont Sonnet et HFSS. Le premier est un simulateur planaire 2,5D employant la méthode des moments qui permet l'étude de petites structures de façon très rapide. Le second est un simulateur 3D basé sur le principe des éléments finis capable de résoudre les équations de

Maxwell dans un volume donné. Leur emploi nécessite plusieurs précautions afin d'obtenir des résultats de simulation corrects.

Avec le logiciel Sonnet, la prise en compte de l'effet de peau dans les conducteurs est réalisée de façon analytique en utilisant un coefficient R_{RF} qui traduit l'élévation de résistance dans le métal [12]. Sa valeur est déterminée par l'utilisateur au travers d'une relation qui suppose que le courant ne circule que sur une seule face de la métallisation. Cette approximation est correcte lorsque l'on modélise des lignes microruban dont la largeur du ruban est très supérieure à son épaisseur. Pour tout autre type de ligne, l'approximation réalisée n'est plus valable et tend à surestimer les pertes. Dans notre cas, l'épaisseur et la largeur du conducteur sont du même ordre de grandeur et le courant passe aussi sur les côtés, quel que soit le type de ligne. Il faut donc prendre en compte l'épaisseur des conducteurs [12] et déterminer la constante $R_{RF}' < R_{RF}$ de façon empirique en se référant à la mesure précise d'un motif de ligne.

Il existe deux façons de modéliser l'effet de peau dans le simulateur HFSS. La première, la plus couramment utilisée, consiste à employer une impédance de surface calculée de manière analytique et qui constitue une condition aux limites pour le calcul des champs autour de la structure. Cette technique traduit correctement les pertes par conduction aux hautes fréquences mais sous-estime fortement la résistivité du métal aux basses fréquences, lorsque l'effet de peau n'existe pas encore. Il est alors nécessaire d'utiliser la seconde technique qui consiste à mailler l'intérieur des métallisations pour calculer de manière physique la pénétration des ondes dans les conducteurs. Cette méthode est très efficace mais nécessite un nombre de mailles très important, ce qui se traduit par des temps de simulations considérablement accrus. De ces deux méthodes, il n'y en a pas une meilleure que l'autre et le choix doit être fait en fonction de la structure à étudier. Parmi les critères qui vont déterminer le choix de l'utilisateur, on peut citer la précision souhaitée sur la résistance équivalente des métallisations, la taille du domaine d'étude, les fréquences auxquelles la structure est étudiée puisque la méthode qui procède au maillage des métallisations possède une limite supérieure fréquentielle dépendant de la densité du maillage, etc. ...

3.1.2 Validation des simulations à partir de mesures sur différentes lignes

Dans cette partie nous allons valider les simulations électromagnétiques sur lesquelles nous allons nous appuyer pour évaluer les potentialités des divers types d'interconnexions. Pour cela, nous avons réalisé plusieurs types de lignes, pour ensuite confronter les

caractérisations expérimentales aux simulations électromagnétiques. Pour ces simulations, notre choix s'est porté sur Sonnet pour sa rapidité avec les lignes microrubans. Pour la ligne coplanaire, nous avons préféré HFSS qui permet de dessiner et de tenir compte de manière plus précise la couche de passivation. Contrairement à la ligne microruban, cette couche a effectivement une incidence forte sur la capacité linéique simulée, et donc sur l'impédance caractéristique obtenue.

Dans un premier temps, nous avons réalisé trois lignes microruban avec des largeurs de ruban de 4, 8 et 16 μm . L'épluchage des accès a été réalisé selon la méthode suggérée par Eisenstadt [13]. Celle-ci consiste à retrancher aux mesures brutes la capacité équivalente de chaque plot, cette capacité étant extraite à partir d'un motif de test spécial constitué d'une paire de plots seuls. Les paramètres électriques résultants sont représentés sur la figure 4 pour chaque ligne.

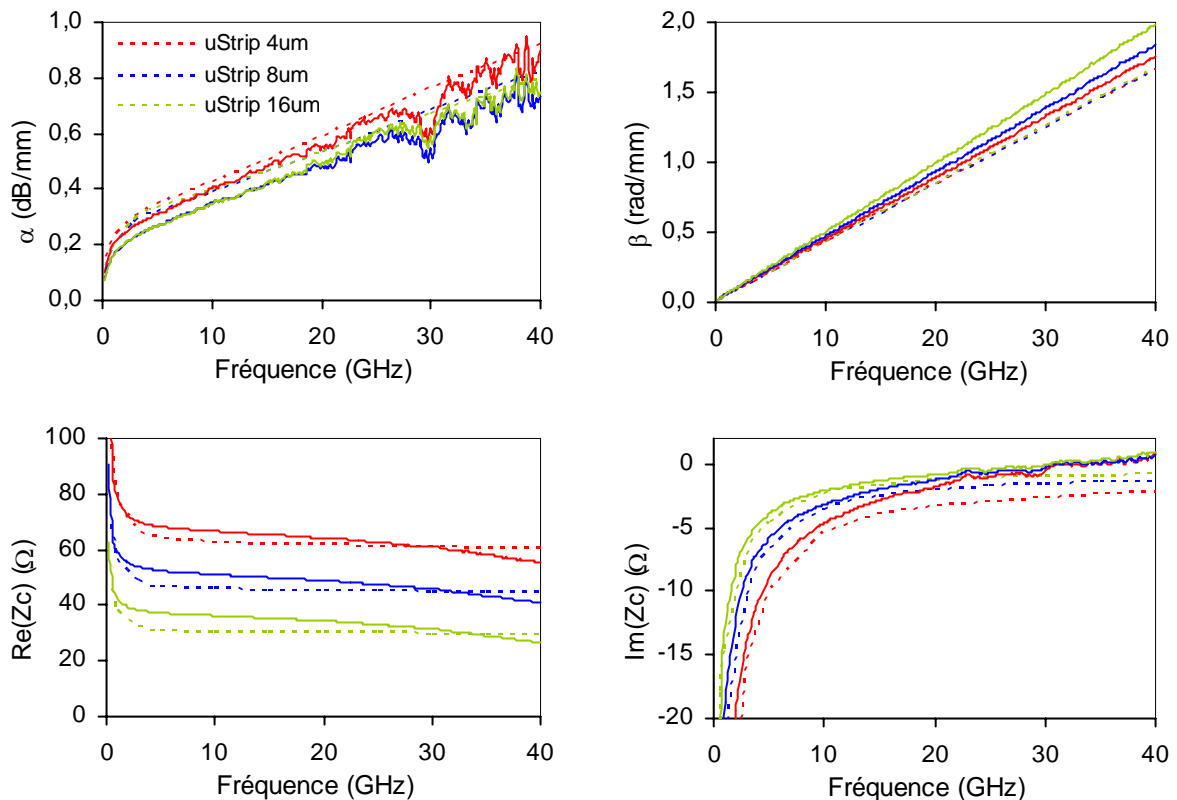


Figure 4: Caractérisation de trois lignes microruban avec $w=4, 8 \text{ \& } 16 \mu\text{m}$.
Comparaison simulations (---) / mesures (—).

Les écarts constatés entre les simulations et les mesures (β , Z_c) résultent de l'imprécision de la technique utilisée pour l'extraction des éléments parasites liés aux accès. En procédant selon la méthode suggérée par Eisenstadt, les éléments parasites série des plots de mesure ne sont pas retirés de la mesure brute et il réside ainsi une incertitude sur la longueur effective de

la ligne. Dans le cas d'une ligne de plusieurs millimètres de longueur, l'erreur introduite est négligeable et ne nuit pratiquement pas aux résultats obtenus. Dans notre cas où les lignes sont courtes (1 mm), l'erreur produite sur les caractéristiques électriques extraites est significative.

D'autres méthodes de caractérisation ont alors été envisagées. Nous avons réalisé deux nouvelles lignes accompagnées de motifs de test supplémentaires constitués d'un court tronçon de ligne (motif "thru"). La première est une ligne microruban comportant un ruban de $7\text{ }\mu\text{m}$ de large. La seconde ligne est un guide coplanaire avec les caractéristiques géométriques suivantes : $w = 11\text{ }\mu\text{m}$, $g = 4,5\text{ }\mu\text{m}$ et $w_{gnd} = 50\text{ }\mu\text{m}$. L'impédance caractéristique de ces deux lignes a été fixée à environ $50\text{ }\Omega$.

Pour chaque ligne, la constante de propagation γ est extraite à l'aide des deux motifs "ligne" et "thru" [14]. L'impédance caractéristique est déterminée selon deux techniques différentes. Dans les deux cas, il s'agit de retrouver les paramètres S d'une boîte d'erreur rendant compte de la transition entre le plan de référence constitué par les pointes de mesure et le plan de référence de la ligne (cf. annexe 1) :

- La première méthode consiste à déterminer par un calcul analytique les éléments électriques équivalents des accès en utilisant le motif "thru" avant de procéder à l'épluchage de la mesure brute de la ligne. Les éléments électriques caractéristiques sont ensuite déterminés à partir des paramètres de propagation γ et Z_c , selon la méthode classique [13].
- La seconde méthode constitue une alternative à la technique de calibrage TRL (Thru – Reflect - Line) dont elle reprend une partie des calculs pour la détermination des paramètres S de la boîte d'erreur [15] [16]. L'hypothèse de réciprocité des deux accès de la ligne fournit deux équations supplémentaires, nécessaires à la détermination de toute la matrice de paramètres S. Les paramètres de dispersion de la ligne épluchée sont alors normalisés par rapport à sa propre impédance caractéristique, de la même façon que lorsqu'une mesure est effectuée à l'issue d'un calibrage TRL. L'impédance caractéristique de la ligne est obtenue par la résolution d'un système d'équations identifiant la boîte d'erreur à un modèle électrique contenant un transformateur d'impédance.

Les éléments électriques caractéristiques extraits de ces deux lignes sont comparés aux simulations électromagnétiques et sont représentés sur la figure 5 pour la ligne microruban et

sur la figure 6 pour le guide coplanaire. Une fois les différents paramètres des simulateurs EM ajustés¹, les simulations s'accordent très bien aux mesures. La méthode utilisant le motif "Thru" sans transformation d'impédance fournit les meilleurs résultats, probablement en raison de sa plus grande simplicité. En effet, le schéma équivalent des accès mis œuvre avec la seconde technique est plus complexe et la sensibilité sur les différents éléments qui le constitue est par conséquent moins forte. Les faibles écarts observés notamment sur l'impédance caractéristique Z_c sont imputables aux techniques d'extractions qui ne sont pas parfaites, aux variations technologiques du procédé de fabrication (R et G) et aux simplifications géométriques dans les logiciels de simulations, notamment sur la couche de passivation avec Sonnet (Z_c). On peut toutefois conclure de façon positive sur la fiabilité des simulations électromagnétiques pour la prévision des caractéristiques électriques des différentes lignes.

Le travail de validation des simulations EM n'a pas été réalisé pour les lignes CPS en raison des limitations dues à nos capacités de mesures. La caractérisation de telles lignes nécessite en effet de disposer d'un banc permettant la mesure des paramètres S sur quatre accès.

¹ R_{RF} pour Sonnet (cf. 3.1.1) ainsi que l'angle de pertes dans l'oxyde, quel que soit le simulateur EM employé.

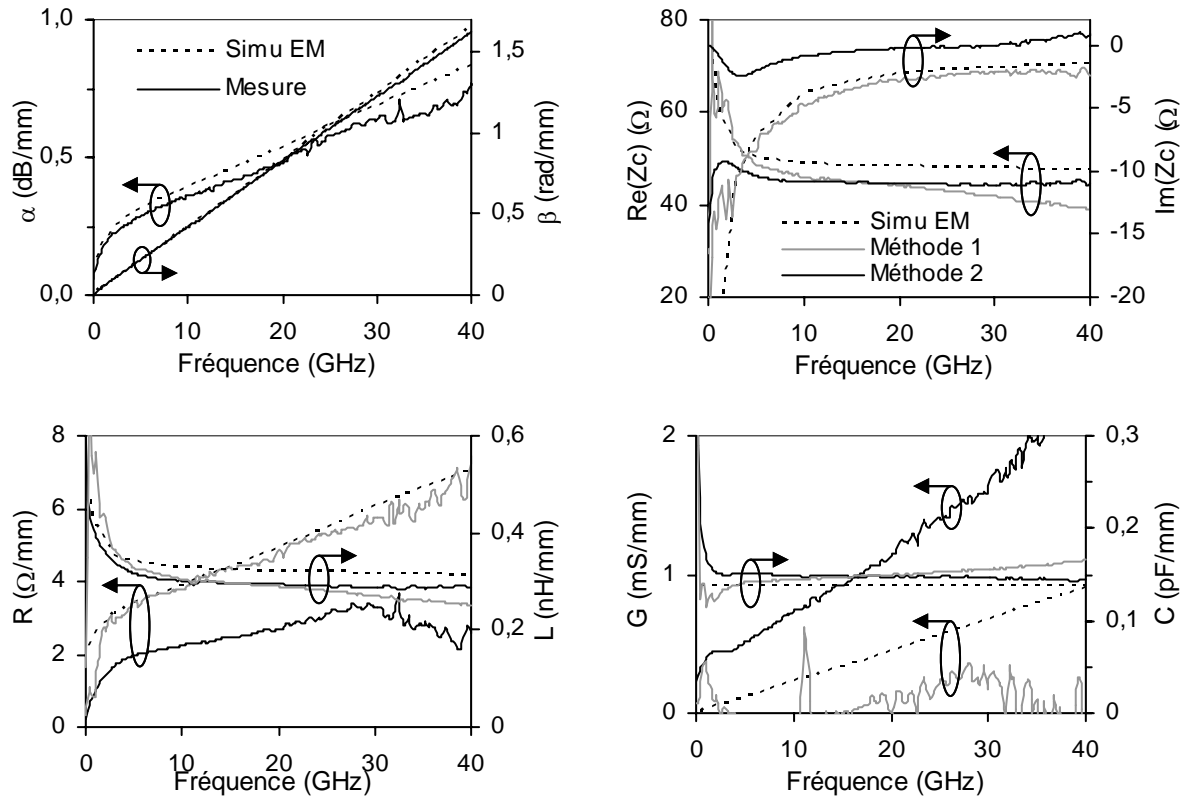


Figure 5: Caractéristiques électriques d'une ligne microruban avec $w=7\text{ }\mu\text{m}$.
 Comparaison simulations/mesures selon les deux méthodes employées.
 Simulations (- - -), méthode 1 (—) et méthode 2 (—).

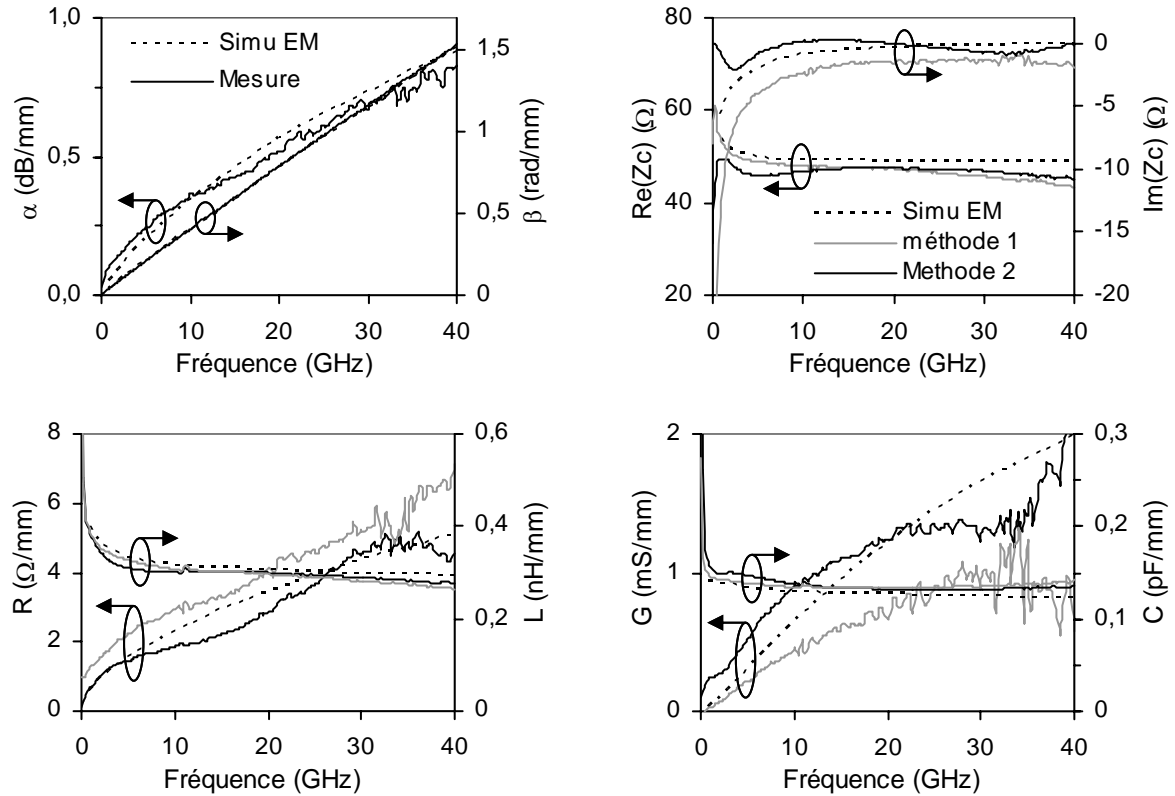


Figure 6: Caractéristiques électriques d'un guide coplanaire avec $w = 11 \mu\text{m}$, $g = 4,5 \mu\text{m}$ et $w_{\text{gnd}} = 50 \mu\text{m}$. Comparaison simulations/mesures. Simulations (- -), méthode 1 (—) et méthode 2 (—).

3.2 Potentialité des différentes structures de propagations étudiées

3.2.1 La ligne microruban

Dans les technologies silicium, et contrairement au GaAs, le plan de masse n'est pas réalisé sur la face arrière du substrat. Toute la ligne est exclusivement constituée des niveaux de métallisation disponibles sur la face supérieure, comme illustré sur la figure 7.

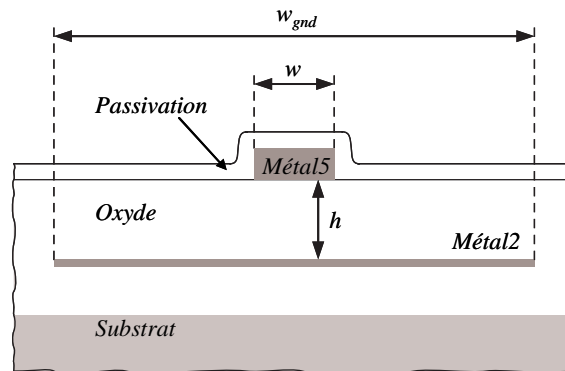


Figure 7: Exemple de ligne microruban employée dans les technologies silicium.

Cette technique permet d'éviter l'amincissement de la puce et la fabrication de trous métallisés comme c'est le cas avec les circuits GaAs. L'intérêt faible coût du silicium est ainsi conservé et les pertes dans les lignes sont maintenues à des niveaux acceptables puisque le substrat semi-conducteur est complètement masqué par le plan de masse. La distance qui sépare le ruban de la masse n'est que de quelques microns et nécessite des rubans de faibles largeurs (quelques microns) pour obtenir des impédances caractéristiques voisines de 50Ω . Les conditions permettant de réaliser une ligne microruban avec des performances optimales se résument à l'emploi du niveau "métal5" pour le ruban et du niveau "métal2" pour la masse. Par conséquent, la variation d'impédance caractéristique n'est obtenue que par celle de la largeur w du ruban. Une gamme de valeurs d'impédances allant de 25Ω à 80Ω est ainsi obtenue comme l'illustre la figure 8a.

La résistance du ruban par unité de longueur est plus élevée pour de faibles valeurs de w . Ainsi, les résultats de simulation présentés sur la figure 8b montrent que les pertes totales de la ligne sont élevées pour les sections de ruban les plus faibles. En revanche, ces pertes ne diminuent pratiquement plus lorsque la largeur du ruban augmente au-delà de $7-8 \mu\text{m}$, à fréquence donnée. Cette propriété est due à l'effet de peau qui vient limiter la section efficace du ruban à l'intérieur de laquelle le courant circule. Cette section n'augmente plus malgré l'accroissement de w . Les résultats de simulations de la figure 8b confirment l'évolution des pertes mesurées des lignes microruban de la figure 4, par rapport aux trois largeurs de ruban représentées.

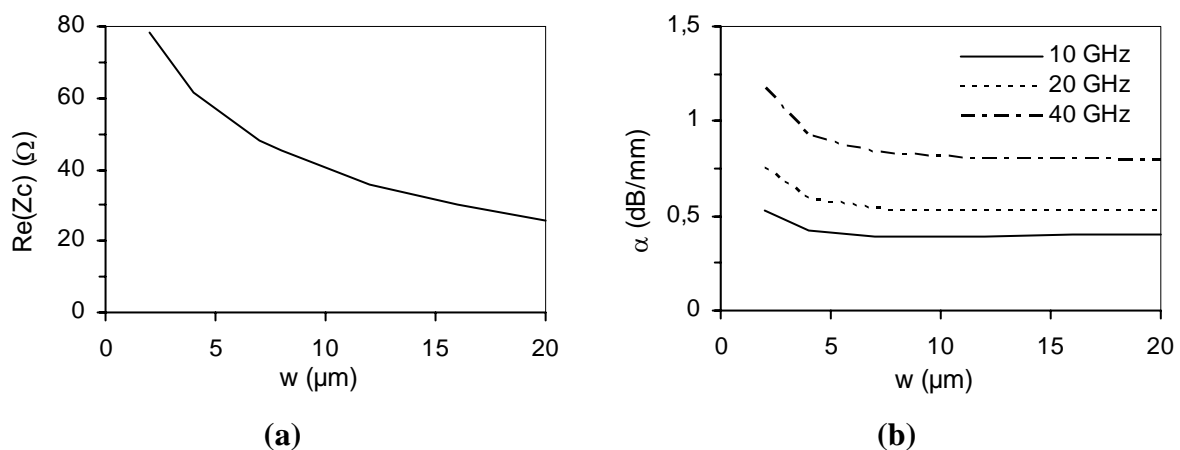


Figure 8: (a) Variation de l'impédance caractéristique de la ligne microruban en fonction de w à 20 GHz ; (b) pertes à 10, 20 et 40 GHz exprimées en fonction de w .

3.2.2 Le guide coplanaire

Cette ligne utilise le niveau de métallisation le plus élevé (cf. figure 9), qui va maximiser les performances attendues de par sa conductivité et son éloignement du substrat optimal. Par rapport à la ligne microruban, les pertes dans les conducteurs sont plus réduites mais les lignes de champs qui pénètrent dans le substrat introduisent des pertes diélectriques [17].

De par sa géométrie et sa symétrie, le guide coplanaire peut propager plusieurs modes fondamentaux qui sont le mode pair quasi-TE (mode ligne à fente) et le mode impair quasi-TEM. Ce dernier mode est celui que l'on cherche à favoriser tandis que le premier est indésirable. Il peut être facilement éliminé en interconnectant les deux plans de masse latéraux au voisinage des discontinuités présentes sur la ligne, l'objectif étant de ramener les deux demi-plans de masse au même potentiel. D'autres modes parasites sont susceptibles de se propager. Leur minimisation passe par le respect de critères géométriques répertoriés dans la thèse de Didier Prieto [18].

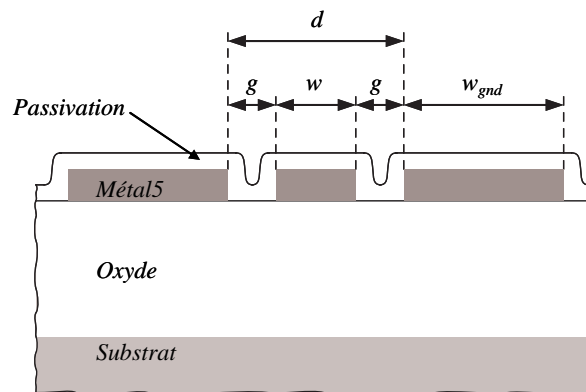


Figure 9: Vue en coupe du guide coplanaire sur silicium.

Le guide coplanaire dispose de deux degrés de liberté pour optimiser les pertes à valeur d'impédance caractéristique fixée. Il est possible de faire varier la largeur du ruban central w ainsi que celle de l'espacement g entre le ruban et les deux plans de masse latéraux. Ces derniers sont pris suffisamment larges pour ne pas influencer l'impédance caractéristique et pour empêcher l'apparition de modes de propagation parasites [18]. La figure 10 montre les variations de la valeur de l'impédance caractéristique de $30\ \Omega$ à $80\ \Omega$ ainsi que les pertes de la ligne en fonction du coefficient $k = w/(w + 2g)$ et pour différentes distances inter masse d .

Sur cette figure, nous voyons que les pertes sont relativement peu sensibles à la largeur totale de la ligne pour les valeurs de d que nous avons choisies. Contrairement à la ligne

microruban, le plan de masse offre ici une meilleure conductivité et limite les pertes par conduction. De plus, le champ reste majoritairement confiné dans les fentes et ne pénètre que très peu dans le substrat, ce qui encore une fois limite les pertes totales.

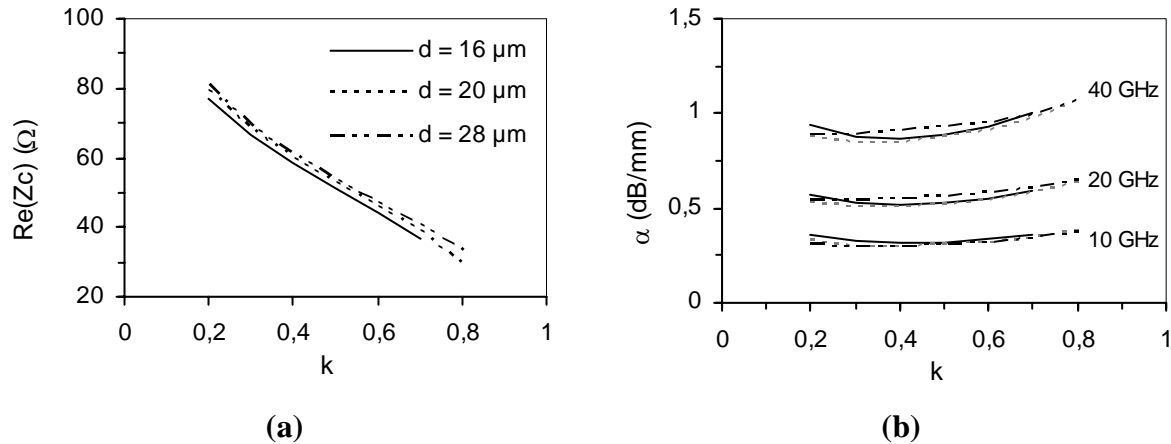


Figure 10: (a) Variation de l'impédance caractéristique du guide coplanaire en fonction de w à 20 GHz ; (b) pertes à 10, 20 et 40 GHz exprimées en fonction de k .

3.2.3 La ligne à rubans coplanaires

La ligne à rubans coplanaires, constituée de deux conducteurs parallèles, est représentée sur la figure 11. L'originalité de cette dernière se situe dans l'absence de masse qui la rend idéale pour la transmission de signaux différentiels. La propagation est quasi-TEM, ce qui la différencie de la ligne à fente où les deux rubans sont assimilables à des plans semi infinis connectés à la masse entre lesquels se propage une onde dont le mode s'apparente à celui que l'on trouve dans les guides d'ondes (mode quasi-TE) [19].

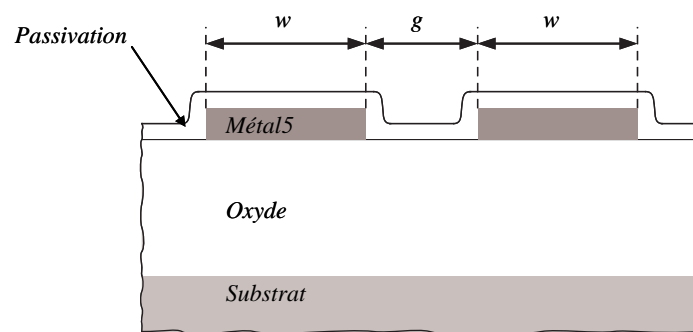


Figure 11: Vue en coupe d'une ligne à rubans coplanaires sur silicium.

Si cette ligne est implémentée sur un substrat semi-conducteur (Silicium) ou possédant une métallisation en face arrière (GaAs), il devient nécessaire de la traiter comme un ensemble constitué de deux lignes microruban couplées, le rôle du plan de masse étant

attribué au substrat ou au plan de masse en face arrière. Dans ces deux cas, la ligne supporte deux modes de propagation qui sont le mode pair et le mode impair, illustrés sur la figure 12. En général, toute excitation arbitraire sur la ligne CPS pourra être considérée comme la superposition de deux composantes de mode pair et impair.

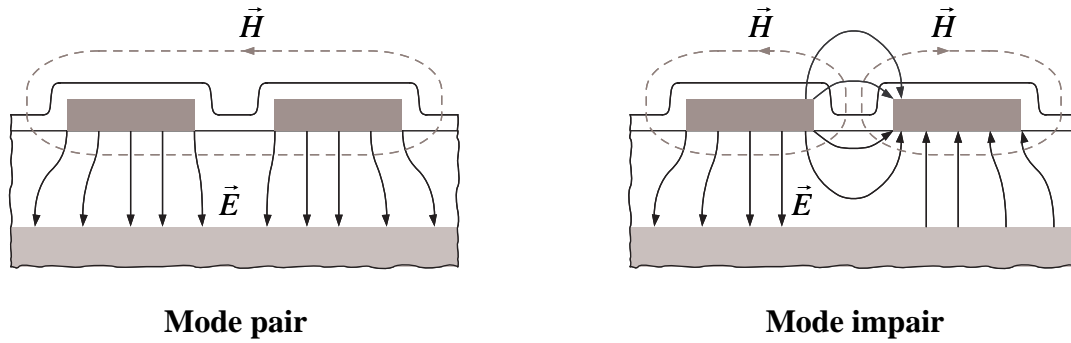


Figure 12: Modes de propagation dans la ligne à rubans coplanaires.

La propagation du mode impair est quasi-TEM à partir de quelques GHz, ce qui donne une impédance caractéristique impaire quasi-constante sur toute la gamme de fréquence. La propagation du mode pair est sensiblement différente en raison de la présence du substrat semi-conducteur. Les différents modes de propagation définis par Hasegawa [20] sont alors aisément identifiables en fonction de la fréquence. Le mode à ondes lentes ("slow-wave") se propage jusqu'à 8-10 GHz pour laisser place à un mode intermédiaire entre le mode à effet de peau ("skin-effect") et le mode quasi-TEM aux fréquences supérieures [20] [21]. Les pertes du mode pair sont très fortes en raison du substrat semi-conducteur. Avec notre configuration de substrat, elles sont de quatre à cinq fois plus fortes que celles issues du mode impair. Cependant, nous n'étudierons ici que la réponse à une excitation de mode différentiel, qui est le mode d'intérêt dans les circuits différentiels.

La figure 13 donne l'évolution de l'impédance caractéristique différentielle Z_{cD} ainsi que des pertes pour le mode différentiel en fonction des dimensions géométriques de la ligne au travers du rapport de forme $k = g / (g + 2w)$ et de l'espacement g entre les deux rubans. Une plage d'impédances caractéristiques allant de 40Ω à 130Ω est obtenue. A valeur Z_{cD} donnée, il existe un espacement g optimal minimisant les pertes totales dans la ligne. Celui-ci réalise un compromis entre les pertes par effet de peau dans les conducteurs qui augmentent lorsque w diminue, et les pertes diélectriques dans l'oxyde et le substrat qui augmentent avec l'écartement g .

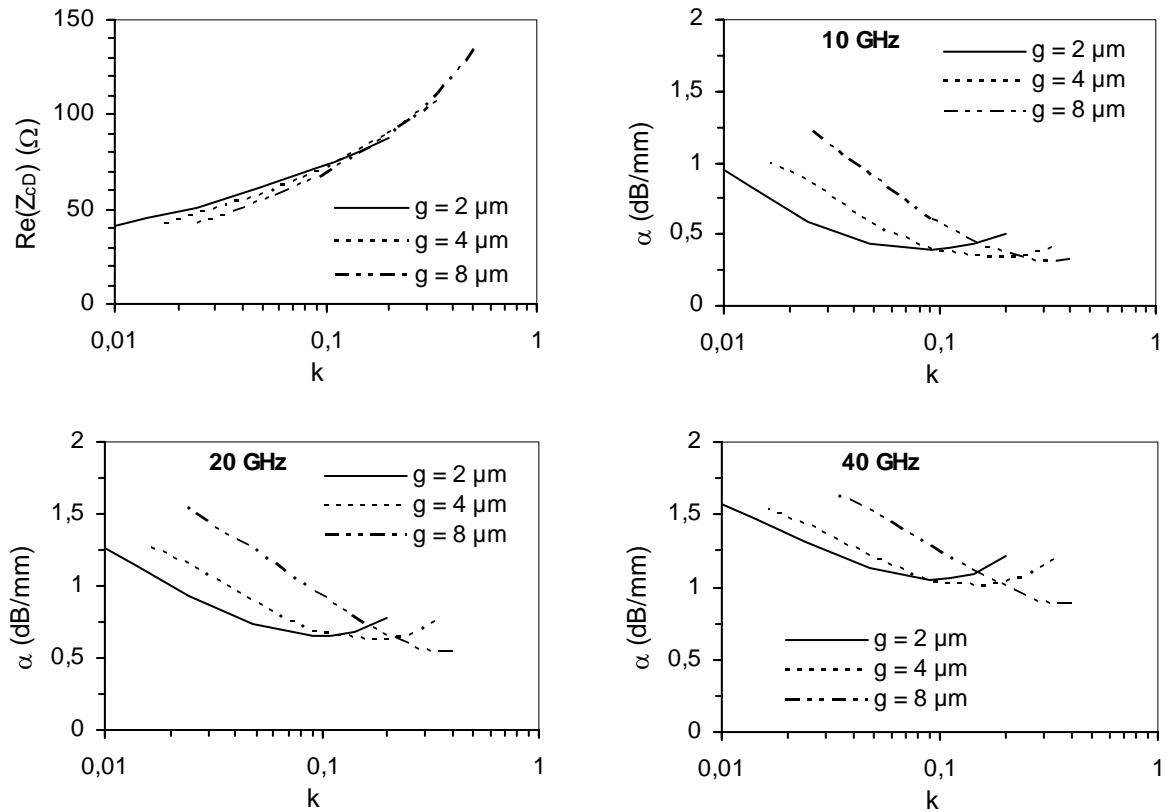


Figure 13: Impédance caractéristique de mode impair d'une ligne CPS en fonction de k à 20 GHz ; pertes pour le mode différentiel en fonction de k à différentes fréquences.

3.3 Conclusion

Le graphe de la figure 14 résume les potentialités des différentes technologies d'interconnexions en représentant les pertes minimales des différentes lignes étudiées à 20 GHz en fonction de l'impédance caractéristique souhaitée.

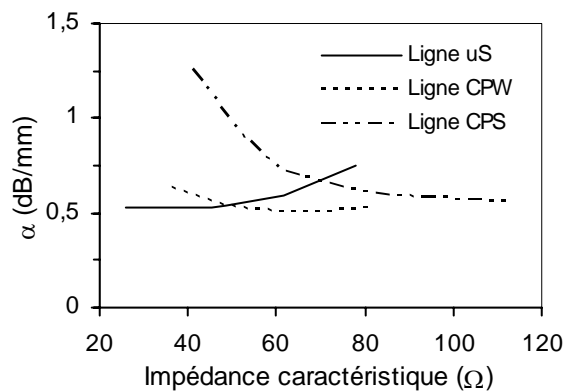


Figure 14: Pertes minimales à 20 GHz des lignes étudiées en fonction de l'impédance caractéristique à synthétiser.

Pour la réalisation de lignes $50\ \Omega$, la technologie microruban autorise des performances similaires à la technologie coplanaires sur toute la gamme de fréquence 10-40 GHz. Pour les valeurs d'impédance caractéristique supérieures, le guide coplanaire devient plus intéressant puisqu'il permet d'obtenir des niveaux de pertes plus faibles pour un encombrement très réduit. Dans tous les cas, la ligne CPS possède des performances en retrait par rapport aux deux autres types de ligne.

Par ailleurs, la technologie d'interconnexions coplanaires présente un très net avantage pour la conception de circuits micro-ondes sur silicium. En effet, lorsque l'on utilise une technologie microruban, il est nécessaire de réaliser des ouvertures dans le plan de masse nécessaires aux accès des transistors, résistances et inductances, créant des discontinuités. Lorsque la fréquence augmente, ces ouvertures, combinées à la conductivité moyenne du niveau métal² réalisant le plan de masse, engendrent des contre-réactions parasites sur les connexions de masse des éléments actifs, pouvant rendre le circuit instable, ou du moins en modifier les performances. La modélisation de ces contre-réactions parasites est très difficile à réaliser puisqu'il est alors nécessaire d'employer des simulateurs électromagnétiques pour de grandes surfaces de circuit, ce qui est très fastidieux. Le guide coplanaire n'utilise que le niveau de métallisation le plus élevé, plus épais et possédant une bien meilleure conductivité.

4. OPTIMISATION DES INDUCTANCES POUR LES FRÉQUENCES MILLIMÉTRIQUES

Dans les filières silicium classiques, le substrat est moyennement voire fortement conducteur. Cette contrainte, qui à la fois optimise le critère de coût² et autorise la forte intégration des éléments actifs, limite toutefois les performances des inductances intégrées. Ces éléments sont le siège de phénomènes parasites, induits notamment par le substrat.

Par ailleurs, les inductances proposées par les fondeurs dans les bibliothèques d'éléments associés aux technologies silicium BiCMOS sont très souvent inadaptées pour des applications supérieures à 10 GHz, en raison des plages de valeurs proposées, de leurs fréquences de résonance et de leur coefficient de surtension trop faibles.

Dans les paragraphes suivants, nous allons donc décrire les phénomènes parasites à l'origine des limitations des performances des inductances spirales intégrées sur silicium. Les

²un substrat silicium à haute résistivité coûte bien plus cher qu'un substrat silicium classique, ne permet pas une forte intégration des transistors MOS et nécessite pour leur implémentation des étapes technologiques supplémentaires rédhibitoires sur le coût final d'un circuit.

méthodes classiquement employées pour améliorer le facteur de qualité d'une inductance sont ensuite évaluées. Nous serons ainsi en mesure de proposer une méthode de conception permettant l'obtention d'inductances spirales sur silicium, de performances optimisées pour application dans la bande de fréquences 20-30 GHz.

4.1 Les mécanismes à l'origine des pertes dans les inductances intégrées

Les pertes dans une inductance sont de trois types : les pertes dans les métallisations, les pertes liées au substrat, ou pertes diélectriques, ainsi que les pertes par radiation. Ce dernier type de pertes intervient à très hautes fréquences, lorsque la longueur d'onde du signal devient voisine des dimensions de l'inductance. Sachant que la longueur d'onde du signal dans l'air est de 3 mm à 100 GHz, et aux vues des dimensions maximales de nos structures, nous pouvons aisément négliger cette contribution aux pertes globales.

4.1.1 Pertes dans les métallisations

La résistivité finie des couches métalliques entraîne des pertes par effet joule dans les conducteurs. Cependant, cette résistivité n'explique pas à elle seule l'intégralité des pertes qui sont occasionnées et d'autres effets interviennent. Ces derniers, qui sont à l'origine de la majeure partie des pertes aux fréquences micro-ondes, sont essentiellement connus sous le nom d'effets de peau et de proximité.

▪ Effet de peau

Lorsqu'un courant alternatif circule dans un conducteur, un champ magnétique est créé autour de ce dernier. En raison de la conductivité finie du métal qui le constitue, une partie de du champ magnétique est contenue à l'intérieur du conducteur, créant ainsi des courants de Foucault s'opposant au passage du courant vers le centre du conducteur.

Ce dernier circule alors préférentiellement vers la périphérie du conducteur, augmentant par là même sa résistance effective, et donc la puissance dissipée par effet Joule. Il peut être montré que la densité du courant décroît exponentiellement en s'éloignant de la surface du conducteur (cf. figure 15a) [22]. Cette propriété permet de définir une grandeur caractéristique appelée "l'épaisseur de peau" (cf. figure 15b). Typiquement, la valeur de la résistance dynamique d'un conducteur suit une loi de variation en \sqrt{f} .

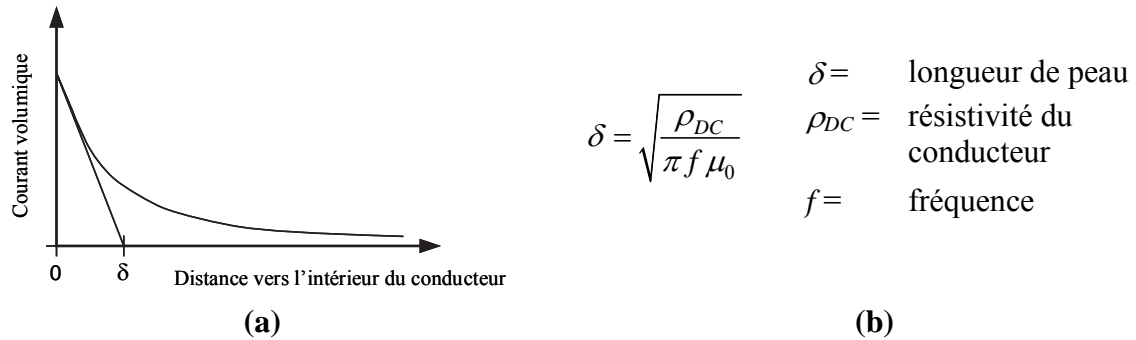


Figure 15: (a) densité de courant à l'intérieur d'un conducteur ;
(b) Longueur de peau dans un conducteur.

■ Effet de proximité

Cet effet est très proche de l'effet de peau. L'effet de proximité résulte de l'interaction entre plusieurs conducteurs voisins parcourus chacun par un courant. La résistance dynamique d'un conducteur donné, initialement dégradée par effet de peau propre à la configuration des champs dans le conducteur lui-même, sera plus ou moins augmentée selon que les champs magnétiques produits par les conducteurs voisins s'ajoutent ou se retranchent à celui généré par le conducteur considéré.

L'effet de proximité ne peut pas être négligé dans le cas d'inductances intégrées constituées par une spirale comportant plusieurs tours. En effet, dans ce cas le champ magnétique créé par chaque conducteur ne passe pas uniquement par le centre de l'inductance, mais une partie circule entre les rubans, comme illustré sur la figure 16a. Puisque le champ magnétique est très fort au centre de l'inductance, la variation temporelle de ce champ – due au courant alternatif circulant dans les rubans métalliques – induit un champ électrique parasite dans le volume des spires proches du centre de l'inductance. Ce champ électrique entraîne alors la circulation de courants de Foucault comme le suggère la figure 16b. Dans la partie intérieure des spires centrales, le courant de l'inductance s'additionne avec les courants de Foucault, tandis qu'il se retranche dans la partie extérieure. La section effective du ruban déterminée par l'effet de peau est ainsi encore modulée par l'effet de proximité. La concentration du courant vers la partie intérieure des spires centrales contribue à une augmentation forte de la résistance dynamique. Par ailleurs, le champ $\vec{H}_{Foucault}$ s'oppose au champ total \vec{H}_{Self} , ce qui conduit à une légère diminution de la valeur de l'inductance avec l'augmentation de la fréquence [23] [24].

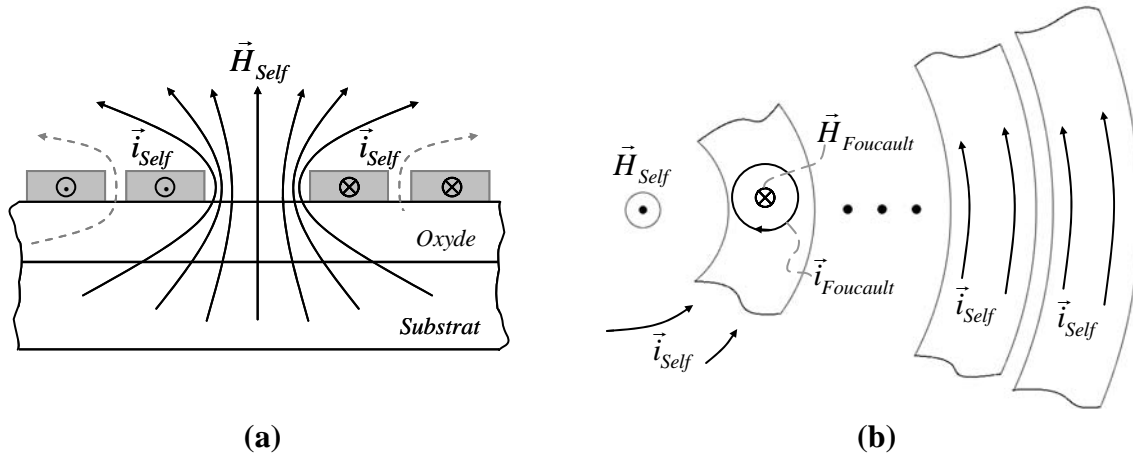


Figure 16: (a) Constriction du champ magnétique au centre d'une self planaire multi-spires ;
 (b) Création de courants de Foucault au niveau de la spire la plus intérieure en raison de l'effet de proximité induit par le champ magnétique créé par les spires extérieures.

Pour illustrer cet effet de proximité, nous avons réalisé la simulation électromagnétique (Sonnet) d'une inductance planaire carrée de 4.0 nH. La répartition du courant dans les spires est représentée sur la figure 17. Sur cette figure, nous constatons que pour les spires internes, le courant circule essentiellement au niveau de la bordure intérieure des rubans, en raison des fortes valeurs atteintes par le champ magnétique dans cette zone. Ceci confirme la présence de l'effet de proximité dans les inductances. Dans la pratique, on limite ce phénomène en évitant de placer des spires jusqu'au centre de l'inductance, ce que nous avons fait sur l'inductance de la figure 17.

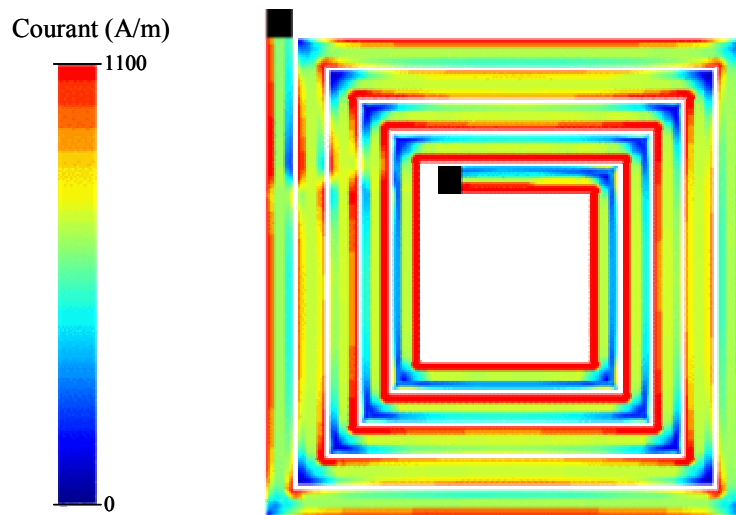


Figure 17: Répartition du courant dans une inductance planaire intégrée de 4 nH.

4.1.2 Pertes dans le substrat

Contrairement au GaAs, le substrat silicium des technologies CMOS ou BiCMOS n'est pas isolant. Typiquement, sa résistivité varie entre 10 m Ω .cm pour les filières CMOS pures à 10-20 Ω .cm pour les filières BiCMOS. La nature conductrice du substrat Silicium entraîne ainsi plusieurs formes de pertes, illustrées sur la figure 18 [25].

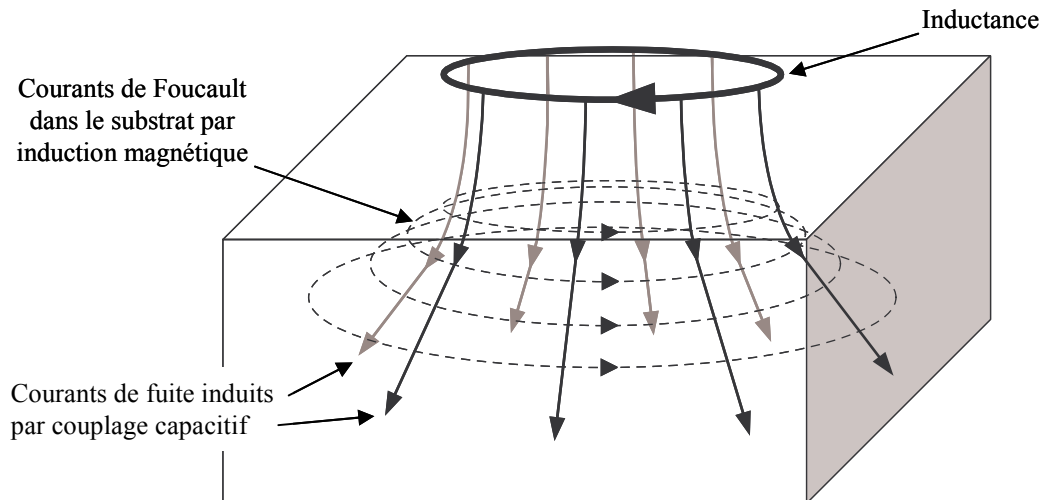


Figure 18: Représentation des pertes dans le substrat silicium.

▪ Pertes par induction magnétique

Le même phénomène que celui qui conduit à l'effet de proximité dans les conducteurs existe avec le substrat : conformément à la loi de Faraday / Lenz, le champ magnétique créé par l'inductance induit un courant image dans le substrat, le plus souvent appelé courant de Foucault. Le sens de ce courant, opposé à celui de l'inductance, génère par conséquent un champ magnétique s'opposant au champ principal. Il en résulte une diminution de la valeur réelle de l'inductance. De plus, de l'énergie magnétique est de la sorte convertie en chaleur par effet joule dans le volume du substrat. Ces conséquences sont d'autant plus importantes que la résistivité du substrat diminue.

▪ Pertes par induction électrique

L'énergie stockée sous forme électrique dans l'inductance est couplée au substrat par l'intermédiaire de la capacité équivalente dont les armatures sont constituées par les spires de l'inductance d'une part et le substrat lui-même d'autre part. Il en résulte des courants de

conduction et de déplacement vers la masse la plus proche. Ainsi, de l'énergie électrique est ici encore dissipée par effet joule dans le substrat [26].

4.2 Un critère d'évaluation des performances d'une inductance : le facteur de qualité

Le niveau de performance des éléments passifs réactifs, qu'ils soient capacitifs ou inductifs ou même constitués d'un circuit résonnant, est habituellement évalué par le facteur de qualité. Ce critère est défini comme étant le rapport de l'énergie électromagnétique emmagasinée ($E_{stockée}$) sur l'énergie dissipée ($E_{dissipée}$) pendant une période de signal, dans l'hypothèse d'une excitation sinusoïdale [27]. Cette définition se traduit par la relation suivante :

$$Q_1 = 2\pi \frac{E_{stockée}}{E_{dissipée}} \quad (1)$$

Si l'on considère les composantes magnétiques (W_m) et électrique (W_e) de l'énergie stockée, et si P_j représente la puissance moyenne dissipée par le réseau sur une période, la relation (1) devient :

$$Q_1 = \omega \left(\frac{W_m + W_e}{P_j} \right) \text{ où } \omega \text{ désigne la pulsation.} \quad (2)$$

Cette définition rigoureuse est notamment utilisée pour évaluer les circuits résonnants dans lesquels l'énergie est alternativement stockée sous forme magnétique et électrique au cours du temps. Dans la pratique, la valeur du facteur de qualité ainsi défini est difficile à estimer avec précision, notamment dans le cas des inductances. En effet, le calcul de Q_1 nécessite l'extraction d'un modèle électrique équivalent pour retrouver les composantes électriques et magnétiques de l'énergie stockée, tâche rendue difficile par la nature distribuée d'une inductance spirale ainsi que par les variations fréquentielles des éléments du modèle [28].

Dans le cas d'une inductance, il existe ainsi plusieurs autres définitions qui permettent l'extraction du facteur de qualité à partir de la mesure en s'affranchissant du calcul du modèle électrique équivalent.

Dans le principe, deux de ces nouvelles définitions du facteur de qualité nécessitent de placer virtuellement l'inductance mesurée (un dipôle) en parallèle avec une capacité. En modifiant la valeur de cette capacité, il est alors possible de déplacer la résonance sur toute la plage de fréquence pour laquelle on souhaite déterminer ce facteur de qualité.

La première technique consiste à observer la variation de phase du circuit à la résonance, qui est liée au facteur de qualité par la relation suivante [28] [29]:

$$Q_2 = \frac{\omega_0}{2} \frac{d\phi_Y}{d\omega} \Big|_{\omega=\omega_0} \quad (3)$$

où ϕ_Y représente la phase de l'admittance équivalente au circuit résonnant et ω_0 la pulsation à la résonance.

La deuxième technique consiste à calculer le facteur de qualité à partir de la bande passante à -3 dB du circuit résonnant constitué de l'inductance à caractériser en parallèle avec la capacité mentionnée plus haut. Ce facteur est bien connu et est donné par la relation suivante :

$$Q_3 = \frac{\omega_0}{\Delta\omega} \Big|_{-3dB} \quad (4)$$

Enfin, il existe une troisième définition permettant l'obtention du facteur de qualité, spécifiquement utilisée pour les inductances. Celle-ci est la plus couramment utilisée dans la littérature, de par sa simplicité de mise en œuvre. Ainsi, à partir de la mesure de l'inductance par l'intermédiaire de son impédance (z_{11}), ou de son admittance (y_{11}), ce facteur de qualité s'exprime de la façon suivante :

$$Q_4 = \frac{\text{Im}(z_{11})}{\text{Re}(z_{11})} = -\frac{\text{Im}(y_{11})}{\text{Re}(y_{11})} \quad (5)$$

Cette technique diffère largement des précédentes et il peut être montré qu'elle correspond à la définition du facteur de qualité suivante [28]:

$$Q_4 = \omega \left(\frac{W_m - W_e}{P_j} \right) \quad (6)$$

Cette expression rejoint la définition générale (2) lorsque l'énergie emmagasinée sous forme électrique tend vers zéro. Dans la pratique ces deux relations sont équivalentes à basses fréquences, lorsque l'effet des capacités parasites reste négligeable ($W_e \rightarrow 0$). L'erreur est aussi relativement faible entre les deux expressions sur une large gamme de fréquences lorsque les inductances évaluées ont une faible valeur (< 1 nH), ou quand elles possèdent une faible capacité de couplage avec le substrat. En revanche, en raison de l'augmentation avec la fréquence de l'énergie emmagasinée sous forme électrique, la définition (6) va conduire à une chute plus rapide de la valeur du facteur de qualité comparativement à celle obtenue par les

autres définitions. A la résonance, les énergies emmagasinées W_m et W_e sont identiques, annulant par conséquent la valeur du facteur de qualité Q_4 . Au-delà de cette fréquence, l'inductance se comporte comme une capacité puisque l'énergie emmagasinée sous forme électrique est supérieure à l'énergie magnétique, rendant le coefficient Q_4 négatif.

4.3 Influence des différents types de pertes sur les performances d'une inductance

Nous venons de présenter les divers mécanismes à l'origine des pertes dans les inductances ainsi que la définition du facteur de qualité permettant d'évaluer de façon globale le niveau de ces pertes, à partir des caractérisations. Afin d'être en mesure de proposer des techniques permettant d'améliorer les performances d'une inductance, nous proposons maintenant d'évaluer qualitativement les différentes contributions aux pertes de cette inductance. Pour ce faire, nous allons extraire de manière analytique les facteurs de qualité issus des différentes contributions à partir d'un schéma électrique simplifié rendant compte de chaque phénomène physique.

4.3.1 Expression du facteur de qualité en fonction des différents types de pertes

Les pertes dans une inductance peuvent être décomposées en plusieurs contributions en séparant les pertes de puissance dans les conducteurs P_c , les pertes électriques dans le substrat P_e et les pertes par courants de Foucault magnétiquement induits P_m . La relation (2) peut alors se décomposer de la façon suivante :

$$Q_1 = \frac{\omega W_{stockée}}{P_c + P_e + P_m} \quad (7)$$

Le facteur de qualité total s'exprime alors en fonction des facteurs de qualité relatifs à chaque type de pertes, suivant la relation :

$$\frac{1}{Q_1} = \frac{P_c}{\omega W_{stocké}} + \frac{P_e}{\omega W_{stocké}} + \frac{P_m}{\omega W_{stocké}} = \frac{1}{Q_c} + \frac{1}{Q_e} + \frac{1}{Q_m} \quad (8)$$

4.3.2 Détermination analytique des différentes contributions

Bien qu'une inductance soit un élément largement distribué du fait des longueurs de ligne importantes qu'elle met en oeuvre, il est toutefois possible d'utiliser un modèle électrique relativement simple basé sur son fonctionnement physique. Un tel schéma, comme présenté sur la figure 19, est cependant valable pour les basses fréquences mais très approximatif aux hautes fréquences.

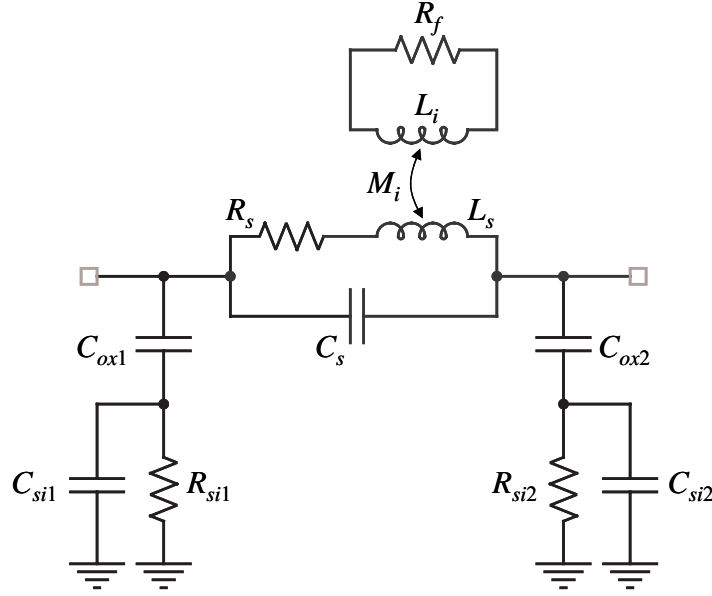


Figure 19: Schéma électrique équivalent d'une inductance intégrée sur silicium.

Sur ce schéma, les différentes contributions aux pertes globales ont été séparées et sont facilement identifiables. Les pertes électriques P_e dans le substrat sont modélisées par les éléments R_{si} et C_{si} , tandis que C_{ox} traduit le couplage de l'inductance avec le substrat. Les pertes par effet Joule P_c dans les conducteurs sont modélisées par la résistance R_s qui varie généralement avec la fréquence pour traduire correctement les effets de peau et de proximité. Notons que la valeur de l'inductance à basse fréquence est fixée par l'élément L_s et la capacité inter spire conduisant à la résonance est modélisée par C_s . Enfin, les pertes P_m liées au couplage magnétique de l'inductance avec le substrat sont représentées par l'inductance image L_i , le coefficient d'induction mutuel M_i , et la résistance R_f .

Ce modèle peut être simplifié en associant aux éléments R_s et L_s les phénomènes magnétiques liés au substrat. Ceci revient à placer une impédance équivalente Z_m (9) en série avec ces deux éléments [30], qui sont ainsi transformés en deux nouvelles valeurs notées respectivement R_s' et L_s' .

$$Z_m = \frac{(\omega M_i)^2}{R_i + jL_i \omega} \quad (9)$$

Dans ces conditions, lorsqu'un des accès de l'inductance est court-circuité, en négligeant C_{si} , on obtient le schéma ci-dessous :

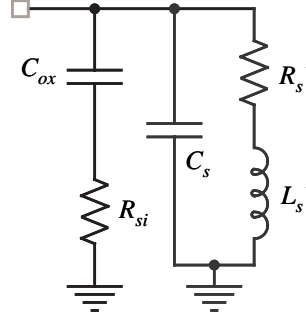


Figure 20: Schéma électrique équivalent à un seul accès d'une inductance.

Pour exprimer les facteurs de qualités Q_e et Q_{cm} associés respectivement aux pertes électriques dans le substrat, et aux pertes d'origines magnétiques dans les conducteurs et dans le substrat, le schéma de la figure 20 est transformé de façon à ne disposer que d'éléments parallèles pour chaque contribution. Ce nouveau schéma est donné sur la figure 21.

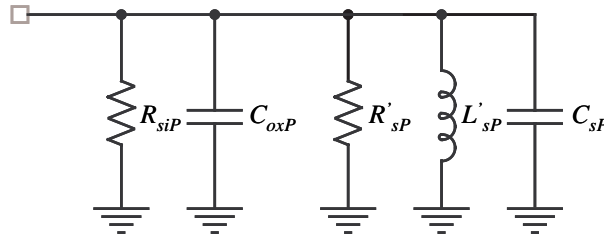


Figure 21: Schéma électrique modifié.

Les éléments de ce dernier schéma s'expriment en fonction des éléments du schéma de la figure 20 de la façon suivante :

$$R_{siP} = R_{si} (Q_{si}^2 + 1) \text{ avec } Q_{si} = \frac{1}{R_{si} C_{ox} \omega} \text{ facteur de qualité du réseau } \{C_{ox}, R_{si}\} \quad (10)$$

$$C_{oxP} = C_{ox} \frac{Q_{si}^2}{Q_{si}^2 + 1} \quad (11)$$

$$R'_{sP} = R'_s (Q_s'^2 + 1) \text{ avec } Q_s' = \frac{L'_s \omega}{R'_s} \text{ facteur de qualité du réseau } \{L'_s, R'_s\} \quad (12)$$

$$L'_{sP} = L'_s \left(\frac{1}{Q_s'^2} + 1 \right) \quad (13)$$

Le facteur de qualité total, ainsi que les contributions Q_e et Q_{cm} sont alors donnés simplement par la relation suivante :

$$Q = \left(\frac{1}{Q_e} + \frac{1}{Q_{cm}} \right)^{-1} = \frac{R_{siP} // R'_{sP}}{L'_{sP} \omega} \text{ avec } Q_e = \frac{R_{siP}}{L'_{sP} \omega} \text{ et } Q_{cm} = \frac{R'_{sP}}{L'_{sP} \omega} \quad (14)$$

En supposant $Q_{si}^2 \gg 1$ et $Q_s^2 \gg 1$, le facteur de qualité total prend alors une forme très simple :

$$Q \approx \frac{R_s Q_s^2 // R_{si} Q_{si}^2}{L_s \omega} \quad (15)$$

A partir d'un schéma électrique équivalent à une inductance, nous venons d'établir l'expression des facteurs de qualité liés aux pertes d'origine électrique (Q_e), magnétiques et dans les conducteurs (Q_{cm}). Ces expressions vont nous permettre de vérifier de manière qualitative quelles sont les stratégies envisageables pour optimiser le facteur de qualité de l'inductance. Ce point est abordé dans la partie suivante.

4.4 Minimisation des pertes

4.4.1 Les pertes dans les conducteurs

▪ Cas général

Lorsque l'on se place à basses fréquences ($f < 2$ GHz) les pertes dans une inductance ne sont gouvernées que par les pertes dans les conducteurs, les autres contributions étant négligeables. Celles-ci sont uniquement dues à l'effet de peau pour de faibles valeurs d'inductances ne possédant pas plus d'un tour. L'évolution du facteur de qualité est alors gouvernée par une loi en \sqrt{f} . Pour les inductances de valeurs plus fortes possédant plusieurs tours, les pertes se manifestent par les effets de peau et de proximité. Cependant, lorsqu'une longueur de ligne supplémentaire est ajoutée à une inductance spirale donnée, la valeur de l'inductance obtenue augmente plus rapidement que les pertes résistives associées à ce tronçon de ligne additionnel, grâce au coefficient d'induction mutuel. Il en résulte ainsi une augmentation de la pente du facteur de qualité pour les éléments possédant plusieurs tours, malgré l'effet de proximité.

Comme la conductivité des métallisations est figée pour une technologie donnée, la seule optimisation possible consiste à jouer sur la largeur du ruban pour moduler l'effet de peau, et sur l'écartement inter spires pour l'effet de proximité.

▪ Cas des inductances optimisées pour des applications en bande millimétriques

Les valeurs maximales d'inductances typiquement nécessaires pour la conception de circuits micro-ondes diminuent avec l'augmentation de la fréquence. Par exemple, la réalisation d'une impédance de $j50 \Omega$ nécessite une inductance de 8 nH à 1 GHz, alors que la

même valeur d'impédance est obtenue avec une inductance de 0,4 nH à 20 GHz. Pour de telles valeurs d'inductances l'effet de proximité est alors négligeable. Seul importe l'effet de peau.

Aux fréquences supérieures à 10 GHz, l'effet de peau se traduit par une circulation privilégiée du courant sur les bordures latérales du ruban conducteur. Il est alors possible d'en réduire quelque peu la largeur, afin d'augmenter l'inductance linéique tout en diminuant la surface totale occupée par l'inductance. Ces mesures sont bénéfiques pour la valeur du coefficient de qualité aux fréquences élevées mais rendent ces inductances totalement inadaptées pour les applications dans des bandes de fréquences inférieures à 5 GHz.

4.4.2 Solutions pour la minimisation des pertes liées au substrat

▪ *Les techniques connues*

Il existe plusieurs techniques pour minimiser les pertes engendrées au niveau du substrat. Certaines font appel à des substrats silicium de haute résistivité afin de diminuer simultanément les pertes d'origine électrique et magnétique [31]. Des auteurs réalisent une gravure de la face arrière du circuit afin de retirer le substrat sous l'inductance [24]. Cette dernière peut aussi être réalisée par dépôt d'un métal de forte conductivité au-dessus d'une couche de BCB (Benzo-Cyclo-Butène) [32] ou de Polyimide [33] de quelques dizaines de microns d'épaisseur. Ces techniques s'appliquent une fois la fabrication du circuit terminée, et rajoutent par conséquent des étapes technologiques. A l'évidence, elles ne conviennent donc pas aux tendances "faible coût" recherchées pour les applications actuelles.

A notre connaissance, il n'existe que deux techniques directement exploitables dans une filière CMOS ou BiCMOS classique, sans étape technologique supplémentaire. Elles aboutissent cependant à des améliorations plus modestes des facteurs de qualité. La première technique consiste à entourer l'inductance d'un anneau métallique ("ring") connecté au substrat ainsi qu'à la masse du circuit [34]. La seconde consiste à intégrer sous l'inductance un plan conducteur relié à la masse dans lequel sont réalisées des ouvertures perpendiculaires aux rubans de la self ("pattern shield"). Ces deux types d'inductances sont représentés sur la figure 22 [35]. Les inductances disponibles dans la technologie BiCMOS de ST Microelectronics permettent l'implémentation de ces deux techniques, séparément ou simultanément.

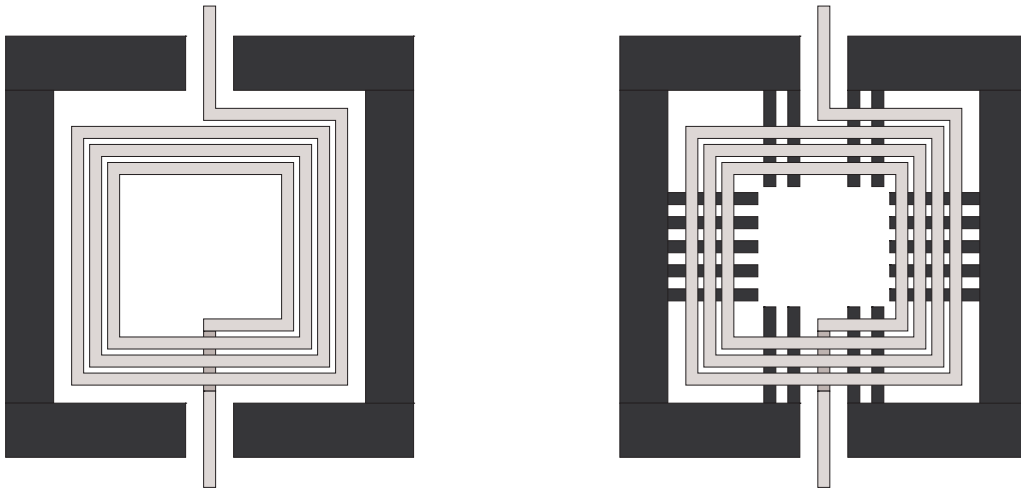


Figure 22: Exemple d'inductances : (a) équipée d'un anneau métallique
(b) équipée du "pattern shield" et d'un anneau métallique.

▪ *Leur principe de fonctionnement*

La technique de l'anneau réduit la résistance R_{si} du schéma de la figure 20 en établissant un chemin faible impédance vers la masse, en raison de la proximité de l'anneau par rapport à l'inductance. La technique du plan métallique découpé perpendiculairement aux rubans de la self permet de masquer le substrat vis à vis du champ électrique et diminue très fortement la résistance R_{si} . Le découpage du plan métallique empêche la circulation d'un courant image tout en permettant au champ magnétique de pénétrer librement dans le substrat [30].

Bien que les approches soient différentes, ces deux techniques visent donc le même objectif qui consiste à améliorer le facteur Q_{si} de la branche série $\{C_{ox}, R_{si}\}$ du modèle de la figure 20, responsable des pertes d'origine électrique dans le substrat. Voyons maintenant comment R_{si} agit sur le facteur de qualité de l'inductance en utilisant les expressions analytiques développées dans le paragraphe 0.

▪ *Conséquences d'une diminution de R_{si} sur le facteur de qualité de l'inductance*

Pour évaluer l'influence de la résistance R_{si} sur le facteur de qualité de l'inductance, nous allons utiliser le schéma électrique de la figure 21, qui permet de comparer directement les différents type de pertes à travers R_{siP} pour les pertes d'origine électrique dans le substrat, et R'_{sP} pour les pertes magnétiques dans le substrat additionnées aux pertes par conduction dans les conducteurs.

Imaginons maintenant une inductance dont le facteur Q_{si} est initialement très faible ($Q_{si} \ll 1$). Les valeurs de la résistance R_{siP} et de la capacité C_{oxP} , exprimées par les équations (10) et (11), se simplifient de la manière suivante:

$$R'_{siP} \approx R_{si} \quad (16)$$

$$C'_{oxP} \approx C_{ox} Q_{si}^2 \ll C_{ox} \quad (17)$$

Deux cas se présentent alors.

Considérons le premier cas où $R'_{siP} < R'_{sP}$, qui revient à signifier que les pertes d'origine électrique dans le substrat dominant ($Q_e < Q_{cm}$). En procédant au masquage du substrat par l'une des deux méthodes évoquées plus haut qui consistent à rendre la résistance équivalente du substrat R_{si} très faible, on obtient $Q_{si} \gg 1$. Les éléments R_{siP} et C_{oxP} deviennent alors :

$$R''_{siP} \approx R_{si} Q_{si}^2 \gg R'_{siP} \quad (18)$$

$$C''_{oxP} \approx C_{ox} \quad (19)$$

Dans ce cas, les techniques évoquées plus haut peuvent être très efficaces puisque dans ces conditions, la résistance équivalente R''_{siP} devient très forte, diminuant d'autant les pertes électriques associées au substrat. Malheureusement, la relation (19) montre que cette amélioration s'effectue au prix d'une fréquence de résonance de valeur abaissée.

Dans le second cas où $R'_{siP} > R'_{sP}$, les pertes d'origine électrique dans le substrat ne sont pas majoritaires et ne constituent donc pas le facteur limitatif du coefficient de surtension de l'inductance puisque $Q_e > Q_{cm}$. Dans ce cas précis, l'emploi des techniques de masquage du substrat ne sera d'aucune utilité, et une diminution de la fréquence de résonance de l'inductance sera produite sans que les pertes soient minimisées.

▪ *Solution proposée*

Nous venons de voir que la minimisation de la résistance R_{si} du schéma électrique équivalent de la figure 20 peut parfois améliorer le facteur de qualité :

$$\lim_{R_{si} \rightarrow 0} (Q_e) = \lim_{R_{si} \rightarrow 0} \left(\frac{1}{R_{si} (C_{ox} \omega)^2} + R_{si} \right) = \infty \quad (20)$$

Cependant, cette voie conduit à une forte diminution de la fréquence de résonance des inductances ainsi traitées et va par conséquent limiter la valeur maximale que l'on peut

obtenir pour une fréquence de travail donnée. Une autre idée consiste à maximiser la valeur de l'élément R_{si} , puisque si l'on reprend l'expression précédente, nous obtenons ainsi :

$$\lim_{R_{si} \rightarrow \infty} (Q_e) = \infty \quad (21)$$

Cette nouvelle expression montre qu'un substrat isolant aboutit à un facteur de qualité électrique infini, ce qui est évidemment prévisible. C'est la voie que nous avons choisie de suivre.

Sachant qu'il n'est pas possible de disposer directement du substrat P⁻ sous l'inductance pour des raisons de planéité de la surface de la puce, il est alors nécessaire de choisir entre la couche N (Népi) déposée par épitaxie au début du processus de fabrication ou garder le caisson de type P (Pwell) qui est fabriqué par implantation après la couche "Népi", mais qui constitue la configuration par défaut du substrat silicium. Nous avons réalisé deux inductances afin d'évaluer les différences apportées par chaque couche. Les résultats sont représentés sur la figure 23.

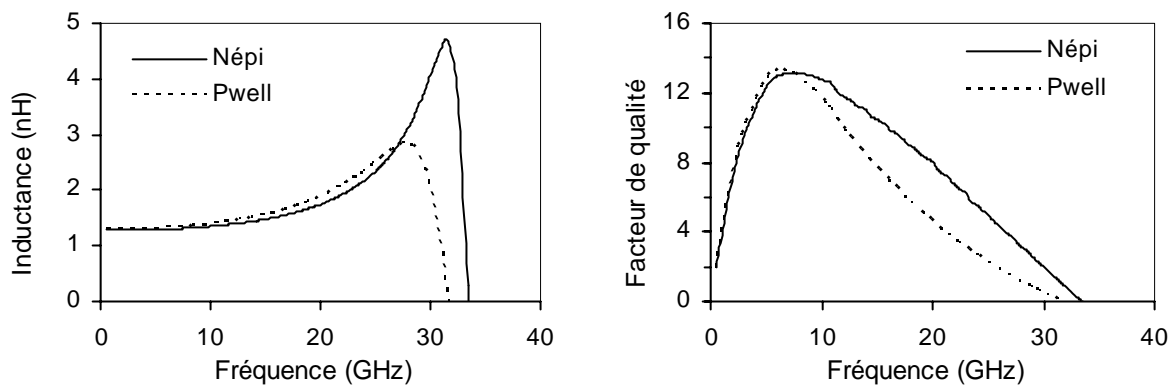


Figure 23: Caractéristiques des inductances testées sur la base des configurations de substrat suivantes : (a) couche Pwell, (b) couche N épitaxiale flottante.

Sur cet exemple, nous voyons que l'inductance basée sur la couche "Népi" permet de maximiser le facteur de qualité. Ceci s'explique par la résistivité de cette dernière couche ($0,5 \Omega \cdot \text{cm}$), supérieure à celle du caisson "Pwell" ($0,2 \Omega \cdot \text{cm}$). La plus faible résistivité de la couche "Pwell" ne perturbe pas la pénétration du champ magnétique de l'inductance dans le substrat puisque les valeurs obtenues pour les deux motifs sont rigoureusement identiques jusqu'à 10 GHz. Par contre, au-delà de cette fréquence, la forme plus écrasée du facteur de qualité dans le cas de l'inductance "Pwell" est caractéristique de pertes diélectriques plus élevées que pour l'inductance "Népi".

▪ *Evaluation expérimentale*

Afin d'évaluer les méthodes de masquage du substrat pour la technologie SiGe à notre disposition, nous avons réalisé trois inductances de dimensions identiques, mais basées sur diverses configurations du substrat :

- Inductance isolée du substrat par une couche superficielle épitaxiale de type N (couche "Népi"), notée A
- Inductance pourvue d'un anneau connecté au substrat et à la masse, notée B
- Inductance dotée du plan conducteur adéquat et de l'anneau, tous deux connectés au substrat et à la masse, notée C.

Les valeurs des inductances et des coefficients de qualité déduits de la mesure sont représentées sur la figure 24 en fonction de la fréquence. Les éléments R_{siP} et C_{oxP} ont aussi été extraits et font l'objet de la figure 25. Une première remarque concerne les facteurs de qualité. Les coefficients déterminés avec la définition classiquement employée (Q_4 , relation (5)) aboutissent à une interprétation erronée des performances obtenues. Cette définition montre ici ses limites et seule la définition exprimée par la relation (2) permet d'observer l'intérêt du masquage du substrat par la méthode du "pattern shield"³.

La présence de l'anneau métallique bloque l'extension de leur champ magnétique, entraînant une légère diminution des valeurs obtenues qui passent de 1,3 nH pour l'inductance A à 1,24 nH et 1,22 nH pour les éléments B et C respectivement, à 2,5 GHz. De plus, quelque soit la fréquence, le facteur de qualité de l'inductance B est quasiment toujours inférieur à celui de l'inductance A malgré l'amélioration du facteur de qualité Q_{si} observée sur la figure 25. Ceci s'explique facilement puisque cette amélioration résulte de l'augmentation de la valeur de la capacité C_{oxP} qui augmente le couplage de l'inductance avec le substrat et donc les pertes liées au champ électrique. La valeur de R_{siP} n'est pratiquement pas modifiée par rapport à l'inductance A, alors qu'il s'agit précisément du paramètre à optimiser pour accroître le facteur de qualité global d'une inductance, comme le suggère l'équation (14).

La mise en place du "pattern shield" sous l'inductance C permet d'améliorer sensiblement le facteur de qualité Q_{si} , en raison de l'augmentation de la résistance R_{siP} mais aussi de la capacité totale parallèle C_{oxP} . L'amélioration sur le facteur de qualité total de l'inductance

³ La définition classique restera cependant la définition que nous emploierons sauf mention contraire. En effet, cette définition conduit à un calcul très rapide du coefficient de qualité, ce qui est loin d'être le cas avec la définition (3). Cette dernière nécessite plusieurs minutes de calcul par élément et est très sensible au bruit de mesure.

s'effectue à travers celle de la composante Q_e et est donc due à la minimisation des pertes électriques dans le substrat (augmentation de R_{siP}) mais aussi à l'accroissement de l'énergie stockée sous forme électrique (augmentation de C_{oxP}). En outre, le plan métallique découpé placé sous l'inductance réduit fortement la fréquence de résonance de l'inductance, ce qui confirme le résultat prévu par l'équation (19).

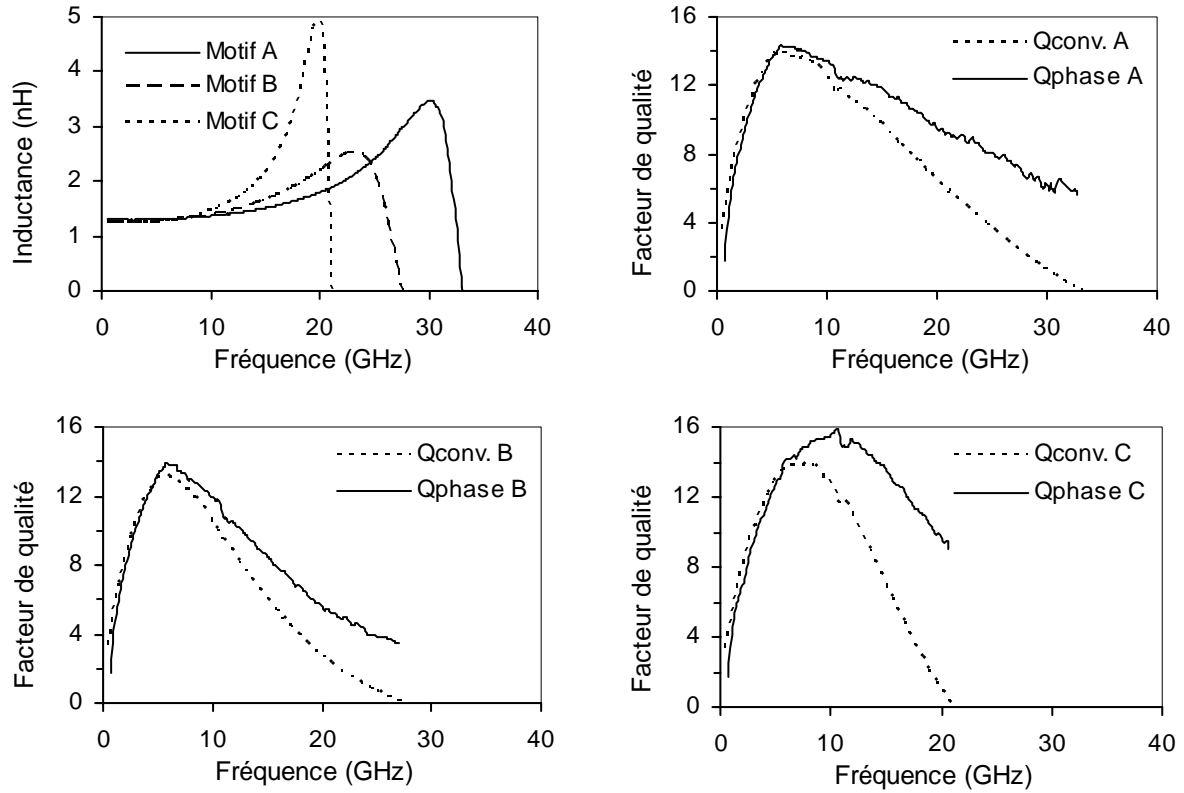


Figure 24: Facteurs de qualité des trois inductances testées. Le facteur de qualité conventionnel Q_{conv} utilise la définition (5) et le facteur Q_{phase} provient de la définition (3).

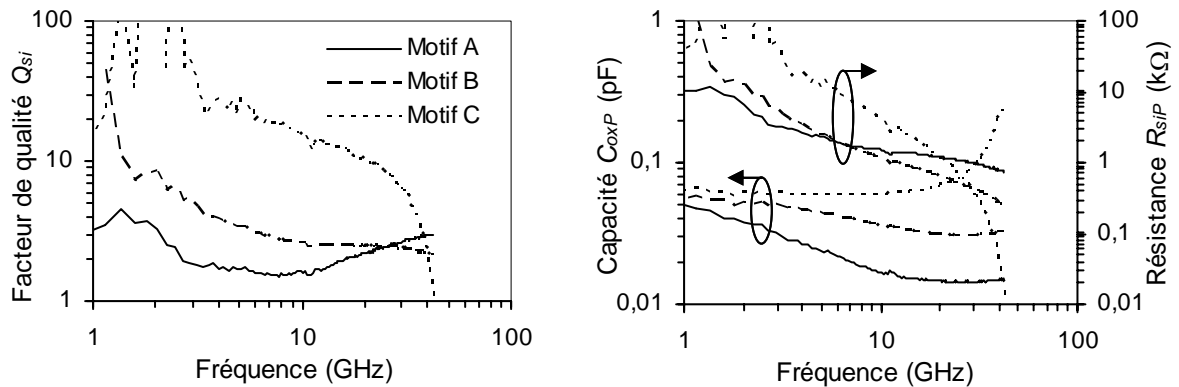


Figure 25: Valeurs extraites des éléments Q_{si} , R_{siP} et C_{oxP} pour les trois inductances.

En conclusion, la mise en place d'un seul anneau métallique autour de l'inductance n'apporte aucune amélioration des performances. Si dans un second temps, nous comparons les éléments A et C, nous constatons que le facteur de qualité optimal passe de 14 à 16 en faveur de l'inductance C, pour une dégradation de plus de 10 GHz sur la fréquence de résonance de l'inductance qui passe de 34 GHz à 21 GHz. Nous voyons donc que l'intégration d'un plan de masquage du type "pattern shield" ne pourra pas être envisageable et que seule la technique visant à rendre le substrat plus isolant par l'intermédiaire d'une couche de type "Népi" conviendra.

4.5 Elaboration d'une bibliothèque d'inductances intégrées destinée aux applications millimétriques

4.5.1 Problèmes posés par les mesures

La mesure d'inductances de faibles valeurs (< 1 nH) est relativement difficile. Elle devient d'autant plus critique que la valeur de l'inductance à mesurer est faible. Cette difficulté provient des parasites non négligeables ramenés par le contact des pointes de mesures sur les plots d'aluminium du motif à tester. A titre d'exemple, nous présentons sur la figure 26 les écarts observables sur le facteur de qualité d'une inductance de 0,75 nH obtenu après épluchage des plots, pour différentes mesures du même plot. Ces écarts sont la conséquence de contacts plus ou moins inductifs ($20 \text{ pH} < \text{self parasite} < 40 \text{ pH}$), mais aussi du positionnement de la pointe sur le plot. Ainsi, il est absolument nécessaire d'accorder la plus grande attention aux deux points précédents afin de s'assurer de la bonne reproductibilité des mesures. Ce contrôle est d'autant plus important que le contact sur des plots en aluminium est le plus souvent difficile à garantir [36].

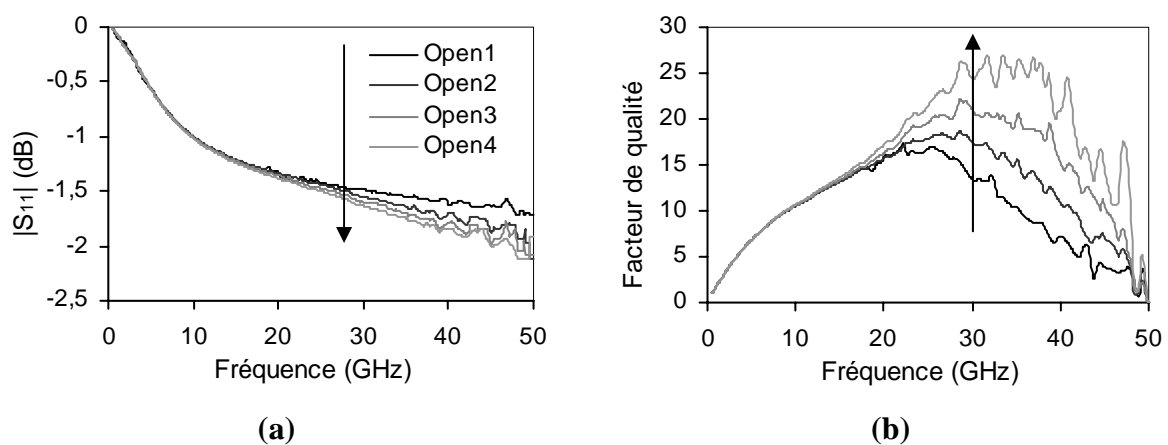


Figure 26: Incidence de la qualité de la mesure sur les performances extraites d'une inductance de 0,75 nH.(a) module du S_{11} du plot; (b) facteur de qualité correspondant.

Par ailleurs, l'épluchage de la seule capacité du plot n'est pas suffisant pour définir précisément la position des plans de référence entre lesquels se trouvent l'élément inductif à mesurer, ce qui entraîne de fortes imprécisions quant aux valeurs prises par le facteur de qualité extrait. Pour pallier à cet inconvénient, nous proposons l'emploi d'un motif de test constitué d'une courte longueur de ligne d'accès à l'inductance testée. De cette manière, à l'aide d'un motif "thru", nous pouvons extraire la capacité du plot mais aussi les éléments série provenant du contact de la pointe RF sur le plot, ainsi que les caractéristiques du tronçon de ligne situé entre les plots et le plan de référence. La méthode est décrite dans l'annexe 1 et a été employée pour l'extraction des caractéristiques électriques de toutes les inductances décrites par la suite.

4.5.2 Description de la bibliothèque d'inductances

Une étude de sensibilité des différents paramètres d'une inductance – diamètre, largeur de ruban et écartement inter spire – sur sa valeur, son coefficient de qualité ainsi que sa fréquence de résonance, a été menée au cours d'une précédente thèse [37]. Nous avons repris ces résultats pour le dimensionnement de nos éléments. Ces derniers sont fabriqués à partir de deux gabarits différents présentés sur la figure 27.

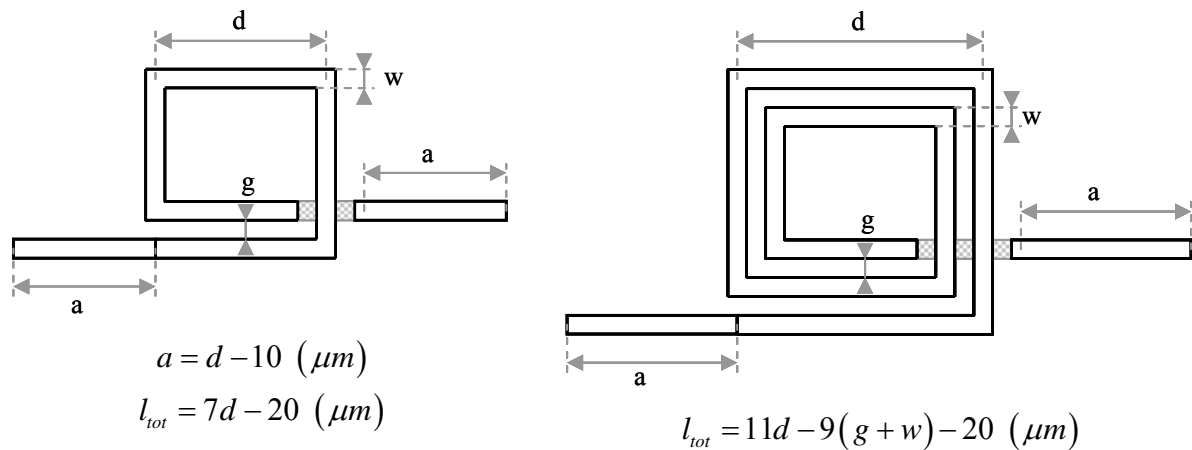


Figure 27: Gabarits des inductances 1,25 tours et 2,25 tours. Expression de la longueur totale l_{tot} en fonction des dimensions de l'inductance

La variation de la valeur de l'inductance est obtenue en choisissant d'abord le nombre de tours puis le diamètre d . La largeur du ruban métallique w ainsi que l'écartement inter spires g ont tous deux été choisis constants et égaux à 5 μm pour toutes les inductances. En procédant de cette façon, la fréquence pour laquelle les performances de l'inductance sont optimales dépend de sa valeur, mais la construction de la bibliothèque est grandement simplifiée.

Les valeurs disponibles s'étalent de 0,24 nH à 1,1 nH à 20 GHz (cf. figure 28). Pour valider les simulations électromagnétiques réalisées à l'aide du simulateur 2,5D Sonnet, plusieurs motifs de test ont été réalisés et mesurés. Les résultats sont présentés sur la figure 29.

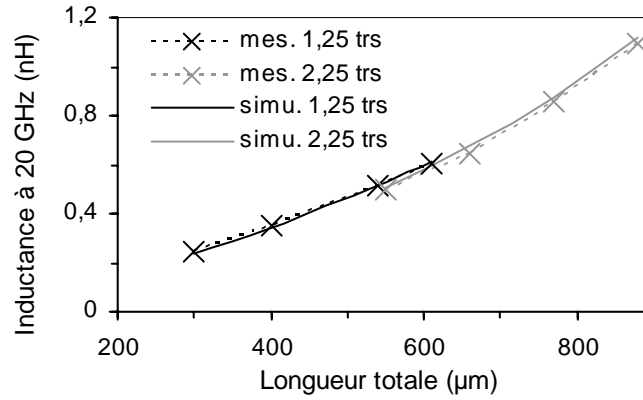


Figure 28: Valeurs des inductances à 20 GHz en fonction de la longueur totale l_{tot} et du nombre de tour.

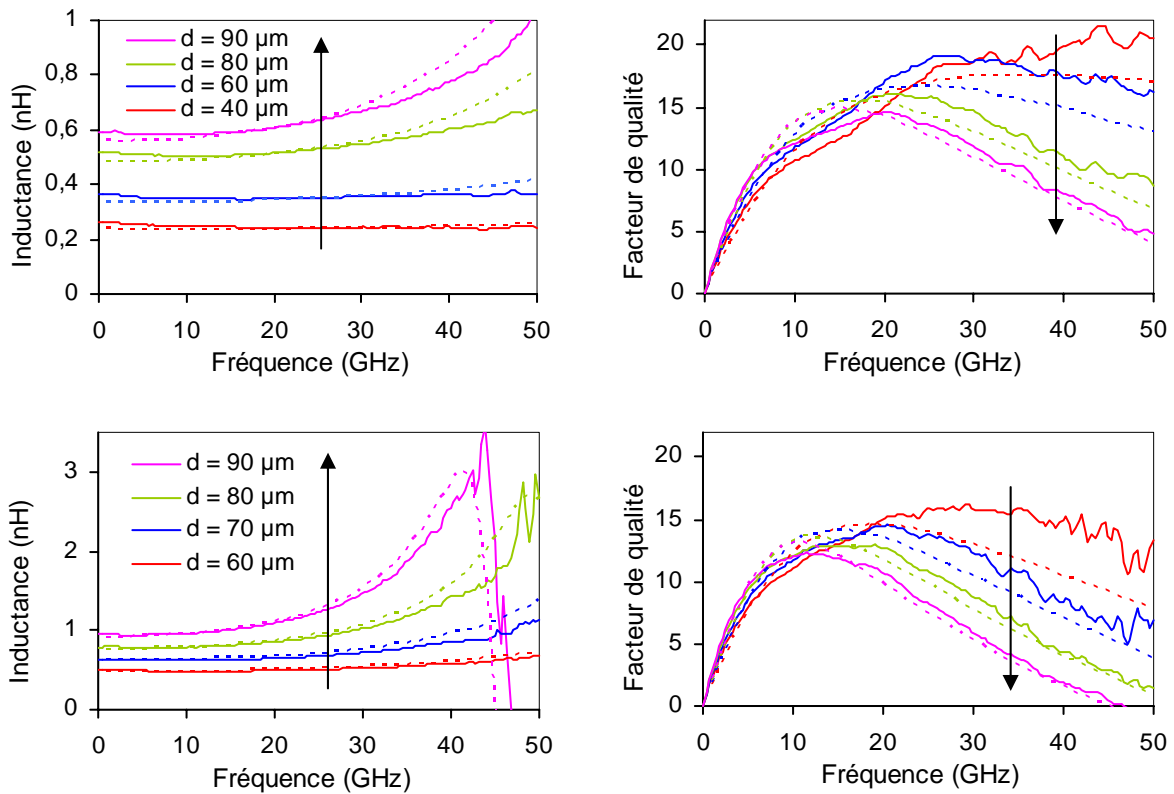


Figure 29: Performances mesurées (—) et simulées (---) des inductances 1,25 et 2,25 tours.

Comme il peut être relevé sur ces deux figures, l'accord simulation/mesures est relativement bon. Les différences observées sur les valeurs des fréquences de résonance ainsi que sur celles des facteurs de qualité s'expliquent en grande partie par les simplifications

réalisées au niveau du dessin de la couche de passivation qui remplit complètement l'espace entre deux spires dans le cas des simulations EM. Cette couche diélectrique augmente en effet la valeur de la permittivité ϵ_{eff} et donc la valeur de la capacité inter spire. Ceci a pour conséquence un déplacement des fréquences de résonance ainsi que des optimums du facteur de qualité vers des fréquences plus basses.

Nous avons aussi tenté de réaliser des simulations électromagnétiques à l'aide du simulateur électromagnétique 3D HFSS. Les problèmes au niveau de la prise en compte de l'effet de peau évoqués lors de l'étude des lignes (cf. §3.1.1) se sont alors posés. Le facteur de qualité obtenu était toujours largement surestimé, notamment aux basses fréquences où la résistance des métallisations tend quasiment vers zéro. En maillant l'intérieur des rubans métalliques, les résultats étaient bien plus physiques. Cependant, ce type de simulation ne nous a jamais donné satisfaction et les limites de nos moyens informatiques étaient atteintes avant que le résultat des simulations ne convergent de manière satisfaisante.

4.5.3 Mise en place d'un plan de masse autour des inductances

Des problèmes sont apparus au moment de l'intégration des circuits décrits dans les prochains chapitres. Pour utiliser les inductances dans les mêmes conditions que lorsque qu'elles ont été caractérisées, il aurait fallu tenir toute métallisation à l'écart de l'inductance sur une distance d'au moins 100 μm . En effet, tout couplage avec d'éventuels rubans placés à proximité aurait manifestement modifié les caractéristiques finales de l'élément. Nous avons donc décidé de positionner le plan de masse autour des inductances à une distance fixée une fois pour toute afin de limiter l'extension du champ magnétique et éviter tout couplage avec les conducteurs voisins. Cette approche se démarque de la technique évoquée lors du paragraphe 4.4.2. Ici, le plan de masse rapproché de l'inductance n'est pas directement relié au substrat et l'objectif n'est pas de diminuer les pertes électriques dans le substrat. La distance d_{gnd} séparant l'inductance du plan de masse doit être choisie de façon à obtenir le meilleur compromis entre l'encombrement total de la nouvelle inductance et la dégradation de ses performances liée à la proximité de ce plan métallique. Pour cela nous avons réalisé des simulations électromagnétiques pour évaluer l'impact de ce plan de masse sur les performances d'une inductance de 0,55 nH.

D'après les courbes de la figure 30, nous constatons naturellement que la valeur de l'inductance diminue avec le rapprochement du plan de masse, en raison de l'augmentation des courants de Foucault sur les extrémités de ce dernier. La modification du facteur de qualité se

traduit principalement par une diminution de la pente " $L\omega/R$ " obtenue à basse fréquence quand la distance d_{gnd} diminue, en raison du courant image créé par le champ magnétique. Il est difficile d'émettre une règle quantitative quant à l'impact du plan de masse sur le facteur de qualité qui dépend avant tout de la position de la fréquence d'intérêt par rapport à la fréquence où le facteur de qualité est optimal. Les conséquences sur ce point seront donc différentes pour chaque valeur d'inductance.

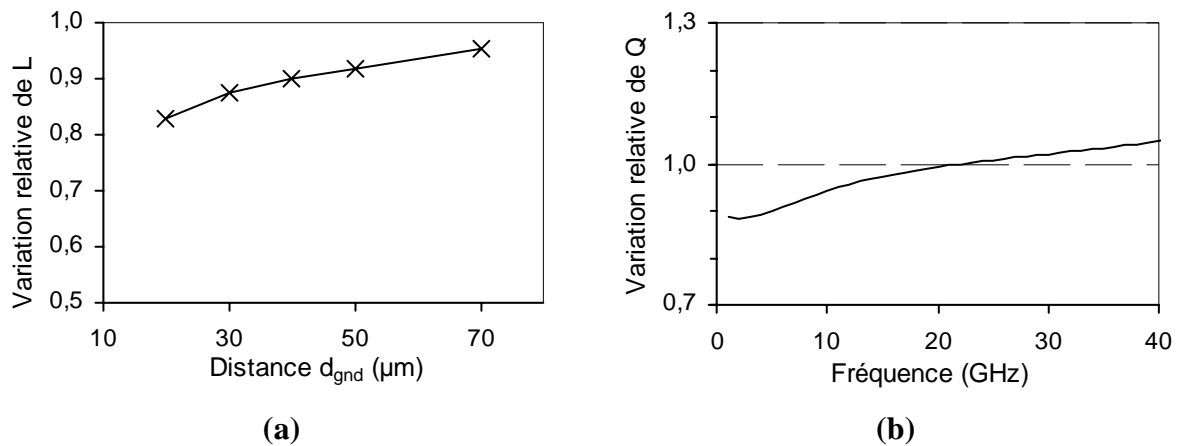


Figure 30: Influence d'un plan de masse sur les paramètres électriques d'une inductance de 0,55 nH. (a) variation relative d'inductance en fonction de d_{gnd} à 20 GHz; (b) variation relative du facteur de qualité en fonction de la fréquence, dans le cas où $d_{gnd} = 30 \mu m$.

Par la suite, nous avons choisi d'utiliser une distance de 30 μm qui représente un compromis acceptable entre la diminution des performances et l'encombrement total de l'inductance à l'intérieur des limites du plan de masse. Dans le cas de l'inductance de 0,55 nH testée ci-dessus, la valeur finale est établie à 88 % de la valeur originale de l'inductance alors que le facteur de qualité n'est pratiquement pas modifié à 20 GHz.

4.5.4 Améliorations possibles

Pour la configuration que nous avons choisie, et pour les inductances de faibles valeurs, les fréquences de résonance sont très élevées et n'ont pas pu être mesurées. La valeur du facteur de qualité peut ainsi être améliorée dans la gamme 20-40 GHz, en sacrifiant celle de la fréquence de résonance. En effet, il est possible d'augmenter la largeur du ruban pour diminuer la résistance linéique du conducteur et de diminuer l'espacement (en faisant cependant attention à l'effet de proximité) pour augmenter l'induction mutuelle positive. De même, le pont réalisé sous l'inductance pour la prise de contact intérieure peut aussi faire l'objet d'une plus forte attention. Sur l'inductance la plus petite que nous avons mesurée, la résistance statique de la métallisation inférieure vaut 0,22 Ω pour une valeur de résistance

totale pour l'inductance de $0,82 \Omega$. Cette valeur peut être améliorée en empilant plusieurs niveaux de métallisation par exemple. La configuration du substrat peut aussi probablement être encore améliorée afin de mieux satisfaire la relation (21) en favorisant la formation de zones dépeuplées plus importantes sous l'inductance.

5. CONCLUSION

Dans ce chapitre, nous avons évalué les potentialités de la filière BiCMOS quant aux performances des éléments passifs aux fréquences millimétriques.

Une étude comparative sur les trois types de lignes intégrables sur silicium a été menée. Les lignes différentielles à rubans coplanaires présentent des performances et un encombrement défavorables par rapport à leurs concurrentes de types microruban et guide coplaire. Cette étude nous permet cependant de conclure sur l'intérêt des interconnexions coplanaires, notamment pour la réalisation de lignes à faibles pertes avec des encombrements réduits. De plus, ces lignes exploitent exclusivement le niveau de métallisation le plus élevé, ce qui permet de réaliser des plans de masse de très bonne qualité. Ainsi, les contre-réactions parasites, souvent difficiles à prévoir et fastidieuses à prendre en compte par simulation EM, sont fortement limitées lors de la conception de circuits actifs.

Une bibliothèque d'inductances de faibles valeurs a été construite, basée sur l'étude de tous les types de pertes pouvant limiter leurs performances. Leurs performances ont été optimisées et des voies restent cependant envisageables pour améliorer encore leur facteur de qualité. Nous pouvons ainsi conclure qu'elles ne constitueront pas un facteur limitatif lors de la conception de circuits monolithiques dans la gamme des fréquences millimétriques.

CHAPITRE II :

**TOPOLOGIES DE PAIRES DIFFÉRENTIELLES
EXPLOITABLES AUX FRÉQUENCES MILLIMÉTRIQUES**

1. INTRODUCTION

Les topologies de circuits équilibrées sont largement utilisées pour la conception des différentes fonctions de la section radiofréquence des systèmes de télécommunication. Celles-ci exploitent généralement des amplificateurs différentiels et possèdent des propriétés remarquables telles qu'une forte immunité aux sources de bruit électrique de mode commun, aux interférences électromagnétiques ("EMI") ou leur propriété à rejeter les harmoniques pairs, et ce malgré leur consommation et leur encombrement multipliés par deux par rapport à un système classique.

Les amplificateurs différentiels conçus pour les basses fréquences sont inadaptés dans la gamme de fréquences micro-ondes. Même si leurs performances restent correctes dans la bande radiofréquence basse (< 5 GHz), celles-ci se dégradent très rapidement avec l'augmentation de la fréquence et deviennent inexploitable au-delà de 10 GHz.

Avant d'expliquer les origines de cette dégradation des performances petit signal d'une paire différentielle, nous allons effectuer quelques rappels théoriques sur les formalismes adaptés à l'étude des circuits à quatre accès présentant des symétries électriques et même géométriques. Ces formalismes permettent de simplifier le problème en décomposant le circuit complet en deux quadripôles distincts résultant chacun d'une excitation des deux entrées en phase ou en anti-phase. Le concept des excitations de mode pair/impair ainsi que les modes commun/différentiel seront introduits, en explicitant les différences entre ces deux notations.

Nous exploiterons enfin une technique basée sur des travaux antérieurs [38] pour améliorer de manière conséquente les performances des amplificateurs différentiels dans la gamme de fréquences micro-ondes. Une fois appliquée aux différentes configurations possibles du transistor, nous présenterons la conception de topologies d'amplificateurs différentiels très simples et remarquablement performantes.

2. RAPPELS THÉORIQUES

2.1 Modes pair/impair et modes commun/différentiel

Un amplificateur différentiel peut être considéré comme un coupleur actif linéaire qui possède une symétrie électrique. Avant d'exploiter cette symétrie (cf. §2.2), nous allons ici

traiter du cas général d'un coupleur quelconque et introduire les notions d'excitations de modes pair et impair, puis de modes commun et différentiel.

Un coupleur est un octopôle qui possède deux entrées et deux sorties, comme l'illustre le schéma de la figure 31. Le fonctionnement petit signal d'un tel circuit est modélisé par une matrice 4×4 de paramètres de dispersion (ou paramètres S) liant les deux sorties aux deux entrées.

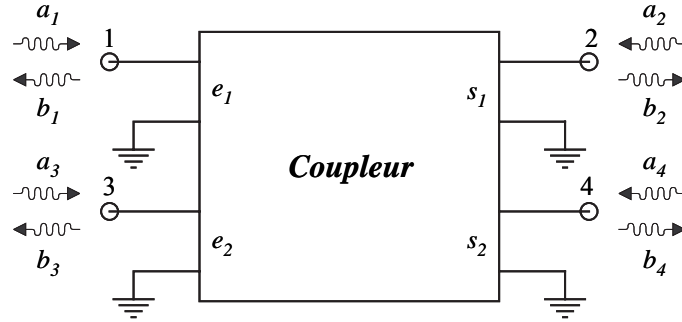


Figure 31: Représentation schématique d'un coupleur

Deux autres représentations ont été introduites et sont basées sur une décomposition des ondes sur chaque accès en différents modes. La première représentation de ce type est issue des micro-ondes et a été tout d'abord utilisée pour l'étude des lignes couplées en vue de concevoir des coupleurs passifs. A l'aide de cette représentation, les ondes d'excitations présentes sur chaque accès sont décomposées en ondes de mode pair et de mode impair. La seconde représentation est issue des "basses fréquences" et étend le concept de mode commun et de mode différentiel à la gamme des fréquences micro-ondes.

Globalement, ces deux représentations sont équivalentes. Leur différence provient de la définition des tensions et courants relatifs à chaque mode présents aux accès de l'octopôle. Ces définitions, pour chaque représentation, sont données ci-dessous.

$$\begin{aligned}
 &\text{Représentation par les modes} \\
 &\text{pair } \{v_p, i_p\} \text{ et impair } \{v_i, i_i\} \text{ [39] :} \\
 &\text{Mode pair : } \begin{cases} v_{p1(2)} = \frac{v_{1(2)} + v_{3(4)}}{2} \\ i_{p1(2)} = \frac{i_{1(2)} + i_{3(4)}}{2} \end{cases} \\
 &\text{mode impair : } \begin{cases} v_{i1(2)} = \frac{v_{1(2)} - v_{3(4)}}{2} \\ i_{i1(1)} = \frac{i_{1(2)} - i_{3(4)}}{2} \end{cases} \quad (22)
 \end{aligned}$$

$$\begin{aligned}
 &\text{Représentation par les modes} \\
 &\text{commun } \{v_c, i_c\} \text{ et différentiel } \{v_d, i_d\} \text{ [40] :} \\
 &\text{Mode commun : } \begin{cases} v_{c1(2)} = \frac{v_{1(2)} + v_{3(4)}}{2} \\ i_{c1(2)} = i_{1(2)} + i_{3(4)} \end{cases} \\
 &\text{Mode différentiel : } \begin{cases} v_{d1(2)} = v_{1(2)} - v_{3(4)} \\ i_{d1(2)} = \frac{i_{1(2)} - i_{3(4)}}{2} \end{cases} \quad (23)
 \end{aligned}$$

Dans ces expressions, les indices 1 et 2 affectés aux tensions et courants désignent respectivement l'entrée et la sortie du coupleur. Cette notation est schématisée par la représentation d'un coupleur sur la figure 32. Cette figure illustre de manière générale la façon dont les paramètres S d'un coupleur sont mesurés. Deux lignes couplées acheminent le signal depuis les sources jusqu'aux accès du coupleur. Ces lignes possèdent des impédances caractéristiques Z_i et Z_p pour les modes pairs et impairs.

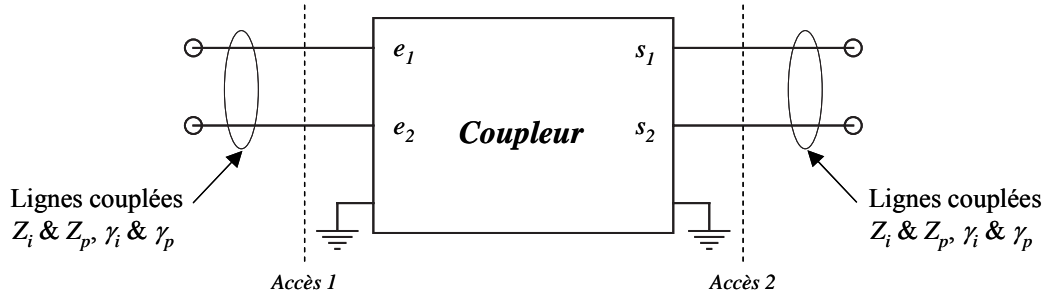


Figure 32: Mesure des paramètres S d'un coupleur

A partir des tensions et courants définis par l'expression (23), les impédances caractéristiques Z_{cm} pour le mode commun et Z_d pour le mode différentiel sont établies [40]. Ces impédances se définissent par rapport aux impédances caractéristiques des modes pairs et impairs des lignes d'accès de la façon suivante :

$$Z_{cm} = \frac{Z_p}{2} \text{ et } Z_d = 2Z_i \quad (24)$$

En choisissant $Z_i = Z_p = 50 \Omega$, ces deux lignes sont alors de simples lignes 50Ω distinctes, donc découplées, chacune étant connectée à une source réelle dont l'impédance interne est traditionnellement fixée à 50Ω . De cette façon, les impédances de normalisation Z_{cm} et Z_d sont fixées à 25Ω et 100Ω , respectivement. Dans ces conditions, les ondes normalisées de mode commun et de mode différentiel peuvent être aisément reconstituées à partir des ondes traditionnelles relevées entre les accès 1 et 2 (cf. figure 32) du coupleur étudié [40] :

$$\text{Mode commun : } \left\{ \begin{array}{l} a_{c1(2)} = \frac{a_{1(2)} + a_{3(4)}}{\sqrt{2}} \\ b_{c1(2)} = \frac{b_{1(2)} + b_{3(4)}}{\sqrt{2}} \end{array} \right. \quad \left| \quad \text{Mode différentiel : } \left\{ \begin{array}{l} a_{d1(2)} = \frac{a_{1(2)} - a_{3(4)}}{\sqrt{2}} \\ b_{d1(2)} = \frac{b_{1(2)} - b_{3(4)}}{\sqrt{2}} \end{array} \right. \quad (25)$$

Ces relations permettent d'établir une équivalence entre les paramètres S traditionnels, définis à partir des ondes entrantes et sortantes sur chaque accès du multipôle, et les paramètres résultant de la décomposition modale. Cette équivalence est très importante

puisque'elle permet de déterminer les paramètres S modaux d'une structure à partir de mesures réalisées à l'aide d'un analyseur de réseaux vectoriel sans recourir à l'emploi de transformateurs intégrés aux pointes de mesures pour générer les différents modes.

La matrice de passage M^{cd} est définie afin de convertir les ondes entrantes et sortantes classiques en ondes de mode commun et de mode différentiel.

$$\begin{cases} a^{cd} = M^{cd} \cdot a \\ b^{cd} = M^{cd} \cdot b \end{cases} \text{ avec } a^{cd} = \begin{bmatrix} a_{d1} \\ a_{d2} \\ a_{c1} \\ a_{c2} \end{bmatrix}, b^{cd} = \begin{bmatrix} b_{d1} \\ b_{d2} \\ b_{c1} \\ b_{c2} \end{bmatrix} \text{ et } M^{cd} = \frac{1}{\sqrt{2}} \begin{bmatrix} 1 & 0 & -1 & 0 \\ 0 & 1 & 0 & -1 \\ 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 \end{bmatrix} \quad (26)$$

Pour chaque représentation, on déduit finalement les relations matricielles liant la matrice 4×4 des paramètres S classiques aux ondes entrantes et sortantes modales :

$$b^{cd} = M^{cd} \cdot S \cdot (M^{cd})^{-1} \cdot a^{cd} \quad (27)$$

La matrice de paramètres S modale s'exprime de la façon suivante :

$$M^{cd} \cdot S \cdot (M^{cd})^{-1} = \frac{1}{2} \begin{bmatrix} S_{11} - S_{13} - S_{31} + S_{33} & S_{12} - S_{14} - S_{32} + S_{34} & S_{11} + S_{13} - S_{31} - S_{33} & S_{12} + S_{14} - S_{32} - S_{34} \\ S_{21} - S_{23} - S_{41} + S_{43} & S_{22} - S_{24} - S_{42} + S_{44} & S_{21} + S_{23} - S_{41} - S_{43} & S_{22} + S_{24} - S_{42} - S_{44} \\ S_{11} - S_{13} + S_{31} - S_{33} & S_{12} - S_{14} + S_{32} - S_{34} & S_{11} + S_{13} + S_{31} + S_{33} & S_{12} + S_{14} + S_{32} + S_{34} \\ S_{21} - S_{23} + S_{41} - S_{43} & S_{22} - S_{24} + S_{42} - S_{44} & S_{21} + S_{23} + S_{41} + S_{43} & S_{22} + S_{24} + S_{42} + S_{44} \end{bmatrix} \quad (28)$$

Cette matrice est découpée en quatre quadrants qui donnent chacun des renseignements bien précis sur les caractéristiques du coupleur étudié. Avec la représentation en mode commun/différentiel, ces quadrants se découpent de la façon suivante :

$$\begin{pmatrix} b_{d1} \\ b_{d2} \\ b_{c1} \\ b_{c2} \end{pmatrix} = \begin{bmatrix} \textcircled{1} & & & \\ & \textcircled{2} & & \\ & & \textcircled{3} & \\ & & & \textcircled{4} \end{bmatrix} \begin{bmatrix} Sdd_{11} & Sdd_{12} & Sdc_{11} & Sdc_{12} \\ Sdd_{21} & Sdd_{22} & Sdc_{21} & Sdc_{22} \\ Scd_{11} & Scd_{12} & Scc_{11} & Scc_{12} \\ Scd_{21} & Scd_{22} & Scc_{21} & Scc_{22} \end{bmatrix} \begin{pmatrix} a_{d1} \\ a_{d2} \\ a_{c1} \\ a_{c2} \end{pmatrix}$$

Figure 33: Découpage en quatre quadrant de la matrice de paramètres S résultant de la décomposition modale de type mode commun/différentiel.

Les paramètres S du cadran 1 illustrent la réponse différentielle de la structure étudiée à une excitation différentielle. De même, le cadran 4 exprime la réponse de mode commun à une excitation de mode commun. Les cadrans 2 et 3 fournissent les informations de

conversion entre les deux modes. Le cadran 2 décrit la réponse différentielle à une excitation de mode commun. Pour des circuits parfaitement équilibrés, comme c'est le cas de l'amplificateur différentiel, il n'y a pas de conversion de mode à mode, tous les termes de la matrice dans ce cadran sont nuls. Par contre, plus le circuit est asymétrique et plus ces termes augmentent. Le cadran 3 donne la réponse de mode commun à une excitation différentielle. De la même manière que pour le cadran 2, tous les termes sont nuls lorsque la structure est parfaitement équilibrée mais ils le sont de moins en moins lorsque le circuit devient asymétrique.

2.2 Application aux amplificateurs différentiels : taux de réjection de mode commun

2.2.1 Définition

Un amplificateur différentiel est un octopôle actif possédant un plan de symétrie du point de vue électrique mais aussi en général géométrique. Cette symétrie peut être mise à contribution pour simplifier l'étude de ce type de circuit.

En effet, en tenant compte de cette symétrie, la matrice de paramètres S relative aux modes commun et différentiel s'exprime de la façon suivante :

$$\begin{bmatrix} b_{d1} \\ b_{d2} \\ b_{c1} \\ b_{c2} \end{bmatrix} = \begin{bmatrix} S_{11} - S_{13} & S_{12} - S_{14} & 0 & 0 \\ S_{21} - S_{23} & S_{22} - S_{24} & 0 & 0 \\ 0 & 0 & S_{11} + S_{13} & S_{12} + S_{14} \\ 0 & 0 & S_{21} + S_{23} & S_{22} + S_{24} \end{bmatrix} \cdot \begin{bmatrix} a_{d1} \\ a_{d2} \\ a_{c1} \\ a_{c2} \end{bmatrix} \quad (29)$$

Cette relation matricielle montre qu'aucune conversion de mode à mode n'intervient dans un amplificateur différentiel parfaitement symétrique. Dans ces conditions, la relation (29) se décompose en deux relations portant respectivement sur le mode différentiel et sur le mode commun :

$$\begin{aligned} \begin{bmatrix} b_{d1} \\ b_{d2} \end{bmatrix} &= \begin{bmatrix} Sdd_{11} & Sdd_{12} \\ Sdd_{21} & Sdd_{22} \end{bmatrix} \cdot \begin{bmatrix} a_{d1} \\ a_{d2} \end{bmatrix} = \begin{bmatrix} S_{11} - S_{13} & S_{12} - S_{14} \\ S_{21} - S_{23} & S_{22} - S_{24} \end{bmatrix} \cdot \begin{bmatrix} a_{d1} \\ a_{d2} \end{bmatrix} \\ \begin{bmatrix} b_{c1} \\ b_{c2} \end{bmatrix} &= \begin{bmatrix} Scc_{11} & Scc_{12} \\ Scc_{21} & Scc_{22} \end{bmatrix} \cdot \begin{bmatrix} a_{c1} \\ a_{c2} \end{bmatrix} = \begin{bmatrix} S_{11} + S_{13} & S_{12} + S_{14} \\ S_{21} + S_{23} & S_{22} + S_{24} \end{bmatrix} \cdot \begin{bmatrix} a_{c1} \\ a_{c2} \end{bmatrix} \end{aligned} \quad (30)$$

Ainsi, en considérant la fermeture sur le plan de symétrie pour le mode commun par un mur magnétique, et pour le mode différentiel par un mur électrique, l'étude de l'amplificateur différentiel se limite à celle de deux quadripôles, présentés sur la figure 34. Le premier est établi à partir d'une excitation en mode commun, et le second à partir d'une excitation en mode différentiel.

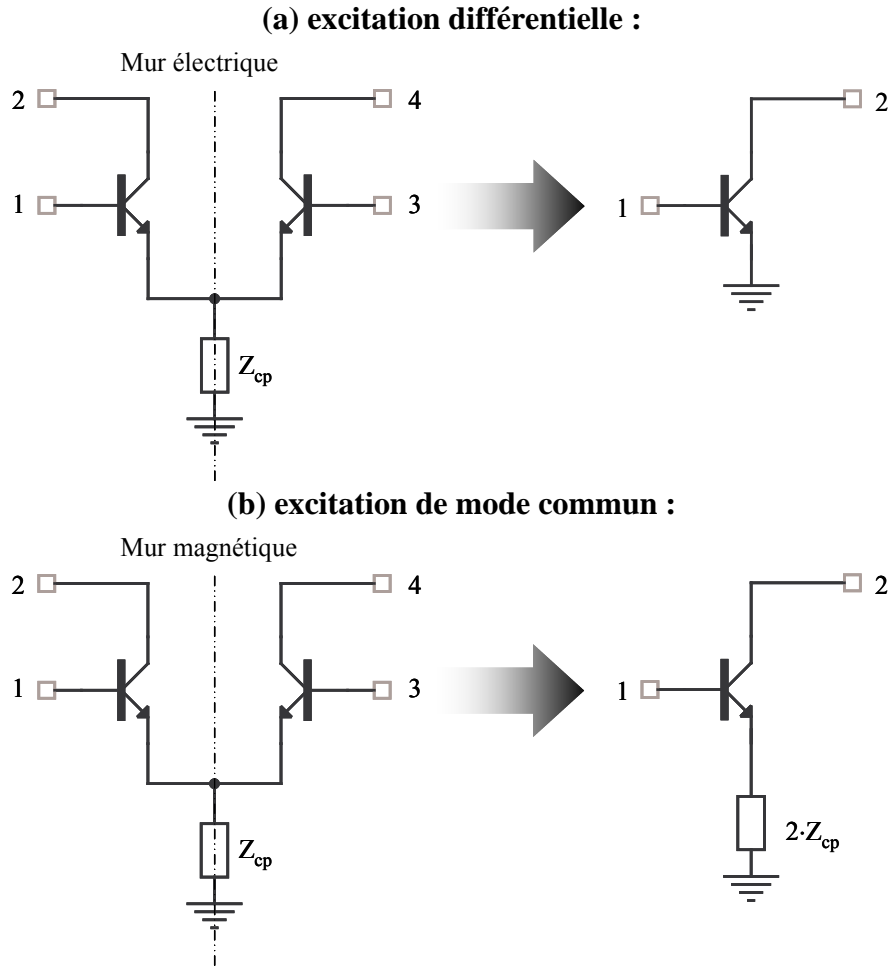


Figure 34: Transformation de l'amplificateur différentiel en deux circuits résultants des excitations de modes commun et différentiel.

Par ailleurs, un fonctionnement idéal est obtenu lorsque seuls les signaux différentiels sont amplifiés, ce qui n'est jamais le cas dans la pratique. On introduit alors le critère du taux de réjection de mode commun (TRMC) pour quantifier cette imperfection. Il est défini comme étant le module du rapport du gain de mode différentiel sur le gain de mode commun :

$$TRMC(dB) = 20 \cdot \log \left| \frac{S_{dd21}}{S_{cc21}} \right| = 20 \cdot \log \left| \frac{S_{21} - S_{23}}{S_{21} + S_{23}} \right| \quad (31)$$

Avec cette relation, plus le TRMC est grand, meilleure est l'idéalité de la structure dans le sens direct.

2.2.2 Equivalence du TRMC avec les écarts en phase et en gain

Le TRMC est défini à partir des gains de la structure pour chaque mode d'excitation selon l'expression (31). Si un signal différentiel pur est appliqué aux entrées de l'amplificateur différentiel, des signaux de même amplitude et présentant une différence de phase de 180° sont obtenus sur les deux sorties. Si en entrée est appliqué de plus un signal de mode

commun, l'imperfection éventuelle du circuit se manifeste de la façon suivante : une fraction du mode pair injecté se retrouve en sortie et se traduit par un écart de phase $\Delta\varphi$ autour des 180° idéaux accompagné d'une différence d'amplitude liée à un écart de gain ΔG entre les deux voies. Il est beaucoup plus habituel pour les concepteurs de circuits micro-ondes de n'exprimer que les écarts de gain et de phase existant entre les deux voies d'un coupleur, le TRMC étant plutôt une notion issue des basses fréquences.

Une relation existe cependant liant ces écarts $\Delta\varphi$ et ΔG au TRMC (cf. démonstration en annexe 2) :

$$TRMC(dB) = 10 \cdot \log \left(\frac{1 - \frac{2\alpha}{1+\alpha^2} \cdot \cos(\Delta\varphi)}{1 + \frac{2\alpha}{1+\alpha^2} \cdot \cos(\Delta\varphi)} \right) \text{ avec } \alpha = 1 + \frac{\Delta G}{G_1} \quad (32)$$

Dans cette expression, G_1 représente le gain de la voie choisie pour référence. La figure 35 donne les lieux de TRMC constant en fonction des écarts de phase $\Delta\varphi$ et de module α .

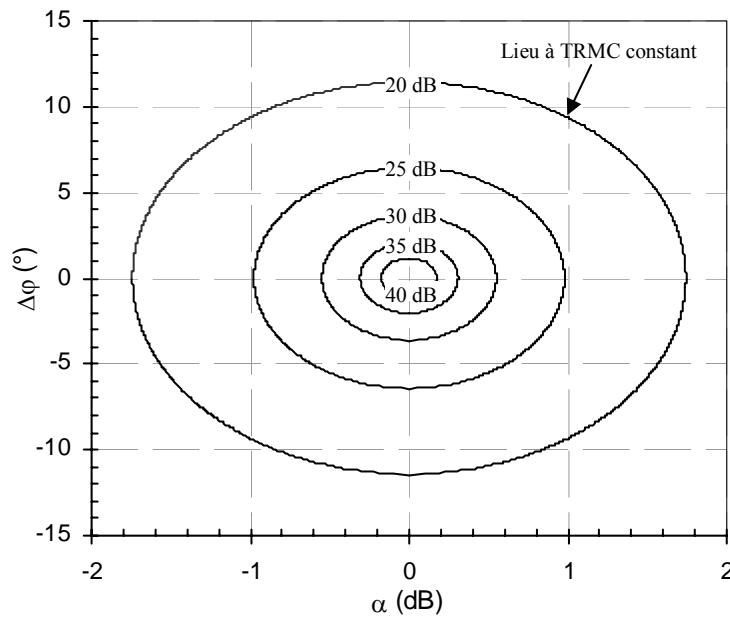


Figure 35: Lieux à TRMC constant en fonction des écarts de phase $\Delta\varphi$ et de module α .

3. FACTEURS LIMITATIFS DE LA PAIRE DIFFÉRENTIELLE CLASSIQUE

Aux basses fréquences ($f < 1$ MHz), le transistor peut être considéré comme unilatéral. Son schéma électrique équivalent petit signal peut alors se ramener à celui de la figure 36a, pour un transistor bipolaire. L'élément Z_{ce} , généralement capacitif, est placé sur le schéma afin de tenir compte de la conductance de sortie du transistor.

Dans cette même gamme de fréquences, l'amplificateur différentiel est essentiellement utilisé dans sa configuration "émetteur commun", souvent comme amplificateur d'entrée pour les amplificateurs opérationnels. Dans ces conditions, le couplage des émetteurs de la paire différentielle est réalisé à l'aide d'une source en courant sur les émetteurs (cf. figure 36b) dont la qualité est déterminante pour la valeur de la réjection de mode commun. A partir de ce schéma, le TRMC se calcule rapidement :

$$TRMC \approx \frac{\beta Z_{ce} [2\beta Z_d Z_{ce} + r_{be} (2Z_d + R_c + Z_{ce}) + 2Z_d R_c]}{r_{be} (Z_{ce} + R_c) (2Z_d - \beta Z_{ce})} \quad (33)$$

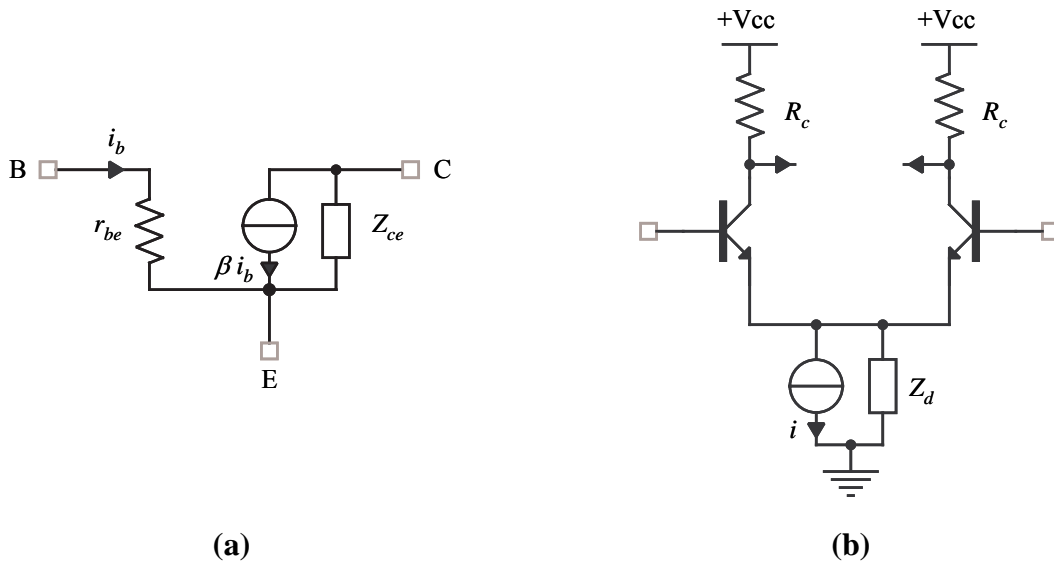


Figure 36: (a) modèle BF petit signal d'un transistor ; (b) amplificateur différentiel BF.

Si l'on considère l'impédance de sortie du transistor Z_{ce} de valeur importante, ainsi qu'un fort gain en courant β , l'expression ci-dessus se simplifie pour donner la relation bien connue :

$$TRMC_{|Z_{ce} \rightarrow \infty|} \approx \frac{2\beta Z_d}{r_{be}} \quad (34)$$

Cette relation montre la dépendance exclusive du TRMC à l'impédance interne de la source en courant, en dehors des paramètres du transistor. Elle est une bonne approximation aux basses fréquences. Cependant, lorsque la fréquence augmente, les capacités parasites du réseau de sortie du transistor vont diminuer la valeur de son impédance de sortie. A titre d'exemple, la figure 37 retrace l'évolution du module de l'impédance de sortie d'un des transistors du fondeur en fonction de la fréquence.

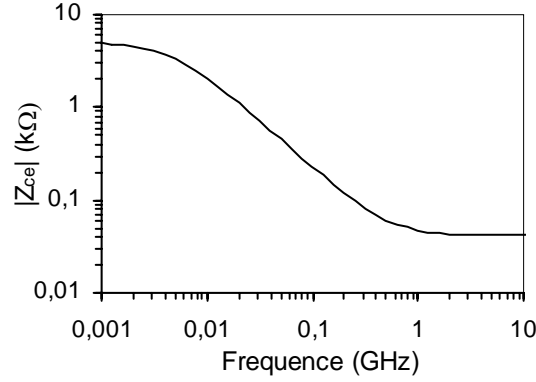


Figure 37: Module de l'impédance de sortie d'un TBH SiGe fourni par le fondeur.

Pour constater définitivement l'influence de l'impédance de sortie Z_{ce} du transistor sur l'idéalité de l'amplificateur différentiel, connectons une source en courant idéale ($Z_d \rightarrow \infty$). L'expression (33) se simplifie alors pour aboutir à la relation ci-dessous [41]:

$$TRMC_{|Z_d \rightarrow \infty|} \simeq \frac{\beta Z_{ce} [\beta Z_{ce} + r_{be} + R_c]}{r_{be} (Z_{ce} + R_c)} \quad (35)$$

Lorsque qu'une source en courant idéale est connectée sur la branche commune de la paire différentielle, le TRMC devient donc dépendant de la valeur de l'impédance de sortie du transistor Z_{ce} , qui dépend de la fréquence. Deux zones de fonctionnement distinctes existent alors, comme le suggère la figure 38.

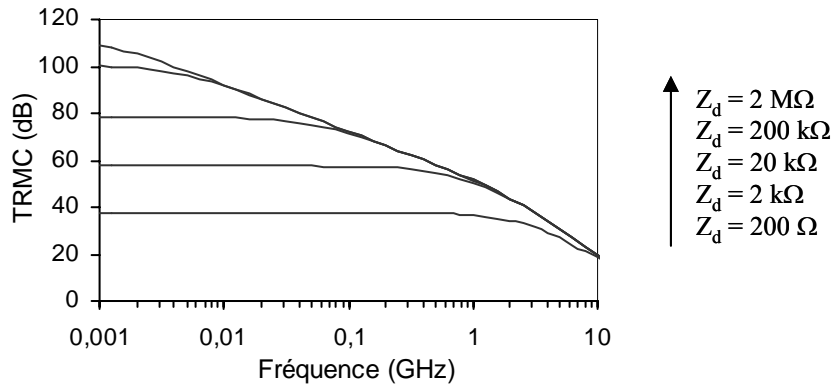


Figure 38: TRMC d'une paire différentielle en fonction de Z_d .

- $Z_d \ll Z_{ce}$: le TRMC dépend essentiellement de l'impédance dynamique de la source en courant et constitue le comportement "basse fréquence" de la paire différentielle. Une limite maximale existe cependant pour le TRMC puisque Z_{ce} possède une valeur finie.
- $Z_d \gg Z_{ce}$: le TRMC ne dépend que de l'impédance de sortie du transistor. Il s'agit du comportement généralement observé aux fréquences micro-ondes.

Au-delà de quelques GHz, la topologie "classique", qui réalise le couplage des émetteurs de la paire différentielle à l'aide d'une source de courant de forte impédance interne, n'est donc plus efficace en raison de la trop faible impédance de sortie du transistor Z_{ce} . Cette faible valeur de Z_{ce} empêche de plus la réalisation de sources en courant de bonne qualité.

Une autre architecture d'amplificateur différentiel doit être mise en œuvre.

4. CONCEPTION DE PAIRES DIFFÉRENTIELLES "HAUTES FRÉQUENCES"

4.1 Condition d'annulation du mode pair

Un TRMC optimal est obtenu en minimisant la transmission du mode commun de l'entrée vers la sortie de la paire différentielle. Aux basses fréquences cette opération est réalisée en plaçant une forte impédance dynamique entre les émetteurs et la masse. Aux fréquences micro-ondes, cette impédance optimale devra être optimisée. Dans le cas général, et en se référant au schéma de la figure 34, la condition d'annulation de la transmission du mode commun s'écrit de façon suivante :

$$b_{c2}|_{a_{c2}=0} = S_{cc21} \cdot a_{c1} \Rightarrow S_{cc21} = 0 \quad (36)$$

Si \mathbf{Z} est la matrice impédance du transistor (mode différentiel), toujours selon le schéma de la figure 34 et en considérant la mise en série de l'impédance de couplage dynamique Z_{cp} , alors la matrice impédance du circuit pour le mode commun \mathbf{Zc} s'exprime de la façon suivante [38]:

$$[\mathbf{Zc}] = [\mathbf{Z}] + 2Z_{cp} \cdot \begin{bmatrix} 1 & 1 \\ 1 & 1 \end{bmatrix} \quad (37)$$

La condition d'annulation de la transmission du mode commun exprimée à partir des matrices impédances permet de relier l'impédance de couplage Z_{cp} optimale de la paire différentielle aux paramètres du transistor [38], [41].

$$Z_{c21} = Z_{21} + 2Z_{cp} = 0 \quad (38)$$

Cette expression va nous permettre de déterminer les caractéristiques électriques de l'impédance à connecter entre le point commun de la paire différentielle et la masse, pour les différentes configurations possibles des transistors constituant l'amplificateur différentiel. Pour cela, il est nécessaire de créer un modèle petit signal simple pour le transistor bipolaire monté en émetteur commun, afin de déterminer de manière analytique l'expression de Z_{cp} pour

chaque configuration. Cette étude permet de fournir des informations sur la dépendance des impédances de couplage optimales en fonction des éléments physiques du transistor.

Notons que l'expression (38) est indépendante de la fréquence d'étude et peut être utilisée pour la détermination de l'impédance optimale aux basses fréquences (1 kHz par exemple). Simplement, cette impédance de couplage optimale tend vers une très forte impédance pour ces fréquences (source de courant idéale) [42].

4.2 Matrice impédance d'un TBH SiGe monté en émetteur commun

Pour notre étude, nous avons utilisé un transistor issu de la filière BiCMOS SiGe 0,25 μm de ST Microelectronics. Ce dernier possède deux doigts d'émetteur, trois doigts de base et deux doigts de collecteur, pour une longueur de 20 μm . Sa fréquence de transition est de 73 GHz et le transistor a été utilisé avec la polarisation suivante : $I_c = 6,5 \text{ mA}$ et $V_{ce} = 1,5 \text{ V}$.

Afin de développer des calculs analytiques facilement exploitables, nous avons adopté un modèle en T simplifié, ce dernier ayant de plus pour avantage de contenir des éléments ayant une signification physique plus claire que les paramètres d'un modèle en Π [43]. Le schéma utilisé, ainsi que les valeurs obtenues pour les différents éléments après optimisation, sont représentés sur la figure 39. Sur la figure 40, les paramètres S issus de ce modèle simplifié sont comparés jusqu'à 40 GHz à ceux que fournit le modèle de type SPICE du fondeur.

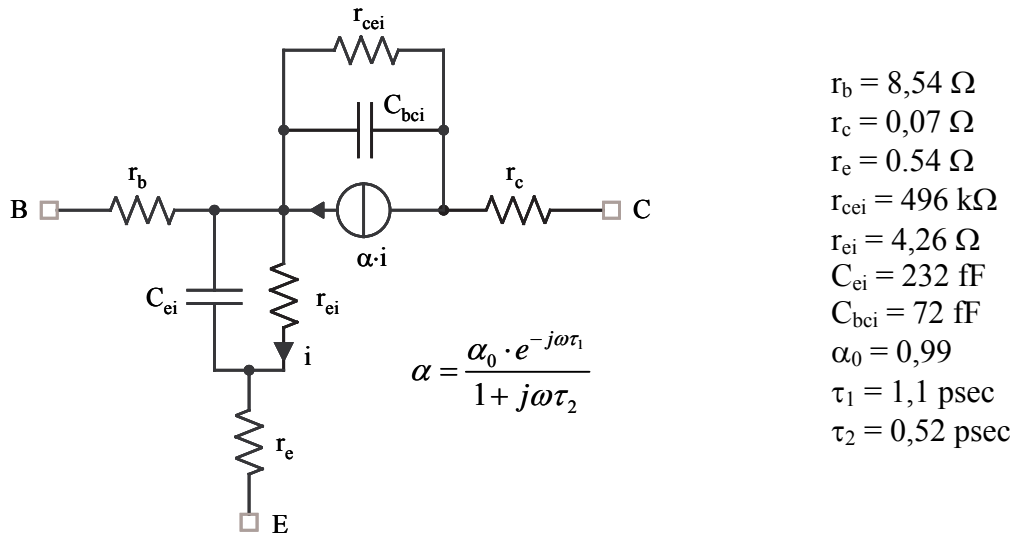


Figure 39: Modèle petit signal en T de TBH.

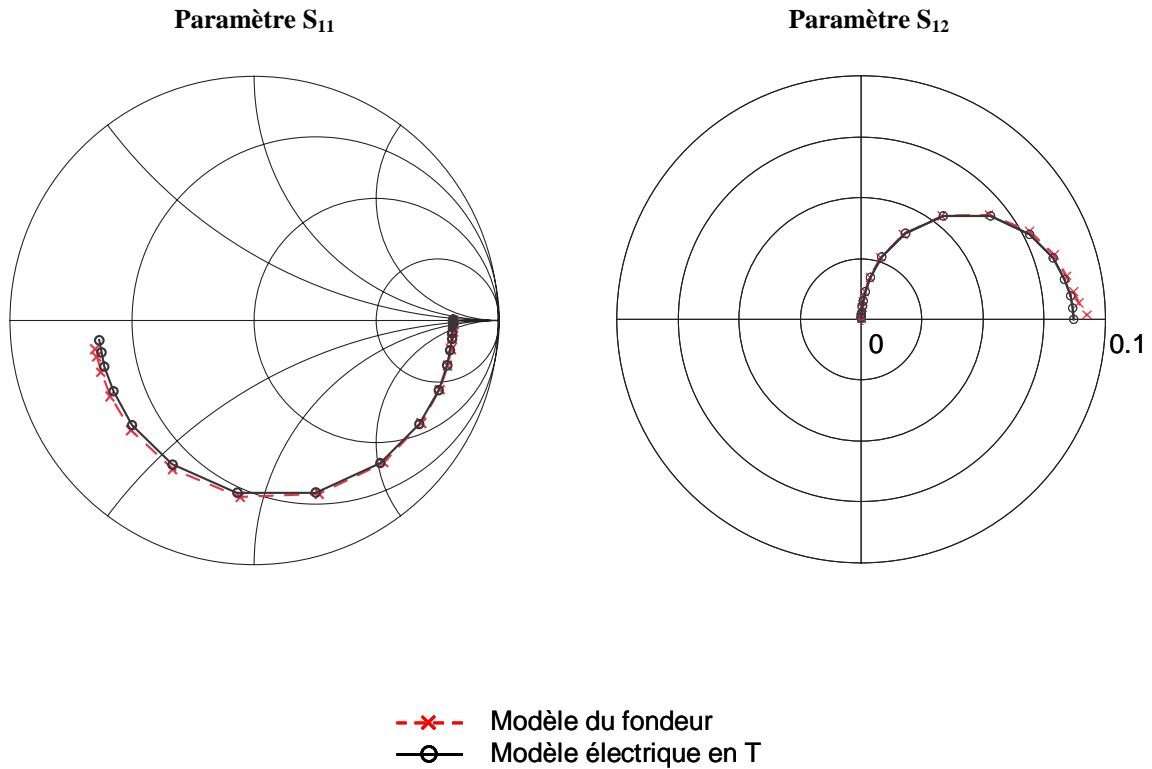
Nous avons constaté un très bon accord jusqu'à environ 30 GHz. Au-delà, les effets distribués dans le transistor prennent de l'importance, et notre modèle est de moins en moins précis. Nous avons également testé un modèle distribué avec succès [44] mais ce dernier

aboutissait à une matrice impédance trop complexe pour être exploitée de façon analytique. Par la suite, et notamment pour le calcul analytique des impédances optimales de couplage des paires différentielles exploitant le transistor dans ses diverses configurations, certaines approximations sont utilisées afin de conserver des équations simples :

- L'influence de la résistance r_{cei} est négligée puisqu'elle se trouve en partie court-circuitée par la faible impédance de l'élément C_{bci} aux fréquences micro-ondes.
- L'hypothèse $(r_c C_{bci} \omega)^2 \ll 1$ est largement justifiée sur toute la gamme de fréquences.
- L'expression du gain base commune α , dont l'expression est donnée sur la figure 39 a été simplifiée en effectuant un développement limité d'ordre 1 du terme exponentiel. Cela conduit à l'expression suivante de α :

$$\alpha \simeq \alpha_0 \left(\frac{1 - j \cdot \omega \tau_1}{1 + j \cdot \omega \tau_2} \right) \quad (39)$$

L'erreur ainsi commise reste cependant très faible dans notre gamme de fréquences considérée ($f < 40$ GHz).



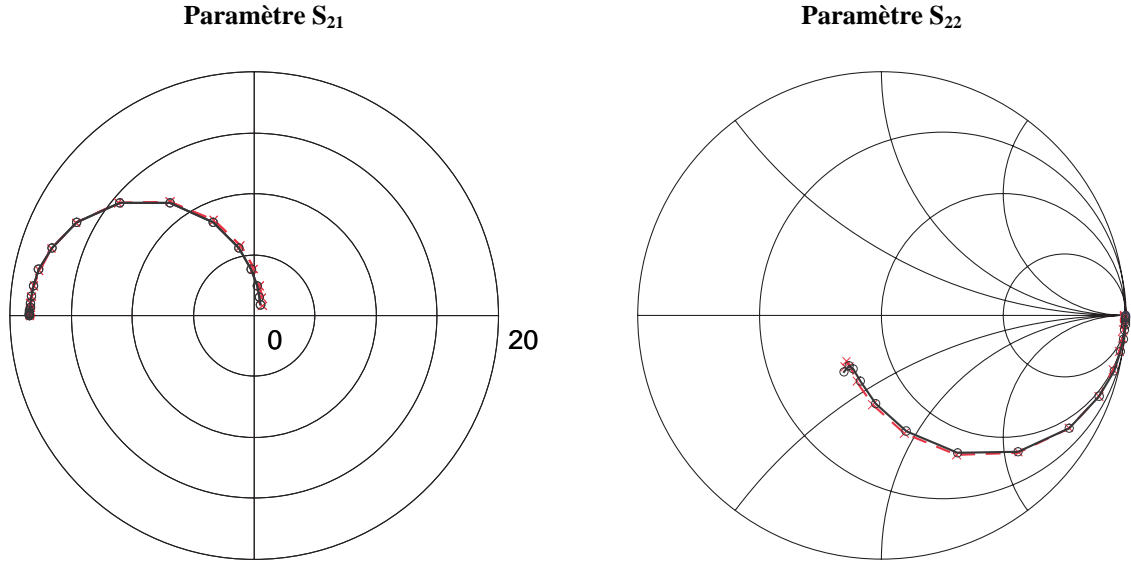


Figure 40: Comparaison entre le modèle du fondeur (x) et notre modèle en T (o).

Finalement, à partir du modèle en T décrit précédemment et en tenant compte des approximations citées, la matrice impédance du transistor s'écrit de la façon suivante :

$$Z_{11} = r_b + r_e + \frac{r_{ei}}{1 + j \cdot r_{ei} C_{ei} \omega} \quad (40)$$

$$Z_{12} = r_e + \frac{r_{ei}}{1 + j \cdot r_{ei} C_{ei} \omega} \quad (41)$$

$$Z_{22} = r_e + \frac{r_{ei}}{1 + j \cdot r_{ei} C_{ei} \omega} - \left(r_c - j \cdot \frac{1}{C_{bci} \omega} \right) \cdot \frac{\alpha}{(1 + j \cdot r_{ei} C_{ei} \omega) \cdot (1 + j \cdot r_c C_{bci} \omega)} \quad (42)$$

$$Z_{22} = r_e + \frac{r_{ei}}{1 + j \cdot r_{ei} C_{ei} \omega} - \left(r_c - j \cdot \frac{1}{C_{bci} \omega} \right) \cdot \left[\frac{\alpha}{(1 + j \cdot r_{ei} C_{ei} \omega) \cdot (1 + j \cdot r_c C_{bci} \omega)} - 1 \right] \quad (43)$$

Sur la base de ces expressions, nous allons être en mesure maintenant de déterminer analytiquement l'impédance optimale de couplage à connecter entre le point commun de la paire différentielle et la masse, pour les diverses configurations possibles des transistors. Ce travail fait l'objet des paragraphes suivants.

4.3 Application aux trois configurations possibles pour les transistors

4.3.1 Détermination de l'impédance de couplage optimale

Avec les technologies silicium, et contrairement au GaAs, les éléments actifs ne sont pas entièrement isolés par le substrat. Ce défaut, inévitable en raison de la nature conductrice du Silicium, doit être modélisé. Les fondeurs établissent donc des modèles de transistors possédant un quatrième accès afin de prendre en compte les courants de fuite et autres

phénomènes parasites liés au substrat. Ce quatrième accès est typiquement connecté à la masse (prise substrat, ou contact "bulk") puisque c'est le potentiel auquel le substrat est habituellement connecté.

Le modèle en T simplifié développé ici ne contient pas de quatrième contact pour la prise en compte des liaisons parasites collecteur/substrat et reste par conséquent approximatif. L'impédance de couplage optimale ne peut donc pas directement être déterminée à partir de ce modèle par le calcul analytique. Ce calcul fournit cependant une valeur initiale correcte qui peut ensuite être exploitée dans une boucle d'optimisation conduisant à la valeur précise de l'impédance de couplage optimale. Cette optimisation est alors menée en utilisant le modèle SPICE fourni par le fondeur. C'est cette procédure que nous avons employée dans les paragraphes suivants pour déterminer l'impédance de couplage optimale.

4.3.2 Configuration émetteur commun

Cette configuration correspond au cas représenté sur la figure 34, où Z_{cp} désigne l'impédance de couplage placée entre le point commun des émetteurs de la paire différentielle et la masse. L'application de la relation (38) permet d'obtenir l'impédance optimale Z_{optEC} à connecter afin d'annuler la transmission du mode commun :

$$\begin{aligned} \text{Re}(Z_{optEC}) &\simeq -\frac{1}{2} \left[r_e + \frac{r_{ei}C_{bci} + \alpha_0 [\tau_1 + \tau_2 + r_{ei}C_{ei}(1 - \tau_1\tau_2\omega^2)]}{C_{bci} [1 + (r_{ei}C_{ei}\omega)^2] [1 + (\omega\tau_2)^2]} \right] \\ \text{Im}(Z_{optEC}) &\simeq \alpha_0 \frac{\omega^2 [r_{ei}C_{ei}\omega^2(\tau_1 + \tau_2) + \tau_1\tau_2\omega^2] - 1}{2C_{bci}\omega [1 + (r_{ei}C_{ei}\omega)^2] [1 + (\omega\tau_2)^2]} \end{aligned} \quad (44)$$

Il s'agit d'une résistance négative placée en série avec une capacité dont les valeurs varient avec la fréquence. En utilisant le modèle en T développé pour le transistor, les valeurs numériques optimales en fonction de la fréquence sont indiquées sur les graphiques de la figure 41.

Sur cette figure sont aussi reportées les valeurs déterminées par optimisation à partir du circuit différentiel employant le modèle du transistor fourni par le fondeur. Nous pouvons constater que le modèle en T utilisé est suffisamment précis pour fournir des valeurs initiales proches de la solution. Ceci a permis la convergence rapide de l'optimisation.

Pour revenir aux performances de cette topologie, nous pouvons conclure que quelle que soit la fréquence, l'impédance optimale Z_{optEC} nécessaire à un TRMC maximum ne peut être obtenue qu'avec une résistance négative [42]-[45]. Cette approche présente cependant

l'inconvénient d'être relativement complexe à mettre en oeuvre puisqu'une telle résistance ne peut être obtenue qu'avec un circuit actif nécessitant généralement des éléments passifs encombrants tels qu'inductances et/ou capacités pour réaliser la contre-réaction permettant d'obtenir cette résistance négative. Garantir enfin un fonctionnement stable au circuit complet peut s'avérer, dans ces conditions, un travail très fastidieux.

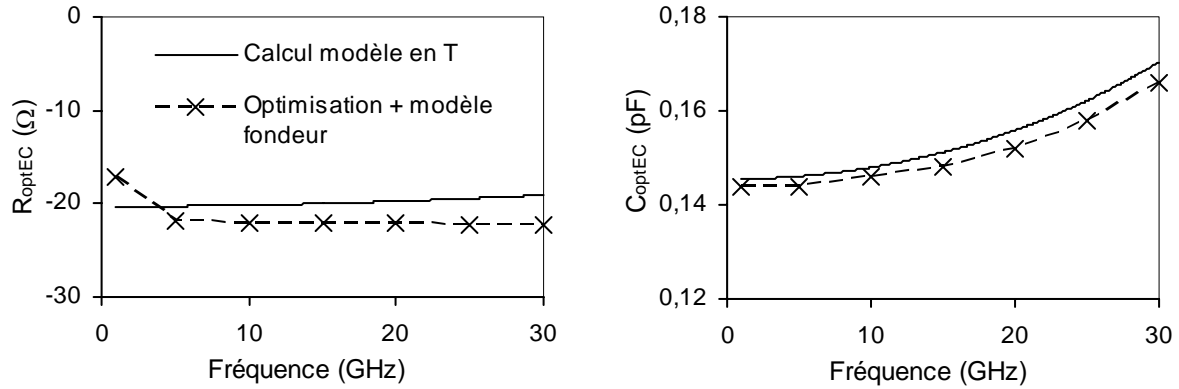


Figure 41: Impédance de couplage optimale pour la paire différentielle EC.

On peut cependant se contenter de connecter une simple impédance passive entre le point commun de la paire différentielle et la masse sans connecter l'impédance optimale Z_{optEC} , nous nous rapprochons ainsi de Z_{optEC} en plaçant simplement une capacité en parallèle avec le réseau de polarisation de la paire différentielle. La valeur de la capacité nécessaire pour atteindre la partie imaginaire optimale de l'impédance de couplage varie peu par rapport à la fréquence et permet ainsi d'optimiser le TRMC sur une large bande de fréquence. Nous avons étudié l'influence de différents réseaux de polarisations sur le TRMC d'une paire différentielle à EC. Les résultats sont présentés sur la figure 42 pour les impédances Z_{cp} suivantes :

- $Z_{cp} (\Omega) = 200$: une simple résistance est placée entre les émetteurs et la masse.
- $Z_{cp} (\Omega) \rightarrow \infty$: il s'agit là de la topologie classique. La valeur infinie est obtenue à partir d'une source en courant idéale.
- $Z_{cp} (\Omega) = 200 + j \cdot \text{Im}[Z_{optEC}(20 \text{ GHz})]$: une capacité de 0,16 pF est placée en parallèle avec la résistance de polarisation.
- $Z_{cp} (\Omega) = j \cdot \text{Im}[Z_{optEC}(20 \text{ GHz})]$: la capacité est placée en parallèle avec la source en courant idéale. Cette dernière impédance traduit les conditions les plus proches de Z_{optEC} qu'il est possible d'atteindre à l'aide d'une simple impédance passive.

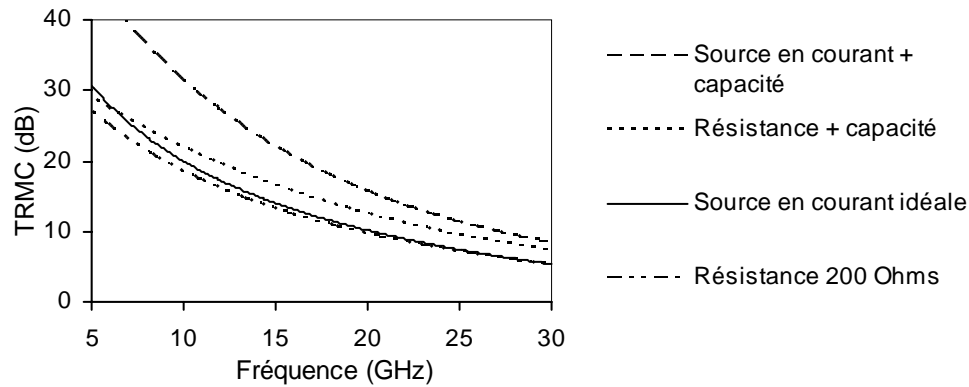


Figure 42: TRMC de la paire différentielle EC pour différentes impédances Z_{cp} .

Ces impédances sont simples et peu encombrantes. Elles peuvent facilement être implémentées dans un circuit BiCMOS. Les résultats en terme de réjection de mode commun sont cependant bien en deçà de ce qui est envisageable avec l'emploi d'une résistance négative [42], compte tenu de l'éloignement de la valeur de l'impédance synthétisée par rapport à l'optimum. Nous démontrons cependant ici l'influence positive de la capacité sur la valeur du TRMC, quelle que soit la configuration choisie. Les meilleurs TRMC sont obtenus à l'aide de cette capacité, même lorsqu'une simple résistance de $200\ \Omega$ est placée en parallèle afin d'assurer la polarisation des transistors.

On peut enfin remarquer que l'emploi d'un miroir de courant basé sur des transistors MOS devrait nous permettre d'atteindre un TRMC d'environ 16 dB à 20 GHz. Le transistor MOS peut ainsi être aisément dimensionné pour que sa capacité parasite Drain-Source corresponde à $\text{Im}(Z_{\text{optEC}})$ tout en présentant une forte résistance en parallèle (très faible résistance série). Nous voyons que l'optimisation du TRMC n'est pas triviale pour la configuration en émetteur commun et qu'il sera difficile avec cette configuration d'atteindre des valeurs du TRMC importantes. Pour ces raisons, nous nous sommes tournés vers l'étude de paires différentielles basées sur d'autres configurations des transistors. Ce travail fait l'objet des paragraphes suivants.

4.3.3 Configuration base commune

Le schéma typique d'un amplificateur différentiel basé sur une paire de transistors montés en base commune est donné sur la figure 43. Les signaux sont appliqués sur les émetteurs et les sorties amplifiées sont constituées par les collecteurs. Cette topologie est traditionnellement employée à la suite d'un amplificateur à émetteurs communs pour obtenir un amplificateur différentiel dit "cascode". Il permet d'obtenir un fort gain différentiel jusqu'à

des fréquences élevées en réduisant l'effet Miller présenté par l'étage à émetteurs communs en raison de la faible impédance d'entrée des transistors configurés en base commune.

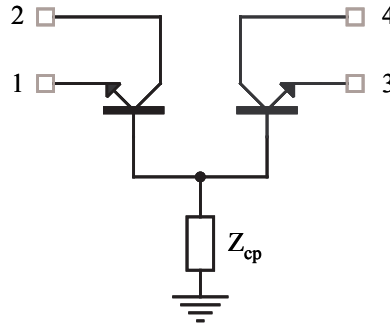


Figure 43: Amplificateur différentiel à bases communes.

Tout comme le circuit étudié au paragraphe précédent, une réjection du mode commun idéale peut être obtenue avec une impédance Z_{cp} particulière, nommée Z_{optBC} . Toujours sur le même principe, sa détermination est basée sur l'utilisation de la relation (38). Dans le cas présent, le paramètre Z_{21} est issu de la matrice impédance caractérisant le transistor configuré en base commune. La matrice impédance du transistor polarisé en base commune est dérivée à partir de la matrice impédance correspondant au montage EC à l'aide des relations suivantes :

$$\begin{aligned} Z_{11BC} &= Z_{11EC} \\ Z_{12BC} &= Z_{11EC} - Z_{12EC} \\ Z_{21BC} &= Z_{11EC} - Z_{21EC} \\ Z_{22BC} &= Z_{11EC} - Z_{21EC} + Z_{22EC} - Z_{12EC} \end{aligned} \quad (45)$$

Z_{optBC} est alors calculé à partir de Z_{21BC} :

$$\begin{aligned} \text{Re}(Z_{optBC}) &\approx \frac{\alpha_0 \left[\tau_1 + \tau_2 + r_{ei} C_{ei} (1 - \tau_1 \tau_2 \omega^2) \right]}{2 C_{bci} \left[1 + (r_{ei} C_{ei} \omega)^2 \right] \left[1 + (\omega \tau_2)^2 \right]} - \frac{r_b}{2} \\ \text{Im}(Z_{optBC}) &= \alpha_0 \frac{1 - \omega^2 \left[r_{ei} C_{ei} (\tau_1 + \tau_2) + \tau_1 \tau_2 \right]}{2 C_{bci} \omega \left[1 + (r_{ei} C_{ei} \omega)^2 \right] \left[1 + (\omega \tau_2)^2 \right]} \end{aligned} \quad (46)$$

Les parties réelle et imaginaire de cette impédance optimale sont toutes deux positives, indiquant une résistance connectée en série à une inductance. La présence du terme ω au dénominateur laisse présager une forte dépendance de la valeur de l'inductance optimale avec la fréquence, ce que l'on ne retrouve pas pour la valeur de la résistance. Ce point est confirmé par l'application numérique représentée sur la figure 44.

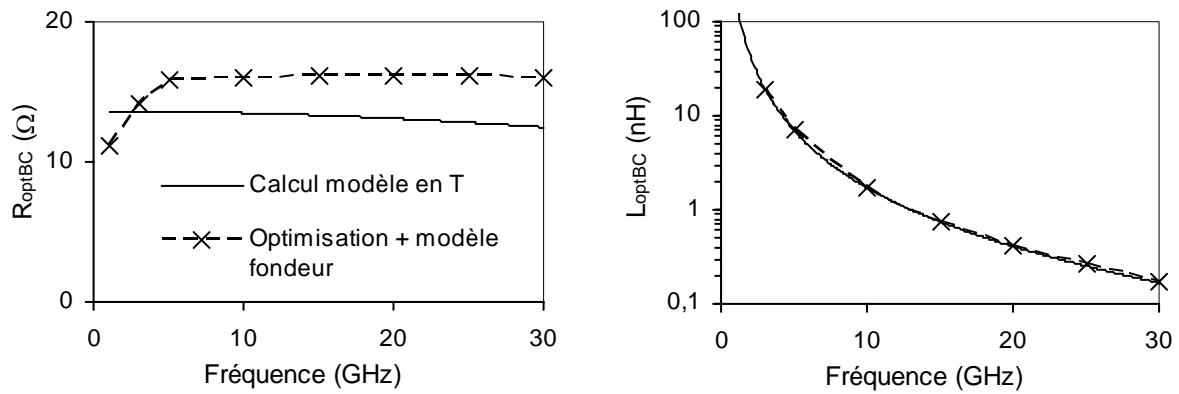


Figure 44: Impédance de couplage optimale pour la paire différentielle BC.

Une caractéristique essentielle de cette topologie d'amplificateur différentiel est la facilité avec laquelle la relation (38) pourra être complètement satisfaite à l'aide d'éléments passifs. Cette topologie conduira donc à la réalisation de coupleurs intégrés présentant de très forts TRMC. Cependant, en dessous d'une fréquence de 10 GHz, l'inductance nécessaire à la réalisation de l'impédance de couplage optimale possède des valeurs relativement importantes pour une technologie monolithique. Les fréquences de résonance de tels éléments vont rapidement devenir inférieures à la fréquence de travail souhaitée. La réalisation d'une telle paire différentielle dans la gamme radiofréquence deviendra impossible si l'on souhaite réaliser l'impédance Z_{optBC} par un simple réseau passif. De plus en dessous de 5 GHz, la résistance optimale devient négative, ce qui conduira à nouveau à la synthèse de cette résistance à l'aide d'un circuit actif. En définitive, un tel montage est plus particulièrement adapté pour une intégration en bande Ku (> 12GHz) et au-delà.

La forte dépendance fréquentielle de l'inductance optimale nécessaire laisse supposer un fonctionnement en bande étroite pour cette paire différentielle si un élément inductif passif est employé. Le TRMC peut alors atteindre de très fortes valeurs mais uniquement dans la bande de fréquences correspondant à la valeur de l'inductance, comme illustré sur la figure 45.

Cette dernière représente le TRMC d'une telle paire différentielle, optimisée à 20 GHz, que nous comparons avec la méthodologie basse fréquence pour laquelle une source de courant parfaite est connectée sur les bases. Nous voyons qu'il est ainsi possible d'obtenir des valeurs de TRMC de l'ordre de 60 dB à 20 GHz alors que l'utilisation d'une source de courant idéale ne permet pas de dépasser 5 dB.

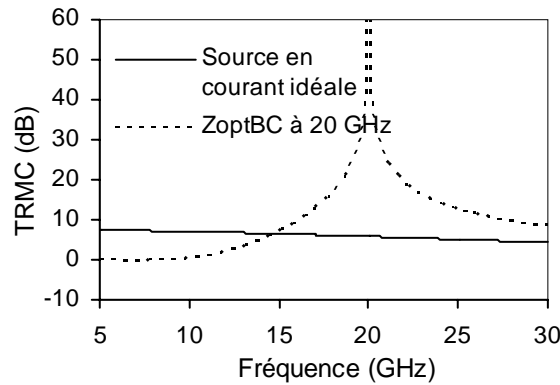


Figure 45: TRMC de la paire différentielle BC pour deux impédances Z_{cp} différentes.

4.3.4 Configuration collecteur commun

Cette topologie d'amplificateur différentiel est très particulière pour la simple et bonne raison qu'elle ne peut être utilisable en BF. Ceci s'explique par le type d'impédance de couplage nécessaire pour obtenir un fonctionnement purement différentiel à ces fréquences. La figure 46 présente l'évolution fréquentielle du TRMC pour les trois configurations possibles d'amplificateurs différentiels, basées sur des transistors EC, BC et CC. Pour chaque amplificateur différentiel, une source de courant idéale est connectée entre le point commun du circuit et la masse.

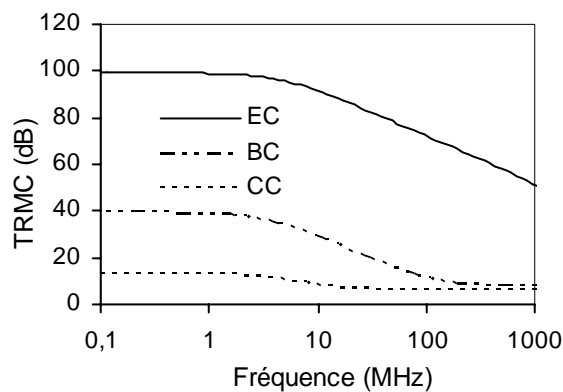


Figure 46: Incidence de l'emploi d'une source en courant idéale sur le TRMC des trois paires différentielles possibles.

L'amplificateur différentiel EC nécessite une impédance de couplage optimale constituée d'une très faible partie imaginaire négative (forte capacité) en série avec une résistance de forte valeur, ce qui correspond pratiquement à une source en courant. Aux basses fréquences, le TRMC atteint avec une source en courant idéale est alors très élevé, de l'ordre de 100 dB avec la configuration EC présentée sur la figure 46. Dans les mêmes conditions fréquentielles (BF), les topologies d'amplificateur différentiel BC et CC nécessitent quant à elles une partie

imaginaire positive plus ou moins forte (inductance) en série avec une forte résistance négative. Alors que le circuit BC s'accommode relativement bien d'une source en courant (TRMC ≈ 40 dB), ce n'est pas du tout le cas d'une paire différentielle CC (TRMC ≈ 13 dB), comme le suggère la figure 46. Avec cette dernière topologie basée sur l'intégration de transistors en CC, il n'existe donc pas de circuit simple permettant de réaliser un amplificateur différentiel efficace (TRMC élevé) aux basses fréquences. Cette situation est tout à fait différente dans le domaine des micro-ondes, et l'expression (38) va nous permettre de déterminer le type d'impédance à employer pour optimiser le fonctionnement de l'amplificateur différentiel CC. Le schéma d'un tel amplificateur est représenté sur la figure 47.

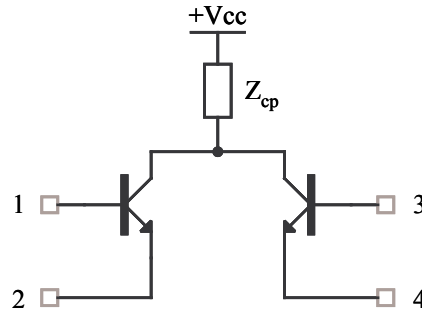


Figure 47: Amplificateur différentiel à collecteurs communs.

La matrice impédance du transistor EC se converti en matrice impédance pour la configuration CC à l'aide des expressions (47), d'où l'on déduit l'impédance de couplage optimale Z_{optCC} :

$$\begin{aligned} Z_{11CC} &= Z_{11EC} - Z_{21EC} + Z_{22EC} - Z_{12EC} \\ Z_{12CC} &= Z_{22EC} - Z_{12EC} \\ Z_{21CC} &= Z_{22EC} - Z_{21EC} \\ Z_{22CC} &= Z_{22EC} \end{aligned} \quad (47)$$

$$\text{Re}(Z_{optCC}) = -\frac{r_c}{2} \quad \text{et} \quad \text{Im}(Z_{optCC}) = \frac{1}{2C_{bc}\omega} \quad (48)$$

Compte tenu de la faible valeur de r_c (résistance d'accès collecteur), cette impédance constitue quasiment une inductance dont la valeur varie avec la fréquence de la même manière que pour la paire différentielle BC (présence de la pulsation ω au dénominateur). La figure 48 présente les valeurs de Z_{optCC} en fonction de la fréquence.

L'expression analytique de Z_{optCC} prédit avec une bonne précision l'évolution de la valeur nécessaire pour l'inductance sur toute la gamme de fréquences mais traduit de manière

incorrecte la partie réelle aux basses fréquences. Le retrait de la résistance de contre réaction collecteur base r_{cei} du modèle en T considéré est à l'origine de la différence de comportement des deux courbes aux fréquences les plus basses.

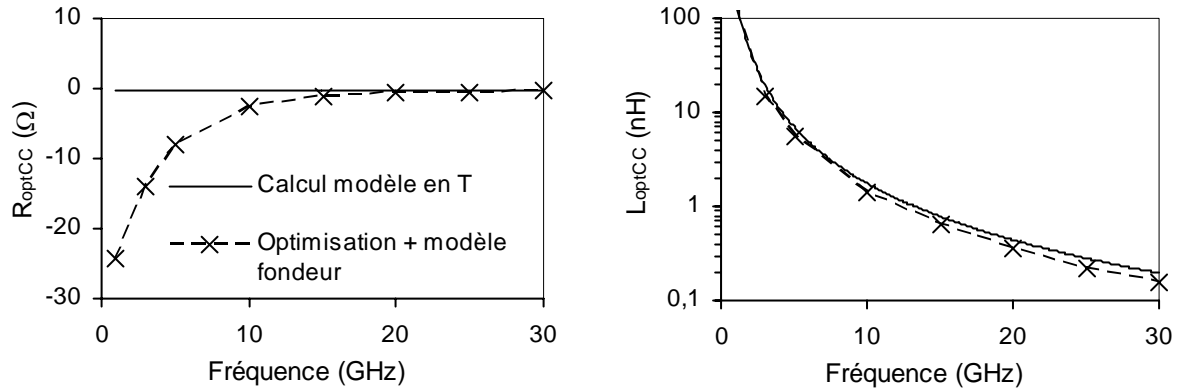


Figure 48: Impédance de couplage optimale pour la paire différentielle CC.

Nous pouvons faire, pour ce montage, les mêmes commentaires que pour le montage précédent, c'est-à-dire :

- facilité d'intégration tout en satisfaisant presque totalement la relation (38),
- les valeurs d'inductances impossibles à intégrer pour des fréquences inférieures à 10 GHz,
- nécessité de concevoir un circuit actif pour synthétiser une résistance négative doublée d'une inductance de forte valeur aux fréquences inférieures à 10 GHz.

Par conséquent, ce montage est lui aussi adapté pour une intégration à partir de la bande Ku (> 12GHz) et possède un fonctionnement bande étroite comme le suggère la figure 49.

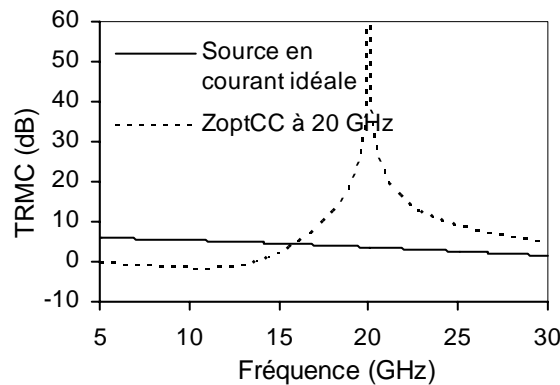


Figure 49: TRMC de la paire différentielle CC pour deux impédances Z_{cp} différentes.

Les deux topologies d'amplificateurs différentiels BC et CC sont donc particulièrement adaptées aux fréquences millimétriques. Le choix de la topologie à utiliser sera effectué en fonction des caractéristiques électriques recherchées. Pour chaque amplificateur différentiel, les caractéristiques électriques dépendent de la configuration utilisée pour le transistor. Dans le cas de l'amplificateur différentiel BC, le gain de la structure est élevé, l'impédance d'entrée différentielle est très faible et l'impédance de sortie différentielle très forte. L'amplificateur différentiel CC possède plutôt un gain faible, une impédance d'entrée différentielle élevée ainsi qu'une faible impédance de sortie différentielle.

5. CONCLUSION

Dans cette partie, de nouvelles topologies d'amplificateurs différentiels ont été développées. La réjection du mode commun est obtenue par neutrodynage du circuit pour la transmission directe du mode commun en disposant une impédance particulière entre le point commun de l'amplificateur différentiel et la masse dynamique du circuit. Cette impédance particulière est très simple à générer dans le cas d'amplificateurs différentiels de types "bases communes" et "collecteurs communs". Ces configurations, bien que très peu employées dans les applications équilibrées classiques, s'avèrent finalement potentiellement intéressantes. Leur fonctionnement en amplificateur de différence est bande étroite mais peut être très performant.

En effet, nous avons montré que le TRMC pouvait théoriquement atteindre des valeurs d'environ 80 dB à 20 GHz dans le cas de la configuration BC et 60 dB pour la configuration CC. Pour une fréquence donnée, la topologie BC autorise la génération de la valeur exacte de l'impédance de couplage optimale à l'aide d'un simple réseau passif RL série. Dans le cas de la configuration CC, une impédance proche de l'impédance de couplage optimale peut être générée à l'aide d'une simple inductance passive. L'écart est dû à la résistance optimale, légèrement négative aux hautes fréquences. Ainsi, le TRMC maximal obtenu dépend de la résistance série équivalente ramenée par l'inductance utilisée. Le facteur de qualité de l'inductance constitue donc un paramètre primordial pour l'obtention d'un fort TRMC avec la paire différentielle CC.

En définitive, ces structures présentent un intérêt très fort pour la conception de circuits équilibrés aux fréquences millimétriques. La réalisation de tels circuits est abordée dans les prochains chapitres.

CHAPITRE III :
ETUDE ET CONCEPTION D'UN DIVISEUR DE PUISSANCE
ACTIF 180°

1. INTRODUCTION

Nous présentons dans ce chapitre la conception d'un diviseur de puissance 180° large bande basé sur la méthode d'optimisation des performances présentée dans le chapitre précédent. Ce diviseur de puissance est conçu à partir de topologies différentielles et pour une valeur du TRMC maximale à la fréquence de 20 GHz.

Compte tenu des perspectives d'intégration de ce coupleur dans une fonction complète du type mélangeur doublement équilibré (Chapitre IV), le cahier des charges pour un certain nombre de paramètres sera fixé dans ce chapitre, à partir des contraintes qui résultent de l'association des différentes fonctions.

Dans un premier temps, nous rappelons le rôle d'un tel circuit en insistant sur les paramètres caractéristiques à optimiser pour ce type de fonction.

Nous abordons ensuite la conception du diviseur de puissance. Nous décrivons et justifions d'abord les choix effectués pour l'élaboration de sa topologie, puis nous présentons les résultats de simulation obtenus. Une attention particulière sera portée sur l'étude de stabilité qui nécessite ici une méthode appropriée, en raison des spécificités des circuits équilibrés. Les mesures sous pointes des performances du circuit sont finalement exposées et comparées aux résultats de simulation. Enfin, ces performances sont analysées et des voies d'améliorations sont proposées.

2. DÉFINITIONS

2.1 Le diviseur de puissance 180°

Un diviseur de puissance 180° est un circuit qui effectue la conversion d'un signal donné en une paire de signaux possédant la même amplitude et présentant une opposition de phase. La fonction complémentaire effectue la recombinaison en sortie de la différence des deux signaux d'entrée. Ce dernier dispositif se nomme combineur de puissance 180°. On retrouve les diviseurs et les combineurs de puissance essentiellement dans les mélangeurs et amplificateurs équilibrés, déphaseurs, etc. ... pour lesquels ils permettent le conditionnement approprié des signaux appliqués ou de sortie.

2.2 Paramètres caractéristiques

La caractéristique la plus importante pour ce type de circuit concerne son aptitude à fournir des signaux en sortie dont les caractéristiques soient les plus proches des conditions recherchées pour les phases et l'amplitude. Dans le cas des diviseurs/combineurs de puissance 180°, on peut définir, de façon identique à ce qui a été présenté au chapitre précédent pour les octopôles, le taux de réjection de mode commun (TRMC), afin d'évaluer l'idéalité de la fonction [46]. La précision dans la génération/recombinaison des signaux est un problème majeur car elle conditionne la qualité des performances d'une structure équilibrée vis-à-vis de sa réponse spectrale. Dans le cas d'un mélangeur simple ou double équilibré par exemple, le niveau du résidu de fréquence RF en sortie du combineur FI de puissance dépend complètement du TRMC du combineur.

En adaptant au cas du diviseur de puissance la théorie développée au chapitre précédent, nous pouvons définir des paramètres S modaux en appliquant les concepts de mode commun/différentiel aux deux sorties du circuit (cf. figure 50). La matrice de paramètres S modale s'écrit alors de la façon indiquée ci-dessous, avec $\{a_1, b_1\}$, $\{a_d, b_d\}$ et $\{a_c, b_c\}$ les couples d'ondes incidentes et réfléchies à l'entrée, puis en sortie du coupleur pour le mode différentiel et le mode commun, respectivement :

$$\begin{pmatrix} b_1 \\ b_d \\ b_c \end{pmatrix} = \begin{bmatrix} S_{11} & \frac{1}{\sqrt{2}}(S_{12} - S_{13}) & \frac{1}{\sqrt{2}}(S_{12} + S_{13}) \\ \frac{1}{\sqrt{2}}(S_{21} - S_{31}) & \frac{1}{2}(S_{22} - S_{23} - S_{32} + S_{33}) & \frac{1}{2}(S_{22} + S_{23} - S_{32} - S_{33}) \\ \frac{1}{\sqrt{2}}(S_{21} + S_{31}) & \frac{1}{2}(S_{22} - S_{23} + S_{32} - S_{33}) & \frac{1}{2}(S_{22} + S_{23} + S_{32} + S_{33}) \end{bmatrix} \cdot \begin{pmatrix} a_1 \\ a_d \\ a_c \end{pmatrix} \quad (49)$$

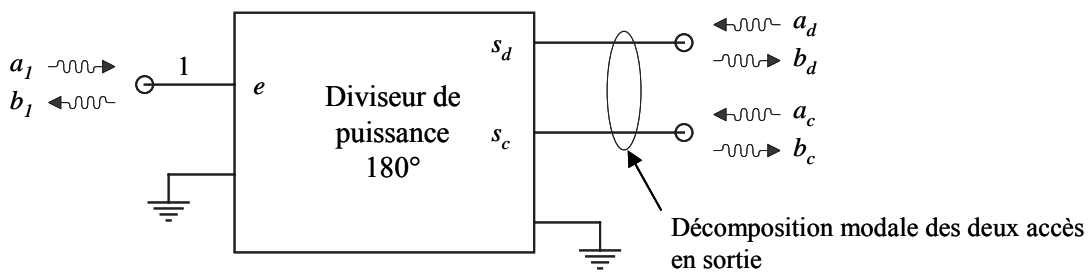


Figure 50: Paramètres S modaux d'un diviseur de puissance 180°.

De façon identique à la matrice définie pour les octopôles, plusieurs cadrans peuvent être distingués :

$$\begin{pmatrix} b_1 \\ b_d \\ b_c \end{pmatrix} = \begin{bmatrix} S_{11} & S_{1d} & S_{1c} \\ S_{d1} & S_{dd} & S_{dc} \\ S_{c1} & S_{cd} & S_{cc} \end{bmatrix} \cdot \begin{pmatrix} a_1 \\ a_d \\ a_c \end{pmatrix}$$

Figure 51: Découpage en quadrants de la matrice de paramètres S modaux d'un diviseur de puissance 180°.

Le premier cadran contient le coefficient de réflexion de l'entrée du diviseur. Les coefficients de transmission inverses puis directs sont situés respectivement dans les cadrans deux et trois. Le dernier comprend les coefficients de réflexion pour chaque mode en sortie, ainsi que les conversions pouvant exister entre chaque mode.

Enfin, le TRMC est défini par le rapport du gain de mode différentiel (S_{d1}) avec le gain de mode commun (S_{c1}), de la manière suivante [46] :

$$TRMC = \left| \frac{S_{d1}}{S_{c1}} \right| = \left| \frac{S_{21} - S_{31}}{S_{21} + S_{31}} \right| \quad (50)$$

3. UN BREF ÉTAT DE L'ART SUR LES COUPLEURS SI/SiGE

On trouve peu de littérature sur la conception de diviseurs ou de combineurs de puissance actifs au-delà de la bande X sur silicium, malgré l'effort consenti sur les autres fonctions électroniques micro-ondes que sont les amplificateurs (faibles bruits ou de puissance), oscillateurs, mélangeurs, etc. ... et ce jusqu'en bande Ka [47].

3.1 Coupleurs passifs

Beaucoup de travaux se concentrent sur la conception et l'optimisation des performances de transformateurs passifs intégrés, fonctionnant à des fréquences inférieures à 20 GHz. Certains transformateurs sont réalisés à l'aide d'inductances imbriquées, en exploitant les mêmes techniques de minimisation des pertes que pour les inductances en raison de leurs similitudes [48], [49]. D'autres transformateurs sont dérivés du coupleur de Marchand [50], lui-même basé sur des tronçons de ligne quart d'onde. Quels qu'ils soient, ces coupleurs se caractérisent toujours par des pertes élevées avec les substrats silicium classiques, ainsi que des encombrements importants. On peut cependant noter que ces circuits passifs présentent des performances en linéarité de la caractéristique en puissance importantes.

3.2 Coupleurs actifs

Toutes technologies confondues, nous avons répertorié trois topologies appliquées aux technologies bipolaires. Celles-ci sont illustrées sur la figure 52.

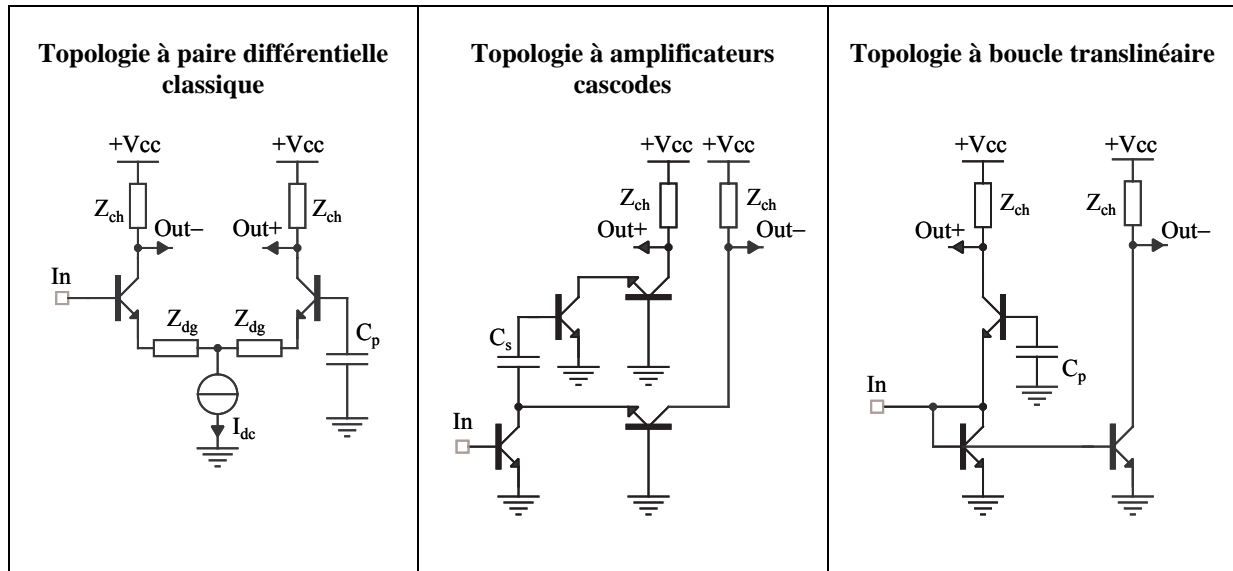


Figure 52: Schémas simplifiés des topologies de coupleurs rencontrés dans la littérature.

La première topologie emploie une paire différentielle classique [49], [51]-[53]. Ce circuit possède un gain élevé en basse fréquence puisque les transistors sont utilisés dans leur configuration "émetteurs communs" mais l'effet Miller qui apparaît aux fréquences micro-ondes va limiter la valeur du gain. La linéarité est réputée médiocre puisque la transconductance associée à cette topologie est représentée analytiquement par une tangente hyperbolique. Cette linéarité ne peut être améliorée qu'au détriment de la valeur du gain en plaçant des impédances de dégénérescence sur les émetteurs des transistors. Enfin, cette topologie est inadaptée pour un fonctionnement à hautes fréquences pour lequel une forte erreur de phase apparaît entre les deux sorties, dégradant fortement le TRMC (cf. chapitre II).

La seconde topologie utilise les propriétés "inverseuses" du transistor pour réaliser le déphasage de 180° d'une voie par rapport à l'autre [54]. Il s'agit d'une variante de la topologie "common-source/common-gate" utilisée dans le cas des transistors à effet de champs [55], [56]. Cette topologie consiste en l'association de deux amplificateurs cascades. Cette structure dispose d'un meilleur facteur de bruit ainsi que d'une meilleure linéarité comparativement à la solution précédente. De plus, aux fréquences micro-ondes, le gain obtenu est plus élevé qu'avec la topologie présentée précédemment. Ceci est rendu possible par l'emploi de transistors polarisés en base commune sur les deux voies du circuit. Ce type de structure permet de réduire fortement la capacité résultant de l'effet Miller ramenée à l'entrée du circuit.

Cette réduction est une caractéristique essentielle de la topologie cascode. Ce type de circuit présente cependant un problème systématique d'équilibrage en terme de gain.

Le troisième type de coupleur est basé sur le principe de la "boucle translinéaire" [49] [57]. Ce circuit est à la base de la topologie de mélangeur de type "micromixer" introduite en 1997 par Barrie Gilbert [58]. Alors que les deux topologies précédentes utilisent des transistors polarisés en classe A, les transistors de cette dernière topologie fonctionnent en classe AB. Le principe d'un tel circuit est de produire deux signaux en opposition de phase à partir d'un miroir de courant. Le transistor monté en base commune sur une des branches réalise l'inversion de signe par rapport à l'autre branche. En terme de linéarité ce circuit, tout comme le précédent, offre des perspectives meilleures que la topologie à amplificateurs différentiels, au détriment du facteur de bruit, fortement détérioré par la diode placée à l'entrée (bruit de grenaille).

Alors que le premier coupleur peut être utilisé aussi bien en tant que diviseur qu'en tant que combineur moyennant quelques changements mineurs dans le circuit, les deux derniers ne sont utilisables que pour réaliser la fonction de diviseur de puissance 180°.

Les propriétés de chaque topologie sont reprises et résumées dans le Tableau 1. Dans tous les cas, ces topologies souffrent de problèmes d'équilibrage aux hautes fréquences.

Caractéristique	Topologie à paire différentielle classique	Topologie à amplificateurs cascodes	Topologie à boucle translinéaire
Equilibrage	Mauvais en HF (cf. chapitre II)	Erreurs de gain systématique	Erreurs de phase en HF
Valeur de l'impédance d'entrée	moyenne	moyenne	faible
Valeur de l'impédance de sortie	moyenne	Forte (base commune)	Forte (base commune)
Gain	Elevé seulement en BF Faible si dégénéré	élevé	moyen
Linéarité	Faible à moyenne (dégénérescence)	bonne	bonne
Facteur de bruit	moyen	faible	élevé
Polarisation des transistors	Classe A	Classe A	Classe AB

Tableau 1: Potentialités des trois topologies de diviseur de puissance actifs 180°.

4. CONCEPTION DU DIVISEUR DE PUISSANCE 180°

4.1 Cahier des charges

4.1.1 Impédances d'entrée et de sortie

Avec l'implémentation future du diviseur de puissance au sein d'une cellule de mélange doublement équilibrée, il nous est nécessaire de prendre en compte les problèmes d'adaptation d'impédance inter étages dès le début de la conception. Ce point est très important puisqu'il va fortement contribuer aux performances finales du système, en terme de gain et de facteur de bruit. La conception du diviseur est donc étroitement liée à celle du mélangeur et les optimisations des deux dispositifs ont été conduites simultanément. Par ailleurs, nous ne considérerons que l'adaptation en impédance pour le mode différentiel, puisque non seulement le signal de mode commun devrait être très faible en sortie du diviseur, mais de plus il ne transporte pas de signal utile. Une désadaptation pour le mode commun en sortie du circuit n'est donc pas gênante a priori et sera même bénéfique pour maximiser le TRMC du circuit [38]. L'impédance d'entrée du diviseur est fixée à 50 Ω alors que l'impédance de sortie est elle fixée à une valeur de 20 Ω , la partie imaginaire de l'impédance d'entrée du mélangeur étant faible pour une fréquence voisine de 20 GHz.

4.1.2 Facteur de bruit, gain et linéarité

Ce diviseur de puissance sera placé en amont de la voie RF du mélangeur. Par conséquent, Son facteur de bruit doit être le plus faible possible avec un gain élevé de façon à minimiser le facteur de bruit global du futur convertisseur de fréquences, conformément à la formule de Friis. Celle-ci permet d'exprimer le facteur de bruit obtenu lorsque n quadripôles sont cascades :

$$F_T = F_1 + \frac{F_2 - 1}{G_1} + \dots + \frac{F_n - 1}{G_1 G_2 \dots G_n} \quad (51)$$

Sur cette formule, les F_i et G_i désignent respectivement le facteur de bruit et le gain (en unités naturelles) du $i^{\text{ème}}$ étage.

Le facteur de bruit et le gain du diviseur de puissance conditionneront plus tard la sensibilité du système complet constitué des coupleurs et du mélangeur. Par ailleurs, la linéarité en puissance du diviseur de puissance va en partie jouer sur la plage dynamique du système complet. En effet, dans un tel système, le dernier dispositif de la chaîne est généralement dimensionné de manière à fournir la plus forte puissance possible avant de

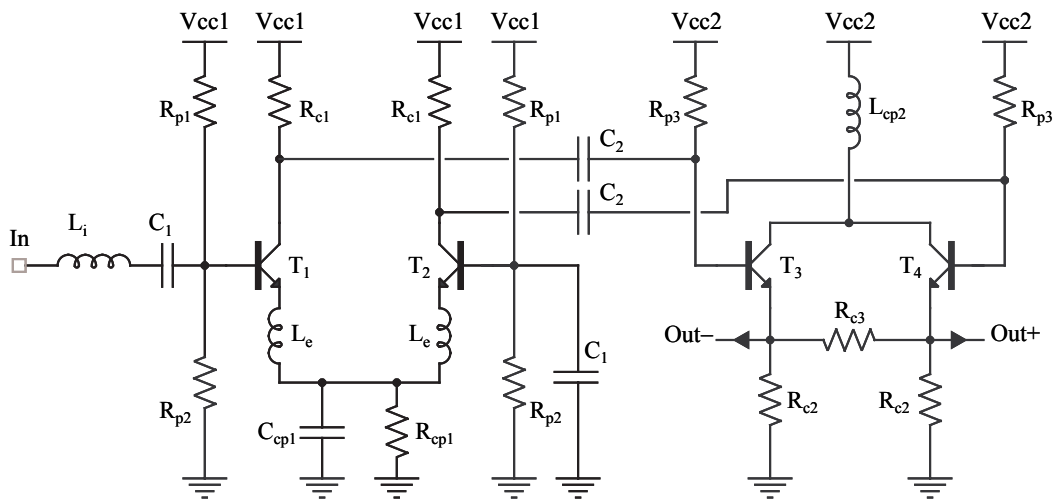
saturer. Si un des étages placés en amont sature avant lui, le système n'est pas optimal puisque le dernier dispositif consomme une certaine quantité d'énergie pour atteindre un objectif qui ne sera jamais atteint en terme de niveau de puissance à la sortie. Dans notre cas, le combineur de puissance placé sur la sortie du mélangeur devra saturer avant tous les dispositifs placés en amont. Il est par conséquent nécessaire d'optimiser la linéarité du diviseur de puissance en tenant compte du problème évoqué ci-dessus.

En considérant les valeurs minimales⁴ de la puissance maximale atteinte par le combineur de puissance ainsi que des gains respectifs du combineur et du mélangeur, nous fixons le point de compression en sortie minimum à -6 dBm (OP_{1dB}).

4.2 Description du diviseur de puissance 180°

4.2.1 Choix de la topologie

Le schéma électrique du diviseur de puissance actif 180° est présenté sur la figure 53 ci-dessous :



dégénérescence L_e sur les émetteurs des transistors du premier étage. Cette inductance permet de faire coïncider l'admittance optimale en bruit des transistors avec le conjugué de leur admittance d'entrée. Avec cette technique, l'adaptation en impédance et en bruit de l'entrée du circuit est rendue possible.

Le second étage rajoute du gain à la structure et permet d'optimiser la linéarité de la caractéristique en puissance du circuit. Cet étage réalise l'adaptation d'impédance en sortie du circuit et surtout maximise le TRMC à 20 GHz, grâce à l'inductance de couplage L_{cp2} .

4.2.2 Optimisation du premier étage

▪ Compromis facteur de bruit / gain

Le facteur de bruit F d'un transistor peut s'exprimer par la relation ci-dessous :

$$F = F_{\min} + \frac{R_n}{G_s} |Y_s - Y_{opt}|^2 \quad (52)$$

Cette relation est valable dans le cas où le transistor est considéré comme un quadripôle bruyant, auquel on associe généralement les quatre paramètres de bruit F_{\min} , R_n et Y_{opt} . $Y_s = G_s + j \cdot B_s$ représente l'admittance de la source connectée à l'entrée du transistor et F_{\min} est la valeur minimale du facteur de bruit, atteinte lorsque Y_s est égale à l'admittance optimale en bruit Y_{opt} du transistor. Finalement, R_n est la résistance équivalente de bruit qui traduit la "rapidité" avec laquelle le facteur de bruit se dégrade lorsque Y_s s'éloigne de Y_{opt} .

Dans notre cas, la géométrie et le point de polarisation des transistors T_1 et T_2 doivent être choisis afin de répondre aux trois critères énoncés ci-dessous :

- un facteur de bruit minimum faible,
- une résistance équivalente de bruit la plus faible possible. En effet, les transistors sont polarisés à l'aide de résistances dont la fabrication ne permet pas une grande précision sur les valeurs obtenues. Les variations non négligeables du point de polarisation qui en résultent ne doivent pas entraîner de fortes modifications sur la valeur du facteur de bruit,
- Une impédance d'entrée proche de 50Ω afin de pouvoir utiliser un réseau d'adaptation très simple, ce qui permet alors de minimiser les pertes introduites à l'entrée du circuit, et donc le facteur de bruit.

Parmi tous les transistors disponibles dans la bibliothèque proposée par le fondeur, celui qui réalise le meilleur compromis possède deux doigts d'émetteurs, trois doigts de base et

deux doigts de collecteurs, pour une longueur de 15 μm . Les transistors de surface d'émetteur plus importante possèdent des résistances équivalentes de bruit bien meilleures au détriment d'un gain trop faible à 20 GHz, en raison des éléments parasites qui leur sont associés. Ces transistors possèdent de plus une trop faible impédance d'entrée nécessitant un réseau d'adaptation plus complexe. A l'inverse, les transistors de plus petite surface offrent une très bonne valeur du gain, mais présentent une résistance équivalente de bruit et un facteur de bruit minimum de valeurs trop élevées.

Pour ce transistor, et selon la figure 54, la polarisation permettant d'assurer le minimum de facteur de bruit correspond à un courant de collecteur de 1,8 mA. Le courant assurant le gain le plus fort est de 14,7 mA. La polarisation doit donc être choisie entre ces deux bornes, à l'intérieur de la zone hachurée matérialisée sur la figure 54. Pour réaliser l'adaptation simultanée en impédance et en bruit de cet étage, une inductance L_e est placée sur l'émetteur, de façon à satisfaire au mieux la condition $Z_{opt} \approx Z_{in}^*$. Cette inductance est d'importance capitale puisqu'elle diminue aussi le gain de l'ensemble et modifie la valeur de l'impédance d'entrée du transistor (cf. figure 55), par la contre-réaction qu'elle introduit. Les contraintes sur ces deux dernières caractéristiques vont fixer le choix définitif de la polarisation et de la valeur de l'inductance. La figure 55 montre les caractéristiques en bruit du transistor contre-réactionné par l'inductance L_e pour différentes valeurs de cette inductance à partir du point de polarisation sélectionné : $I_c = 6,5 \text{ mA}$ et $V_{ce} = 1,5 \text{ V}$. Il ressort de cette figure qu'une inductance L_e de 67 pH optimise tous les critères énoncés plus haut.

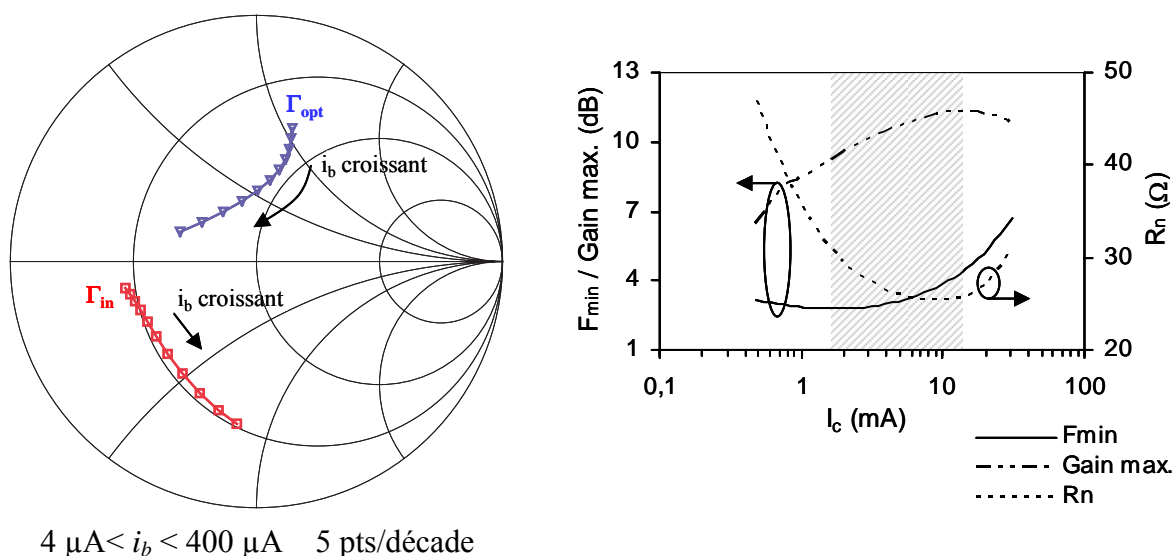


Figure 54: Caractéristiques électriques du transistor sélectionné en fonction du courant de polarisation pour $V_{ce} = 1,5 \text{ V}$.

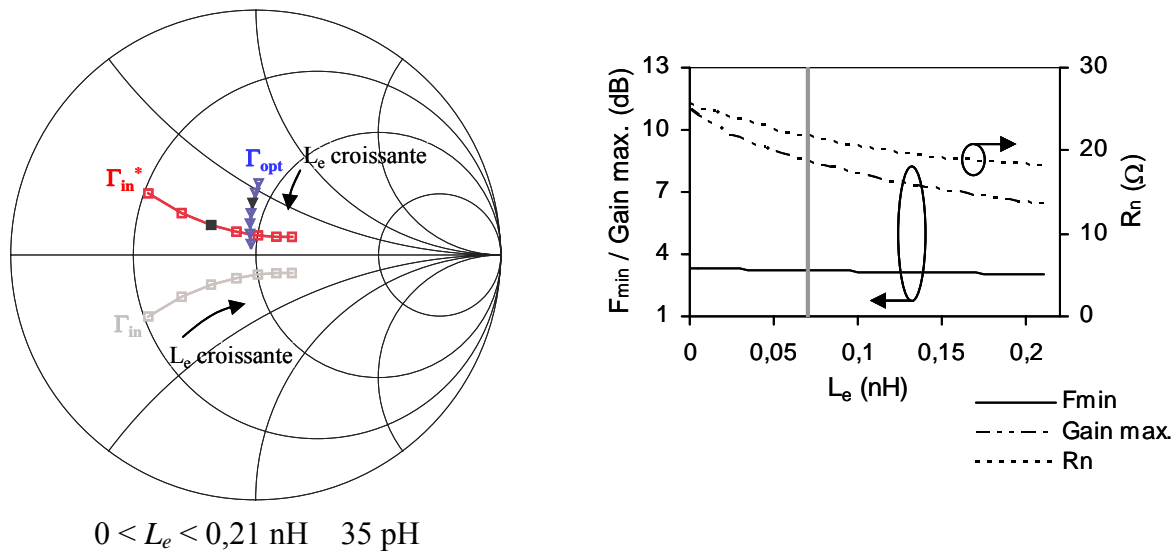


Figure 55: Caractéristiques électriques du transistor en fonction de la valeur de l'inductance de dégénérescence L_e pour $i_c = 6,5 \text{ mA}$.

■ Taux de réjection du mode commun

Conformément à l'étude réalisée au paragraphe 4.3.2 du chapitre II, nous avons placé la capacité C_{cp1} entre le point commun de l'amplificateur différentiel et la masse afin d'optimiser le TRMC de cet étage. Cependant, comme nous l'avons montré, seule la partie imaginaire de l'impédance de couplage optimale est synthétisée en procédant ainsi. Au lieu de synthétiser la partie réelle optimale négative, nous avons préféré employer une simple résistance (R_{cp1}) afin de polariser l'amplificateur différentiel. Nous avons choisi une valeur de 150Ω pour cette résistance, qui introduit une différence de potentiel de 2 V entre la masse et le point commun sur les émetteurs. Cette résistance réalise le meilleur compromis entre la valeur du TRMC et la différence de potentiel à ses bornes.

■ Réseaux de polarisation, tension d'alimentation

Les résistances de charge R_{cl} ne doivent pas présenter de valeurs trop faibles sous peine de faire diminuer le gain de l'amplificateur différentiel, dégradant par là même le facteur de bruit du circuit complet. Des valeurs trop élevées vont nécessiter une trop forte tension d'alimentation. Avec les valeurs choisies, cette tension est établie à $5,8 \text{ V}$. Une telle valeur n'est pas acceptable pour des applications industrielles pour des raisons de fiabilité car elle dépasse fortement la tension collecteur/émetteur maximale admissible de $2,5 \text{ V}$ des transistors. Elle est cependant suffisante pour valider le principe de réjection de mode commun mis en place ici. Le paragraphe 6, situé en fin de ce chapitre, donne des solutions permettant d'optimiser la topologie du circuit et d'améliorer des performances, en proposant notamment des techniques pour diminuer la tension d'alimentation.

De plus, à 20 GHz, l'impédance d'entrée différentielle de l'étage à collecteurs communs est plus faible que l'impédance de sortie différentielle du premier étage, tous deux possédant cependant une partie imaginaire de résultante capacitive ($Z_{out1} \approx 90-j\cdot50 \Omega$ et $Z_{in2} \approx 16,3-j\cdot23 \Omega$). La diminution des résistances R_{c1} entraîne une dégradation de gain du premier étage et de facteur de bruit pour le coupleur plus rapide que le bénéfice résultant d'une meilleure adaptation inter étage. Nous ne disposons donc pas des degrés de liberté nécessaires pour améliorer l'adaptation en puissance inter étage sans dégrader les performances du premier étage. Pour ce faire, il faudrait rajouter des éléments passifs réactifs, ce qui n'a pas été envisagé en raison de la complexité et de la taille du circuit qui en résulterait.

4.2.3 Optimisation du second étage

- *Rôle de cet étage*

Le rôle principal du deuxième étage est de produire la réjection du mode commun à l'aide de l'inductance L_{cp2} (cf. Chapitre II). Cet étage peut aussi être optimisé pour améliorer la linéarité du diviseur complet puisque la topologie à collecteurs communs ne souffre pas des limitations introduites par l'amplificateur différentiel à émetteurs communs classique. En effet, pour ce dernier, le courant présent sur une voie est lié à celui de la seconde voie par l'intermédiaire de la source en courant commune aux deux voies, ce qui crée la caractéristique peu linéaire de la structure. Pour cette structure, on peut démontrer en effet que le courant de sortie différentiel fait intervenir la fonction $\tanh(x)$ très peu linéaire. Cette interdépendance des voies de l'amplificateur différentiel n'existe pas avec la topologie à collecteurs communs. De plus, comme les transistors de cette topologie fonctionnent en classe A, la linéarité est directement liée à la polarisation des transistors, ainsi qu'à la forme du cycle de charge dynamique. Une optimisation de cette linéarité est ainsi facilement réalisable.

- *Linéarité*

Les faibles valeurs de l'impédance d'entrée de l'étage différentiel mettant en œuvre des transistors à collecteurs communs ainsi que de celle du mélangeur qui sera connecté à la sortie du diviseur rendent critique l'optimisation de la linéarité du circuit dans le cas de connections directes sans réseaux d'adaptations [59]. Dans notre cas, les faibles impédances de charge, à la fois pour le premier et le second étage, rendent le cycle de charge dynamique des transistors de ces étages quasiment vertical. Le seul moyen d'améliorer la linéarité consiste à élever le point de polarisation et d'augmenter ainsi la consommation. La figure 56 montre, par exemple, le cycle de charge obtenu pour les transistors T_1 et T_3 du diviseur de puissance, positionnés

respectivement sur le premier et sur le second étage. Ces cycles de charge sont obtenus pour la puissance de compression du circuit. Ils permettent de démontrer que l'optimisation de la linéarité est forcément liée à une augmentation du courant de polarisation du second étage qui atteint en premier le fonctionnement en régime de compression.

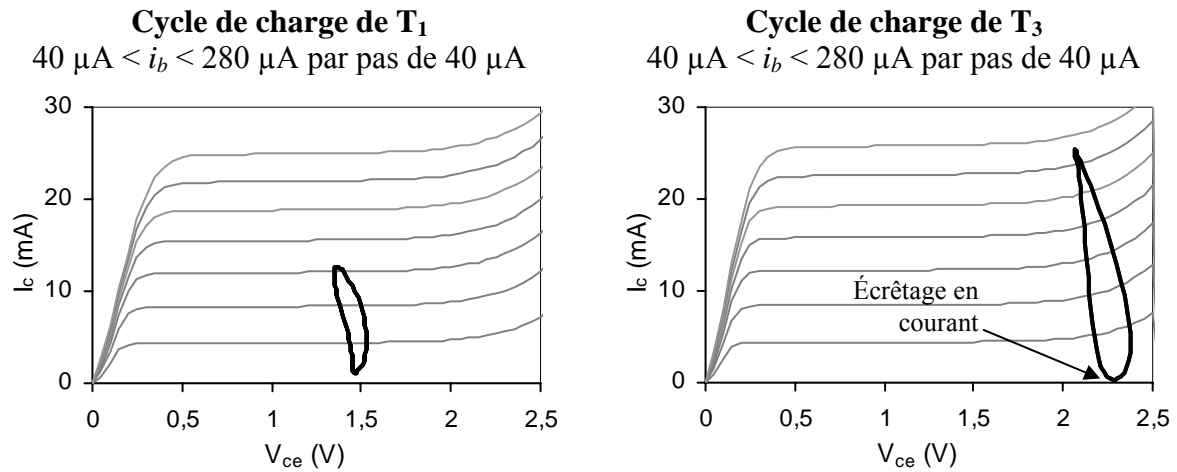


Figure 56: Cycles de charge des transistors T_1 et T_3 au point de compression du diviseur de puissance ($P_{in} = -7,6 \text{ dBm}$).

A ce stade, tous les éléments de circuit ont été optimisés et nous avons donc entrepris son intégration. Ces travaux sont présentés dans le paragraphe suivant.

4.2.4 Réalisation du dessin des masques

La microphotographie du circuit est représentée sur la figure 57 ci-dessous :

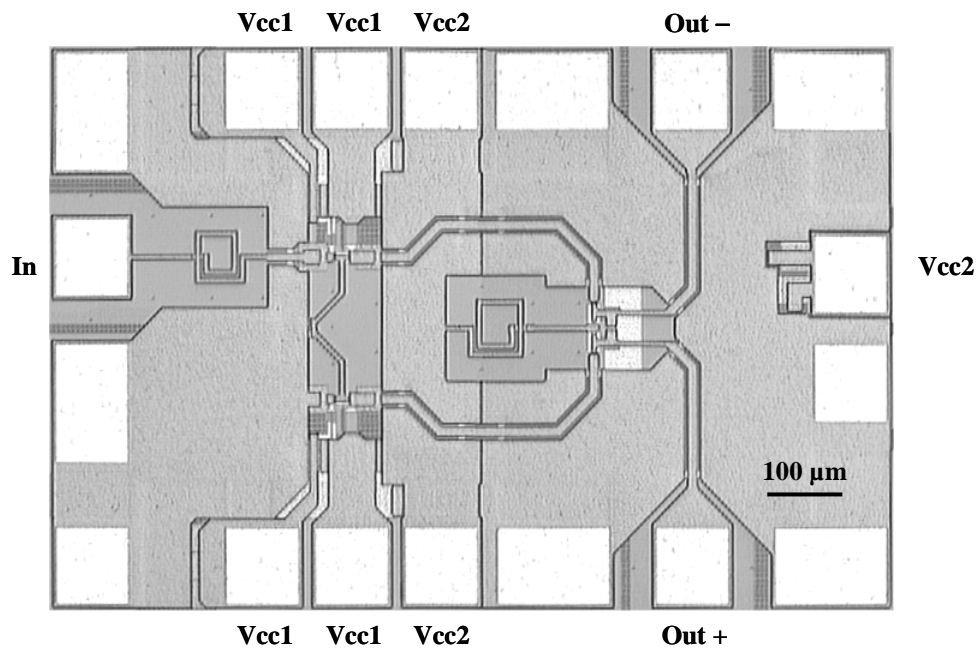


Figure 57: Microphotographie du diviseur de puissance 180.

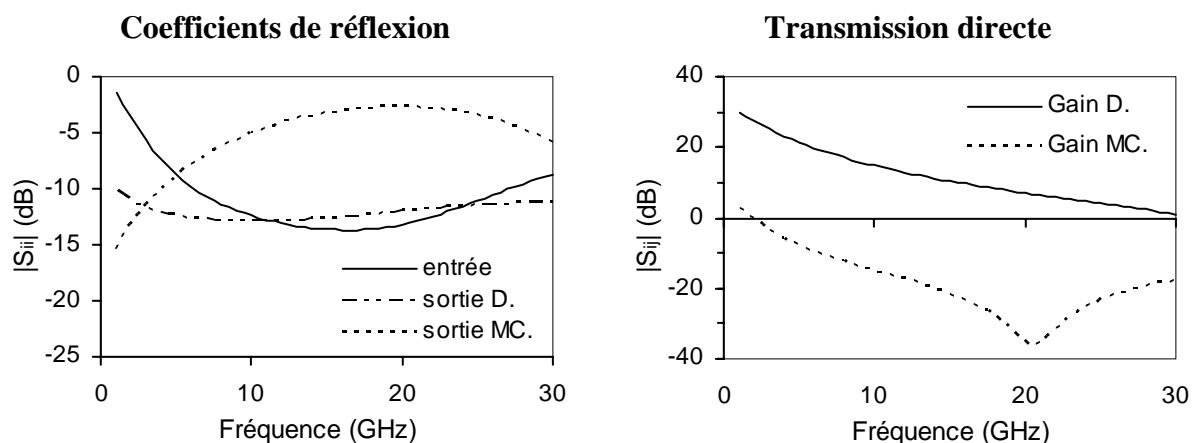
Les interconnexions coplanaires ont été choisies pour leur simplicité de mise en œuvre dans le cadre de l'intégration en technologie silicium de circuits micro-ondes hautes fréquences. Cette technologie d'interconnexion possède de plus des caractéristiques électriques légèrement meilleures que les lignes microruban à ces fréquences, comme mentionné au chapitre I (cf. §3.3) [60]. Pour la conception de ce circuit, les interconnexions ont été dimensionnées et étudiées par simulation électromagnétique à l'aide du logiciel ANSOFT HFSS. Une attention particulière a été portée à la simulation des inductances de dégénérescence du premier étage et des interconnexions reliant les deux étages. L'étude réalisée sur le couplage éventuel entre l'inductance L_{cp2} et les lignes coplanaires qui l'entourent montre un couplage maximum de -40 dB à 30 GHz, pour une largeur de 50 μm du plan de masse entre l'inductance et les lignes de signal, et en tenant compte des ponts à air sous les lignes entre l'inductance et les plots V_{cc2} . Ce résultat est apparu suffisant pour garantir le niveau de performances du diviseur de puissance.

4.3 Résultats de simulation

Nous présentons ici tous les résultats de simulation obtenus pour la structure entièrement optimisée. Les simulations incluent tous les éléments parasites associés au dessin des masques (interconnexions, éléments parasites introduits par les plots, ...).

4.3.1 Caractéristiques linéaires

Les simulations ont été effectuées entre 1 et 30 GHz. Les paramètres S, le facteur de bruit et les principales caractéristiques rendant compte de l'équilibrage du circuit sont représentés sur la figure 58 pour les paramètres S et sur la figure 59 pour l'équilibrage du circuit. Sur ces figures, l'abréviation D est utilisée à propos du mode différentiel et l'abréviation MC considère le mode commun.



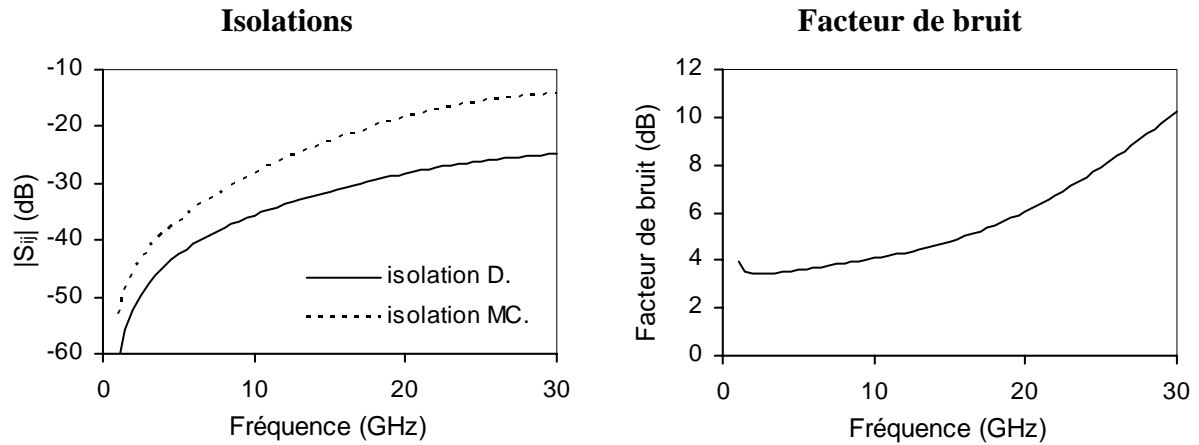


Figure 58: Paramètres S simulés du diviseur de puissance.

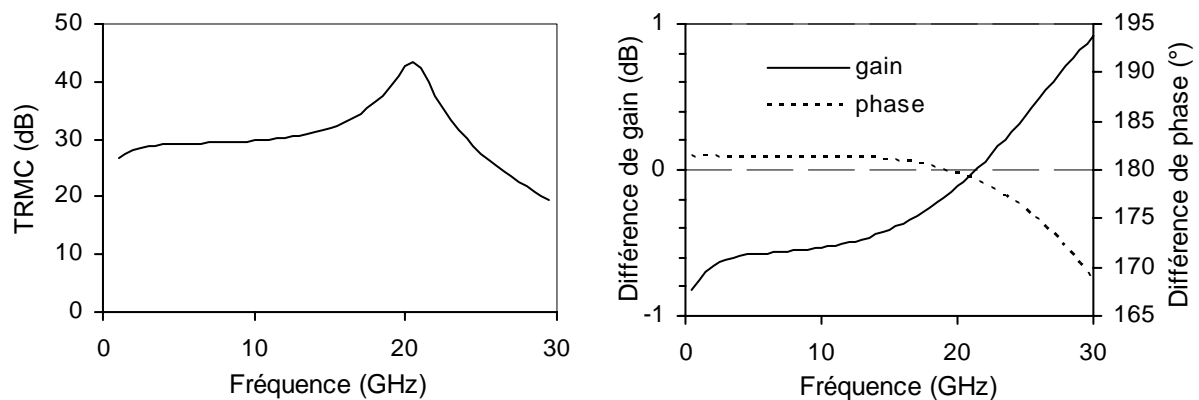


Figure 59: TRMC et différences de gain+phase en sortie du circuit.

Les coefficients de réflexion montrent une adaptation très large bande à l'entrée du circuit ainsi que pour la sortie du mode différentiel. Nous pouvons relever une bande passante ($|S_{ii}| < -10$ dB) limitée par l'entrée du circuit de 6 à 27 GHz. La transmission du mode différentiel atteint une valeur de gain de 7 dB à 20 GHz, fréquence qui correspond bien au minimum de transmission du mode commun, dont le gain atteint -35 dB à cette fréquence. Les isolations entre voies sont relativement bonnes et l'on relève une valeur de -18,5 dB pour le mode différentiel à 20 GHz. Le facteur de bruit du diviseur de puissance pour la sortie de mode différentiel est très proche du minimum à 20 GHz avec 6,0 dB. Sachant que le facteur de bruit minimum du transistor utilisé est égal à 3,1 dB à cette fréquence, le travail d'optimisation en bruit de l'entrée du circuit pour cette fréquence est bien confirmé.

4.3.2 Caractéristiques non linéaires

Le point de compression ainsi que l'intermodulation d'ordre 3 ont été calculés avec la méthode de la balance harmonique sur cinq tons. Cette méthode est implémentée au sein du

logiciel de simulation ADS, de la société Agilent. Les résultats obtenus pour la fréquence de 20 GHz sont représentés sur la figure 60 ci-dessous.

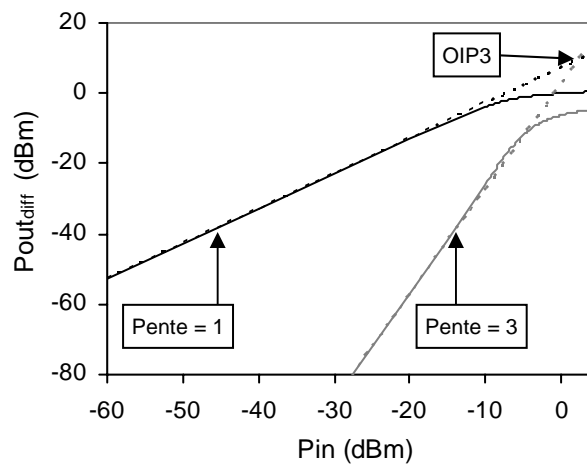


Figure 60: Point de compression et intermodulation d'ordre 3 pour le mode différentiel, en sortie du diviseur de puissance 180°.

Le point de compression en sortie OP_{1dB} pour le mode différentiel vaut -2,3 dBm, ce qui satisfait la condition fixée en vue de l'intégration du coupleur dans la cellule de mélange complète. Le point d'intersection d'ordre 3 sur cette même sortie (OIP3) vaut +9,4 dBm. Notons que pour se ramener au point de compression relatif à chaque "voie physique" en sortie du diviseur, il suffit de soustraire 3 dB aux performances annoncées ici.

Toutes ces caractéristiques électriques sont obtenues pour une consommation totale de 13,5 mA sur le premier étage et de 26,7 mA sur le second étage. Les tensions d'alimentations sont de 5,8 V et de 3,3 V pour le premier et le second étage, respectivement.

4.3.3 Conclusion

Les caractéristiques simulées du diviseur de puissance sont résumées dans le Tableau 2.

Caractéristiques large bande	
Bande de fréquences d'adaptation	6 à 27 GHz
Erreurs maximales d'équilibrage dans la bande	6,5 ° / 0,6 dB
TRMC minimal	25 dB à 27 GHz
Consommation totale	166 mW
Caractéristiques à 20 GHz	
$ \Gamma_{11} $	-13,2 dB
$ \Gamma_{out_diff} $	-12 dB
TRMC	42,7 dB

Erreurs d'équilibrage	0,35 ° / 0,12 dB
Gain différentiel	7 dB
isolation	-28 dB
Conversion mode commun vers mode différentiel	-10 dB
Facteur de bruit	6.0 dB
OP _{1dB} mode différentiel	-2,3 dBm
OIP3 mode différentiel	+9,4 dBm

Tableau 2: Tableau récapitulatif des résultats de simulation du diviseur de puissance 180°.

Nous pouvons relever sur ce tableau que, bien qu'optimisé pour une fréquence de 20 GHz, le diviseur de puissance est en mesure de fonctionner sur une large plage de fréquences, si l'on admet toutefois une variation du gain du circuit entier de près de 16 dB sur toute la gamme.

4.4 Etude de la stabilité

L'étude de la stabilité linéaire de notre circuit n'est pas triviale en raison du nombre de transistors mis en jeu (4), qui rend fastidieuse la méthode standard exploitant le facteur de Rollet et des cercles de stabilité en entrée et en sortie de chaque étage [61]. Une méthode différente et plus simple a ainsi été préférée.

L'hypothèse parfaitement justifiée de la symétrie de chaque étage permet de décomposer le circuit complet en deux sous-circuits respectivement, représentatifs du mode commun et du mode différentiel. L'étude de la stabilité peut alors être réduite à celle de ces circuits, la stabilité pour le circuit complet étant assurée si et seulement si les deux sous-circuits sont stables.

Le diviseur de puissance n'étant pas inconditionnellement stable de manière "extrinsèque", c'est-à-dire en considérant uniquement les plans d'entrée et de sortie, nous avons choisi d'appliquer le critère de Nyquist sur chaque étage afin d'évaluer la stabilité du circuit complet.

Considérons un système tel que le circuit représenté par les deux impédances Z_g et Z_e connectées comme illustré figure 61.

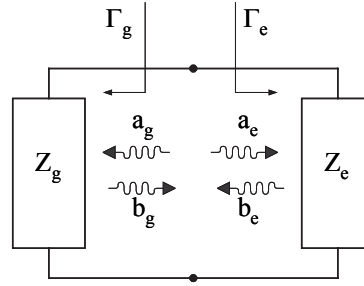


Figure 61: Etude de la stabilité d'un système bouclé.

En écrivant $a_e = b_g + \Gamma_g \cdot b_e$, le circuit ci-dessus peut être décrit par une fonction de transfert similaire à celle d'un système en boucle fermée. Si nous exprimons le rapport $a_e(p)/a_g(p)$, il vient :

$$\frac{a_e(p)}{a_g(p)} = \frac{\Gamma_g(p)}{1 - \Gamma_g(p) \cdot \Gamma_e(p)} \quad (53)$$

La stabilité d'un tel système est généralement étudiée en recherchant les pôles de la fonction (53), qui découlent des zéros de l'équation caractéristique $1 - \Gamma_g(p) \cdot \Gamma_e(p) = 0$. Plutôt que de résoudre cette équation, nous utiliserons la méthode graphique du critère du revers dans le plan de Nyquist [62], qui permet d'affirmer que le système est stable si le produit $\Gamma_g(j\omega) \cdot \Gamma_e(j\omega)$ n'encercle pas le point critique +1 pour $-\infty < \omega < +\infty$ [63], [64].

Afin d'appliquer cette technique au diviseur de puissance, nous décomposons le circuit de manière à faire apparaître trois plans A, B et C, respectivement situés à l'entrée, entre les deux étages, et à la sortie du circuit. Ces trois plans sont localisés sur le schéma de la figure 62.

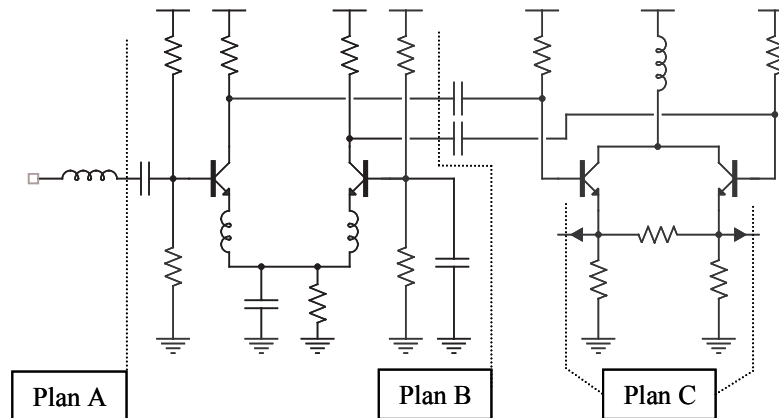


Figure 62: Localisation des plans sur lesquels la stabilité du circuit est évaluée.

Les tracés des lieux de Nyquist pour les trois plans A, B et C choisis sont représentés sur la figure 63, pour le mode différentiel et pour le mode commun.

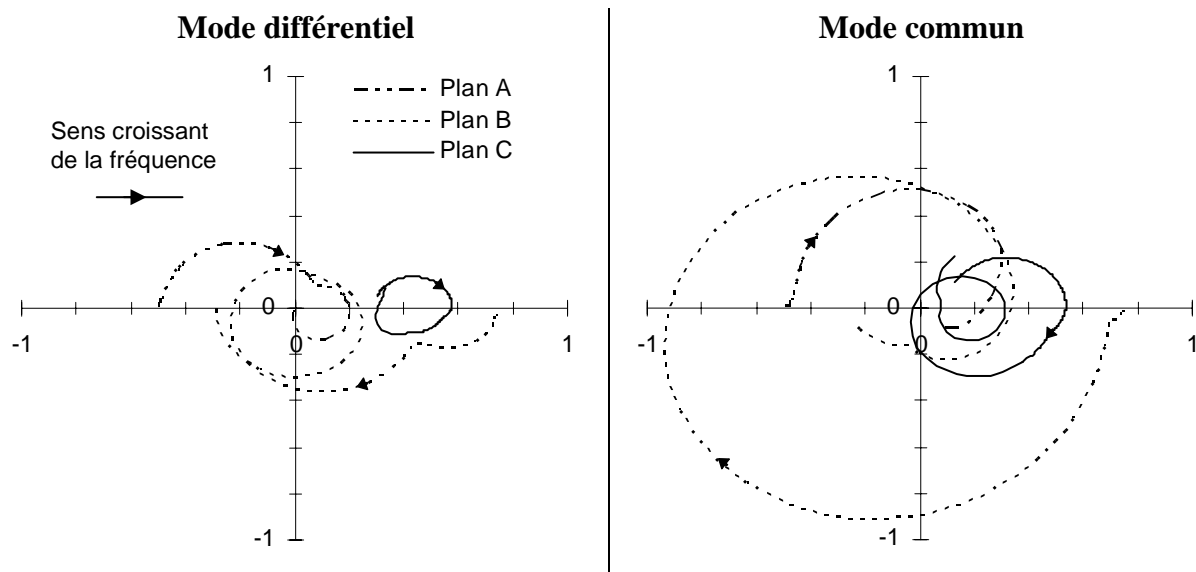


Figure 63: Lieux de Nyquist pour le mode commun et pour le mode différentiel au niveau des plans A, B et C pour $10 \text{ MHz} < f < 100 \text{ GHz}$.

Cette figure montre qu'aucun tracé n'entoure le point critique, quelque soit le plan ou le mode considéré, ce qui indique que le diviseur de puissance possède un fonctionnement stable sur toute la gamme de fréquences.

Par ailleurs, nous avons simulé la réponse temporelle du diviseur de puissance à une impulsion sur son entrée. Le graphe de la figure 64, qui représente la réponse impulsionnelle simulée du circuit, montre qu'aucune oscillation n'apparaît sur les deux sorties du circuit après l'application d'une impulsion à l'entrée du circuit. Ce résultat confirme à nouveau la stabilité du diviseur de puissance.

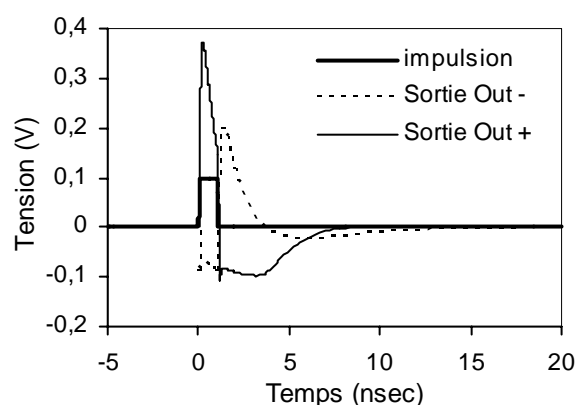


Figure 64: Réponse du diviseur de puissance à un échelon en tension.

Une autre méthode efficace a été développée pour l'étude de la stabilité linéaire des circuits complexes. Elle a été introduite par Wayne Struble et Aryeh Platzker [65] et consiste à évaluer une fonction caractéristique nommée "NDF" (Normalized Determinant Fonction)

dans le plan de Nyquist. Le système étudié possède un fonctionnement stable si et seulement si la fonction NDF n'entoure pas l'origine. Le calcul de cette fonction caractéristique requiert autant de simulations électriques que d'éléments actifs dans le circuit puisqu'elle nécessite l'extinction successive des sources contrôlées de ces éléments actifs.

Or, les modèles pour les éléments actifs des technologies silicium sont le plus souvent de type SPICE et ne donnent pas accès aux sources commandées internes. La méthode du NDF, bien que très efficace, ne peut donc pas être utilisée dans ce cas.

4.5 Analyse statistique des dispersions sur les éléments du circuit

La dernière étape de la conception consiste à réaliser une analyse statistique afin de vérifier que le cahier des charges soit toujours respecté en dépit des dérives technologiques des éléments du circuit. Pour cette étude, nous avons réalisé une analyse Monte-Carlo (50 itérations) en faisant varier tous les éléments du circuit dans leur plage de tolérance, qu'ils soient actifs ou passifs, à l'exception des inductances dont les paramètres ont été obtenus par des simulations électromagnétiques. Les variations des principales caractéristiques obtenues dans ces conditions sont représentées sur la figure 65.

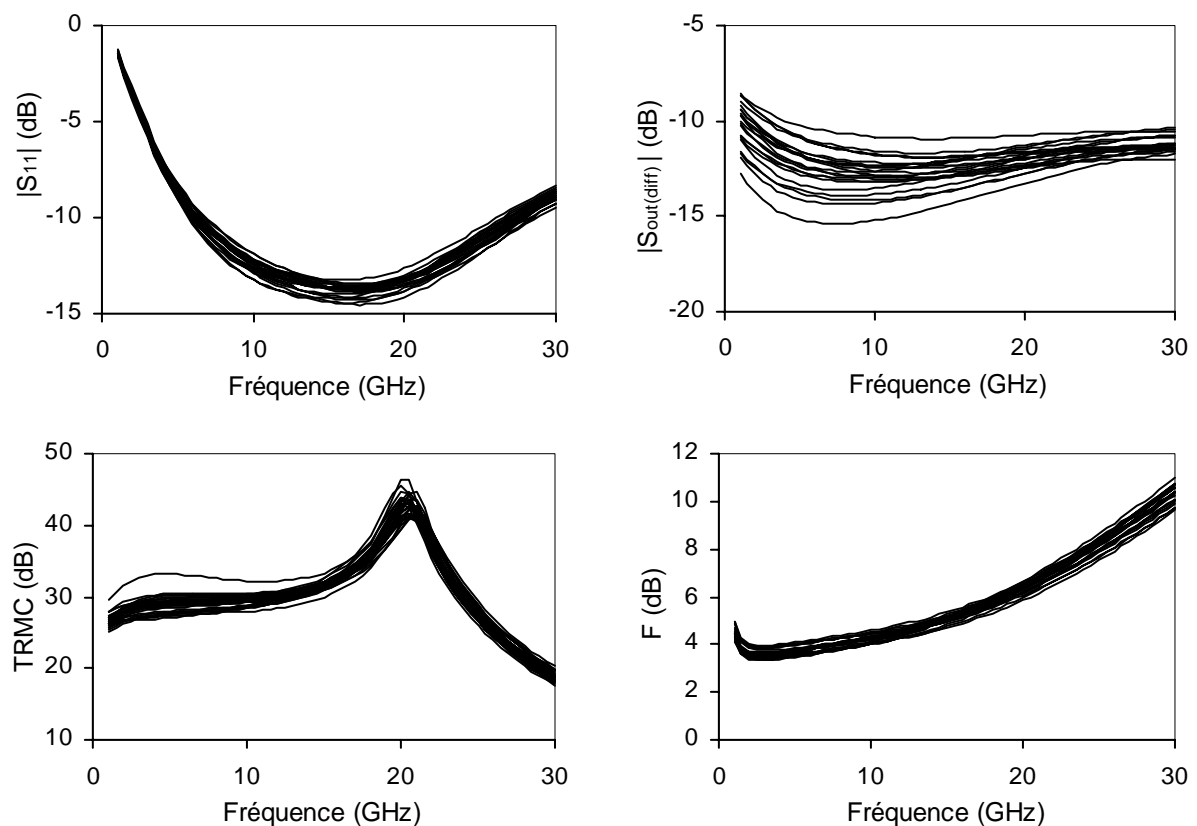


Figure 65: Conséquences des dispersions technologiques du procédé de fabrication sur les caractéristiques du circuit.

A partir des courbes de la figure 65, nous constatons que la sortie différentielle reste toujours adaptée au-delà de 5 GHz. A l'entrée du circuit, la limite haute de l'adaptation varie entre 26 et 29 GHz. Le facteur de bruit ne varie que de +/- 0,5 dB environ. Le TRMC reste dans une plage de valeurs acceptable, malgré les déséquilibres créés entre les voies par l'analyse Monte-Carlo.

En résumé, à 20 GHz, les performances du circuit restent dans les limites énoncées dans le tableau 3.

<i>Paramètres</i>	<i>Caractéristiques simulées à 20 GHz</i>			
	<i>unité</i>	<i>Min.</i>	<i>Typ.</i>	<i>Max.</i>
$ S_{11} $	dB	-14,1	-13,2	-12,5
$ S_{out_diff} $	dB	-13	-12,0	-11
TRMC	dB	39,7	42,7	45,1
Gain différentiel	dB	6,0	7,0	8,1
Isolation	dB	-27,1	-28	-29,2
Conversion MC → D	dB	-12,0	-10	-9,3
Facteur de bruit	dB	5,8	6,0	6,8
OP _{1dB} différentiel	dBm	-4,4	-2,3	+0,47
OIP _{3dB} différentiel	dBm	+7,3	+9,4	+12,1

Tableau 3: Influence de la dispersion des éléments sur les performances du circuit à 20 GHz.

En ce qui concerne la stabilité, les variations technologiques n'entraînent pas de fortes variations sur les lieux de Nyquist précédents, et le circuit reste stable en toutes circonstances.

Pour conclure, les simulations incluant la dispersion des composants montrent que le diviseur de puissance s'avère relativement insensible aux variations technologiques du procédé de fabrication.

5. MESURES DU CIRCUIT

5.1 Le report de la puce

Le test du circuit a été réalisé sous pointes. Afin de garantir des contacts optimaux au niveau des polarisations, nous avons reporté la puce sur un substrat de verre époxy classique métallisé en cuivre, sur lequel nous avons fait graver des pistes permettant d'amener les signaux de polarisation au plus près de la puce. En procédant ainsi, nous avons pu placer des capacités de découplage de 100 pF à proximité des différents contacts DC de la puce, accompagnées de capacités CMS (Composants pour le Montage en Surface) de 10 nF pour le

découplage basse fréquence de chaque accès de polarisation. De cette manière, tout risque d'oscillations parasites de basse fréquence du circuit est supprimé. De même, les risques d'oscillations aux hautes fréquences sont évités en plaçant de capacités de découplage au sein même de la puce, à proximité de chaque plot de polarisation (3×2 pF sur chaque plot).

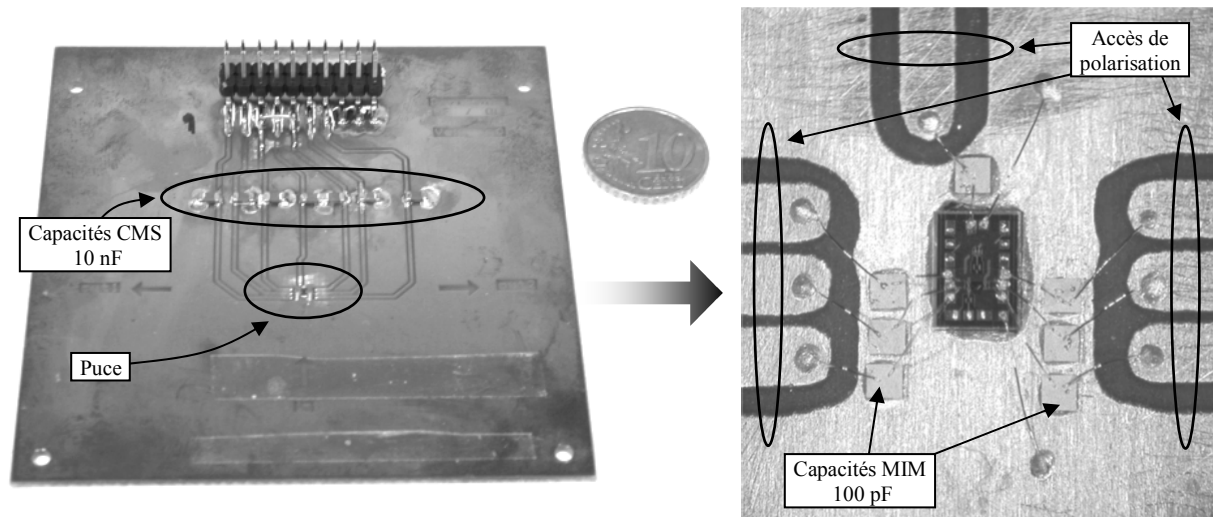


Figure 66: Photographies de la puce reportée sur son substrat d'accueil.

5.2 Technique employée pour la mesure des paramètres S

Le diviseur de puissance 180° est un dispositif possédant une entrée et deux sorties. Pour caractériser ce type de dispositif à l'aide d'un analyseur de réseau vectoriel uniquement deux ports, nous avons procédé pour la mesure en trois étapes. A chaque étape, seuls deux accès sont caractérisés et une charge 50Ω est connectée sur l'accès non utilisé par l'intermédiaire d'une troisième pointe de mesure.

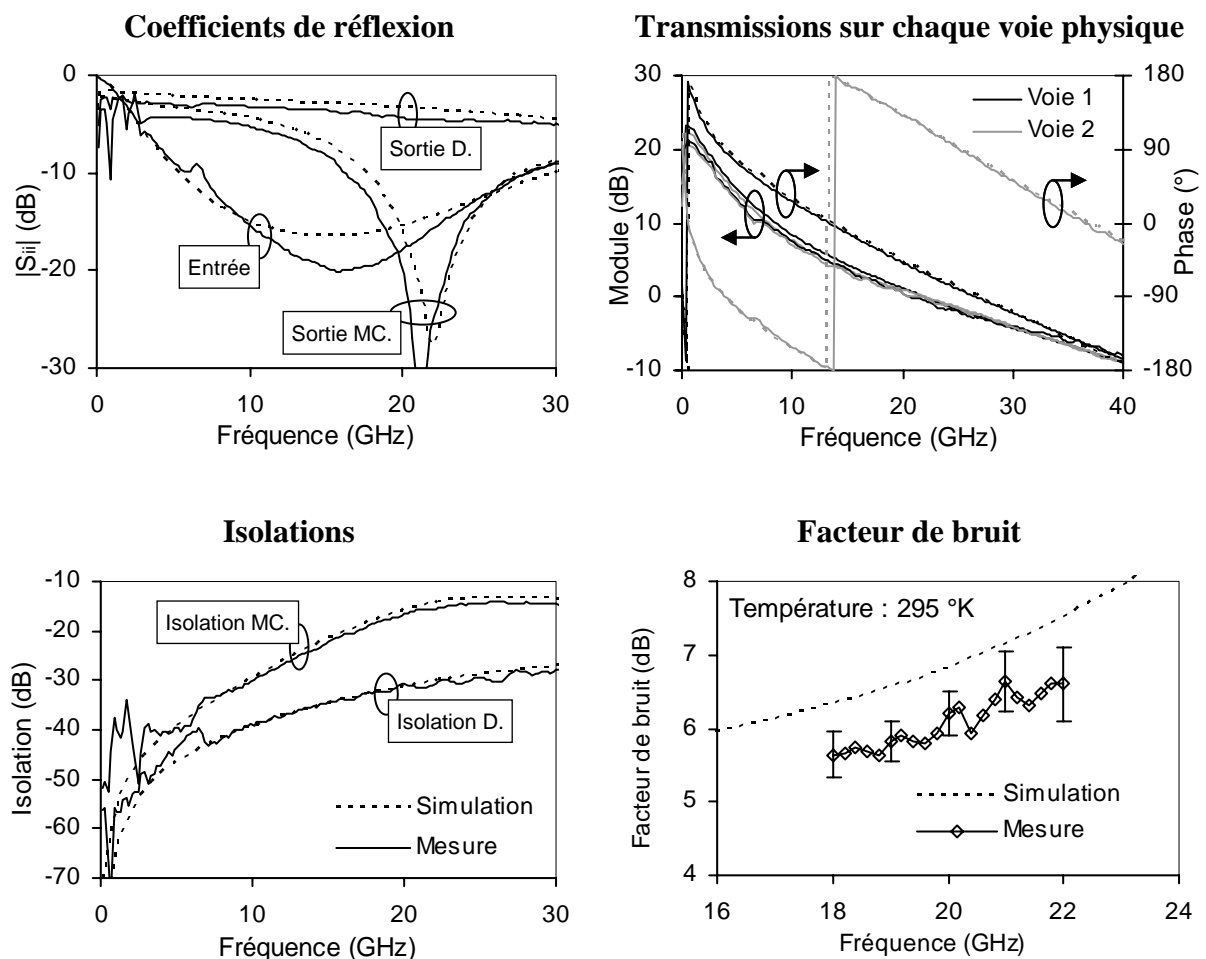
Chaque étape nécessite un nouveau calibrage puisque la charge 50Ω est alternativement placée sur chacun des trois accès, ce qui nécessite par conséquent le démontage puis le remontage des câbles d'accès aux pointes RF. La précision des mesures peut être vérifiée en comparant les paramètres de réflexion de chaque accès du circuit qui sont mesurés systématiquement deux fois. Si les deux étapes de mesure aboutissent à des résultats différents pour le coefficient de réflexion d'un même accès, alors le calibrage doit être recommencé. Rappelons que ce travail de calibrage est assez critique du fait que pour certaines étapes de mesure, deux pointes à 90° doivent être mises en œuvre.

5.3 Résultats de mesure

5.3.1 Caractéristiques "petit signal"

Les caractéristiques "petit signal" du diviseur de puissance 180° sont présentées sur la figure 67. Puisqu'il n'est pas possible, à partir des mesures, de remonter aux conditions de charges employées dans les simulations présentées dans les paragraphes précédents (ces conditions avaient été fixées dans l'optique de la connexion directe du coupleur au mélangeur), les performances mesurées sont comparées aux simulations réalisées dans le cas où les deux sorties du circuit sont chargées sur 50 Ω .

L'accord entre les mesures et les simulations est très bon et nous permet de valider les simulations électriques linéaires sur toute la gamme de fréquences mesurée (0 à 40 GHz). Par ailleurs, l'emploi systématique de simulations électromagnétiques pour tenir compte des effets des interconnexions du circuit montre ici tout son intérêt puisque l'on peut remarquer une très bonne prédiction des déphasages, notamment sur les transmissions directes de chaque voie du circuit.



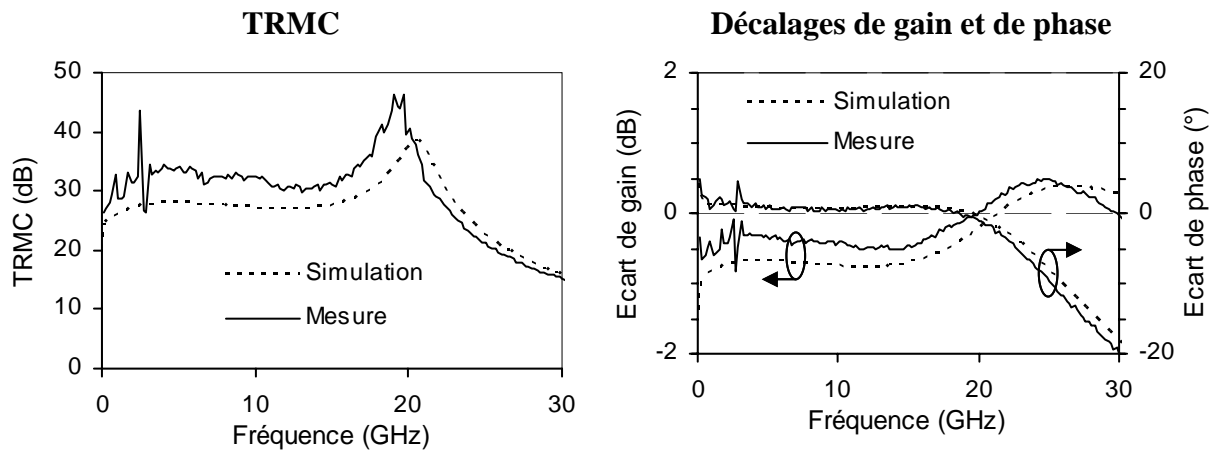


Figure 67: Caractéristiques "petit signal" du diviseur de puissance 180°.

Le facteur de bruit a été mesuré entre l'entrée du circuit et la voie "OUT+" dans la bande 18-22 GHz. Celui-ci est inférieur d'environ 0,7-0,8 dB à la valeur prévue par les simulations. L'incertitude de mesure n'est pas à mettre en cause puisque la précision du banc de mesure est très supérieure à l'écart constaté (cf. figure 67). L'hypothèse la plus vraisemblable sur ce point serait un problème au niveau du modèle en bruit utilisé pour les transistors. Pour celui-ci, le fondeur exploite en effet un modèle de type "SPICE" pour lequel deux sources de bruit (Sources en courant i_b et i_c) sont complètement décorrélées [43]. Sachant que la corrélation entre ces deux sources de bruit augmente normalement avec la fréquence, le modèle "SPICE" tend à surestimer le bruit produit par le transistor lorsque la fréquence est élevée, d'où le facteur de bruit plus élevé en simulation qu'en mesure.

5.3.2 Caractéristiques non linéaires

Comme le facteur de bruit, la linéarité de la caractéristique en puissance du circuit a été évaluée sur la voie "OUT+". Celle-ci est représentée sur la figure 68.

Le point de compression mesuré en sortie vaut -7,4 dBm pour une valeur simulée de -5,6 dBm. Cet écart de 1,8 dB reste toutefois fort acceptable et provient sans aucun doute de la conjonction des erreurs de mesure (notamment lors de la phase d'étalonnage de l'environnement de test) additionnées aux dispersions du procédé technologique associé à chacun des éléments du circuit.

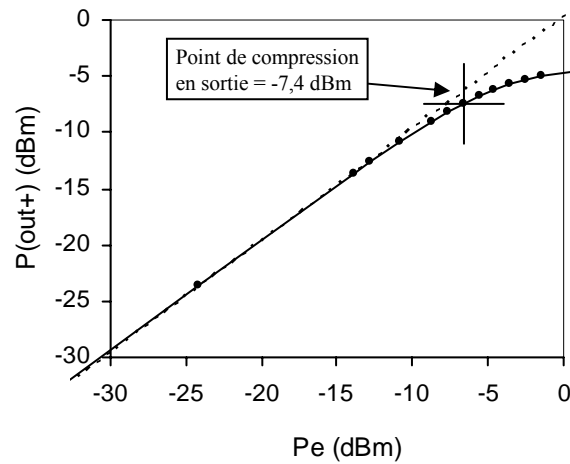


Figure 68: Variation de la puissance sur la sortie "OUT+" en fonction de la puissance d'entrée du diviseur de puissance 180°.

5.4 Conclusion

La comparaison des résultats de mesure et de simulation que nous venons de présenter permet de valider toute la méthodologie développée dans le chapitre II pour l'optimisation du TRMC d'un circuit utilisant des amplificateurs différentiels. Le maximum de TRMC mesuré à 20 GHz confirme les résultats de simulations présentés au cours des paragraphes précédents et démontre finalement l'intérêt de la topologie d'amplificateur différentiel à collecteurs communs.

6. AMÉLIORATIONS POSSIBLES DU DIVISEUR DE PUISSANCE 180°

L'alimentation du premier étage est trop élevée (5,8 V). En effet, le $V_{ce}(\text{Max})$ des transistors de la technologie BiCMOS7G de ST Microelectronics est de 2,5 V. Une tension d'alimentation bien supérieure à cette valeur peut entraîner des problèmes de fiabilité en raison du stress causé aux transistors au moment de la mise sous tension du circuit, où ces derniers se voient imposer le potentiel total de l'alimentation avant la stabilisation complète des courants de polarisation dans les différentes branches du circuit.

Une première solution pour diminuer cette tension consiste à remplacer la résistance R_{cp1} , qui fixe le courant de polarisation des transistors T_1 et T_2 , par une source en courant basée sur un transistor MOS. Une telle solution a été évoquée au cours du chapitre II (cf. §4.3.1). Le circuit $\{R_{cp1}, C_{cp1}\}$ du schéma électrique de la figure 53 peut ainsi être remplacé par le miroir de courant schématisé sur la figure 69.

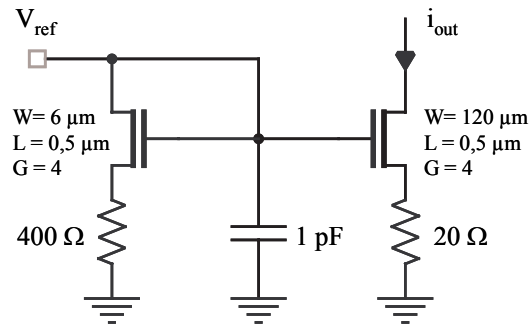


Figure 69: Exemple de miroir de courant remplaçant le réseau RC du 1^{er} étage.

A l'aide de cette source en courant, la tension d'alimentation nécessaire au premier étage du circuit est réduite à 4,9 V. Une tension minimale de 1 V permet à cette source de fonctionner correctement. Son comportement dynamique a été optimisé grâce aux deux résistances ainsi qu'à la capacité. L'effet de ces trois éléments sur le miroir de courant classique est expliqué dans l'annexe 3. Cette source permet d'améliorer fortement le TRMC sans dégradation des autres paramètres, puisque la polarisation des transistors du coupleur est inchangée. La figure 70 présente le TRMC nouvellement obtenu.

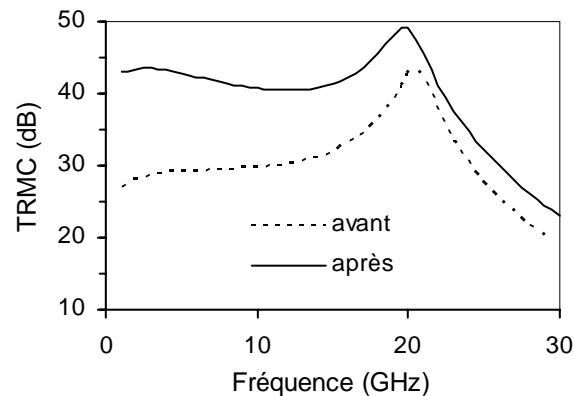


Figure 70: Améliorations du TRMC grâce à la source en courant.

On peut noter une forte amélioration de la réjection du mode commun sur toute la bande, et surtout à basses fréquences. A la fréquence de 20 GHz, le TRMC passe de 42,7 dB à 49,0 dB, soit une amélioration de 6,3 dB. Cette amélioration découle naturellement de la valeur de l'impédance dynamique de couplage des transistors de la paire différentielle qui, dans ces conditions, est beaucoup plus proche de celle de l'impédance optimale nécessaire pour la maximisation du TRMC (relation (36) du chapitre II) ainsi que par la plus grande désadaptation en impédance qui règne alors entre les deux étages du coupleur pour le mode commun.

Une autre voie d'amélioration, que nous n'avons cependant pas testée, consisterait à remplacer les résistances de charge R_{cl} par des inductances. Il deviendrait alors possible de contrôler la polarisation des transistors de façon plus efficace ($V_{ce} = \text{constante}$) tout en améliorant l'adaptation inter étage et donc le gain. Une attention particulière doit être portée à la stabilité dans ce cas.

7. CONCLUSION

Dans ce chapitre, un diviseur de puissance actif 180° a été conçu sur la base des structures différentielles analysées et décrites lors du chapitre II.

Dans un premier temps, nous avons étendu le principe de séparation modale des paramètres de dispersion aux coupleurs possédant trois accès. Cette approche permet ainsi de décomposer les signaux présents sur les deux sorties d'un diviseur de puissance 180° en composantes de mode commun et de mode différentiel. Le critère de réjection de mode commun, défini dans le chapitre II pour les amplificateurs différentiels, est alors redéfini pour le cas des diviseurs de puissance 180°.

Ces formalismes sont ensuite employés pour la conception proprement dite du diviseur de puissance 180°. Ce dernier exploite la technologie BiCMOS SiGe dont les éléments passifs ont été évalués dans le premier chapitre et son fonctionnement est optimisé pour une fréquence centrale de 20 GHz. Le circuit utilise une paire différentielle à émetteurs communs suivie d'une paire différentielle à collecteurs communs afin d'optimiser le TRMC. Le circuit final permet d'aboutir à une valeur du TRMC de 42 dB à 20 GHz. En outre, le circuit possède un fonctionnement large bande et ses caractéristiques électriques en gain et en linéarité valident l'intérêt que nous avons mis en évidence pour la topologie d'amplificateur différentiel à collecteurs communs lors du chapitre II.

Ce coupleur présente ainsi des performances très attrayantes. Pour confirmer leurs potentialités, notamment pour les applications au-delà de 20 GHz, nous avons entrepris leur intégration en tant que circuits de mise en forme des signaux pour la conception d'un système de conversion de fréquences utilisant un mélangeur doublement équilibré pour lequel trois coupleurs sont nécessaires (pour les voies RF, OL et FI).

Ce travail fait l'objet du prochain chapitre.

CHAPITRE IV :

APPLICATION À LA CONCEPTION D'UN MÉLANGEUR DOUBLEMENT ÉQUILIBRÉ EN BANDE K

1. INTRODUCTION

Ce dernier chapitre traite de la conception d'un convertisseur de fréquences complet associant un mélangeur doublement équilibré aux coupleurs nécessaires sur ses trois voies RF, OL et FI afin de générer (voies RF et OL) ou recombinaison (voie FI) les signaux différentiels nécessaires à son fonctionnement. L'objectif est ici de démontrer l'intérêt des topologies d'amplificateurs différentiels développées précédemment pour la réalisation de fonctions équilibrées complexes. Ce travail vise à montrer la possibilité d'atteindre de très bonnes performances dans la bande de fréquences millimétriques en utilisant une technologie SiGe faible coût de type BiCMOS, là où la plupart des réalisations faisant référence exploitent des procédés SiGe spécifiques⁵ tel que celui proposé par Infineon [47].

Dans une première partie, nous rappelons les principes de base de la transposition de fréquence en rappelant l'intérêt des topologies équilibrées de mélange. La deuxième partie traite de l'optimisation des caractéristiques électriques obtenues à partir de la topologie de mélangeur que nous avons étudiée. L'adaptation des diviseurs de puissance à la cellule de mélange doublement équilibrée, l'optimisation de cette cellule ainsi que la conception du combineur de puissance sont ensuite abordées avant de présenter les résultats de simulation et de mesure de la puce complète.

2. DÉFINITIONS

2.1 La transposition de fréquence

La transposition de fréquence consiste à déplacer la bande de fréquences contenant le signal d'entrée, généralement nommé "signal radiofréquence" (RF), vers une seconde bande de fréquences, appelée "fréquence intermédiaire" (FI), sans que le spectre du signal transposé ne subisse de modification. Cette transposition de fréquence nécessite un signal supplémentaire issu d'un oscillateur local (OL) dont la fréquence va permettre de contrôler la bande de fréquences FI que l'on souhaite obtenir en sortie. Dans tous les cas, un circuit réalisant la multiplication des signaux RF et OL est nécessaire afin d'obtenir la nouvelle bande de fréquence souhaitée en sortie.

⁵ Ce sont des technologies SiGe fortement optimisées pour les applications micro-ondes qui exploitent des substrats silicium à haute résistivité. Ce type de substrat est incompatible avec l'implémentation de transistors MOS, ce qui les limite à des applications analogiques pures, ou numériques à bases de TBH (logique ECL) à très hautes performances mais incompatibles avec la tendance "SoC" (System On Chip).

La multiplication des signaux RF et OL se traduit entre autres par la conversion du signal d'entrée vers deux bandes de fréquences centrées sur $f_{RF} - f_{OL}$ et $f_{RF} + f_{OL}$ en sortie FI. De ces deux fréquences, une seule est d'intérêt. Si l'on souhaite réaliser un convertisseur de fréquence supradyné ("up converter"), il faut éliminer la composante en $f_{RF} - f_{OL}$. Dans le cas d'un convertisseur infradyne ("down converter"), c'est la composante $f_{RF} + f_{OL}$ qui doit être supprimée.

Aux fréquences micro-ondes, les convertisseurs de fréquence les plus utilisés sont les mélangeurs à non-linéarité. Cette classe de mélangeur exploite les non-linéarités des composants actifs classiques (diode, transistor) pour générer les produits de mélange qui conduiront aux fréquences souhaitées. Le signal OL, dont on peut contrôler l'amplitude, est en général une sinusoïde qui produit le fonctionnement non-linéaire de l'élément actif. Cette opération s'appelle "le pompage".

Ce type de mélangeur peut être représenté par le schéma de la figure 71.

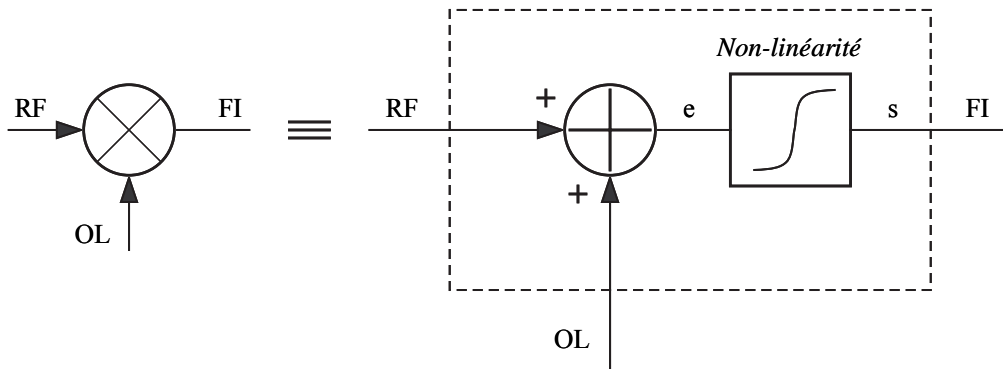


Figure 71: Exemple de schéma interne pour un mélangeur.

La tension de sortie $x_{FI}(t)$ du mélangeur peut s'exprimer en fonction de l'entrée de la non-linéarité e , somme des deux signaux respectivement RF et OL, en modélisant la non linéarité par le développement polynomial donné par la relation (54), où A, B et C sont des coefficients caractéristiques de la non-linéarité :

$$s = A \cdot e + B \cdot e^2 + C \cdot e^3 + \dots \quad (54)$$

En fonction des signaux d'entrée x_{RF} et x_{OL} , le signal de sortie s'exprime alors :

$$\begin{aligned} x_{FI} = & A \cdot (x_{RF} + x_{OL}) + B \cdot (x_{RF}^2 + 2 \cdot x_{RF} \cdot x_{OL} + x_{OL}^2) \\ & + C \cdot [x_{RF}^3 + 3 \cdot x_{RF} \cdot x_{OL}^2 + 3 \cdot x_{RF}^2 \cdot x_{OL} + x_{OL}^3] + \dots + k_i \cdot x_{RF}^m \cdot x_{OL}^n + \dots \end{aligned} \quad (55)$$

Si les signaux d'entrée sont sinusoïdaux, avec $x_{RF}(t) = V_{RF} \cdot \cos(\omega_{RF}t)$ et $x_{OL}(t) = V_{OL} \cdot \cos(\omega_{OL}t)$, on retrouve, pour le signal de sortie, l'expression (56). En classant les termes par ordre croissant des puissances de la non-linéarité dont ils résultent, on obtient :

$$\begin{aligned}
 x_{FI} = & A \cdot V_{RF} \cdot \cos(\omega_{RF}t) + A \cdot V_{OL} \cdot \cos(\omega_{OL}t) + \\
 & \frac{B}{2} (V_{RF}^2 + V_{OL}^2) + \frac{B}{2} \cdot V_{RF}^2 \cdot \cos(2\omega_{RF}t) + \frac{B}{2} \cdot V_{OL}^2 \cdot \cos(2\omega_{OL}t) \\
 & + B \cdot V_{RF} V_{OL} \cdot \cos[(\omega_{RF} - \omega_{OL})t] + B \cdot V_{RF} V_{OL} \cdot \cos[(\omega_{RF} + \omega_{OL})t] \\
 & + \frac{C}{4} \cdot V_{RF}^3 \cdot \cos(3\omega_{RF}t) + \frac{C}{4} \cdot V_{OL}^3 \cdot \cos(3\omega_{OL}t) \\
 & + \frac{3C}{4} \cdot V_{RF}^2 V_{OL} \cdot \cos[(2\omega_{RF} - \omega_{OL})t] + \frac{3C}{4} \cdot V_{RF}^2 V_{OL} \cdot \cos[(2\omega_{RF} + \omega_{OL})t] \\
 & + \frac{3C}{4} \cdot V_{RF} V_{OL}^2 \cdot \cos[(\omega_{RF} - 2\omega_{OL})t] + \frac{3C}{4} \cdot V_{RF} V_{OL}^2 \cdot \cos[(\omega_{RF} + 2\omega_{OL})t] \\
 & + \frac{3C}{4} \cdot (V_{RF}^3 + V_{RF} V_{OL}^2) \cdot \cos(\omega_{RF}t) + \frac{3C}{4} \cdot (V_{RF}^2 V_{OL} + V_{OL}^3) \cdot \cos(\omega_{OL}t)
 \end{aligned} \tag{56}$$

La non-linéarité engendre donc toute une série d'harmoniques. Parmi ceux-ci, seul le terme $2B \cdot x_{RF} \cdot x_{OL}$, issu de la puissance d'ordre 2 de la non-linéarité nous intéresse puisqu'il est à l'origine des fréquences $f_{RF} - f_{OL}$ et $f_{RF} + f_{OL}$. De manière plus générale, la puissance d'ordre i de la non-linéarité génère des produits d'intermodulation d'ordre i dont les fréquences sont données par l'expression $f = |m \cdot f_{RF} \pm n \cdot f_{OL}|$ avec $i = |m| + |n|$ et des amplitudes proportionnelles à $V_{RF}^m \cdot V_{OL}^n$.

Ces développements simplifiés montrent qu'un mélangeur basé sur une seule non-linéarité engendre un grand nombre de raies parasites en sortie. Ce phénomène est très marqué avec les technologies exploitant des transistors bipolaires, où la non-linéarité exploitée (la transconductance) suit une loi exponentielle. Sur ce point, les technologies à transistors à effet de champs sont mieux adaptées. En effet, la non-linéarité utilisée dans ce type d'élément (toujours la transconductance) suit généralement une loi quadratique, qui permet d'optimiser la conversion de fréquence vers les produits de mélange souhaités ($f_{RF} - f_{OL}$ ou $f_{RF} + f_{OL}$) et de minimiser le niveau des autres produits d'intermodulation.

2.2 Les mélangeurs équilibrés

Pour les mélangeurs exploitant une seule non-linéarité, nous venons de montrer qu'un grand nombre de produits de mélange se retrouvent en sortie. Certains d'entre eux peuvent être proches de la bande de fréquence FI et viennent ainsi distordre le signal utile sans que ce

problème puisse être corrigé. L'élimination de ces raies parasites est très délicate et ne peut être réalisée que par l'emploi de filtres d'ordre élevé, solution difficile à mettre en œuvre en raison de l'encombrement du circuit qui en résulte.

Ainsi, lorsqu'on souhaite un signal de sortie le moins distordu possible on a le plus souvent recours aux topologies équilibrées de mélangeurs qui permettent de réduire simplement les produits d'intermodulation indésirables présents en sortie du système en associant plusieurs cellules de mélange élémentaires à l'aide de coupleurs. Il existe deux classes de structures équilibrées de complexité mais aussi d'efficacité de réjection des harmoniques croissantes. On dispose ainsi de topologies simplement ou doublement équilibrées. La figure 72 présente les synoptiques de tels mélangeurs.

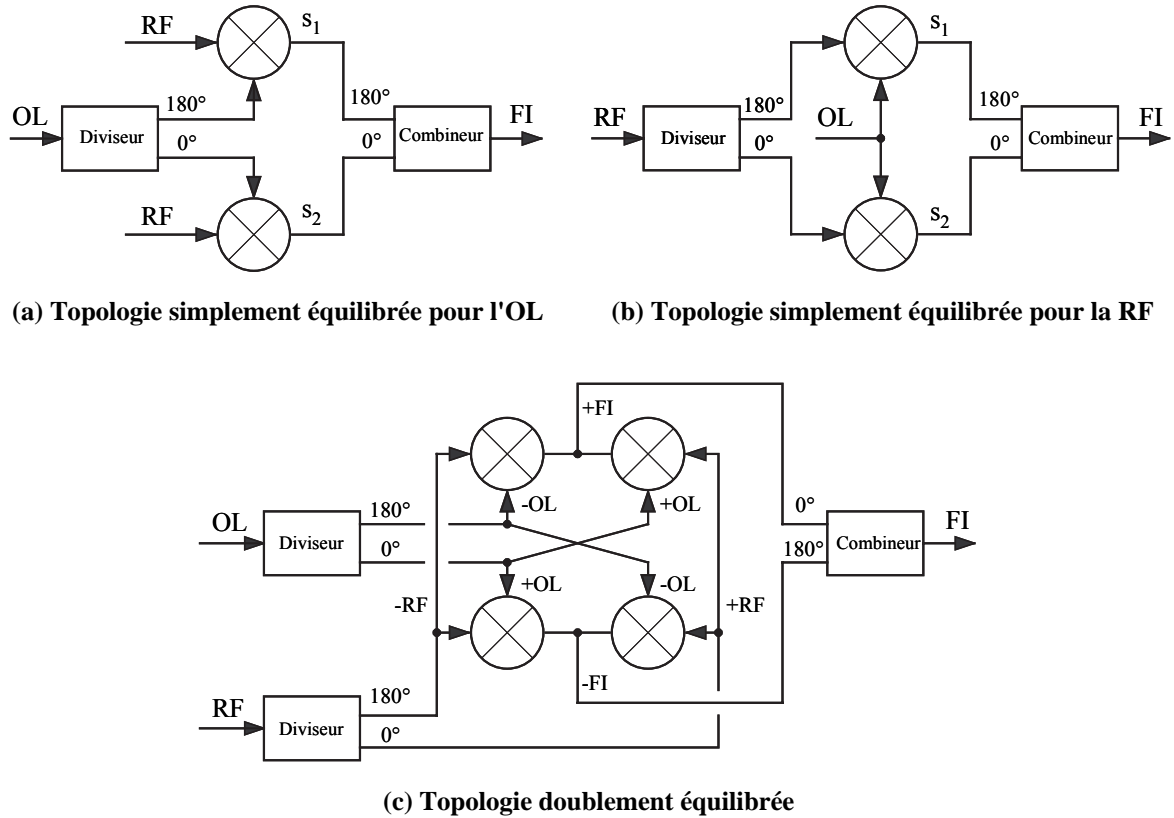


Figure 72: Mélangeurs simplement et doublement équilibrés.

Les structures simplement équilibrées exploitent deux mélangeurs élémentaires ainsi que deux coupleurs. Le coupleur d'entrée génère deux signaux en opposition de phase soit sur la voie OL, soit sur la voie RF. Dans ce dernier cas, les sorties s_1 et s_2 s'expriment de la façon suivante :

$$s_{1/2} = A \cdot (+/- x_{RF} + x_{OL}) + B \cdot (x_{RF}^2 + +/- 2 \cdot x_{RF} \cdot x_{OL} + x_{OL}^2) + C \cdot [+/- x_{RF}^3 + +/- 3 \cdot x_{RF} \cdot x_{OL}^2 + 3 \cdot x_{RF}^2 \cdot x_{OL} + x_{OL}^3] + \dots + k_i \cdot (+/- x_{RF})^m \cdot x_{OL}^n + \dots \quad (57)$$

soit, en sortie :

$$x_{FI} = s_2 - s_1 = 2A \cdot x_{RF} + 4B \cdot x_{RF} \cdot x_{OL} + \dots + 2C \cdot (x_{OL}^3 + 3 \cdot x_{RF} \cdot x_{OL}^2) + \dots k_i \cdot x_{RF}^m \cdot x_{OL}^n - k_i \cdot (-x_{RF})^m \cdot x_{OL}^n + \dots$$

Toutes les fréquences harmoniques du signal OL sont supprimées, de même que les fréquences harmoniques paires du signal RF. Il ne reste dans ce cas que les produits d'intermodulation qui contiennent une puissance impaire du signal RF. Dans le cas du mélangeur simplement équilibré pour le signal OL, la réjection des produits de mélange parasites se passe de la même façon en effectuant une intervention des signaux RF et OL dans les expressions (57).

La structure doublement équilibrée utilise deux mélangeurs simplement équilibrés et nécessite trois coupleurs. Elle met donc en œuvre quatre non-linéarités. La sortie FI d'un tel circuit ne contient plus que le terme utile accompagné des produits d'intermodulation contenant les puissances impaires du signal RF ou OL :

$$x_{FI} = 8B \cdot x_{RF} \cdot x_{OL} + \dots k_i \cdot x_{RF}^m \cdot x_{OL}^n - k_i \cdot (-x_{RF})^m \cdot (-x_{OL})^n + \dots \quad (58)$$

Si ces mélangeurs présentent des performances attrayantes, la multiplication des cellules élémentaires et des coupleurs augmente cependant considérablement la complexité, la surface occupée ainsi que la consommation du circuit. Malgré ces défauts, les mélangeurs de topologies équilibrées sont très largement employés car ils permettent finalement d'obtenir une forte isolation entre les différentes voies du mélangeur. Les principales caractéristiques des différents types de mélangeurs équilibrés sont résumées dans le tableau 4.

<i>Caractéristiques</i>		<i>Classes de mélangeurs</i>			
		<i>Cellule élémentaire</i>	<i>Simple équilibrée (RF)</i>	<i>Simple équilibrée (OL)</i>	<i>Double équilibrée</i>
Réjection des harmoniques du signal OL			Tous	Pairs	Tous
Réjection des harmoniques du signal RF			Pairs	Tous	Tous
Réjection des $mf_{RF} \pm nf_{OL}$	m pairs		✓		✓
	n pairs			✓	✓
Nombre de non-linéarités		1	2		4
Gain de conversion (coupleurs idéaux à gain unitaire)		G_c	$G_c + 3$ dB		$G_c + 6$ dB
Consommation normalisée par rapport à la cellule élémentaire		1	Minimum $\times 2$		Minimum $\times 4$
Nombre de coupleurs		0	2		3

Tableau 4: Tableau récapitulatif des performances des différents types de mélangeurs.

3. CONCEPTION DU MÉLANGEUR COMPLET

Pour la réalisation du mélangeur, nous nous sommes fixés le cahier des charges suivant :

- Fréquence RF = 20 GHz
- Fréquence FI = 1 GHz
- Structure double équilibrée permettant d'exploiter le coupleur développé au cours du chapitre précédent.

Il s'agit donc d'un mélangeur infradyne qui pourrait être typiquement intégré dans la chaîne de réception d'une puce destinée aux futures applications multimédia telles que le LMDS (Local Multipoint Distribution Service).

3.1 Organisation de la puce complète

A partir de ces spécifications, nous nous sommes attachés à optimiser chaque élément du système indépendamment afin de déterminer les performances maximales qui pouvaient être attendues. Ce travail permet ensuite de fixer les contraintes au niveau de chaque étage.

La puce est organisée selon le schéma de principe de la figure 72c. Le diviseur de puissance 180° décrit dans le chapitre III est directement utilisé en tant que coupleur pour la voie RF. Le coupleur présent à l'entrée de l'étage OL est conçu sur la base du même circuit, mais a été optimisé afin de privilégier la linéarité de la caractéristique en puissance (puisque ce coupleur doit réaliser le pompage du mélangeur). Enfin, le combineur de puissance placé sur la sortie FI est réalisé à partir d'une topologie classique basée sur un amplificateur différentiel à émetteurs communs, compte tenu de la fréquence de fonctionnement de 1 GHz. Ce dernier étage va imposer la linéarité de la caractéristique en puissance pour toute la chaîne de réception. A partir du gain de chaque étage, nous serons alors en mesure de fixer les contraintes minimales sur cette caractéristique pour les autres sous-ensembles de la chaîne, à savoir le diviseur RF et le mélangeur doublement équilibré. Pour la linéarité du diviseur OL, une étude est menée au niveau du mélangeur seul pour connaître les paramètres caractéristiques permettant de minimiser la puissance du signal de pompe nécessaire tout en permettant un facteur de bruit ainsi qu'un gain de conversion optimisés.

3.2 Le combineur de puissance FI

Dans ce paragraphe, nous allons détailler la conception du combineur de puissance FI dont le schéma complet est présenté sur la figure 73.

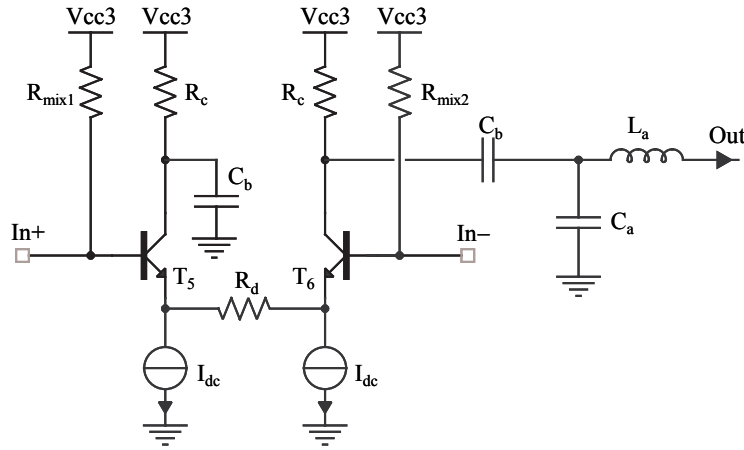


Figure 73: Schéma électrique du combineur de puissance 180° pour la voie FI.

Il s'agit d'une paire différentielle à émetteurs communs classique intégrant une impédance de dégénérescence sur les émetteurs. Les deux entrées sont situées sur les bases des transistors T_5 et T_6 et la sortie est prise sur le collecteur du transistor T_6 , l'autre branche étant dynamiquement connectée à la masse. Le choix de la topologie a été dicté par des contraintes fortes tant au niveau de la valeur du TRMC que de la linéarité de la caractéristique en puissance de la structure.

3.2.1 Polarisation des transistors

Généralement, pour polariser classiquement un amplificateur différentiel, un potentiel est appliqué sur les bases des transistors afin de stabiliser le potentiel des émetteurs, tous deux connectés à la même source en courant. Par la suite, la tension V_{ce} des transistors est fixée par la valeur de la source en courant ainsi que par les deux résistances de charge, placées entre la tension d'alimentation et les collecteurs des deux transistors.

Ici, une liaison directe a été choisie pour connecter les sorties du mélangeur avec les deux entrées du combineur de puissance 180° pour des raisons de compacité de la puce complète. Il n'y a donc pas de capacité de liaison entre les deux étages. D'un point de vue statique, les sorties du mélangeur sont alors directement chargées par les résistances R_{mix1} et R_{mix2} . Par conséquent, les courants de polarisation du mélangeur fixent la tension aux bornes de ces deux résistances, laquelle polarise à son tour les transistors T_5 et T_6 du coupleur de sortie.

Le courant I_{dc} , traversant chaque transistor, est imposé par deux miroirs de courants. L'impédance dynamique de ces derniers a été fixée afin de maximiser la réjection du mode commun. Pour cela, nous avons utilisé la topologie du miroir de courant décrite dans l'annexe 3, à partir de transistors MOS correctement dimensionnés pour fournir le courant nécessaire et

présenter une capacité dynamique voisine de la valeur optimale maximisant le TRMC, et dont il a été discuté au cours du chapitre II (cf. §4.3.1).

3.2.2 Optimisation de la linéarité du circuit

Un amplificateur différentiel est un circuit simple et très efficace pour la réalisation d'un combineur de puissance 180° à 1 GHz [51]. Une telle topologie n'est cependant pas idéale pour effectuer de l'amplification de puissance. En effet, pour un amplificateur différentiel, seule la puissance consommée par le transistor d'une des deux voies est exploitée en sortie. Le courant identique qui circule sur l'autre voie permet à la structure de conserver sa symétrie électrique sans toutefois participer directement à l'optimisation de la linéarité du circuit.

Nous avons donc effectué une étude très précise sur ce circuit afin d'optimiser la linéarité de la caractéristique en puissance tout en conservant une consommation raisonnable.

▪ Les contraintes

Outre les contraintes sur le TRMC, fixé à 30 dB minimum, nous avons souhaité ne pas dépasser une tension d'alimentation de 5 V avec un courant maximal d'environ 10 mA par branche. En effet, la conception d'une source en courant délivrant plus de 10 mA devient problématique d'un point de vue du dimensionnement des transistors MOS qui la constituent ainsi que pour les performances dynamiques atteintes. Les autres contraintes sont les suivantes :

- La résistance de charge R_c doit faire l'objet d'un compromis à réaliser entre le courant de collecteur dans chaque transistor, la droite de charge permettant d'obtenir la meilleure linéarité et la tension d'alimentation qui ne doit pas dépasser 5 V.
- L'impédance d'entrée doit être suffisamment élevée pour ne pas constituer une charge dynamique supplémentaire venant se rajouter en parallèle avec R_{mix} , ce qui aurait pour conséquence une forte dégradation du gain de conversion au niveau du mélangeur.
- L'inductance L_a du réseau d'adaptation en sortie $L_a C_a$ doit posséder une valeur inférieure à 10 nH de façon à présenter un encombrement ainsi que des performances acceptables, aussi bien en terme de facteur de qualité que de fréquence de résonance, pour la fréquence de 1 GHz considérée. Ce réseau permet d'optimiser simultanément la linéarité et l'adaptation en puissance en sortie du combineur. Son optimisation fait l'objet du paragraphe suivant.

▪ *Méthodologie d'optimisation de la linéarité*

Pour obtenir une puissance de sortie maximale, le transistor étant polarisé en classe A, il est utile d'étudier le cycle de charge représentatif de la circulation du point de fonctionnement du transistor sur ses caractéristiques de sortie. Ce cycle ne doit pas présenter de forme elliptique, signe de la présence d'une partie réactive pour la charge connectée au niveau de la source de courant commandée du transistor, et qui emmagasinera de la puissance que l'on ne retrouvera donc pas au niveau de la charge du circuit. Le cycle de charge doit si possible s'apparenter à une droite, comme suggéré sur la figure 74. La pente de cette droite de charge doit permettre des excursions maximales du courant et de la tension. Le point de polarisation du transistor est alors choisi au milieu de cette droite de charge optimale, délimitée par le courant maximal d'un côté, et par la tension à ne pas dépasser de l'autre (cf. figure 74).

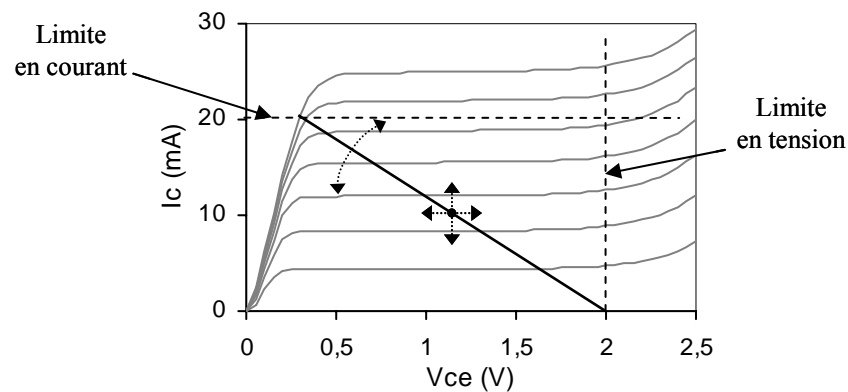


Figure 74: Méthodologie d'optimisation de la linéarité du combineur de puissance.

En utilisant cette méthode, le point de compression en sortie du circuit est maximisé et les paramètres I_{dc} , R_c , R_b , L_a et C_a du circuit sont déterminés. Dans ces conditions, on doit observer une distorsion du signal de sortie portant simultanément sur un écrêtage de la tension et du courant, lorsque le niveau de puissance injectée à l'entrée du circuit correspond au point de compression souhaité en sortie. Le résultat de cette optimisation est illustré sur la figure 75.

Ce cycle optimal est obtenu pour une résistance $R_c = 230 \Omega$. La cellule $L_a C_a$ augmente l'impédance de la charge 50Ω de sortie vers approximativement 100Ω pour satisfaire au critère d'adaptation d'impédance et compense la partie réactive de l'impédance de sortie du transistor. De ce fait, l'adaptation simultanée de la sortie du circuit en puissance et en impédance est assurée ($|\Gamma_{out}| = -12,3 \text{ dB}$ à 1 GHz).

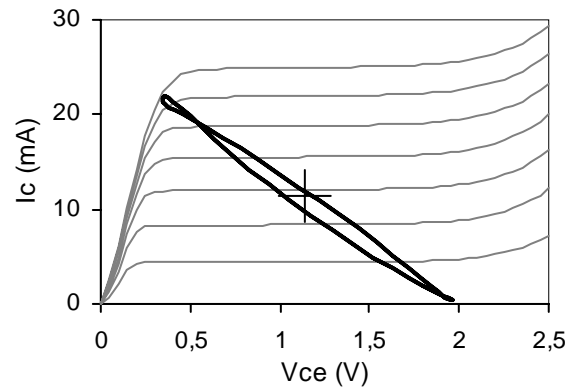


Figure 75: Cycle de charge et point de polarisation du transistor T_6 après optimisation de la linéarité.

La géométrie du transistor est réajustée une fois le courant de polarisation choisi de manière à ce que la densité de courant dans le transistor corresponde au maximum de sa fréquence de transition.

3.2.3 Caractéristiques électriques du combineur de puissance

L'entrée du circuit n'est pas adaptée en impédance sur $50\ \Omega$, en raison de sa fonction d'étage tampon, qui nécessite une très forte impédance d'entrée devant l'impédance de sortie de la source. Nous justifierons ce choix au cours du paragraphe 3.3.4. Les performances simulées du circuit sont représentées sur le tableau 5. Ces résultats ont été obtenus en chargeant l'entrée du circuit par les impédances de sortie des deux voies du mélangeur. Le coefficient de réflexion en sortie ainsi que le TRMC du circuit sont représentés sur la figure 76 en fonction de la fréquence.

$ \Gamma_{\text{out}} $	-12,3 dB
TRMC	42,0 dB
Gain différentiel	9,7 dB
Isolation	-39 dB
$OP_{1\text{dB}}$	+4,4 dBm
$OIP_{3\text{dB}}$	+17,3 dBm
Consommation	115 mW

Tableau 5: Caractéristiques électriques du combineur de puissance 180° à 1 GHz.

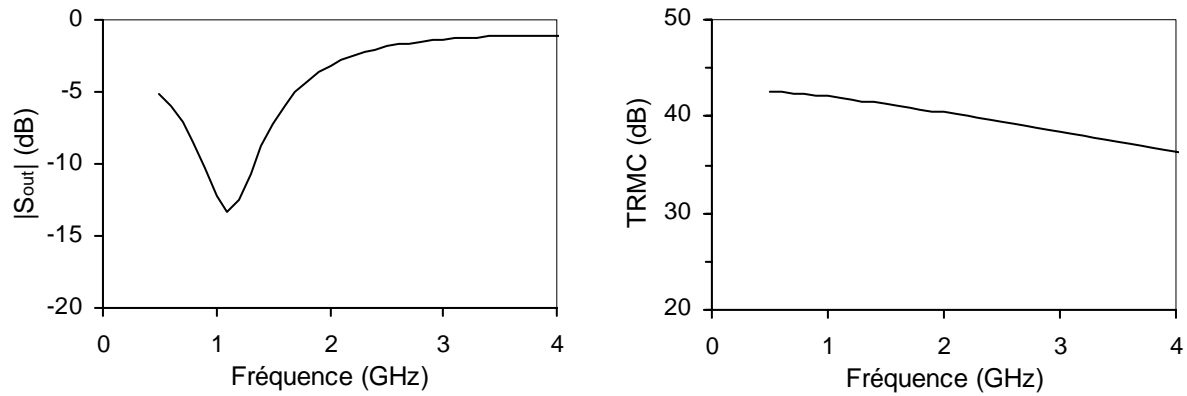


Figure 76: Coefficient de réflexion en sortie et TRMC du coupleur en fonction de la fréquence.

3.3 Conception du mélangeur

3.3.1 La cellule de Gilbert

Le mélangeur réalisé repose sur la topologie introduite par Gilbert [66], dont le schéma électrique est représenté sur la figure 77.

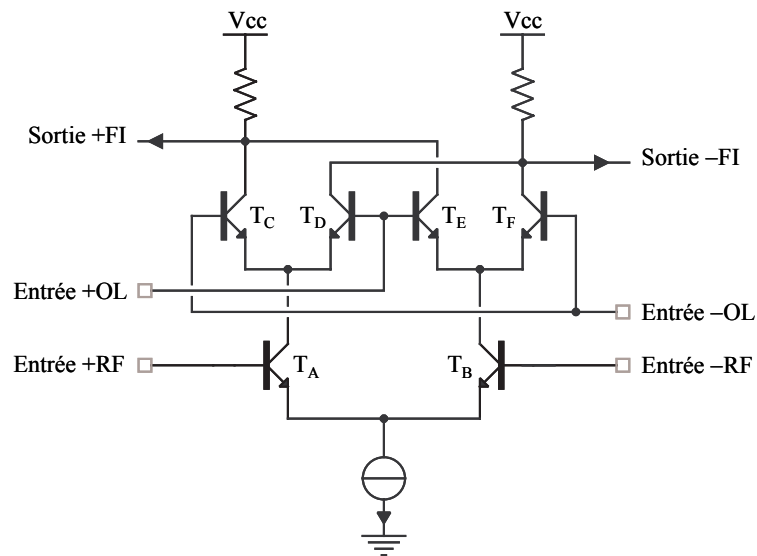


Figure 77: Mélangeur de Gilbert classique.

Il est composé de deux étages superposés. Sur l'étage inférieur est appliqué le signal véhiculant l'information dont on souhaite transposer la fréquence (signal RF). Cet étage est constitué d'une paire de transistors montés en amplificateur différentiel (T_A et T_B) fonctionnant en régime linéaire.

L'étage supérieur constitue la partie non linéaire du circuit à l'origine de la transposition de fréquence. Cet étage est composé des quatre transistors T_C à T_F qui sont disposés en deux paires, chacune connectée sur une branche de l'étage différentiel inférieur, entre la résistance de charge et le collecteur de T_A ou T_B . Le caractère non-linéaire du circuit est assuré grâce à l'application, sur la base de chacun de ces quatre transistors, d'un signal de pompe de forte amplitude provenant de l'oscillateur local (signal OL). Ces quatre transistors fonctionnent ainsi en régime fortement non-linéaire (pratiquement commutation entre fonctionnements bloqué et saturé) au rythme de la fréquence du signal OL.

En plaçant des coupleurs idéaux sur les trois paires d'accès RF, OL et FI, la structure est parfaitement équilibrée. Quelques propriétés remarquables en découlent :

- Les émetteurs des quatre transistors de commutation (T_C à T_F) sont des masses virtuelles pour les signaux aux fréquences OL et FI, puisque l'étage différentiel inférieur possède un régime de fonctionnement purement linéaire, d'amplification du signal à la fréquence RF.
- Le coupleur à la fréquence OL possède aussi un fonctionnement linéaire et les bases des transistors de commutation représentent alors des masses virtuelles pour les signaux RF et FI.
- Enfin, les collecteurs des transistors de commutation sont des masses virtuelles pour les signaux aux fréquences RF et OL.

Ces propriétés permettent enfin d'aboutir à une très bonne isolation entre les voies du mélangeur.

3.3.2 Topologie développée

Dans le mélangeur de Gilbert, l'étage inférieur fournit une amplification pour le signal RF et constitue l'étage linéaire transconducteur de la topologie. Cette paire différentielle inférieure constitue souvent un facteur limitatif important pour les performances finales de la cellule. En effet, cet étage est nécessairement polarisé à faible courant de façon à minimiser le facteur de bruit du mélangeur. Cette nécessité est contradictoire avec l'obtention d'une bonne linéarité pour l'étage différentiel inférieur, limitant par conséquent celle du mélangeur complet. En conséquence, un compromis doit toujours être réalisé entre les performances en bruit et en linéarité de la puissance, qui ne peuvent pas être optimisées simultanément. Par

ailleurs, la polarisation des transistors de commutation est fixée par celle de l'étage inférieur, ce qui ne permet pas à ces transistors de fonctionner de manière optimale.

Pour toutes ces raisons, nous avons supprimé la paire différentielle inférieure pour la remplacer par le diviseur de puissance développé au cours du chapitre III. Ainsi, la limite de linéarité imposée par la paire différentielle employée dans le mélangeur classique est alors largement dépassée et le point de polarisation des transistors de commutation peut être établi indépendamment afin d'améliorer les performances du mélangeur de façon très efficace. L'optimisation de la polarisation de ces transistors fait l'objet des deux prochains paragraphes. Le nouveau mélangeur ne possède alors que les quatre transistors assurant le fonctionnement non-linéaire du circuit et son schéma électrique est représenté sur la figure 78.

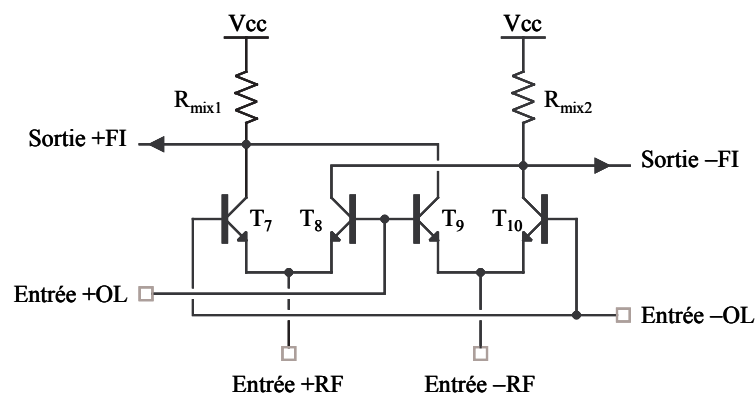


Figure 78: Schéma électrique du mélangeur étudié.

3.3.3 Critères utilisés pour le choix du transistor

Les performances en bruit, en gain de conversion et en linéarité de la puissance de sortie du mélangeur vont fixer le choix du transistor.

▪ Bruit du mélangeur

Dans un premier temps, le bruit blanc aux fréquences RF et image présent à la sortie du coupleur RF va être translaté à la fréquence FI par le processus de mélange et se retrouvera donc en sortie du mélangeur [67] [68].

De plus, les transistors réalisant le mélange, ainsi que les résistances de charges dans une moindre mesure, vont rajouter leur propre contribution au bruit total présent à la sortie du mélangeur à la fréquence FI [67] [68]. Ces transistors viennent injecter leurs diverses sources de bruit (bruit de grenaille et bruit thermique) dans la charge, pendant la phase de commutation entre les deux états saturés et bloqués, durant laquelle ils se comportent comme des amplificateurs différentiels à la fréquence OL. Il est donc nécessaire de trouver un

compromis sur le dimensionnement des transistors de commutation. Des transistors de petites dimensions commutent très rapidement et présentent un gain de conversion élevé au détriment des performances en bruit, en raison de leur résistance de base élevée. Lorsque les transistors utilisés sont de plus grandes dimensions, les résistances de bases diminuent améliorant le comportement en bruit de la structure, mais leur vitesse de commutation diminue, ce qui s'accompagne d'une diminution de la valeur du gain de conversion [67].

▪ *Gain de conversion*

Le gain de conversion du mélangeur dépend principalement du coefficient associé au terme d'ordre deux de la non-linéarité exploitée, lorsque celle-ci est représentée sous forme polynomiale (cf. §2.1). La principale non-linéarité excitée lors du pompage d'un transistor bipolaire est la transconductance. Il est donc nécessaire que cette transconductance varie dans des proportions suffisantes pour produire un gain de conversion de valeur acceptable.

Dans un premier temps, nous avons ainsi étudié les transconductances statiques de différents transistors. Un compromis sur les dimensions du transistor est à trouver puisque lorsqu'on augmente ses dimensions, la valeur maximale de la transconductance augmente mais les éléments parasites augmentent aussi. Ainsi, à partir de certaines valeurs, l'augmentation des dimensions des transistors de mélange ne se traduit plus par une augmentation du gain de conversion.

▪ *Linéarité*

Le point de compression en sortie du mélangeur doit être légèrement supérieur au point de compression en entrée du combineur de puissance. Afin de pallier à d'éventuelles variations de gain et de linéarité du combineur de puissance en raison des variations technologiques du procédé de fabrication, nous avons fixé une certaine marge permettant de garantir le bon fonctionnement de la mise en cascade de ces deux dispositifs.

Compte tenu de toutes ces contraintes, nous avons choisi un transistor comportant trois doigts d'émetteur, quatre doigts de base et deux doigts de collecteur, pour une longueur de 15 μm par doigt. Des transistors de grandes dimensions possèdent par ailleurs une impédance d'entrée sur la voie OL trop faible, ce qui rend la conception du diviseur OL plus difficile (cf. §3.4).

3.3.4 Détermination des paramètres optimaux du mélangeur

Dans la littérature, chaque sortie d'une cellule de Gilbert est généralement connectée à une charge constituée par une résistance de forte valeur, de façon à maximiser le gain de conversion de la structure. La tension à ses bornes est alors envoyée vers un étage tampon disposant d'une forte impédance d'entrée et qui réalise l'amplification de puissance nécessaire. Il n'y a donc pas d'adaptation d'impédance à la sortie de ce type de mélangeur.

En effet, la résistance de charge est déterminée de manière à optimiser les variations de la transconductance des transistors constituant le mélangeur. En connectant un coupleur à forte impédance d'entrée sur la sortie du mélangeur, l'impédance de charge dynamique n'est alors pratiquement pas modifiée. La configuration optimale pour le gain de conversion du mélangeur est ainsi pratiquement conservée malgré un transfert de puissance fortement défavorable. En optimisant l'adaptation en puissance, la valeur de l'impédance de charge dynamique connectée au mélangeur est largement modifiée et résulte en un gain de conversion fortement dégradé, malgré le gain procuré par cette adaptation d'impédance.

Nous avons pu vérifier que l'adaptation d'impédance ne conduit pas à des performances optimales pour le gain de conversion et la linéarité. Par conséquent, le mélangeur sera étudié sans chercher à réaliser l'adaptation d'impédance sur ses sorties.

▪ Etude paramétrique de la cellule de mélange

Afin de trouver les conditions optimales d'utilisation des transistors constituant le mélangeur, nous avons étudié l'évolution du gain de conversion (figure 79), du point de compression (figure 80) en fonction des variations suivantes :

- Puissance du signal OL (P_{OL}) de -9 à +3 dBm
- Courant de base I_B de 15 μ A à 40 μ A
- Résistance de charge R_{mix} , de 50 Ω à 250 Ω

Pour cette première analyse, nous n'avons pas fixé la tension d'alimentation du circuit de façon à visualiser directement les conséquences des variations d'un paramètre sur les différentes caractéristiques du mélangeur sans en affecter les autres.

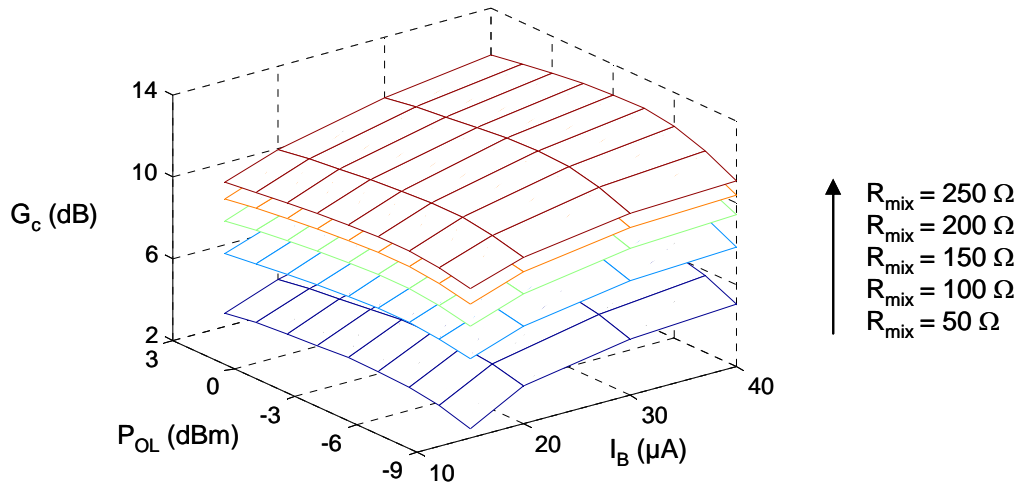


Figure 79: Gain de conversion G_c en fonction de la puissance OL et du courant de base I_B , pour différentes valeurs de R_{mix} (V_{CE} constant).

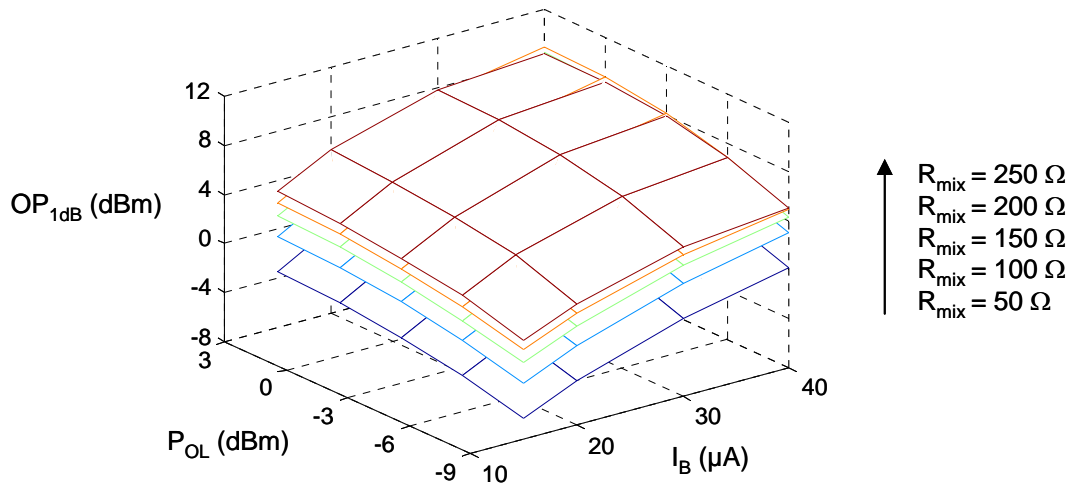


Figure 80: Point de compression en sortie en fonction de la puissance OL et du courant de base I_B , pour différentes valeurs de R_{mix} (V_{CE} constant).

Des deux figures ci-dessus, nous pouvons déduire que le gain de conversion est avant tout fixé par la valeur de l'impédance de charge, résultat caractéristique d'un mélangeur de Gilbert. Le courant de polarisation des transistors influe de manière plus modeste mais un courant trop faible dégrade le gain de conversion.

En considérant les performances du combineur de puissance FI en terme de gain et de linéarité, le point de compression du mélangeur est suffisamment élevé à partir d'un courant de base de 20 μA et d'une résistance de charge supérieure à 150 Ω.

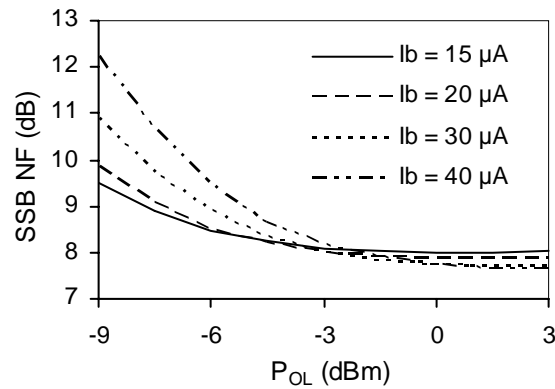


Figure 81: Facteur de bruit en fonction de la puissance OL et du courant de base (V_{CE} constant).

Sur la figure 81 nous pouvons nous rendre compte que la valeur du facteur de bruit du mélangeur est importante pour les faibles valeurs de la puissance du signal OL (inférieures à -3 dBm) lorsque le courant de polarisation des transistors augmente. Pour les forts courants de polarisation, les puissances OL les plus faibles (-9 dBm, -6 dBm) ne permettent pas une excursion de la non-linéarité du transistor suffisante. Le transistor fonctionne alors en amplificateur, ce qui est très défavorable pour le bruit [67]. Il faut donc éviter de polariser les transistors du mélangeur à un courant de base supérieur à 30 μA afin de préserver un fonctionnement en classe B.

▪ Etude à tension d'alimentation fixe

Nous avons choisi de fixer la tension d'alimentation de la cellule de mélange à 3,3 V. Cette tension impose une contrainte supplémentaire pour le choix de la valeur de la résistance de charge R_{mix} puisque cette résistance est corrélée au courant de polarisation et de la tension V_{CE} appliquée aux bornes des transistors de l'étage non-linéaire. L'augmentation de cette résistance améliore le gain de conversion (cf. figure 82). Le point de compression est optimal pour des résistances de charge comprises entre 180 Ω et 200 Ω (cf. figure 82). Au delà, la linéarité est à nouveau dégradée en raison de la tension V_{CE} qui devient trop faible. Cependant, la limite minimale fixée par le combineur de puissance est toujours respectée. Cette caractéristique du mélangeur n'est donc pas un critère de première importance ici.

L'utilisation de résistances de valeurs supérieures à 250 Ω , bien que potentiellement intéressante du point de vue du gain de conversion, n'est pas recommandable en raison de la jonction base-collecteur du transistor de commutation qui pourrait se retrouver polarisée en direct et devenir conductrice (saturation) en raison des dispersions technologiques des

éléments du circuit. Pour éviter ce phénomène de saturation au repos, et en tenant compte des variations technologiques, nous limitons cette résistance à une valeur de $250\ \Omega$. La tension V_{CE} vaut alors environ $1,1\text{ V}$. Avec ce point de polarisation, nous obtenons un gain de conversion d'environ 11 dB pour un facteur de bruit inférieur à 9 dB (cf. figure 83). La puissance optimale du signal OL se situe alors aux alentours de -4 dBm .

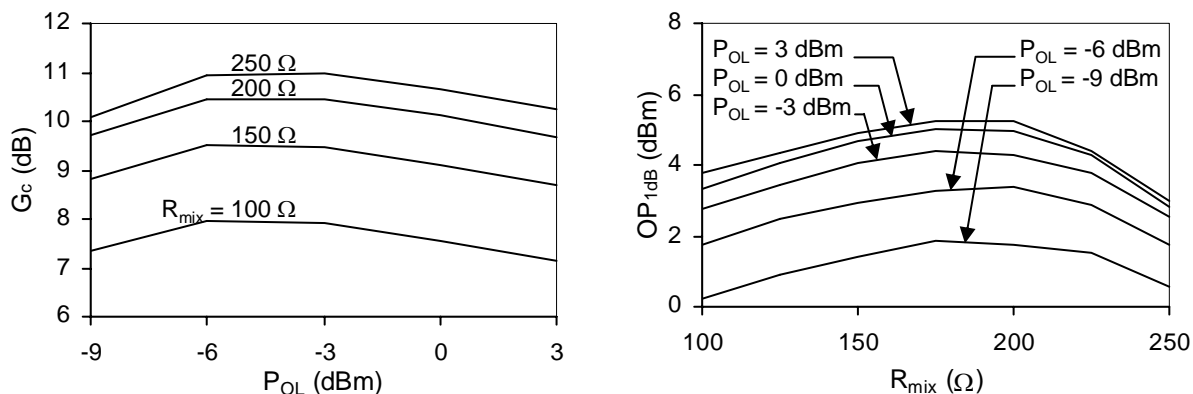


Figure 82: Gain de conversion G_c et point de compression en sortie en fonction de la puissance OL et de la résistance de charge R_{mix} .

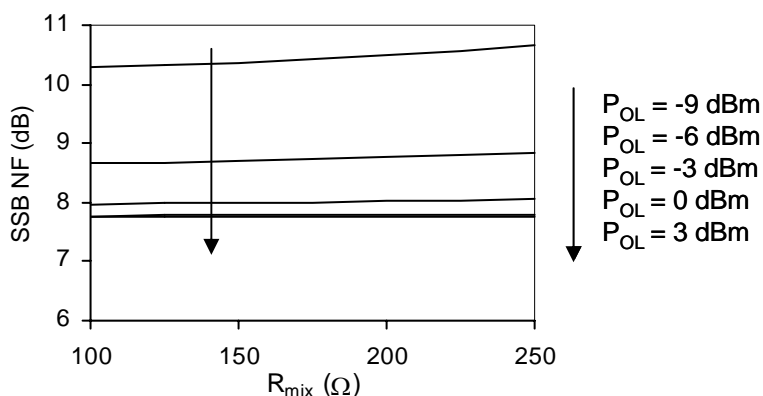


Figure 83: Facteur de bruit en fonction de la résistance de charge R_{mix} pour différentes valeurs de puissance OL.

Enfin, insistons sur l'importance de l'impédance d'entrée du combineur de puissance que l'on va retrouver en parallèle de la résistance R_{mix} . Comme nous l'avons mentionné précédemment, la valeur de cette impédance doit être la plus forte possible de façon à ne pas diminuer dans des proportions trop importantes la valeur de l'impédance de charge de la non-linéarité. Dans ces conditions, l'excursion de cette dernière (transconductance du transistor) serait affectée, produisant une chute du gain de conversion.

Finalement, les caractéristiques optimales du mélangeur sont les suivantes : $I_B = 25 \mu A$, $V_{CE} = 1,1 V$ et $R_{mix} = 250 \Omega$, pour une tension d'alimentation de 3,3 V. Le mélangeur constitué des quatre transistors consomme ainsi une puissance de 36 mW environ.

3.4 Diviseurs de puissance 180° pour les voies RF et OL

Pour ce qui concerne la voie RF, le coupleur utilisé a fait l'objet de la description du chapitre III. Rappelons simplement ici que ce diviseur de puissance a été conçu en optimisant principalement la valeur du TRMC mais aussi son gain différentiel et son facteur de bruit.

Le coupleur de la voie OL reprend dans sa globalité l'architecture du diviseur de puissance développée pour la voie RF et dont le schéma est donné sur la figure 84. Quelques modifications importantes sont cependant portées au niveau des polarisations des deux étages ainsi que sur le dessin des masques (cf. §4.2). Ici, le facteur de bruit n'est plus une caractéristique critique du circuit. Le signal de pompe appliqué au mélangeur doit atteindre une puissance située aux alentours de -4 dBm. Nous avons donc fixé l'objectif à obtenir pour le point de compression en sortie à 0 dBm.

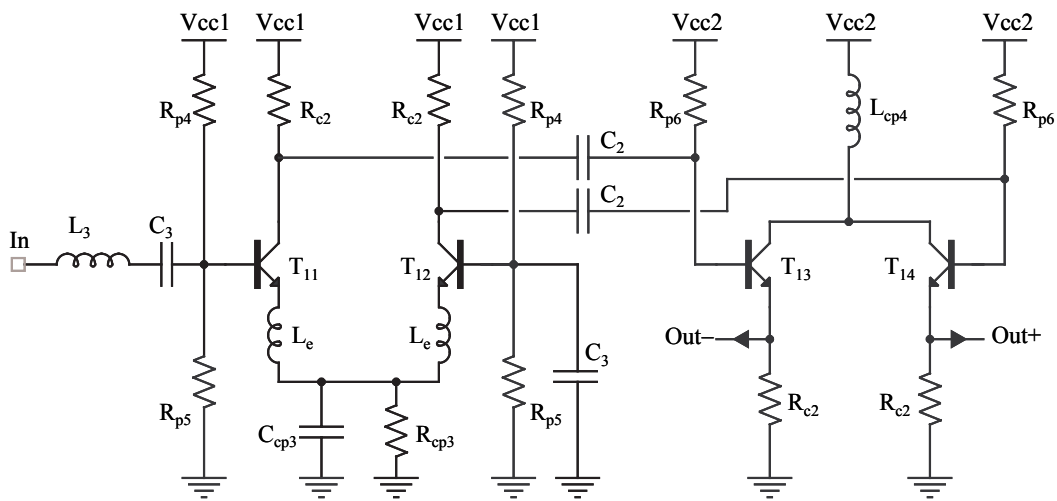


Figure 84: Schéma électrique complet du diviseur de puissance 180° de la voie OL.

L'impédance d'entrée différentielle du mélangeur pour la voie OL est de l'ordre de 7Ω . Le diviseur de puissance pour le signal OL doit donc délivrer une forte puissance dans une charge de faible valeur. Ces deux objectifs sont plutôt antagonistes et l'optimisation de la linéarité du circuit est par conséquent très critique. Nous avons donc choisi de ne pas adapter en impédance la sortie différentielle du diviseur de puissance avec l'entrée du mélangeur. Cela permet aux transistors constituant l'étage de sortie du diviseur OL de voir une impédance

dynamique plus forte, bénéfique pour la linéarité. Avec cette configuration, nous n'avons pas constaté de dégradation sur l'efficacité de pompage du mélangeur (gain de conversion).

Les polarisations des transistors du premier étage du diviseur ont dû être augmentées pour lui éviter de limiter la linéarité du diviseur complet. Les nouvelles caractéristiques du diviseur de puissance optimisé pour le pompage du mélangeur sont présentées sur le tableau 6 et la figure 85. Ces résultats sont issus de simulations électriques réalisées en chargeant le circuit par l'impédance d'entrée différentielle moyenne des voies OL du mélangeur.

$ \Gamma_{out} $	-4,3 dB
TRMC	47,4 dB
Gain différentiel	7,9 dB
Isolation	-29,2 dB
OP _{1dB}	+0,1 dBm
OIP _{3dB}	+11,2 dBm
Consommation	232 mW

Tableau 6: Caractéristiques électriques du diviseur de puissance OL à 19 GHz.

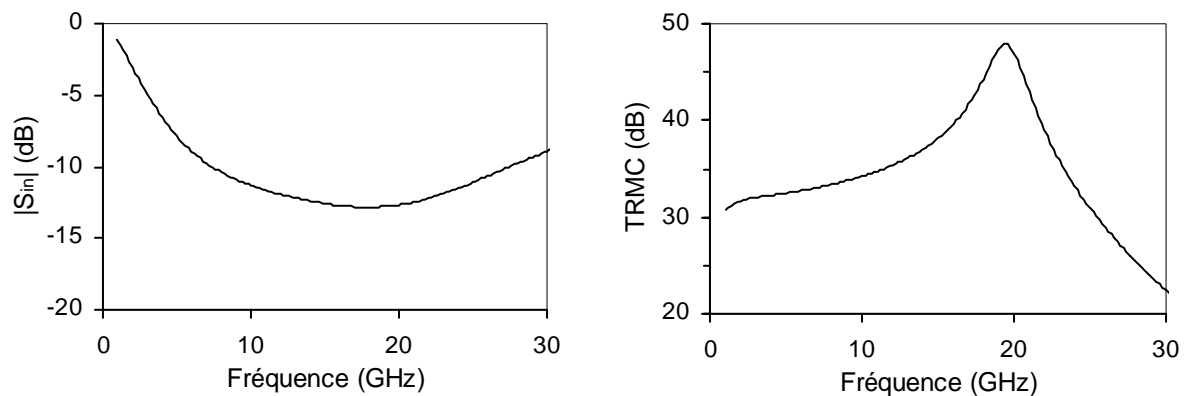


Figure 85: Coefficient de réflexion en entrée et TRMC du coupleur en fonction de la fréquence.

L'objectif sur la linéarité a donc contraint les transistors des deux étages à être polarisés avec des courants plus élevés que pour le diviseur de puissance pour la voie RF. Ainsi, le premier étage consomme 18 mA pour une tension d'alimentation de 5,8 V tandis que le second étage consomme 38,6 mA pour une tension d'alimentation fixée à 3,3 V (contrainte à cette valeur en raison du $V_{CE(max)}$ des TBH).

Les différents circuits constituant le mélangeur complet étant conçus et optimisés, nous allons maintenant décrire comment ces circuits ont été intégrés sur la même puce puis nous procéderons à la simulation des performances obtenues par la puce dans son intégralité.

4. INTÉGRATION DU CONVERTISSEUR DE FRÉQUENCES

Le convertisseur de fréquences a été intégré et réalisé à l'aide de la technologie BiCMOS SiGe 0,25 μm de la société ST Microelectronics.

La microphotographie du circuit complet est représentée sur la figure 86. Les dimensions de la puce sont $1,75 \times 1,2 \text{ mm}^2$.

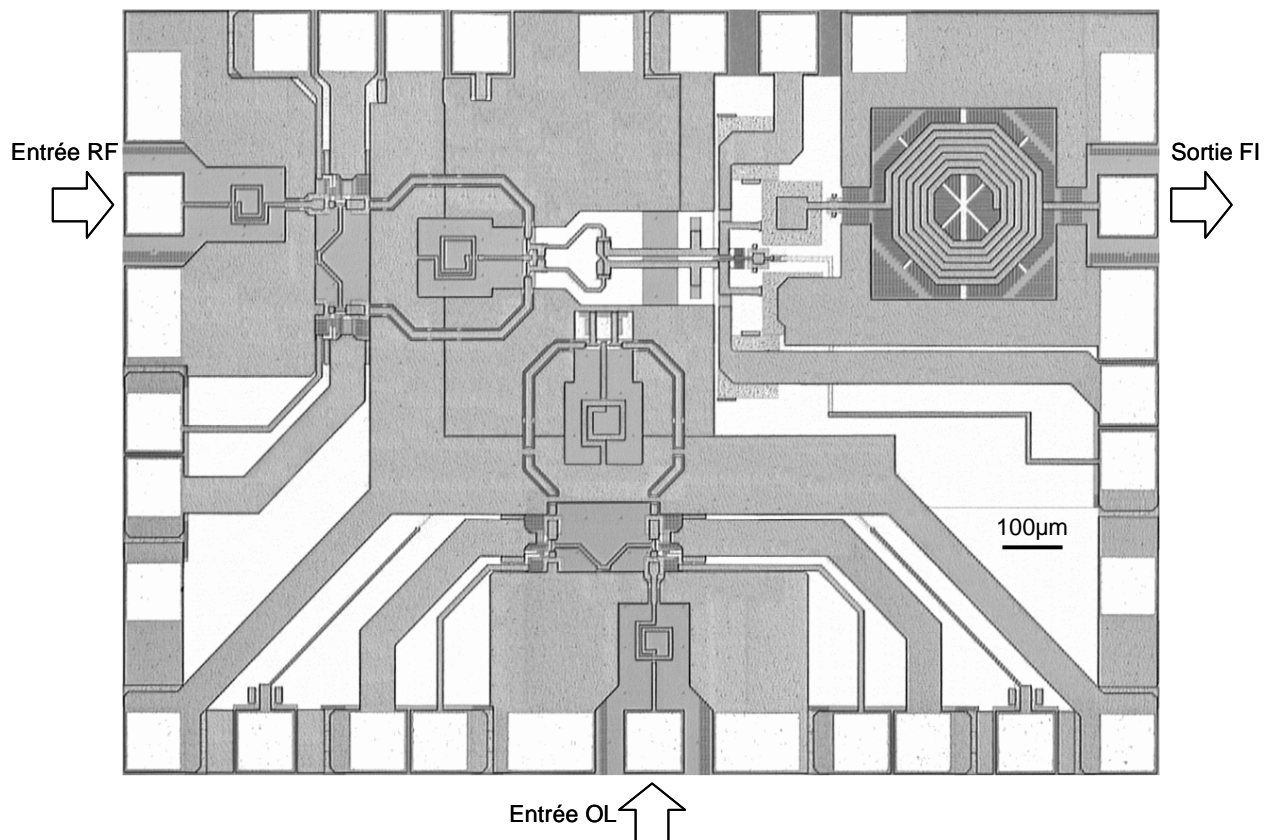


Figure 86: Microphotographie du convertisseur de fréquence.

4.1 Interconnexion des différents sous-ensembles

Le simulateur électromagnétique ANSOFT HFSS a de nouveau été utilisé pour l'optimisation des interconnexions entre les coupleurs et la cellule de mélange. Pour ses trois voies OL, RF et FI, celle-ci dispose à chaque fois d'une paire d'accès en raison de la nature différentielle du circuit. Par conséquent, la conception des interconnexions reliant les différents blocs du convertisseur doit répondre aux deux critères énoncés ci-dessous :

- Pour une voie donnée (RF, OL ou FI), les deux lignes utilisées pour interconnecter les deux accès du coupleur avec les deux entrées/sorties correspondantes du mélangeur doivent être les plus symétriques possibles. En effet, une différence de longueur

électrique entre ces deux lignes va nécessairement annihiler en grande partie les efforts consentis en amont pour obtenir un très bon TRMC au niveau de chaque module.

- Les couplages entre les interconnexions relatives aux différentes voies du mélangeur doivent être réduits au maximum afin de ne pas dégrader l'isolation entre les voies du mélangeur.

Afin de satisfaire au mieux à ces contraintes, pratiquement tous les niveaux métalliques dont dispose la filière SiGe sont utilisés. Le niveau de métallisation le plus élevé est employé pour la réalisation des deux lignes permettant de relier le diviseur de puissance RF à l'entrée RF du mélangeur. En effet, des courants de polarisation des collecteurs des transistors de mélange doivent circuler sur ces interconnexions et le niveau métallique employé permet d'optimiser la densité de courant pour une faible largeur de ruban (5 μm). Ce dernier niveau métallique est aussi utilisé pour connecter la sortie FI du mélangeur aux résistances de charges R_{mix} ainsi qu'au coupleur FI pour les mêmes raisons. Finalement, le deuxième niveau métallique est choisi pour connecter la sortie du coupleur OL à l'entrée correspondante du mélangeur.

La figure 87 représente les deux configurations que nous avons testées pour réaliser ces interconnexions.

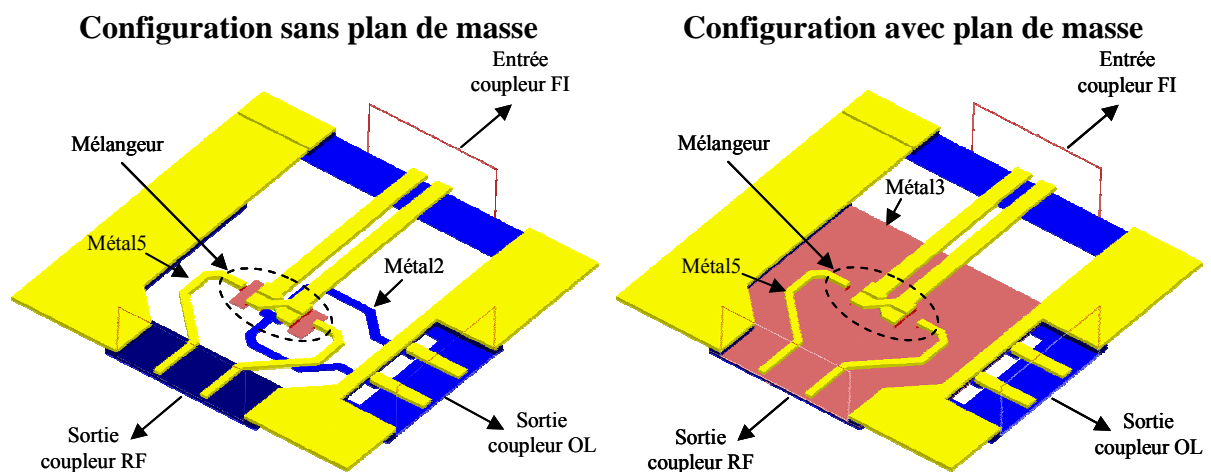


Figure 87: Topologies testées pour les interconnexions des coupleurs au mélangeur.

La première configuration utilise de simples rubans pour relier les entrées/sorties des trois coupleurs aux trois voies du mélangeur. La seconde configuration utilise le même dessin pour les interconnexions mais un plan de masse réalisé à partir du troisième niveau métallique est de plus ajouté, de façon à isoler au mieux les interconnexions les unes par rapport aux autres. Cependant, cette métallisation possède une épaisseur de peau de 0,6 μm pour une fréquence

de 20 GHz, ce qui correspond exactement à son épaisseur physique. Dans ces conditions, l'isolation n'est que partiellement réalisée et le champ électromagnétique créé par un ruban traversera en partie la métallisation. Nous allons voir cependant que la mise en place d'un plan de masse nous permet de réaliser une très bonne isolation entre les différents accès de la cellule de mélange.

Quelque soit la configuration étudiée, les deux lignes d'accès à la voie RF du mélangeur introduisent pratiquement le même déphasage et sont donc symétriques. Les caractéristiques électriques en transmission (module et phase) des lignes d'accès pour chaque configuration sont représentées sur la figure 88 dans le cas de l'accès OL et sur la figure 89 pour l'accès FI.

Comme le montre la figure 88, la première configuration conduit à une forte dissymétrie pour les interconnexions de la voie OL. Ce problème est lié aux croisements des lignes de la voie OL avec celles de la voie FI pour l'une d'entre elle, et de la voie RF pour la seconde. Le rajout du plan métallique sur le troisième niveau métallique corrige complètement ce problème tout en minimisant les pertes de transmission. En ce qui concerne les lignes de transmission relatives à l'accès FI, on peut noter sur la figure 89 une légère dégradation de la différence de phase aux fréquences les plus hautes dans la configuration avec le plan de masse. Cet écart est cependant négligeable sachant que seul un signal possédant une fréquence de 1 GHz circule ici.

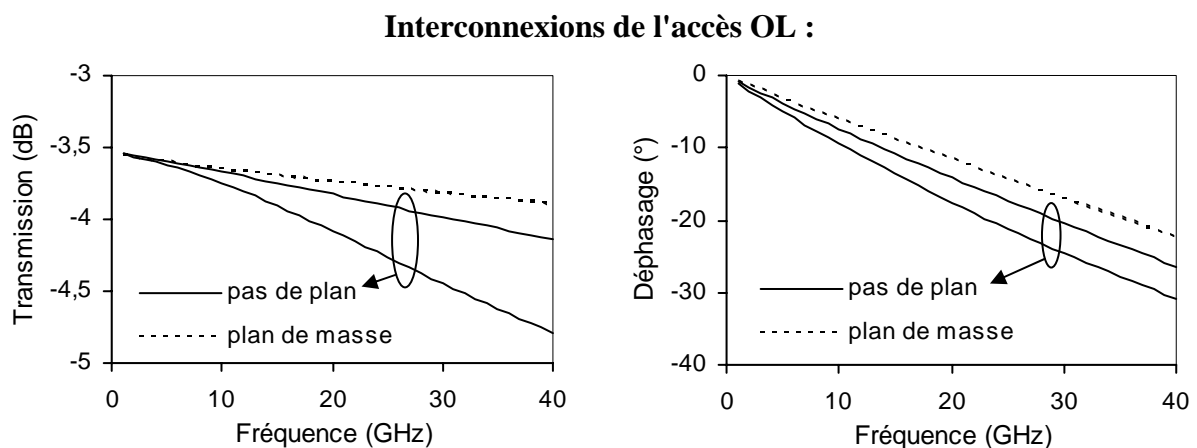


Figure 88: Comparaison des caractéristiques électriques en transmission des paires d'interconnexions de la voie OL pour les deux configurations étudiées.

Interconnexions de l'accès FI :

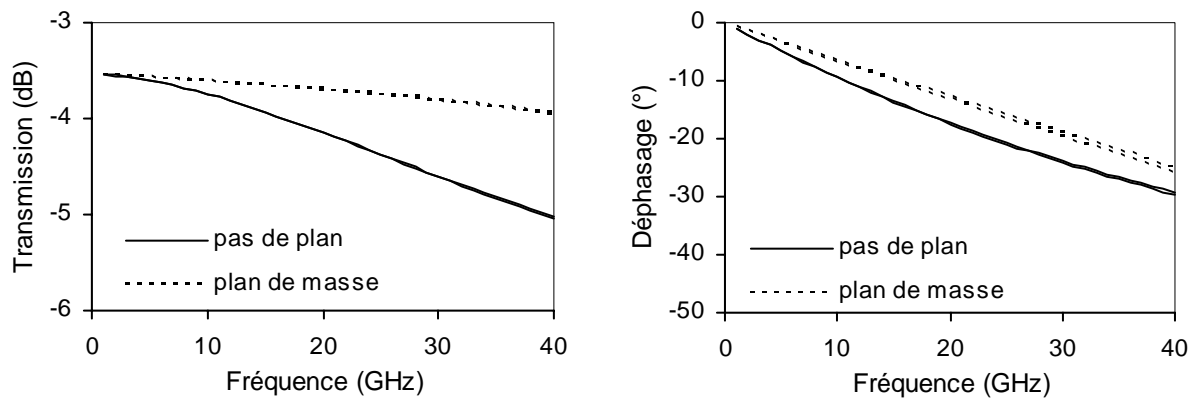


Figure 89: Comparaison des caractéristiques électriques en transmission des paires d'interconnexions de la voie FI pour les deux configurations étudiées.

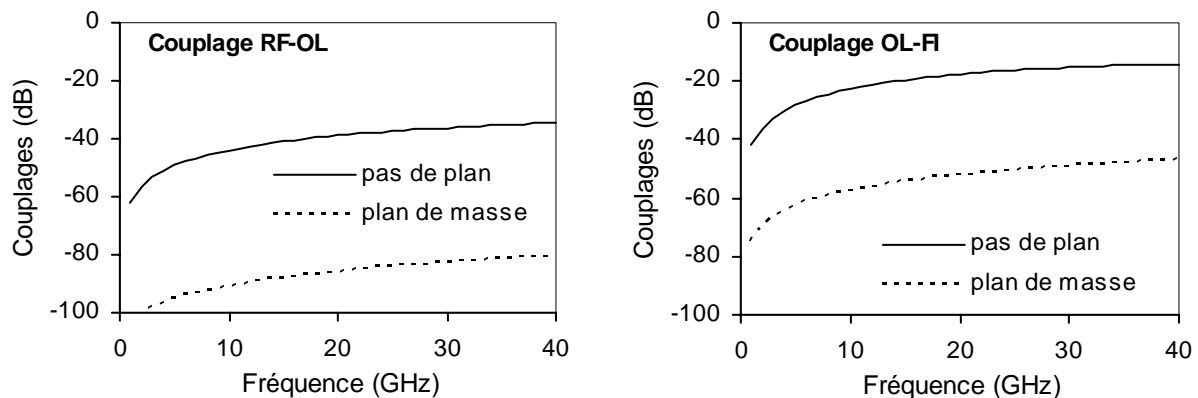


Figure 90: Couplages entre les interconnexions relatives aux différentes voies du mélangeur.

Afin d'illustrer notre propos précédent d'une manière différente, le couplage existant entre les interconnexions relatives aux différentes voies du mélangeur est présenté sur les graphes de la figure 90. Les couplages intervenant entre les lignes des voies RF et FI ne sont pas représentés en raison de leurs très faibles valeurs. Pour les deux autres cas, nous pouvons constater que la présence du plan métallique améliore considérablement l'isolation.

L'intérêt d'un tel plan est ainsi largement démontré et la seconde configuration a donc été choisie pour la réalisation des interconnexions entre les coupleurs et le mélangeur. Les résultats des simulations électromagnétiques sur ces interconnexions ont été introduits dans le schéma électrique du mélangeur complet. De cette manière, les éléments parasites qui leur sont associés sont pris en compte dans les résultats de simulations exposés dans les paragraphes suivants.

4.2 Spécificités du diviseur de puissance OL pour le dessin des masques

La valeur de l'inductance de couplage des collecteurs des transistors de l'étage différentiel à collecteurs communs est modifiée en raison de la fréquence de fonctionnement centrée sur 19 GHz pour ce coupleur et de la densité de courant continu circulant dans l'inductance. La largeur du ruban métallique qui constitue cette inductance est établie à 8 μm et la connexion reliant le centre de l'inductance au reste du circuit emploie un empilement de deux niveaux de métallisation (métal3 et métal4) et présente une largeur de 9 μm .

Les ponts reliant les deux masses latérales des guides coplanaires situés de part et d'autre de cette inductance jouent un double rôle. Leur vocation première consiste à empêcher l'apparition de modes parasites sur les guides coplanaires à proximité des discontinuités en préservant l'équipotentialité des deux plans de masse, de part et d'autre de la ligne de signal. Ils permettent aussi de relier le second étage à son alimentation continue et drainent par conséquent un courant continu relativement élevé. Le niveau de métallisation le plus élevé a donc été choisi pour leur intégration, de manière à conserver une faible largeur pour le pont tout en supportant une densité de courant acceptable. Le conducteur central du guide coplanaire passe alors en dessous du pont, contrairement au diviseur de puissance RF. La différence entre les deux circuits est illustrée sur les microphotographies de la figure 91.



Figure 91: Ponts des guides coplanaires situés de part et d'autre de l'inductance de couplage sur le second étage du diviseur de puissance pour la voie RF, puis OL.

Le paragraphe suivant décrit les performances simulées du convertisseur de fréquence. Dans ces simulations nous avons inclus les parasites introduits par les interconnexions, ces derniers ayant été obtenus à partir des simulations électromagnétiques.

5. EVALUATION DES PERFORMANCES DE LA PUCE COMPLÈTE

Le schéma électrique de la puce complète est représenté sur la figure 92.

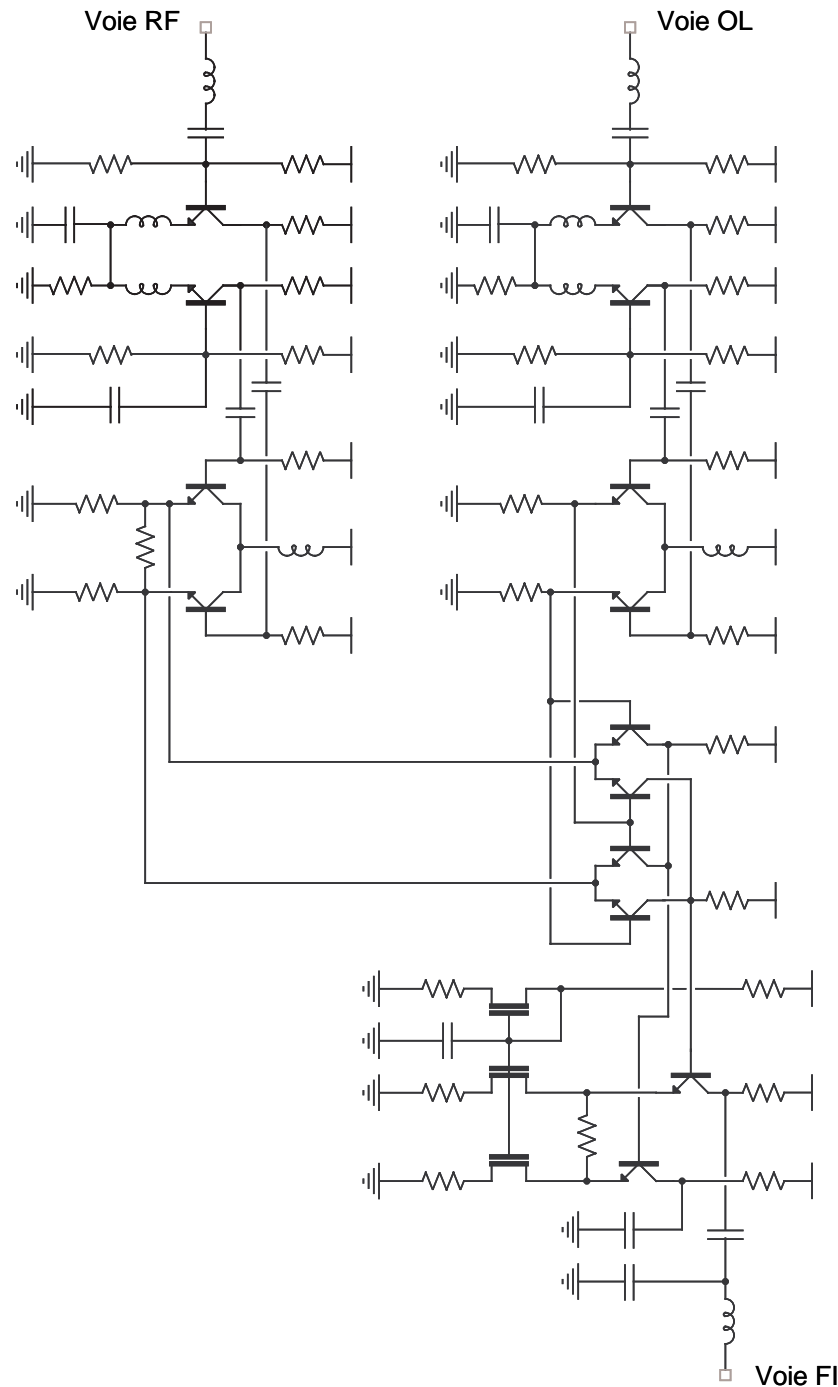


Figure 92: Schéma électrique complet du convertisseur de fréquence.

Dans un premier temps, le circuit est étudié aux fréquences nominales de fonctionnement ($f_{RF} = 20$ GHz et $f_{OL} = 19$ GHz) en fonction du niveau de puissance appliqué sur la voie OL, pour ensuite être étudié en fonction de la fréquence du signal appliqué sur la voie RF en maintenant la sortie FI à une fréquence de 1 GHz.

5.1 Etude en fonction de la puissance appliquée sur la voie OL

La première étape consiste à caractériser le mélangeur complet en fonction de la puissance OL appliquée à l'entrée du diviseur de puissance OL. Cette étude est menée en utilisant les fréquences nominales d'utilisation du système, à savoir une fréquence de 19 GHz pour le signal OL et une fréquence de 20 GHz pour le signal RF. Elle va nous permettre de connaître la puissance à appliquer à l'entrée du diviseur OL afin d'optimiser le gain de conversion, le facteur de bruit ou la linéarité de la caractéristique en puissance relative au signal RF. Les évolutions de ces trois caractéristiques du mélangeur sont représentées sur les graphes de la figure 93 en fonction de la puissance appliquée sur le coupleur OL. Pour le facteur de bruit, nous avons représenté le facteur de bruit en double bande ("Double Side Band Noise Factor"), sachant que cette définition correspond en pratique à celle qui est utilisée lors des mesures.

Le gain de conversion est maximal et vaut pratiquement 29 dB pour une puissance du signal OL de -12 dBm. Connaissant le gain différentiel du coupleur OL étudié précédemment, nous obtenons une puissance d'environ -4 dBm pour le mode différentiel à l'entrée de la voie OL du mélangeur réel, ce qui correspond bien aux résultats que nous avons obtenus lors de l'étude du mélangeur seul.

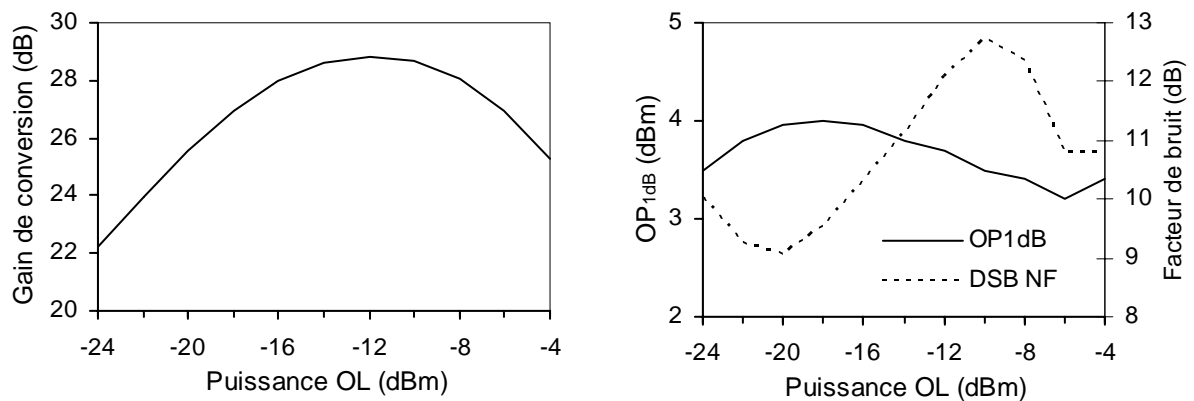


Figure 93: Gain de conversion, facteur de bruit du mélangeur et point de compression en sortie en fonction de la puissance du signal OL.

5.1.1 Facteur de bruit et gain de conversion

Le facteur de bruit du système est minimisé pour une puissance OL d'environ -20 dB et vaut environ 9,1 dB. Ce résultat est tout à fait correct. Il peut cependant être encore amélioré lorsque l'on observe les évolutions des gains relevées pour les différents étages du mélangeur complet, représentées sur la figure 94, qui sont en effet représentatives des modifications apportées par les interconnexions inter-étage.

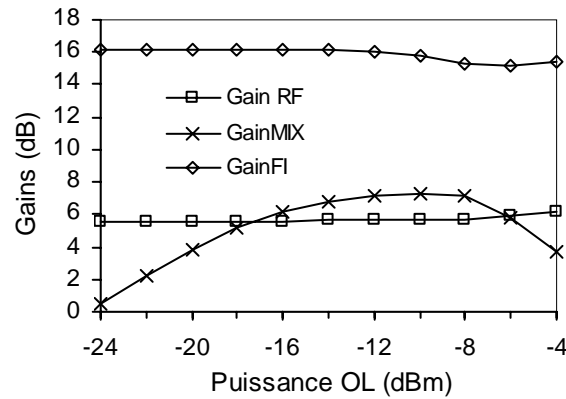


Figure 94: Gain des différents étages du mélangeur complet en fonction de la puissance du signal OL.

L'adjonction des interconnexions entre les coupleurs et le mélangeur a modifié les impédances d'entrée et de sortie connectées sur ce dernier, modifiant ainsi les conditions de fermeture considérées lors de l'étude préalable des différents étages séparés.

La désadaptation entre la sortie du coupleur de la voie RF et l'entrée correspondante du mélangeur diminue le gain différentiel du diviseur de puissance RF, ainsi que celui du mélangeur de manière plus conséquente. En effet, une différence supérieure à 3 dB existe entre la valeur maximale du gain de conversion du mélangeur relevée ici et la valeur qui avait été précédemment déterminée, lors de l'étude du mélangeur seul. Outre la désadaptation d'impédance à l'entrée du mélangeur, cette différence est partiellement issue d'un déséquilibre de la structure. Ce problème est abordé et vérifié dans le paragraphe 5.3.

Par ailleurs, nous pouvons noter une diminution de l'impédance dynamique différentielle des sorties du mélangeur, amenant par conséquent une meilleure adaptation d'impédance avec les entrées du combineur de puissance FI. Il en résulte alors une augmentation de près de 6 dB du gain de cet étage par rapport aux résultats de simulation qui avaient été obtenus lors de l'étude du circuit seul. La valeur du facteur de bruit de cet étage n'a pas fait l'objet d'une optimisation particulière. Cette valeur, additionnée à la faible valeur des gains cumulés des deux premiers étages (diviseur RF et mélangeur) contribue ainsi au facteur de bruit du convertisseur de fréquence complet.

5.1.2 Linéarité de la caractéristique en puissance

Pour une puissance du signal OL comprise entre -24 dBm et -10 dBm, le point de compression en sortie du mélangeur complet varie entre 3,5 et 4 dBm.

Pour la plage de puissance OL balayée, le point de compression en sortie du mélangeur seul est toujours supérieur à 0 dBm. Considérant le gain du combineur de puissance FI, les variations du point de compression de la sortie du système complet sont par conséquent exclusivement liées à ce circuit. Des observations sur le cycle de charge de différents transistors ont permis de vérifier cette hypothèse. L'origine de cette modification du point de compression provient des variations de la valeur de l'impédance de sortie du mélangeur en fonction de la puissance du signal OL. Ces variations se répercutent légèrement sur la valeur de l'impédance de sortie du transistor T_6 de l'amplificateur différentiel du coupleur FI, modifiant ainsi les conditions à satisfaire sur le réseau passif de sortie du coupleur pour conduire à l'optimum de linéarité du circuit.

5.1.3 Synthèse des caractéristiques électriques du mélangeur complet

Les caractéristiques électriques du mélangeur complet aux fréquences nominales de fonctionnement sont résumées dans le Tableau 7, en considérant les deux modes de fonctionnement que l'on peut extraire des caractéristiques précédentes : modes de fonctionnement faible bruit ou fort gain de conversion.

<i>Caractéristiques</i>	<i>Système optimisé en bruit</i>	<i>Système optimisé en gain</i>
Fréquence du signal OL	19 GHz	
Fréquence du signal RF	20 GHz	
Fréquence du signal FI	1 GHz	
Puissance du signal OL	-20 dBm	-12 dBm
Gain de conversion	25,6 dB	28,8 dB
Facteur de bruit en double bande latérale ("DSB NF")	9,1 dB	11,9 dB
Point de compression en sortie	+3,9 dBm	+3,7 dBm
OIP3	+15,5 dBm	+15,4 dBm
Isolation OL/RF	43 dB	38 dB
Consommation	< 550 mW	

Tableau 7: Caractéristiques électriques du mélangeur complet.

La caractérisation que nous venons de présenter en fonction de la puissance du signal OL a permis d'extraire les deux modes précédents de fonctionnement du convertisseur de fréquence complet. Nous allons maintenant évaluer le comportement du circuit complet en fonction de la fréquence. Cette étude est présentée dans le paragraphe suivant.

5.2 Etude en fonction de la fréquence RF

L'adaptation large bande des diviseurs de puissance pour les voies RF et OL nous permet d'évaluer le comportement du système sur une large plage de fréquences. Nous avons ainsi réalisé un balayage des fréquences du signal RF sur la plage 8-28 GHz. Ces deux valeurs extrêmes de la fréquence correspondent aux limites de l'adaptation en impédance de l'entrée RF du mélangeur. La fréquence du signal OL est toujours fixée à une valeur inférieure de 1 GHz par rapport à celle de la fréquence du signal RF de manière à conserver une fréquence FI autour de la valeur 1 GHz.

Les graphes de la figure 95 représentent la puissance du signal appliqué sur la voie OL conduisant au maximum de gain de conversion, le gain de conversion et le gain des différents étages du mélangeur complet, le facteur de bruit en double bande et l'adaptation en impédance des entrées OL et RF, et enfin l'isolation entre les différentes voies du mélangeur en fonction de la fréquence.

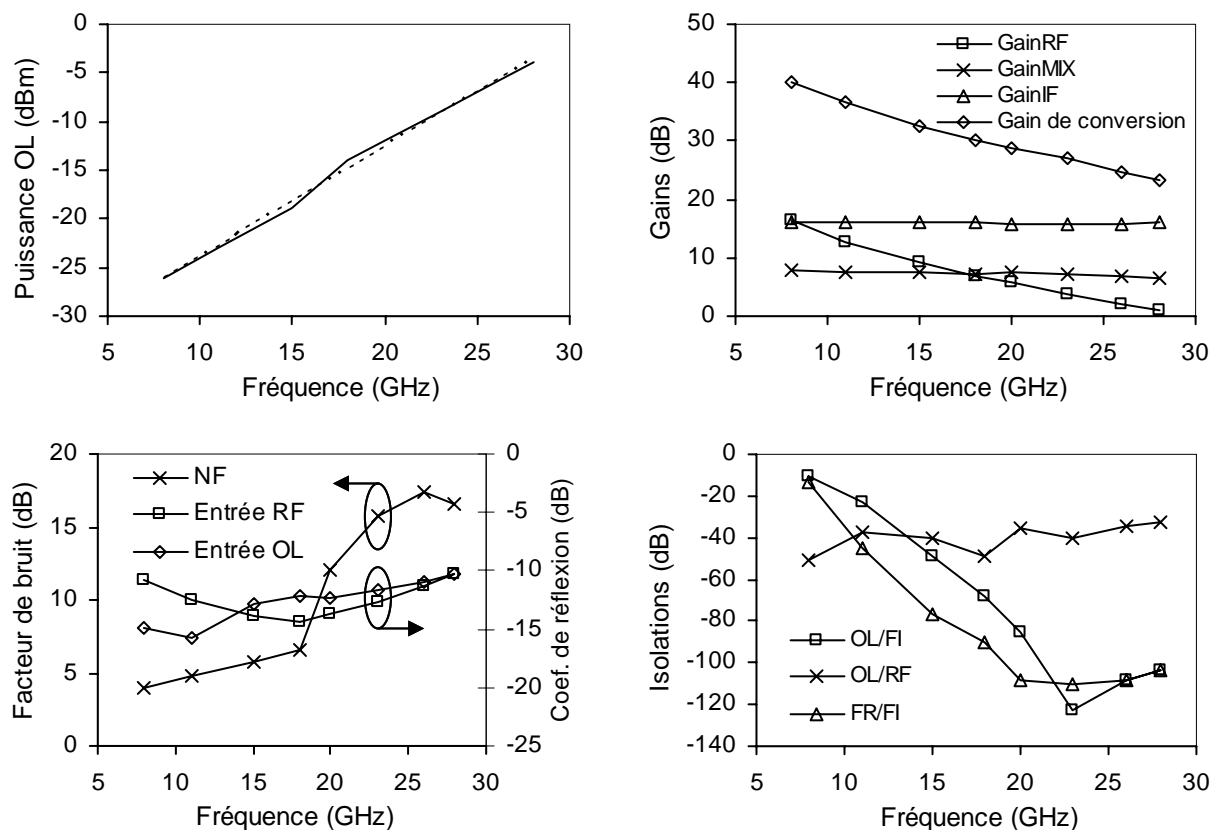


Figure 95: Caractéristiques électriques simulées du mélangeur complet en fonction de la fréquence du signal RF.

La puissance du signal OL que l'on doit appliquer au mélangeur complet pour obtenir un gain de conversion maximum est une relation linéaire (en dB) en fonction de la fréquence.

Ceci provient du gain du coupleur de la voie OL dont la valeur augmente régulièrement lorsque la fréquence d'opération diminue.

L'adaptation d'impédance pour les deux voies d'entrée du circuit est maintenue jusqu'à 28 GHz, ce qui est conforme aux études qui avaient été réalisées sur les coupleurs seuls. L'isolation OL/RF est correcte sur toute la gamme de fréquences traitée. L'isolation OL/FI est plus problématique et se dégrade continûment lorsque la fréquence du signal RF diminue. En premier lieu, le mélangeur ne possède pas un fonctionnement totalement symétrique en raison des différences d'impédances d'entrées/sorties des coupleurs qui lui sont connectés. Par conséquent, les fréquences harmoniques du signal OL se retrouvent en entrée du coupleur FI. Celles-ci sont finalement filtrées par le réseau LC positionné sur la sortie du combineur de puissance FI. Lorsque la fréquence du signal RF diminue, les fréquences du signal OL et de ses harmoniques se rapprochent de la fréquence centrale de 1 GHz de ce réseau passe bande et sont par conséquent moins filtrées.

La valeur du gain de conversion du mélangeur diminue régulièrement avec l'augmentation de la fréquence RF mais reste supérieure à 23 dB jusqu'à la fréquence de 28 GHz, valeur limite de l'adaptation d'impédance de la voie RF. Enfin, le facteur de bruit présente une valeur de l'ordre de 7 dB jusqu'à la fréquence du signal RF de 18 GHz, et croît ensuite rapidement au-delà de cette fréquence.

5.3 Conséquences des imperfections des coupleurs

Compte tenu en pratique d'un TRMC de valeur finie, les diviseurs de puissance 180° , qu'ils soient passifs ou actifs, ne génèrent pas sur leurs sorties des signaux exactement en opposition de phase. De même, les combineurs de puissance 180° ne délivrent pas sur leur sortie la différence exclusive des signaux présents sur leurs deux entrées. Dans ces conditions, même si une forte réduction de leur amplitude est obtenue, les signaux de fréquences indésirables ne disparaissent pas complètement à la sortie du circuit.

Par ailleurs, la bande de fréquences pour laquelle le coupleur fonctionne correctement est toujours limitée. Ainsi, dans le cas d'un mélangeur, tous les produits d'intermodulation parasites et toutes les fréquences harmoniques des signaux d'entrée, supposés être éliminés, ne sont pas tous traités de la même manière, et certains seront peu rejetés car situés en dehors des fréquences d'opération des coupleurs. De même, la symétrie des impédances présentées par les coupleurs et connectées sur les accès du mélangeur varie en fonction de la fréquence. Les

déséquilibres de la structure vont donc encore être augmentés à mesure que la fréquence du signal parasite considéré s'éloignera de la bande fréquentielle pour laquelle les divers circuits ont été optimisés.

Pour conclure, une attention particulière doit ainsi être portée non seulement au niveau de la valeur du TRMC des coupleurs, mais aussi au niveau de la symétrie des impédances de charges de la cellule de mélange. Ces caractéristiques doivent être les meilleures sur la bande de fréquences la plus large possible.

6. CARACTÉRISATION DU CONVERTISSEUR DE FRÉQUENCE

6.1 Environnement de test

Le test du circuit a été réalisé sous pointes. Avant d'être mesurée, la puce a été montée sur un substrat hôte en verre époxy de manière analogue à la procédure décrite dans le chapitre précédent pour le diviseur de puissance. Afin d'éviter tout risque d'oscillation parasite, différentes capacités de découplage ont été placées à l'extérieur de la puce en sus des éléments déjà intégrés à proximité de chaque accès de polarisation. La photographie de la puce montée sur le substrat d'accueil est représentée sur la figure 96.

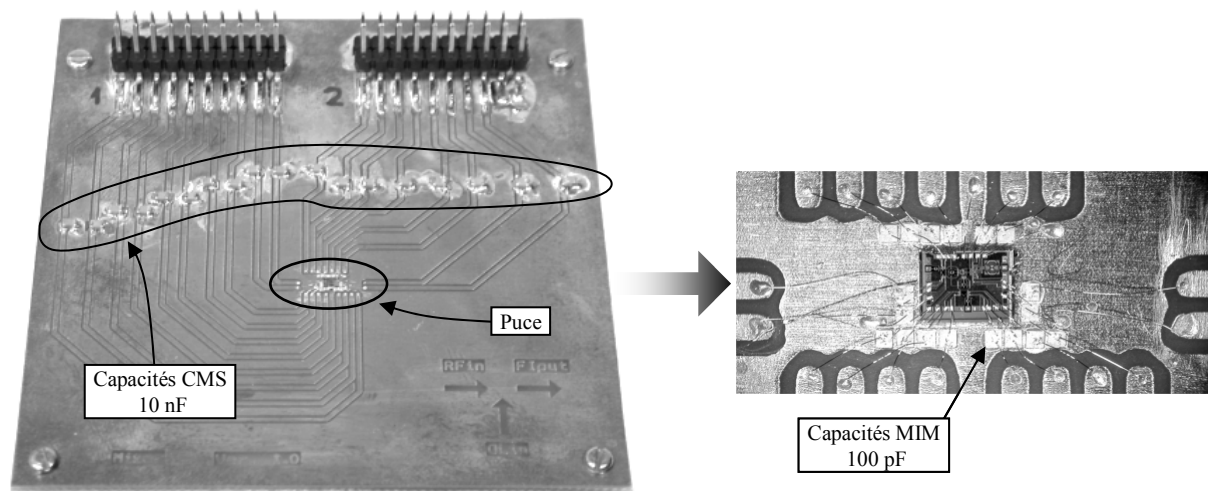


Figure 96: Photographies de la puce reportée sur son substrat d'accueil.

6.2 Caractérisation du circuit

6.2.1 Caractérisation des coupleurs RF, OL et FI

Des caractérisations petit signal et en linéarité ont tout d'abord été menées pour les trois coupleurs d'accès au mélangeur, intégrés sur la puce. Les tests ont été réalisés sous pointes avec par conséquent des impédances de fermetures fixées à 50Ω pour chacun de leurs accès,

ce qui ne constitue pas la valeur d'impédance initialement prévue pour les accès inter-étages. Les performances obtenues dans ces conditions, présentées sur le tableau 8, ne sont donc pas optimales mais permettent toutefois une comparaison des valeurs mesurées et simulées pour le gain et le point de compression à 1 dB en sortie pour les trois coupleurs.

<i>Circuit</i>	<i>fréquence</i>	<i>Gain sim.</i>	<i>Gain mes.</i>	<i>OP_{1dB} sim.</i>	<i>OP_{1dB} mes.</i>
Coupleur OL – voie In → Out+	19 GHz	3,0 dB	2,4 dB	-0,3 dBm	-2,9 dBm
Coupleur RF – voie In → Out+	20 GHz	0,93 dB	0,34 dB	-5,6 dBm	-7,4 dBm
Coupleur FI – voie In+ → Out	1 GHz	11,8 dB	8,8 dB	+4,2 dBm	+3,0 dBm

Tableau 8: Résultats des caractérisations séparées des trois coupleurs pour les voies RF, OL et FI.

Nous pouvons relever que les caractéristiques mesurées et simulées sont proches pour les coupleurs RF et OL, avec cependant des performances mesurées en linéarité en retrait par rapport aux simulations. Ces différences peuvent s'expliquer par les incertitudes de mesure mais aussi par les dispersions technologiques sur les différents éléments constitutifs des circuits. Par exemple, dans le cas du diviseur de puissance OL, l'analyse statistiques sur le circuit donne une point de compression en sortie compris entre -2,0dBm et +0,9dBm. Concernant le combineur de puissance FI, on peut remarquer un gain mesuré inférieur de 3 dB aux simulations. Nous discutons de ces écarts et émettons des hypothèses permettant de les expliquer au paragraphe 6.2.3.

6.2.2 Caractérisation du convertisseur complet

L'équilibrage correct du convertisseur de fréquence se traduit par un spectre de sortie exempt de raies parasites, comme en témoigne les graphes de la figure 97. Comme il peut être relevé sur ces spectres, très peu de produits de mélanges parasites et d'harmoniques sont présents en sortie du convertisseur. Notons cependant que le réseau d'adaptation de sortie du combineur de puissance FI contribue aussi à la réjection des parasites, notamment pour les raies à hautes fréquences, telles que celle à la fréquence 2OL, pour lesquelles l'équilibrage n'est plus garanti.

L'ensemble des caractéristiques du convertisseur de fréquence mesurées aux fréquences nominales de fonctionnement est résumé dans le tableau 9. La figure 98 présente le gain de conversion du circuit en fonction de la puissance OL ainsi que la linéarité de sa caractéristique en puissance. La figure 99 fournit les coefficients de réflexion simulés et mesurés en fonction de la fréquence, pour les trois accès du circuit : RF, OL et FI.

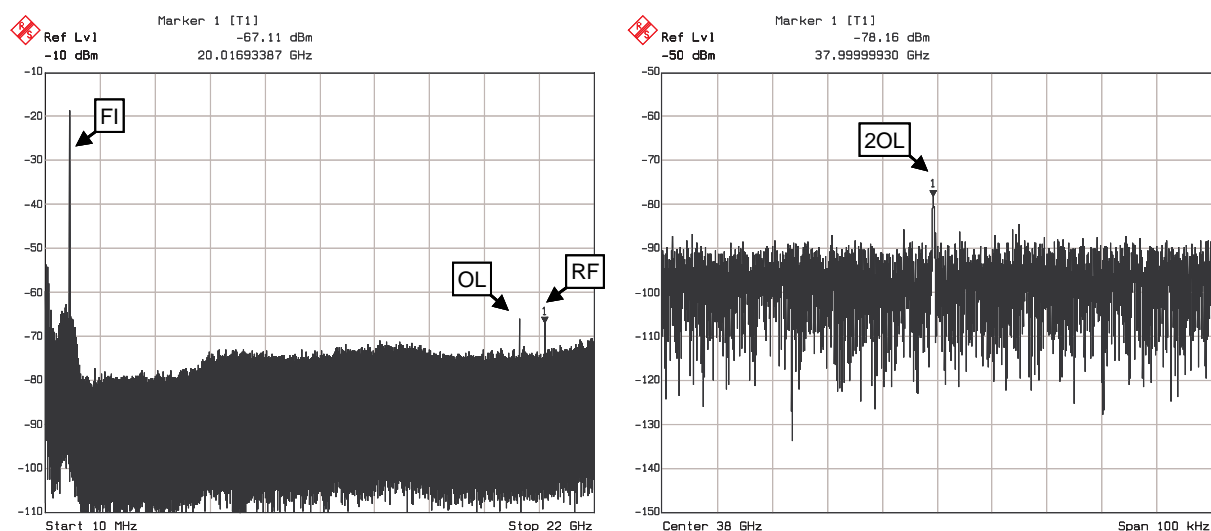


Figure 97: Spectre du signal de sortie (voie FI) du convertisseur de fréquence.

Caractéristiques	Simulations	Mesures
Fréquence du signal OL	19 GHz	
Fréquence du signal RF	20 GHz	
Fréquence du signal FI	1 GHz	
Puissance du signal OL	-12 dBm	0 dBm
Gain de conversion	28,8 dB	18,2 dB
Facteur de bruit en double bande latérale ("DSB NF")	11,9 dB	12,0 dB
Point de compression en sortie	+3,7 dBm	-0,8 dBm
Isolation OL/RF	38 dB	28 dB
Isolation OL/FI	-	47 dB
Consommation	550 mW	

Tableau 9: Caractéristiques simulées et mesurées du convertisseur de fréquence.

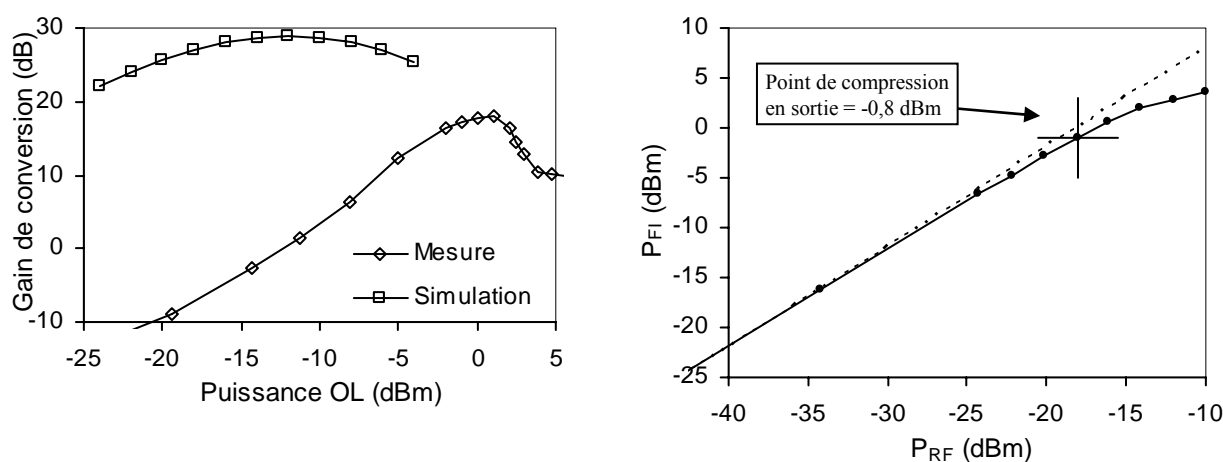


Figure 98: Gain de conversion et linéarité de la caractéristique en puissance du convertisseur de fréquence, aux fréquences nominales de fonctionnement.

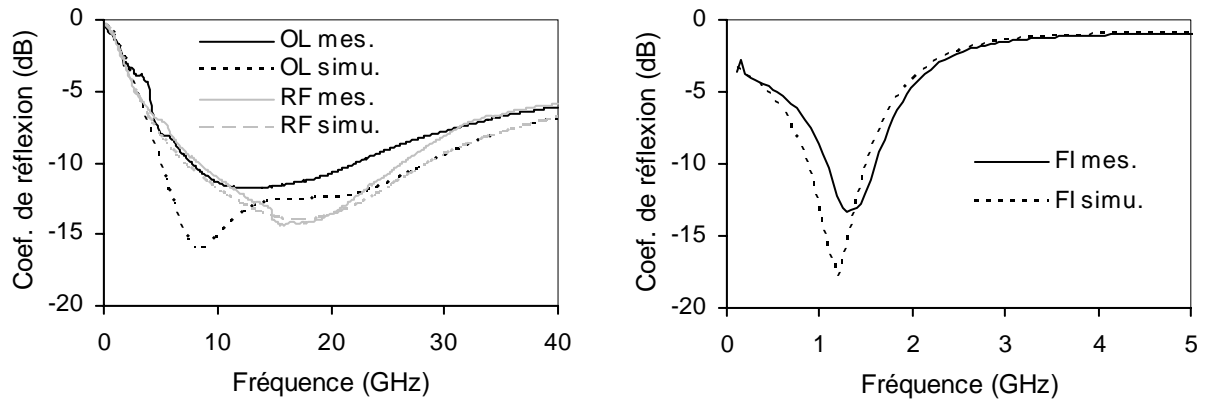


Figure 99: Coefficients de réflexion sur les trois accès du circuit.

6.2.3 Interprétation des mesures

Nous pouvons constater que le gain de conversion mesuré est inférieur d'environ 10dB à la valeur prévue en simulation. Cette situation résulte essentiellement de deux contributions.

Nous pouvons noter d'une part la diminution du gain mesuré pour le combineur de puissance FI de 3dB par rapport aux simulations. Après vérifications, cet écart s'explique largement par les dispersions technologiques sur la valeur de la résistance de dégénérescence R_d du coupleur (cf. figure 73), qui influe directement sur le gain de cet étage. Nous avons en effet utilisé une résistance pour réaliser la dégénérescence d'émetteur par la simplicité de cette solution. Il s'avère finalement qu'une contre-réaction basée sur une inductance ou une capacité eut été préférable, afin de minimiser les écarts de performances résultant des dispersions technologiques, mais qui impliquent cependant une étude approfondie de la stabilité de la structure.

La dégradation du gain de conversion du circuit résulte aussi de l'interdépendance de la polarisation des différentes parties du convertisseur de fréquence. Il apparaît à posteriori qu'un degré de liberté nous a manqué pour la polarisation des transistors de pompage de la cellule de mélange. Ceux-ci voient en effet leur potentiel de base et d'émetteur imposés par les coupleurs (cf. figure 92). Dans ces conditions, il est très difficile de garantir que la cellule de mélange fonctionne dans les conditions prévues par les simulations. Ceci explique par ailleurs la valeur mesurée de la puissance OL optimale de pompage du mélangeur, fortement différente de ce qui avait été prévue en simulation.

Enfin, le point de compression mesuré en sortie du convertisseur de fréquence provient de la saturation de la cellule de mélange et non plus du coupleur FI, en raison de la faiblesse de son gain.

7. CONCLUSION

Dans ce chapitre, nous avons décrit la conception d'un convertisseur de fréquence doublement équilibré exploitable en bande K. Ce circuit utilise des coupleurs sur chacune de ses trois voies. La topologie des diviseurs de puissance 180° développée dans le chapitre III est ici directement intégrée pour la voie RF du circuit. Le diviseur de puissance de la voie OL utilise cette même topologie, mais a cependant fait l'objet de quelques modifications afin d'optimiser la linéarité de sa caractéristique en puissance.

L'utilisation d'un amplificateur différentiel à collecteurs communs en sortie du coupleur RF nous a permis de développer une topologie originale de la cellule de mélange, conçue à partir de la cellule de Gilbert classique. En effet, l'étage non-linéaire de mélange a pu être décorrélié de l'étage préamplificateur de la voie RF et optimisé de manière indépendante, contrairement à la cellule de Gilbert classique où la polarisation des transistors constituant la partie non-linéaire du circuit est toujours dépendante de l'étage transconducteur inférieur. Les résultats de simulation obtenus pour ce convertisseur de fréquence sont très attractifs et le système peut ainsi être exploité sur une large plage de fréquences couvrant la bande Ku et K.

En outre, la conception de ce mélangeur nous a permis d'observer que le TRMC n'était pas tout à fait le seul critère à prendre en compte pour évaluer l'équilibrage d'un circuit différentiel. Dans le cas des coupleurs mis en œuvre ici, les dissymétries observées pour les impédances de charge de chacune de leurs voies, de sortie ou d'entrée selon que l'on considère un diviseur ou un combineur de puissance, influent notablement sur la conversion du mode commun en mode différentiel. De même, la largeur de bande des coupleurs, forcément limitée, aggrave encore cette conversion. Ces deux phénomènes entraînent alors une légère dégradation de l'équilibrage des signaux générés dans le cas des diviseurs de puissances par exemple, même si la structure possède un fort TRMC.

Ainsi, la prise en compte de ces facteurs limitatifs pour l'utilisation des coupleurs que nous avons développés devrait nous permettre de concevoir très prochainement une puce pour la conversion de fréquence de performances inédites.

CONCLUSION GÉNÉRALE

En raison du caractère grand public des futurs services de télécommunication, le coût des circuits micro-ondes devient aujourd'hui un paramètre de grande importance. Dans ce contexte, les technologies monolithiques sur silicium sont très attrayantes. Ainsi, alors que les systèmes fonctionnant à des fréquences inférieures à 5 GHz sont actuellement principalement basés sur des technologies CMOS, très économiques, les technologies SiGe, plus performantes en terme de bruit et de fréquences maximales de fonctionnement, semblent particulièrement adaptées pour la réalisation de systèmes à haut niveau de performance fonctionnant à des fréquences bien supérieures à 10 GHz.

De plus, les terminaux doivent être en mesure de présenter un nombre sans cesse croissant de fonctionnalités, ce qui nécessite, au niveau des systèmes, des degrés d'intégration de plus en plus poussés. L'intégration monolithique conjointe sur une même puce de fonctions analogiques micro-ondes et des circuits numériques de commande (et/ou du processeur de traitement numérique du signal) est ainsi fortement envisagée [71]. Cependant, se pose alors le problème important du couplage électrique des deux parties, notamment en raison de la faible résistivité du substrat silicium, qui engendre des niveaux de bruit élevés. La présence de ce bruit de mode commun confère donc un grand intérêt aux fonctions analogiques différentielles et équilibrées.

Ainsi, notre travail de thèse contribue à démontrer la faisabilité, à partir de technologies BiCMOS SiGe, de fonctions différentielles et équilibrées de hautes performances en bande K, réalisées à l'aide de la filière BiCMOS SiGe 0,25 μm de la Société STMicroelectronics.

La première partie de ce mémoire est consacrée à l'évaluation des interconnexions et des éléments passifs les plus critiques systématiquement employés pour les conceptions de fonctions analogiques intégrées. Dans un premier temps, diverses technologies d'interconnexions sont étudiées et comparées afin de dégager la topologie la plus intéressante pour la gamme de fréquences visée. A partir de l'étude de la ligne microruban, du guide d'onde coplanaire et de la ligne à rubans coplanaires spécifique à la transmission de signaux différentiels, le guide coplanaire est apparu constituer le meilleur choix. En effet, outre sa compacité et ses performances, en terme de pertes et de gamme d'impédances caractéristiques accessible, similaires à celles obtenues pour la ligne microruban, cette technologie d'interconnexion présente l'avantage d'une modélisation simple des effets parasites liés au retour de masse dans un circuit. Dans un second temps, nous nous sommes penchés sur l'optimisation d'inductances intégrées, pour les bandes de fréquences visées. Nous montrons

que les techniques utilisées dans la gamme radiofréquence pour optimiser le facteur de qualité d'une inductance ne sont pas toujours adaptées pour la réalisation d'inductances de faibles valeurs exploitables en bande K et Ka. Nous comparons différentes solutions, et celle qui consiste à utiliser une couche de type N épitaxiale pour masquer le substrat silicium semble constituer la meilleure configuration. Sur cette base, une bibliothèque d'inductances a été conçue. Les valeurs utilisables sont comprises entre 0,2 et 1 nH et sont associées à des facteurs de qualité compris entre 20 et 12. Cette bibliothèque a été par la suite exploitée lors de la conception de nos différents circuits.

Le second chapitre traite de l'étude et de la conception de structures différentielles dont les applications visées se situent en bande de fréquences millimétriques. En premier lieu, nous démontrons que les éléments parasites associés aux transistors, et notamment leur impédance de sortie, remettent largement en cause la capacité d'une structure différentielle classique à être immune au bruit de mode commun lorsque la fréquence est située au-delà de la gamme radiofréquence. Sur cette base, nous proposons ensuite une technique de neutrodynage de la structure différentielle pour la transmission directe du mode commun, grâce à la synthèse d'une impédance de couplage spécifique entre le point commun d'un l'amplificateur différentiel et la masse dynamique du circuit. L'exploitation de ce principe nous permet alors d'aboutir à des topologies originales d'amplificateurs différentiels exploitant les transistors dans les configurations collecteur commun et base commune. Les deux structures différentielles obtenues sont très prometteuses puisqu'elles permettent d'aboutir à une réjection du mode commun (TRMC) quasi-idéale pour une bande de fréquence limitée, en utilisant de simples éléments passifs pour synthétiser l'impédance de couplage.

L'intérêt des structures différentielles développées précédemment est démontré dans le troisième chapitre. Ce chapitre est consacré à la conception d'un diviseur de puissance 180° optimisé pour une fréquence centrale de 20 GHz. Sur la base du travail développé au cours du chapitre II, ce circuit met en œuvre une cascade de deux amplificateurs différentiels dont les effets cumulés permettent d'atteindre une forte réjection du mode commun sur une très large bande de fréquence. Le premier étage est constitué d'une paire différentielle à émetteurs communs tandis que le second étage exploite une paire différentielle à collecteurs communs. Les performances simulées et mesurées montrent un TRMC remarquable avec un maximum d'environ 43 dB à la fréquence de 20 GHz. De bonnes performances sont de même obtenues pour le circuit sur la très large bande de 6 GHz à 27 GHz.

Finalement, nous avons souhaité évaluer l'impact des structures différentielles développées dans ce mémoire en les plaçant au sein d'un système complet. Nous avons donc réalisé la conception d'un convertisseur de fréquences doublement équilibré en bande K. Ce travail fait l'objet du quatrième chapitre. Le convertisseur de fréquences intègre, outre la cellule de mélange, les trois coupleurs actifs 180° nécessaires à la génération / recombinaison des signaux différentiels utiles au mélangeur. Les performances obtenues montrent un niveau de performances dans l'état de l'art avec un gain de conversion d'environ 28 dB, un facteur de bruit en bande latérale unique inférieur à 15 dB et un point de compression en sortie de +4 dBm, pour des fréquences de 20 GHz pour la voie RF et de 19 GHz pour la voie OL. Quelques problèmes de symétrie ont cependant été identifiés, et une prochaine conception devrait confirmer de façon plus précise tout le potentiel des structures différentielles présentées dans ce mémoire.

Pour tous les circuits décrits dans ce mémoire, nous avons très souvent eu recours à la modélisation des interconnexions par simulations électromagnétiques. Cette approche présente l'intérêt de décrire très précisément les phénomènes parasites qui leur sont associés, ce qu'une description analytique ne permet pas toujours. De plus, l'utilisation systématique de structures coplanaires et de tous les niveaux métalliques rendait dans notre cas ce type de simulations nécessaire.

Par conséquent, si l'emploi systématique des simulations électromagnétiques dans le cadre de la conception de circuits analogiques micro-ondes n'était pas envisageable il y a quelques années, ce n'est plus le cas aujourd'hui. Les progrès de l'informatique et des algorithmes de calcul permettent d'accélérer de manière incessante la rapidité de résolution d'un problème électromagnétique (figure 100). On peut dès lors imaginer un outil de conception où le module de dessin des masques serait complètement imbriqué à l'éditeur de schéma grâce à un simulateur électromagnétique. Cet outil permettrait de visualiser rapidement l'influence du tracé d'une piste sur les résultats de la simulation électrique. Ce type de logiciel commence à apparaître (ANSOFT Designer, CST Design Studio, etc. ...) et permettra probablement dans un proche avenir une bien meilleure précision dans la prise en compte des interconnexions ainsi qu'une minimisation du risque d'erreur toujours présent quand plusieurs logiciels différents sont nécessaires [72]. Le temps nécessaire à l'aboutissement d'un projet devrait de même s'en trouver réduit.

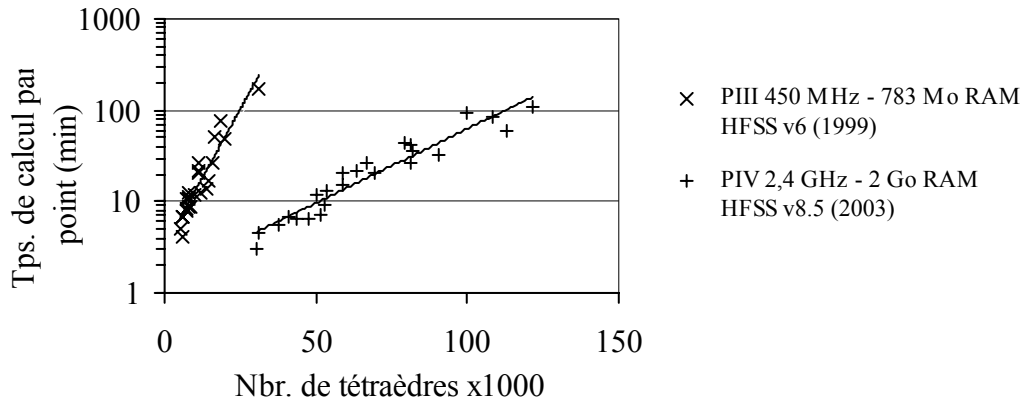


Figure 100: Evolution des temps de simulation pour le logiciel HFSS entre 1999 et 2003.

Enfin, ces travaux permettent de conclure de manière positive quant aux potentialités des filières BiCMOS SiGe actuelles pour la réalisation de circuits analogiques complexes dans la gamme des fréquences millimétriques. Cependant, l'intégration mixte de fonctions analogiques et numériques sur une même puce, pour des applications situées dans cette gamme de fréquences, paraît encore difficile. En effet, les phénomènes parasites de couplage électriques par le substrat ont tendance à augmenter en fonction de la fréquence, et la minimisation des problèmes d'équilibrage des topologies de circuit tend à devenir de plus en plus critique à mesure que la fréquence augmente. De nouvelles techniques vont donc sûrement devoir être développées afin de rendre accessible l'intégration mixte analogique/numérique pour les applications en bande millimétrique.

ANNEXES

ANNEXE 1: EPLUCHAGE DES ACCÈS LORS D'UNE MESURE SOUS POINTES

La mesure des paramètres S d'un circuit se traduit typiquement par le schéma ci-dessous :

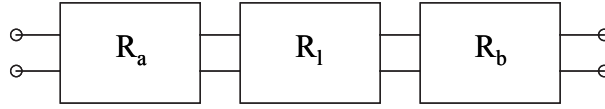


Figure A1.1: Représentation schématique d'une mesure de paramètres S à deux accès

Sur ce schéma, \mathbf{R}_a , \mathbf{R}_b et \mathbf{R}_l désignent les matrices cascades des différents sous-ensembles constituant la mesure. Les caractéristiques électriques recherchées du quadripôle testé (\mathbf{R}_l) ne sont pas directement accessibles à partir des mesures brutes en raison de la présence de discontinuités sur accès A et B qui viennent modifier la mesure. Il est alors nécessaire de connaître puis de soustraire l'influence de ces accès aux mesures brutes à travers la détermination des matrices \mathbf{R}_a et \mathbf{R}_b . En général, cette détermination s'effectue en mesurant divers motifs de test supplémentaires. Si nous raisonnons en terme de matrices cascades, le schéma de la figure A1.1 se traduit comme suit [69] :

$$\mathbf{R}_l = \mathbf{R}_a \cdot \mathbf{R}_l \cdot \mathbf{R}_b \quad (\text{A1.1})$$

avec \mathbf{R}_l la matrice cascade relative aux données brutes.

Habituellement, les discontinuités sont les mêmes de chaque coté, ce qui permet d'exprimer \mathbf{R}_b en fonction de \mathbf{R}_a [69] :

$$\mathbf{R}_b = \overline{\mathbf{R}_a} = \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix} \cdot \mathbf{R}_a^{-1} \cdot \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix} \quad (\text{A1.2})$$

La relation A1.1 se transforme et devient

$$\mathbf{R}_l = \mathbf{R}_a \cdot \mathbf{R}_l \cdot \overline{\mathbf{R}_a} \quad (\text{A1.3})$$

A partir de cette dernière équation, plusieurs méthodes existent pour évaluer \mathbf{R}_a et remonter ainsi à \mathbf{R}_l . L'une d'entre elles consiste à mesurer deux fois l'élément à tester. La première mesure est réalisée à la suite d'un calibrage classique de type SOLT (Short Open Load Thru) ou LRM (Line Reflect Match) dans le plan des pointes de mesure. La seconde mesure est effectuée après un calibrage TRL (Thru Reflect Line) réalisé in situ⁶ [9], [16]. Il est alors possible de calculer les boîtes d'erreur \mathbf{R}_a en comparant les mesures obtenues après chaque calibrage [70]. Cette méthode est réputée très précise mais nous avons cependant

⁶ Ce type de calibrage supplémentaire implique l'implémentation des motifs de tests adéquate sur le substrat qui contient l'élément à caractériser.

préfér  mettre en  uvre d'autres techniques, plus simples donc plus rapides et moins consommatrices en surface de silicium.

M thode 1

Cette m thode n cessite l'emploi d'un motif "Thru" tel que celui de la figure A1.2. Le plan de r f rence est choisi au milieu de ce motif et l'objectif est de d terminer les caract ristiques  lectriques de la transition entre le plan des pointes de mesure et le plan de r f rence. Les  l ments  lectriques  quivalent sont d termin s selon le mod le d taill  sur la figure A1.2.

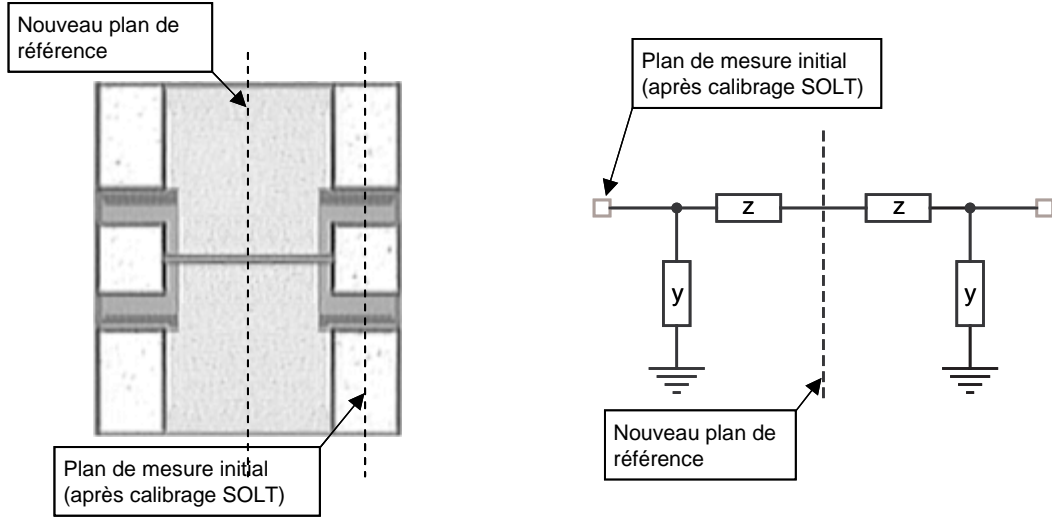


Figure A1.2: Exemple de motif "Thru", sch ma  lectrique  quivalent.

Les matrices cascades \mathbf{Y} et \mathbf{Z} des deux  l ments y et z du mod le, s'expriment comme suit :

$$\mathbf{Y} = \frac{1}{2} \cdot \begin{bmatrix} 2-y & -y \\ y & 2+y \end{bmatrix} \text{ et } \mathbf{Z} = \frac{1}{2} \cdot \begin{bmatrix} 2-z & z \\ -z & 2+z \end{bmatrix} \quad (\text{A1.4})$$

Pour le motif "Thru" ci-dessus, l' quation A1.3 se simplifie puisque dans ce cas $\mathbf{R}_l = \mathbf{I}$. Il devient possible d'exprimer \mathbf{R}_{Thru} en fonction des  l ments complexes z et y du mod le de la figure A1.2 :

$$\mathbf{R}_{Thru} = \mathbf{Y} \cdot \mathbf{Z} \cdot \mathbf{I} \cdot \overline{\mathbf{Z}} \cdot \overline{\mathbf{Y}} \quad (\text{A1.5})$$

d'o  l'on d duit z et y :

$$z = \frac{1}{4} \cdot (-r_{11} + 2r_{12} + r_{22}) \text{ et } y = \frac{r_{11} + r_{22} - 2}{-r_{11} + 2r_{12} + r_{22}} \text{ avec} \quad (\text{A1.6})$$

$$\mathbf{R}_{Thru} = \frac{1}{S_{21Thru}} \cdot \begin{bmatrix} -\Delta S_{Thru} & S_{11Thru} \\ -S_{22Thru} & 1 \end{bmatrix} = \begin{bmatrix} r_{11} & r_{12} \\ r_{21} & r_{22} \end{bmatrix}$$

Les caract ristiques  lectriques recherch es \mathbf{R}_l s'expriment alors selon la relation A1.7 :

$$R_l = Z^{-1} \cdot Y^{-1} \cdot R_t \cdot \overline{Y^{-1}} \cdot \overline{Z^{-1}} \quad (\text{A1.7})$$

Cette méthode a été utilisée avec succès pour la caractérisation des lignes et des inductances étudiées dans le chapitre I.

Méthode 2

Elle a été introduite par Carchon [15]. Elle permet de déterminer la boîte d'erreur R_a par la mesure d'une ligne et d'un motif "thru" sur le substrat contenant l'élément à tester. Contrairement à la méthode précédente l'impédance de normalisation n'est plus de 50Ω (Z_0) mais est fixée par l'impédance caractéristique Z_c de la ligne mesurée une fois l'épluchage de la mesure brute effectué. Le modèle proposé pour la boîte d'erreur est alors le suivant :

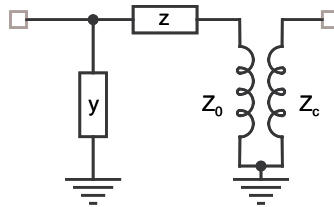


Figure A1.3: Schéma électrique équivalent de la boîte d'erreur R_a .

Cette technique fournit des résultats similaires à la méthode 1 pour une complexité un peu supérieure.

ANNEXE 2: EXPRESSION DU TRMC D'UNE PAIRE DIFFÉRENTIELLE À PARTIR DES ÉCARTS DE MODULE ET DE PHASE SUR LES GAINS DE CHAQUE VOIE

Le taux de réjection de mode commun se calcule à partir de la relation suivante :

$$TRMC(dB) = 20 \cdot \log \left| \frac{S_{21} - S_{23}}{S_{21} + S_{23}} \right| \quad (A2.1)$$

Les paramètres S_{21} et S_{23} représentent les transmissions directes de chaque entrée vers la même sortie. En les écrivant sous la forme "module + argument" $S_{21} = G_1 \cdot e^{j\varphi_1}$ et $S_{23} = G_2 \cdot e^{j\varphi_2}$, la relation (A2.1) devient alors égale à :

$$TRMC(dB) = 20 \cdot \log \left| \frac{G_1 \cdot e^{j\varphi_1} - G_2 \cdot e^{j\varphi_2}}{G_1 \cdot e^{j\varphi_1} + G_2 \cdot e^{j\varphi_2}} \right| \quad (A2.2)$$

En exprimant les différences de module et de phase :

$$\begin{cases} \Delta G = G_2 - G_1 \\ \Delta \varphi = \varphi_2 - \varphi_1 - \pi \end{cases} \quad (A2.3)$$

Il vient :

$$TRMC(dB) = 20 \cdot \log \left| \frac{1 - \alpha \cdot e^{j(\pi + \Delta \varphi)}}{1 + \alpha \cdot e^{j(\pi + \Delta \varphi)}} \right| \text{ avec } \alpha = 1 + \frac{\Delta G}{G_1} \quad (A2.4)$$

Finalement, en calculant le module sur le numérateur et le dénominateur de (A2.4), on trouve :

$$TRMC(dB) = 10 \cdot \log \left(\frac{1 - \frac{2\alpha}{1 + \alpha^2} \cdot \cos(\Delta \varphi)}{1 + \frac{2\alpha}{1 + \alpha^2} \cdot \cos(\Delta \varphi)} \right) \quad (A2.5)$$

ANNEXE 3: AMÉLIORATION DES PERFORMANCES DYNAMIQUES D'UN MIROIR DE COURANT À TRANSISTORS MOS

Un miroir de courant classique basé sur des transistors MOS est représenté ci-dessous, avec le schéma dynamique équivalent aux basses fréquences :

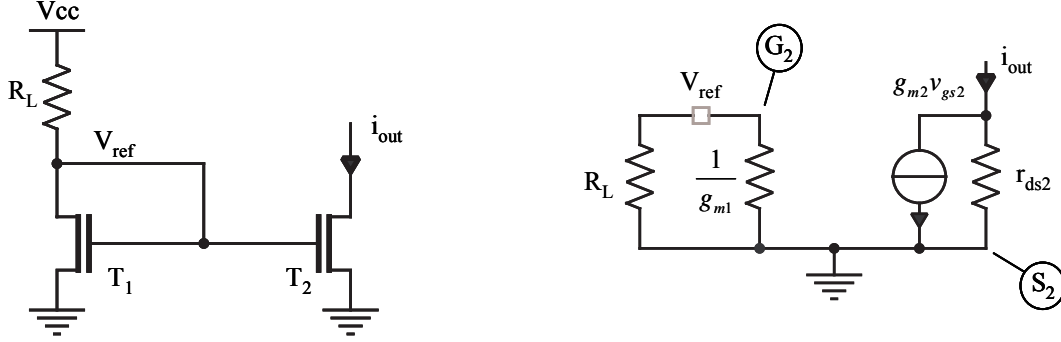


Figure A3.1 : Schéma électrique classique/petit signal d'un miroir de courant à MOS.

Avec une telle source en courant commandée, l'impédance dynamique de sortie vaut :

$$z_{out1} = r_{ds2} \quad (A3.1)$$

Considérons maintenant la source en courant suivante :

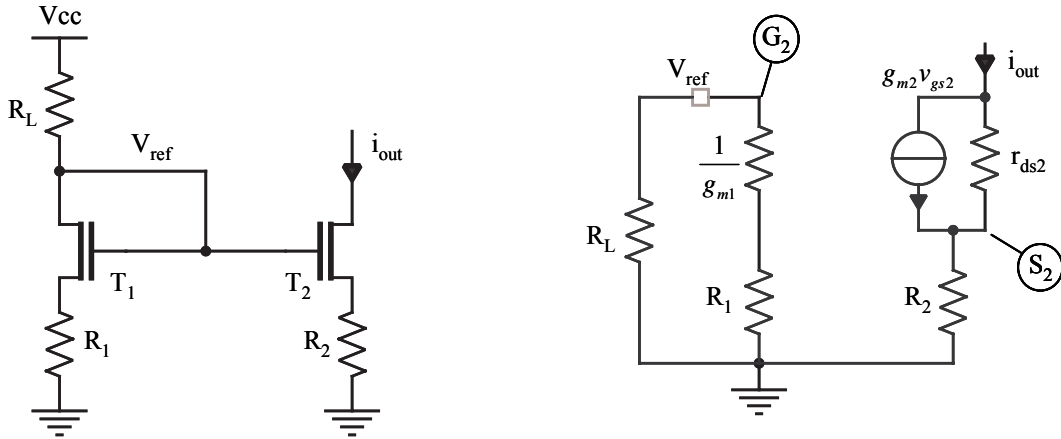


Figure A3.2 : Schéma électrique classique/petit signal d'un miroir de courant à MOS amélioré.

Calculons l'impédance dynamique d'un tel circuit.

$$v_{out} = R_2 \cdot i_{out} + r_{ds2} (i_{out} - g_{m2} \cdot v_{gs2})$$

Sachant que le potentiel V_{ref} est un potentiel continu, ce dernier se trouve à la masse d'un point de vue dynamique, on déduit alors $v_{gs2} = -R_2 \cdot i_{out}$ d'où l'on tire l'impédance dynamique suivante :

$$z_{out2} = R_2 + r_{ds2} (1 + g_{m2} \cdot R_2) \cong r_{ds2} \cdot g_{m2} \cdot R_2 \quad (A3.2)$$

Enfin, considérons le miroir de courant ci-dessous, qui se différencie du précédent par la présence de la capacité C .

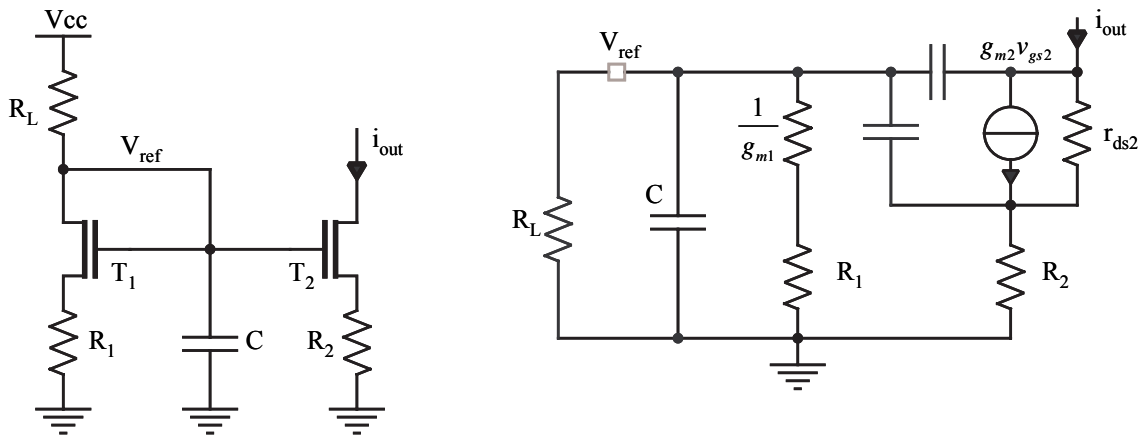


Figure A3.3 : Schéma électrique classique/petit signal d'un miroir de courant à MOS amélioré et découplé.

D'un point de vue basses fréquences, cette capacité C ne joue aucun rôle puisque le transistor MOS est unilatéral et n'a donc pas de couplage entre la grille et le drain. On se retrouve dans le cas du circuit précédent. Aux hautes fréquences, les capacités parasites du MOS viennent injecter une partie du signal RF vers l'entrée du transistor. La capacité C vient alors court-circuiter ce signal et rend l'impédance dynamique du point V_{ref} la plus faible possible.

Finalement, cette capacité joue le rôle de découplage et améliore donc la stabilité du potentiel V_{ref} aux fréquences micro-ondes, améliorant par là même l'impédance dynamique de la source en courant à ces fréquences.

Pour chiffrer l'impact des différentes techniques présentées ici, nous avons représenté sur la figure A3.4 l'impédance dynamique équivalente des trois sources en courant ci-dessus au travers d'un réseau RC parallèle équivalent. Pour cet essai, nous avons utilisé les transistors MOS évoqué au paragraphe 6 du chapitre III.

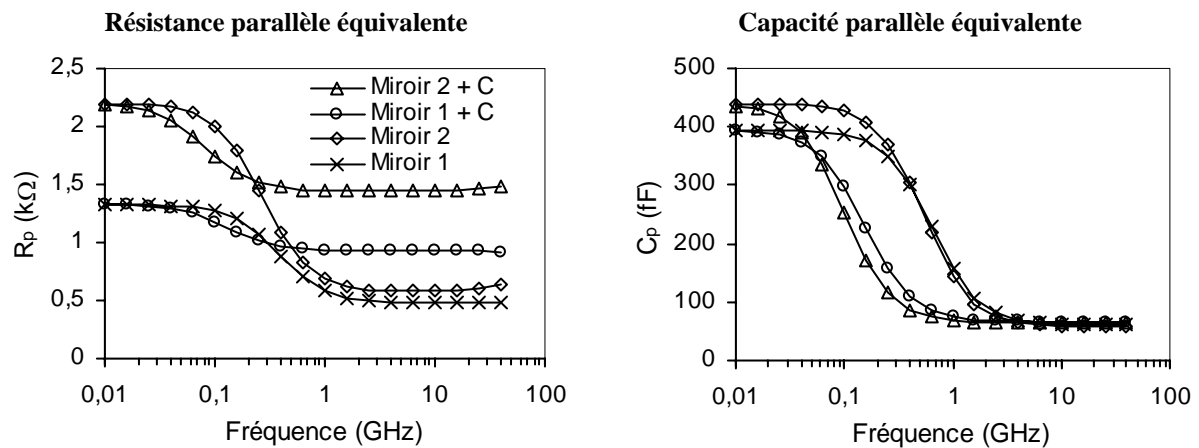


Figure A3.4 : Comparaison des caractéristiques dynamiques des trois miroirs de courant.

L'intérêt de la capacité C est ici clairement démontré puisque le miroir de courant qui l'exploite possède une résistance dynamique de près de 1,5 k Ω à 20 GHz, là où les deux autres ne dépassent pas 700 Ω . Nous n'avons pas représenté ici l'influence de la capacité C sur la source en courant la plus simple, mais elle permet de ramener la résistance R_p à 930 Ω à 20 GHz.

Par ailleurs, nous vérifions que la capacité parallèle équivalente de la source en courant peut être ajustée pour correspondre à l'optimum nécessaire en cas d'utilisation sur un amplificateur différentiel à émetteurs communs.

REFERENCES BIBLIOGRAPHIQUES

- [1] D. Barlas, G. Henderson, X. Zhang "SiGe Transistors Technologie for RF Applications" Microwave Journal, pp. 22-39, June 1999.
- [2] P. Wennekers, A. Ghazinour, R. Reuter, J. Schmidt "High-GHz Microwave ICs implemented in SiGe-BiCMOS Technology" 6^{èmes} journée micro-ondes et électromagnétisme de Toulouse, Janvier 2003.
- [3] M. Thiel, H. Kuhnert, W. Heinrich "Active RF-SiGe Circuits on Standard IBM Foundry Process up to 20 GHz" Symposium on Opto- & Microelectronic Devices and Circuits, 2002.
- [4] C. Raynaud & al. "Avancées récentes des filières Silicium dans le domaine hyperfréquence" 13^{èmes} Journées Nationales Microondes, 2003.
- [5] David A. Rich & al. "BiCMOS Technology for Mixed-Digital, Analog, and RF Applications" IEEE Microwave magazine, June 2002.
- [6] M. Van Heijningen & al. "Analysis and Experimental Verification of Digital Substrate Noise Generation for Epi-Type Substrates" IEEE Journal of Solid-State Circuits, Vol 35 n°7, July 2000.
- [7] T. Blalack, Y. Leclercq, C.P. Yue "On-chip RF Isolation Techniques" IEEE Bipolar/BiCMOS Circuits and Technology Meeting, 2002.
- [8] W. Heinrich, C. Rheinfelder "Coplanar Silicon MMIC's" IEEE Silicon Monolithic Integrated Circuits in RF Systems Symposium, 1998.
- [9] K. Grenier "Conception, réalisation et caractérisation de structures micro usinées sur silicium : applications aux microsystèmes millimétriques" Thèse de doctorat de l'Université Paul Sabatier, Toulouse, 2000.
- [10] V. Milanovic & al. "Characterization of broad-band transmission for coplanar waveguides on CMOS silicon substrates" IEEE Transactions on Microwave Theory and Techniques, Vol. 46 n°5, May 1998.
- [11] W. Durr, U. Erben, A. Schuppen, H. Dietrich, H. Schumacher "Investigation of microstrip and coplanar transmission lines on lossy silicon substrates without backside metallization" IEEE Transactions on Microwave Theory and Techniques, Vol. 46 n°5, May 1998.
- [12] Sonnet User's Manual, Release 8.0, Volume 1.
- [13] W.R. Eisenstadt, Y. Eo "S-Parameter-Based IC Interconnect Transmission Line Characterization" IEEE Transaction on Components, Hybrids, and Manufacturing Technology, Vol. 15 n°4, August 1992.
- [14] J.A. Reynoso-Hernandez & al. "An Improved Method for the Wave Propagation Constant γ Estimation in Broadband Uniform Millimeter-wave Transmission Line" IEEE microwave and Optical Technology Letters, Vol. 22 n°4, August 1999.

- [15] G. Carchon, W. De Raedt, B. Nauwelaers "Accurate Transmission Line Characterization on High and Low-resistivity Substrates" IEEE MTT-S International Microwave Symposium, 2001.
- [16] G.F. Engen, C.A. Hoer "Thru-Reflect-Line: An improved Technique for Calibrating the Dual Six-Port Automatic Network Analyser" IEEE Transactions on Microwave Theory and Techniques, Vol. 27 n°12, December 1979.
- [17] **C. Viallon**, T. Parra, J. Graffeuil "Utilisation de structures passives coplanaires en technologie SiGe : Application à la conception d'un combineur de puissance actif 180°" Journées Micro-ondes et Electromagnétisme de Toulouse, janvier 2002.
- [18] D. Prieto "Conception et caractérisation de circuits intégrés micro-ondes monolithiques (MMICs) en technologie d'interconnexions uniplanaires. Application à la conception d'un convertisseur de fréquences en bande Ku" Thèse de doctorat de l'Université Paul Sabatier, Toulouse, 1999.
- [19] K.C. Gupta & al. "Microstrip Lines and Slotlines" Artech House 1979.
- [20] H. Hasegawa, M. Furukawa, H. Yanai "Properties of Microstrip Line on Si-SiO₂ System" IEEE Transactions on Microwave Theory and Techniques, Vol. 19 n°11, November 1971.
- [21] U. Arz, H. Grabinski, D.F. Williams "Influence of the Substrate Resistivity on the Broadband Propagation Characteristics of Silicon Transmission Lines" 54th ARFTG Conference Digest, December 1999.
- [22] J. Ph. Pérez, R. Carles & R. Fleckinger "Electromagnétisme. Vide et milieux matériels" Masson, 1990.
- [23] J. Craninckx, M. S. J. Steyaert "A 1.8 GHz Low-Phase-Noise CMOS VCO Using Optimized Hollow Spiral Inductors" IEEE Journal of Solid-State Circuits, Vol. 32 n°5, May 1997.
- [24] J. M. López-Villegas & al. "Improvement of the Quality Factor of RF integrated Inductors by Layout Optimzation" IEEE Transactions on Microwave Theory and Techniques, Vol. 48 n°1, January 2000.
- [25] A. M. Niknejad "Analysis, Simulation, and Applications of passive Devices on Conductive Substrate" PhD Dissertation, University of California at Berkeley, 2000. <http://formosa.eecs.berkeley.edu/~niknejad//Thesis/phd.pdf>.
- [26] S. Gevorgian, H. Jakobson, T. Lewin and E. Kollberg "Design Limitations for Passive Microwave Components in Silicon MMICs" 28th European Microwave Conference, 1998.
- [27] D. Kajfez, P. Guillon "Dielectric Resonators" Artech House, 1986.

- [28] O. Kenneth "Estimation Methods for Quality Factors of Inductors Fabricated in Silicon Integrated Circuit Process Technologies" IEEE Journal of Solid-State Circuits, Vol. 33 n°8, August 1998.
- [29] A. M. Niknejad R. G. Meyer "Analysis, Design, and Optimization of Spiral Inductors and Transformers for Si RF IC's" IEEE Journal of Solid-State Circuits, Vol. 33 n°10, October 1998.
- [30] C. P. Yue, S. Simon Wong "On-Chip Spiral Inductors with Patterned Ground Shields for Si-Based RF IC's" IEEE Journal of Solid-State Circuits, Vol. 33 n°5, May 1998.
- [31] J. N. Burghatz, D. C. Edelstein, K. A. Jenkins and Y. H. Kwark "Spiral Inductors and Transmission Lines in Silicon Technology using Copper-Damascene Interconnects and Low-Loss Substrates" IEEE Transactions on Microwave Theory and Techniques, Vol. 45 n°10, October 1997.
- [32] U. Erben & al. "High-Q Inductors on Silicon using a Quasi Thin Film Microstrip Technique" IEEE Silicon Monolithic Integrated Circuits in RF Systems Symposium, September 1998.
- [33] H. Okabe & al. "Characterization of a Planar Spiral Inductor on a Composite-Resin Low-Impedance Substrate and Its Application to Microwave Circuits" IEEE Transactions on Components, Packaging, and Manufacturing Technology – part B, Vol. 21 n°3, August 1998.
- [34] J. N. Burghatz & al. "Novel Substrate Contact Structure for High-Q Silicon-integrated Spiral Inductors" IEEE International Electron Devices Meeting, 1997.
- [35] K. Murata, T. Hosaka, Y. Sugimoto "Effect of a Ground Shield of Silicon on chip Spiral Inductor" IEEE Asia Pacific Microwave Conference, 2000.
- [36] T. E. Kolding "Improving Accuracy and Reliability of Microwave On-Wafer Silicon Device Measurements" Microwave Journal, pp. 22-38, November 2000.
- [37] D. Dubuc "Contribution a la Conception de Convertisseurs de Fréquence. Intégration en Technologie GaAs et SiGe" Thèse de doctorat de l'Université Paul Sabatier, Toulouse, 2001.
- [38] J-L. Gautier "Etude des amplificateurs différentiels dans la gamme micro-onde. Applications." Thèse de doctorat, Université Paris XI, 1977.
- [39] G.I. Zysman, A.K. Johnson "Coupled Transmission Line Networks in an Inhomogeneous Dielectric Medium" IEEE Transactions on Microwave Theory and Techniques, Vol. 17, n°10, October 1969.
- [40] D.E. Bockelman, W.R. Eisenstadt "Combined Differential and Common-Mode Scattering Parameters: Theory and Simulation" IEEE Transactions on Microwave Theory and Techniques, Vol. 43, n°7, July 1995.

- [41] **C. Viallon**, E. Tournier, T. Parra "Improved Differential Structures for Balanced Microwave Applications" IEEE Asia Pacific Microwave Conference, 2003.
- [42] T. Khelifi "Etude, conception et applications de structures différentielles à transistors bipolaires à hétérojonction" Thèse de doctorat de l'Institut National Polytechnique de Grenoble, 1996.
- [43] J-G. Tartarin "Caractérisation et modélisation petit signal et en bruit des transistors bipolaires à hétérojonction aux fréquences micro-ondes" Thèse de doctorat de l'Université Paul Sabatier, Toulouse, 1997.
- [44] L. Macho Cacho, A. Werfhof, G. Kompa "Broadband 40 GHz Si/SiGe HBT equivalent circuit using a successive analytical model parameter extraction" 23th European Microwave Conference, 1993.
- [45] F. Temcamani, B. Delacressonniere, P. Lida, J.L. Gautier "Limitations of the even mode rejection in differential structures" 23rd European Microwave Conference, 1993.
- [46] D.E. Bockelman, W.R. Eisenstadt "Combined Differential and Common-Mode Analysis of Power Splitters and Combiners" IEEE Transactions on Microwave Theory and Techniques, Vol. 43, n°11, November 1995.
- [47] S. Hackl & al. "40 GHz Monolithic Integrated Mixer in SiGe Bipolar Technology" IEEE MTT-S International Microwave Symposium, 2002.
- [48] K.T. Ng, B. Rejaei, J.N. Burghartz "Substrate Effects in Monolithic RF Transformers on Silicon" IEEE Transactions on Microwave Theory and Techniques, Vol. 50, n°1, January 2002.
- [49] J.R. Long "Integrating Passive Components and RF/MMIC Design", Bipolar/BiCMOS Circuits and Technology Meeting (BCTM), Short course, 2000.
- [50] Y.J. Yoon & al. "Design and Characterization of multilayer Spiral Transmission-Line Baluns" IEEE Transactions on Microwave Theory and Techniques, Vol. 47, n°9, September 1999.
- [51] J. Lin & al. "A Silicon MMIC Active Balun/Buffer Amplifier with High Linearity and Low Residual Phase Noise" IEEE MTT-S International Microwave Symposium, 2000.
- [52] H. Ma, S.J. Fang, F. Lin, H. Nakamura "Novel Active Differential Phase Splitters in RFIC for Wireless Applications" IEEE Transactions on Microwave Theory and Techniques, Vol. 46, n°12, December 1998.
- [53] F. van Raay, G. Kompa "Design and Stability Test of a 2-40 GHz Frequency Doubler with Active Balun" IEEE MTT-S International Microwave Symposium, 2000.
- [54] M. Borgarino & al. "Low Noise Considerations in SiGe BiCMOS Technology for RF Applications" 29th European Microwave Conference, 1999.

- [55] C.F. Campbell, J.M. Beall "Design and Performances of a Highly Integrated Wideband Active Downconverter MMIC" IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, 2001.
- [56] C-S. Lee & al. "A Low Noise Amplifier for a Multi-band and Multi-mode Handset" IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, 1998.
- [57] J. Durec, E. Main "A Linear Class AB Single-Ended to Differential Transconverter Suitable for RF Circuits" IEEE MTT-S International Microwave Symposium, 1996.
- [58] B. Gilbert "The Micromixer: A highly Linear Variant of the Gilbert Mixer Using a Bisymmetric Class-AB Input Stage" IEEE Journal of Solid-State Circuits, Vol. 32 n°9, September 1997.
- [59] T. Parra "Modélisation du transistor MESFET GaAs utilise en regime de forts signaux. Application à la conception d'un limiteur de puissance monolithique à distorsion de phase minimale" Thèse de doctorat de l'Université Paul Sabatier, Toulouse, 1991.
- [60] **C. Viallon**, E. Tournier, J. Graffeuil, T. Parra "An Original SiGe Active Differential Output Power Splitter for Millimeter-wave Applications" 33rd European Microwave Conference, 2003.
- [61] J. Goldstein, M. Soltan "DC, Linear AC and Nonlinear AC Stability Analysis Using Bifurcation and Nyquist Theory" Microwave Journal, pp. 278-298, May 2000.
- [62] F. de Carfort, C. Foulard "Asservissement linéaires continus" Dunod Université, 1971.
- [63] R.W. Jackson "Criteria for the Onset of Oscillation In Microwave Circuits" IEEE Transactions on Microwave Theory and Techniques, Vol. 40, n°3, March 1992.
- [64] M. Odyniec "Stability criteria via S-parameters" 25th European Microwave Conferences, 1995
- [65] W. Struble, A. Platzker "A Rigorous yet Simple Method for Determining Stability of Linear N-port Networks [and MMIC application]" Gallium Arsenide Integrated Circuit (GaAs IC) Symposium, 1993.
- [66] B. Gilbert "A Precise Four Quadrant Multiplier with Subnanosecond Response" IEEE Journal of Solid-State Circuits, Vol. 3 n°12, December 1968.
- [67] S. Colomines "Conception et caractérisation de mélangeurs radiofréquences en technologie BiCMOS pour applications de téléphonie cellulaire" Thèse de doctorat de l'Université Paul Sabatier, Toulouse, 1999.
- [68] H. Darabi, A. A. Abidi "Noise in RF-CMOS Mixers: A Simple Physical Model" IEEE Journal of Solid-State Circuits, Vol. 35 n°1, January 2000.
- [69] R.B. Marks, D.F. Williams "A General Waveguide Circuit Theory" Journal of the National Institute of Standards and Technology, Vol. 97 n°5, September-October 1992.

- [70] R.B. Marks, D.F. Williams "Interconnection Transmission Line Parameter Characterization" 40th ARFTG Conference Digest, December 1992.
- [71] P.T.M Van Zeijl & al. "A bluetooth radio in 0.18 μm CMOS" IEEE International Solid-State Circuits Conference (ISSCC), 2002.
- [72] T. Miracco "Recent Advances in EDA Software Solutions for Improved RFIC Design Flows" Microwave Journal: CAD, Test and Measurement Supplement, pp. 12-16, November 2003.

Optimisation de structures différentielles pour applications SiGe en bande millimétrique. Application à la conception d'un mélangeur doublement équilibré en bande K.

Cette thèse apporte une contribution à l'évaluation des potentialités de filières SiGe de type BiCMOS pour les futures applications de télécommunications en bande millimétrique. Dans ce cadre, les topologies équilibrées ou différentielles sont très attrayantes, en raison de leur bonne immunité aux perturbations électriques et électromagnétiques. La montée en fréquence des applications hyperfréquences sur silicium s'accompagne de nouvelles difficultés. Les pertes introduites par les éléments passifs augmentent et les performances des structures différentielles classiques chutent très rapidement. Il est alors nécessaire d'exploiter d'autres techniques et de rechercher des topologies innovantes permettant la réalisation de fonctions équilibrées performantes.

Une première partie est consacrée à l'évaluation des potentialités des différentes technologies d'interconnexions (microruban, guides coplanaires et lignes à rubans coplanaires) exploitables pour la conception de circuits monolithiques sur silicium. Dans un second temps, une bibliothèque d'inductances optimisées pour une utilisation en bande K et Ka est constituée. Les mécanismes physiques à l'origine des pertes dans ce type d'élément sont détaillés afin de dégager les solutions permettant d'améliorer leurs performances.

Une deuxième partie traite de l'optimisation des performances des circuits différentiels pour les futures applications dans la gamme 20-40 GHz. Dans un premier temps, nous détaillons les caractéristiques hautes fréquences du transistor qui pénalisent le fonctionnement d'une structure différentielle classique. Des topologies de structures différentielles originales permettant de résoudre ce problème sont ensuite proposées. Ces structures sont appliquées à la conception d'un diviseur de puissance actif 180° original, optimisé pour une fréquence centrale de fonctionnement de 20 GHz. Enfin, un convertisseur de fréquences 20 GHz vers 1 GHz a été conçu et réalisé. Celui-ci intègre, outre le mélangeur, les trois coupleurs actifs 180° nécessaires à la génération / recombinaison des signaux différentiels utiles au mélangeur. La caractérisation de ce convertisseur de fréquences démontre la pertinence des configurations choisies pour les interconnexions ainsi que le grand intérêt des structures différentielles originales mises en œuvre.

Mots-clefs :

Micro-ondes, Fréquences millimétriques, Interconnexions, Inductance, Amplificateur différentiel, Mode commun, Mode différentiel, Taux de réjection de mode commun, Silicium Germanium, Coupleur actif, Diviseur de puissance, Combineur de puissance, Stabilité, Mélangeur, Mélangeur doublement équilibré.

Differential structures optimization for SiGe millimetre-wave applications. Application to the design of a K band double balanced mixer.

Present work contributes to BiCMOS SiGe monolithic technology evaluation for future high-performance millimetre-wave telecommunications applications. For these applications, balanced circuit architectures are very attractive according to their low noise susceptibility and their EMI radiation immunity. However, as frequency is increased, passive devices losses raise and classical differential amplifier topologies cannot achieve sufficiently well balanced operation. Thus, our main purpose is to propose innovative differential topologies suitable for millimetre-wave high-performance balanced circuits.

Firstly, the evaluation of several interconnection technologies (microstrip, coplanar waveguide and coplanar strips) integrated on silicon substrate is presented. An inductor library then is designed for K and Ka frequency band operation. Enhanced performance inductors are issued from the analysis of losses mechanisms.

A second part addresses the performance optimization of differential circuits for future applications in the 20-40 GHz frequency range. Firstly, we demonstrate that classical approaches for differential pair design lead to poor balanced behaviour in the millimetre-wave frequency band, because of intrinsic transistor characteristics. Original differential pair topologies are then proposed to overcome these drawbacks. These structures are then applied for the design of a 20 GHz active balun. Finally, a double balanced frequency converter from 20 GHz to 1 GHz is designed. The whole chip integrates the mixing cell and the three couplers. The characterization of this circuit demonstrates the usefulness of our choice for interconnections and confirms the great interest of developed original differential structures.

Keywords:

Microwave, Millimetre-wave frequencies, Interconnections, Inductance, Differential amplifier, Common mode, Differential mode, Common mode rejection ratio, Silicon Germanium, Active Coupler, Active balun, Power divider, Power combiner, Stability, Mixer, Double balanced mixer.