

Application de l'échantillonnage aléatoire à temps quantifié aux récepteurs SDR

Introduction

L'étude menée dans le deuxième chapitre montre l'atténuation du repliement spectral par l'échantillonnage pseudo-aléatoire à temps quantifié. Malgré la réduction de la caractéristique aléatoire de la construction des instants d'échantillonnage du TQ-JPRS, l'atténuation des répliques reste considérable. Ainsi, le TQ-JPRS peut être facilement intégré dans une architecture de récepteur donnée afin de permettre de tirer avantage de la réduction du repliement.

Afin de mettre en valeur l'avantage du TQ-JPRS, nous choisissons de l'utiliser au sein d'une architecture radio multistandard homodyne/low-IF que nous dimensionnons en utilisant les ADCs multistandards référencés dans la section 1.2.3. Une discussion sur l'apport du TQ-JPRS est réalisée en considérant son effet sur le filtre anti-repliement et sur la fréquence d'échantillonnage du convertisseur. Le choix optimal de la configuration de l'architecture est réalisé en termes de consommation de puissance. En effet, Nous proposons une estimation de la consommation de puissance des filtres analogiques et numériques ainsi que des convertisseurs. L'implémentation matérielle du TQ-JPRS est réalisée en utilisant une plateforme de test comportant un générateur d'horloge pseudo-aléatoire. La mise en œuvre expérimentale montre la présence de raies parasites dues à un délai variable ajouté par l'ADC. Nous proposons dans ce chapitre une solution pour la suppression des raies en redimensionnant l'étape de sélection du canal.

Dans ce chapitre, nous commençons par présenter l'architecture hybride homodyne/low-IF multistandard supportant les standards GSM, UMTS et IEEE 802.11.a avec son dimensionnement en présence d'un échantillonnage uniforme puis d'un échantillonnage TQ-JPRS. Les composants les plus intéressants dans cette comparaison sont le filtre anti-repliement vu que son dimensionnement dépend directement de la puissance des répliques et le convertisseur analogique numérique vu que sa consommation dépend de la fréquence d'échantillonnage. La deuxième partie de ce chapitre concerne l'estimation de la puissance de l'étage en bande de base. L'implémentation matérielle du TQ-JPRS et la conception d'un générateur d'horloge pseudo-aléatoire sont présentés dans la troisième section. Les premières acquisitions révèlent la génération de raies parasites que nous proposons d'éliminer dans la dernière section par le moyen du filtrage numérique et la sélection du canal.

Une estimation de la consommation globale du récepteur en présence d'un échantillonnage uniforme et d'un échantillonnage TQ-JPRS montre la capacité de ce dernier à réduire la consommation de puissance.

III.1 Proposition et dimensionnement de l'architecture SDR

L'échantillonnage aléatoire à temps quantifié est utilisé dans une architecture à mélangeur au niveau de la conversion analogique numérique. Sa capacité à atténuer le repliement spectral promet de réduire les contraintes sur les composants analogiques du récepteur à considérer et d'alléger les besoins en termes de fréquence d'échantillonnage au niveau de l'ADC.

III.1.1 Architecture SDR basée sur l'utilisation du TQ-JPRS

Afin de pouvoir comparer l'effet du TQ-JPRS, nous proposons de l'appliquer au niveau d'une architecture radio hybride homodyne/low-IF. L'étage RF de l'architecture choisie est identique à celui dans l'architecture déjà dimensionnée par Brandolini (15). Les standards considérés sont le GSM, l'UMTS et l'IEEE 802.11.a. Les deux signaux à large bande sont transposés vers la bande de base. Le signal GSM est transposé vers la fréquence intermédiaire autour de 100 kHz. L'étage en bande de base est formé par un filtre anti-repliement programmable, un AGC et un ADC. L'architecture considérée est illustrée par la Figure III-1.

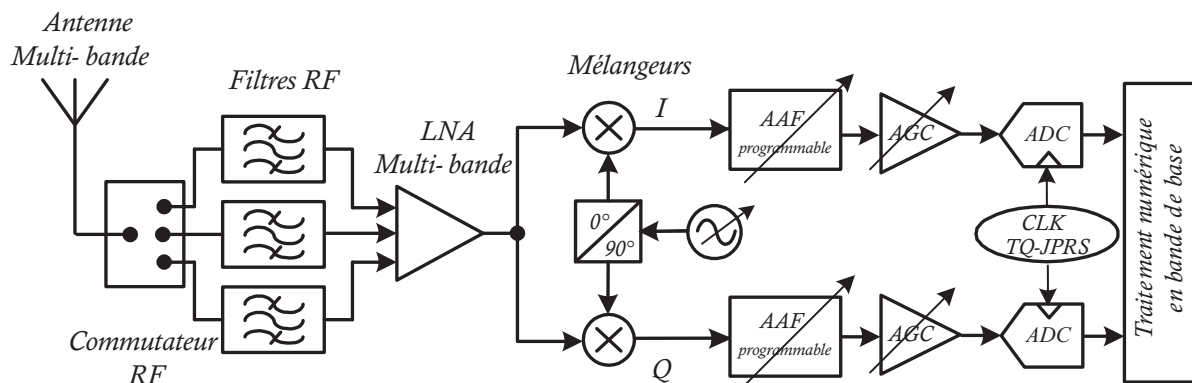


Figure III-1. Architecture du récepteur multistandard basé sur l'utilisation du TQ-JPRS.

Le filtre anti-repliement est programmable permettant de faire passer le signal GSM tout comme le signal IEEE 802.11.a avec des fréquences de coupures et des ordres différents (95). L'utilisation de l'AGC dans l'étage en bande de base est fonction de la dynamique traitée par l'ADC. L'état de l'art des ADCs multistandards montre bien une variété de convertisseurs ayant des dynamiques différentes pour chaque standard de communication. Nous rappelons dans le Tableau III-1 les performances de trois ADCs de type sigma-delta à des SNDRs différents. Les valeurs des SNDRs mesurées sont comparées aux valeurs théoriques de la dynamique des standards tirés des spécifications de chacun. Ainsi, selon les performances de l'ADC, l'AGC peut être appliqué pour les trois standards ou bien contourné pour quelques ou tous les standards. En effet, le premier convertisseur ADC 1 est caractérisé par des valeurs du SNDR qui ne satisfassent pas les spécifications des trois standards. Un AGC est donc utilisé afin de réduire la dynamique à l'entrée de l'ADC 1 et lui permettre de bien

numériser les signaux. L'ADC 2 ne permet pas de traiter la dynamique du signal GSM. Dans ce cas, un AGC est utilisé uniquement pour ce standard. Quant à l'ADC 3, la plage dynamique requise par les standards est assurée sans avoir recours à l'utilisation de l'AGC.

Tableau III-1. Comparaison de la plage dynamique des ADCs multistandards sélectionnés.

	Standard	f_s (MHz)	SNDR (dB)	DR requise (dB)	Puissance (mW)	Utilisation de l'AGC
ADC 1 - (111)	GSM	26	82	96	1.44	AGC pour les trois standards
	UMTS	208	Na	73.8	3.4	
	IEEE 802.11.g	400	52	61.8	7	
ADC 2 - (112)	GSM	26	88	96	2.9	AGC pour le GSM
	UMTS	61.44	79	73.8	7.4	
	IEEE 802.11.a	240	67	61.8	20.5	
ADC 3 - (114)	GSM	32	104	96	18	Sans AGC
	UMTS	64	92	73.8	23	
	IEEE 802.11.a	160	68	61.8	39	

Nous définissons ainsi trois architectures différentes de l'étage en bande de base utilisant respectivement l'ADC 1, l'ADC 2 et l'ADC 3. Chaque architecture a sa fréquence d'échantillonnage uniforme f_s pour chaque standard considéré comme présenté par le Tableau III-1. A partir de f_s , nous déduisons la fréquence moyenne de l'échantillonnage TQ-JPRS f_{RS} . Dans le but de justifier l'avantage d'appliquer le TQ-JPRS, nous proposons de dimensionner l'étage en bande de base des trois architectures proposées en présence d'un échantillonnage uniforme puis d'un échantillonnage TQ-JPRS. La fréquence moyenne de l'échantillonnage TQ-JPRS f_{RS} sera prise égale à f_s .

Généralement, le dimensionnement de l'étage en bande de base est réalisé relativement aux niveaux des bloqueurs à l'entrée de cet étage et à la valeur de la fréquence d'échantillonnage de l'ADC. Dans le cas de l'échantillonnage TQ-JPRS, nous ajoutons à ces deux métriques, la valeur de la quantification temporelle q définissant ainsi la valeur de l'atténuation du repliement spectral apportée par le TQ-JPRS. Nous rappelons à ce stade que l'échantillonnage TQ-JPRS avec considération du *Sample&Hold* est réellement appliqué au niveau du récepteur. Cependant, afin de mesurer uniquement l'atténuation apportée par le TQ-JPRS sans celle apportée par l'opération du blocage, nous nous basons dans notre dimensionnement sur les valeurs représentées par la Figure II-17 (a).

III.1.2 Dimensionnement de l'architecture proposée

Le premier point de dimensionnement de l'étage en bande de base consiste à définir le niveau des bloqueurs et des interférents à son entrée. Les bloqueurs hors-bande du signal reçu par l'antenne sont remis au niveau du plus fort bloqueur dans la bande grâce au filtre RF approprié. Le signal est ensuite amplifié par le LNA et le mélangeur multi-bande. La valeur de leur gain est choisie de façon à ramener la puissance maximale du signal à l'entrée S_{max} à la pleine échelle de l'ADC $S_{fs} = 13$ dBm. Les paramètres physiques et les spécifications des standards sont résumés par le Tableau III-2 et le

Tableau III-3 (130; 131; 132). Selon ces spécifications, le signal est amplifié de G_{ana} égal respectivement à 28 dB, 38 dB et 43 dB pour le cas du GSM, UMTS et IEEE 802.11.a. Étant donné ces paramètres, le gabarit des bloqueurs et des interférents à l'entrée de l'étage en bande de base est donné par la Figure III-2 après le filtre RF, le mélangeur et le LNA.

Tableau III-2. Paramètres physiques des standards GSM/UMTS/IEEE 802.11 a.

	GSM	UMTS	IEEE 802.11 a
Bande descendante(MHz)	925-960	2110-2170	5150-5350 5725-5825
Largeur de bande B_{bande} (MHz)	35	60	200 ou 100
Largeur des canaux B (MHz)	0.2	3.84	16.6
Espacement entre les canaux C_{sp} (MHz)	0.2	5	20
Sensibilité de référence S_{ref} (dBm)	-102	-117	-65
Puissance maximale à l'entrée S_{max} (dBm)	-15	-25	-30
BER requis	10^{-4}	10^{-3}	10^{-5}
E_b/N_0 (dB)	9	6.8	21.5
Plancher du bruit N_{th} (dBm)	-120.8	-108	-101.8

Tableau III-3. Spécifications de dimensionnement du récepteur multistandard GSM /UMTS/IEEE 802.11 a.

	GSM	UMTS	IEEE 802.11 a
SNR_{in} (dB)	18.8	-9	36.6
SNR_{out} (dB)	9	-18.2	26.6
Figure du bruit NF (dB)	9.8	9.2	10
Dynamique du récepteur DR_{in}	87	92	35
Dynamique de l'ADC DR_{ADC}	96	73.8	61.8
Gain analogique G_{ana} (dB) pour une pleine échelle de l'ADC $S_{fs} = 13$ dBm	28	38	43

Le dimensionnement de l'étage en bande de base comporte le dimensionnement de l'AAF, de l'AGC et de l'ADC pour le cas des trois architectures. Dans le cas de l'utilisation du TQ-JPRS, nous proposons d'étudier en premier lieu les possibilités d'apports du TQ-JPRS puis d'appliquer chaque possibilité aux trois architectures.

III.1.2.1 Effets de l'application du TQ-JPRS sur les composants en bande de base

L'utilisation de l'échantillonnage TQ-JPRS conduit à une réduction du repliement spectral. La réduction du repliement spectral possède un impact positif sur les composants en bande de base essentiellement l'AAF et l'ADC. En effet, on pourra bénéficier de l'échantillonnage TQ-JPRS selon deux façons soit la réduction de l'ordre du filtre anti-repliement, soit la réduction de la fréquence d'échantillonnage.

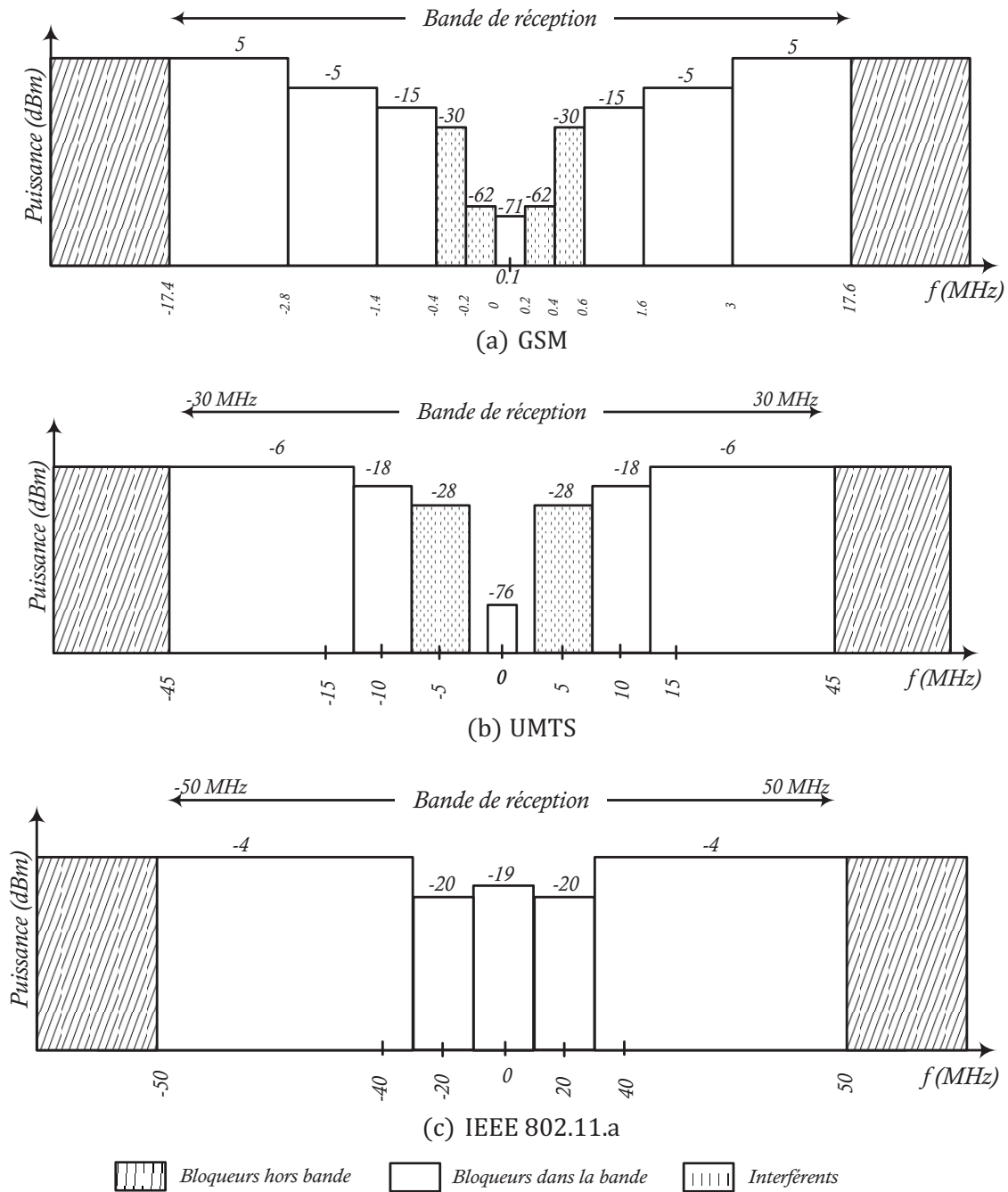


Figure III-2. Profils des bloqueurs des standards GSM (a) UMTS (b) et IEEE 802.11 a (c) à l'entrée de l'étage en bande de base.

a. Réduction de l'ordre du filtre anti-repliement

La première façon consiste à aller vers la réduction de l'ordre du filtre AAF (129; 133). Dans cette intention, une atténuation moins importante que celle requise dans le cas d'un échantillonnage uniforme permet l'échantillonnage tout en garantissant le SNR_{out} . Cette démarche est expliquée par la Figure III-3.

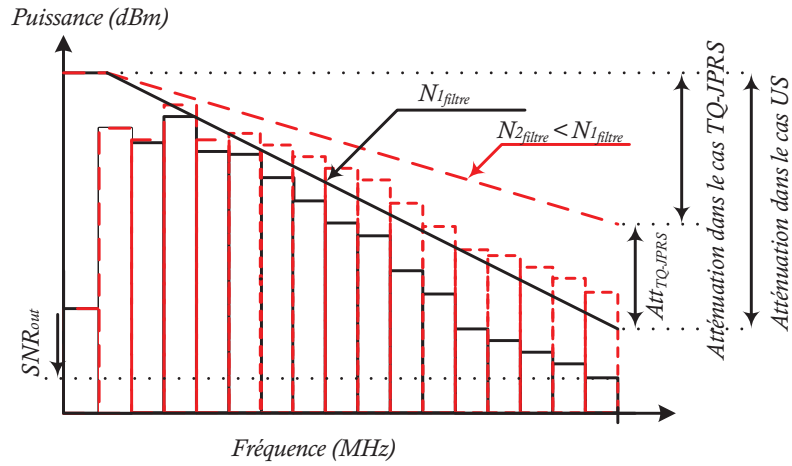


Figure III-3. Réduction de l'ordre du filtre anti-repliement par le TQ-JPRS.

L'étude du filtrage anti-repliement faite au niveau du Chapitre I indique que l'atténuation requise par le filtre doit permettre de réduire essentiellement la puissance du bloqueur au niveau de la première réplique du signal située à $f_s - B/2$ pour le cas de l'UMTS et l'IEEE 802.11.a et à $f_s - B$ pour le cas du GSM ; f_s étant la fréquence d'échantillonnage de l'ADC. Dans le cas de l'utilisation de l'échantillonnage pseudo-aléatoire à temps quantifié, le bloqueur à réduire par le filtre AAF sera atténué a posteriori par le TQ-JPRS. L'atténuation grâce à ce dernier permet de réduire l'atténuation minimale requise par l'AAF, A_{min} . Nous notons l'atténuation du repliement spectral étudiée au niveau Chapitre II par $Att_{TQ-JPRS}$. Ainsi, l'atténuation minimale requise par le filtre AAF se voit réduire par $Att_{TQ-JPRS}$. Sa formule est donnée par Eq. III-1.

$$A_{min}(q) = (N_{bl} - G_{ana}) - S_{ref} + SNR_{out} + M_{AAF} - Att_{TQ-JPRS}(q) \quad \text{Eq. III-1}$$

Le terme $N_{bl} - G_{ana}$ indique le niveau du bloqueur qui se repliera sur le signal après échantillonnage. La valeur considérée du bloqueur doit être ramenée au niveau de l'antenne afin d'être comparée à la sensibilité de référence S_{ref} . La puissance considérée ne comporte donc pas le gain analogique G_{ana} que le bloqueur subit. Il est à noter que suite à une réduction éventuelle de l'ordre N_{filtre} du filtre anti-repliement grâce au TQ-JPRS, la valeur du gain maximal de l'AGC est modifiée. Une réduction de N_{filtre} affecte la valeur de l'atténuation des bloqueurs et par conséquent la valeur de la puissance du bloqueur le plus fort après toutes les atténuations considérées. $(N_{bl} - Att)_{max}$. Ainsi, d'après Eq. I-10, la valeur $G_{AGC_{max}}$ est réduite entraînant le rétrécissement de la marge de fonctionnement de l'AGC. Lors du dimensionnement de l'AGC, les deux gains extrêmes à savoir le minimal et le maximal sont à définir. Toutefois, selon la valeur du gain analogique G_{ana} prise, le gain $G_{AGC_{min}}$ est toujours nul. D'après Eq. I-11, la réduction de $G_{AGC_{max}}$ peut entraîner une augmentation du nombre de bits n_{ADC} de l'ADC nécessaires pour numériser toute la plage dynamique du signal.

b. Réduction de la fréquence d'échantillonnage

La deuxième façon de bénéficier de la réduction des répliques s'intéresse à la fréquence d'échantillonnage de l'ADC. Dans ce cas, aucune modification de l'AAF et de l'AGC n'est réalisée lors du dimensionnement par rapport au cas de l'utilisation de l'échantillonnage uniforme. Sachant que le TQ-JPRS permet une atténuation des répliques après échantillonnage, une modification de la fréquence d'échantillonnage moyenne est possible. En réduisant la fréquence d'échantillonnage, le niveau du bloqueur qui se repliera sur le signal à la sortie de l'ADC accroît. Le TQ-JPRS permet de réduire la réplique du bloqueur et la ramener au niveau du plancher de bruit. La Figure III-4 explique le principe de réduction de la fréquence d'échantillonnage grâce au TQ-JPRS.

Lors du dimensionnement, un filtre d'anti-repliement de type Butterworth a été considéré afin de garantir une réponse plate de la bande passante. La fréquence minimale à partir de laquelle l'échantillonnage TQ-JPRS permet d'avoir le SNR_{out} requis à la sortie de l'ADC est donnée par l'équation Eq. III-2.

$$f_s = f_p \sqrt[2N_{\text{filtre}}]{\frac{10^{A_{min}/10} - 1}{10^{A_{max}/10} - 1} + \frac{B}{2}} \quad \text{Eq. III-2}$$

Dans le cas du standard GSM, $B/2$ est remplacé par B dans Eq. III-2. L'atténuation minimale A_{min} est calculée dans le cas de l'échantillonnage TQ-JPRS selon Eq. III-1. A_{max} est l'atténuation maximale permise dans la bande passante.

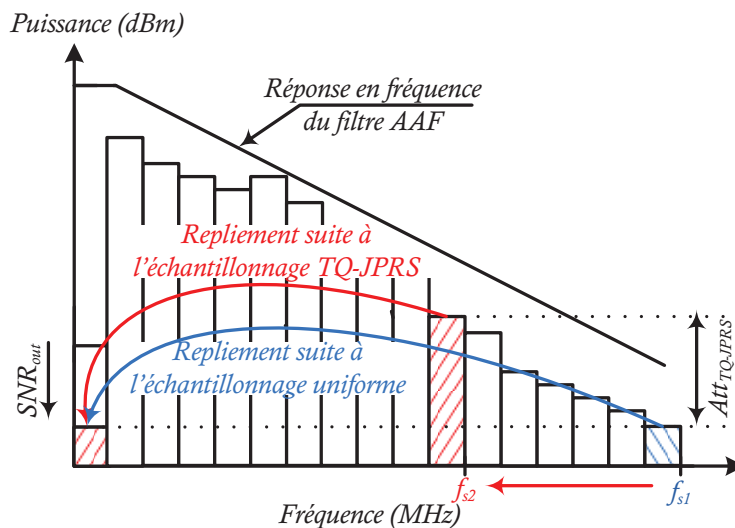


Figure III-4. Réduction de la fréquence d'échantillonnage par le TQ-JPRS.

La réduction de la fréquence d'échantillonnage a un impact direct sur la consommation de l'ADC. Étant le plus gourmand en puissance, une réduction de la consommation de ce composant permettrait de réduire significativement la consommation de puissance de tout le récepteur. La réduction de l'ordre du filtre d'anti-repliement ou la réduction de la

fréquence d'échantillonnage dépend de la valeur d'atténuation $Att_{TQ-JPRS}$. Considérant le cas de l'échantillonnage sans effet $S\&H$ étudié dans le Chapitre II, $Att_{TQ-JPRS}$ dépend uniquement de la valeur du facteur de la quantification temporelle q . La condition présentée par Eq. II-21 impose une valeur de l'OSR supérieure à q . Ainsi, nous dimensionnons l'étage en bande de base des trois architectures, dans le cas de la réduction de l'ordre du filtre anti-repliement ou de la fréquence d'échantillonnage et ce pour les valeurs possibles de q en respectant la condition Eq. II-21.

III.1.2.2 Dimensionnement des trois architectures de l'étage en bande de base

Nous procédons dans cette section au dimensionnement des trois architectures de l'étage en bande de base. Nous nommerons première, deuxième et troisième architecture celles qui utilisent l'ADC 1, l'ADC 2 et l'ADC 3 respectivement.

a. Dimensionnement de la première architecture

La première architecture considérée utilise un AGC au niveau de sa bande de base pour les trois standards de communication afin de pouvoir réduire la plage dynamique à l'entrée de l'ADC lui permettant ainsi de numériser correctement le signal. En effet, les performances de l'ADC1 nécessitent la compression de la dynamique à son entrée. La Figure III-5 illustre l'architecture de cet étage en bande de base.

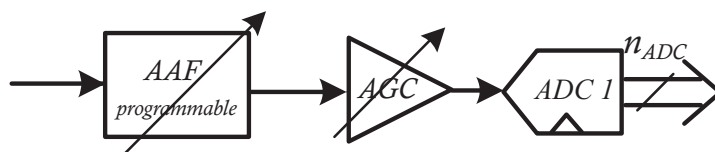


Figure III-5. Première architecture de l'étage en bande de base.

Les valeurs de $Att_{TQ-JPRS}$ selon les valeurs de la quantification temporelle sont rappelées dans le Tableau III-4.

Tableau III-4. Valeurs de l'atténuation $Att_{TQ-JPRS}$ en fonction de q .

	$q = 8$	$q = 16$	$q = 32$	$q = 64$
$Att_{TQ-JPRS}$ (dB)	16.7	23.5	29.8	35.9

Les valeurs de la fréquence d'échantillonnage sont utilisés dans le cas de la première architecture donné dans le Tableau III-5 avec f_p est la fréquence de coupure et f_t la fréquence de rejection du filtre AAF. A_{max} est prise égale à 0.1 dB. Les cases contenant Na représentent les cas où la condition Eq. II-21 n'est pas satisfaite. Le dimensionnement du filtre anti-repliement mène aux ordres mentionnés dans le Tableau III-6.

Tableau III-5. Dimensionnement du filtre AAF de la première architecture pour l'échantillonnage uniforme et TQ-JPRS pour différentes valeurs de q .

	f_{RS} (MHz)	f_p (MHz)	f_t (MHz)	$N_{bl} - G_{ana}$ (dBm)	$A_{min_{uniforme}}$ (dB)	$A_{min_{q=8}}$ (dB)	$A_{min_{q=16}}$ (dB)	$A_{min_{q=32}}$ (dB)	$A_{min_{q=64}}$ (dB)
GSM	26	0.26	25.74	-23	91	74.3	67.5	61.2	55.1
UMTS	208	2.49	206.08	-44	57.8	41.1	34.3	28	Na
IEEE 802.11.a	400	10.79	391.7	-47	47.6	30.9	24.1	Na	Na

Tableau III-6. Ordre du filtre AAF de la première architecture pour l'échantillonnage uniforme et TQ-JPRS pour différentes valeurs de q .

	$N_{filtre_{uniforme}}$	$N_{filtre_{q=8}}$	$N_{filtre_{q=16}}$	$N_{filtre_{q=32}}$	$N_{filtre_{q=64}}$
GSM	3	2	2	2	2
UMTS	2	1	1	1	Na
IEEE 802.11.a	2	2	1	Na	Na

Les valeurs du gain maximal de l'AGC $G_{AGC_{max}}$ et les valeurs du nombre de bits de l'ADC nécessaires à la numérisation du signal sont représentés par le Tableau III-7.

Tableau III-7. Valeurs du gain maximal de l'AGC et du nombre de bit de l'ADC en considérant la réduction de l'ordre du filtre AAF.

	$G_{AGC_{max}}$ (dB)					n_{ADC}				
	US	$q = 8$	$q = 16$	$q = 32$	$q = 64$	US	$q = 8$	$q = 16$	$q = 32$	$q = 64$
GSM	34.5	30				10	11			
UMTS	30.9	21		Na		7	9		Na	
IEEE 802.11.a	21.2	21.2	17.7	Na	Na	7	7	8	Na	Na

Nous pouvons donc conclure que pour la première architecture et dans le cas de la réduction de l'ordre du filtre anti-repliement, le TQ-JPRS nous a permis de réduire d'un point l'ordre du filtre AAF. Toutefois, ceci a engendré l'augmentation du nombre de bits de l'ADC.

Dans le cas de la réduction de la fréquence d'échantillonnage, le dimensionnement de l'étage en bande de base est donné par Tableau III-8. L'atténuation TQ-JPRS permet de réduire la fréquence d'échantillonnage. Toutefois, dans certains cas, cette fréquence est majorée afin de respecter la condition Eq. II-21 soit alors l'utilisation d'un OSR supérieur à la valeur de q .

Tableau III-8. Dimensionnement de l'étage en bande de base de la première architecture en considérant la réduction de la fréquence d'échantillonnage.

	N_{filtre}	$G_{AGC_{max}}$ (dB)	n_{ADC}	$f_{RS_{q=8}}$ (MHz)	$f_{RS_{q=16}}$ (MHz)	$f_{RS_{q=32}}$ (MHz)	$f_{RS_{q=64}}$ (MHz)
GSM	3	34.5	10	8.62	6.68	12.8	25.6
UMTS	2	30.9	7	69.8	61.44	122.88	Na
IEEE 802.11.a	2	21.2	7	132.8	265.6	Na	Na

La réduction de la fréquence d'échantillonnage a permis de diviser la fréquence d'échantillonnage par 4 dans le cas du GSM avec un facteur de quantification temporelle $q = 16$. L'AAF, l'AGC ainsi que le nombre de bits nécessaires pour la numérisation du

signal restent inchangés par rapport au résultat du dimensionnement dans le cas d'un échantillonnage uniforme. Nous devons préciser à ce niveau que l'échantillonnage TQ-JPRS est réalisé en utilisant des fréquences différentes dépassant des fois la fréquence moyenne d'échantillonnage f_{RS} . Dans ce cas, la bande analogique de l'ADC utilisé doit être respectée. Nous verrons plus loin la valeur des fréquences instantanées supérieures à f_{RS} . La bande analogique de l'ADC est bien respectée pour un pas de quantification temporelle $q = 8$ et 16 .

b. Dimensionnement de la deuxième architecture

Pour le cas de la deuxième architecture, l'ADC 2 est capable de traiter la plage dynamique de l'UMTS et de l'IEEE 802.11 a. Dans ce cas, l'AGC n'est utilisé qu'au niveau du standard GSM afin de réduire sa forte plage dynamique et de pouvoir utiliser l'ADC 2 pour la numérisation des signaux des trois standards considérés. La deuxième architecture de l'étage en bande de base est présentée par la Figure III-6.

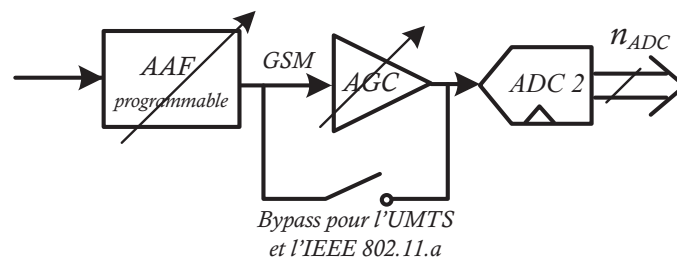


Figure III-6. Deuxième architecture de l'étage en bande de base.

L'utilisation de l'échantillonnage TQ-JPRS a permis le passage d'un ordre égal à 3, 3 et 2 respectivement pour le GSM, UMTS et IEEE 802.11.a vers un ordre égal à 2 pour les trois standards. Le Tableau III-9 et Tableau III-10 résument le dimensionnement de l'AAF.

Tableau III-9. Dimensionnement du filtre AAF de la deuxième architecture pour l'échantillonnage uniforme et TQ-JPRS pour différentes valeurs de q .

	f_{RS} (MHz)	f_p (MHz)	f_t (MHz)	$N_{bl} - G_{ana}$ (dBm)	$A_{min_{uniforme}}$ (dB)	$A_{min_{q=8}}$ (dB)	$A_{min_{q=16}}$ (dB)	$A_{min_{q=32}}$ (dB)	$A_{min_{q=64}}$ (dB)
GSM	26	0.26	25.74	-23	91	74.3	67.5	61.2	55.1
UMTS	61.44	2.49	59.52	-44	57.8	41.1	34.3	Na	Na
IEEE 802.11.a	240	10.79	229.2	-47	47.6	30.9	Na	Na	Na

Tableau III-10. Ordre du filtre AAF de la deuxième architecture pour l'échantillonnage uniforme et TQ-JPRS pour différentes valeurs de q .

	$N_{filtre_{uniforme}}$	$N_{filtre_{q=8}}$	$N_{filtre_{q=16}}$	$N_{filtre_{q=32}}$	$N_{filtre_{q=64}}$
GSM	3	2	2	2	2
UMTS	3	2	2	Na	Na
IEEE 802.11.a	2	2	Na	Na	Na

Dans le cas de la réduction de la fréquence d'échantillonnage, le dimensionnement de l'étage en bande de base de la deuxième architecture est donné par le Tableau III-11.

Tableau III-11. Dimensionnement de l'étage en bande de base de la deuxième architecture en considérant la réduction de la fréquence d'échantillonnage.

	N_{filtre}	$G_{AGC_{\text{max}}}$ (dB)	n_{ADC}	$f_{RS_{q=8}}$ (MHz)	$f_{RS_{q=16}}$ (MHz)	$f_{RS_{q=32}}$ (MHz)	$f_{RS_{q=64}}$ (MHz)
GSM	3	34.5	10	8.62	6.68	12.8	25.6
UMTS	3	Na	12	30.72	61.44	Na	Na
IEEE 802.11.a	2	Na	10	132.8	Na	Na	Na

Comparée à l'ADC 1, l'ADC 2 a permis de réduire l'utilisation de l'AGC pour un seul standard et donc de gagner sa consommation de puissance lors du traitement d'un signal UMTS ou IEEE 802.11.a. De plus, la deuxième architecture offre la possibilité de réduire par 2 la fréquence de l'échantillonnage du standard UMTS. Par contre, le nombre de bit de l'ADC a augmenté entraînant une plus forte consommation de puissance de l'ADC 2 et une éventuelle croissance de la complexité du traitement numérique.

c. Dimensionnement de la troisième architecture

Dans la troisième architecture, le convertisseur ADC 3 employé est caractérisé par sa capacité à traiter une large plage dynamique couvrant les spécifications des trois standards de communication considérés. Ainsi l'AGC est complètement écarté de l'étage en bande de base comme le présente la Figure III-7.

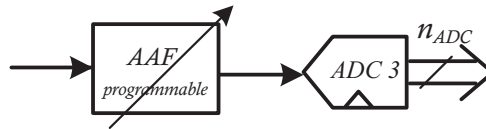


Figure III-7. Troisième architecture de l'étage en bande de base.

La réduction de l'ordre du filtre anti-repliement a permis d'abaisser d'un point l'ordre du filtre AAF pour les trois standards à partir d'un facteur de quantification temporelle $q = 8$. Le Tableau III-12 et le Tableau III-13 détaillent le dimensionnement de ce filtre. Étant donné que l'AGC ne figure pas parmi les composants de l'étage en bande de base considérés, aucune modification sur le nombre de bit de l'ADC 3 n'est réalisée suite à la réduction de l'ordre du filtre AAF.

Tableau III-12. Dimensionnement du filtre AAF de la troisième architecture pour l'échantillonnage uniforme et TQ-JPRS pour différentes valeurs de q .

	f_{RS} (MHz)	f_p (MHz)	f_t (MHz)	$N_{bl} - G_{ana}$ (dBm)	$A_{min_{uniforme}}$ (dB)	$A_{min_{q=8}}$ (dB)	$A_{min_{q=16}}$ (dB)	$A_{min_{q=32}}$ (dB)	$A_{min_{q=64}}$ (dB)
GSM	32	0.26	31.74	-23	91	74.3	67.5	61.2	55.1
UMTS	64	2.49	61.51	-44	57.8	41.1	34.3	Na	Na
IEEE 802.11.a	160	10.79	149.2	-47	47.6	30.9	Na	Na	Na

Tableau III-13. Ordre du filtre AAF de la troisième architecture pour l'échantillonnage uniforme et TQ-JPRS pour différentes valeurs de q .

	$N_{\text{filtre}_{\text{uniforme}}}$	$N_{\text{filtre}_{q=8}}$	$N_{\text{filtre}_{q=16}}$	$N_{\text{filtre}_{q=32}}$	$N_{\text{filtre}_{q=64}}$
GSM	3	2	2	2	2
UMTS	3	2	2	Na	Na
IEEE 802.11.a	3	2	Na	Na	Na

La réduction de la fréquence d'échantillonnage de l'ADC permet d'abaisser la cadence de la numérisation. Toutefois cette réduction reste moyenne vu que la condition Eq. II-21 entraîne dans la plupart des cas étudiés une majoration de la fréquence retrouvée par l'Eq. III-2. Le indique les valeurs des fréquences d'échantillonnage selon q .

Tableau III-14. Dimensionnement de l'étage en bande de base de la troisième architecture en considérant la réduction de la fréquence d'échantillonnage.

	N_{filtre}	n_{ADC}	$f_{RS_{q=8}}$ (MHz)	$f_{RS_{q=16}}$ (MHz)	$f_{RS_{q=32}}$ (MHz)	$f_{RS_{q=64}}$ (MHz)
GSM	3	16	8.62	6.68	12.8	25.6
UMTS	3	12	30.72	61.44	Na	Na
IEEE 802.11.a	3	10	132.8	Na	Na	Na

Pour les trois architectures, l'effet du TQ-JPRS consiste à réduire au meilleur des cas d'un point l'ordre du filtre AAF. Par contre, la fréquence d'échantillonnage peut être nettement réduite proposant ainsi un gain sur la consommation de puissance. En vue d'un choix optimal, une comparaison entre les trois architectures est nécessaire. Cette comparaison se base sur l'estimation de puissance de chaque architecture ainsi que sur le gain en pourcentage de la puissance dissipée dans le cas de l'échantillonnage uniforme.

III.2 Estimation de la consommation de puissance

Dans ce paragraphe, nous nous intéressons à choisir une architecture optimale en termes de consommation de puissance basée sur l'utilisation du TQ-JPRS. Nous présenterons en premier lieu les méthodologies et métriques d'estimation de consommation de puissance ainsi que l'évaluation de la consommation de l'étage en bande de base de chaque architecture en considérant l'échantillonnage uniforme et l'échantillonnage TQ-JPRS.

III.2.1 Métriques d'estimation de la consommation de puissance de l'étage en bande de base

La consommation de puissance d'un filtre anti-repliement dépend essentiellement de son ordre et de la technologie d'implémentation. En littérature, une équation empirique de l'estimation de sa consommation de puissance a été élaborée. Elle fait intervenir l'ordre du filtre N_{filtre} et un facteur empirique, P_{pole} , présentant la dissipation de

puissance d'un filtre passe-bas par pôle (134; 95). L'estimation de la consommation de puissance d'un filtre passe-bas est donnée par l'équation Eq. III-3.

$$P_{LPF} = P_{pole} N_{filtre} \quad \text{Eq. III-3}$$

Les valeurs mesurées dans (95) et résumées par le Tableau III-15 sont pour des filtres implémentés avec la technologie CMOS 0.13 μm . La valeur de P_{pole} pour le standard GSM n'a pas été mesurée dans (95). Nous estimons la valeur de P_{pole} pour le GSM par rapport au résultat de son implémentation en CMOS 0.13 μm présenté dans le papier (135).

Tableau III-15. Valeurs de P_{pole} pour différents standards et avec la technologie CMOS 0.13 μm .

Standard	Bande passante (MHz)	P_{pole} (mW)
IEEE 802.11 j	4.15	1.3
IEEE 802.11 a	8.33	2.4
IEEE 802.11 n	16.6	3.52
DVB-H	3.5	1.1
UMTS 3.84 Mcps	1.92	0.6
UMTS 1.28 Mcps	0.64	0.31
GSM	0.2	1.8

L'ADC est souvent le composant de la bande de base le plus gourmand en puissance. Sa consommation dépend de la valeur de la fréquence d'échantillonnage à laquelle il opère et de son nombre de bits n_{ADC} . Un lien direct entre la technologie d'implémentation et la consommation existe. Il est exprimé par le terme E_{conv} qui traduit la valeur d'énergie requise par palier de conversion. La valeur de E_{conv} est de l'ordre de quelques pico-joules. La Figure III-8 prise de (136) montre bien l'évolution de la valeur de E_{conv} par rapport aux années, implicitement l'évolution des technologies, et en fonction de l'architecture de l'ADC. L'équation de l'estimation de sa puissance est donnée par Eq. III-4.

$$P_{ADC} = E_{conv} f_s 2^{n_{ADC}} \quad \text{Eq. III-4}$$

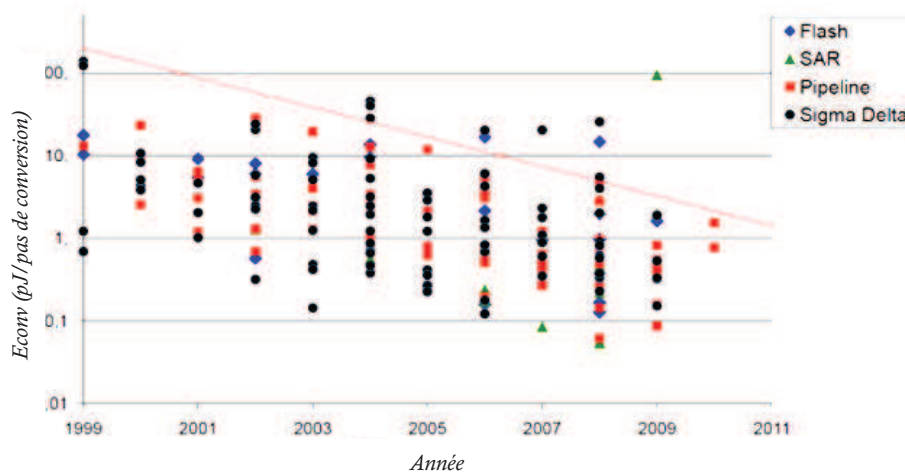


Figure III-8. Évolution de la valeur de E_{conv}

La Figure III-8 montre bien que la valeur de E_{conv} varie vers la baisse au cours des années. Ceci est dû à la progression de la technologie utilisée. D'autre part, la valeur de ce paramètre dépend aussi de l'architecture utilisée. Pour le cas des ADCs utilisés, la valeur de E_{conv} est égale à 0.004, 0.006 et 0.008 pJ pour l'ADC 1, l'ADC 2 et l'ADC 3 respectivement. L'Eq. III-4 nous servira de moyen d'indication de la variation de la consommation de puissance d'un ADC selon sa fréquence d'échantillonnage et son nombre de bits.

La consommation de l'AGC est très hétérogène. Étant donné qu'elle dépend essentiellement de son architecture, la consommation de l'AGC, P_{AGC} , n'a pas d'équation d'estimation de puissance. En somme, l'équation d'estimation de la consommation de puissance de la bande de base d'un récepteur radio est donnée par Eq. III-5 en utilisant l'Eq. III-3 et l'Eq. III-4.

$$P_{BB} = P_{pole}N_{filtre} + E_{conv} f_s 2^{n_{ADC}} + P_{AGC} \quad \text{Eq. III-5}$$

Cette équation permet de définir des paliers estimatifs de consommation de puissance dépendant de l'ordre du filtre, de la fréquence d'échantillonnage et des constantes empiriques P_{pole} et E_{conv} . Un exemple de l'abaque estimatif de consommation de puissance est donné par la Figure III-9 prise de (134).

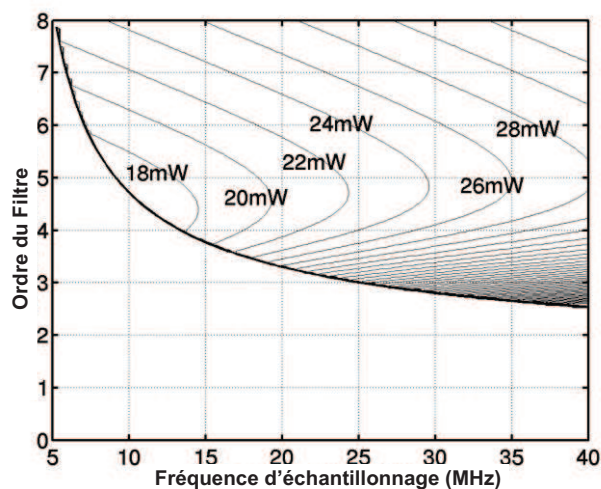


Figure III-9. Abaque de consommation de puissance, $E_{conv}=5pJ$ et $P_{pole}=2.66mW$.

Le trait fort continu présente la limite de l'ordre du filtre en fonction de la fréquence de l'échantillonnage appliquée. Les métriques d'estimation de la consommation de puissance sont utilisées dans le but de mesurer l'avantage de l'application du TQ-JPRS en termes d'économie d'énergie.

III.2.2 Estimation de la consommation de puissance de l'étage en bande de base

Les trois architectures proposées sont régies de l'utilisation de trois ADC différents présentés dans le Tableau III-1 et possédant chacun une consommation de puissance bien précise pour le cas de l'échantillonnage uniforme. Cette consommation est

supposée totalement dynamique. La consommation de ces convertisseurs dans le cas de l'échantillonnage TQ-JPRS est estimée selon Eq. III-4 de façon à varier linéairement avec la fréquence d'échantillonnage utilisée. L'AGC utilisé est multistandard assurant un gain supérieur à 35 dB. L'AGC multistandard présenté dans (103) et consommant 7 mW est sélectionné. L'estimation de puissance est effectuée sur la configuration optimale en minimisant l'ordre du filtre anti-repliement et la fréquence d'échantillonnage. Cette estimation ne considère que la partie analogique de la bande de base à savoir l'AAF, l'AGC et l'ADC.

Tableau III-16. Estimation de la consommation en mW de l'étage en bande de base analogique de la première architecture.

	Réduction de N_{filtre}						Réduction de f_{RS}					
	AAF		AGC	ADC	Total		AAF	AGC	ADC		Total	
	US	TQ-JPRS			US	TQ-JPRS			US	TQ-JPRS	US	TQ-JPRS
GSM	5.4	3.6	7	1.44	13.8	12	5.4	7	1.44	0.3	13.8	12.7
UMTS	1.2	0.6	7	3.4	11.6	11	1.2	7	3.4	1.04	11.6	9.23
IEEE 802.11.a	4.8	2.4	7	7	18.8	16.4	4.8	7	7	2.32	18.8	14.1
					44.2	39.4					44.2	36

Tableau III-17. Estimation de la consommation en mW de l'étage en bande de base de la deuxième architecture.

	Réduction de N_{filtre}						Réduction de f_{RS}					
	AAF		AGC	ADC	Total		AAF	AGC	ADC		Total	
	US	TQ-JPRS			US	TQ-JPRS			US	TQ-JPRS	US	TQ-JPRS
GSM	5.4	3.6	7	2.9	15.3	13.5	5.4	7	2.9	0.74	15.3	13.1
UMTS	1.8	1.2	0	7.4	9.2	8.6	1.2	0	7.4	3.7	9.2	5.5
IEEE 802.11.a	4.8	4.8	0	20.5	25.3	25.3	4.8	0	20.5	11.3	25.3	16.1
					49.8	47.4					49.8	34.7

Tableau III-18. Estimation de la consommation en mW de l'étage en bande de base de la troisième architecture.

	Réduction de N_{filtre}						Réduction de f_{RS}					
	AAF		AGC	ADC	Total		AAF	AGC	ADC		Total	
	US	TQ-JPRS			US	TQ-JPRS			US	TQ-JPRS	US	TQ-JPRS
GSM	5.4	3.6	0	18	23.4	21.6	5.4	0	18	3.73	23.4	9.13
UMTS	1.8	1.2	0	23	24.8	24.2	1.8	0	23	11	24.8	12.8
IEEE 802.11.a	3.9	2.6	0	39	42.9	41.6	7.2	0	39	32.3	46.2	39.5
					94.4	89.6					94.4	61.4

A partir de l'étude de la consommation, nous pouvons conclure que l'apport du TQ-JPRS est bien visible surtout dans le cas de la réduction de la fréquence d'échantillonnage. En effet, un gain de la consommation de puissance de 10.8%, 4.8% et 5% pour les trois architectures en considérant la réduction de l'ordre du filtre anti-repliement est constaté. Ce gain s'élève à 18.5%, 30% et 35 % lors de la considération de la réduction

de la fréquence d'échantillonnage. Nous considérons donc cette démarche de gain grâce au TQ-JPRS.

Employant un ADC à une forte puissance, la troisième architecture garde une consommation assez prononcée même après application du TQ-JPRS. Cette architecture est à écarter. Les deux premières architectures ont des valeurs de consommation très proches. La première architecture assure une numérisation avec des nombres de bits inférieurs au nombre de bits de l'ADC 2. Toutefois, la fréquence d'échantillonnage de l'UMTS est bien le double de celle dans la deuxième architecture. Ces deux paramètres influent sur le traitement du signal post-conversion. En effet, l'augmentation de la fréquence à la sortie de l'ADC comme l'accroissement du nombre de ses bits ajoute de la complexité au traitement numérique spécialement lors de la sélection du canal. De ce fait, une approximation de la consommation de puissance de l'étage de sélection du canal est essentielle afin de pouvoir justifier le choix de l'architecture optimale en termes de puissance.

Le modèle comportemental de la variation de la consommation des filtres numériques de sélection du canal est présenté dans (137). Il fait intervenir en plus de la fréquence d'échantillonnage f_s et du nombre de bits n_{ADC} , le nombre de bits sur lesquels les coefficients sont codés n_{coef} et l'ordre du filtre numérique $N_{selection}$. Ce modèle d'estimation de puissance est valide pour le cas d'une implémentation matérielle sur une technologie CMOS 65nm. Dans ce cas, la consommation statique du circuit est négligeable. La consommation dynamique, P_{dyn} , d'un filtre numérique pour la sélection du canal est donnée par Eq. III-6.

$$P_{dyn}(f) = N_{selection} \times (0.2n_{coef} + 1)n_{ADC} \frac{f}{f_{synthèse}} \quad \text{Eq. III-6}$$

Ce modèle d'estimation de puissance a été établi en effectuant la synthèse à la fréquence $f_{synthèse} = 80 \text{ MHz}$ d'un filtre numérique en variant ses paramètres et en relevant sa puissance.

Nous nous proposons de vérifier l'estimation de la consommation de puissance lors de la sélection du signal IEEE 802.11.a ayant la plus grande fréquence d'échantillonnage et présentant ainsi le standard le plus contraignant lors de la sélection du canal. La puissance consommée par la sélection du canal au niveau de la première architecture s'élève à $172.5 \mu W$, celle de la deuxième architecture à $258.13 \mu W$. Les valeurs évaluées de la consommation sont de l'ordre de quelques centaines de μW et sont donc négligeables par rapport à la consommation de l'étage en bande de base. L'étape de la sélection numérique du canal sera traitée plus en détail dans la dernière section de ce chapitre.

A ce niveau, nous pouvons déduire que la deuxième architecture présente l'architecture la plus économique énergétiquement présentant une réduction de la consommation de puissance de l'ordre de 30% grâce au TQ-JPRS. Les spécifications de cette architecture sont résumées par le Tableau III-19.

Tableau III-19. Spécifications de l'architecture sélectionnée pour l'étage en bande de base.

	GSM	UMTS	IEEE 802.11.a
Ordre du filtre AAF N_{filtre}	3	3	2
Gain maximal de l'AGC $G_{AGC_{max}}$ (dB)	34.5	Na	Na
Fréquence f_{RS} (MHz)	6.68	30.72	132.8
Facteur de quantification q	16	8	8
Nombre de bits N à la sortie de l'ADC 2	10	12	10

Après la formulation théorique portant sur l'échantillonnage pseudo-aléatoire à temps quantifié et la valorisation de son utilisation dans un contexte radio logicielle restreinte, il est nécessaire d'étudier son implémentation afin de faire des mesures pratiques de l'atténuation des répliques.

III.3 Mise en œuvre du mode d'échantillonnage TQ-JPRS

Les résultats de l'étude théorique et des simulations réalisées dans le deuxième chapitre montrent bien l'effet de la réduction du repliement de l'échantillonnage TQ-JPRS. Le but de ces travaux de recherche est de réussir à implémenter le TQ-JPRS et de démontrer par des mesures son apport à réduire les repliements et par conséquent bénéficier de son pouvoir de réduction de l'ordre de l'AAF et de la marge de gain de l'AGC dans le cas de son application à l'architecture proposée.

Afin de garantir l'effet de la réduction des repliements en pratique, nous établissons une plateforme de test du TQ-JPRS. Une horloge pseudo-aléatoire est appliquée au niveau d'un ADC pour assurer ce type d'échantillonnage. Le signal est reconstruit afin de mesurer son SNR et de le comparer au SNR d'un signal identique échantillonné uniformément.

III.3.1 Présentation de la plateforme de test

Afin de pouvoir mesurer l'effet de l'échantillonnage TQ-JPRS, nous avons établi la plateforme de test présentée par la Figure III-10 (138; 26). Ce banc est constitué essentiellement d'un convertisseur opérant avec une horloge pseudo-aléatoire, un générateur de signaux aléatoires et d'un analyseur logique. Vu que les générateurs d'horloge présents sur le marché ne fournissent que des horloges uniformes, nous avons implémenté sur FPGA un générateur qui nous permet d'avoir une horloge dont les caractéristiques assurent l'échantillonnage TQ-JPRS.

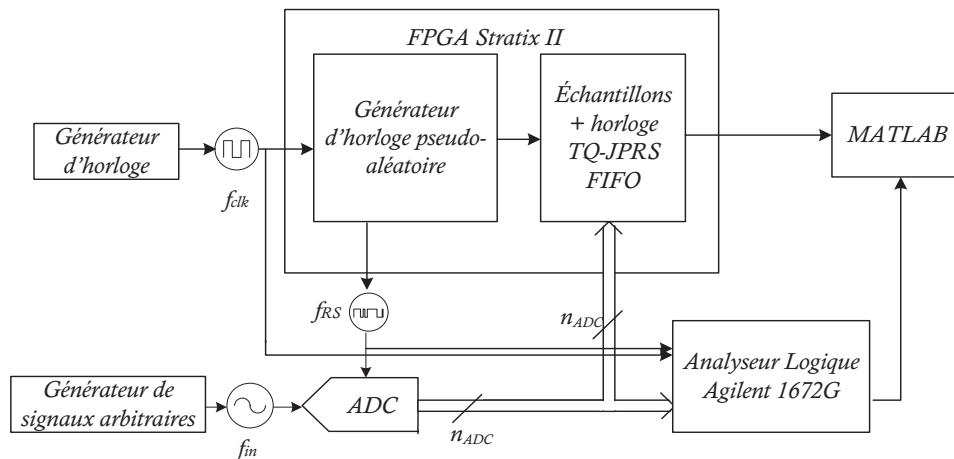


Figure III-10. Schéma synoptique de la plateforme de test.

Le FPGA fonctionne à la fréquence f_{clk} pour actionner le générateur fournissant une horloge pseudo-aléatoire de fréquence moyenne f_{RS} . Le signal sinusoïdal issu du générateur de signaux arbitraires est à la fréquence f_{in} . L'ADC commandé par l'horloge pseudo-aléatoire échantillonne en TQ-JPRS le signal sinusoïdal d'entrée. Les échantillons pseudo-aléatoires sont stockés avec les instants d'échantillonnage au niveau de la FIFO de la carte FPGA. Ils pourront être envoyés vers une machine via le port série. L'analyseur logique Agilent 1672G est utilisé afin de visualiser la sortie de l'ADC. Il présente aussi un second moyen de stockage des échantillons. L'acquisition envoyée vers la machine est traitée sous MATLAB afin de pouvoir faire l'analyse spectrale des données reçues.

Dans une première version de cette plateforme de test, le convertisseur utilisé était un convertisseur pipeline de la firme Analog Devices, AD9214 (139). L'utilisation de ce type de convertisseur avait faussé l'échantillonnage TQ-JPRS. En effet, en guise de correction de la gigue d'horloge, l'AD9214 comporte un block timing qui corrige le rapport cyclique de l'horloge et essaie de ramener le front montant à un instant d'échantillonnage uniforme. Il s'agit donc d'une métamorphose de l'horloge appliquée qui fausse l'échantillonnage TQ-JPRS.

Dans la version actualisée de la plateforme de test, l'ADC a été choisi de façon à ne comporter aucune correction de l'horloge appliquée. L'ADC est d'architecture full-flash de la firme Maxim, MAX 100 (140). Cet ADC à 8 bits permet un échantillonnage allant jusqu'à 250 MHz.

Au niveau de MATLAB, une reconstruction des échantillonnages reçus est réalisée dans le but de retrouver un spectre avec une allure et un SNR semblables à un spectre obtenu après échantillonnage uniforme. L'étape de reconstruction qui fournit les meilleures performances est la reconstruction spline cubique (127).

Plusieurs horloges aléatoires ou pseudo-aléatoires existent sous différentes architectures et techniques de conception. Ceux basés sur l'utilisation des oscillateurs chaotiques, (141; 142), présentent le problème de non intégrabilité et ne peuvent pas être implémentés dans un récepteur de radio logicielle restreinte. D'autres proposent

d'utiliser des oscillateurs à anneaux, (143). L'architecture proposée comporte un large vecteur d'inverseurs basés sur l'utilisation des transistors. Ceci mène à une forte dépendance à la technologie utilisée vu que le délai introduit par chaque inverseur varie selon la technologie. Cette architecture doit donc être revisitée à chaque migration de technologie afin de reconfigurer les transistors pour fixer correctement la valeur du délai.

Le générateur d'horloge pseudo-aléatoire présenté dans le Chapitre I, le Pseudorandom Signal Sampler présente un bon compromis entre simplicité d'architecture, faible consommation de puissance, petite surface et adéquation avec les conditions de l'échantillonnage TQ-JPRS. Ce générateur implémenté en technologie CMOS 65 nm fournit une horloge pseudo-aléatoire dont la fréquence peut atteindre 200 MHz. Il permet d'avoir 7 différentes phases d'échantillonnage assurant ainsi un facteur de quantification temporelle du TQ-JPRS égal à 8. Le PSS présente toutefois un inconvénient majeur portant sur sa non-reconfigurabilité dans le cas d'un changement de facteur de quantification temporelle. Nous proposons alors un nouveau générateur d'horloge pseudo-aléatoire présentant un degré de liberté en plus pour la configuration de la quantification temporelle.

III.3.2 Pseudorandom direct Sampler

Le générateur d'horloge pseudo-aléatoire original nommé Pseudorandom Direct Sampler (PDS), assure une synthèse numérique et pseudo-aléatoire des fréquences pour un échantillonnage TQ-JPRS avec un facteur de quantification variable. Le dimensionnement de l'architecture de l'étage en bande de base dans la deuxième section de ce chapitre montre la nécessité d'utiliser des valeurs différentes du facteur de la quantification temporelle afin d'optimiser la consommation de puissance du récepteur SDR.

Le concept de l'architecture du PDS est inspiré de l'architecture du synthétiseur direct numérique (DDS, Digital Direct Synthesis). Les composants majeurs du DDS sont l'accumulateur de phase, le convertisseur phase/amplitude, un convertisseur numérique/analogique et un filtre dont le rôle est de supprimer les harmoniques du signal. L'architecture de base d'un DDS est donnée par la Figure III-11 (144; 145).

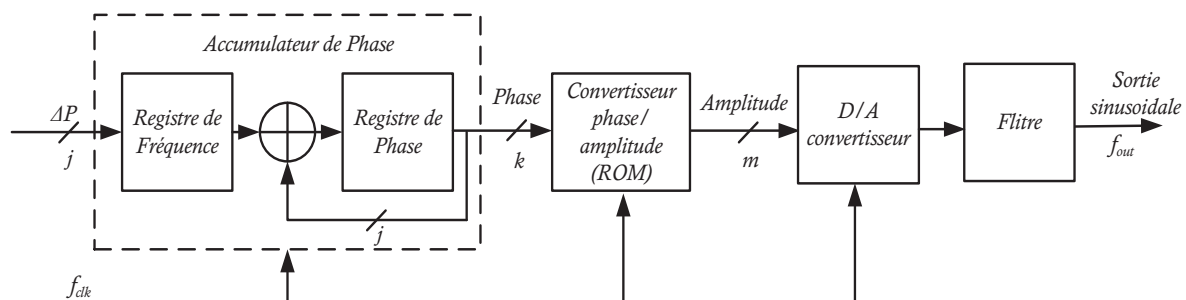


Figure III-11. Schéma synoptique du synthétiseur de fréquence DDS.

L'accumulateur de phase comporte un registre à j bits où la valeur de l'incrément de phase ΔP est enregistrée ainsi qu'un additionneur à j bits et un registre de phase. A chaque front montant de l'horloge, la valeur ΔP est ajoutée à la phase de l'instant précédent mémorisée dans le registre de phase. Chaque nouvelle valeur de la phase correspond à une valeur de l'amplitude.

Le convertisseur phase/amplitude n'est qu'une mémoire ROM où des échantillons d'une sinusoïde sont mémorisés. L'incrément de phase ΔP permet une lecture des cases de la mémoire ROM avec un pas ΔP . Par conséquent, chaque valeur de l'incrément de phase engendre une fréquence de sortie du DDS. Le DAC permet de retrouver une sinusoïde à temps continue et le filtre permet d'éviter les éventuelles harmoniques du signal converti.

Le but du PDS est de pouvoir générer une horloge dont la valeur de la fréquence change d'une manière pseudo-aléatoire. Pour cela, nous avons ajouté une sélection pseudo-aléatoire de l'incrément de phase ΔP assuré par un LFSR. Un ensemble d'incrément de phase sont mémorisés au niveau d'une table (LUT, Look-Up Table). La valeur en sortie du LFSR vient indexer la valeur du ΔP à utiliser. La sortie du PDS est simplement le bit de signe des valeurs lues lors de la génération du signal. La Figure III-12 présente l'architecture du PDS (146; 128).

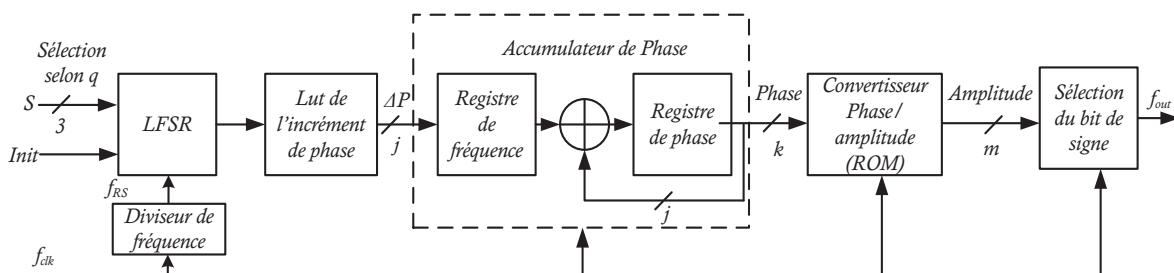


Figure III-12. Schéma synoptique du générateur d'horloge PDS.

Le LFSR utilisé est programmable. Il permet de générer des séquences contenant $q - 1$ valeurs aléatoires. Chaque valeur indexe un incrément de phase ΔP et par conséquent une fréquence de l'horloge pseudo-aléatoire en sortie.

Afin de garantir la génération de $q - 1$ variables aléatoires, le LFSR doit être caractérisé par un polynôme primitif. Le PDS est conçu pour fonctionner dans le cas où le facteur de la quantification temporelle $q = 8, 16$ ou 32 . Les caractéristiques du LFSR pour ces trois cas sont données par le Tableau III-20.

Tableau III-20. Caractéristiques du LFSR selon la valeur de q .

S : $s_2 s_1 s_0$	q	Largeur de la séquence	Nombre de bascules	Polynôme primitif
001	8	7	3	$P(x) = x^3 + x^2 + 1$
010	16	15	4	$P(x) = x^4 + x^3 + 1$
100	32	31	5	$P(x) = x^5 + x^3 + 1$

Le LFSR programmable a donc l'architecture présentée par la Figure III-13. Les 3 bits de sélection $s_2s_1s_0$ permettent de passer d'une configuration à une autre.

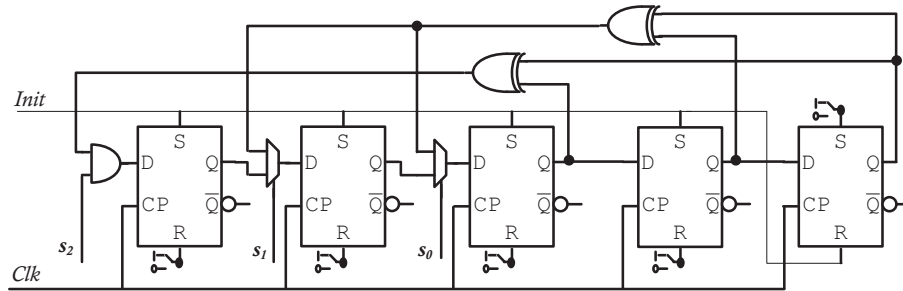


Figure III-13. Architecture du LFSR programmable.

Afin de garantir un seul front montant de l'horloge à générer pendant une période moyenne d'échantillonnage, le LFSR fonctionne à la fréquence moyenne d'échantillonnage f_{RS} . A chaque nouvelle valeur du LFSR, l'accumulateur de phase se met zéro. Si le LFSR ne change pas de valeur alors que toute la mémoire ROM a été parcourue, la valeur zéro est maintenue. L'allure de la sortie du PDS est donnée par la Figure III-14.

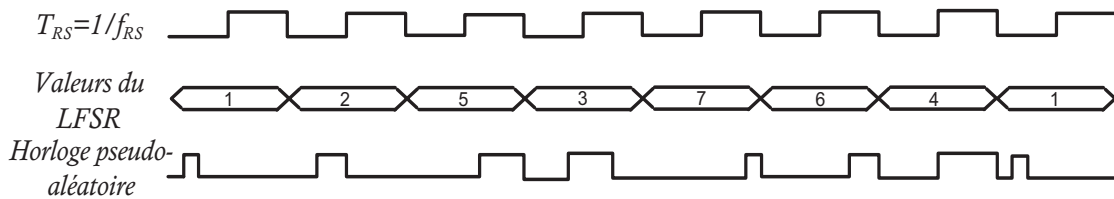


Figure III-14. Allure de l'horloge en sortie du PDS pour $q=8$.

La table des incréments de phase comporte 31 valeurs distinctes qui peuvent assurer 31 fréquences différentes de l'horloge en sortie. Ainsi, la mémoire ROM opérant comme convertisseur phase/amplitude doit avoir un nombre d'échantillons permettant un incrément de phase différent pour chaque période instantanée. Pour le cas d'une quantification temporelle $q = 32$, une ROM de 2048 case doit être considérée. La taille est réduite à 512 pour $q = 16$ et à 128 pour $q = 8$. Le Tableau III-21 montre les différentes périodes instantanées T_i que génère le PDS. Chaque valeur de période sélectionnée par $lfsr(i), i = 1 \dots 31$; correspond à un nombre d'échantillons $N_{échan}$ lus avec un incrément de phase donné ΔP .

Un nombre minimal de 2 échantillons est nécessaire afin de pouvoir détecter le bit de signe du signal à générer. Chaque échantillon s'écrit sur un nombre de bit l calculé selon Eq. III-7.

$$l = \log_2\left(\frac{N_{échan_{max}}}{4}\right) + 1 \quad \text{Eq. III-7}$$

Tableau III-21. Correspondance entre les différents paramètres de la génération d'horloge.

lfsr(i)	T_i	ΔP	$N_{\text{échan}}$	lfsr(i)	T_i	ΔP	$N_{\text{échan}}$
16	$T_{RS}/16$	1024	2	24	$17T_{RS}/16$	60	34
8	$T_{RS}/8$	512	4	12	$9T_{RS}/8$	56	36
17	$3T_{RS}/16$	336	6	25	$19T_{RS}/16$	53	38
1	$T_{RS}/4$	256	8	5	$5T_{RS}/4$	51	40
18	$5T_{RS}/16$	200	10	26	$21T_{RS}/16$	48	42
9	$3T_{RS}/8$	168	12	13	$11T_{RS}/8$	46	44
19	$7T_{RS}/16$	144	14	27	$23T_{RS}/16$	44	46
2	$T_{RS}/2$	128	16	6	$6T_{RS}/4$	42	48
20	$9T_{RS}/16$	112	18	28	$25T_{RS}/16$	40	50
10	$5T_{RS}/8$	100	20	14	$13T_{RS}/8$	39	52
21	$11T_{RS}/16$	92	22	29	$27T_{RS}/16$	37	54
3	$3T_{RS}/4$	84	24	7	$7T_{RS}/4$	36	56
22	$13T_{RS}/16$	76	26	30	$29T_{RS}/16$	35	58
11	$7T_{RS}/8$	72	28	15	$15T_{RS}/8$	34	60
23	$15T_{RS}/16$	68	30	31	$31T_{RS}/16$	33	62
4	T_{RS}	64	32				

Le nombre de bits nécessaire sur lequel chaque échantillon est codé se calcule selon le nombre maximal d'échantillons lus qui correspond à la construction de la période la plus longue. La division par 4 provient de la symétrie des quarts de la sinusoïde. Dans le cas étudié, chaque case de la mémoire ROM doit comporter un mot s'écrivant sur 5 bits.

L'implémentation du PDS avec un facteur de quantification temporelle $q = 8$ a été faite sur FPGA Stratix II EP2S15F484C3. La fréquence maximale de l'horloge principale du PDS atteint 360 MHz fournissant une fréquence d'échantillonnage moyenne maximale égale à $f_{RS} = 11.25 \text{ MHz}$. Cette fréquence est inversement proportionnelle à la valeur de q . En effet, l'implémentation du PDS avec la considération d'un seul facteur de quantification $q = 8$ nécessite une ROM de 128 bits et un nombre d'échantillons égal à 8 afin de construire la période moyenne T_{RS} . Dans cette condition d'implémentation, la fréquence moyenne maximale atteint 45 MHz (147; 146). Fonctionnant à 320 MHz, la consommation dynamique sur FPGA du PDS est de l'ordre de 4 mW. Ce générateur d'horloge pseudo-aléatoire programmable assure la commande de l'ADC MAX 100 de la plateforme de test afin d'échantillonner en TQ-JPRS le signal en entrée.

III.3.3 Détection du problème du délai variable

La plateforme de test incluant l'ADC full-flash commandé par l'horloge du PDS implémentée sur la carte FPGA a permis de faire un premier test d'échantillonnage TQ-JPRS. L'acquisition réalisée simule la numérisation d'un signal GSM. Un signal sinusoïdal centré autour de $f_{in} = 100 \text{ kHz}$ est échantillonné à une fréquence moyenne $f_{RS} = 7.2 \text{ MHz}$ avec un facteur de quantification temporelle $q = 8$. Le spectre en sortie de l'échantillonnage TQ-JPRS est donné sur la Figure III-15.

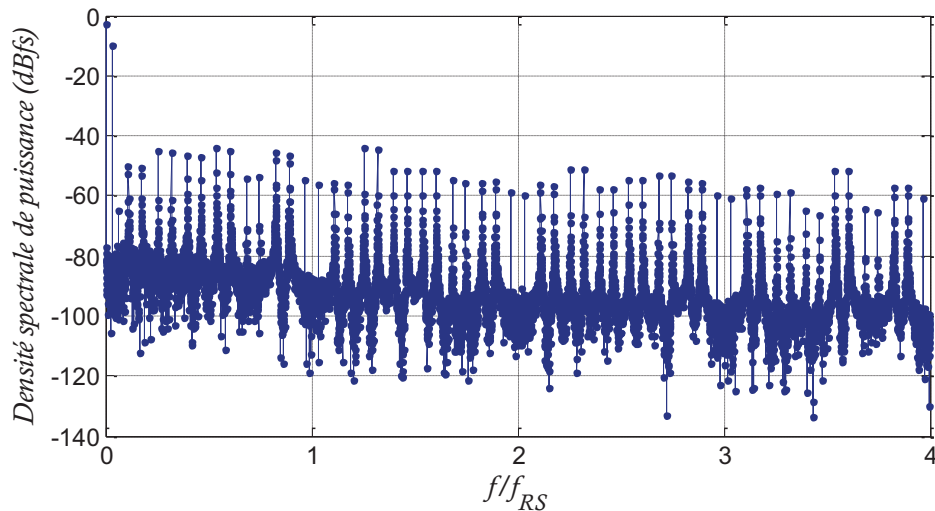


Figure III-15. Densité spectrale de puissance de l'acquisition tracé en *Sample&hold*.

La représentation spectrale *Sample&hold* de l'acquisition présente un graphe très proche des spectres trouvés en simulations et lors du traçage de la formule théorique. Nous retrouvons les $q - 2$ raies parasites dans l'intervalle fréquentiel $[0, f_{RS}]$. Les répliques du signal sont bien atténuées d'une valeur proche de 46 dB pour une valeur d'OSR égale à 32. L'atténuation est de l'ordre de 48 dB en simulation et 51 dB en théorie pour cette valeur d'OSR. L'acquisition faite corrobore la simulation. Afin de pouvoir continuer les usuelles étapes de traitement de signal en numérique, l'étape de reconstruction est nécessaire. Elle permet d'arranger les échantillons pris d'une façon pseudo-aléatoire. La reconstruction selon l'algorithme spline cubique de l'acquisition donne le spectre présenté par la Figure III-16.

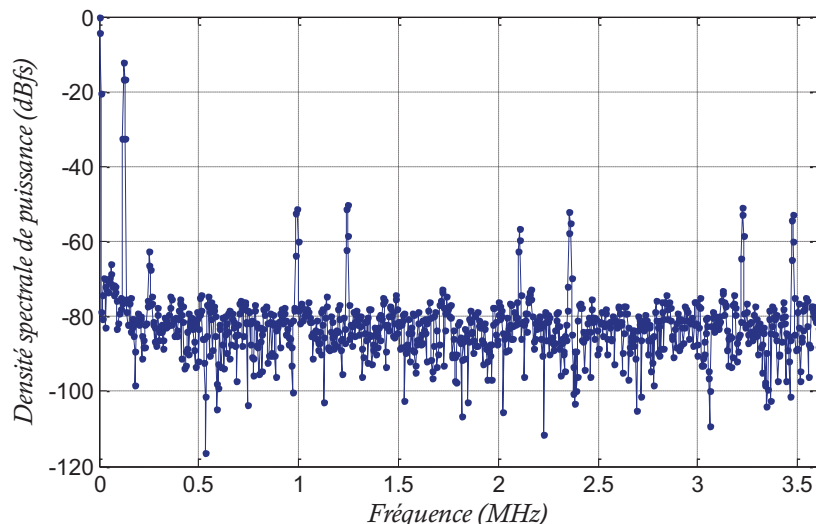


Figure III-16. Densité spectrale de puissance d'un signal échantillonné en TQ-JPRS par un convertisseur de type full-flash.

Les raies parasites persistent et ne sont pas supprimées par la reconstruction comme prévu et constaté lors de la simulation. La reconstruction a été donc faussée. La

visualisation du signal horloge pseudo-aléatoire avant et après numérisation au niveau de la sortie de la carte FPGA et de la sortie de l'ADC est donnée par la Figure III-17

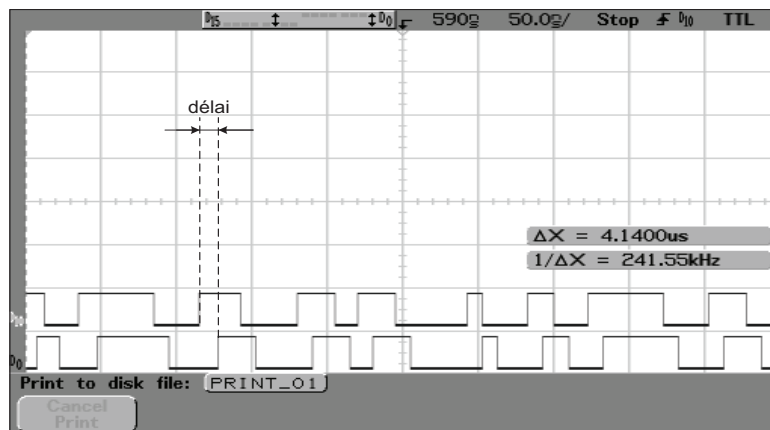


Figure III-17. Délai variable constaté à l'entrée et à la sortie de l'ADC.

La Figure III-17 montre bien la présence d'un délai de propagation du signal. Ce délai mesuré entre les fronts montant du premier et deuxième signal est variable. Le problème du délai a pour impact l'obtention d'instant d'échantillonnage erronés. L'algorithme de reconstruction spline cubique se base sur la connaissance des instants d'échantillonnage. Une donnée erronée des instants entraîne une mauvaise reconstruction et un spectre avec des pics indésirables (138). L'estimation de ce délai variable est donc nécessaire.

Afin de simuler le problème du délai, nous avons échantillonné uniformément le même signal d'entrée à une fréquence 8 fois plus grande que f_{RS} pour récupérer plusieurs échantillons. Sur MATLAB, nous avons simulé l'échantillonnage pseudo-aléatoire avec une horloge identique à celle de la pratique puis reconstruit les échantillons. Le résultat de cette simulation est montré par la Figure III-18.

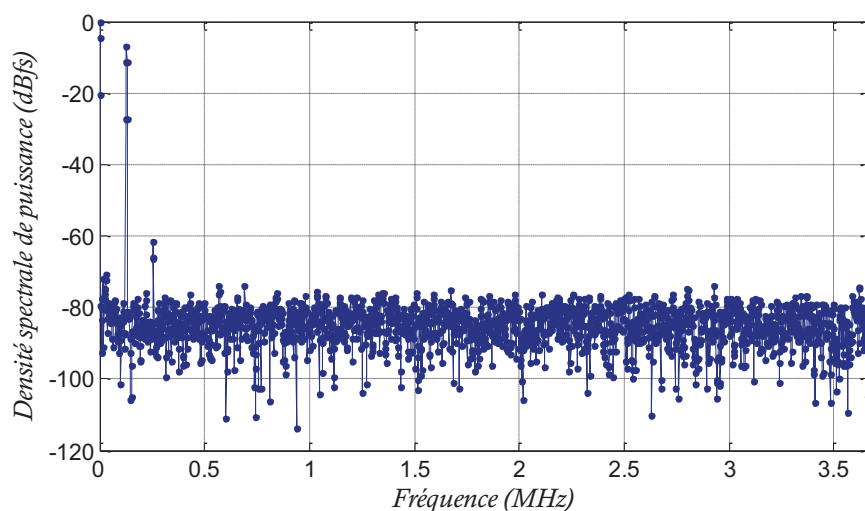


Figure III-18. Acquisition sur-échantillonnée uniformément, sélectionnée pseudo-aléatoirement puis reconstruite.

La simulation du TQ-JPRS à partir de l'acquisition montre bien que l'étape de reconstruction permet de retrouver un spectre similaire au spectre de sortie d'un échantillonnage uniforme. Ceci est possible si les instants d'échantillonnage considérés par l'algorithme de reconstruction sont exacts. Une deuxième étape de validation de l'hypothèse de la présence d'un délai consiste à refaire exactement la même acquisition et simuler sur MATLAB l'échantillonnage TQ-JPRS. La reconstruction est faite sur un axe temporel dont la première valeur a été supprimée. Le résultat de la reconstruction est présenté par le spectre de la Figure III-19.

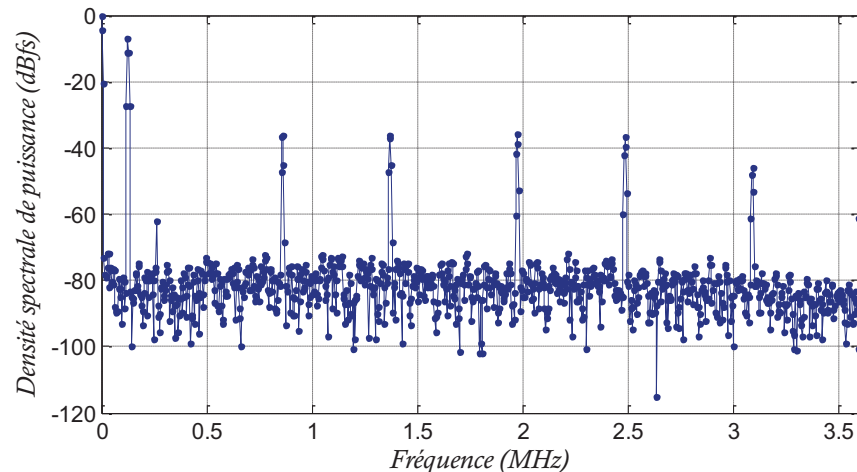


Figure III-19. Acquisition sur-échantillonnée uniformément, sélectionnée pseudo-aléatoirement puis reconstruite selon un axe temporel erroné.

A l'opposé de la Figure III-18, le spectre de la Figure III-19 présente bien des raies parasites. L'hypothèse de la mauvaise reconstruction à cause de l'utilisation des instants d'échantillonnage erronée étant vérifiée, nous avons procédé à un ensemble de simulations afin de pouvoir estimer la valeur du délai présent et modifiant la valeur des instants. Pour cela, nous avons effectué sous MATLAB la simulation de l'échantillonnage TQ-JPRS. Au niveau de l'étape de reconstruction, nous ajoutons à l'axe temporel un délai. Le résultat d'ajout des différents types de délai est présenté par la Figure III-20.

L'ajout d'un délai fixe ne fausse pas les valeurs des instants d'échantillonnage. L'axe temporel est seulement translaté. La distance temporelle entre deux échantillons reste juste. La reconstruction réussit à bien rétablir le spectre et retrouver un spectre équivalent à la sortie d'un échantillonnage uniforme. Pour le délai variable, l'axe temporel est modifié. Par conséquent, les instants d'échantillonnage se trouvent erronés. Le résultat de la reconstruction mène à avoir un plancher de bruit plus haut que celui constaté en échantillonnage uniforme. Ce n'est que lors de la considération d'un délai pseudo-aléatoire que les raies apparaissent. Un premier test ajoutant un retard pseudo-aléatoire dont la séquence comporte 9 valeurs différentes, mène à un spectre après reconstruction où les raies sont plus nombreuses que dans le cas de l'acquisition matérielle. Avec une séquence pseudo-aléatoire à $q - 1$, nous réussissons à trouver un spectre très proche de celui de la reconstruction de l'acquisition (148).

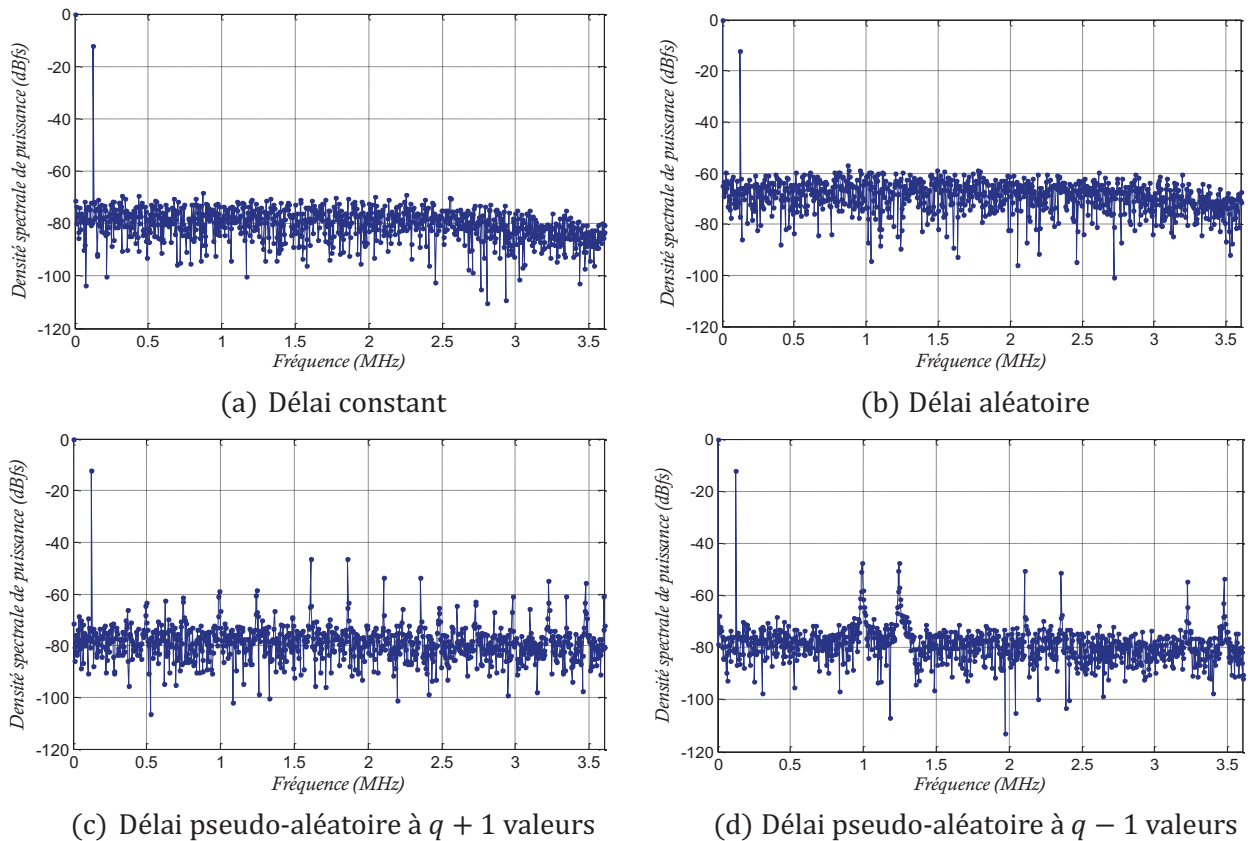


Figure III-20. Résultats de simulation de la reconstruction en présence d'un délai de formes différentes.

Le délai possède la même forme de distribution que l'échantillonnage TQ-JPRS. Ce délai est dû à la traversée des portes logiques de l'ADC à $q - 1$ fréquences différentes. Il peut provenir donc de la non-compatibilité de l'ADC utilisé au fonctionnement avec une horloge pseudo-aléatoire.

Malgré l'identification de la forme du délai, l'estimation exacte de sa valeur reste impossible. De plus, le but de ce travail est de mesurer l'apport du TQ-JPRS appliqué à une architecture SDR employant un ADC fonctionnel en échantillonnage uniforme tel par exemple les ADCs multistandards ADC 1, ADC 2 et ADC 3, Tableau III-1. L'incompatibilité avec le fonctionnement pseudo-aléatoire ne peut donc pas être contournée avec les architectures des convertisseurs proposés en littérature.

Dans l'incapacité de proposer une solution de compensation du délai, nous sommes contraints à soit changer de méthode de reconstruction, soit proposer une solution de suppression des raies parasites.

Afin de contourner le problème du délai variable lors de l'étape de reconstruction, un algorithme doit réussir à arranger uniformément les échantillons pseudo-aléatoires sans avoir recours aux instants d'échantillonnage. Il s'agit des méthodes de la reconstruction aveugle (149; 150; 151). Ces méthodes sont très complexes et difficiles à implémenter. Nous proposons donc de nous intéresser à supprimer les raies. L'idée est de modifier l'étape du filtrage numérique et sélection du canal afin d'ajouter au filtre décimateur la tâche de supprimer les raies parasites.

Dans le cas de l'utilisation de l'étage de sélection du canal, une solution pour améliorer le SNR du signal à la sortie de l'échantillonnage TQ-JPRS est d'augmenter d'un point l'ordre du filtre anti-repliement. Dans ce cas, les bloqueurs seront ramenés à un niveau de puissance faible et les raies parasites qu'ils engendrent seront bien faibles devant la valeur de la puissance du signal. Par contre, nous devons étudier le cas de l'échantillonnage TQ-JPRS d'un signal à la pleine échelle. Étant à 13 dBm, le signal engendre des raies parasites à des niveaux de puissance importants. Nous traitons dans la section suivante le cas de la sélection numérique du canal en considérant les raies parasites issues de l'échantillonnage d'un signal à 13 dBm.

III.4 Sélection numérique du canal et budget de puissance

Nous proposons d'ajouter aux tâches de l'étape de sélection du canal, la fonction de la suppression des raies parasites qui persistent après la reconstruction. Nous dimensionnons dans ce qui suit cet étage dans le cas de l'utilisation de l'échantillonnage uniforme et dans le cas de l'utilisation de l'échantillonnage TQ-JPRS afin de mesurer la différence de complexité dans chaque cas et le surcoût en termes de consommation de puissance.

III.4.1 Présentation de l'étage de sélection du canal

L'atténuation requise par le filtrage est celle qui permet de réduire le niveau du plus haut bloqueur à un niveau inférieur au niveau fixé par le niveau minimal de la puissance du signal à l'entrée de l'étage en bande de base et le SNR_{out} de chaque standard. Les niveaux des bloqueurs à l'entrée du filtre décimateur considèrent toutes les étapes de filtrage incluant le filtrage RF et le filtrage d'anti-repliement de l'étage en bande de base.

Les filtres utilisés sont les filtres numériques FIR et les filtres en peigne de Dirac (CIC, Cascaded-Integrator Comb). Plusieurs travaux proposent d'utiliser les filtres CIC au début de la structure de la sélection du canal grâce à leur complexité réduite. Présentant un cas particulier de filtres FIR dont tous les coefficients sont unitaires, les filtres CIC annulent l'étape de la multiplication habituellement existante dans les filtres numériques (14; 152).

A la sortie de l'ADC, le signal est sur-échantillonné. Il est donc essentiel de ramener le signal à son débit initial. Ainsi, la décimation est nécessaire afin de réduire la fréquence du signal vers la fréquence de Nyquist. L'ordre de la décimation correspond au facteur de l'OSR. Il peut donc avoir une grande valeur. Dans ce cas, le filtre numérique qui doit à la fois atténuer les bloqueurs et couper à la fréquence Nyquist pourrait avoir un ordre très important et donc une très forte complexité. Pour cela, il est nécessaire de considérer des filtres en cascade avec une succession d'étages de décimation.

La complexité d'un filtre FIR numérique est calculée selon le nombre de multiplications par seconde (MPS, Multiply Per Second). La métrique MPS dépend de l'ordre du filtre

numérique utilisé $N_{selection}$ et de la fréquence du signal f_s au passage par le filtre en question. La formule de la métrique MPS est donnée par l'Eq. III-8.

$$MPS = N_{selection} \times f_s \quad \text{Eq. III-8}$$

La fonction que nous attribuons au filtrage numérique dans le cas d'un échantillonnage TQ-JPRS est la suppression des raies parasites qui persistent après l'étape de reconstruction. Par conséquent, nous proposons dans ce qui suit de faire une comparaison entre la complexité de l'étape de sélection numérique avec l'utilisation de l'échantillonnage uniforme et l'utilisation de l'échantillonnage TQ-JPRS.

Le dimensionnement de l'étage en bande de base de l'architecture proposée dans la section III.1 fixe un OSR égal à 65, 16 et 15 respectivement pour les standards GSM, UMTS et IEEE 802.11.a dans le cas de l'échantillonnage uniforme. Ces valeurs sont de l'ordre de 17, 8 et 8 respectivement pour l'échantillonnage TQ-JPRS. La valeur de l'OSR offre la possibilité de faire la décomposition de l'étape de sélection du canal sous forme de plusieurs étapes. Le choix d'un OSR sous forme d'un entier premier, tel que pour le GSM dans le cas d'un échantillonnage TQ-JPRS, n'est donc pas optimal. Nous proposons donc de ramener la fréquence d'échantillonnage du GSM de 6.68 à 7.2 MHz faisant passer l'OSR de 17 à 18. Les possibilités de compositions du filtrage numérique ainsi que la complexité de l'étape de sélection du canal sont résumés par le Tableau III-22. Les résultats présentés considèrent l'échantillonnage uniforme.

Tableau III-22. Complexité de l'étage de sélection du canal en échantillonnage uniforme.

Standard	Étape de décimation	MPS
GSM	13×5	318
	5×13	1773
UMTS	8×2	345
	2×8	2181
	4×4	701
	4×2×2	445
	2×4×2	605
	2×2×4	875
	2×2×2×2	592
IEEE 802.11.a	7×2	1394
	2×7	7560

La structure optimisée de l'étage de sélection du canal dans le cas de l'échantillonnage uniforme est donnée par la Figure III-21.

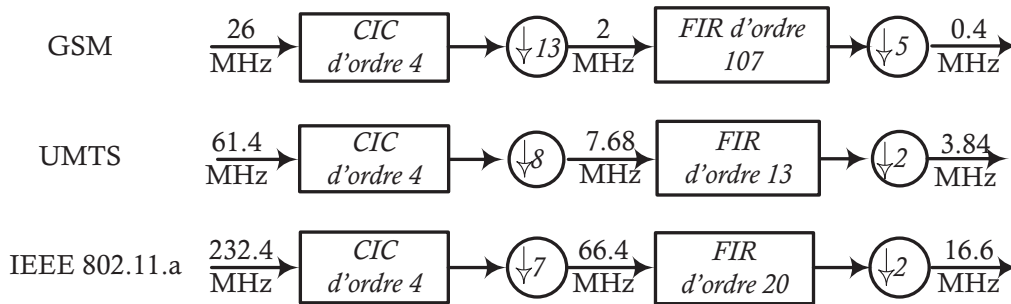


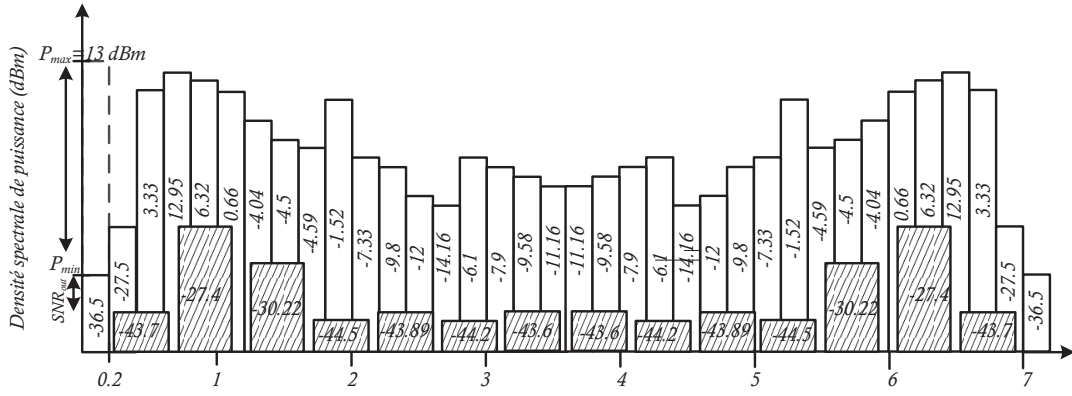
Figure III-21. Structure de l'étape de sélection du canal pour l'échantillonnage uniforme.

Nous proposons dans la sous-section suivante d'étudier l'étape de la sélection du canal en présence de l'échantillonnage TQ-JPRS et du problème du délai variable. Une comparaison entre la complexité des filtres en présence des raies et celle retrouvée lors de la considération de l'échantillonnage uniforme est nécessaire.

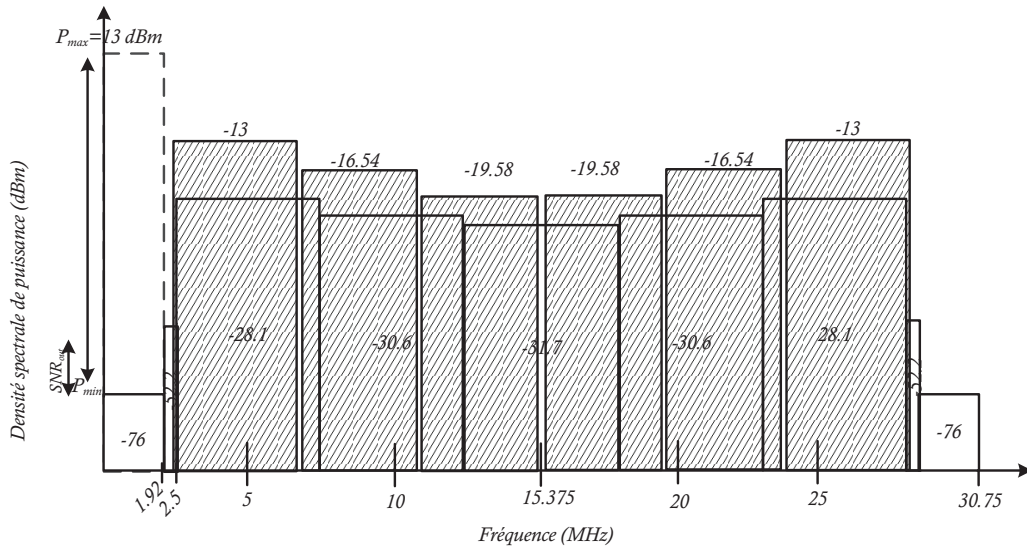
III.4.2 Étapes de sélection de canal et élimination des répliques

L'étape de reconstruction après l'échantillonnage TQ-JPRS mène à rétablir le signal comme dans le cas d'un échantillonnage uniforme. La présence du délai variable engendre la persistance des raies parasites. Nous étudions dans cette section la suppression des raies parasites en considérant le pire cas : les raies mesurées sont engendrées par un signal à pleine échelle. Ainsi, le profil des bloqueurs et des interférents à la sortie de l'ADC sont présentés par la Figure III-22. Étant donné que la puissance des bloqueurs ne change pas dans le cas de l'échantillonnage uniforme ou TQ-JPRS et afin d'avoir un graphe lisible, nous superposons le profil des bloqueurs en échantillonnage uniforme au résultat de l'échantillonnage TQ-JPRS d'un signal à 13 dBm (148).

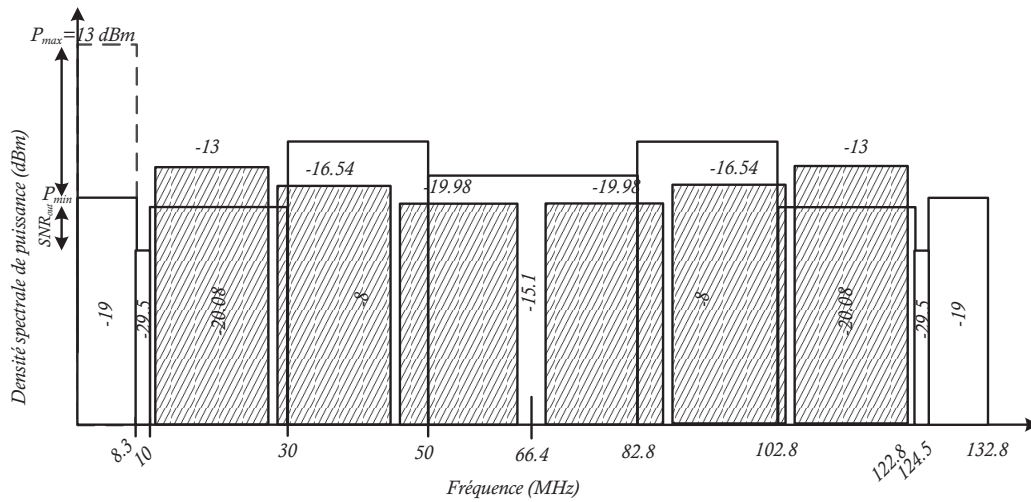
Le nombre et la puissance des raies parasites dépendent de la valeur du facteur de la quantification temporelle q . Ce paramètre est fixé par le dimensionnement à 16 pour le GSM et à 8 pour l'UMTS et l'IEEE 802.11.a. Les bloqueurs présentés sont à la sortie de l'ADC. Ils ont donc subi le filtrage anti-repliement et l'atténuation du TQ-JPRS puis la reconstruction spline cubique. L'utilisation de l'AGC au niveau de l'étage en bande de base pour le standard GSM a permis d'amplifier les bloqueurs. Par conséquent, les raies parasites engendrées par l'échantillonnage TQ-JPRS ont un niveau inférieur aux niveaux des bloqueurs et ne contribuent pas au dimensionnement de la sélection du canal.




(a) GSM



(b) UMTS



(c) IEEE 802.11.a

 Raies parasites du signal échantillonné en TQ-JPRS


 Bloqueurs dans le cas d'un échantillonnage uniforme

Figure III-22. Profil des bloqueurs et des interférents à la sortie de l'ADC en considérant un échantillonnage TQ-JPRS.

Pour les trois standards considérés, nous avons calculé la complexité de cet étage pour toutes les possibilités des structures de cascade comme présenté par le Tableau III-23. La structure choisie est la structure optimale en termes de MPS.

Tableau III-23. Complexité de l'étage de sélection du canal en échantillonnage TQ-JPRS.

Standard	Étape de décimation	MPS
GSM	9 × 2	57
	2 × 9	712
	6 × 3	96
	3 × 6	326
	2 × 3 × 3	115
	3 × 2 × 3	99.6
	3 × 3 × 2	82.4
UMTS	4 × 2	268
	2 × 4	783
	2 × 2 × 2	376
IEEE 802.11.a	4 × 2	1261
	2 × 4	3585
	2 × 2 × 2	1427

Le premier étage de décimation est de facteur 9, 4, 4 respectivement pour le GSM l'UMTS et l'IEEE 802.11.a. Le filtre utilisé est de type CIC. Les détails de chaque étape de filtrage sont donnés par les Tableau III-24, Tableau III-25 et Tableau III-26 pour les standards GSM, UMTS et IEEE 802.11.a respectivement.

Tableau III-24. Niveau des bloqueurs et des interférents en dBm à chaque étape de filtrage pour le standard GSM.

Fréquence (MHz)	0	0.2	0.4	0.6	0.8	1	1.2	1.4
Filtre CIC d'ordre 6	-36.5	-32.82	-20.6	-51.1	-70.6	-76.3	-80.9	-75
Filtre FIR d'ordre 23	-36.5	-45.6	-45.6	-61.5	-76.1	-95.6	-101.3	-105.9

Tableau III-25. Niveau des bloqueurs et des interférents en dBm à chaque étape de filtrage pour le standard UMTS.

Fréquence (MHz)	0	1.92	2.46	2.5	6.85	7.5	11.25	12.5
Filtre CIC d'ordre 4	-76	-32.2	-19	-34.3	-62.54	-76.64	-95.58	-107.72
Filtre FIR d'ordre 19	-76	-58	-58	-73.3	-101.5	-115.6	-134.5	-146.7

Tableau III-26. Niveau des bloqueurs et des interférents en dBm à chaque étape de filtrage pour le standard IEEE 802.11.a.

Fréquence (MHz)	0	8.3	10	10.67	20	20	30	29.64	40	48.6	50
Filtre CIC d'ordre 4	-19	-29.5	-25.1	-18.06	-42.78	-35.4	-54	-62.54	-54	-53.9	-49.1
Filtre FIR d'ordre 22	-19	-53.6	-53.6	-46.6	-46.6	-46.6	-47	-48.4	-82	-81.9	-77.1

Les niveaux des raies parasites intervenant dans le dimensionnement de l'étage sélection numérique du canal sont signalés en caractère gras. Les étapes de sélection du canal en considérant l'échantillonnage uniforme puis l'échantillonnage TQ-JPRS sont réalisées à des fréquences différentes. Une comparaison de la complexité de ces deux étages est faite avec la métrique MPS. Cette comparaison est indiquée par le Tableau III-27.

Tableau III-27. Comparaison de la complexité de l'étage de sélection du canal pour l'échantillonnage uniforme et l'échantillonnage TQ-JPRS

	GSM		UMTS		IEEE 802.11.a	
	US	TQ-JPRS	US	TQ-JPRS	US	TQ-JPRS
MPS	318	57	345	268	1394	1261

Suite à la réduction de la fréquence d'échantillonnage par le TQ-JPRS, la complexité de l'étage de la sélection du canal a été réduite. Nous notons une réduction de l'ordre de 82, 22 et 23 % du MPS dans le cas du standard GSM, UMTS et IEEE 802.11.a. La suppression des raies parasites dans le cas de l'échantillonnage TQ-JPRS n'engendre pas de surcoût à cet étage. L'utilisation de l'AGC pour le GSM a permis d'omettre l'effet des raies parasites en les plaçant à une puissance nettement inférieure à celle des bloqueurs. Pour le cas de l'UMTS et de l'IEEE 802.11.a, l'utilisation d'une fréquence égale ou inférieure à la moitié de la fréquence d'échantillonnage uniforme a permis de gagner un peu moins du quart de la complexité de l'étage du filtrage numérique. Ce gain moyen est dû à la présence des raies parasites qui engendrent des puissances très élevées par rapport aux bloqueurs.

Il convient ici de faire le point sur les avantages et les inconvénients de l'application du TQ-JPRS. Certes le TQ-JPRS permet de réduire l'ordre du filtre d'anti-repliement ou la fréquence d'échantillonnage de l'ADC ainsi que la complexité de l'étage en bande de base. Toutefois, son application dans une chaîne radio nécessite l'ajout d'une étape de reconstruction et l'ajout d'un générateur d'horloge pseudo-aléatoire. Il convient donc de faire le bilan de la consommation de puissance du récepteur en faisant une estimation de la consommation de chaque étape.

III.4.3 Analyse de la consommation de puissance de l'architecture proposée

L'architecture de la bande de base choisie adopte le convertisseur multistandard ADC 2 menant à l'utilisation de l'AGC pour le standard GSM. La sélection numérique optimale du canal se fait en deux étapes utilisant un filtre CIC suivi d'un filtre FIR. L'application du TQ-JPRS engendre l'utilisation du PDS et l'ajout de l'étape de reconstruction permettant d'arranger les échantillons uniformément dans le temps. L'architecture de l'étage en bande de base et de la partie post-numérisation ainsi que les spécifications de chaque composant sont présentées par la Figure III-23. Les spécifications de l'étape de la reconstruction seront expliquées ultérieurement.

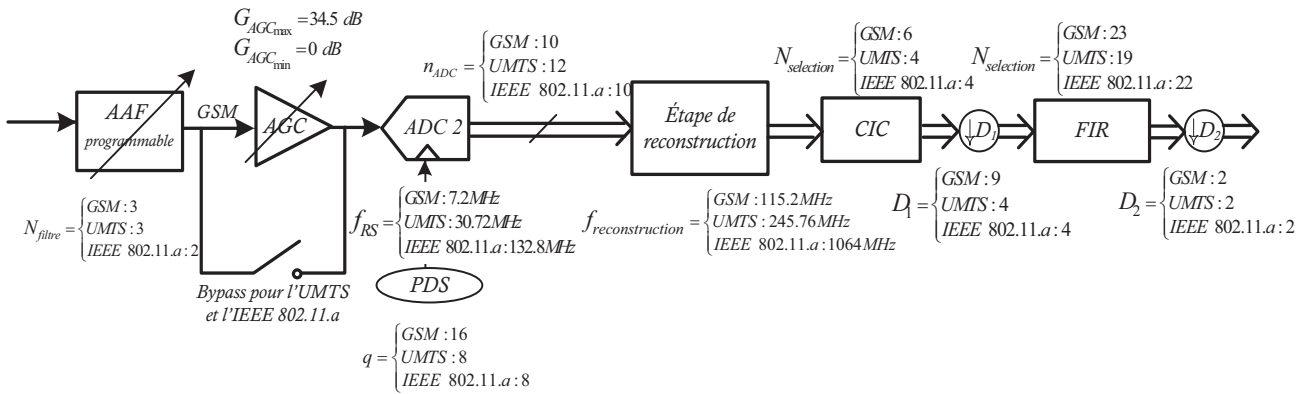


Figure III-23. Architecture et spécification de l'étage en bande de base et l'étage de la sélection numérique proposés.

Lors du dimensionnement de l'étage en bande de base, nous avons choisi un ADC sigma delta multistandard. Nous avons par cela supposé que cet ADC ne contient pas un bloc correcteur de l'horloge et peut fonctionner sans changer l'horloge pseudo-aléatoire. Le changement de la fréquence d'échantillonnage pour optimiser l'étape de la sélection numérique du canal sollicite la ré-estimation de la consommation de puissance de l'ADC en considérant l'Eq. III-4.

D'autre part, le générateur de l'horloge pseudo-aléatoire proposé dans la section III.3 n'est pas encore implémenté en ASIC. L'estimation de la consommation de puissance sur une cible FPGA n'est pas révélatrice de la vraie consommation de puissance du composant lors de son implémentation sur une technologie CMOS. Pour un facteur de quantification temporelle $q = 16$, nous nous contraignons à considérer le générateur de l'horloge pseudo-aléatoire PSS présenté en I.3.4 (26). Implémenté sur une cible FPGA cyclone EP2C35F672C6, considérant un facteur de quantification temporelle $q = 16$ et fonctionnant à une fréquence égale à 256 MHz, le PSS possède une consommation dynamique de l'ordre de 9.89 mW. Avec ce facteur de quantification, la fréquence maximale de fonctionnement du PSS est de 400 MHz menant à une fréquence moyenne maximale d'échantillonnage TQ-JPRS égale à 25 MHz (26). En ASIC, utilisant une technologie CMOS 65 nm, la fréquence maximale de fonctionnement s'élève à 3.2 GHz fournissant une fréquence moyenne maximale d'échantillonnage $f_{RS} = 200$ MHz. A cette fréquence, la consommation de puissance passe à 286 μ W. Pour le PDS, la consommation dynamique sur FPGA est de l'ordre de 4 mW pour une fréquence de fonctionnement égale à 360 MHz et un pas de quantification atteignant 32. Similairement au PSS, nous estimons une consommation de puissance de l'ordre de quelques μ W dans le cas d'une implémentation ASIC. Pour la présente estimation de la consommation de puissance, nous utilisons une approximation de la consommation du PSS implémenté sur ASIC aux fréquences d'échantillonnage moyennes considérées.

En bande de base, deux étapes sont à considérer : l'étape de la reconstruction spline cubique et l'étape de la sélection du canal. L'étape de la reconstruction consiste à arranger d'une façon uniforme les échantillons pris pseudo-aléatoirement dans le temps.

Cette étape vient précisément après la numérisation du signal, Figure III-23, afin de ramener le traitement numérique du signal à une fréquence uniforme. Sachant que la distance temporelle entre les échantillons n'est pas constante mais est multiple du pas de quantification temporelle Δ , l'interpolation est cadencée sur la fréquence $f_{reconstruction} = f_{RS} \times q$. Une décimation par un facteur q permet de retrouver une fréquence d'échantillonnage uniforme dont la valeur est égale à f_{RS} . La fenêtre minimale d'observation de la reconstruction spline cubique permettant une bonne reconstruction est de l'ordre de 3 échantillons (127).

Dans (153), un algorithme de reconstruction spline cubique a été implémenté en technologie 90 nm. Ce circuit est utilisé dans un contexte médical. Il est synthétisé à une fréquence égale à 20 MHz. L'algorithme considère une fenêtre d'observation égale à 6 échantillons. Chaque échantillon est codé sur 8 bits. La consommation de puissance de ce circuit a été évaluée pour une fréquence moyenne d'échantillonnage égale à 1 MHz sur-échantillonnée par un facteur égal à 8. Ainsi, pour une interpolation cadencée à $f_{reconstruction} = 8 \text{ MHz}$, la consommation de puissance vaut $5.6 \mu\text{W}$. Pour estimer cette consommation dans le cadre de notre architecture SDR, nous considérons que la consommation varie linéairement avec le nombre de bits des échantillons et avec la fréquence d'échantillonnage. Ainsi, la reconstruction de 10 bits à une fréquence $f_{reconstruction} = 8 \text{ MHz}$ consomme $7 \mu\text{W}$. La reconstruction du signal GSM par exemple est évaluée à $100 \mu\text{W}$.

La seconde étape en bande de base est la sélection du canal. La consommation de cette étape est réalisée par le modèle de la consommation des filtres numériques présenté par l'Eq. III-6. Une estimation de la consommation totale de l'étape en bande de base ainsi que le traitement numérique à posteriori illustré par la Figure III-23 est donnée par le Tableau III-28.

Tableau III-28. Estimation de la consommation de puissance en mW de l'architecture de l'étape en bande de base proposée.

	GSM		UMTS		IEEE 802.11.a	
	Uniforme	TQ-JPRS	Uniforme	TQ-JPRS	Uniforme	TQ-JPRS
Bande de base	15.3	13.1	9.2	5.5	25.3	16.1
PSS (26)	-	0.01	-	0.043	-	0.19
Étape de reconstruction	-	0.1	-	0.258	-	0.929
Sélection du canal	0.075	0.012	0.071	0.039	0.338	0.258
Consommation de puissance	15.37	13.22	9.27	5.84	25.63	17.37

Au niveau de l'étape en bande de base, le TQ-JPRS permet de réduire la consommation de puissance totale pour tous les standards de l'ordre de 30 %. Cependant, l'application du TQ-JPRS amène l'utilisation de circuits additionnels à l'architecture à savoir le PSS et l'étape de la reconstruction. Ces circuits engendrent une dégradation sur le gain de la consommation de puissance. La somme de la consommation de puissance des trois standards en échantillonnage uniforme est de 50 mW. L'application du TQ-JPRS avec ces

circuits additionnels conduit à une consommation globale de l'ordre de 36.4 mW soit alors un gain net de 27.5 % de la consommation de l'étage en bande de base.

Les travaux de recherche se focalisent sur l'application du TQ-JPRS au niveau de l'ADC afin de réduire la consommation de l'étage en bande de base. On se propose de plus de situer notre travail et le gain de la consommation obtenu par rapport à la consommation totale du circuit du récepteur SDR.

Afin de pouvoir estimer la consommation de puissance du circuit nous proposons de donner la valeur de la consommation des composants proposés en littérature répondant aux spécifications des standards. Comme présenté au niveau du premier chapitre, les filtres RF ne sont pas intégrables et n'appartiennent donc pas au récepteur. En plus, d'après la littérature, un LNA multi-bande et un mélangeur large bande qui permettent de réaliser le fonctionnement requis et répondent aux spécifications des standards n'existent pas. Pour cela, nous proposons de sélectionner pour chaque standard le composant qui répond aux spécifications afin d'estimer sa consommation de puissance et de mesurer ainsi l'apport du TQ-JPRS. Le Tableau III-29 énumère la consommation de chaque composant de l'étage RF.

Tableau III-29. Apport de l'application du TQ-JPRS sur la consommation de puissance en mW du récepteur SDR proposé.

	GSM		UMTS		IEEE 802.11.a	
	Uniforme	TQ-JPRS	Uniforme	TQ-JPRS	Uniforme	TQ-JPRS
Commutateur RF (154)	0.025					
LNA (155; 50; 55)	3.75		3.6		9.2	
Mélangeur (155; 61)	3.75		7.2		3.75	
Oscillateur (156)	6					
Bande de base + traitement numérique	15.37	13.22	9.27	5.84	25.3	16.1
Consommation globale du récepteur	28.395	26.245	26.095	22.66	44.275	35.075

La consommation de puissance des circuits analogiques de l'étage RF ont fait augmenter la valeur totale de la consommation de puissance. La puissance globale utilisée par le récepteur pour traiter les signaux des trois standards s'élève à 98.7 mW dans le cas de l'échantillonnage uniforme et à 84 mW dans le cas de l'utilisation du TQ-JPRS.

L'apport de l'application du TQ-JPRS ne se restreint donc pas à réduire de 27.5 % la consommation de l'étage en bande de base, mais à apporter aussi une réduction de l'ordre de 15 % sur la consommation globale de l'architecture du récepteur SDR proposé.