

# Evolution de la microélectronique rencontre avec le quantique

*La diminution de la taille des transistors MOSFETs vers l'échelle nanométrique s'accompagne de nouveaux effets électrostatiques et quantiques. Afin de retarder leur apparition, plusieurs stratégies sont envisagées à plus ou moins longue échéance.*

*Ce chapitre se propose de présenter les principaux effets issus de la réduction des dimensions et de décrire les limites des solutions technologiques déjà disponibles (section (1.1)). Nous discutons dans la section (1.3) des structures émergentes de MOSFETs à plusieurs grilles, susceptibles de poursuivre la miniaturisation dans les années à venir. Au delà, les futures générations de transistors pourraient être construites à partir de molécules. La section (1.4) étudie donc en détail le cas prometteur du transistor à nanotubes de carbone pressenti comme le successeur direct du MOSFET. La section (1.5) résume et ouvre sur les perspectives.*

## 1.1 Miniaturisation des transistors

### 1.1.1 Pourquoi réduire la taille des transistors ?

La croissance de l'industrie des semi-conducteurs dépend pour l'instant de sa capacité à miniaturiser les transistors. L'objectif de la démarche est de délivrer de meilleures performances à moindre coût. Des circuits plus petits réduisent la surface globale de la puce électronique et permettent donc de produire plus de transistors sur un même wafer sans impacter sur le prix de fabrication. Le coût des circuits diminue ainsi d'un facteur deux tous les 18 mois. Les performances électriques des composants sont également améliorées (tableau(1.1)). En diminuant la dimension des MOSFETs, le temps de passage de l'état "off" à l'état "on" diminue linéairement du fait de l'évolution du temps de réponse intrinsèque  $\cong$  longueur de canal/vitesse des porteurs. Un autre avantage est la réduction de la consommation de puissance, utile pour augmenter la durée d'autonomie des systèmes mobiles mais aussi pour améliorer la fiabilité des systèmes hautes performances. Des puces plus petites consomment moins de puissance, donc moins d'énergie est utilisée pour chaque opération. En conséquence, le produit puissance-temps de réponse est réduit. Enfin, la rapidité de transmission de l'information dans un circuit intégré est limitée par la vitesse de l'impulsion électrique. Pour pouvoir augmenter la rapidité globale d'une opération, il faut réduire les distances géométriques, et empiler un maximum de données d'information dans un minimum d'espace pour les rapprocher. Cette évolution permet à un large public d'accéder à des services plus performants, moins chers et souvent nouveaux. Des objets technologiques innovants sont ainsi produits et créent de nouveaux marchés dont les retombées financières sont réinvesties dans la course à l'intégration (figure(1.1)).

Année	2004	2007	2010	2013	2016
Noeud technologique (nm)	90	65	45	32	22
Longueur de grille physique (nm)	37	25	18	13	9
Tension d'alimentation (V)	1.2	1.1	1	0.9	0.8
Epaisseur d'oxyde équivalent (nm)	1.2	0.9	0.7	0.6	0.5
Tension de seuil en saturation (V)	0.2	0.18	0.15	0.11	0.10
Courant de fuite nominal des NMOS ( $\mu\text{A}/\mu\text{m}$ )	0.05	0.07	0.1	0.3	0.5
Courant conducteur nominal des NMOS ( $\mu\text{A}/\mu\text{m}$ )	1110	1510	1900	2050	2400
Temps de réponse intrinsèque des NMOS (ps)	0.95	0.64	0.39	0.26	0.15

TAB 1.1 : Prévisions ITRS des caractéristiques des MOSFETs ultimes (high performances) [3].

## 1.2 Le MOSFET

Le principe de fonctionnement d'un transistor MOS repose sur "l'effet de champ électrique", qui consiste à moduler de façon électrostatique une densité de charges mobiles dans un semicon-

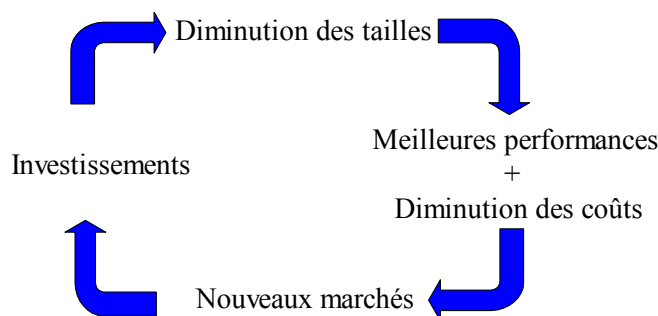


FIG. 1.1: Cycle de croissance de l'industrie des semi-conducteurs.

ducteur. Cette modulation est provoquée par un champ électrique agissant entre deux électrodes séparées par un diélectrique, et perpendiculaire à la direction de mouvement de ces charges. Dans cette structure, la tension de grille ( $V_G$ ) commande la quantité de charges et la tension source-drain ( $V_{DS} = V_D - V_S$ ) les met en mouvement (figure (1.2)). La figure (1.3) représente l'évolution du courant de drain ( $I_D$ ) en fonction de la tension de grille. Le transistor MOSFET se caractérise par deux régimes de fonctionnement. A fort  $V_G$ , le courant de drain est maximal ( $=I_{ON}$ ) : c'est le régime de saturation. A faible  $V_G$ , les charges mobiles minoritaires sont repoussées dans le substrat, et le courant de drain diminue exponentiellement : c'est le régime sous le seuil ou "de blocage".

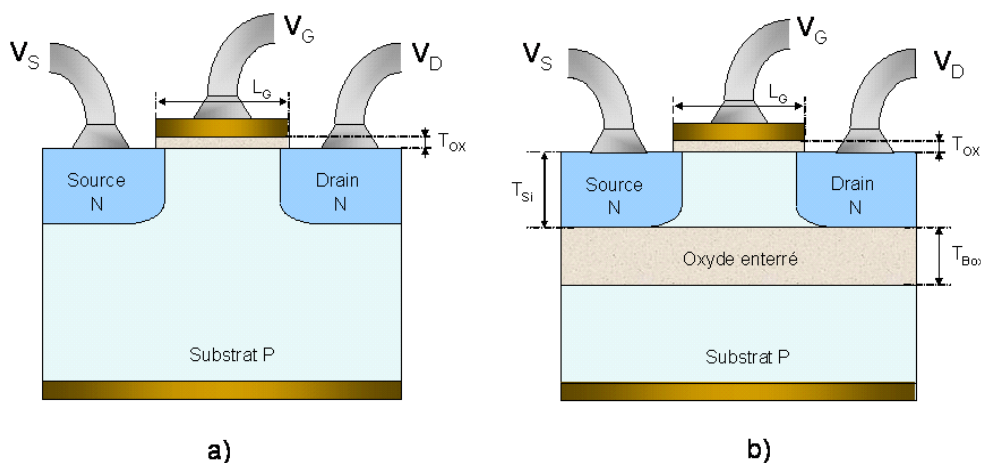


FIG. 1.2: a) Schéma d'un transistor MOS en silicium massif. b) Schéma d'un transistor MOS réalisé en technologie SOI. Les deux transistors représentés sont à enrichissement à canal d'électrons (NMOSFET).

Les paramètres importants du transistor sont les suivants :

- La tension sous le seuil ( $V_{TH}$ ) est la tension de grille nécessaire à la formation d'un canal de conduction (couche d'inversion) entre la source et le drain. La tension de seuil typique d'un nanoMOSFET est comprise entre 0.2 et 0.4 V.

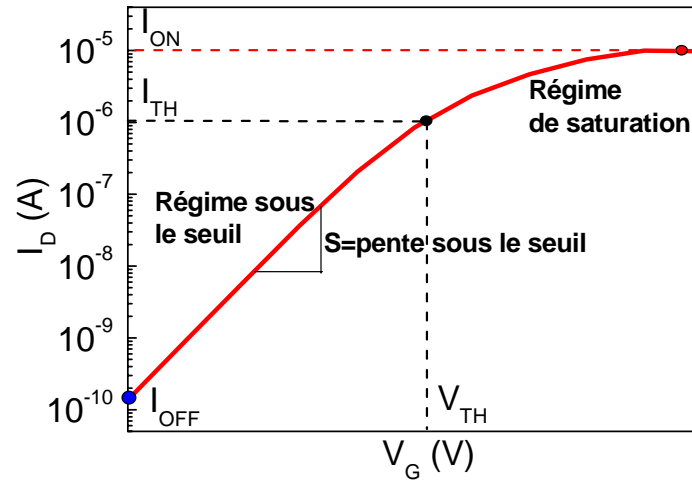


FIG. 1.3: Caractéristique  $I_D$ - $V_G$  usuelle d'un transistor MOSFET.  $V_{TH}$  est la tension de seuil,  $I_{OFF}$  représente le courant du transistor dans l'état bloqué, et  $I_{ON}$  celui dans l'état passant. Attention à l'abus de langage : la pente sous le seuil  $S$  vaut en fait  $\Delta V_G / \Delta I_D$  et est exprimée en mV/décade.

- La transconductance ou gain ( $g_m$ ) est définie par :

$$g_m = \left( \frac{\partial I_D}{\partial V_G} \right)_{V_{DS}=cte}, \quad (1.1)$$

et doit être la plus élevée possible. La transconductance augmente très rapidement lorsque la longueur de canal devient inférieure à 100 nm.

- La conductance du canal ( $g_{DS}$ ) donnée par :

$$g_{DS} = \left( \frac{\partial I_D}{\partial V_{DS}} \right)_{V_G=cte}. \quad (1.2)$$

- La pente sous le seuil : elle représente la tension de grille à appliquer (en régime sous le seuil) pour augmenter le courant de drain d'une décade :

$$S = \frac{dV_G}{d(\log I_D)}. \quad (1.3)$$

Un MOSFET est dans l'état "off" lorsque  $I_D$  est inférieur au dixième de sa valeur à la tension de seuil. Le paramètre  $S$  limite la réduction de la tension de seuil d'un nanoMOSFET puisque le courant à zéro volt, c'est-à-dire le courant de l'état "off" doit rester suffisamment faible pour ne pas consommer de puissance.

Il existe actuellement deux structures de composants largement étudiées et utilisées en technologie CMOS. La première est la structure silicium massif (ou "bulk"), dans laquelle le transistor est directement fabriqué sur un substrat semiconducteur (figure (1.2.a)). La seconde est appelée SOI (pour l'anglais "Silicon On Insulator") dans laquelle le transistor est réalisé sur une fine couche de silicium séparée du reste du substrat par une couche d'isolant (figure (1.2.b)). La structure bulk est relativement

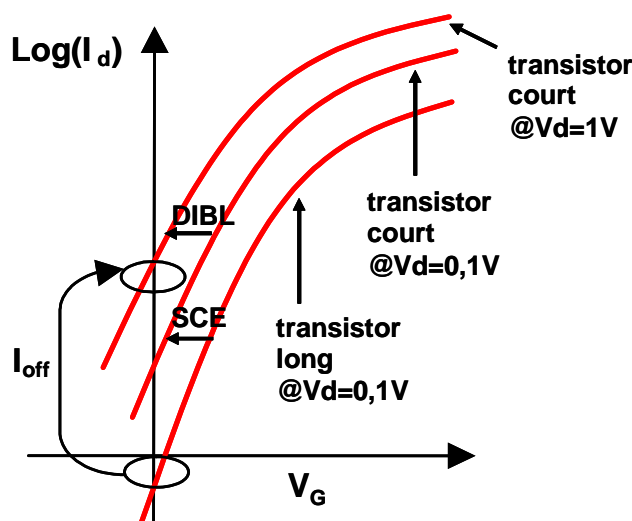


FIG. 1.4: Comparaison de la caractéristique sous le seuil d'un transistor long et d'un transistor court : mise en évidence des effets canaux courts.

simple à produire et constitue la brique de base de la plupart des circuits CMOS à ce jour.

Lorsque les dimensions du transistor diminuent, un équilibre doit s'établir entre deux critères : la performance du composant et sa fiabilité. La performance nécessite la suppression des effets canaux courts (SCE pour "Short Channel Effects" [6]). Ces derniers se traduisent tout d'abord par la réduction de la tension de seuil  $V_{TH}$  lorsque la longueur de grille décroît (figure (1.4)). La grille ne contrôle plus parfaitement les porteurs de charges du canal ; on parle de "roll-off" ( $\Delta V_{TH}$ ) de la tension de seuil. Un autre effet canaux courts, le DIBL (pour "Drain-Induced Barrier Lowering"), se manifeste par la réduction de la tension de seuil à fort  $V_{DS}$  [7]. Le *roll-off* dû aux effets canaux courts traduit l'abaissement de la barrière de potentiel du canal (figure(1.5)) qui engendre une dégradation de la pente sous le seuil ( $S$ ) ainsi qu'une augmentation du  $I_{OFF}$  et donc de la puissance consommée au repos. Le DIBL quand à lui entraîne une dépendance de  $V_{TH}$  à la tension de drain et freine la réalisation de CMOS à l'échelle d'un circuit. Afin de retarder l'apparition de ces effets, les technologues disposent de plusieurs paramètres. Un dopage élevé du canal réduit tout d'abord l'épaisseur de la zone de déplétion à une région proche de la grille qui peut alors exercer avec plus d'efficacité son contrôle sur les charges en mouvement. En contre partie le libre parcours moyen des électrons dans le canal diminue et leur mobilité s'en trouve dégradée [8]. Une forte capacité d'oxyde  $C_{ox}$  améliore également le contrôle des charges ( $Q = C_{ox} V_G$ ) et un oxyde mince à haute permittivité  $\epsilon_{ox}$  ( $C_{ox} = \epsilon_{ox}/T_{ox}$ ) facilite donc la diminution des dimensions. Néanmoins une réduction trop intense de l'épaisseur d'oxyde conduit à des courants de fuite de grille par courant tunnel [9] mettant à défaut la fiabilité. Afin d'atteindre une épaisseur inférieure au nanomètre, l'oxyde de silicium actuellement utilisé devra être remplacé par des matériaux à grande constante diélectrique, notamment par des oxydes binaires de métaux de transition comme le Zr, Hf, Y, et d'autres lanthanides [10]. Ces matériaux, aux structures électroniques complexes, sont intensivement étudiés, mais leur application

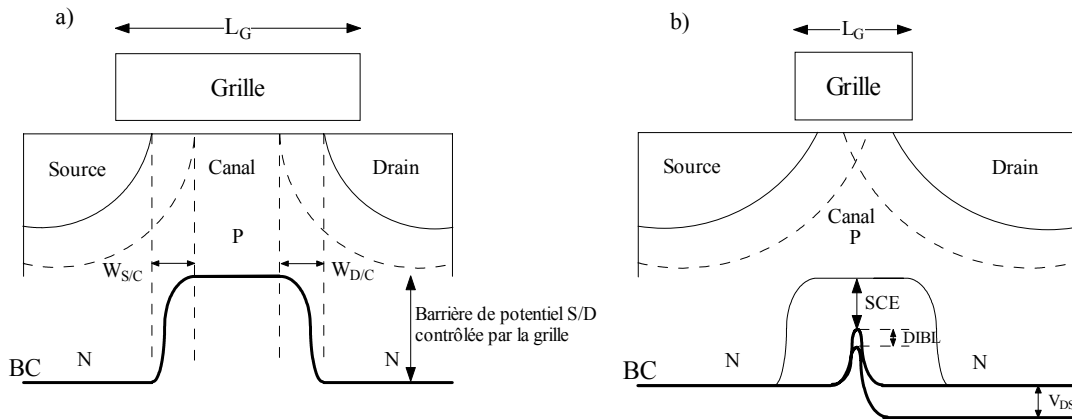


FIG. 1.5: Structure d'un transistor MOSFET bulk a) à canal long. b) à canal court. Dans le dernier cas, les effets canaux courts résultent du chevauchement des zones de charges d'espaces des régions dopées ( $W_{S/C}$  et  $W_{D/C}$ ).

définitive à la microélectronique ne sera pas immédiate. La réalisation de composants ultimes en silicium massif doit en conséquence faire intervenir des profils "compliqués" de dopage des régions de source, de canal, et de drain [11]. Des halos fortement dopés générés près des jonctions source/canal et drain/canal servent par exemple à écranter la zone active des champs électriques induits dans le drain (figure (1.6)). Lorsque la longueur de grille converge vers les dimensions ultimes la fusion de ces halos conduit à un nouveau dopage de canal très élevé qui permet ainsi de mieux résister à la dérive de  $V_{TH}$ . En conjuguant ce procédé avec d'autres technologies (dopage rétrograde notamment [12]), il a été démontré que la structure bulk pouvait poursuivre l'intégration jusqu'à des longueurs de grilles de 25 nm [11]. En-dessous de cette longueur, les composants bulk sont handicapés par de sévères fuites de la jonction p-n entre la source (ou le drain) et le substrat dues à la présence de forts champs électriques générés par l'implantation des halos.

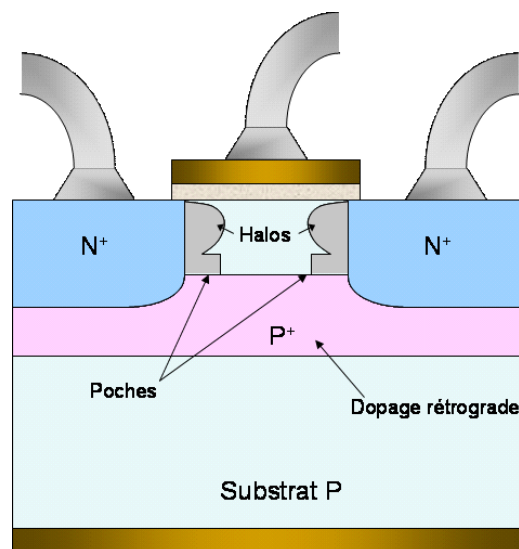


FIG. 1.6: Architecture d'un MOSFET à dopage rétrograde et halos.

## 1.3 Les architectures émergentes

### 1.3.1 Transistors à canal de silicium contraint

Une façon d'améliorer les performances du transistor MOS est d'introduire un matériau à haute mobilité au niveau du canal de la structure, de façon à augmenter notablement le courant  $I_{ON}$  : ce sont des transistors HEMT (pour "High Electron Mobility Transistor"). On peut donc soit changer la nature du semiconducteur dans la zone de transport (des canaux silicium-germanium ou silicium-carbone sont envisagés), soit utiliser un film de silicium contraint mécaniquement, ce qui présente l'avantage de conserver l'interface Si/SiO<sub>2</sub> (figure (1.7)).

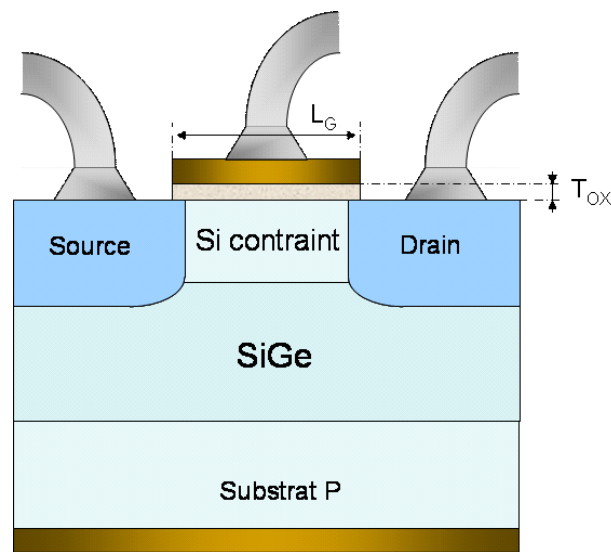


FIG. 1.7: Coupe schématique d'un HEMT à canal contraint.

La mise sous contrainte du film de silicium actif est obtenue en faisant croître celui-ci par épitaxie sur un substrat de silicium-germanium ( $\text{Si}_{1-x}\text{Ge}_x$ ) relaxé. La différence de maille entre ces deux matériaux induit une contrainte bi-axiale dans le film de silicium, qui a pour effet de lever les dégénérescences dans la bande de conduction (vallées  $\Delta$ ) et dans la bande de valence (trous lourds). Ce "splitting" des niveaux d'énergie a pour conséquence une diminution des probabilités d'interaction entre les porteurs (électrons et trous) et les phonons intervalles. Dans le cas des électrons, il implique également une occupation préférentielle des deux vallées transverses de masse effective plus faible ( $\sim 0.19 \times m_0$ ). La combinaison de ces deux effets explique donc les résultats expérimentaux (confirmés par des résultats théoriques) qui ont mis en évidence une augmentation de la mobilité des électrons jusqu'à 80% par rapport au silicium massif [13]. La situation est plus compliquée pour les trous, due à une structure de la bande de valence complexe et au fait que le "splitting" des niveaux d'énergie est moins marqué. Par ailleurs, l'application d'une contrainte fait varier les masses effectives des trous de façon différente, suivant que l'on considère des trous légers et des trous lourds. Enfin, l'hétérostructure Si/SiGe présente un offset de bandes défavorable au confinement des trous dans le film de silicium contraint, contrairement

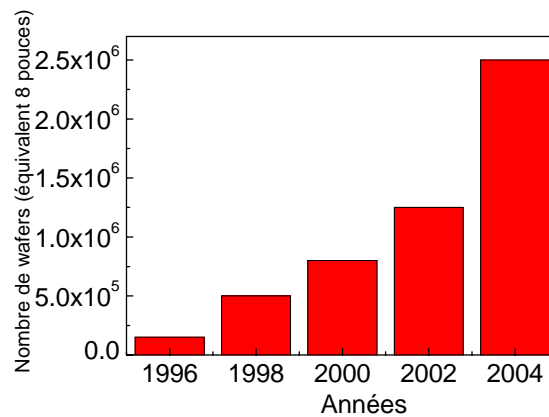


FIG. 1.8: Estimation de la production annuelle de wafers SOI [17] [18].

au cas des électrons bien localisés dans le puits de potentiel associé à la couche contrainte. Au final, le bénéfice du silicium contraint pour les transistors à canal  $p$  semble plus délicat à obtenir pour des transistors en silicium massif [14]. Pour les noeuds technologiques avancés, l'utilisation de silicium contraint sur isolant (SSOI pour Strained Silicon-On-Insulator), combinant l'apport d'une couche contrainte avec les avantages de la technologie SOI est envisagée et pourrait favoriser la réalisation de transistors contraints à canal  $p$  [15]. De nombreux travaux actuels portent sur la mise au point de procédés de fabrication de wafers SSOI et plusieurs industriels, tels IBM, envisageraient d'utiliser une telle technologie dès le noeud 65 nm en 2005 [16].

### 1.3.2 Les transistors SOI

Les structures SOI MOSFET (partiellement ou complètement déplétées) sont envisagées comme des candidats susceptibles de réussir l'intégration de composants de dimensions inférieures à 25 nm. La quantité estimée de wafers SOI produits depuis 8 ans est d'ailleurs en très nette augmentation (figure (1.8)) et l'utilisation du SOI, malgré le prix plus élevé des substrats, semble gagner de plus en plus d'industriels. Les avantages de la technologie SOI sont multiples. Premièrement le canal de conduction est mince et entièrement isolé. La profondeur des jonctions est parfaitement définie et limitée par l'épaisseur du canal de silicium (figure 1.9.b). L'aire des jonctions en SOI est considérablement réduite (les jonctions sont verticales) ce qui conduit à de faibles courants de fuite. De plus les effets parasites qui existent dans la technologie Si massif sont éliminés. Le plus fréquent est le thyristor parasite ou effet de "*latch-up*", qui consiste au déclenchement du thyristor parasite représenté sur la figure (1.9.a) par deux transistors bipolaires. Le déclenchement du *latch-up* est lié à la proximité des zones  $N^+$  et  $P^+$  de transistors NMOS et PMOS voisins. Sur le SOI, ces zones sont complètement isolées et le claquage entre ces deux zones est impossible quelle que soit la distance qui les sépare.

La faculté d'augmenter la densité d'intégration est une conséquence directe de la suppression de l'effet *latch-up* qui permet le rapprochement des régions  $N^+$  et  $P^+$ . L'absence de caisson conduit aussi à une simplification des niveaux d'interconnexions au-dessus des transistors.



L'oxyde enterré réduit ensuite les capacités parasites des régions source et drain (figure (1.9.b)). Les capacités source/substrat ( $C_{JS}$ ) et drain/substrat ( $C_{JD}$ ) dans la technologie SOI sont 4 à 7 fois plus faibles que sur silicium massif. Tandis que sur silicium massif  $C_{JS}$  (resp.  $C_{JD}$ ) équivaut à la capacité d'une jonction polarisée en inverse, dans le SOI  $C_{JS}$  (resp.  $C_{JD}$ ) est dominée par la capacité de l'oxyde enterré sous la source (resp. le drain), qui est beaucoup plus faible. La réduction des capacités parasites se répercute au niveau du circuit et améliore les performances en hautes fréquences des SOI MOSFETs par rapport au silicium massif [19].

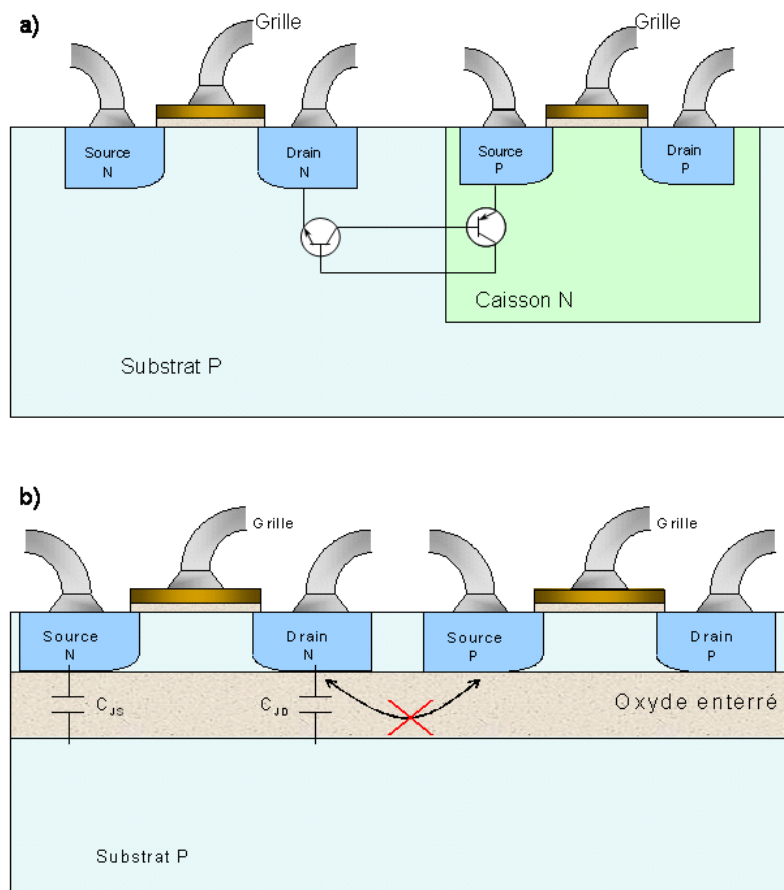


FIG. 1.9: Comparaison d'une structure CMOS réalisée (a) sur Si massif; (b) sur SOI. Illustration de l'élimination du phénomène de latch-up dans le CMOS sur SOI.

### 1.3.3 Les transistors multi-grilles

Cependant, les MOSFET SOI simple grille présentent un oxyde enterré très épais ( $10 < T_{BOX} < 100$  nm) dans lequel pénètrent les lignes équi-potentielles de champ électrique de la source et du drain. Il s'en suit une perte de potentiel dans l'oxyde enterré et un mauvais contrôle électrostatique de la grille pour les petites dimensions : les effets canaux courts apparaissent et dégradent à nouveau la pente sous le seuil [21]. Depuis une dizaine d'années, la plupart des études semblent indiquer que les transistors SOI MOSFET à deux, trois, voir quatre grilles sont plus adaptés à la réduction ultime des dimensions. La multiplication des grilles contrôle mieux

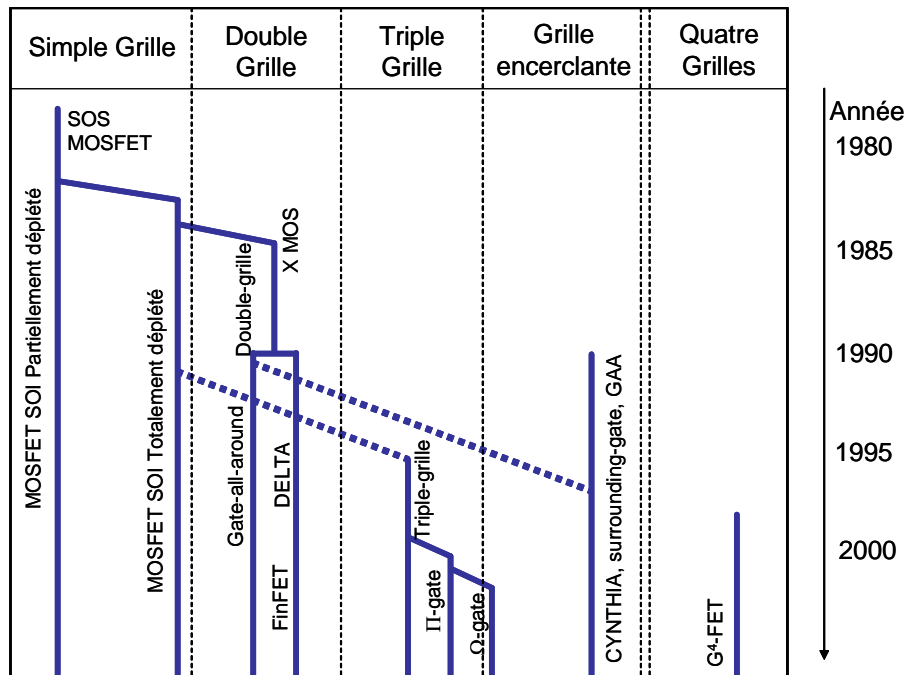


FIG. 1.10: Arbre généalogique de la technologie SOI.

le potentiel de canal et immunise le transistor contre les effets canaux courts observés dans une géométrie SOI simple grille [22, 23]. Pour ces géométries, un fort dopage de canal n'est plus nécessaire. L'utilisation d'une partie active en silicium ultra-fine et faiblement dopée stabilise les variations de la tension de seuil  $V_{TH}$  [24], améliore la mobilité du canal (diminution de la diffusion avec les impuretés ionisées [8]) et fait tendre la pente sous le seuil  $S$  vers la valeur idéale de 60 mV/décade.

Nous allons évoquer dans ce paragraphe les principales familles de transistors MOSFETs multi-grilles susceptibles de succéder au MOSFET *bulk*. Observons pour cela l'arbre généalogique des MOSFETs SOI représenté sur la figure (1.10). Le premier transistor SOI date de 1964. Ce composant était partiellement déplété et fabriqué sur un substrat en saphir (d'où l'appellation SOS pour Silicon-On-Sapphire). La première publication décrivant un MOSFET SOI double-grille remonte à 1984. Le composant reçu l'acronyme de XMOS à cause de sa ressemblance avec la lettre grecque  $\Xi$  [25]. Déjà cet article prédisait les bons comportements à faibles longueurs de grille d'un tel composant. Vint ensuite le MOSFET double-grille totalement déplété dont la première réalisation fut le DELTA MOSFET pour "*fully DEpleted Lean channel TrAnsistor*" [26]. A ce moment, le MOSFET double-grille, qui comprend un film horizontal de silicium "sandwiché" entre deux grilles, présente une amélioration spectaculaire du contrôle électrostatique des charges du canal. En revanche le non-alignement des grilles avant et arrière génère une capacité de recouvrement grille/S-D et des résistances séries [27].

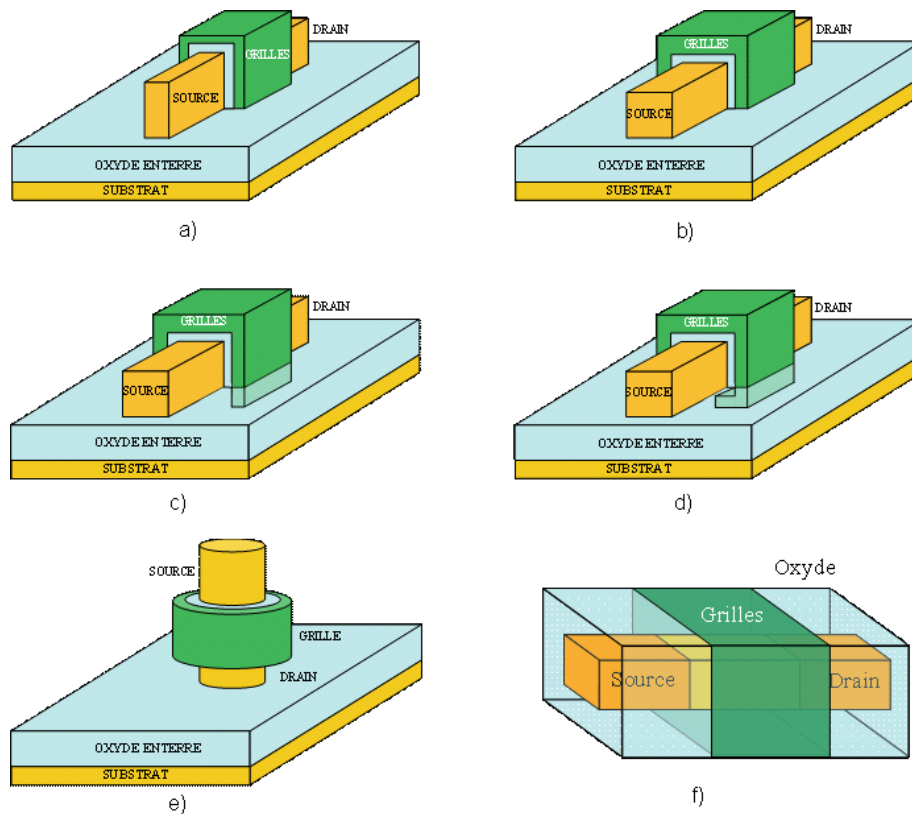


FIG. 1.11: *Différentes configurations de grilles pour des composants SOI : a) FinFET ; b) Triple grille ; c) Pi-gate MOSFET ; d) Oméga-gate MOSFET ; e) Surrounding gate ; f) Gate-All-Around MOSFET (structure GAA).*

Le FinFET (figure (1.11)), structure auto-alignée, est alors proposé comme une amélioration du transistor double-grille [28, 29]. Il est caractérisé par un fil de silicium déposé sur un oxyde enterré et entouré de trois grilles. De par l'épaisseur réduite de sa partie silicium, seules les deux grilles verticales exercent un véritable contrôle sur le canal. Sa relative simplicité de fabrication et sa compatibilité avec la technologie CMOS conventionnelle en font un candidat prometteur. En augmentant l'épaisseur du film de silicium, le FinFET devient le triple-grille (ou tri-gate) [30]. Les trois grilles contrôlent maintenant le transport des charges et réduisent toujours davantage les effets canaux courts. Cette architecture permet de relaxer les dimensions transverses (et donc de diminuer le coût de fabrication) tout en améliorant les performances électriques : l'augmentation de la section transversale du silicium diminue non-seulement la sensibilité à la variation d'épaisseur, mais réduit les résistances en série. Cependant l'oxyde enterré sur lequel est fabriqué le transistor constitue toujours un obstacle à l'optimisation des propriétés électriques. Des versions améliorées de la précédente structure sont les pseudo-quatre grilles comme le Pi-gate [31] et le Omega-gate [32]. Ces composants simulent, sans ajouter d'étapes technologiques, une quatrième grille par la pénétration des grilles verticales dans l'oxyde enterré. L'extension de grille de ces transistors ne sert pas seulement d'armature pour les lignes de champ électrique provenant du drain, mais elle améliore aussi le contrôle de la grille sur le canal. La structure ultime qui offre théoriquement le meilleur contrôle de la région de canal est le quadruple-grilles ou "surrounding-gate" transistor.

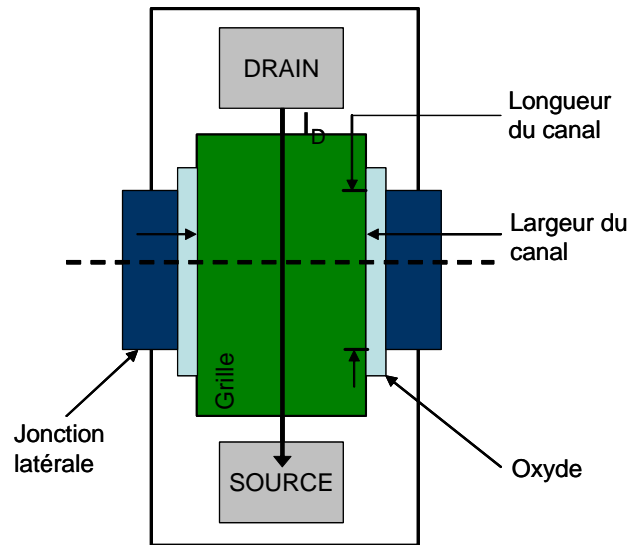


FIG. 1.12: Vue de dessus d'une structure  $G^4$ -FET.

Deux architectures existent : le "surrounding-gate" à canal vertical, habituellement fabriqué en utilisant un îlot de silicium en forme de colonne [33], et le "surrounding-gate" à section rectangulaire aussi appelé Gate-All-Around (GAA) [34,35]. Enfin, le  $G^4$ -MOSFET [36,37] est une structure plus exotique constituant un nouveau type de transistors à accumulation. Il combine deux grilles MOS verticales et 2 grilles à jonctions latérales afin d'encercler le canal (figure(1.12)). Des études restent encore à mener pour déterminer tous les avantages de ce type de composant.

Références	Structure	$L_G$	$I_{ON}$	$I_{OFF}$
J. Kedzierski <i>et al.</i> (IBM) [40]	FinFET	$L_G=100$ nm	$1200 \mu A/\mu m$	$<1 \mu A/\mu m$
B. Yu <i>et al.</i> (AMD) [46]	FinFET	$L_G=10$ nm	$446 \mu A/\mu m$	$100 \mu A/\mu m$
F.-L. Yang <i>et al.</i> (TSMC) [47]	Oméga FET	$L_G=25$ nm	$1440 \mu A/\mu m$	$8 \text{ nA}/\mu m$
B.H. Lee <i>et al.</i> (IBM) [48]	SOI-FET	$L_G=60$ nm	$1000 \mu A/\mu m$	$200 \text{ nA}/\mu m$
S. Harrison <i>et al.</i> (ST) [49]	SON-GAA	$L_G=70$ nm	$1950 \mu A/\mu m$	$254 \text{ nA}/\mu m$

TAB 1.2 : Publications récentes de composants ultimes réalisés en technologie SOI simple et multi-grilles (Les courants sont ceux de NMOS).

Plusieurs inconvénients restent caractéristiques de ces nouvelles architectures. De par la finesse du fil de silicium, les résistances des extensions source et drain peuvent être très élevées, limitant ainsi les performances du transistor. Des solutions ont été proposées, notamment en remplaçant les régions dopées par des contacts Schottky [38] ou des couches d'inversion [39]. De plus, l'utilisation de canal intrinsèque rend difficile l'ajustement de la tension de seuil  $V_{TH}$ . Ici aussi, plusieurs antidotes existent : varier le dopage des grilles en polysilicium [24], employer de nouveaux métaux [40] ou appliquer un offset de tension entre les différentes grilles de façon à mimer plusieurs travaux de sorties [41] sont des techniques envisageables. Les fluctuations des caractéristiques de courant induites par la présence, volontaire ou non de dopants constituent un autre problème associé aux petites géométries [42,43]. S'invitent enfin les effets quantiques (dûs

au confinement latéral), qui peuvent engendrer une sensibilité accrue de  $V_{TH}$  à l'épaisseur de la partie active [44, 45]. Les fluctuations de l'épaisseur de silicium doivent donc être rigoureusement contrôlées. Malgré ces difficultés, le potentiel d'intégration de structures multi-grilles ne doit pas être sous-estimé. D'ailleurs de nombreux transistors multi-grilles ont été réalisés et présentent des caractéristiques électriques bien supérieures à celles des transistors en silicium massif (voir tableau(1.2)).

## 1.4 Les transistors à nanotube de carbone

Depuis quelques années, les nanotechnologies sont pressenties pour réussir le développement de techniques de fabrication dites "*Bottom-up*" peu coûteuses par opposition à la miniaturisation des transistors MOSFETs classiques de type "*Top-down*". Les nanotechnologies basées sur les nanotubes de carbone, du fait du très bon comportement électrique de ces matériaux, semblent être l'illustration actuelle la plus frappante de cette approche. Nous allons décrire dans les prochains paragraphes les propriétés physiques des nanotubes avant de présenter l'architecture des transistors à nanotube de carbone (CNTFET pour "Carbon NanoTube Field-Effect-Transistor").

### 1.4.1 Nanostructures de carbone et nanotubes

A l'état solide le carbone peut exister sous trois formes cristallines différentes nommées allotropes. Le diamant et le graphite sont les deux allotropes les plus connus du carbone. Le troisième allotrope du carbone regroupe les structures de type fullerènes. Il s'agit d'une nouvelle classe de matériaux formés par l'enroulement de plans graphitiques en sphère (fullerènes de type  $C_{60}$  [50] ou  $C_{70}$  semblables à un ballon de foot-ball) ou en cylindre (nanotubes).

#### Les différentes structures de nanotubes

On en distingue deux types :

- Les nanotubes mono-parois (SWNT pour "Single Walled NanoTubes") sont constitués d'un seul feuillet graphitique. Le nanotube possède une hélicité qui dépend de la façon dont les deux bords de la feuille de graphène vont se recouper. Chaque tube pourra être désigné par deux entiers  $(m,n)$ , valeurs dans la base unitaire du réseau hexagonal des composantes du vecteur reliant un même point le long de la circonférence [51]. Nous obtenons ainsi trois grandes catégories de nanotubes suivant le repliement du plan graphitique : ceux avec la structure "*armchair*"  $(m,m)$ , dans laquelle certaines liaisons C-C sont perpendiculaires à l'axe du nanotube ; ceux avec la structure "*zig-zag*"  $(n,0)$  dans laquelle certaines liaisons C-C sont parallèles à l'axe ; et ceux avec une structure appelée chirale  $(m,n)$  présentant une symétrie miroir (figures(1.13) et (1.14)).

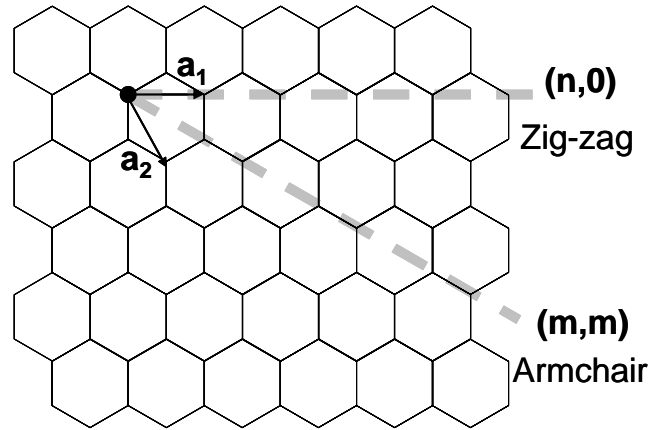


FIG. 1.13: Deux configurations d'enroulement d'un feuillet graphitique : zig-zag et armchair..

Les valeurs de  $m$  et  $n$  déterminent la chiralité du nanotube, c'est-à-dire la façon dont le plan de graphite est enroulé sur lui-même. La chiralité affecte la plupart des propriétés du nanotube : sa conduction, sa densité et sa taille. Par exemple, les valeurs  $m$  et  $n$  permettent de calculer le diamètre  $d$  du tube à l'aide de l'équation suivante :

$$d = \frac{0.142 \text{ nm}}{\pi} \sqrt{3(n^2 + m^2 + nm)}. \quad (1.4)$$

- Lorsque deux parois ou plus forment le tube, on parle de nanotube multi-parois (MWNT pour "Multi-Walled NanoTube"). L'espacement entre les parois d'une telle structure est d'environ 0.34 nm (figure (1.15)).

Il existe plusieurs méthodes servant à produire les nanotubes de carbone. La première méthode, dite de l'"arc électrique", date de 1991, année où SUMIO IJIMA<sup>1</sup> (NEC Fundamental Research Laboratory) fit la découverte des nanotubes de carbone multi-parois. Deux ans plus tard, il réussit à produire des nanotubes mono-paroi en modifiant légèrement sa méthode originale. Par la suite, de nombreux groupes développèrent de nouvelles techniques. Le tableau (1.3) présente quatre différents procédés de fabrication de nanotubes mono-paroi.

Cependant ces méthodes ne permettent pas l'obtention d'un matériau uniquement composé de nanotubes de carbone. Du carbone amorphe et des résidus de métaux de transition sont aussi présents dans les échantillons. De plus, il n'existe pas encore de méthode permettant de contrôler la chiralité des tubes produits. Cette limitation majeure ralentit considérablement le rythme des avancées dans le domaine des dispositifs électroniques à bases de nanotubes car il est impossible de produire uniquement des tubes métalliques ou uniquement semi-conducteurs.

<sup>1</sup>Sumio Iijima a été le premier à observer un nanotube, mais certainement pas le premier à en produire. En fait, l'Homme de Néandertal a fabriqué des quantités minuscules de nanotubes dans le feu qui chauffait ses grottes. En effet, dissociés les uns des autres par la chaleur, les atomes de carbone se recombinaient aléatoirement dans la suie. Certains se regroupent en amas amorphes, d'autres forment des sphères ou des tubes.

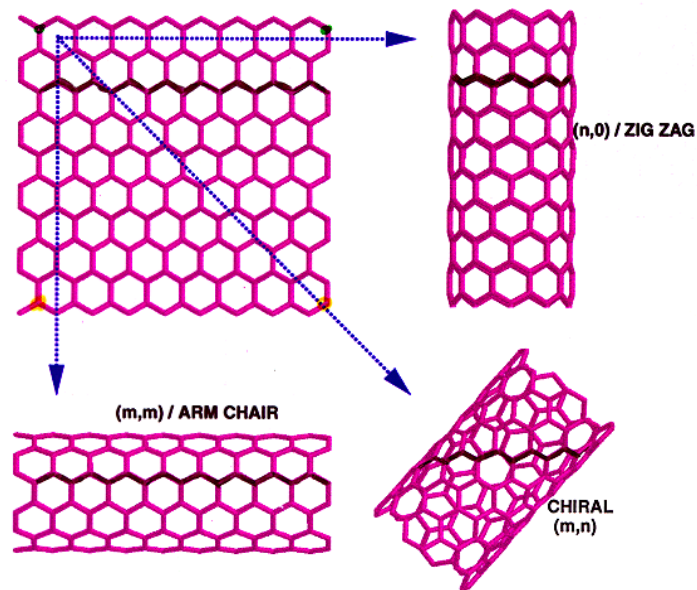


FIG. 1.14: Les trois structures d'un nanotube de carbone mono-paroi. Deux d'entre elles correspondent à des nanotubes à haute symétrie (zig-zag et armchair) alors que la troisième (chirale) présente une structure vis (droite ou gauche) comme l'ADN.

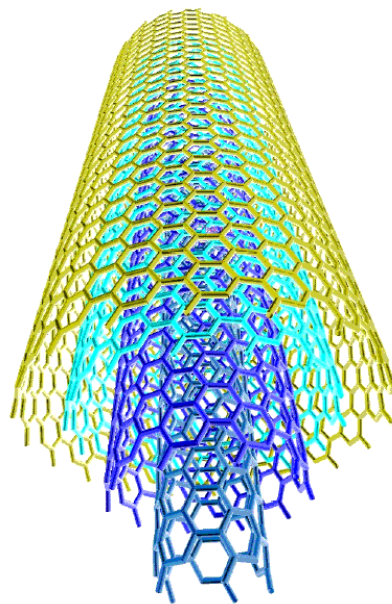


FIG. 1.15: Exemple d'une structure de nanotube multi-parois.

Procédé	Description	Référence
Arc électrique	Procédé catalytique basé sur la décharge par arc électrique entre deux électrodes de graphite ayant préalablement été contaminées par des métaux tels que Fe, Ni et Co.	Iijima [52, 53]
Ablation laser	Procédé catalytique utilisant des impulsions laser afin de sublimer un substrat de graphite. Le catalyseur (2% atomique) est intégré au substrat sous forme de clusters métalliques.	Thess <i>et al.</i> [54]
HiPco	Procédé catalytique en phase gazeuse et sous haute pression (10 à 100 atm). Le mélange gazeux est formé de CO et de Fe(CO) <sub>5</sub> , le fer agissant comme catalyseur.	Nikolaev <i>et al.</i> [55]
Torche plasma atmosphérique	Procédé catalytique basé sur l'atomisation d'un mélange gazeux dans une torche plasma sous pression atmosphérique. Le mélange gazeux est formé de Ar, Fe(C <sub>5</sub> H <sub>5</sub> ) <sub>2</sub> et C <sub>2</sub> H <sub>4</sub> .	Smiljanic <i>et al.</i> [56]

TAB. 1.3 : Procédés de fabrication des nanotubes de carbone mono-paroi.

## Propriétés optiques

Les propriétés optiques d'un nanotube sont très variées et peuvent s'étendre de celles d'un semiconducteur à celles d'un métal suivant son diamètre et sa chiralité.

HAMADA *et al.* [57] ont montré que les nanotubes de type  $|n-m|=3l$ , où  $l$  est un entier positif ou nul, étaient métalliques et que tous les autres tubes se comportaient comme des semiconducteurs. Par exemple, un nanotube de type *zig-zag* défini par le doublet (12,0) présente un gap de 8 meV alors que le nanotube (13,0) a un gap de 0.697 eV. Dans le cas de nanotubes semiconducteurs, la valeur du gap dépend du diamètre mais reste proche de 0.5 eV. WILDER *et al.* [58] ont proposé une formule analytique du gap d'un nanotube semiconducteur :

$$E_{gap} = 2y_0 a_{cc}/d, \quad (1.5)$$

où  $y_0$  est l'énergie de recouvrement C-C ( $\simeq 2.5$  eV),  $a_{cc}$  est la distance C-C entre deux plus proches voisins (0.142 nm), et  $d$  est le diamètre en nm. On trouve ainsi que les énergies sont comprises entre 0.4 eV et 0.7 eV et que la gap diminue quand le diamètre augmente.

Le changement abrupt des propriétés optiques en fonction de la chiralité reflète bien la complexité unique de ce matériau. Ce comportement est en partie dû à sa petite taille et aux effets quantiques qui régissent à cette échelle l'ensemble des propriétés physiques. Mais le graphite est lui aussi un matériau peu commun. Alors que la plupart des conducteurs électriques sont



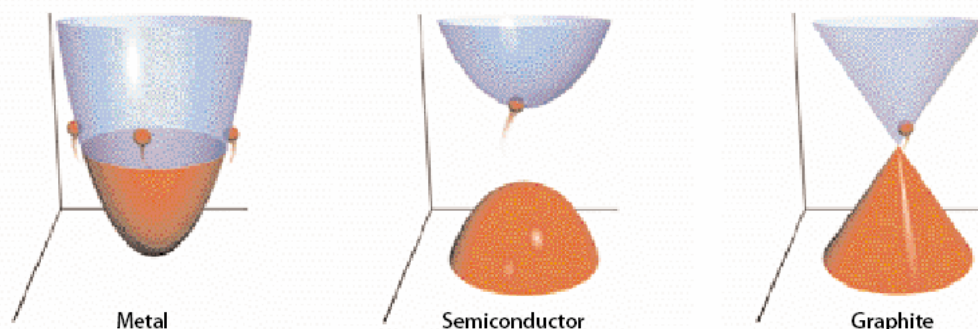


FIG. 1.16: *Les propriétés électriques et optiques d'un matériau dépendent de l'écart entre l'énergie des états remplis (bande de valence en rouge) et celle des premiers états vides, disponibles pour accueillir un électron (bande de conduction en bleu). L'écart d'énergie dans les matériaux métalliques est nul alors que dans les semiconducteurs les électrons ont besoin d'un apport d'énergie extérieur (lumière ou champ électrique) pour atteindre les états de la bande de conduction. Le graphite se situe entre ces deux extrêmes car un faible apport d'énergie externe (température ambiante) suffit à exciter un électron d'une bande d'énergie vers la seconde [59].*

soit métalliques soit semiconducteurs, le graphite est un des rares matériaux connus à être un semi-métal (figure (1.16)). En combinant les propriétés semi-métalliques du graphite avec les lois quantiques des niveaux d'énergie discrétisés, les nanotubes de carbone se présentent comme des conducteurs vraiment exotiques. Plus concrètement, la structure de bandes du nanotube est très proche de celle du graphite. Les conditions aux limites représentent la différence essentielle. En effet, l'opération d'enroulement impose des conditions aux limites périodiques pour décrire la propagation des électrons autour de la circonférence, qui peuvent interférer avec eux-mêmes constructivement ou destructivement. Les fonctions d'onde des électrons ne sont donc plus celles d'un système 2D infini, mais deviennent des ondes de Bloch aux vecteurs d'onde discrets. La figure (1.17) illustre la situation à l'aide de la première Zone de Brillouin (ZB) d'un nanotube de type *zig-zag* (6,0). Les lignes verticales correspondent aux vecteurs d'onde permis. Pour un nanotube de type  $(n,0)$ , les lignes verticales interceptent la ligne  $\Gamma$ -M dans la première ZB en  $n$  points. De plus, certaines bandes d'énergie du plan graphitique ( $\pi$  liantes et anti-liantes) sont dégénérées au point K. En conséquence si une ligne verticale passe par le point K, c'est-à-dire si  $n$  est un multiple de 3, le tube sera un métal. Un raisonnement similaire dans le cas de tubes *armchairs* et *chiraux* conduisent à la loi précédemment énoncée.

Aucun matériau connu à ce jour ne présente des propriétés optiques aussi modulables !

### Propriétés électriques

Les propriétés de transport des nanotubes ont été récemment étudiées et ont soulevé quelques controverses. En 1998, FRANK *et al.* [60] ont mesuré la conductance de MWNT. Fixant des nanotubes à la place de la pointe d'un microscope SPM (pour "Scanning Probe Microscope"), ils contactèrent les fibres de nanotubes avec une surface de mercure. A faible polarisa-

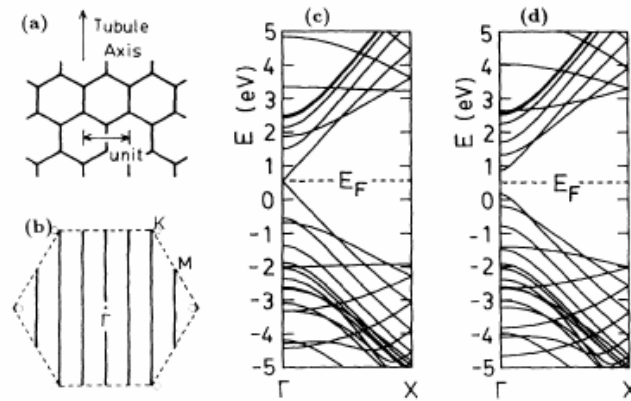


FIG. 1.17: (a) Configuration géométrique d'un tube  $(n,0)$ . (b) Première zone de Brillouin d'un plan graphitique (trait en pointillés), et vecteurs d'onde permis par la condition périodique le long de la circonférence pour  $n=6$  (lignes continues). Structure de bande d'un nanotube (c)  $(12,0)$  et (d)  $(13,0)$ . [57]

tion, leur résultats démontrèrent un comportement balistique avec une conductance quantifiée en  $G_0 = 2e^2/h = (12.9 \text{ k}\Omega)^{-1}$  (le quantum de conductance [61], voir §3.3.1). Le coefficient du quantum de conductance prenait cependant des valeurs non-entières ( $\simeq 0.5G_0$ ). En 1999, SANVITO *et al.* [62] ont démontré théoriquement que les valeurs inattendues de la conductance des MWNT mesurées par FRANK *et al.* provenaient du blocage de certains canaux de conductance par des réactions inter-couches. Comme nous le verrons dans le chapitre 3 la quantification de la conductance résulte des propriétés de guide d'onde électronique des fils extrêmement fins. Quand la longueur du conducteur est plus petite que le libre parcours moyen de l'électron, le transport devient balistique, auquel cas chaque mode du guide d'onde (ou canal conducteur) contribue avec  $G_0$  à la conductance totale. La mesure de densités de courant des nanotubes est le second résultat apporté par FRANK *et al.*. Pour la première fois, les courants très élevés prévus par la théorie ont été vérifiés avec des densités supérieures à  $10^7 \text{ A. cm}^{-2}$  (pour comparaison, la densité de courant des supraconducteurs est typiquement de l'ordre de  $10^5 \text{ A. cm}^{-2}$ ). Néanmoins, le MWNT ne constitue pas à ce jour un matériau idéal pour réaliser des transistors. Sa topologie en différentes sous-couches dans laquelle chaque tube possède un diamètre et une hélicité spécifique rend les propriétés électriques difficilement prévisibles. On lui préfère jusqu'à présent les SWNT qui, d'après PHAEDON AVOURIS (IBM T.J. Watson Research Center), pourraient atteindre des densités supérieures à  $10^{13} \text{ A. cm}^{-2}$ . Ces propriétés exceptionnelles de conduction ne sont possibles que grâce à la solidité des liaisons covalentes C-C (équivalentes à celle des liaisons covalentes du diamant). Notons que de tels courants vaporiseraient l'or ou le cuivre.

Nous allons dans le prochain paragraphe décrire les mécanismes du transport électronique intervenant dans un SWNT. Il a été constaté que l'augmentation de la conductance avec la tension appliquée n'est pas proportionnelle au nombre de sous-bandes qui participent au transport électrique. Une explication possible de ce comportement a été apportée par ANANTRAM [63, 64]. Dans le cas de contacts parfaits (sans réflexion), un électron injecté dans un nanotube peut subir trois processus (figure (1.18)) :

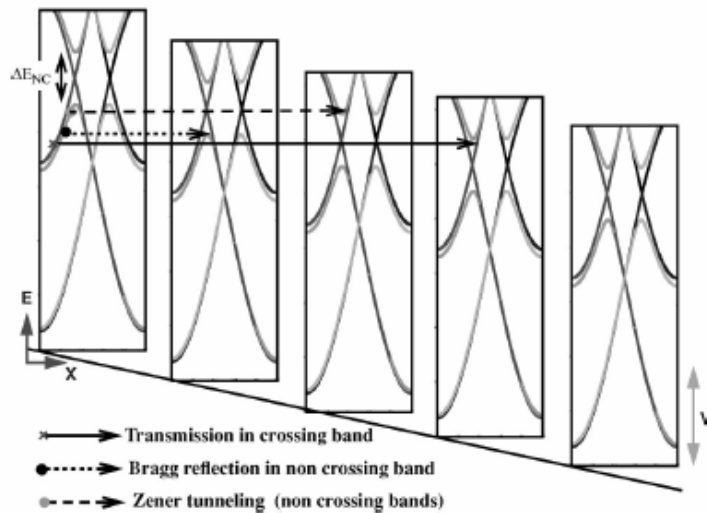


FIG. 1.18: Chaque boîte rectangulaire représente l'énergie en fonction du vecteur d'onde avec le bas de sous-bandes égal au potentiel électrostatique. Dans un but de clarté, seules quelques sous-bandes sont représentées. Les processus montrés sont la transmission directe (ligne continue), la réflexion de Bragg (ligne en pointillés) et le tunnel Zener inter sous-bande (ligne en tirés). [63]

- la transmission directe : l'électron est transmis à travers la sous-bande dans laquelle il a été injecté depuis le contact de gauche.

- la réflexion de Bragg : ces réflexions se manifestent quand le vecteur d'onde ( $\mathbf{k}$ ) de l'électron injecté évolue vers une valeur pour laquelle la vitesse dans la sous-bande est nulle (rappel :  $v(\mathbf{k}) = (1/\hbar) * (\partial \varepsilon / \partial \mathbf{k})$ ).

- le tunnel Zener inter sous-bandes : il s'agit d'un effet tunnel entre sous-bandes qui apparaît pour de forts champs électriques extérieurs. L'espace entre deux sous-bandes qui ne se croisent pas ( $= \Delta E_{NC}$  sur la figure (1.18)) décroît avec l'augmentation du diamètre du nanotube. Donc le tunnel Zener s'intensifie pour de grandes valeurs de diamètre du nanotube. L'importance relative de ces trois phénomènes dépend de l'énergie (et donc la tension appliquée), du profil de potentiel et du diamètre du nanotube. Considérant une évolution linéaire du potentiel le long du nanotube, l'application d'une tension faible ( $< \Delta E_{NC}/e$ ) conduit à l'injection d'électrons dans les deux sous-bandes qui se croisent et pour lesquelles la probabilité de transmission est très élevée ( $\approx 1$ ). Des électrons sont également injectés dans les bandes qui ne se croisent pas. Ils peuvent en principe contribuer au courant si les états finaux dans lesquels ils doivent être transmis sont disponibles. En l'absence de diffusion inter-sous-bande, ils subissent néanmoins majoritairement des réflexions de Bragg et les caractéristiques de courant sont principalement déterminées par la transmission directe. La conductance totale  $G$  est dans ce cas seulement quantifiée par deux canaux conducteurs :  $G = 4e^2/h$ . Lorsque la tension appliquée est supérieure à  $\Delta E_{NC}/e$ , les électrons de la première sous-bande au-dessous du centre de bande du contact gauche peuvent "tunneler" vers des états de la première sous-bande au-dessus du centre de bande du contact droit par tunnel Zener. La conductance totale dépasse alors  $4e^2/h$ .

### 1.4.2 Les transistors à nanotubes de carbone

Comme nous l'avons expliqué, les applications pour l'électronique moléculaire concernent principalement les SWNT. La structure retenue pour réaliser des transistors à nanotubes de carbone (CNTFET pour "Carbon NanoTube Field-Effect-Transistor") est actuellement la suivante : métal/nanotube semiconducteur/métal. En effet, le comportement des jonctions p-n des nanotubes diffère fortement de celui des jonctions dans les semi-conducteurs classiques. Le dopage des nanotubes est néanmoins connu et se réalise deux façons :

- Dopage par des impuretés substitutionnelles (typiquement B et N [65])
- Dopage par insertion d'atomes alcalins ou halogènes à l'intérieur du tube [66].

Deux longueurs caractérisent une jonction p-n dans un nanotube. La largeur de la région déplétée et la diminution logarithmique de la queue coulombienne due à l'écrantage des charges (qui peut s'étendre sur plusieurs microns). Un dopage non-intentionnel peut donc avoir beaucoup d'influence sur les caractéristiques électriques du nanotube et une précision atomique est nécessaire pour espérer réaliser des contacts de bonne qualité : un grand défi qui pour l'instant reste difficile à relever.

Les CNTFETs se schématisent donc par deux barrières Schottky connectées par un nanotube. APPENZELLER *et al.* ont vérifié expérimentalement que les propriétés du nanotube ne limitent pas les caractéristiques du transistor [67]. En revanche, les barrières Schottky des interfaces nanotube/métal, et leur réponse aux champs appliqués déterminent leurs performances électriques. Un CNTFET fonctionne donc en modulant le courant tunnel de la barrière Schottky de la source. Pour une valeur donnée de la tension de drain  $V_{DS}$ , l'augmentation du champ de grille conduit à une augmentation exponentielle du courant dans le nanotube. C'est la conséquence de la croissance exponentielle de la transmission à travers une barrière Schottky lorsque son épaisseur diminue. En se rapprochant de la tension de seuil, les charges s'accumulent dans le tube et l'évolution des bandes d'énergie avec la tension de grille ralentit. L'épaisseur de la barrière Schottky du contact de source ne varie plus de façon aussi significative que dans le régime sous le seuil, et l'augmentation du courant tunnel s'atténue (Figure (1.19)). Ainsi, bien que les caractéristiques des MOSFETs conventionnels et celles des CNTFETs soient assez proches, la physique est bien différente. Ces composants ne sont pas simplement une version miniature des transistors traditionnels. En effet la longueur du canal  $a$ , en première approximation, peu d'influence sur les propriétés électriques du composant (pente sous le seuil par exemple) et l'allure des courbes de courant d'un CNTFET reflète principalement la réponse des barrières Schottky de la source et du drain au champ de grille. Dans ce contexte, l'épaisseur de l'oxyde de grille joue un rôle essentiel, puisqu'elle contrôle la longueur de la barrière Schottky [68, 69]. Les premiers CNTFETs ont été fabriqués en déposant un nanotube entre deux contacts et présentaient une grille arrière dont l'épaisseur d'oxyde atteignait plusieurs dizaines de nanomètres [70–73] (figure (1.20)). Le faible couplage grille/nanotube nécessitait une forte tension de grille ( $>5V$ ) pour rendre le transistor passant. L'autre inconvénient de la géométrie "ouverte" du CNTFET est

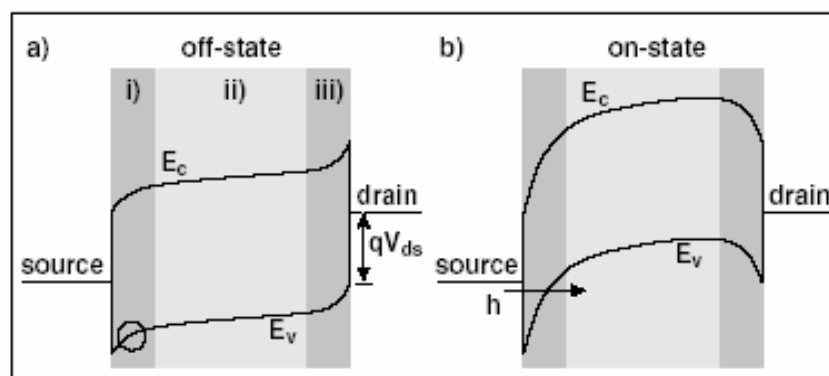


FIG. 1.19: Réponse qualitative de la bande de conduction et de valence à la tension de grille pour une tension source-drain négative. (a) Description du transistor dans l'état "off". (b) Evolution pour une tension de grille supérieure à la tension de seuil [67].

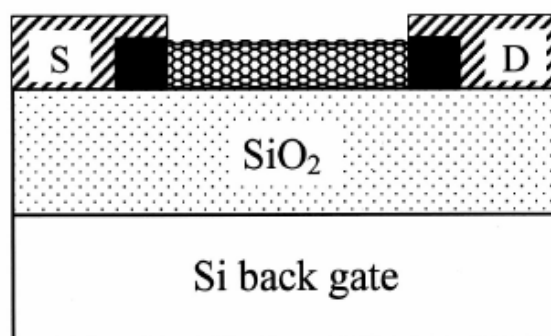


FIG. 1.20: Représentation schématique d'un transistor à nanotube de carbone avec grille arrière [72].

que le contact avec l'air conduit à des caractéristiques de type-p (due à l'adsorption d'oxygène par le réseau graphitique). Plus récemment, WIND *et al.* [74] ont présenté une géométrie à grille avant ("top-gate") similaire à celle des MOSFETs conventionnels, avec une grille au-dessus du canal et séparée de ce dernier par une fine couche d'oxyde de silicium (15-20 nm). Le nanotube est totalement incorporé dans l'isolant de grille (figure(1.21)), ce qui offre une meilleure capacité de couplage. Une faible variation de la tension de grille suffit désormais pour passer d'un régime à l'autre : pertinent pour les opérations à hautes fréquences. Des courants  $I_{ON}$  supérieurs à 2000  $\mu A/\mu m$  ont été atteints, ce qui est très supérieur aux meilleurs dispositifs CMOS innovants déca-nanométriques.

Bien que les performances électriques de ce transistor soient très prometteuses, la suppression totale des barrières Schottky permettrait d'injecter plus d'électrons et conduirait à des résultats spectaculaires. La lutte contre les barrières d'énergie dans les composants de la microélectronique est chargée d'histoire. Déjà dans les vénérables tubes à vide (figure (1.22)) les électrons devaient franchir une barrière d'énergie pour passer du fil métallique au vide.

Dans les composants à semiconducteurs classiques comme les MOSFETs, ce problème a été contourné en remplaçant le fil métallique par une région de silicium dopé par des impuretés

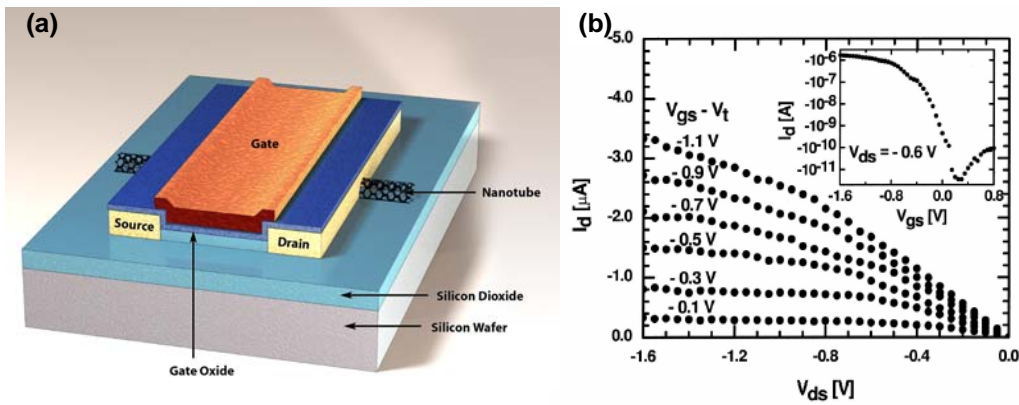


FIG. 1.21: (a) CNTFET à grille avant ("top gate"). (b) Caractéristiques de courant d'un CNTFET de type-p avec une grille en titane et une épaisseur d'oxyde de 15 nm. La tension de seuil vaut -0.5 V. Figure insérée : Caractéristique de transfert d'un CNTFET pour  $V_{DS} = -0.6$  V. [74, 75]

appropriées. Dans le cas des nanotubes nous avons expliqué que la réalisation de contacts efficaces nécessitait un dopage extrêmement précis non-envisageable dans l'état de l'art de la technologie actuelle. L'autre alternative est d'utiliser une combinaison judicieuse entre fil métallique et nanotube semiconducteur. Récemment JAVEY *et al* [77] ont fabriqué un CNTFET à contact ohmique, qui présentait des transmissions balistiques à travers le canal. Bien que les raisons pour lesquelles l'architecture choisie (réservoirs palladium en contact avec un nanotube de 3 nm de diamètre) élimine la barrière Schottky restent encore méconnues, ils ont pu étudier les propriétés de transport de ce composant [78]. Le transport d'un nanotube ne serait pas balistique, mais quasi-balistique. La diffusion par émission de phonons optiques (dont le libre parcours moyen serait de 15 nm et l'énergie égale à 0.2 eV) engendrerait des réflexions pour de fortes tensions de drain ( $V_{DS} > 0.5$  V). Ainsi les nanotubes de longueur supérieure à 10-15 nm sont respectivement balistiques et quasi-balistiques à faible et forte polarisation de drain.

La compréhension et la réalisation de CNTFETs performants semblent presque acquises. Les transistors sont désormais ambipolaires, c'est-à-dire qu'ils présentent un comportement symétrique pour les trous et les électrons [79]. Le prochain défi est désormais de développer l'électronique moléculaire au delà du composant isolé et de l'intégrer sur une puce électronique. MENON *et al.* [80] ont étudié théoriquement les jonctions de nanotubes de carbone en T et Y (figure (1.23)). Ces composants à trois terminaux peuvent tout d'abord servir de connections entre composants, mais proposent aussi des fonctions complémentaires des composants à deux terminaux comme le contrôle d'opérations transitoires (modulateur de courant) qui seront nécessaires à la réalisation de circuits électroniques moléculaires avancés. La fabrication de tels composants n'est pas une gageure puisque des connections moléculaires en forme de X ont été réalisées en irradiant des nanotubes croisés avec un canon à électrons [81]. En poursuivant l'irradiation, il est envisageable de supprimer un bras du X afin d'obtenir une jonction en T ou Y.

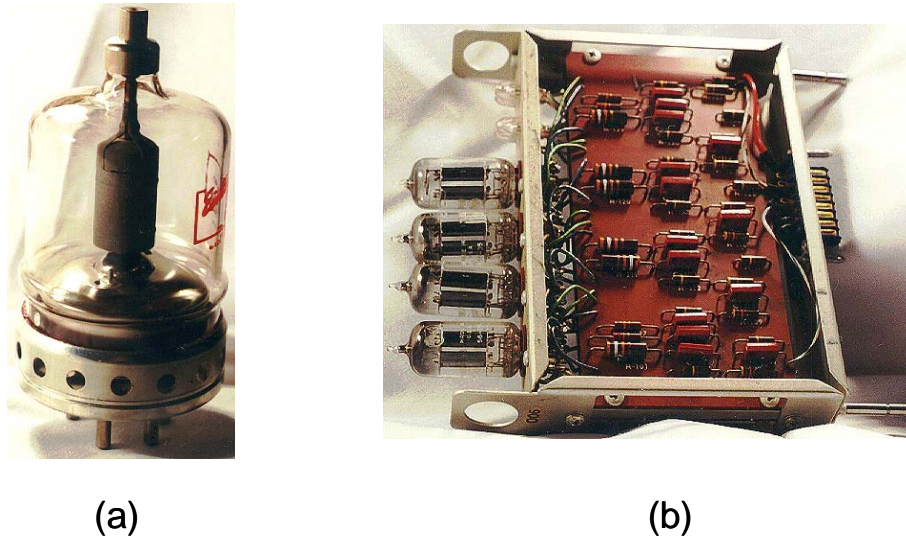


FIG. 1.22: a) Triode de puissance. Comparable aux transistors de puissance actuels, elle fut utilisée sur les premiers ordinateurs. b) Compteur à base de tubes à vide. Quatre tubes à vide sont nécessaires pour compter et stocker les 4 bits définissant un nombre décimal. Chaque tube à vide à deux triodes qui prennent des états 1 et 0 [76].

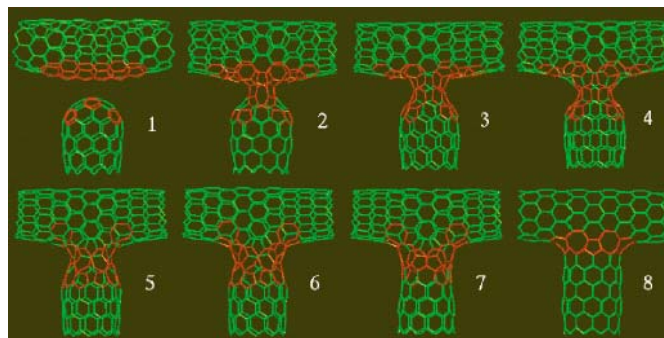


FIG. 1.23: Résultats de simulation montrant les différentes étapes de formation d'une jonction en  $T(9,0)-(10,0)-(9,0)$  [80].

D'autres équipes ont déjà fabriqué des circuits électriques en incorporant des CNTFETs. LIU *et al.* [72] ont réalisé un circuit inverseur à partir de nanotubes dopés chimiquement alors que BATCHOLD *et al.* ont développé plusieurs portes logiques [82]. Enfin, des chercheurs des universités de Berkeley et Stanford ont dernièrement créé le premier circuit intégré de silicium qui intègre des nanotubes de carbone [83]. Le circuit, qui comprend plus de 2000 nanotubes, confirme la compatibilité du processus de synthèse des nanotubes de carbone avec la technologie du silicium, laissant ainsi la porte ouverte à de futures applications industrielles. L'entreprise de semiconducteurs Infineon a d'ailleurs présenté en mai 2004 ses premiers transistors en nanotubes de carbone dont la production en série est prévue pour 2007.

## 1.5 Conclusion : quel avenir pour le transistor ?

La longueur de grille des transistors,  $L_G$ , est passée progressivement de 10  $\mu\text{m}$  en 1960 à 0.1  $\mu\text{m}$  en 2000, permettant d'intégrer  $(100)^2 = 10\,000$  fois plus de transistors sur une puce de surface donnée. Cette croissance de la densité d'intégration est le coeur de l'évolution informatique. Combien de temps cette diminution pourra continuer ? Dans 20 ans construirons-nous des transistors de longueur  $L_G \simeq 0.01 \mu\text{m}$  ? Peut être, mais chacun s'accorde à dire que le chemin de la miniaturisation sera bien plus difficile, maintenant que nous atteignons l'échelle atomique. Pouvons-nous cependant imaginer la future brique élémentaire de l'électronique ? Rappelons tout d'abord que beaucoup de prévisions passées semblent aujourd'hui très cocasses. Par exemple en 1961, les scientifiques affirmaient qu'aucun transistor ne pouvait atteindre une longueur de grille de  $10^{-5}$  m, alors qu'une puce d'Intel possède actuellement des centaines de millions de dispositifs 100 fois plus petits... Néanmoins les prévisions modernes sur la limite des dimensions devraient être plus fiables, puisque basées sur des principes de physique fondamentale. D'après les grandes industries des semiconducteurs (IBM, Infineon) la technologie MOSFET est condamnée à s'éteindre à plus ou moins longue échéance. Son successeur direct semble être le transistor à nanotube de carbone. Avant d'obtenir une rupture totale de technologie une première étape pourrait être la réalisation de systèmes hétérogènes combinant la technologie CMOS à de nouveaux composants moléculaires [84].

A plus long terme, des transistors ne transmettant qu'un électron à la fois sont envisagés. Un tel dispositif, appelé SET (pour "Single Electron Transistor"), ne pourrait prendre que deux états "on" ou "off" suivant qu'il contienne un électron ou pas et serait uniquement utilisé dans des codes binaires (et non pour amplifier). En nous projetant encore dans le temps, on peut imaginer des dispositifs qui tireraient profit des effets quantiques. Un électron pourrait être codé par trois niveaux : à la place du simple "on" ou "off", il pourrait y avoir aussi "quelque part entre on et off" [85]. Ce type de composant ouvrirait la voie à de nouveaux algorithmes dits "quantiques". Les ordinateurs quantiques qui en dériveraient auraient une puissance de calcul quasi-infinie !!! Mais ne nous emportons pas, la conjugaison des connaissances en physique, matériaux, composants et circuits, devrait assurer le développement de transistors MOSFETs jusqu'en 2015 [86]. Ainsi le chemin vers l'échelle atomique sera sinueux, incertain et dépendra de multiples paramètres : technologique, économique, juridique... Durant les 30 dernières années nous avons su quoi faire : réduire la taille des transistors. Les avancées industrielles nous permettent toujours de maintenir l'allure, mais la limite d'intégration est proche. Quand la limite sera atteinte les choses devront changer. Pourrons-nous un jour produire des composants fiables de quelques plans atomiques ? Ou découvrirons-nous des architectures pour lesquelles la structure de base ne sera plus le transistor ? Peut être, seul le temps nous le dira.

Mais il y a une chose qui apparaît inévitable : nous allons devoir apprendre à modéliser et à décrire les composants de taille atomique.