

# Etat de l'art des architectures récentes récepteurs SDR et de ses principaux composants

## Introduction

Devant les contraintes de plus en plus sévères des nouveaux services et standards, les terminaux radio mobile doivent afficher des performances élevées. En effet, pour conquérir le marché, un terminal doit être flexible afin de s'adapter à plusieurs standards (27), intégrable afin d'avoir un moindre coût (28; 29) et une faible consommation (30; 31) dans un contexte mobile. Les récepteurs radio ont progressé grâce à l'évolution technologique rendant possible à chaque fois l'exploration d'une nouvelle architecture de récepteur plus adéquate aux conditions requises par la radio logicielle restreinte (SDR, Software Defined Radio) (10; 32; 12; 11) Cette évolution considère trois volets : technologique, conception au niveau circuit et architecture système. Ainsi, plusieurs approches ont été utilisées pour le traitement en temps continu ou en temps discret du signal radio avant sa numérisation.

C'est dans ce contexte de réception radio multistandard que se situe notre problématique qui consiste à explorer l'apport de l'échantillonnage aléatoire (RS, Random Sampling) pour l'amélioration des performances du récepteur SDR. La théorie de l'échantillonnage aléatoire consiste à proposer des techniques de traitement du signal basées sur des instants espacés irrégulièrement dans le temps. En présence du caractère non uniforme, les théories d'échantillonnage introduites par Shannon (33) ne sont plus applicables.

Ce chapitre introduit la problématique de nos travaux de recherche. Il présente, en première section, les architectures récentes pour la SDR incluant les architectures à mélangeurs et les architectures à échantillonnage. Cette partie inclut aussi un état de l'art des circuits de l'étage RF (RF, Radio Fréquence) du récepteur ainsi que les contraintes de la réception multistandard.

La deuxième section s'intéresse à la discussion sur le rôle et les limitations des composants de l'étage en bande de base à travers une revue de l'état de l'art. A travers cette étude, nous concluons que l'échantillonnage présente une étape très importante pour le reste du traitement du canal radio. Il influe directement sur les contraintes appliquées aux composants du récepteur.

La dernière section de ce chapitre est consacrée à la présentation du RS. Cette partie inclut la présentation de la théorie RS et les conditions de la suppression du repliement

spectral. Dans ce chapitre nous présentons quelques domaines d'application du RS. La génération de l'horloge RS pour chaque domaine d'utilisation est discutée.

## I.1 État de l'art des architectures récentes de récepteurs SDR

Dans le cadre de nos travaux, l'étude des architectures récentes de récepteurs radio est basé sur deux facteurs : la reconfigurabilité et l'intégrabilité. Le fondement de ces architectures a pour but de minimiser le nombre de composants discrets et de concevoir, ainsi, la totalité du récepteur en un circuit intégré implémenté en une technologie à faible coût. Nous pouvons définir deux classes d'architectures de récepteurs SDR à savoir les architectures à transposition de fréquences par des mélangeurs et les architectures à sous-échantillonnage.

### I.1.1 Architecture hybride homodyne/low-IF

Dans la littérature, la grande majorité des architectures récentes de récepteurs SDR proposent l'architecture à conversion directe de fréquence, homodyne, ou l'architecture à transposition vers une faible fréquence intermédiaire, low-IF (low Intermediate Frequency) (32; 34; 35; 36; 37). Ces deux architectures assurent un haut degré d'intégrabilité et une moindre consommation de puissance. Toutefois, ces deux architectures présentent des faiblesses face au traitement des signaux appartenant à des standards à largeur de bande et dynamique hétérogènes.

Du fait d'opérer à une fréquence RF, l'architecture homodyne, aussi appelée architecture zéro-IF (zero Intermediate Frequency), présente une forte disparité entre les voies I et Q du récepteur dégradant ainsi l'EVM (EVM, Error Vector Magnitude). Aussi, une tension continue variable (DC-offset), causée par des fuites provenant de l'oscillateur local et de l'amplificateur à faible bruit (LNA, Low Noise Amplifier) suivi d'un auto-mélange, peut dégrader le rapport signal à bruit (SNR, Signal to Noise Ratio) d'un signal à bande étroite. Également, en implémentant une telle architecture en technologie CMOS, le *flicker noise* ou bruit en  $1/f$  illustré par la Figure I-1 peut chevaucher voire submerger le signal utile s'il est à bande étroite (12; 38).

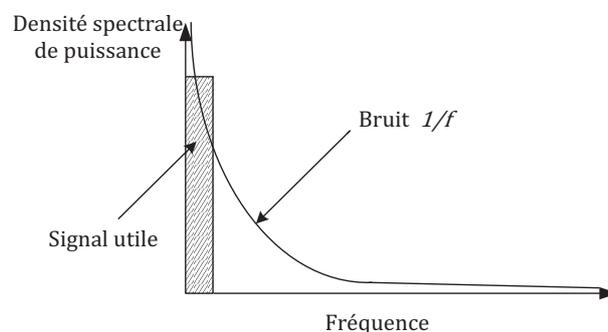


Figure I-1. Effet du bruit  $1/f$  sur le signal utile.

Le DC-offset et le *flicker noise* ne présente une menace que pour les signaux à bande étroite. Ainsi, il est judicieux d'éviter l'architecture zéro-IF pour des standards à bande étroite, tel que le GSM.

D'autre part, dans les architectures low-IF, du fait que la fréquence du signal est transposée vers une fréquence non nulle  $f_{IF}$ , le DC-offset et le *flicker noise* n'ont aucun effet sur le SNR. Toutefois, le problème de fréquence image se présente.

Ainsi, un compromis entre les deux architectures est nécessaire afin de tirer profit de l'architecture zéro-IF sans tomber dans ses inconvénients. Dans (39), Brandolini propose une architecture hybride homodyne/low-IF. Cette architecture, illustrée par la Figure I-2, considère les standards GSM, UMTS, Bluetooth et IEEE 802.11a/b/g. Les signaux à large bande sont transposés directement vers la bande de base. Une transposition de la fréquence vers une faible fréquence intermédiaire  $f_{IF}$  est assurée pour le GSM. Le Bluetooth est le seul standard de communication pouvant être fonctionnel avec un autre standard. Sa chaîne de réception est donc indépendante. La Figure I-2 se restreint à présenter la chaîne de réception multistandard.

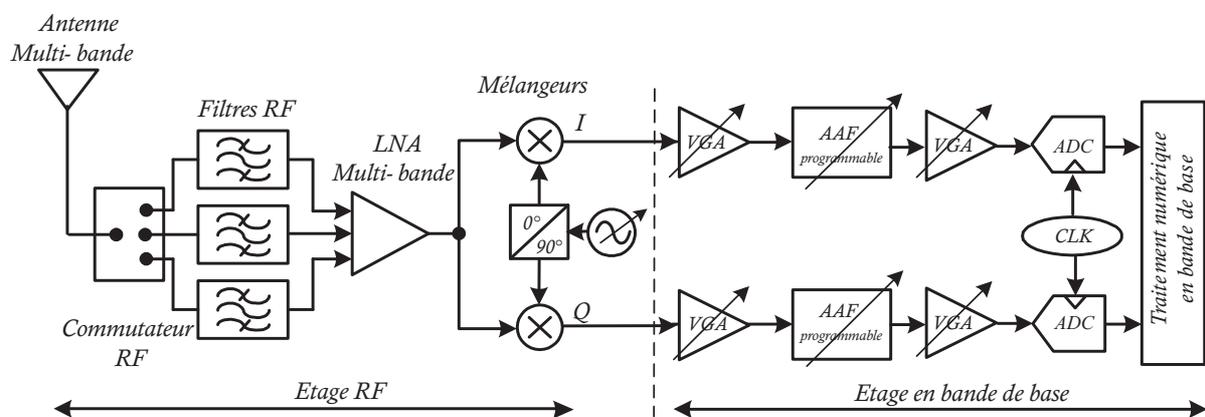


Figure I-2. Architecture multistandard homodyne/low-IF proposée par Brandolini.

Le signal est conduit au récepteur via une antenne multi-bande (40; 41). Un filtre RF passe-bande doit être utilisé à ce niveau afin de sélectionner la bande utile du standard et atténuer les bloqueurs tout autour. Le niveau élevé des bloqueurs hors bande des standards, surtout dans le cas du GSM, et leurs emplacements autour d'une fréquence RF imposent l'utilisation d'un filtre très sélectif. Les filtres ayant les caractéristiques requises pour le filtrage du signal RF sont les filtres à onde acoustique de surface (SAW, Surface Acoustic Wave) ou les filtres à onde acoustique de volume (BAW, Bulk Acoustic Wave). Ces filtres ne sont pas intégrables mais peuvent être dans certains cas programmables (42). Le standard UMTS nécessite aussi la présence d'un duplexeur. Les standards IEEE 802.11a/b et g utilisent un filtre RF avec une bande passante différente de celle du GSM. Afin de s'adapter aux différents standards, l'architecture proposée comporte un banc de filtres RF sélectionnés selon le signal reçu par l'antenne via un commutateur RF en technologie GaAs (43; 44). Il est à noter que des méthodes pour supprimer les filtres SAW non intégrables peuvent être envisagées. Dans (45), plusieurs méthodologies de suppression du filtre RF sont présentées. Une des méthodologies consiste à utiliser une boucle de rétroaction à la sortie du LNA qui a pour but de réduire la puissance des bloqueurs. Une autre méthodologie considère  $M$  filtres passe-bas à capacités commutées montés en parallèle au lieu du filtre RF. Cette implémentation

permet de translater la bande passante des filtres en parallèle et de la ramener autour d'une fréquence  $M$  fois plus grande.

Le signal reçu par l'antenne multi-bande de l'architecture de la Figure I-2 est amplifié par un amplificateur faible bruit multi-bande puis transposé vers la bande de base ou vers une fréquence intermédiaire  $f_{IF} = 100 \text{ kHz}$  pour le GSM. Par ce choix de fréquence intermédiaire, le signal image correspond exactement au canal adjacent qui est à 9 dB de puissance en plus du signal utile. Le problème de l'image peut donc être résolu facilement par une des méthodes de réjection d'image (46).

Traitant cinq standards différents, l'étage RF de l'architecture proposée doit tenir compte des différentes spécifications des standards parmi lesquels nous résumons celles de trois standards à savoir le GSM, l'UMTS et l'IEEE 802.11.a dans le Tableau I-1. Ces standards ont été choisis à cause de leur hétérogénéité. Le GSM présente des canaux à bande étroite contrairement à l'UMTS et l'IEEE 802.11.a. De plus, la bande utile de chaque standard se situe à des fréquences très éloignées. Les standards GSM et UMTS spécifient bien des tests d'intermodulation afin de mesurer le point d'interception du troisième ordre en entrée (IIP3, third-order Input Intercept Point). Toutefois, le standard IEEE 802.11a n'a pas précisé de test d'intermodulation. La mesure de la linéarité requise du récepteur peut donc être mesurée par le point de compression à 1-dB (1-dB CP, 1 dB Compression Point). Dans le Tableau I-1, le label bruit désigne le facteur de bruit (NF, Noise Figure) pour le LNA et la densité spectrale de tension du bruit (VNSD, Voltage-Noise Spectral Density) du mélangeur.

**Tableau I-1. Spécifications de l'étage RF des standards GSM, UMTS et IEEE 802.11.a.**

	LNA			Mélangeur		
	GSM	UMTS	IEEE 802.11.a	GSM	UMTS	IEEE 802.11.a
Gain (dB)	23	18	18	12	15	12
Bruit	3 dB	3 dB	3 dB	$9 \text{ nV}/\sqrt{\text{Hz}}$	$4.5 \text{ nV}/\sqrt{\text{Hz}}$	$4 \text{ nV}/\sqrt{\text{Hz}}$
IIP3 (dBm)	-5	0	-	7	12	-
1-dB C.P. (dBm)	-	-	-15	-	-	-5
IIP2 (dBm)	--	--	--	75	60	60

L'étage en bande de base de l'architecture proposée est commun pour tous les standards. Il comporte un premier amplificateur à gain variable (VGA, Variable Gain Amplifier) suivi d'un filtre d'anti-repliement spectral (AAF, Anti Aliasing Filter), d'un second VGA et d'un convertisseur analogique/numérique (ADC, Analog-to-Digital Converter). L'étage en bande de base est contrôlé en configurant numériquement les batteries de résistances et de capacités de chaque composant selon le standard du signal reçu. Les deux VGAs assurent à la fois un rôle de filtrage et d'amplification variables du signal. Ainsi, avec la considération d'un filtre AAF de type Butterworth programmable d'ordre 4, l'ensemble de l'étage en bande de base aura un pouvoir de réduction équivalent à un filtre d'ordre 7. L'ADC proposé est à large bande (39).

La proposition en (39) se limite à une simple étude système. Bien que des suggestions de composants soient présentées, la majorité de ces éléments ne satisfont pas les contraintes du récepteur. En effet, le LNA multi-bande à employer avec une telle architecture doit fournir un gain variable entre 18 et 23 dB, pouvant fonctionner à une fréquence allant de 0.9 jusqu'à 5.35 GHz avec un IIP3 nul à 2.14 GHz et un facteur du bruit ne dépassant pas 3 dB. En littérature, les LNAs proposés sont généralement fonctionnels soit en hautes fréquences (47; 48; 49; 50), soit en basses fréquences (51; 52) mais rarement les deux (53; 54; 55). Les LNAs avec un large champ spectral présentent un mauvais compromis entre gain et linéarité et ne satisfont pas dans la plupart des cas les spécifications requises des standards. Le Tableau I-2 présente un état de l'art des LNAs multi-bande.

**Tableau I-2. État de l'art des LNAs multi-bande.**

	Fréquence (GHz)	Gain (dB)	IIP3 (dBm)	NF (dB)	P (mW)	Technologie
(47) – 2002	2.45/5.25	14/15	0	2.3/4.5	10	0.35 $\mu$ m CMOS
(54) – 2002	[0.8, 1]/[1.8, 2]	19-20	-4.5	3.1/3.9	65	25 GHz silicon bipolar
(53) – 2007	0.9/1.8/5.2	14/13	-14	2.3/2.9	7.5	0.18 $\mu$ m CMOS
(55) – 2008	[0.5, 7]	22	-5	2.3/2.9	12	90 nm CMOS
(51) – 2010	0.8/1.8	21/24	Na	3.3/2	40	SiGe HBT
(52) – 2010	0.9/2.4	18/21	-6.2	1.95/1.66	12	0.13 $\mu$ m CMOS
(48) – 2010	1.9/5.2	13/17	-17.5	1.5/3.1	3/5.3	0.18 $\mu$ m CMOS
(49) – 2011	20	25	-17	4.8	12.2	0.13 $\mu$ m CMOS
(50) – 2011	2.6/5.2	15/9.5	0.071	0.65/0.78	3.6	0.18 $\mu$ m CMOS

Dans (54), l'amplificateur opère à des fréquences appartenant à [0.8 GHz, 1 GHz] et [1.8 GHz, 2 GHz]. Il présente une bonne linéarité pour le GSM mais n'atteint pas le gain requis. Pour le domaine fréquentiel proche de celui de l'UMTS, le IIP3 est égal à -7.5 dBm et la linéarité n'est donc pas satisfaite pour ce standard. Le LNA présenté en (53) est celui le plus adapté à l'architecture présentée de point de vue fréquence de fonctionnement. Cependant ni le gain qui est de l'ordre de 14 dB ni la linéarité (IIP3=-14 dBm) sont satisfaisants pour le GSM, l'UMTS et l'IEEE802.11a. Par contre, la linéarité est bien vérifiée pour les standards UMTS et IEEE 802.11.A par le LNA fonctionnant seulement à hautes fréquences proposé en (47). Il est donc préférable de considérer deux LNAs opérant chacun sur une bande fréquentielle différente tels que les circuits proposés dans (48) et (55).

Les spécifications de l'étage RF en termes d'intermodulation du second ordre, porte essentiellement sur le mélangeur. L'expression du point d'interception du second ordre en entrée (IIP2, second-order Input Intercept Point) de l'étage RF est donnée par l'Eq. I-1 (56).

$$\frac{1}{IIP2_{\text{Etage RF}}} = \frac{1}{IIP2_{LNA}} + \frac{VG_{LNA}^2}{IIP2_{\text{Mélangeur}}} \quad \text{Eq. I-1}$$

Avec  $VG_{LNA}$  le gain en tension du LNA. Ainsi, la linéarité du mélangeur est souvent exprimée en IIP2. Dans le cas étudié, l'IIP2 du mélangeur multi-bande est fixé par le GSM à 75 dBm. Le VNSD introduit par ce mélangeur ne doit pas dépasser  $4 \text{ nV}/\sqrt{\text{Hz}}$  pour le IEEE 802.11.a. Les mélangeurs se présentent sous deux formes, passif ou actif. Les mélangeurs passifs présentent un faible *flicker noise* et une meilleure linéarité (57). Cependant, les mélangeurs actifs ont la possibilité de fournir un meilleur gain répondant aux exigences des standards. C'est donc les mélangeurs actifs qui sont les plus utilisés. Un état de l'art de ce type de mélangeurs dont la bande de fréquence est proche de celle considérée par l'architecture de la Figure I-2 est présenté par le Tableau I-3.

**Tableau I-3. État de l'art des mélangeurs à large bande.**

	Fréquence (GHz)	Gain (dB)	IIP3 (dBm)	NF (dB)	P (mW)	Technologie
(58) - 2004	[0.3, 25]	11	5	Na	71	GaAs HBT
(59) - 2007	[0.5, 7.5]	5.7	-16	15	0.48	0.18 $\mu\text{m}$ CMOS
(60) - 2007	[0.2, 16]	5.3	Na	Na	15	0.18 $\mu\text{m}$ CMOS
(61) - 2008	[0.9, 6]	14	IIP2 @ 0.9 GHz 71	Na	9	65 nm CMOS
(62) - 2008	[1, 10]	9.4	-3.2	18.2	1.4	45 nm CMOS
(63) - 2010	[1, 10.5]	14.5	-3.8	6.5	14.4	65 nm CMOS

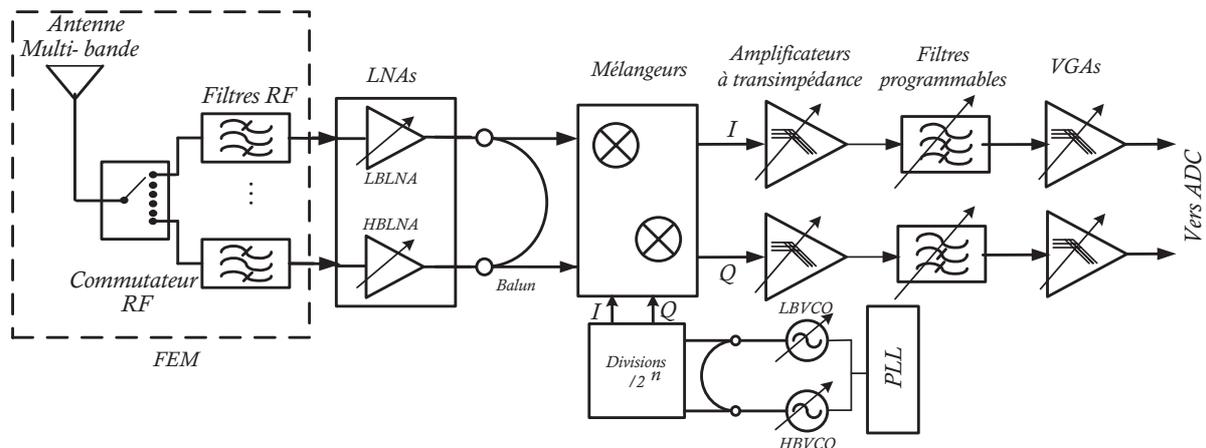
Un exemple de mélangeur multistandard répondant aux spécifications considérées est proposé dans (61). Les cinq standards sont pris en compte avec un IIP2 de l'ordre de 71 dBm pour le GSM et un VNSD de l'ordre de  $4 \text{ nV}/\sqrt{\text{Hz}}$  pour le IEEE 802.11a. Toutefois, implémenté en technologie CMOS 65 nm, ce mélangeur occupe une très grande surface de  $2.5 \text{ mm}^2$ .

D'après l'état de l'art de l'étage RF, l'utilisation d'un seul LNA multi-bande et d'un seul mélangeur à large bande s'avère très contraignant avec les circuits proposées sur le marché. Par conséquent, afin de pouvoir réaliser un récepteur radio SDR multistandard, une solution est d'utiliser deux circuits pour chaque étape de traitement de signal agissant d'une manière distincte sur les signaux en basses et hautes fréquences.

### I.1.2 Exemple de réalisation d'un récepteur multistandard homodyne/low-IF

Une architecture similaire à celle proposée en (39) et implémentée en technologie CMOS 45 nm est présentée en (13). Pareillement à (39), il s'agit d'une architecture zéro/low IF. Le circuit intégré (IC, Integrated Circuit) proposé comporte, comme présenté dans la Figure I-3, un LNA, un mélangeur passif, un oscillateur local, et les étages de filtrage et d'amplification en bande de base. Les standards considérés sont GSM, DVB-H, LTE, IEEE 802.11.A 11g, WiMAX et le IEEE 802.11.A 11n. Ce récepteur a une architecture zéro-IF

pour tous les standards excepté le GSM où le signal est transposé à une fréquence intermédiaire  $f_{IF} = 100 \text{ kHz}$ .



**Figure I-3. Architecture multistandard zéro/low-IF proposée par Giannini.**

Le circuit intégré traite le signal RF après le module Front-end (FEM, Front-End Module) composé par l'antenne de réception et les filtres RF. Afin de balayer toutes les fréquences des six standards et assurer le gain nécessaire pour chacun, deux LNAs sont mis en oeuvre. Le premier amplifie les signaux à faibles fréquences (LBNLA, Low Band LNA) allant de 0.1 à 1.5 GHz, le second les signaux à hautes fréquences (HBLNA, High Band LNA), de 1.5 à 5 GHz. Ainsi, les spécifications de linéarité sont plus faciles à satisfaire. Chaque LNA est formé de deux étages d'amplification. Selon la puissance du signal en entrée, un étage ou même les deux peuvent être contournés. Un mélangeur passif est utilisé afin d'assurer la transposition vers la bande de base ou vers  $f_{IF} = 100 \text{ kHz}$  dans le cas du GSM. Il est basé sur l'utilisation d'inverseurs à transconductance (64). L'IC intègre l'oscillateur local (LO, Local Oscillator). Afin de générer les fréquences de 0.6 à 5 GHz, deux oscillateurs à tension contrôlée (VCO, Voltage Controlled Oscillator) sont envisagés. Le VCO consacré aux faibles fréquences (LBVCO, Low Band VCO) génère les fréquences entre 4 et 7.2 GHz. Le VCO consacré aux hautes fréquences (HBVCO, High Band VCO) génère les fréquences entre 7 et 10 GHz. Ces fréquences subissent une succession de division afin de fournir la fréquence adéquate pour la transposition vers la bande de base du signal reçu.

Une succession d'étapes de filtrage et d'amplification se font au niveau de l'étage en bande de base. Un amplificateur à transimpédance (TIA, TransImpedance Amplifier) avec un pouvoir de filtrage de second ordre est utilisé. Ce circuit peut être programmé en changeant les valeurs de ses résistances et capacités afin de couvrir la bande fréquentielle 0.5-20 MHz. Deux filtres sont utilisés en cascade à savoir le filtre passif passe-bas du 3<sup>ème</sup> ordre et le filtre Gm-C biquadratique. Le TIA et les filtres permettent d'avoir un filtrage du 5<sup>ème</sup> ordre pouvant être réduit à un filtrage du 3<sup>ème</sup> ordre si le filtre Gm-C n'est pas utilisé. Le rôle du VGA est de maximiser la plage dynamique en fournissant un gain pouvant atteindre 24 dB.

Les performances de ce récepteur mesurées pour deux standards de largeurs de bande très différentes sont comparées aux spécifications des standards dans le Tableau I-4. (39; 13; 65) .

**Tableau I-4. Comparaison des mesures de la performance du récepteur avec les spécifications des standards.**

	GSM		IEEE 802.11.A g	
	Mesuré	Requis	Mesuré	Requis
NF (dB)	2.8	< 9	3.8	< 10
IIP3 (dBm)	-5.5	>-18	-4	>-19
IIP2 (dBm)	+32	>+49	36	> -1
SNDR	13.2	> 9	30.84	> 27

Les performances du récepteur considéré correspondent aux spécifications à part le faible IIP2 pour le GSM. Ce récepteur présente l'avantage d'être totalement intégrable. Toutefois, le choix d'une antenne multistandard et d'un ADC multi-bande n'est pas discuté. Aussi, l'aspect consommation de puissance n'est pas évoqué lors de la présentation de ce récepteur.

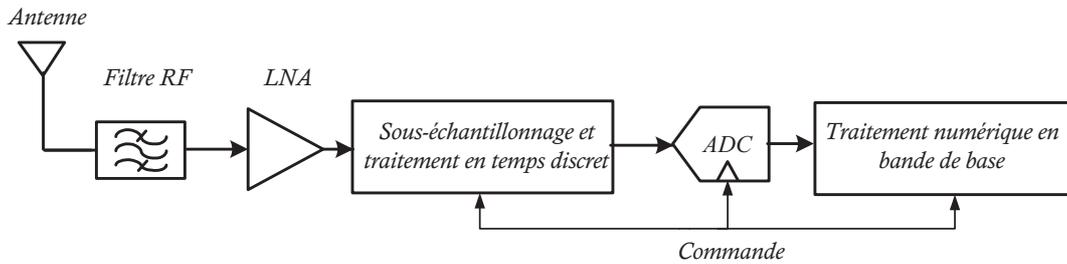
### I.1.3 Architecture à échantillonnage

Les architectures présentées précédemment traitent le signal radio en temps continu jusqu'à l'étape de numérisation par l'ADC. Une autre approche de conception d'architecture de réception SDR consiste à traiter le signal radio en temps discret. Ce concept est basé sur l'utilisation du sous-échantillonnage permettant le repliement du spectre du signal radio. Le mélangeur existant dans les architectures usuelles, est substitué par un échantillonneur/bloqueur (E/B) qui assure à la fois le passage vers le temps discret et la transposition de la fréquence porteuse. En effet, le signal initialement situé à  $f_{in}$  et sous-échantillonné par la fréquence  $f_s$  se transpose vers la fréquence  $f_{IF}$  comme expliqué par l'équation Eq. I-2.

$$f_{IF} = \begin{cases} \text{rem}(f_{in}, f_s) & \text{si } \left\lfloor \frac{2f_{in}}{f_s} \right\rfloor \text{ est pair} \\ f_s - \text{rem}(f_{in}, f_s) & \text{si } \left\lfloor \frac{2f_{in}}{f_s} \right\rfloor \text{ est impair} \end{cases} \quad \text{Eq. I-2}$$

La fonction  $\text{rem}(x, y)$  traduit le reste de la division euclidienne de  $x$  par  $y$  et la fonction  $\lfloor x \rfloor$  retourne le plus grand entier de valeur inférieure à  $x$ .

Le traitement du signal analogique en temps discret ne nécessite que des capacités et des interrupteurs en MOS. Ainsi, les architectures échantillonnées semblent avoir plus d'intégrabilité et de facilité de conception. Pouvant être totalement intégrable en CMOS, cette architecture a la possibilité de migrer facilement de technologie afin de mieux répondre aux exigences de nouveaux standards. La Figure I-4 présente le schéma bloc d'une architecture radio à échantillonnage.



**Figure I-4. Schéma bloc de l'architecture à échantillonnage.**

Compte tenu de son intégration et de son faible coût, l'architecture à échantillonnage semble être la mieux appropriée à la SDR et semble offrir de bonnes perspectives de réduction de la consommation. Cependant, l'application de ce type d'architecture se fait rare. Les premiers circuits d'architecture radio en temps discret ont vu le jour vers le début des années 2000 (32; 66; 67; 68). Les architectures proposées traitent dans la plupart des cas un seul standard (32; 66; 67; 69; 70). Les architectures radio multistandard à échantillonnage sont encore plus limitées en nombre. Seules les architectures multistandards (68; 71) sont implémentées en technologie CMOS. Les standards considérés dans les différentes architectures radio multistandard à échantillonnage sont résumés dans Tableau I-5.

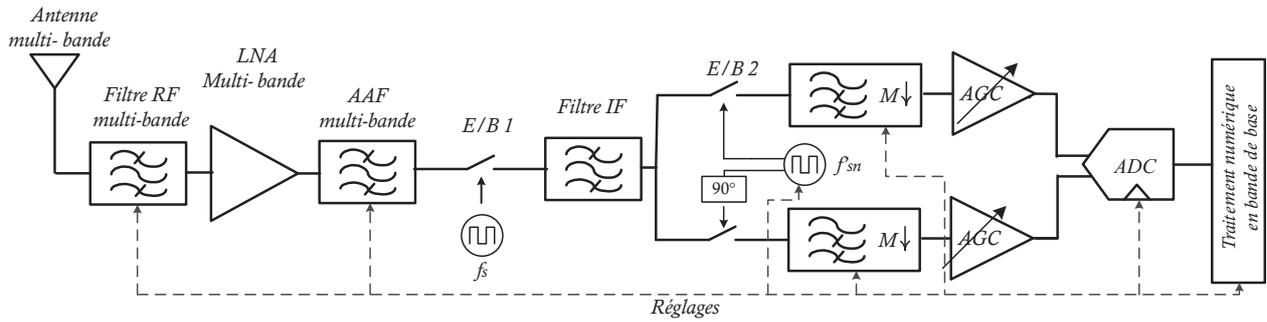
**Tableau I-5. Standards et fréquences considérées dans les architectures multistandard à échantillonnage.**

	Standards		Bandes de fréquences	
(72) - 2008	UMTS	IEEE 802.11 g	[2.11 2.17]	[2.4 2.483]
(73) - 2009	GSM UMTS	IEEE 802.11 g	[0.92 0.96] [2.11 2.17]	[2.4 2.483]
(68) - 2009	GSM	IEEE 802.11 g	[0.925 0.96]	[2.4 2.483]
(71) - 2010	IEEE 802.16e	IEEE 802.11g/n	[2.5 2.7]	[2.4 2.5]
(74) - 2011	BT-LE	IEEE 802.15.4	[2.4 2.483]	[2.4 2.483]

Plusieurs architectures référencées considèrent des standards à bandes fréquentielles très proches. Les deux propositions traitant les signaux à bandes hétérogènes considèrent le cas d'un terminal de téléphonie cellulaires (68; 73).

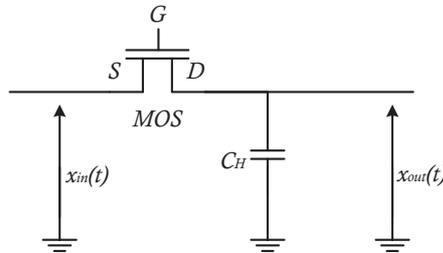
### I.1.3.1 Architecture à échantillonnage de type *voltage sampling*

Une étude système d'une architecture radio logicielle restreinte à échantillonnage a été effectuée. L'architecture proposée référencée dans (73) est présentée par la Figure I-5.



**Figure I-5. Architecture multistandard à échantillonnage proposée en (73).**

Le signal est reçu par une antenne multi-bande puis filtré par un filtre RF Butterworth programmable dont les bandes de sélection et l'ordre varient selon le standard. Les ordres requis sont 5, 3, 3 pour le GSM, UMTS et IEEE 802.11.g respectivement (75). Le signal est ensuite amplifié par un LNA à large bande puis filtré une seconde fois afin d'éviter le repliement spectral des interférents amplifiés sur le signal après échantillonnage. L'échantillonneur-bloqueur permet à la fois la transposition de la fréquence du signal et le passage au temps discret. Le choix du bon circuit E/B est très important pour le récepteur multistandard. Les contraintes considérées sur la fréquence d'échantillonnage du circuit de l'E/B, sur la bande (BW, BandWidth) analogique du signal en entrée et sur la gigue d'horloge sont sévères. Les contraintes portent aussi sur le repliement du bruit thermique sur la bande utile du signal. Un exemple de circuit E/B est donné par Figure I-6. Ce circuit est formé d'un transistor NMOS agissant comme un interrupteur pour assurer la fonction d'échantillonnage et d'une capacité afin d'assurer le blocage de la valeur de l'échantillon.



**Figure I-6. Circuit de l'échantillonneur/bloqueur.**

Le transistor MOS possède une résistance interne  $R_{MOS}$ . Selon les caractéristiques  $C_H$  et  $R_{MOS}$ , le circuit E/B traite la bande de largeur  $[0, \frac{1}{2\pi R_{MOS} C_H}]$ . Le bruit généré par le circuit E/B dépend étroitement de  $C_H$  et de la fréquence d'échantillonnage. La densité spectrale de puissance du bruit calculée sur la bande  $[0, \frac{f_S}{2}]$  s'écrit en fonction de  $C_H$  comme le montre Eq. I-3 .

$$PSD \left( \frac{V^2}{Hz} \right) = \frac{2KT}{C_H f_S} \quad \text{Eq. I-3}$$

Avec  $K$  la constante de Boltzmann et  $T$  la température en Kelvin. Dans le cas étudié, le circuit E/B doit être en mesure de traiter les signaux des différents standards. Les

bandes considérées sont de largeurs différentes et centrées respectivement autour de 940, 2140 et 2440 MHz respectivement pour le GSM, UMTS et IEEE 802.11.A g. Le circuit E/B nécessaire pour l'architecture proposée doit être donc à large bande. L'état de l'art des circuits E/B est donné par le Tableau I-6.

Tableau I-6. État de l'art du circuit E/B pour le *voltage sampling*.

	BW (GHz)	Gain (dB)	NF (dB)	$f_{smax}$ (GHz)	IIP3 (dBm)	P (mW)	Technologie
(76) - 1997	[0, 2]	3	23	1.5	+16	125	0.6 $\mu\text{m}$ GaAs
(77) - 2003	[0, 4.5]	Na	25	1.55	+22	43	0.35 $\mu\text{m}$ CMOS
(78) - 2005	[0, 2.4]	2.1	21.8	0.1	-6	26	0.18 $\mu\text{m}$ CMOS
(79) - 2008	[0, 3.5]	9-12	15-25	0.1	Na	21.6	0.18 $\mu\text{m}$ CMOS
(80) - 2009	[0, 13]	0	Na	2	Na	1400	InP
(81) - 2011	[0, 8]	0	Na	8	Na	178	65 nm CMOS

Les circuits référencés dans le Tableau I-6 permettent de traiter des signaux à large bande et peuvent répondre aux exigences des standards considérés par l'architecture étudiée. Toutefois, le choix de la fréquence d'échantillonnage est très important vu qu'il influe directement sur la consommation de puissance et sur le SNR. En effet, une forte fréquence permet de réduire le *flicker noise* mais engendra une forte consommation de puissance. Pour cela, pour l'architecture proposée, la transposition de la fréquence vers la bande de base est assurée en deux étapes. En première étape, tous les signaux sont échantillonnés à une fréquence fixe  $f_s = 761.8 \text{ MHz}$  choisie afin d'avoir la bande des trois standards transposée dans l'intervalle fréquentiel [114.6 MHz 198.1 MHz]. Ainsi, un seul filtre permet de sélectionner la bande de tous les standards. Un second étage de transposition de fréquence permet de ramener le signal à la bande de base. Les fréquences d'échantillonnage choisies sont celles des canaux considérés. Le filtre décimateur programmable utilisé en aval permet de réduire la fréquence du signal et de permettre l'utilisation de l'ADC à une faible fréquence.

Cette architecture utilise le sous-échantillonnage mais ne profite pas totalement du passage en temps discret du signal. En effet, vu le choix des fréquences du premier et du second étage de sous-échantillonnage, une décimation n'est pas possible. Ainsi, le signal est reconverti en temps continu suite à l'utilisation d'un filtre IF à temps continu. Nous décrivons dans ce qui suit, une autre architecture traitant le signal totalement en temps discret après son passage par l'échantillonneur-bloqueur.

### I.1.3.2 Architecture à échantillonnage de type *charge sampling*

Un exemple de récepteur multistandard à échantillonnage implémenté en technologie CMOS 90nm est proposé en (68). Cette architecture emploie le sous-échantillonnage du signal en mode courant. Son architecture est présentée par la Figure I-7.

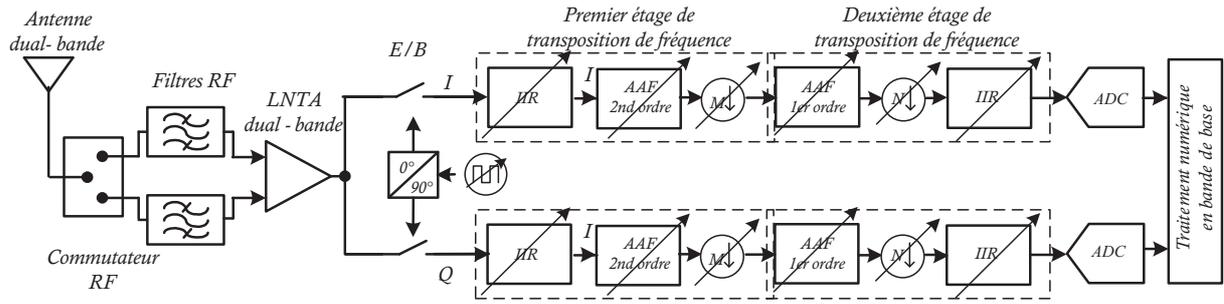


Figure I-7. Architecture multistandard à échantillonnage proposée par Latiri.

Le signal RF est filtré par deux filtres SAW distincts puis amplifié par un LNA à transconductance (LNTA, Low Noise Transconductance Amplifier). Ainsi, le signal en tension est converti en courant via le LNTA. Le passage du domaine analogique à temps continu au domaine analogique à temps discret est assuré par un premier échantillonnage en mode courant ou *charge sampling*. Le même circuit E/B présenté par la Figure I-6 peut être considéré. Le signal en courant est échantillonné puis intégré via la capacité  $C_H$ . Ainsi, si nous notons par  $V_{in}$  le signal amplifié placé juste avant la transconductance  $g_m$  du LNTA, la tension  $V_{out}$  après *charge sampling* sera donnée par Eq. I-4.

$$V_{out} = \frac{g_m f_s}{C_H} \sum_{k=-\infty}^{+\infty} V_{in}(f - kf_s) \text{sinc} \left( \frac{\pi}{f_s} (f - kf_s) \right) \quad \text{Eq. I-4}$$

Selon Eq. I-4, le *charge sampling* comporte une étape intrinsèque de filtrage par la fonction *sinc*. La bande analogique dépend du temps d'intégration du signal  $\Delta T_s$  et est définie par l'intervalle fréquentiel  $\left[0, \frac{0.44}{T_s}\right]$ . Le bruit du circuit E/B dans le cas du *charge sampling*, donné par Eq. I-5, dépend du rapport  $\frac{\Delta T_s}{C_H R_{MOS}}$  (74).

$$PSD \left( \frac{V^2}{Hz} \right) = \frac{KT}{C_H} \frac{2\Delta T_s}{C_H R_{MOS}} \quad \text{Eq. I-5}$$

Dans le cas de l'échantillonnage en mode courant, le circuit E/B est lié dans la plupart des cas au circuit de filtrage. Pour cette raison, les données de gain et de NF du circuit E/B ne figurent pas dans l'état de l'art présenté par le Tableau I-7.

Tableau I-7. État de l'art du circuit E/B pour le *charge sampling*.

	BW (GHz)	$f_{smax}$ (GHz)	IIP3 (dBm)	P (mW)	Technologie
(82) - 2006	[0.8 5]	5	-3.5	16	65 nm CMOS
(71) - 2008	[2.4 2.7]	2.7	Na	4.8	65 nm CMOS
(68) - 2009	0.9/2.4	4.8	Na	Na	90 nm CMOS
(83) - 2011	[5 25]	0.48	Na	8.4	65 nm CMOS
(84) - 2011	[0 2.4]	3.4	-5	41	0.13 $\mu$ m CMOS

Les circuits E/B référencés sont tous à large bande excepté celui du récepteur proposé en (68) où l'auteur considère un E/B dual bande. L'état de l'art du circuit E/B montre bien que les contraintes multistandard sur l'E/B peuvent être supportées vu que les BW peuvent atteindre plus de 5 GHz.

Le signal dans chaque voie du récepteur est échantillonné puis traité par deux blocs de transposition de fréquence. Le premier est composé d'un filtre à réponse impulsionnelle infinie (IIR, Infinite Impulse Response), d'un filtre anti repliement d'ordre 2 et d'un décimateur. Le rôle du filtre IIR est de sélectionner la bande de réception et éviter toute saturation des composants en aval. Le second bloc comporte les mêmes composants que le premier avec un AAF de premier ordre. La fréquence du premier échantillonnage est égale au double de la fréquence RF. Ensuite, les deux décimations permettent de ramener le signal en bande de base en considérant des rapports de décimation de 5 et 9 pour le GSM et de 4 et 2 pour le IEEE 802.11g.

L'architecture proposée permet de traiter les signaux considérés tout en respectant les spécifications des standards considérés. Il est nécessaire de mentionner ici, que le signal RF à haute fréquence étudié est à 2 GHz. En présence d'une fréquence plus forte, comme par exemple pour le standard IEEE 802.11.a, plusieurs contraintes viennent s'ajouter notamment en termes de consommation de puissance.

L'état de l'art des architectures de réception radio multistandard à mélangeur et à échantillonnage montrent bien la possibilité de leur intégration en technologie CMOS. Ceci reste tout de même contraint à une bonne optimisation de l'architecture proposée afin de pouvoir satisfaire les spécifications des standards tout en considérant les circuits proposés et les technologies d'aujourd'hui. L'état de l'art de l'étage RF des récepteurs à savoir essentiellement le LNA et le mélangeur ainsi que le circuit E/B pour les architectures à échantillonnage montrent l'existence de composants qui satisfont les contraintes requises. Cependant, ces circuits sont mieux optimisés en surface et en consommation de puissance lorsqu'ils traitent les signaux à faibles fréquences et les signaux à hautes fréquences séparément. Tout comme l'étage RF, l'étage en bande de base présente plusieurs contraintes en termes de complexité des composants et de leurs consommations de puissance.

Nous choisissons d'orienter le sujet de nos travaux de recherche sur la façon de réduire au maximum les contraintes sur cet étage. Nous nous proposons donc de faire une étude exhaustive des différents composants pouvant former l'étage en bande de base dans le cas d'un traitement du signal analogique à temps continu ou à temps discret.

## **I.2 Étude des circuits de l'étage en bande de base**

Les composants de l'étage en bande de base diffèrent selon la nature de l'architecture étudiée. Ils traitent le signal reçu soit en temps continu dans le cas d'une architecture à mélangeur soit en temps discret dans le cas d'une architecture à échantillonnage. Leur rôle est essentiellement de filtrer le signal afin de ne garder que la bande utile et

d'assurer la numérisation du signal en évitant la saturation des composants. Les principaux éléments de l'étage en bande de base sont l'AAF, l'AGC et l'ADC.

### I.2.1 Le filtre anti-repliement

Le filtre AAF est utilisé pour éviter la superposition des bloqueurs et des interférents sur le signal utile après échantillonnage. Le rôle associé à ce filtre est de plus en plus difficile vu le grand accroissement de la bande passante des signaux des standards à large bande (45). Il permet de filtrer les signaux se trouvant aux fréquences  $kf_s \pm f_{IF} \pm B/2$ , avec  $f_s$  la fréquence d'échantillonnage de l'ADC,  $B$  la bande du canal et  $f_{IF}$  la valeur de la fréquence intermédiaire vers laquelle le signal va être transposé. La fréquence  $f_{IF}$  est nulle dans le cas d'une transposition de fréquence vers la bande de base.

#### I.2.1.1 Filtre anti repliement dans une architecture à mélangeur

Dans le cas d'une architecture à mélangeur, le filtrage anti-repliement au niveau de l'étage en bande de base se fait par un filtre passe-bas tel que présenté par la Figure I-8. La fréquence de coupure de l'AAF,  $f_p$ , doit permettre le passage du signal. Elle est donc égale au moins à la largeur de la bande du canal  $B$  dans le cas d'une transposition Low-IF et à  $B/2$  dans le cas d'une transposition vers la bande de base. Une marge de 30 % de fréquence doit être considérée pour tenir compte des variations des résistances et des capacités du circuit de filtrage en fonction de la température (85; 86). La fréquence de rejection,  $f_t$ , est comprise entre  $f_p$  et  $f_s - B/2 - f_{IF}$  afin de permettre de filtrer tout signal pouvant se replier sur le signal utile. La Figure I-8 montre le gabarit d'un filtre AAF dans le cas d'un signal transposé en bande de base.

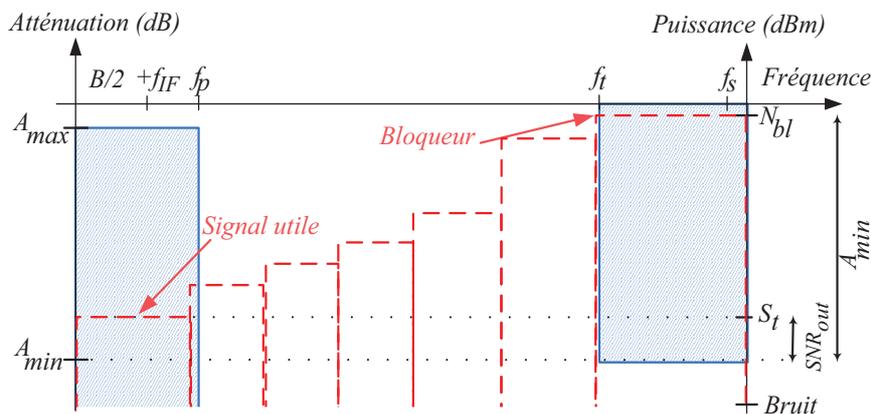


Figure I-8. Gabarit du filtre anti-repliement (AAF).

$A_{min}$  indique la valeur de l'atténuation requise pour le filtre.  $A_{max}$  présente la valeur maximale de l'atténuation permise dans la bande utile.  $A_{min}$  dépend essentiellement du niveau du bloqueur  $N_{bl}$  pouvant se replier sur le signal, du niveau du signal référence  $S_{ref}$  ainsi que du  $SNR_{out}$  comme présenté par l'équation Eq. I-6. Le dimensionnement du filtre AAF requière la considération d'une marge de conception  $M_{AAF}$  égale à 3 dB.

$$A_{min} = N_{bl} - S_{ref} + SNR_{out} + M_{AAF} \quad \text{Eq. I-6}$$

Certaines approximations mathématiques portant sur les réponses des filtres sont élaborées. Les approximations les plus connues sont celles de Butterworth, Chebychev, Bessel et Caer (87). Le filtre Butterworth est connu pour son gain constant dans sa bande passante. La fluctuation de ce gain ne dépasse pas  $A_{max}$ . Au delà de la bande passante, ce filtre permet d'atténuer les bloqueurs et interférents selon la formule donnée par Eq. I-7.

$$A(f) = 10 \log_{10} \left( 1 + \varepsilon^2 \left( \frac{f}{f_p} \right)^{2N_{filtre}} \right) \quad \text{Eq. I-7}$$

Avec  $\varepsilon^2 = (10^{A_{max}/10} - 1)$  et  $N_{filtre}$  est l'ordre du filtre utilisé.  $A_{max}$  doit avoir une valeur relativement faible, ne dépassant pas 3 dB (87).

Les filtres passe-bas conventionnels sont soit des filtres passifs sous forme de circuit RLC présentés par la Figure I-9 (a), soit des filtres actifs incluant des amplificateurs, des intégrateurs, etc. Ces filtres actifs peuvent être de type Gm-C employant une cellule Gm-RC présentée par Figure I-9 (b) ou MOSFET-C dont la cellule primaire est schématisée en Figure I-9 (c). Les filtres MOSFET-C sont des filtres actifs dont les résistances et capacités sont remplacées par un transistor MOS à effet de champs. Les filtres implémentés par des circuits RLC peuvent assurer le filtrage d'un signal à faible fréquence à cause des effets parasites liés aux composants. La sensibilité de ce type de filtres à la précision des composants passifs limite leur utilisation. De plus, afin de minimiser la surface des composants, les inductances sont à éviter. Les filtres passifs sont donc rarement utilisés (88). Les filtres actifs opèrent aussi avec une bande passante limitée mais assurent une bonne linéarité du système et un meilleur degré de flexibilité (89). Grâce à leur boucle de configuration ouverte, les filtres Gm-C passe-bas possèdent une meilleure réponse fréquentielle que les filtres MOSFET-C (90).

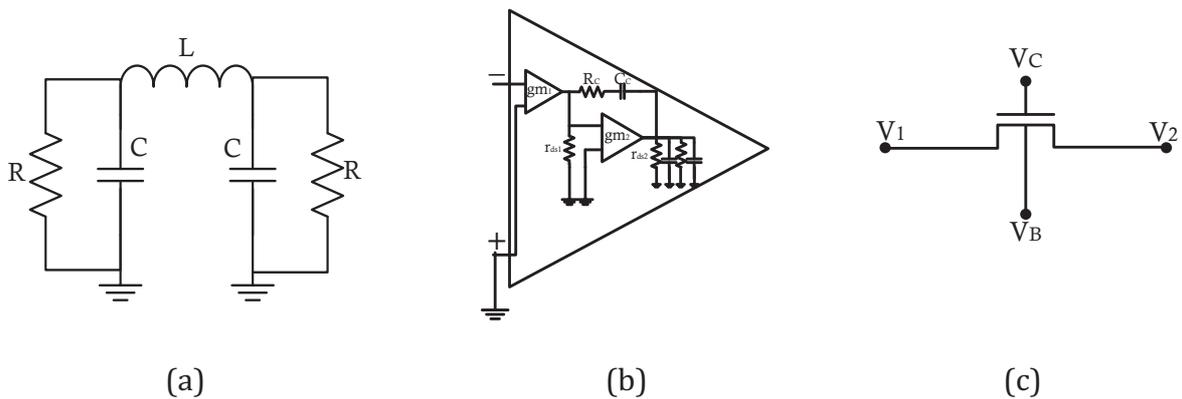


Figure I-9. Différentes cellules de base d'un filtre passe-bas.

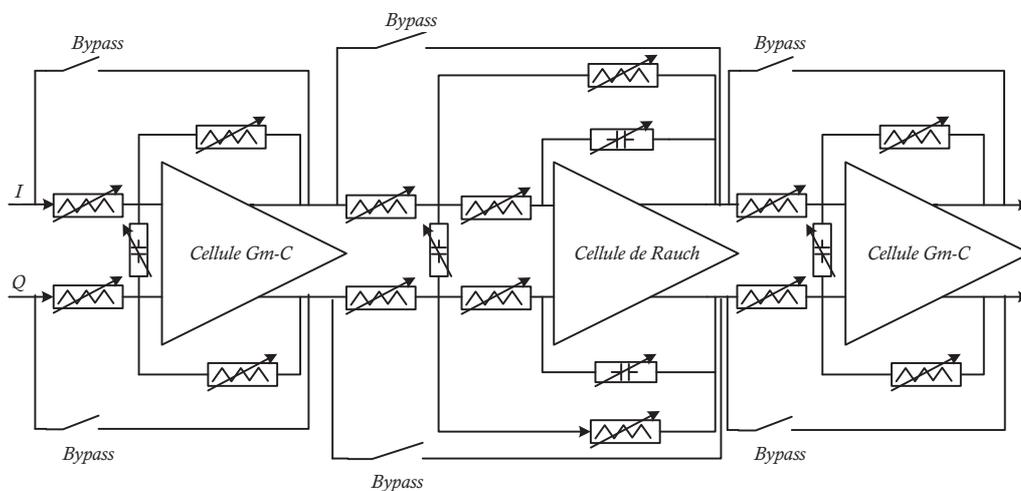
Dans un contexte radio multistandard, le filtre AAF doit être en mesure de réduire les bloqueurs et interférents de plusieurs standards différents. Sa bande passante doit aussi varier selon la largeur de la bande du signal reçu. Ainsi, la considération du filtre anti-repliement à large bande ou programmable est importante. Nous présentons dans le

Tableau I-8 l'état de l'art des filtres passe-bas multistandard. Dans les travaux référencés, certaines valeurs de l'IIP3 sont mesurées en dBV. La conversion en dBm a été faite en considérant une résistance d'entrée égale à 50  $\Omega$ .

**Tableau I-8. État de l'art des filtres passe-bas multistandard.**

	Ordre	$f_p$ (MHz)	IIP3 (dBm)	Puissance (mW)	Technologie
(91) - 2001	3/5	0.013/2.1	48	6.8/25.4	0.35 $\mu\text{m}$ CMOS
(92) - 2002	6	[0.005, 5]	21	6	0.5 $\mu\text{m}$ CMOS
(93) - 2005	3	[0.05, 2.2]	25	2.5-7.3	0.25 $\mu\text{m}$ SiGe BiCMOS
(94) - 2006	4	[1.45, 3.6] / [5.8, 19.4]	34	3.4/14.2	0.13 $\mu\text{m}$ CMOS
(95) - 2008	2/4/6	[0.35, 23.5]	21.9	0.72-21.6	0.13 $\mu\text{m}$ CMOS
(96) - 2009	4	[15, 95]	Na	14.2	0.5 $\mu\text{m}$ CMOS
(97) - 2011	5	[80, 400]	Na	3.5-5.5	0.13 $\mu\text{m}$ CMOS

D'après le Tableau I-8, nous notons que les filtres actifs passe-bas programmables parviennent à sélectionner une bande passante selon la flexibilité donnée par l'architecture et la technologie utilisées. Les recherches portant sur les filtres programmables parviennent à faire augmenter la bande passante variable au fil des années afin de satisfaire les contraintes des standards à très large bande. En plus d'avoir une bande passante variable, la possibilité de programmer aussi l'ordre du filtre s'avère très intéressante puisque chaque standard peut nécessiter un filtre d'ordre différent. La consommation de puissance du filtre passe-bas dépend étroitement de l'ordre utilisé et de la bande passante. Ainsi, la possibilité de choisir juste l'ordre et la bande nécessaires pour un signal donné dans une architecture multistandard permet de réduire considérablement la consommation de puissance. La proposition citée en (95) est donc très intéressante vu qu'elle présente un filtre à ordre et bande passante programmables. L'architecture de ce filtre passe-bas est donnée par la Figure I-10.



**Figure I-10. Filtre anti-repliement programmable proposé par Giannini.**

Le filtre passe bas est formé par la cascade de cellule active Gm-RC et de cellule de Rauch. La cellule de Rauch présente en elle-même un filtre formé par un amplificateur idéal et des composants passifs. La programmabilité de la largeur de la bande passante de ce filtre vient de l'utilisation d'un banc de résistances et de capacités. Un signal de commande sélectionne la valeur des composants à utiliser. L'ordre du filtre peut avoir 3 valeurs distinctes. Le passage d'un ordre à un autre est assuré par la programmation des interrupteurs *Bypass*. Ainsi, une cellule active Gm-RC ou Rauch peut être évitée et l'ordre est diminué ainsi de 2 par cellule.

### I.2.1.2 Filtre anti-repliement à temps discret

La transposition de fréquence par sous-échantillonnage permet de traiter le signal en aval en temps discret. Ainsi, des filtres à temps discret sont placés entre le circuit E/B et l'ADC afin d'éviter le repliement spectral. La fonction de filtrage intrinsèque au *charge sampling* conduisant à un filtrage de type sinus cardinal n'est pas suffisante. Un filtre anti-repliement à temps discret est donc nécessaire aussi dans ce cas (98). Les implémentations classiques de ce type de filtres sont les filtres à réponse impulsionnelle finie (FIR, Finite Impulse Response) et les filtres à réponse impulsionnelle infinie IIR.

Le filtre FIR est caractérisé par une réponse sur un intervalle de temps fini. La sortie de ce filtre ne dépend que du signal d'entrée et des coefficients associés à son implémentation. Le schéma synoptique de base d'un filtre FIR est donné par la Figure I-11. Notons par  $x$  le signal d'entrée,  $\{b_i, 0 \leq i \leq N - 1\}$  les coefficients du filtre d'ordre  $N$  et  $y$  sa réponse. La relation entre ces termes est donnée par Eq. I-8.

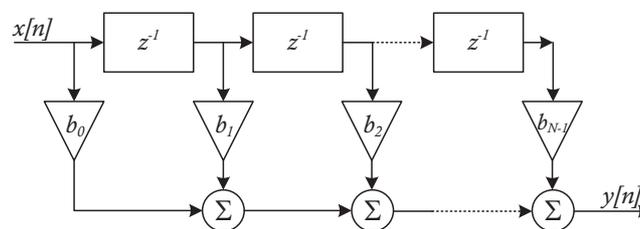


Figure I-11. Schéma synoptique d'un filtre FIR.

$$y[n] = \sum_{k=0}^{N-1} b_k x[n - k] \quad \text{Eq. I-8}$$

Ne comportant pas de pôles, le filtre FIR est stable. La fonction du filtre FIR est un filtre sinus cardinal avec des zéros situés à  $nf_s/N, n \in \{1, 2, \dots, N\}$ . Ces filtres sont très facilement intégrables. Les filtres FIR analogiques à temps discrets peuvent être implémentés en utilisant des capacités commutées. Un exemple de filtre FIR programmable est donné par la Figure I-12 (99).

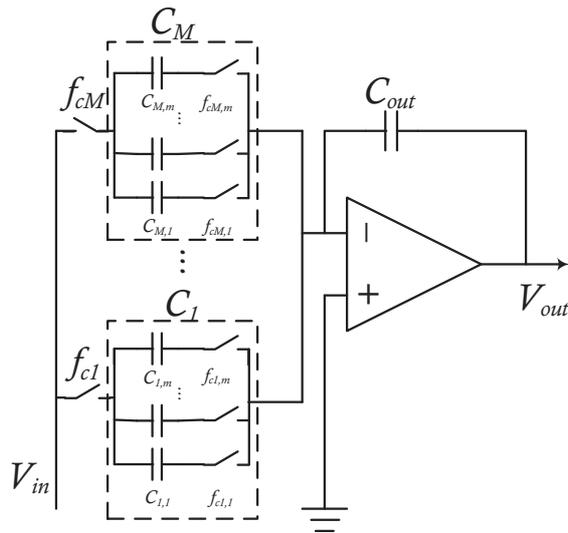


Figure I-12. Exemple de filtre FIR programmable.

L'idée de la programmabilité d'un tel filtre vient du fait de substituer les capacités commutées de  $C_1$  à  $C_M$  par une batterie de  $m$  capacités commutées. Ainsi,  $2^m$  valeurs de capacités sont possibles et par conséquent  $2^m$  différentes largeurs de bande passante. L'utilisation de  $m$  commutateurs augmente considérablement les parasites et donnera naissance à une variation de la charge requise.

Une autre façon d'implémenter le filtre FIR est de l'inclure directement à l'étape d'échantillonnage. Dans (98), l'auteur propose de donner les valeurs des coefficients du filtre FIR au moment même de l'échantillonnage.

Dans le cas d'un filtre IIR, la sortie dépend de l'entrée et de la sortie en mémoire. Il possède donc une boucle de rétroaction et sa réponse impulsionnelle ne se stabilise pas. Le schéma synoptique d'un filtre IIR est donné par la Figure I-13.

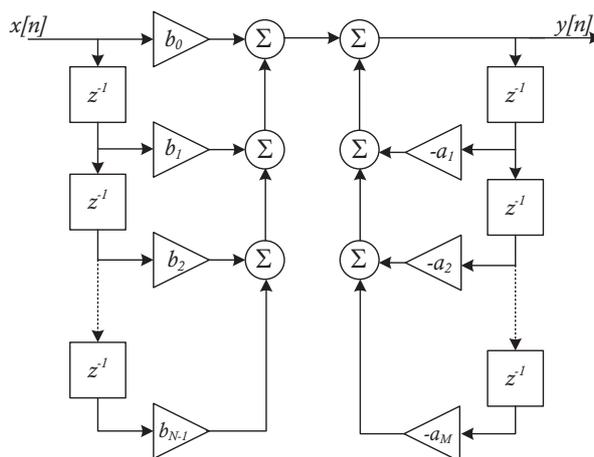


Figure I-13. Schéma synoptique d'un filtre IIR.

Notons par  $x$  le signal d'entrée,  $\{b_i, 0 \leq i \leq N - 1; a_i, 1 \leq i \leq M\}$  les coefficients du filtre et  $y$  sa réponse. La sortie d'un filtre IIR est donnée par Eq. I-9.

$$y[n] = \sum_{k=0}^{N-1} b_k x[n-k] - \sum_{k=1}^M a_k y[n-k] \quad \text{Eq. I-9}$$

Tout comme les filtres FIR, les filtres IIR sont implémentés par des capacités commutées tel l'exemple illustré par la Figure I-14.

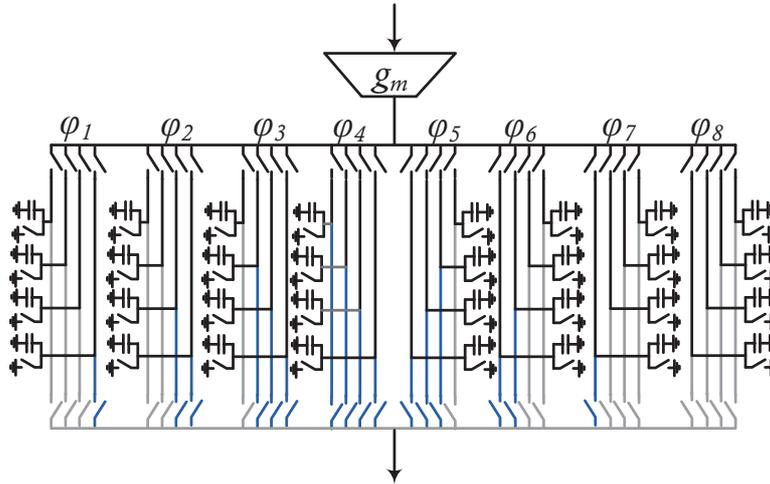


Figure I-14. Schéma d'un filtre IIR.

Dans le cas de l'architecture à échantillonnage proposée dans (82), l'auteur propose un filtre IIR à capacités commutées. Afin d'avoir une réponse en  $\text{sinc}^2$  et un filtre d'ordre 4, l'auteur utilise 8 coefficients suivant la séquence [1 2 3 4 3 2 1 0]. Initialement, les capacités situées à gauche sont chargées, celle à droite sont déchargées. Les 4 premières capacités  $\varphi_1$  à  $\varphi_4$  sont déchargées en suivant les coefficients (1 capacité du premier commutateur, 2 du second, etc. comme présenté en bleu dans la Figure I-14). Les commutateurs de droite chargent les capacités selon les coefficients du filtre.

Dépendant de l'entrée et de la sortie, le filtre IIR présente une meilleure réponse en termes de sélectivité que pour un filtre FIR de même ordre. L'étape de filtrage en général est plus contraignante en temps continu qu'en temps discret. L'augmentation de l'ordre d'un filtre dans une architecture à mélangeur induit directement une augmentation du coût et de la consommation de puissance. De plus, les filtres passe-bas à temps continu sont à ordre limité ne dépassant pas 8 (100). Dans le cas du traitement en temps discret, l'ordre du filtre numérique peut atteindre plusieurs dizaines. Dans le cas d'une réception multistandard, l'étape de filtrage considère de très fortes contraintes afin de pouvoir à la fois atténuer les niveaux élevés des bloqueurs, pour le GSM par exemple, et faire passer le canal des standards à larges bandes, comme dans le cas du standard IEEE 802.11.a. L'étape de filtrage présente un élément très important dans l'étage en bande de base vu qu'elle contribue à avoir un bon SNR à la sortie de la numérisation. Pour une architecture SDR, cette étape doit respecter les spécifications des multiples standards tout en gardant un faible ordre du filtre et par conséquent un coût et une consommation de puissance convenables pour le circuit. A part l'étape de filtrage, l'étape

d'amplification est aussi importante garantissant une dynamique réduite du signal à l'entrée de l'ADC et permettant ainsi de réduire le nombre de bits de ce dernier.

## I.2.2 Le contrôle automatique de gain

L'AGC (Automatic Gain Control) est utilisé pour ajuster la puissance du signal et la maintenir à une valeur constante à l'entrée de l'ADC. Le gain piloté par l'AGC est donc variable suivant le signal. Son gain minimal  $G_{AGC_{min}}$  et son gain maximal  $G_{AGC_{max}}$  donnés par Eq. I-10 (101) dépendent de la pleine échelle de l'ADC  $S_{fs}$  (Full-Scale Signal), de la puissance maximale que peut prendre le signal  $S_{max}$ , du gain analogique total des composants avant l'AGC  $G_{ana}$  et de la valeur du plus puissant bloqueur après toutes les étapes de filtrage du signal précédant l'AGC.

$$G_{AGC_{min}} = S_{fs} - S_{max} - G_{ana}$$

$$G_{AGC_{max}} = S_{fs} - (N_{bl} - Att)_{max} - G_{ana}$$

Eq. I-10

L'amplitude maximale du signal est amplifiée par  $G_{AGC_{min}}$  afin d'éviter la saturation de l'ADC. Le signal le plus petit est amplifié par  $G_{AGC_{max}}$  pour le ramener à un niveau qui peut lui permettre d'être traité par l'ADC. La Figure I-15 explique la manière avec laquelle les gains extrêmes de l'AGC sont calculés.

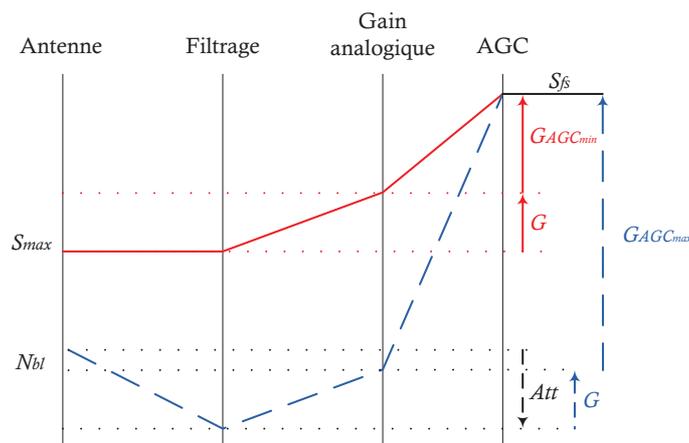


Figure I-15. Détermination des gains extrêmes de l'AGC.

L'AGC peut être considéré comme un algorithme qui calcule le gain nécessaire et commande ainsi un VGA comme illustré par la Figure I-16 (102). Pour cette raison, le circuit VGA est le plus étudié en littérature.



Figure I-16. Schéma bloc simplifié de l'architecture d'un AGC à réaction (a) et à action anticipative(b).

Le VGA comporte une étape de filtrage interne vu qu'il doit assurer le gain pour une bande passante donnée. Ainsi, pour assurer un traitement optimal du signal par un récepteur multistandard, un VGA à bande passante variable est nécessaire. Nous nous proposons donc de faire un état de l'art, résumé par le Tableau I-9, des circuits VGA programmables.

Tableau I-9. État de l'art des VGAs programmables.

	BW (MHz)	Gain (dB)	IIP3	Puissance (mW)	Technologie
(103) - 2001	[0, 6-83]	-30-50	-80 dBm	7	0.18 $\mu$ m CMOS
(104) - 2007	[0, 900]	-38.8- 55.3	6.8 dB (NF)	20.5	0.18 $\mu$ m CMOS
(105) - 2008	[0, 8500]	>10	-13.7 dBm	9.3	0.18 $\mu$ m CMOS
(95) - 2008	[0, 0.18-200]	0-39	>14 dBV	0.36-13.5	0.13 $\mu$ m CMOS
(106) - 2009	[0, 65]	-22-32	Na	2.16	0.18 $\mu$ m CMOS
(107) - 2009	[0, 1000]	-17.4-52.7	-41-6 dBm	9	0.18 $\mu$ m CMOS
(108) - 2011	[1000, 5000]	-5-11	0 dBm	10-19	0.18 $\mu$ m CMOS

L'état de l'art des VGAs montre bien que les recherches faites ont pour but d'agrandir la bande de passante. Le circuit en (108) ne concerne pas la bande de base. Il peut néanmoins faire partie d'un LNA en étage RF. La programmabilité du circuit VGA tient compte principalement du gain. En effet, la totalité des VGA programmables offrent une liste de valeurs de gain à choisir suivant des mots binaires assignant des valeurs dans le circuit. Toutefois, si l'étage en bande de base d'un récepteur multistandard est considéré, il est aussi nécessaire de considérer un VGA à bande passante variable en plus d'un gain variable. Plus la bande passante est proche de la bande du signal moins les bloqueurs et les interférents sont amplifiés. Ainsi, le VGA en (95) à bande passante variant dans un large intervalle semble être le meilleur composant répondant aux contraintes de l'étage en bande de base. L'architecture de ce VGA est donnée par Figure I-17.

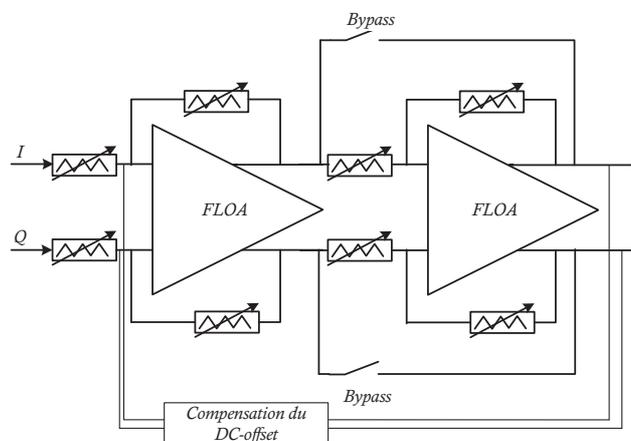


Figure I-17. Amplificateur à gain variable programmable.

Le VGA est constitué par deux amplificateurs inverseurs en cascade. L'utilisation des amplificateurs flexibles (FLOA, FLEXible Om-Amp), permet d'ajuster la bande passante en sortie. La bande passante finale du VGA est donc ajustable selon le standard du signal traité. Pour ne pas amplifier les bloqueurs ni augmenter la consommation du circuit, la bande passante du VGA doit être au plus proche de la bande passante du filtre passe-bas. Le circuit considère une variation du gain par programmation des bancs de résistances est de capacités avec un pas de 3 dB. Cependant, cette valeur peut être choisie en modifiant les valeurs des bancs. Le VGA en (95) inclue une compensation du DC-offset. Une boucle de compensation a pour rôle de détecter et de corriger le DC-offset tout le long du traitement du signal par le VGA.

Dans le cas d'une architecture à échantillonnage, l'étape d'amplification est très souvent incluse avec l'étape de filtrage. En effet, le gain nécessaire est soit pris en compte par les coefficients des filtres FIR ou IIR programmables soit inclut directement par un amplificateur opérationnel imbriqué dans l'architecture du filtre utilisé.

L'utilisation d'un AGC ou tout simplement d'un VGA a pour but essentiel de réduire la dynamique du signal à l'entrée du convertisseur analogique numérique. Par conséquent, le nombre de bit de l'ADC est diminué. L'AGC ou le VGA n'est pas impérativement nécessaire au sein de l'étage en bande de base. En présence d'une amélioration de la numérisation des signaux à forte dynamique et des performances des convertisseurs, l'étape d'amplification peut être évitée au sein de la bande de base du récepteur. L'étude des performances des convertisseurs est donc très importante permettant d'optimiser la consommation de puissance du récepteur.

### I.2.3 Le convertisseur analogique numérique

Le convertisseur analogique numérique est le composant le plus gourmand dans l'étage de base et celui qui subit le plus de contraintes. Un choix optimal de l'ADC permet d'assurer un bon SNR et une consommation de puissance modérée. Le choix de l'ADC se base essentiellement sur plusieurs critères dont les principaux sont la fréquence maximale d'échantillonnage  $f_s$ , le nombre de bits nécessaires pour la numérisation des signaux, la consommation de puissance et le rapport signal à bruit plus distorsions (SNDR, Signal-to-Noise and Distortion Ratio) en sortie. Le nombre de bits  $n_{ADC}$  nécessaires pour accomplir l'échantillonnage des signaux de tous les standards est donné par Eq. I-11.  $n_{ADC}$  dépend étroitement des gains extrêmes fournis par l'AGC ainsi que de la dynamique à l'entrée de l'ADC  $DR_{ADC}$  si l'AGC n'est pas utilisé.  $DR_{ADC}$  n'est autre que la différence entre la sensibilité de référence  $S_{ref}$  et la puissance maximale du signal à l'entrée  $S_{max}$  en considérant le SNR en sortie  $SNR_{out}$ .

$$n_{ADC} = \frac{(DR_{ADC} + G_{AGC_{min}} - G_{AGC_{max}}) - 1.76}{6.02} \quad \text{Eq. I-11}$$

La fréquence d'échantillonnage maximale, le SNR et la consommation de puissance dépendent de l'architecture de l'ADC. Les architectures flash, pipeline, à approximation

successives,  $\Sigma\Delta$  sont les architectures conventionnelles du convertisseur analogique numérique. Une présentation de ces architectures ainsi qu'une comparaison entre les performances de chaque type d'architecture sont données par l'Annexe A.

L'état de l'art et les performances présentés au niveau de l'Annexe A montrent que l'ADC sigma delta permet de numériser les signaux avec un bon SNDR tout en garantissant une consommation de puissance moyenne. Cette caractéristique le porte candidat à son utilisation dans un contexte multistandard. En effet, la majorité des ADCs référencés en littérature et qui considèrent plus qu'un standard admettent l'architecture sigma delta. Un état de l'art de ces ADCs multistandards est donné par le Tableau I-10.

Tableau I-10. État de l'art des ADCs Sigma Delta multistandards.

	Standard	$f_s$ (MHz)	Bande (MHz)	SNDR (dB)	Puissance (mW)	Technologie
<b>2010 - (109)</b>	Bluetooth	90	0.5	77	5	CMOS 90 nm
	UMTS	245.8	1.92	69	6.44	
	IEEE 802.11.g	640	10	65	6.8	
<b>2009 - (110)</b>	EDGE	26	0.135	<80	31	CMOS 65 nm
	UMTS	208	1.92	<80	55.2	
	IEEE 802.11.g	208	12.5	<58	110.4	
<b>2009 - (111)</b>	GSM	26	0.2	82	1.44	CMOS 90 nm
	Bluetooth	200	1	75	3.4	
	IEEE 802.11.g	400	10	52	7	
<b>2007 - (112)</b>	EDGE	26	0.1	88	2.9	CMOS 0.13 $\mu\text{m}$
	UMTS	61.44	1.92	79	7.4	
	IEEE 802.11.g	240	10	67	20.5	
<b>2006 - (113)</b>	GSM	32	0.1	83	8.3	CMOS 0.18 $\mu\text{m}$
	UMTS	64	2	75	17.8	
	IEEE 802.11.a	160	10	62.86	42	
<b>2006 (114)</b>	GSM	32	0.1	104	18	CMOS 0.18 $\mu\text{m}$
	UMTS	64	2	92	23	
	IEEE 802.11.a	160	10	68	39	

La résolution de l'ADC dépend théoriquement de sa plage dynamique comme expliqué par Eq. I-11. Cependant, une éventuelle saturation de l'ADC, le bruit de ses composants et de sa non-linéarité, peuvent réduire cette plage dynamique. Ainsi, une évaluation réaliste du nombre de bit de l'ADC est obtenue en remplaçant dans Eq. I-11,  $DR_{ADC}$  par la valeur du SNDR mesurée.

L'étude des performances de ces ADCs multistandards permet de les classer en trois catégories. La première catégorie est celle des ADCs à faible SNDR ne leur permettant pas de traiter le signal directement à la sortie du filtre anti-repliement (110; 111). Un AGC est donc à prévoir. La deuxième catégorie utilise un AGC juste pour un seul standard (112; 115; 109). Le standard le plus contraignant en termes de plage dynamique est le GSM. Par la suite, un AGC est utilisé uniquement pour ce standard puis désactivé pour les autres. La troisième catégorie d'ADC permet le traitement du signal

sans avoir recours à l'AGC (9). Notons ici que la consommation de puissance de l'ADC dépend étroitement de la valeur du SNDR en sortie et de la fréquence d'échantillonnage. Il présente les valeurs de consommation de puissance les plus grandes parmi les composants du récepteur radio.

L'étage en bande de base subit plusieurs contraintes à savoir le niveau élevé des bloqueurs et des interférents, la dynamique variant entre 90 à 20 dB, des largeurs de bande du canal de 200 kHz à 20 MHz, etc.. Les facteurs évoqués agissent directement sur la consommation de puissance. A travers le Tableau I-8, nous pouvons déduire que la consommation de puissance d'une même architecture de filtre anti-repliement augmente avec l'ordre de ce dernier. La détermination de l'ordre provient des caractéristiques de l'étape d'échantillonnage de l'ADC. Le Tableau I-9, montre de la même façon que la consommation de puissance d'un VGA, par suite d'un AGC, est une fonction croissante du gain à fournir. De plus, l'étude faite pour les ADCs montre que la consommation de puissance d'un ADC augmente selon sa plage dynamique et évolue d'une façon logarithmique par rapport à la fréquence d'échantillonnage. Le dimensionnement des composants de l'étage en bande de base dépend de l'étape d'échantillonnage. Elle présente l'étape fondamentale qui définit les contraintes sur cet étage. Une bonne méthodologie de prise d'échantillons aura une influence sur la réduction des conditions à satisfaire par chaque composant. Nous proposons donc d'axer nos travaux de recherche sur la thématique d'échantillonnage en proposant d'utiliser l'échantillonnage aléatoire dans un contexte de radio multistandard.

### **I.3 Motivations de l'application de l'échantillonnage aléatoire à un récepteur SDR**

L'utilisation de l'échantillonnage aléatoire (RS, Random Sampling) dans un contexte radio SDR multistandard a pour fin de profiter de la capacité de ce traitement du signal à éviter le repliement spectral. Après avoir été évoqué par Paley, Winer et Zygmund (116; 16), le RS a fait l'objet de plusieurs recherches (117; 118; 18). Les auteurs ont démontré que sous certaines conditions portant sur la façon de choisir l'instant d'échantillonnage, le repliement spectral en RS est éliminé. Les démonstrations analytiques de la suppression du repliement spectral sous ces conditions ont été établies (118; 18). Ce n'est qu'à partir de l'année 2000 que les premières simulations du RS commencent. Wojtiuk présente dans (23) des formulations de la densité spectrale de puissance d'un signal aléatoire échantillonné par le RS et les valide par des simulations. Wojtiuk a entamé par son travail le volet de l'application du RS aux architectures radio sans pour autant aller au-delà de simples simulations. En 2009, une première application du RS aux récepteurs radio a été élaborée au sein du laboratoire GRES'COM de SUP'COM et C<sup>2</sup>S de TELECOM ParisTech (26; 119). Les premiers résultats prouvant le relâchement des contraintes sur les composants du récepteur grâce à l'application du RS encouragent à affiner les recherches autour de ce sujet.

### I.3.1 Présentation du pouvoir de suppression du repliement spectral

Tout comme l'échantillonnage uniforme (US, Uniform Sampling) introduit par Shannon (120), un signal continu  $x(t)$  échantillonné aléatoirement s'écrit sous la forme donnée par Eq. I-12.

$$x_s(t) = \sum_{k=-\infty}^{+\infty} x(t)\delta(t - t_k) \quad \text{Eq. I-12}$$

Le signal  $x_s(t)$  représente la somme des échantillons pris aux instants d'échantillonnage  $\{t_k\}$ . Dans le cas d'un échantillonnage uniforme, les instants  $\{t_k\}$  sont des multiples de la période d'échantillonnage uniforme  $T_s = 1/f_s$ ,  $f_s$  étant la fréquence d'échantillonnage uniforme. Dans le cas d'un échantillonnage non uniforme, la séquence  $\{t_k\}$  présente une séquence de variables aléatoires. La notion de fréquence d'échantillonnage  $f_s$  est substituée par celle de la fréquence moyenne d'échantillonnage  $f_{RS} = 1/T_{RS}$  qui représente la moyenne des différentes fréquences appliquées lors de l'opération d'échantillonnage,  $T_{RS}$  étant la moyenne des périodes instantanées d'échantillonnage.

La réponse de l'échantillonnage aléatoire dépend de la façon avec laquelle la séquence d'instant  $\{t_k\}$  est construite. Cette séquence est régie par des lois de distribution de probabilité bien précises. L'échantillonnage aléatoire peut être sans repliement si les bonnes conditions sont appliquées à la séquence  $\{t_k\}$ . Afin d'avoir un échantillonnage sans repliement, Shapiro (117) a démontré qu'il suffit de satisfaire la condition de stationnarité de la séquence  $\{t_k\}$ . Toutefois, la condition la plus générale a été introduite par Bilinskis et Mikelsons (18). Ils ont démontré que lorsque l'échantillonnage est aléatoire et que ses instants  $t_k$  suivent une distribution ponctuellement stationnaire, l'échantillonnage se fait sans repliement.

En effet, la densité de probabilité d'échantillonnage ponctuelle  $p(t)$  est identique à la série dont le terme général est la densité de probabilité  $p_k(t)$  du  $k^{\text{ième}}$  instant d'échantillonnage. La condition de stationnarité ponctuelle implique donc que la probabilité d'échantillonnage ponctuelle  $p(t)$  est proche d'une valeur constante. Cette valeur traduit la fréquence d'apparition de l'instant d'échantillonnage. Elle est donc égale à la fréquence moyenne de l'échantillonnage RS qu'on note  $f_{RS}$  et qui n'est autre que l'inverse de la période moyenne d'échantillonnage. La condition de stationnarité ponctuelle est donnée par l'Eq. I-13.

$$p(t) = \sum_{k=0}^{+\infty} p_k(t) = \frac{1}{T_{RS}} \quad \text{Eq. I-13}$$

Choisissant une distribution ponctuellement stationnaire, Bilinskis et Mikelsons ont réussi à démontrer dans (18) le théorème de l'anti-repliement spectral (121). Ce théorème a été vérifié par Ben-Romdhane en proposant une nouvelle expression de l'estimation de la transformée de Fourier (26). Il est énoncé comme suit :

Soit l'ensemble des variables aléatoires  $\{t_k\}, k \in \mathbb{N}$ , de moyennes  $kT_{RS}$  et de densités de probabilité  $\{p_k(t), k \in \mathbb{N}\}$ , satisfaisant la condition de stationnarité ponctuelle.

Soit  $x(t)$  un signal continu. L'estimation de la transformée de Fourier du signal échantillonné aléatoirement par la séquence  $\{t_k\}$ , donnée par Eq. I-14, est composée uniquement de la transformée de Fourier de  $x(t)$  notée  $X(f)$ .

$$\hat{X}_s(f) = \frac{1}{T_{RS}} X(f) \quad \text{Eq. I-14}$$

D'après Eq. I-14, seul le signal utile est récupéré après un échantillonnage non uniforme. On note selon l'expression  $\hat{X}_s(f)$ , l'absence totale des répliques dans le spectre. Il est à mentionner que lors de la démonstration de ce théorème, les instants d'échantillonnage sont pris aléatoirement dans  $\mathbb{R}$ . Chaque instant peut donc varier sans aucune condition portant sur la croissance de la séquence  $\{t_k\}$ . Ainsi, dans le cas d'un échantillonnage parfaitement aléatoire, l'instant  $t_k$  peut être supérieur à l'instant  $t_{k+1}$ . Cette considération ne peut donc pas être prise en compte pour la modélisation d'un échantillonnage aléatoire réel. Pour ce faire, des considérations menant à avoir une séquence  $\{t_k\}$  croissante sont prises en compte.

### I.3.2 Caractéristiques de l'échantillonnage aléatoire réel

Afin de pouvoir appliquer le RS dans un cas réel d'échantillonnage, l'axe temporel des instants est défini en considérant des constructions visant à avoir des instants d'échantillonnage aléatoires croissants.

#### I.3.2.1 Jittered random sampling

Dans cette construction, une erreur sous forme d'une variable aléatoire  $\tau_k$  est ajoutée autour d'un instant d'échantillonnage uniforme. La séquence d'échantillonnage aléatoire à gigue (JRS, Jittered Random Sampling) s'écrit selon l'équation Eq. I-15.

$$t_k = kT_{RS} + \tau_k; k \in \mathbb{N} \quad \text{Eq. I-15}$$

L'ensemble  $\{\tau_k\}$  est une séquence de variables réelles indépendantes et identiquement distribuées (iid). Afin de garantir un échantillonnage autour de la fréquence moyenne  $f_{RS}$ , la séquence aléatoire doit avoir une moyenne nulle.

Le fait de considérer des instants d'échantillonnage strictement croissants réduit la caractéristique aléatoire de la séquence considérée. Le théorème d'anti-repliement sera donc modifié. La transformée de Fourier dans le cas du JRS, montre bien qu'il y a réduction du pouvoir anti-repliement du RS. L'estimée de la transformée de Fourier d'un signal échantillonné par JRS, donnée par Eq. I-16, a été élaboré dans (26).

$$\hat{X}_{JRS}(f) = \frac{1}{T_{RS}} \sum_{k=-\infty}^{+\infty} X\left(f - \frac{k}{T_{RS}}\right) \Phi\left(-\frac{k}{T_{RS}}\right) + X(f) \odot [1 - \Phi_1(-f)] \quad \text{Eq. I-16}$$

Le terme  $X(f - k/T_{RS})$  montre bien la persistance des répliques avec le JRS. Toutefois, ces répliques sont atténuées par  $\Phi(-k/T_{RS})$ , la fonction caractéristique des variables aléatoires  $\{\tau_k\}$ .

### I.3.2.2 Additive random sampling

Ce type de RS est nommé échantillonnage aléatoire cumulatif (ARS, Additive Random Sampling) compte tenu de la construction de la séquence  $\{t_k\}$ . En effet, le  $k^{\text{ième}}$  instant d'échantillonnage est construit à partir de l'addition du  $(k-1)^{\text{ième}}$  instant d'échantillonnage et d'une variable aléatoire  $\tau_k$  comme présenté par l'équation Eq. I-17.

$$t_k = t_{k-1} + \tau_k = t_0 + \sum_{i=1}^k \tau_i \quad \text{Eq. I-17}$$

Selon cette construction de l'axe temporel, la séquence aléatoire  $\{\tau_k\}$  doit avoir une moyenne égale à  $E[\tau_k] = T_{RS}$  pour garantir une période moyenne d'échantillonnage non uniforme égale à  $T_{RS}$ . Pour le cas de l'ARS, l'estimée de la transformée de Fourier est donnée par l'équation Eq. I-18.

$$\hat{X}_{ARS}(f) = X(f) \odot \frac{1}{1 - \Phi(-f)} + \frac{1}{T_{RS}} X(f) \quad \text{Eq. I-18}$$

Nous pouvons noter que le repliement du signal n'existe pas et qu'il est substitué par un plancher de bruit exprimé par le terme  $(f) \odot \frac{1}{1 - \Phi(-f)}$ ,  $\Phi$  étant la fonction de répartition des variables aléatoires  $\{t_k\}$ .

Nous pouvons donc déduire que dans le cas d'un échantillonnage aléatoire réel, le repliement est toujours réduit. Cette caractéristique s'avère intéressante quand elle est appliquée à un domaine SDR promettant la réduction des répliques et par suite la réduction des contraintes sur les circuits utilisés. L'échantillonnage aléatoire a été utilisé dans de multiples domaines. Nous présenterons dans ce qui suit quelques mises en œuvre du RS.

### I.3.3 Mise en œuvre de l'échantillonnage aléatoire

L'échantillonnage aléatoire a été utilisé dans plusieurs domaines différents incluant le domaine médical (19), les applications radar (20), le traitement d'image, le traitement du signal, etc. Nous présentons dans cette partie trois différentes utilisations de l'échantillonnage aléatoire.

### I.3.3.1 Traitement du signal sans repliement

La technique du traitement numérique à anti-repliement du signal (DASP, Digital Alias-free Signal Processing) a été introduite par Bilinskis et Mikelson et d'autres membres de l'Université de Westminster à Londres (21; 122). Le but de cette réalisation est de traiter les signaux à large bande avec une méthodologie innovante basée sur l'utilisation du RS. L'idée derrière le DASP est de pouvoir optimiser l'exploitation des ADCs. Plusieurs convertisseurs sont limités en termes de fréquence d'échantillonnage mais ont la capacité de traiter un signal à large bande. L'application DASP récente présentée en (123) consiste en un analyseur de spectre. Le but de cette application est d'augmenter la fréquence d'échantillonnage équivalente du signal à analyser. En fait, l'échantillonnage est fait d'une façon pseudo-aléatoire selon une horloge comportant des délais pseudo-aléatoires. Avec le DASP, la bande du signal n'est pas limitée par la moitié de la fréquence d'échantillonnage comme ce qui est requis par le théorème de Shannon (120) mais par la moitié de l'inverse du délai minimal appliqué à l'horloge. Les délais générés sont de l'ordre de 33 nanosecondes. Par conséquent, la bande traitée peut atteindre 700 MHz. Au lieu d'échantillonner cette bande conventionnellement avec une fréquence de 1400 MHz, la DASP offre l'avantage de se limiter à une fréquence d'échantillonnage moyenne  $f_{RS}$  de l'ordre de 53 MHz.

### I.3.3.2 Application du RS dans un contexte SDR

Un travail portant sur l'application du RS à un récepteur radio multistandard a été élaboré en collaboration avec les laboratoires de recherche GRES'COM de SUP'COM et C<sup>2</sup>S de Telecom ParisTech. Dans cette étude, les échantillonnages de type JRS et ARS ont été étudiés. Lors du dimensionnement du récepteur, la mesure de la réduction du repliement spectral est réalisée en s'appuyant sur l'approximation faite par Bilinskis (18). Cette approximation fait intervenir le rapport de sur-échantillonnage (OSR, Over-Sampling Ratio) et un paramètre statistique faisant intervenir la variance de la variable aléatoire.

Les résultats montrent bien que la réduction du repliement tend à relâcher les contraintes sur l'étage en bande de base. L'ordre du filtre anti-repliement a été abaissé et l'AGC a été enlevé de l'architecture en présence d'un ADC 16 bits. Une diminution de la fréquence d'échantillonnage de l'ADC a été aussi possible.

### I.3.3.3 Utilisation du RS dans le domaine de la cryptologie

Une application plus récente qui prend en compte l'échantillonnage non uniforme consiste en un générateur de nombres aléatoires (22). A l'instar des autres générateurs de nombres aléatoires qui donnent une séquence de nombre pseudo-aléatoires et qui se répètent dans le temps, le générateur proposé réussit à produire une séquence de nombres complètement aléatoires. Du fait de considérer une horloge complètement aléatoire dont chaque instant d'échantillonnage peut prendre une valeur dans  $[-\infty, +\infty]$ , un signal donné est échantillonné aléatoirement. La valeur de chaque échantillon du bruit présente un nombre entier. Le bruit discrétisé est converti par un

ADC en binaire codant ainsi des entiers complètement aléatoires. Les entiers sont stockés dans un registre. Pour accroître l'effet aléatoire, l'horloge aléatoire vient sélectionner du registre les nombres à mettre en sortie du système. Cette proposition est très intéressante dans le domaine de la cryptographie vu qu'elle donne des nombres totalement aléatoires avec un processus relativement simple.

### I.3.4 Réalisations du générateur d'horloge aléatoire

Dans chacune des propositions d'utilisation de l'échantillonnage aléatoire citées dans la sous-section I.3.3, un générateur d'horloge aléatoire est proposé. Nous présentons dans ce qui suit la topologie et méthodologie de génération d'une horloge aléatoire.

#### I.3.4.1 Générateur utilisé pour la réalisation du DASP

Le générateur proposé dans l'analyseur de spectre en (123) est basé sur le fait d'ajouter des délais pseudo-aléatoires à une horloge uniforme. L'architecture du générateur d'horloge aléatoire est donnée par la Figure I-18.

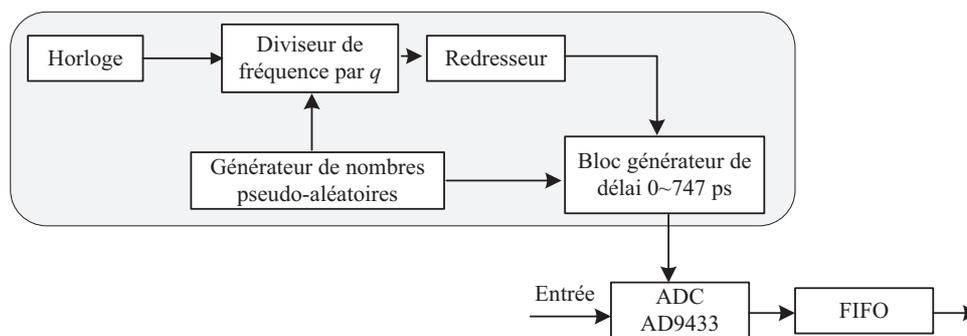


Figure I-18. Architecture de l'horloge aléatoire de l'analyseur de spectre.

Une horloge commande un diviseur de fréquence par un nombre aléatoire variant entre 9 et 16. Ce nombre est généré par un générateur conventionnel de nombres pseudo-aléatoires. Les délais provenant de la fréquence divisée sont ajoutés à l'horloge. L'horloge commande un ADC AD9433. Le bloc de délai n'est pas intégrable. Il comporte des circuits discrets afin d'assurer des pas fins pour l'ajustement des valeurs des délais. Toutefois, ces valeurs sont pseudo-aléatoires. Elles sont exactement au même nombre que les différentes valeurs fournies par le générateur de nombres pseudo-aléatoires

#### I.3.4.2 Génération de l'horloge pseudo-random signal sampler

L'étude appliquant le RS au domaine de la radio logicielle restreinte ne se limite pas au niveau théorique (119). Un banc de test a été élaboré pour faire des acquisitions d'un signal échantillonné aléatoirement et de mesurer l'effet de la réduction du repliement. Le générateur d'horloge aléatoire nommé Pseudo-random Signal Sampler (PSS) fournit une horloge pseudo-aléatoire. Son architecture est donnée par la Figure I-19.

La génération de l'horloge se fait par une sélection pseudo-aléatoire de signaux de phases différentes commandée par le LFSR (Linear Feedback Shift Register). La

fréquence d'une horloge externe est divisée. Chaque fréquence donne naissance à un signal d'horloge différent via la fonction combinatoire du PSS.

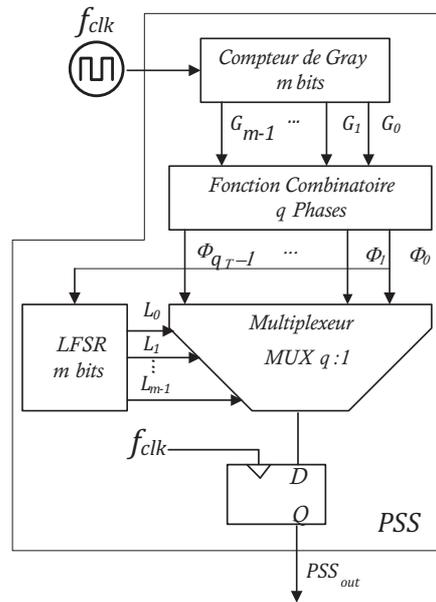


Figure I-19. Architecture du Pseudo-random Signal Sampler.

Le LFSR choisit un signal parmi les différentes possibilités et le copie sur la sortie du PSS. Ce générateur est aussi pseudo-aléatoire. Les différentes phases de l'horloge en sortie ont le même nombre que la longueur de la séquence générée par le LFSR.

### I.3.4.3 Génération d'une horloge totalement aléatoire

L'horloge du générateur de nombres aléatoires est présentée par la Figure I-20. Sa fonction de génération et son architecture sont bien simples. Le principe est de comparer l'amplitude d'un bruit blanc à une valeur référentielle.

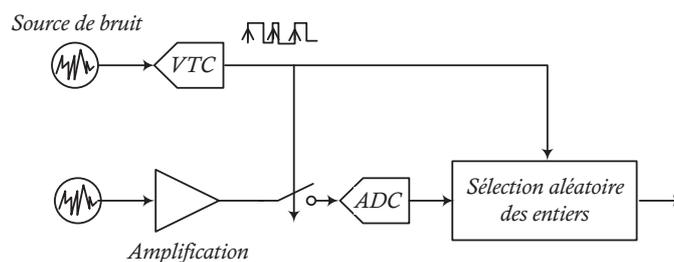


Figure I-20. Principe du fonctionnement du générateur de nombres aléatoires.

Deux sources génèrent deux bruits analogiques totalement indépendants et asynchrones. Dans le brevet (22), les auteurs proposent des sources analogiques provenant de processus physiques tels que le bruit thermique ou bien le bruit photoélectrique. Un premier bruit analogique est converti en une horloge non uniforme via un convertisseur tension-temps (VTC, Voltage-to-Time Converter). Le deuxième bruit analogique est amplifié puis échantillonné avec l'horloge non uniforme obtenue.

L'avantage de ce générateur est le caractère totalement aléatoire de son horloge. Toutefois, ce générateur ne peut pas être pris en considération vu qu'aucune configuration de l'apparition des instants d'échantillonnage ne peut être faite. Ainsi, les conditions pour un échantillonnage sans repliement ne peuvent pas être satisfaites à travers l'utilisation de cette horloge.

L'échantillonnage aléatoire semble promettre de multiples avantages lors du traitement du signal. L'élimination ou la réduction du repliement spectral faciliterait le processus de récupération d'un signal donné surtout dans le domaine de la radio. Ce type d'échantillonnage permet aussi d'atteindre un meilleur niveau de sécurité pour le domaine de la cryptographie. Cependant, une complexité vient s'ajouter au système due au générateur de l'horloge conduisant au RS. Seuls quelques générateurs sont facilement intégrables parmi lesquels, seul le PSS permet de s'adapter aux conditions d'anti-repliement.

## **Conclusion**

L'étude portant sur les architectures de réception radio souligne bien le fait d'avoir de fortes contraintes sur l'étage en bande de base provenant essentiellement de l'étape d'échantillonnage. Ces contraintes sont dues essentiellement à la large dynamique du signal et la fréquence élevée de fonctionnement des circuits. Ces contraintes engendrent une hausse de la consommation de puissance et dans certain cas une incapacité de trouver les circuits répondant aux spécifications recherchées. Nous nous sommes donc focalisés sur l'étude de l'échantillonnage aléatoire en prévoyant une réduction de la complexité du récepteur SDR ainsi que sa consommation de puissance grâce à la suppression du repliement spectral.

L'étude faite par Ben Romdhane a montré que grâce au RS, l'ordre du filtre anti-repliement est atténué. La fréquence d'échantillonnage de l'ADC a été aussi réduite permettant ainsi de passer à une résolution de 16 bits tout en conservant la même consommation de puissance de l'ADC. Par conséquent, l'AGC a été enlevé de l'étage en bande de base. Dans ses travaux, Ben Romdhane a réussi à justifier le pouvoir de réduction du repliement de RS réel à savoir le JRS et le ARS. Toutefois en implémentation, une considération d'une quantification de l'axe temporel est inévitable amenant à un autre type d'échantillonnage aléatoire à savoir l'échantillonnage aléatoire à temps quantifié (TQ-RS, Time Quantized Random Sampling) basé sur le JRS. Ce type d'échantillonnage n'a pas fait objet d'étude jusqu'à présent. Les acquisitions faites par Ben Romdhane montrent un spectre en sortie avec une multitude de raies parasites. Nous expliquerons plus tard la provenance des raies parasites apparues dans les spectres obtenus par Ben-Romdhane.

C'est à partir de ces résultats que notre travail de recherche commence. Nous nous intéresserons dans le chapitre suivant à étudier de plus près le TQ-RS et à démontrer

son apport à réduire le repliement spectral. Ce travail de recherche s'intéresse aussi à l'échantillonnage aléatoire des signaux modulés et à démontrer l'apport du TQ-RS appliqué à un récepteur radio.