

# Définitions et état de l'art sur les réseaux sur puce

## Sommaire

---

<b>1.1</b>	<b>Métriques pour les réseaux sur puce</b>	<b>8</b>
1.1.1	Latence	9
1.1.2	Débit de données	9
1.1.3	Bande passante de bissection	9
1.1.4	Point de saturation	9
1.1.5	Ressources et surface en silicium	9
1.1.6	Profil énergétique	10
1.1.7	Autres métriques	10
<b>1.2</b>	<b>Approches classiques des interconnexions pour les systèmes sur puce</b>	<b>10</b>
1.2.1	Le bus partagé	10
1.2.2	Réseaux sur puce	12
<b>1.3</b>	<b>État de l'art sur les réseaux sur puce classique</b>	<b>21</b>
1.3.1	ARTERIS	21
1.3.2	VSTNOC	21
1.3.3	Hermes	22
1.3.4	Ætheral	22
1.3.5	SPIN	22
<b>1.4</b>	<b>Comparaison NoC vs bus partagé</b>	<b>23</b>
<b>1.5</b>	<b>Réseaux sur puce émergents</b>	<b>26</b>
1.5.1	Intégration 3D	26
1.5.2	Interconnexions optiques	32
1.5.3	Interconnexion à nano-tube de Carbone	37
1.5.4	Interconnexion RF avec/sans fil (RFNoC)	38
<b>1.6</b>	<b>Conclusion</b>	<b>48</b>

---

Depuis quelques années, les interconnexions sur puce sont devenues une problématique à part entière dans le champ de la conception des SoC. La première raison évidente de l'apparition de cette problématique est bien la complexité des architectures des SoC. En effet, les premiers systèmes sur puce étaient constitués de quelques blocs fonctionnels uniquement, à savoir, un processeur ou un DSP<sup>1</sup>, un système mémoire et quelques interfaces pour connecter des périphériques. Depuis quelques années, cette architecture a très rapidement évolué pour céder face aux architectures à multi-cœur, en l'occurrence les MPSoC (Figure 1.1) avec au départ des configurations à quelques dizaines de cœurs, principalement des blocs de calcul [Vangal 08]. Ensuite des SoC à des centaines de cœurs, voire des milliers [Johnson 11], ont commencé à apparaître. Face à cette évolution d'architecture, un réseau de communication sur puce qui doit être à la fois suffisamment évolutif (scalable) et pouvant atteindre les performances requises pour ce type de SoC, est plus que jamais indispensable.

A travers le contenu de ce chapitre, dans un premier temps, nous rappelons les métriques permettant l'évaluation des performances des interconnexions sur puce. Ensuite, les concepts généraux avec l'état de l'art sur les interconnexions classiques sont exposés. Dans un deuxième temps, une prospection des réseaux sur puces émergents est effectuée.

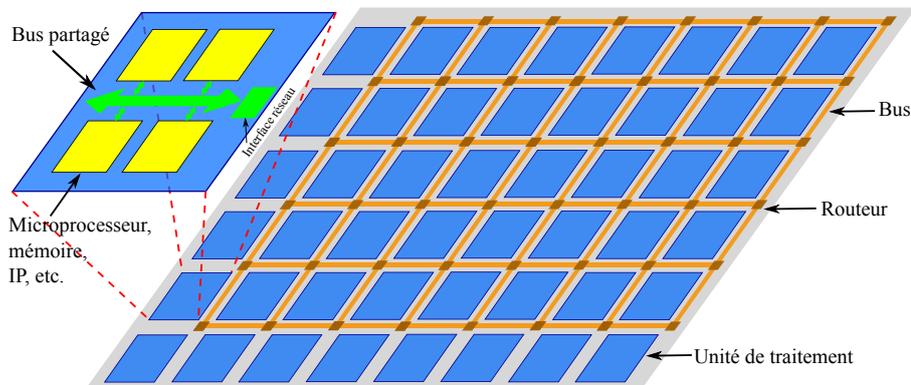


Figure 1.1 – Représentation d'une architecture du type MPSoC

## 1.1 Métriques pour les réseaux sur puce

A l'instar des paramètres généralistes qui permettent de caractériser et d'évaluer les performances des réseaux sur puce tels que la scalabilité ou le taux d'erreur binaire, il existe d'autres métriques plus raffinées dont quelques unes sont citées ci dessous.

1. Digital Signal Processor

## 1.1 Métriques pour les réseaux sur puce

---

### 1.1.1 Latence

La latence est définie comme étant le temps qui sépare le moment d'émission d'une donnée à travers le réseau et le moment de réception de celle-ci par le destinataire. Ce délai englobe le temps de propagation à travers le lien physique (bus ou autre) ainsi que le temps de traitement au niveau de l'émetteur, du récepteur et éventuellement des composants intermédiaires, tels que les routeurs. Cette métrique est à prendre en compte notamment pour les systèmes de communication avec signaux Requête/Confirmation avant l'envoi effectif des données. Dans certains cas, la latence est exprimée en nombre de cycles. La latence peut être mesurée dans différentes configurations du NoC. La latence à vide est mesurée en présence d'un seul message dans le réseau tandis que la latence moyenne est mesurée en présence de plusieurs messages sur le même réseau, ce qui caractérise la capacité du réseau de gérer le partage de ressources par plusieurs messages.

### 1.1.2 Débit de données

Le débit de données qualifie l'aptitude d'acheminement des messages du réseau. Il correspond à la quantité de données transmises à travers le réseau par unité de temps. Tout comme la latence, il est possible de définir un débit à vide ainsi qu'un débit moyen pour un réseau chargé. Il dépend de plusieurs paramètres comme la fréquence de fonctionnement, la bande passante du lien de communication ainsi que le temps de traitement au niveau de l'émetteur et du récepteur.

### 1.1.3 Bande passante de bissection

Si le réseau sur puce est divisé en deux sous-parties égales, la bande passante de bissection indique la bande passante (débit) entre ces deux parties. L'axe de division doit être le plus court possible. Sa valeur est égale à la somme des bandes passantes (débits) des liens qu'il faut couper pour avoir cette division en deux du réseau sur puce[Coppola 08].

### 1.1.4 Point de saturation

Le point de saturation est le point séparant les deux zones de fonctionnement du réseau en terme de capacité à écouler les données y circulant. En effet, pour les taux d'injection des messages inférieurs au point de saturation, la latence reste prédictible et est raisonnable tandis qu'au delà du point de saturation la latence n'est plus prédictible et est très élevée et par conséquent n'est plus acceptable. Dans ce dernier cas, le réseau est dit saturé.

### 1.1.5 Ressources et surface en silicium

Du fait du besoin croissant d'augmenter la densité d'intégration dans les SoC, il est intéressant d'évaluer la superficie dédiée aux interconnexions. Le coût en surface

d'un réseau sur puce est déterminé par les routeurs ou bien les émetteurs/récepteurs, les points de croisement ainsi que les liens physiques de communication (Bus, ligne de transmission). Généralement, la surface du réseau sur puce en Silicium est dominée par celle des routeurs ou des émetteurs/récepteurs, selon le type du NoC.

### 1.1.6 Profil énergétique

Comme tout circuit électronique, la consommation d'énergie électrique des NoC est un point essentiel à prendre en compte. La consommation électrique globale des NoC est composée de deux types de consommation. L'une est dite statique et due aux courants de fuite. Elle dépend principalement de la finesse de la technologie de gravure et du nombre de ressources utilisées. L'autre type de consommation est dite dynamique et dépend principalement des transitions entre les deux états du signal (+Vdd, -Vdd). En technologie 90 nm, la part de l'énergie statique consommée par le NoC ne dépasse pas les 22% [Mullins 06] tandis que celle de l'énergie dynamique peut aller jusqu'à 65% de la consommation globale du NoC. Un certain pourcentage pouvant atteindre les 28% de la consommation globale des NoC est dû aux liens de connexion. À partir de la technologie 32 nm, la consommation en énergie statique prend de l'ampleur et devient majoritaire devant l'énergie dynamique [Rodriguez 06] [Zhan 15].

### 1.1.7 Autres métriques

Il existe d'autres métriques telles que le degré des nœuds qui est donné par le nombre de liens de communication associés à un routeur ou émetteur. Le diamètre du NoC est donné par le nombre maximal de sauts nécessaire pour acheminer un message entre les deux nœuds les plus éloignés du NoC, et cela, en empruntant le chemin le plus court.

## 1.2 Approches classiques des interconnexions pour les systèmes sur puce

Les interconnexions sur puce ont beaucoup évolué depuis les années 1990. Tout au début, les interconnexions sur puce étaient de simples réseaux point à point, puis arrivent les bus partagés qui évoluent ensuite pour des bus hiérarchiques. Vers le milieu des années 2000, les réseaux sur puce font leur apparition et évoluent afin d'accompagner la progression des performances requises pour les SoC.

### 1.2.1 Le bus partagé

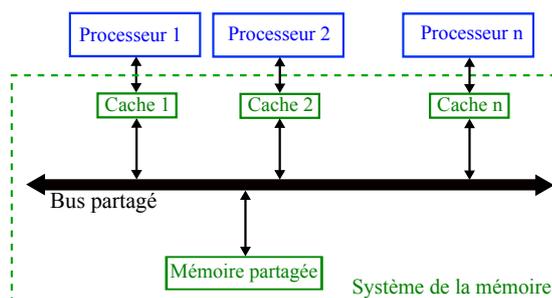
Le bus partagé est l'un des premiers paradigmes de connexion au sein des SoC. Il est encore utilisé dans les SoC dont le nombre des éléments à interconnecter (microprocesseurs, mémoires, IP...) peut aller jusqu'à la dizaine. Le bus partagé est

## 1.2 Approches classiques des interconnexions pour les systèmes sur puce

très utilisé dans les SoCs inclus dans les téléphones mobiles, les consoles portables, les tablettes ou encore les micro-ordinateurs à multi-cœur. Les bus partagés les plus utilisés sont : le bus AMBA<sup>2</sup> et ses variétés de la société ARM<sup>3</sup> [Amba], le CoreConnect d'IBM [IBM], le STBus de STMicroelectronics [STM] et le bus Avalon de ALTERA [ALTERA a].

Un bus partagé est doté de plusieurs ports d'entrée-sortie permettant aux blocs fonctionnels du SoC d'y accéder. Deux types de blocs fonctionnels peuvent être distingués. Les *Maîtres* qui sont des blocs actifs, sont appelés aussi les *Initiateurs* car ils sont à l'origine des requêtes de communication. Les *Esclaves* qui sont des blocs passifs, sont appelés aussi les *Cibles* car ils sont les destinataires des requêtes des maîtres. L'ensemble des requêtes est régi par un langage de communication globale appelé *protocole de communication*. De manière générale, un bus partagé peut être considéré comme un multiplexeur commandé par une fonction d'arbitrage qui permet de gérer les requêtes.

Une architecture d'un SoC, qui est dans cet exemple à mémoire partagée, dont l'interconnexion est effectuée via un bus partagé est représentée dans la figure 1.2.



**Figure 1.2** – Architecture générale d'un SoC à multi-cœurs à mémoire partagée avec une communication via un bus partagé

Dans le cas où le nombre de cœurs à interconnecter est relativement élevé, un bus partagé hiérarchique est utilisé (Figure 1.3). Cette topologie du bus est constituée de bus partagés qui sont reliés par des ponts. Ceci permet de partager la charge sur les sous-bus partagés et par la même occasion réduire la latence.

Mise à part la consommation d'énergie ainsi que la surface en Silicium, du point de vue fonctionnel, l'extensibilité du bus partagé n'est pas limitée, cependant, la latence provoquée par celui-ci est d'autant plus grande que le nombre de blocs fonctionnels à interconnecter est élevé. Par ailleurs, la fonction d'arbitrage se complexifie davantage, notamment lorsque les blocs fonctionnels à interconnecter sont de natures variées.

2. Advanced Microcontroller Bus Architecture

3. Advanced RISC (Reduced Instruction Set Computer) Machines

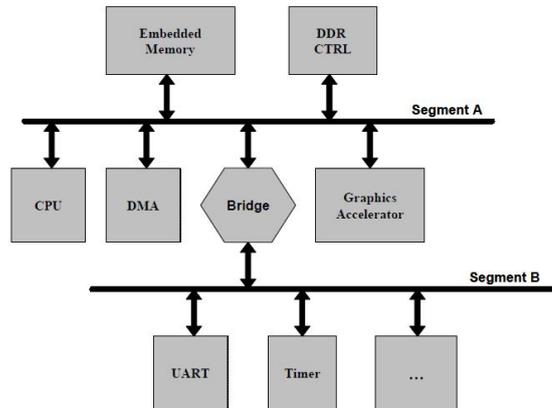


Figure 1.3 – Architecture d'un bus partagé hiérarchique[Coppola 08]

## 1.2.2 Réseaux sur puce

L'évolution des architectures des SoC a fait que le nombre de cœurs qui y sont intégrés est en augmentation. Cette tendance rend l'utilisation des bus partagés inadéquate pour ce type d'architectures. En effet, la bande passante globale du bus partagé répartie sur l'ensemble des cœurs n'est plus en mesure d'assurer l'interconnexion du SoC. A partir de ce constat, les réseaux sur puce sont apparus pour pallier ce problème.

L'architecture des NoC est très semblable à celle des macro-réseaux de façon générale tels que les réseaux de capteurs, avec des contraintes plus ou moins équivalentes mais souvent à des niveaux plus poussés. Le NoC doit être à la fois à très basse consommation d'énergie et réduire au minimum la latence de communication ainsi que le coût en surface de Silicium de l'électronique qui lui est dédiée.

L'architecture des NoC est à la fois évolutive (scalable, mais pas indéfiniment) et permet d'assurer les performances nécessaires pour le fonctionnement des MP-SoC. Dans les réseaux sur puce, il n'y a plus la notion de maître et d'esclave, tous les blocs fonctionnels peuvent être à la fois initiateurs et cibles. Contrairement aux bus partagés, le réseau sur puce transmet des messages sous forme de paquets de données. Ces paquets sont acheminés de l'initiateur vers une ou plusieurs cibles. Cet acheminement est effectué avec des aiguillages dans les routeurs et des transferts via des bus reliant les routeurs.

La topologie la plus connue des réseaux sur puce est le réseau en grille. La figure 1.4 représente un réseau sur puce en grille qui sert d'interconnexion pour un ensemble de nœuds, appelé aussi des "*processing elements*". Ces nœuds sont constitués de processeurs, de mémoires, d'IP ou encore d'une combinaison de plusieurs de ces éléments. Chaque nœud est connecté à son propre routeur à travers une interface réseau (NI<sup>4</sup>) qui empaquette tout message provenant du nœud avant de le transmettre au routeur.

4. Network Interface

## 1.2 Approches classiques des interconnexions pour les systèmes sur puce

---

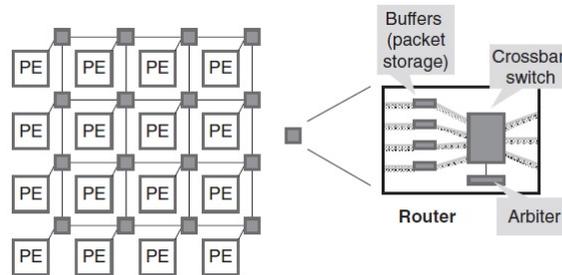


Figure 1.4 – Architecture d'un SoC avec un NoC en grille[[Pasricha 08](#)]

Le routeur est doté de buffers sur ses entrées afin de recevoir les paquets de son propre nœud ou de l'un des routeurs voisins cardinaux. Ensuite, selon l'adresse de destination contenue dans l'entête du paquet, celui-ci est aiguillé vers l'une des sorties appropriée en utilisant un crossbar. Un bloc d'arbitrage accorde la priorité en cas de plusieurs paquets, de sources différentes et à diriger vers la même sortie du routeur. Ainsi, les paquets traversent plusieurs liens d'interconnexions et transitent sur plusieurs routeurs afin de parcourir le chemin reliant leurs sources et leurs destinations. Tous les réseaux sur puce ne fonctionnent pas de la même manière et le fonctionnement du réseau décrit ci-dessus permet juste de mettre l'accent sur sa différence par rapport aux bus partagés.

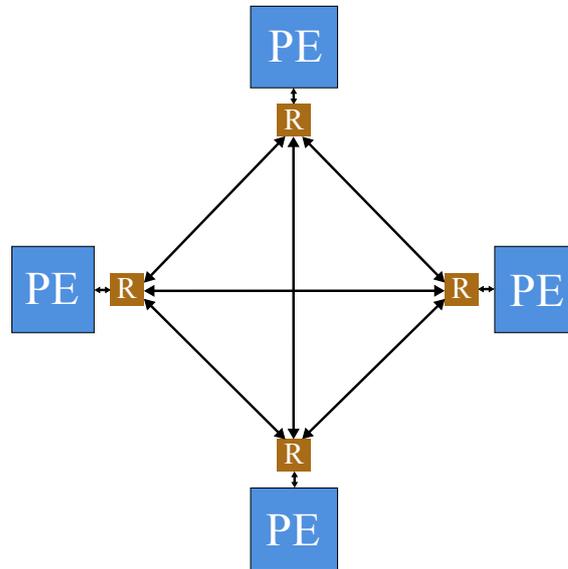
A ce jour, plusieurs architectures de réseaux sont proposées. Il existe des caractéristiques propres à chaque NoC permettant de le différencier de l'ensemble des autres NoC. Quelques unes de ces caractéristiques sont présentées dans les paragraphes suivants.

### 1.2.2.1 Topologie

Un réseau sur puce est caractérisé par sa topologie qui décrit l'organisation des interconnexions physiques du graphe du réseau. Elle désigne le nombre et l'emplacement des liaisons des nœuds (les routeur-commutateurs et les liens d'interconnexion). Il existe deux types de topologies, les topologies directes et les topologies indirectes.

*Le réseau en topologie directe* a la particularité d'associer à chaque routeur, au moins un élément du réseau à interconnecter. Ainsi le nombre de routeurs est inférieur ou égal au nombre d'éléments du réseau à interconnecter. Chaque routeur est connecté directement à un ensemble de routeurs voisins. Cette topologie permet d'augmenter la bande passante globale quand le nombre de nœuds augmente mais cela est couteux en termes de consommation et de surface en silicium. En effet, augmenter le nombre de liens de connexion permet de meilleures performances en bande passante mais cela s'accompagne par un surcoût en consommation d'énergie et en surface de silicium des liens et des routeurs. La figure 1.5 montre une topologie avec une interconnexion complète, c'est à dire, chacun des nœuds est directement connecté avec l'ensemble des autres nœuds du réseau. Lorsque le nombre de nœuds

à interconnecter est élevé, cette approche n'est plus utilisable.

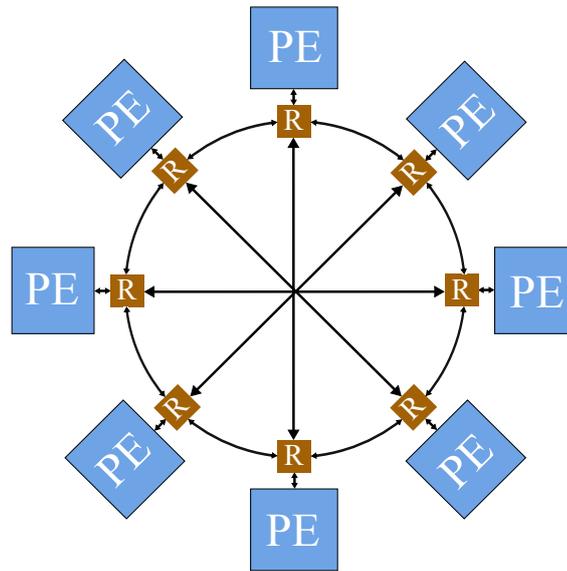


**Figure 1.5** – Topologie d'un NoC direct à interconnexion complète

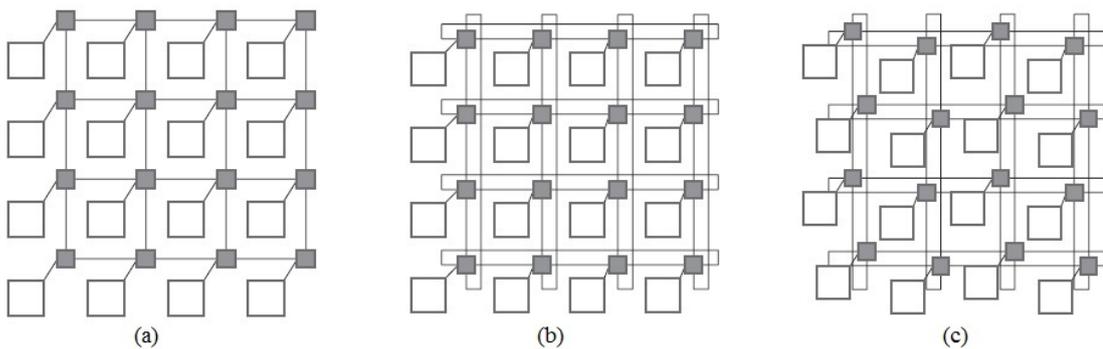
Il existe d'autres configurations de la topologie directe qui offrent un bon compromis entre le coût et les performances du réseau. Dans ces topologies, les connexions physiques directes entre les routeurs ne sont déployées que partiellement. Par conséquent, certains paquets devraient transiter sur un ou plusieurs routeurs intermédiaires avant d'atteindre leurs destinations respectives. L'une des topologies satisfaisant ces conditions est la topologie en octogone (Figure 1.6).

La topologie en octogone (Figure 1.6) est constituée de huit nœuds et douze liens physiques de connexion. L'envoi d'un message nécessite deux sauts au maximum. Le regroupement de plusieurs réseaux en octogone permet d'augmenter le nombre de nœuds du SoC. Un des nœuds des réseaux élémentaires en octogone est transformé en pont afin d'assurer la connexion entre ces derniers.

La topologie la plus connue est celle en grille avec ses variétés (Figure 1.7) dont la plus utilisée est la topologie de grille en deux dimensions (2D) illustrée sur la figure 1.7.(a). Dans le cas de cette topologie, les liens entre routeurs ont tous la même longueur, ce qui facilite la conception du SoC. Chaque routeur associé à un nœud est connecté à quatre routeurs voisins, à l'exception des routeurs situés aux bordures du SoC. La surface de la grille augmente linéairement avec le nombre de nœuds. Le réseau en grille doit être conçu de façon à éviter l'accumulation des paquets au centre de la grille afin d'éviter une éventuelle dégradation des performances du réseau.



**Figure 1.6** – Topologie d'un NoC direct en forme d'octogone



**Figure 1.7** – Topologie d'un NoC direct en grille : (a) En 2D (b) Tore en 2D (c) Tore en 2D plié [Pasricha 08]

La topologie du tore en 2D (Figure 1.7.(b)) est une topologie très semblable à celle en grille 2D. La particularité de celle-ci réside dans les routeurs se trouvant sur les bordures du SoC. Tout couple de ces routeurs se trouvant sur une même ligne ou une même colonne, est relié à travers des liens de connexion relativement longs. Ainsi, tous les routeurs du réseau sont reliés à quatre routeurs, y compris ceux des bordures. Cependant, contrairement à la majorité des canaux du réseau, ceux qui relient les routeurs des bordures étant trop longs peuvent engendrer des latences prohibitives. Afin de remédier partiellement à cette problématique, la topologie du tore en 2D plié est proposée (Figure 1.7.(c)). Dans le cas de cette topologie, tous les liens entre routeurs ont pratiquement la même longueur.

*Le réseau en topologie indirecte* associe à chaque nœud du réseau un routeur externe à celui-ci. La topologie indirecte contient aussi des routeurs qui ne sont associés à aucun nœud. Le fonctionnement de ces derniers consiste uniquement à aiguiller les messages. Du fait de leur fonction, ces routeurs sont aussi appelés commutateurs. Les routeurs auxquels les nœuds sont connectés assurent une connexion de type point à point pour permettre à chaque nœud de communiquer avec le reste du réseau. Les topologies indirectes les plus connues sont la topologie en arbre (Figure 1.8)[Wang 12] ainsi que la topologie en papillon (Figure 1.9)[Moussa 07].

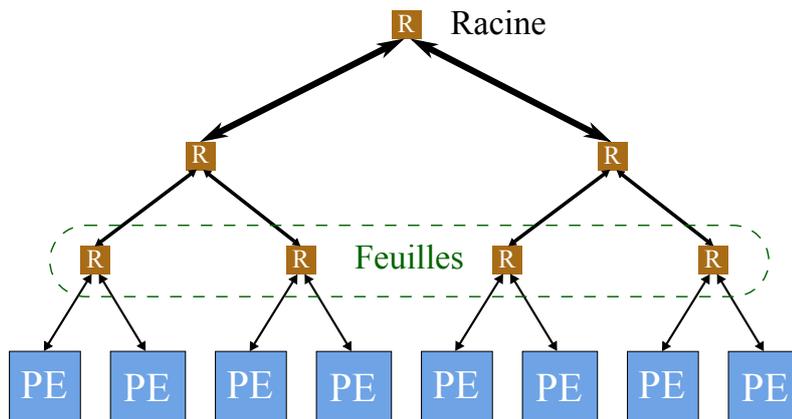


Figure 1.8 – NoC en arbre élargi

Dans la topologie en arbre (Figure 1.8) les éléments du réseau à interconnecter sont reliés aux feuilles de l'arbre. Dans une configuration simple de cette topologie, le trafic est très élevé au niveau de la racine de l'arbre ainsi que des commutateurs voisins. Afin d'améliorer les performances de cette topologie, une autre topologie dite en arbre élargi a été proposée. La particularité de la topologie en arbre élargi réside dans la bande passante des liens de connexion entre commutateurs qui augmente au fur et à mesure que l'on se rapproche de la racine.

La figure 1.9 montre la topologie en papillon à huit éléments à interconnecter et trois niveaux de crossbar. Dans cette figure, pour des considérations de clarté, les modes initiateur et cible du même nœud (PE<sup>5</sup>) communicant sont représentés séparément.

### 1.2.2.2 Mécanismes de commutation

Le mécanisme de commutation détermine la façon dont les paquets passent à travers les routeurs du réseau. Les nœuds génèrent les messages à échanger à travers le NoC. Ces messages peuvent être constitués d'un ou plusieurs paquets. Le paquet est divisé en FLIT<sup>6</sup> qui est à son tour constitué d'un ou plusieurs PHIT<sup>7</sup>. La PHIT

5. Processing Element

6. FLow control unIT

7. PHysical unIT

## 1.2 Approches classiques des interconnexions pour les systèmes sur puce

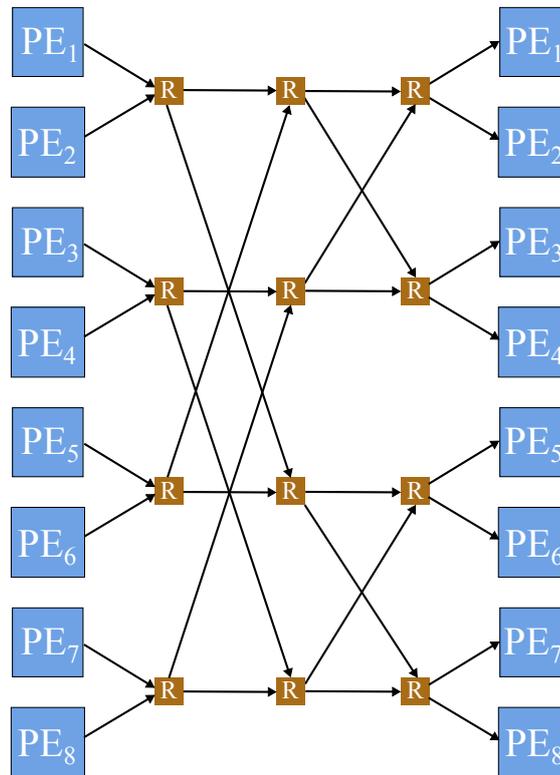


Figure 1.9 – NoC en papillon

est une donnée transférable sur un lien de connexion en un coup d'horloge, ce qui revient à dire que la taille du PHIT correspond à la largeur en bits du lien de communication. La figure 1.10 montre la structure d'un FLIT, d'un paquet et d'un message. Chaque NoC dispose de sa propre configuration des messages. Le choix sur la taille des messages est déterminant pour le NoC en termes de performances, de coût ainsi que de la consommation en énergie.

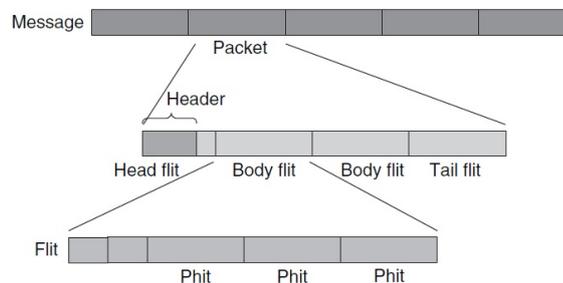


Figure 1.10 – Structure d'un message, d'un paquet, d'un FLIT et d'un PHIT [Pasricha 08]

Il existe deux types principaux de mécanismes de commutation : la commutation du circuit et la commutation de paquets.

En *commutation de circuit*, les communications se font en deux étapes. Le chemin physique de la source jusqu'à la destination est d'abord réservé, ensuite, le message est transmis entièrement. Ce chemin est constitué de liens de connexion, de routeurs et éventuellement de commutateurs. Le FLIT d'entête du message traverse en premier le chemin de la source vers la destination afin de réserver le chemin et ouvrir la voie pour le reste des FLIT du même message. Il arrive parfois que l'un des liens de connexion ou l'un des routeurs ne soit pas encore disponible, dans ce cas le chemin est mis en attente. L'avantage de cette technique est que, une fois le chemin réservé, une liaison directe de la source à la destination est disponible dont la bande passante est égale à celle des liens de connexion, ce qui mène à une réduction de la latence. Par contre, cette technique devient très vite moins avantageuse dès que le nombre de nœuds augmente. Cela est dû à la non disponibilité de toutes les ressources mises à disposition de la communication en cours pendant toute la durée de cette dernière. La solution pour remédier à ce problème est de multiplier les canaux virtuels sur le même lien physique et d'utiliser les circuits virtuels pour les commutations [Benini 06].

En *commutation de paquets*, les paquets sont envoyés à travers le réseau sans réservation préalable d'un chemin de l'initiateur à la cible. Ceux-ci définissent leur chemin de manière indépendante au fur et à mesure de leur propagation dans le réseau jusqu'à leur arrivée à la cible. Plusieurs paquets peuvent arriver en même temps à un routeur et solliciter l'emprunt du même lien de connexion. Cela réduit la durée de non disponibilité des ressources en cours d'utilisation, en revanche, cela nécessite une gestion des contentions au niveau des routeurs.

Il existe trois types de commutations de paquets. Le premier est le "*store and forward*" qui consiste à envoyer un paquet d'un routeur à un autre uniquement si le routeur émetteur a fini de recevoir l'intégralité du message qu'il doit transmettre et que le buffer du routeur récepteur a suffisamment de mémoire libre pour recevoir l'intégralité du paquet. Ce type de commutation de paquets n'est pas très utilisé à cause de la contrainte de la taille des buffers qui doit être au minimum égale à celle des paquets. Le second type de commutation de paquets est le "*virtual cut through*". Avant de finir la réception d'un paquet, le routeur émetteur commence à envoyer les premiers FLIT au routeur suivant mais uniquement si le buffer de ce dernier a suffisamment d'espace pour recevoir la totalité du paquet en question. Cette technique aussi n'est pas très utilisée à cause de la taille des buffers qu'elle nécessite. Le troisième type de commutation de paquets est le *wormhole*. La taille des buffers nécessaires est réduite à celle des FLIT. Dès qu'un FLIT est reçu, il est transmis au prochain routeur dès que l'espace requis se libère. Si le routeur prochain n'a pas suffisamment d'espace pour recevoir le paquet entièrement, celui-ci se retrouvera distribué sur deux routeurs, voire plus. Bien que cette situation puisse provoquer des blocages de ressources, cette technique de commutation est très utilisée dans les NoC, seule ou en combinaison avec d'autres techniques.

## 1.2 Approches classiques des interconnexions pour les systèmes sur puce

---

### 1.2.2.3 Fonction de routage

La fonction de routage assure le bon fonctionnement du routage des paquets ou des circuits le long du chemin de la source à la destination. La fonction de routage est choisie en faisant un compromis entre plusieurs paramètres, à savoir la puissance requise pour le routage, la taille de la table de routage, le retard du routage, etc. Les fonctions de routage peuvent être classées en plusieurs catégories.

Les fonctions de routage peuvent être *statiques* ou *dynamiques*. Une fonction de routage est dite statique ou encore déterministe lorsque le chemin emprunté pour transférer des paquets d'un routeur source à un routeur destination est fixe et cela quel que soit l'état en cours du NoC et la charge au niveau des routeurs ainsi que des liens de connexion. Pour les fonctions de routage dynamiques, la décision sur le routage est prise en fonction de l'état en cours du NoC et de la charge à laquelle il fait face. Ainsi, le chemin de transfert d'un routeur source à un routeur de destination peut évoluer dans le temps, notamment dans le cas où les besoins de l'application en cours changent. La fonction de routage dynamique permet de gérer mieux la distribution du trafic sur le NoC même si cela est assuré au prix d'un surcoût en ressources. Elle propose notamment des chemins alternatifs lorsque certaines directions sont en contention ou des routeurs ne fonctionnent plus.

Que ce soient des fonctions de routage statiques ou dynamiques, elle peuvent être classées selon l'emplacement de l'information de routage et la prise de décision de routage en *source* ou bien *distribuée*. Lorsque la fonction de routage est distribuée, les paquets entraînent avec eux l'adresse de la destination. Celle-ci est utilisée au niveau de chaque routeur et après chaque saut afin de définir le port de sortie vers lequel le paquet sera dirigé tout en consultant la table de routage logé dans ce même routeur. La fonction de routage en source ne nécessite ni d'inclure l'adresse de la destination dans l'entête des paquets ni de table de routage au niveau des routeurs intermédiaires. En revanche, l'entête des paquets contient des indications sur le chemin à emprunter (liste des routeurs relayeurs). Le nombre de bits nécessaires à cet entête augmente lorsque le chemin du paquet est long.

Les fonctions de routage peuvent être différenciées par le fait qu'elles soient à *routage minimal* ou à *routage non-minimal*. La classification est effectuée selon que la distance du chemin de routage est le minimum possible ou pas. En routage minimal, le paquet n'est envoyé que lorsque le chemin minimal est libre. Contrairement à cela, le routage non-minimal permet d'emprunter un chemin plus long que le minimum, ce qui permet d'éviter des contentions dans le NoC mais au prix d'un surcoût en consommation.

La fonction de routage doit éviter toute situation d'inter-blocage dans le cas de commutation des paquets. L'inter-blocage statique est une dépendance cyclique des demandes de ressources par un ensemble de routeurs. L'inter-blocage statique se

produit lorsque les routeurs s'empêchent mutuellement de l'obtention des ressources (routeur ou canal) dont ils ont besoin pour continuer leurs propagation dans le réseau [Coppola 08]. Ce type d'inter-blocage apparaît notamment dans la commutation de paquet en wormhole. Il existe aussi l'inter-blocage dynamique. Les routeurs se trouvant en inter-blocage dynamique forment un itinéraire en boucle fermé des paquets. Ainsi, les paquets se déplacent à travers cet itinéraire sans pouvoir sortir et atteindre leurs destinations respectives.

*La fonction de routage en XY* est sans doute l'une des plus utilisées dans les topologies de grille en 2D [Chawade 12]. La fonction de routage en XY basique appelée aussi statique consiste à transférer le paquet horizontalement puis verticalement en utilisant les coordonnées du routeur actuel et celles du routeur de destination. Il existe des variétés de cette fonction de routage. La fonction IX/Y consiste à router 50% des paquets en XY et 50% en YX. La fonction XY Dynamique (DyXY) est une fonction adaptative. Lorsque le chemin le plus court entre un routeur source et un routeur destination n'est pas unique, la fonction DyXY aide le paquet à choisir son chemin selon la charge en cours du réseau. La fonction XYX est une variété avec de la tolérance aux fautes. En effet, les paquets sont envoyés avec une redondance. Un marquage est introduit dans l'entête des paquets afin de distinguer l'original de celui de redondance. Le paquet original est routé en XY tandis que le paquet de redondance est routé en YX. Une autre variété de la fonction de routage XY est la fonction XY adaptative. Elle détermine le chemin des paquets en fonction de la charge en cours du réseau. Le chemin emprunté n'est pas forcément le plus court.

#### 1.2.2.4 Protocole de contrôle de flux

Le rôle du protocole de contrôle de flux est d'allouer les ressources du NoC aux paquets traversant celui-ci. Le mécanisme de contrôle de flux s'occupe également de la gestion des conflits d'accès aux ressources du NoC. A titre d'exemple, lorsqu'une erreur de transmission d'un FLIT à travers le lien de connexion apparaît et qu'il va falloir l'envoyer à nouveau alors qu'en même temps, le FLIT suivant doit être envoyé lui aussi, le mécanisme de contrôle de flux intervient pour gérer ce conflit.

#### 1.2.2.5 Système d'horloge du NoC

L'horloge dans les SoC est un point aussi sensible que les réseaux sur puce. En effet, d'une part, la génération et la distribution du signal d'horloge nécessaire au fonctionnement de l'ensemble des nœuds pourrait consommer dans certains cas jusqu'à 40% de la consommation globale du SoC [da Rosa 12], d'autre part, en plus des rayonnements électromagnétiques, le signal d'horloge est l'une des sources principales du bruit dans les SoC.

Idéalement, tous les nœuds du réseau doivent être cadencés sur une seule horloge globale mais à l'heure actuelle il est très difficile, voir impossible d'assurer la génération des signaux de l'horloge correctement synchronisés à l'entrée de chacun

### 1.3 État de l'art sur les réseaux sur puce classique

---

des nœuds du même SoC. Plusieurs paramètres peuvent être à l'origine du décalage entre ces signaux, à savoir, les variations de l'impédance d'entrée des buffers, de la longueur des liens de connexion, du processus de fabrication qui mène à des changements des valeurs des résistances, des capacités et des inductances. Face à cette problématique, le mécanisme GALS<sup>8</sup> a été proposé et consiste en un fonctionnement du SoC globalement asynchrone et localement synchrone [Ludovici 11]. Des travaux de recherche ont été menés afin de proposer des solutions pour des SoC complètement synchrones, entre autre, en utilisant un oscillateur contrôlé numériquement [Terosiet 12], ou encore en utilisant une distribution d'une horloge mère par un arbre en H [Rosenfeld 06]. Une solution encore plus originale a été proposée et consiste à utiliser un réseau d'antennes intégrées afin de distribuer le signal d'horloge [Floyd 02].

### 1.3 État de l'art sur les réseaux sur puce classique

Un réseau sur puce est caractérisé par son architecture définie par sa topologie et un ensemble de paramètres permettant la gestion et l'organisation des communications. Ces paramètres sont, le mode de commutation, la fonction de routage, le contrôle de flux et la gestion de l'horloge. Dans la littérature, des NoC académiques ou industriels sont proposés dont quelques uns sont cités ci-dessous.

#### 1.3.1 ARTERIS

Ce réseau est proposé par la société ARTERIS [ARTERIS], fournisseur d'IP pour les NoC, principalement des commutateurs et des interfaces réseau. Ce réseau peut être personnalisé en plusieurs topologies et offre la possibilité de le connecter via des interfaces à des bus partagés. Il fonctionne en mode complètement synchrone ou en GALS. Deux outils d'aide à la conceptions sont proposés, le *NoCexplorer* permettant la description et la simulation d'une topologie et le *NoCcompiler* qui, une fois la description validée, génère une description matérielle des ressources nécessaires au NoC décrit.

#### 1.3.2 VSTNOC

Le VSTNOC<sup>9</sup> est l'évolution du bus STBus de ST Microelectronic [STM] pour les réseaux sur puce [Scandurra 08]. Une famille de topologies est proposée avec divers formats de paquets constituant les messages échangés. Les IP accèdent à ce réseau à travers des unités d'interface réseau. En utilisant des routeurs pipelinés, le VSTNOC permet d'augmenter la fréquence d'échange de données. Un autre point fort de cette architecture est l'encombrement minimal des liens d'interconnexion.

---

8. Globally Asynchronous Locally Synchronous

9. Versatile ST-Microelectronics Network On Chip

### 1.3.3 Hermes

Hermes est un réseau en accès libre et de topologie en grille 2D dont la taille est personnalisable. Ce réseau est caractérisé par la commutation de paquets en mode wormhole et une fonction de routage XY [Moraes 04]. L'élément principal de ce réseau est le routeur qui est équipé de cinq ports d'entrée/sortie, quatre avec ses voisins cardinaux. Le cinquième port est lié localement avec un processeur ou une IP. Les entrées des ports sont équipées de buffers dont la taille est paramétrable mais de huit FLIT par défaut. Ces buffers emmagasinent les paquets en queue afin d'éviter la contention dans le routeur. Les deux premiers FLIT du paquet constituent son entête et contiennent l'adresse de destination ainsi que le nombre de FLIT du paquet.

### 1.3.4 Ætheral

Le réseau Ætheral a été développé dans les laboratoires de recherche de la société Philips [Goossens 05]. C'est un réseau indirect qui achemine les messages par commutation de paquets en wormhole. La fonction de routage est déterministe et localisée au routeur source. Les paquets sont mis en file d'attente au niveau des buffers pour gérer le trafic. La configuration de ce réseau est mise en œuvre afin d'éviter les inter-blocages statiques et dynamiques. Un premier paquet contenant l'adresse du routeur émetteur et celle du routeur récepteur est envoyé afin d'ouvrir et de réserver un chemin pour la suite des paquets. Si ce premier paquet ne parvient pas à atteindre la destination à cause de l'impossibilité de réserver tous le chemin, un second paquet prévient la source en empruntant le chemin inverse, en libérant au passage les ressources réservées initialement. Dans le cas où le premier paquet atteint la destination, un autre type de paquet est envoyé à la source afin de confirmer la réservation du chemin.

### 1.3.5 SPIN

Le réseau SPIN<sup>10</sup> [Adriahantenaina 03] est conçu en topologie d'arbre élargi. La commutation se fait sur les paquets en mode wormhole. Quand un routeur doit gérer plusieurs paquets, ceux-ci sont mis en file d'attente. La taille des paquets n'est pas limitée. Chaque paquet est constitué de FLIT dont la taille est de 4 octets. Le paquet commence par un FLIT d'entête, suivi par des FLIT de données et enfin un FLIT de fin de paquet. Un octet du FLIT d'entête contient l'adresse de la destination tandis que le reste du FLIT sert pour d'autres services et options de routage.

Il existe encore beaucoup d'autres architectures de NoC qui ont été proposées dans la littérature. L'ensemble de ces architectures dites classiques, à partir d'un certain nombre d'éléments du réseau à interconnecter, s'avèrent insuffisantes pour

---

10. Scalable Programmable Integrated Network

## 1.4 Comparaison NoC vs bus partagé

---

répondre aux performances requises pour les MPSoC. D'autres paradigmes pour les NoC sont donc plus que nécessaires.

## 1.4 Comparaison NoC vs bus partagé

Le tableau suivant récapitule les avantages et les inconvénients des NoC et des bus partagés, tout en faisant la comparaison entre les deux selon plusieurs critères.

**Table 1.1** – Comparaison NoC vs bus partagé ([Yoo 08]).

Paramètres	NoC	Bus partagé
<b>Bande passante et rapidité</b>	<ul style="list-style-type: none"><li>⊕ Transfert de données non bloquant, les transferts sont concurrents.</li><li>⊕ Liens de connexion pipelinés.</li><li>⊕ La modélisation/conception est facilitée par la régularité de l'architecture.</li></ul>	<ul style="list-style-type: none"><li>⊖ Transfert de données bloquant.</li><li>⊖ L'ajout d'unités dégrade les performances électriques du bus partagé.</li></ul>
<b>Utilisation des ressources</b>	<ul style="list-style-type: none"><li>⊕ Partage des ressources de transfert de manière régulée.</li></ul>	<ul style="list-style-type: none"><li>⊖ Un seul maître utilise le bus partagé durant son transfert de données.</li></ul>

*...Suite à la page suivante.*

TABLE 1.1 – (suite de la page précédente)

Paramètres	NoC	Bus partagé
<b>Fiabilité</b>	<ul style="list-style-type: none"> <li>⊕ Facilité de contrôle et de détection d'erreurs grâce aux paquets.</li> <li>⊕ Liens de communication entre commutateurs courts permettent la fiabilité de signalement d'erreur.</li> <li>⊕ Possibilité de rerouter le paquet en cas de défaillance d'un chemin.</li> </ul>	<ul style="list-style-type: none"> <li>⊖ Contrôle d'erreurs pénalisant.</li> <li>⊖ Probabilité d'erreur élevée à cause de la longueur des fils du bus.</li> <li>⊖ Une défaillance partielle conduit systématiquement à la défaillance intégrale du bus.</li> </ul>
<b>Arbitrage</b>	<ul style="list-style-type: none"> <li>⊕ Arbitrage distribué et nécessite une logique de petite taille et rapide.</li> <li>⊖ L'arbitrage distribué utilise pratiquement des informations locales, pas/peu les conditions globales du trafic.</li> </ul>	<ul style="list-style-type: none"> <li>⊖ Tous les maîtres sollicitent un seul et même arbitre ce qui implique une logique de taille élevée et une réduction de la rapidité du bus.</li> <li>⊕ La centralisation d'arbitrage permet de prendre les décisions les plus optimales.</li> </ul>
<b>Énergie</b>	<ul style="list-style-type: none"> <li>⊕ La communication point à point réduit la consommation d'énergie.</li> </ul>	<ul style="list-style-type: none"> <li>⊖ Communication en diffusion (broadcast) nécessite plus d'énergie.</li> </ul>

...Suite à la page suivante.

## 1.4 Comparaison NoC vs bus partagé

TABLE 1.1 – (suite de la page précédente)

Paramètres	NoC	Bus partagé
<b>Modularité et complexité</b>	<ul style="list-style-type: none"> <li>⊕ La réutilisation des routeurs/commutateurs et des liens de communication réduit considérablement le temps de conception.</li> </ul>	<ul style="list-style-type: none"> <li>⊖ Conception de bus spécifique donc peu/pas réutilisable.</li> </ul>
<b>Scalabilité</b>	<ul style="list-style-type: none"> <li>⊕ La bande de bisection augmente avec la taille du réseau.</li> </ul>	<ul style="list-style-type: none"> <li>⊖ Le bus partagé devient lent en augmentant le nombre d'éléments à interconnecter.</li> <li>⊖ Faiblement scalable.</li> </ul>
<b>Horloge</b>	<ul style="list-style-type: none"> <li>⊕ Pas besoin d'une synchronisation globale.</li> </ul>	<ul style="list-style-type: none"> <li>⊖ Nécessité de synchronisation de l'ensemble des nœuds à interconnecter via le bus partagé.</li> </ul>
<b>Latence</b>	<ul style="list-style-type: none"> <li>⊖ Les contentions au niveau des routeurs se traduisent en latence.</li> <li>⊖ L'arbitrage à répétition dans chaque routeur aboutit à un cumul de latence.</li> <li>⊖ les opérations de paquetage, de synchronisation et d'interfaçage entraînent de la latence supplémentaire.</li> </ul>	<ul style="list-style-type: none"> <li>⊕ Latence faible. La fonction d'arbitrage est relativement simple.</li> </ul>

...Suite à la page suivante.

TABLE 1.1 – (suite de la page précédente)

Paramètres	NoC	Bus partagé
Surface	⊖ Les routeurs/ commutateurs et les buffers nécessitent d'avantage de surface.	⊕ Nécessite moins de surface et de buffers.
Standardisation	⊖ Faible standardisation.	⊕ Largement standardisé (AMBA, OCP, etc).

## 1.5 Réseaux sur puce émergents

Avec l'évolution de la finesse des technologies, le nombre de cœurs intégrés dans un SoC atteint plusieurs centaines voire des milliers. A partir de la technologie 90 nm, le retard dans les fils de connexion qui sont de plus en plus longs n'est plus négligeable. L'augmentation de ce retard est dû également au rétrécissement de la section des fils ainsi que du pas entre deux fils voisins ce qui mène à l'augmentation de la constante  $RC$ . D'autre part, la probabilité d'erreur sur les données échangées à travers le réseau est plus élevée à cause de plusieurs paramètres, entre autre, les interférences électromagnétiques (le bruit du crosstalk) et les problèmes de synchronisation.

De nouveaux paradigmes d'interconnexion sur puce ont fait leur apparition afin de remédier aux limites des NoC classiques. En effet, avec leur configuration actuelle, les NoC n'assurent plus les performances de communication requises afin d'accompagner l'évolution des performances des SoC, .

### 1.5.1 Intégration 3D

Le réseau sur puce en 3D, étant l'évolution naturelle de celui en 2D, était la première solution envisagée afin d'améliorer les performances des réseaux sur puce. En plus des communications horizontales, l'intégration 3D permet des communications verticales à travers des TSV<sup>11</sup> généralement. Les avantages principaux de l'intégration 3D sont, d'une part, la réduction considérable de la longueur des liens de connexion entre routeurs et d'autre part, la diminution du nombre de sauts nécessaires pour parcourir un chemin de données. L'intégration 3D des SoC, présente

---

11. Through-Silicon Via

## 1.5 Réseaux sur puce émergents

---

d'autres avantages en dehors du NoC tels que l'empilement de technologies hétérogènes, la réduction de la surface de la puce et enfin la réutilisation des masques sur plusieurs niveaux en cas de symétrie.

### 1.5.1.1 Principe

L'empilement 3D des SoC permet une haute densité d'intégration. Par ailleurs, la consommation d'énergie globale des NoC ainsi que la latence sont tous les deux réduits.

L'intégration en 3D concerne non seulement les *processing elements* mais le NoC aussi afin de tirer profit au maximum de cette approche. L'élément clé des NoC 3D est le routeur, sachant qu'il doit assurer à la fois une faible latence et une large bande passante. Diverses architectures des routeurs 3D sont envisageables dont quelques unes sont décrites ci-dessous.

*Le routeur en 3D de base* ou encore *le routeur symétrique* (Figure 1.11) est l'évolution naturelle du routeur en 2D. En plus des cinq ports dont le routeur 2D est doté, deux ports supplémentaires sont nécessaires pour un accès vertical. Ainsi, le routeur 3D requiert un large crossbar ( $7 \times 7$ ), un algorithme de routage plus compliqué et des buffers à chaque port. Ce routeur ne distingue pas les liens de connexion verticaux (courts, environ quelques microns) et les liens de connexion horizontaux (relativement longs, de l'ordre du millimètre). Toute communication, quelle soit intra-niveau ou inter-niveau, constitue un saut et est vue de la même manière par le routeur. L'avantage principal de ce routeur est la baisse du nombre de sauts grâce à la réduction de la taille du NoC sur chaque niveau. Cependant, l'amélioration en termes de latence est infime à cause de la multitude de transferts de données inter-niveaux. Dans le cas où le nombre de sauts est très élevé, le gain en terme de puissance dissipée grâce à la réduction du nombre de sauts nécessaires pour un transfert, peut vite être rattrapé par l'augmentation de puissance et de la surface du crossbar des routeurs. D'autres limites s'ajoutent à celles-ci, telles que l'augmentation de la taille des buffers, la complexité de la logique de routage et de celle d'arbitrage à cause des ports supplémentaires.

*Le routeur 3D hybride* (Figure 1.12) est appelé aussi routeur *asymétrique* à cause de l'asymétrie entre les latences dans les liens de connexions verticaux (courts) et horizontaux (longs). Étant donnée la courte distance des interconnexions verticales, une communication à travers tous les niveaux empilés, en un seul saut, est faisable. En effet, un bus partagé est utilisé pour les communications verticales et permet en un seul saut un transfert de données entre routeurs, qu'ils soient voisins ou pas. Contrairement au routeur symétrique, le routeur asymétrique requiert un seul port supplémentaire par rapport au routeur 2D ; ce port lui permettant d'accéder au bus partagé. Malgré l'amélioration qu'apporte le routeur asymétrique par rapport au routeur symétrique, son point faible reste la sérialisation des communications

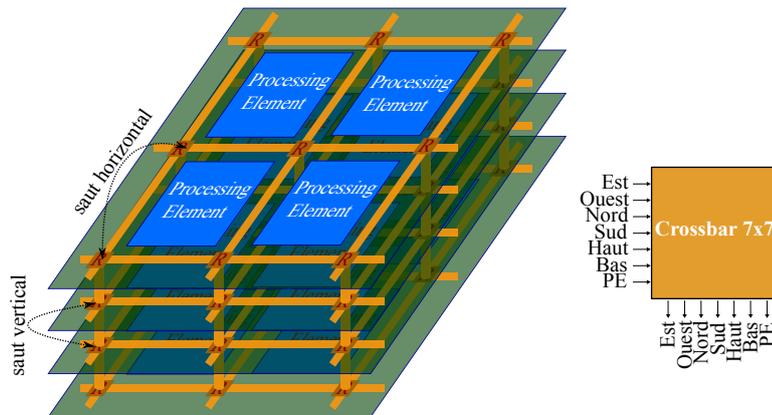


Figure 1.11 – NoC en 3D avec routeur symétrique [Kim 07]

à travers le bus partagé. En cas de grande quantité de paquets à écouler, le bus partagé peut créer une forte contention. Le bus vertical permet de réduire la latence globale du NoC par contre la bande passante verticale est considérablement réduite.

*Le véritable routeur 3D* implémente un crossbar en 3D, par conséquent, les liens

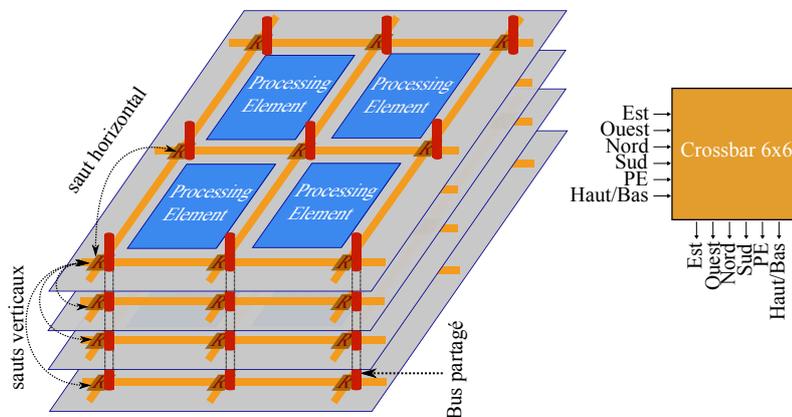


Figure 1.12 – NoC en 3D avec routeur asymétrique [Kim 07]

de connexions verticaux ne sont pas nécessaires. L'architecture du crossbar en 3D est une évolution du Crossbar 2D. Il est constitué d'un crossbar en 2D lui permettant des commutations entre ports du même niveau et des boîtes de connexion pour les commutations entre niveaux successifs (Figure 1.13). Pour un crossbar 3D à partir d'un crossbar 2D de  $5 \times 5$ , il faudrait 25 boîtes de connexion. La fusion de tous les routeurs se trouvant sur la même ligne verticale donne lieu à de multiples chemins possibles. Par ailleurs, pour les routeurs de niveaux différents et se trouvant sur une même ligne verticale, les communications entre eux en un seul saut sont rendues possibles par cette approche. Par exemple, une communication entre le port *est* du

## 1.5 Réseaux sur puce émergents

niveau 1 et le port *sud* du niveau 3 se fait en un seul saut et sans passer par des buffers. Si à première vue, la multiplication de chemin offerte par le crossbar en 3D apparait avantageuse, il n'en reste pas moins que cette approche complexifie davantage la logique d'arbitrage.

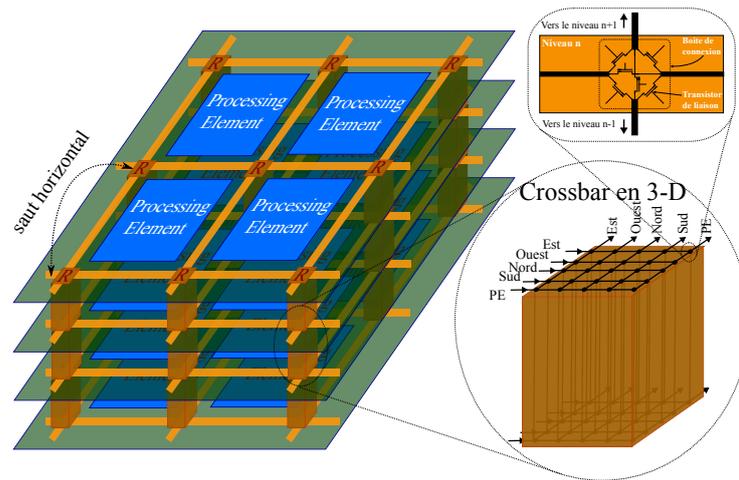


Figure 1.13 – NoC avec un véritable routeur 3D [Kim 07]

Le routeur 3D décomposé selon les dimensions (Figure 1.14) sépare le flux de données entrant en trois catégories, selon la direction de déplacement. En effet, dans un premier temps, les FLIT reçus par l'un des cinq ports d'entrée sont classés selon leur déplacement, est-ouest, nord-sud ou haut-bas et dirigés, à l'aide d'un démultiplexeur (1 vers 4), vers l'un des trois modules, dédiés chacun à une direction. Ces modules, à savoir, le module ligne (est-ouest), le module colonne (nord-sud) et le module vertical (haut-bas) sont tous dotés d'un crossbar dont la taille est de  $4 \times 2$  pour les deux premiers [Kim 07]. Ces crossbars acheminent directement les FLIT vers le port de sortie adéquat. Cette architecture réduit sensiblement la taille du crossbar et par la même occasion la contention.

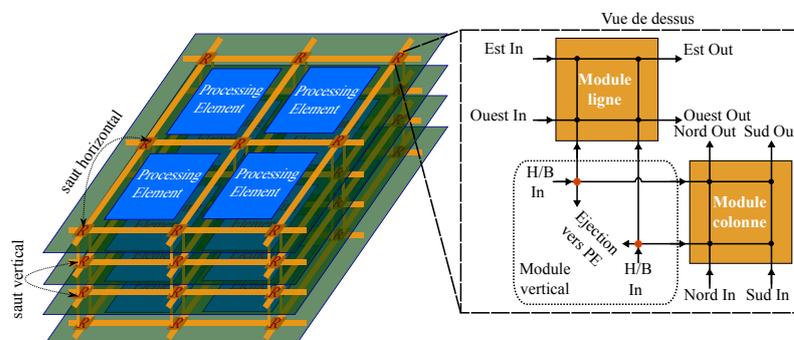
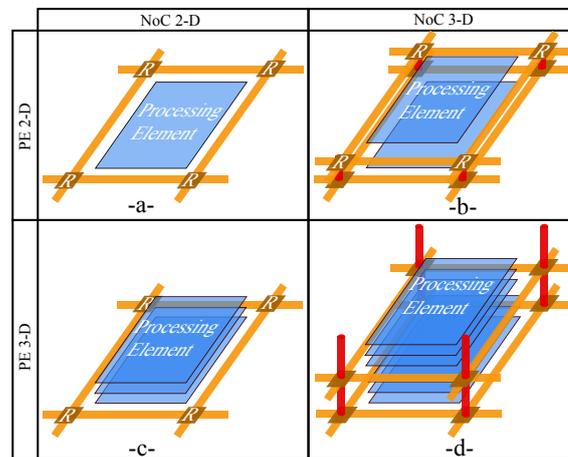


Figure 1.14 – NoC avec un routeur 3D décomposé selon les directions [Kim 07]

### 1.5.1.2 État de l'art des NoC 3D

Une multitude d'architectures de NoC 3D sont proposées dans la littérature. V. F. Pavlidis et al [Pavlidis 07] ont montré l'avantage de l'intégration 3D. Plusieurs topologies ont été ciblées tout en prenant comme référence le NoC de topologie en grille dans laquelle le NoC et le nœud, appelé aussi Processing Element (PE), sont tous les deux intégrés en 2D (Figure 1.15.a). L'intégration en 3D du NoC permet d'avoir une diversité de chemins et par conséquent réduire le nombre de sauts des paquets de données (Figure 1.15.b). Il est possible également d'intégrer le PE en 3D. Cela implique la diminution de la longueur des liens de communication reliant les routeurs pour ainsi réduire la durée et la puissance nécessaires pour les communications (Figure 1.15.c). L'idéal est de réunir l'intégration 3D à la fois du PE et du NoC (Figure 1.15.d) afin de tirer profit des deux approches.



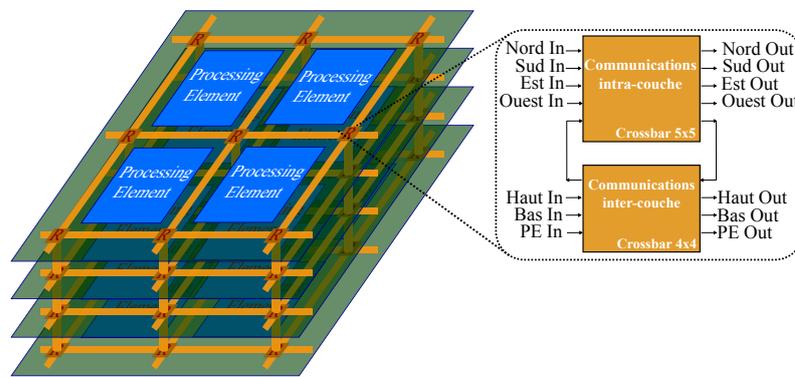
**Figure 1.15** – SoC avec a) PE en 2D et NoC en 2D b) PE en 2D et NoC en 3D c) PE en 3D et NoC en 2D d) PE en 3D et NoC en 3D

Une comparaison des performances de ces topologies en termes de nombre moyen de sauts effectués par les paquets ainsi que la longueur des liens de communication a été effectuée [Pavlidis 07]. L'intégration en 3D du NoC et des PE présente les meilleurs résultats. Il a été démontré aussi que dans le cas où le retard de routage est dominant, les performances de la topologie de l'intégration 2D des PE avec NoC en 3D s'approche de celle de l'intégration en 3D des PE et du NoC. En revanche, lorsque le retard des liens de communication est dominant, les performances de l'architecture avec intégration en 3D des PE et un NoC 2D s'approche de celle de l'intégration en 3D des PE et du NoC.

W. Lafi et al [Lafi 11] ont proposé un NoC 3D à base d'un routeur 3D hiérarchique. Au lieu d'un routeur avec un crossbar  $7 \times 7$ , ils ont partagé le routeur en deux sous-routeurs (Figure 1.16) : l'un avec un crossbar de  $5 \times 5$  et l'autre de taille  $4 \times 4$ . Mis à part les ports dédiés à la communication entre ces deux sous-routeurs, le premier est connecté avec des routeurs voisins du même niveau, tandis que le second

## 1.5 Réseaux sur puce émergents

est connecté avec les routeurs des deux niveaux voisins ainsi qu'avec le PE. Grâce à ce NoC, au lieu qu'un FLIT se déplaçant verticalement traverse  $n_1$  routeurs de  $7 \times 7$  pour atteindre sa destination, il traversera  $n_1$  routeurs mais de taille de  $4 \times 4$  uniquement. De la même manière, au lieu de traverser  $n_2$  routeurs  $7 \times 7$  horizontalement, il traversera un routeur  $4 \times 4$ ,  $n_2$  routeurs  $5 \times 5$  et enfin un routeur  $4 \times 4$ . Le routeur  $5 \times 5$  a été conçu et réalisé en technologie CMOS<sup>12</sup> 65 nm et grâce à des extrapolations de performance et d'architecture, une comparaison entre les routeurs  $7 \times 7$  et le routeur hiérarchique est effectuée. En termes de coûts en surface et de consommation d'énergie, les deux routeurs sont à égalité (  $0,28 \text{ mm}^2$  et  $19,65 \text{ mW}$  respectivement).



**Figure 1.16** – Structure interne d'un routeur 3D hiérarchique pour un NoC 3D

La technique GALS est utilisée pour gérer la synchronisation du SoC. Le passage de la partie synchrone à la partie asynchrone est assuré grâce aux interfaces réseau.

Les performances de ce réseau ont été évaluées en utilisant une configuration avec 256 routeurs répartis en 8 niveaux contenant chacun 32 routeurs. En terme de débit en fonction du taux d'injection de données dans le NoC, le seuil de saturation peut être repoussé de 15 à 25% grâce à l'approche utilisée. Quant à la latence, en fonction du débit de données, la méthode proposée présente en moyenne 15 à 25% de moins par rapport au réseau conventionnel. Le seuil de saturation du débit est aussi repoussé.

Contrairement aux topologies présentées jusqu'ici, qui sont complètement 3D, A. Bartzas et al [Bartzas 09] ont exploré une topologie hétérogène avec à la fois des routeurs 2D et 3D au sein du même NoC. L'objectif principal de ces topologies est de réduire la longueur totale des interconnexions et de réduire le nombre de routeurs 3D dont l'architecture est complexe. Plusieurs configurations de cette topologie sont proposées selon le positionnement des routeurs 2D dans le NoC 3D. Les routeurs 2D sont soit répartis uniformément sur toute la surface d'un niveau, soit concentrés au centre ou encore répartis sur le pourtour d'un niveau. Grâce à cette méthodologie, par rapport à une architecture complètement 3D, des gains sont atteints en termes

12. Complementary Metal Oxide Semiconductor

de consommation (jusqu'à -29% ), de latence (-2% en moyenne) et de surface active des routeurs (jusqu'à -18%).

### 1.5.1.3 Contraintes et défis de l'intégration 3D

Certes l'intégration 3D offre de nombreux avantages, néanmoins, elle souffre de plusieurs contraintes qui empêchent sa percée à grande échelle.

La problématique majeure de l'intégration 3D est incontestablement *la dissipation de la chaleur*. En outre, la haute densité d'intégration implique inévitablement une haute densité de puissance et se traduit en température élevée du SoC. Ainsi, cette augmentation de la température, d'une part, empêche le SoC de fonctionner à des hautes fréquences et d'autre part réduit considérablement la fiabilité des circuits empilés.

L'intégration 3D souffre également du coût élevé de réalisation à cause de la difficulté de réalisation des TSV. Cette difficulté vient du fait de la grande taille de la section des TSV par rapport aux transistors.

Il existe d'autres contraintes de l'intégration 3D qui sont la difficulté et le coût élevé des procédures de test des circuits 3D ainsi que l'apparition de nouveaux défauts de fabrication spécifiques à cette approche.

## 1.5.2 Interconnexions optiques

Les interconnexions optiques sont une solution prometteuse pour pallier le goulet des interconnexions sur puce. Cette solution consiste à remplacer les connexions électriques par des guides d'ondes optiques. Ses avantages sont multiples et variés. Les interconnexions optiques offrent une bande passante estimée à plusieurs centaines de gigas et en utilisant une simple modulation (OOK <sup>13</sup>). Ils possèdent une certaine immunité aux problèmes des interférences électriques et aux capacités/inductances parasites. La puissance nécessaire à la transmission de données en utilisant des interconnexions optiques est complètement indépendante de la distance. Une fois le chemin de communication établi, la transmission se fait à très grande vitesse et généralement sans nécessité de transiter par des routeurs intermédiaires. Contrairement aux réseaux électriques, le débit de données, aussi grand qu'il soit, est transparent pour le réseau optique.

Les interconnexions optiques sont déjà déployées dans les super-calculateurs ainsi que dans les communication inter-puces. Dans ces circuits, la problématique de surface ne se pose pas ou très peu contrairement aux SoC. La faisabilité des interconnexions optiques comme réseau sur puce suscite un grand intérêt auprès des laboratoires académiques et industriels.

### 1.5.2.1 Principe

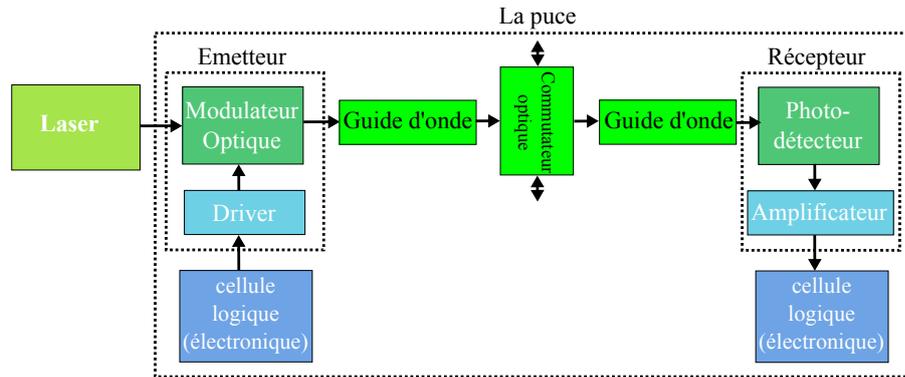
L'architecture d'un réseau sur puce basé sur des interconnexions optiques est relativement simple. Elle est constituée d'une source laser, d'un émetteur optique,

---

13. On-Off Keying

## 1.5 Réseaux sur puce émergents

d'un guide d'onde et d'un récepteur optique [Haurylau 06]. L'intégration de la source laser dans le SoC demeure un verrou pour cette approche. Ainsi, une source laser externe au SoC est envisagée dans un premier temps.



**Figure 1.17** – Architecture d'un réseau sur puce basé sur des interconnexions optiques

La source laser produit de la lumière pour le modulateur optique. Celui-ci, traduit les données fournies par le driver sous formes de signal électrique en un signal optique modulé. Les performances du modulateur opto-électrique dépendent du *taux d'extinction* qui est défini par le rapport des intensités de lumières des états on-off de la modulation. Le taux d'extinction dépend à son tour de la puissance du signal électrique qui commande le modulateur. Un taux d'extinction de valeur faible augmente la probabilité d'erreur de transmission à cause de la difficulté de déceler les niveaux du signal du côté du photo-détecteur.

Le guide d'onde est le chemin emprunté par le signal optique véhiculant les données. L'indice de réfraction du matériau du guide d'onde joue un rôle primordial dans le réseau sur puce optique en termes de bande passante, de latence et de surface. Le silicium et les polymères sont les plus utilisés, ces derniers étant ceux qui présentent la latence la plus faible [Pasricha 08]. Le commutateur optique n'est utilisé que dans certaines topologies des NoC optiques. Il a un rôle équivalent à celui des routeurs intermédiaires dans les réseaux classiques.

Le récepteur optique est constitué d'un photo-détecteur et d'un amplificateur. Dans le cas où de multiples transmissions sont effectuées simultanément sur le guide d'onde en utilisant le multiplexage en longueur d'onde (WDM<sup>14</sup>), le photo-détecteur doit être doté de filtres sélectifs afin de sélectionner individuellement les données portées par chacune des longueurs d'ondes. La diode PIN<sup>15</sup> est largement utilisée dans ce cas. Lors de la conception du récepteur photo-électronique, un compromis est à

14. Wave Division Multiplexing

15. Positive Intrinsic Negative (... diode)

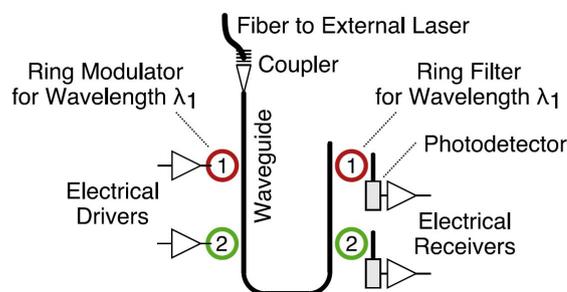
trouver entre sa rapidité et son efficacité quantique qui caractérise les pertes lors de la conversion du signal optique en un signal électrique.

### 1.5.2.2 État de l'art des NoC optiques

Deux types de modulateurs sont largement évoqués dans la littérature, à savoir, l'interféromètre de Mach-Zehnder [Green 07] qui est très rapide (une dizaine de Gbps) mais qui occupe une grande superficie (jusqu'à quelques millimètres de longueur) et consomme beaucoup d'énergie. Le second modulateur opto-électronique est la diode PIN [Xu 05] qui est basé sur un micro-résonateur. Le principe de ce résonateur est la sensibilité de la lumière aux petites variations de l'indice de réfraction du silicium. Contrairement au premier, celui-ci est compact ( $12 \mu\text{m}$  de diamètre) et peu consommateur en énergie. L'inconvénient de ce modulateur est sa rapidité qui ne dépasse pas quelques MHz (Démonstration pour 400 Mb/s).

De multiples implémentations de réseaux sur puce à base d'interconnexions optiques ont été présentées dans la littérature. Dans les paragraphes suivants, quelques unes sont décrites.

A. Joshi et al [Joshi 09] ont proposé une topologie de réseau optique pour l'interconnexion d'un MPSoC à 64 tuiles dans laquelle un multiplexage en longueur d'onde est utilisé (WDM). Dans ce réseau, une source laser externe fournit une lumière à plusieurs longueurs d'ondes (deux dans la figure 1.18  $\lambda_1$  et  $\lambda_2$ ). Ce signal optique atteint le guide d'onde du SoC à travers un coupleur. Tout le long du guide d'onde, des émetteurs utilisant des modulateurs à anneaux résonnants modulent le signal optique d'une seule longueur d'onde. Les récepteurs utilisent des filtres à anneaux résonnants, chacun étant accordé sur une longueur d'onde pour absorber le signal correspondant depuis le guide d'onde et le conduit vers le photo-détecteur. Une fois le signal optique transformé en un signal électrique, ce dernier atteint le récepteur électrique. En cas de besoin d'un débit élevé, le nombre de guides d'ondes est augmenté.



**Figure 1.18** – Structure d'un NoC optique avec deux points d'accès [Joshi 09]

Plusieurs types d'architectures de modulateur/démodulateur sont envisageables. Les deux architectures de base sont le multiplexage distribué et le multiplexage

## 1.5 Réseaux sur puce émergents

concentré. Dans la première configuration, chaque émetteur peut transmettre ses données en utilisant l'une des longueurs d'onde mises à disposition dans le réseau tandis que les récepteurs ne sont dotés que d'un seul filtre qui leurs permet de recevoir des données sur une seule longueur d'onde. La seconde configuration est l'inverse de la première. Elle autorise l'envoi sur une seule longueur d'onde et la réception sur toutes les longueurs d'onde. Cette configuration est particulièrement intéressante dans les communications de type *broadcast*. Pour les deux configurations des émetteurs/récepteurs, un arbitrage globale est indispensable.

Des architectures de NoC optiques plus évoluées sont également proposées afin de réduire le coût en surface ainsi qu'en consommation d'énergie. Ces architectures sont basées sur l'utilisation de réseaux à plusieurs étages de petits routeurs [Joshi 09].

A.Scandurra et I. O'Connor [Scandurra 08] ont proposé l'équivalent du réseau classique VSTNOC en utilisant les interconnexions optiques. Cela permet de garder les protocoles de communication existants. Chaque initiateur de ce réseau peut communiquer simultanément avec 1 à N cibles constituant le réseau (exemple avec  $N=8$  sur la figure 1.19).

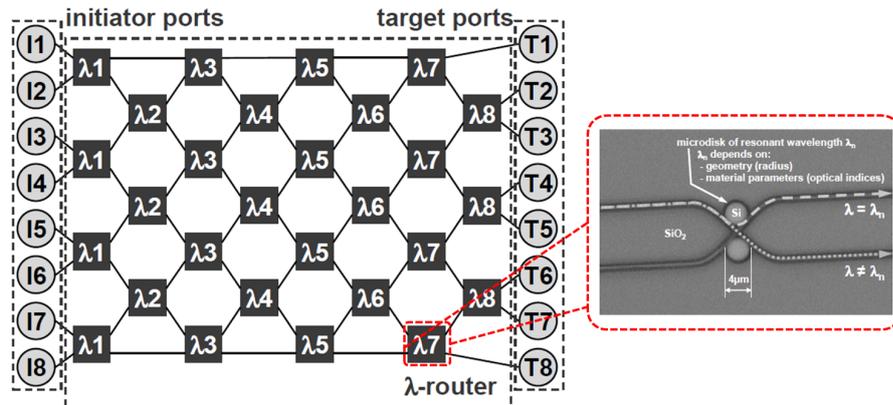


Figure 1.19 – Structure d'un NoC optique à base de  $\lambda$ -routeur [Scandurra 08]

Tout initiateur ( $I_i$ ) est relié à un émetteur électro-optique et chaque cible  $T_j$  est reliée à un récepteur qui transforme le signal optique en un signal électrique. Dans les deux cas, la liaison est faite à travers des *interfaces réseau*. Cette structure de communication contient des  $\lambda$ -routeurs qui permettent le routage du signal optique selon sa longueur d'onde [Brière 05]. Sa surface est d'environ  $10 \times 10 \mu m^2$ . Une des techniques de réalisation de ces  $\lambda$ -routeurs consiste en l'utilisation de micro-disques résonnants. Si la longueur d'onde ( $\lambda$ ) du signal se propageant dans le guide d'onde adjacent au micro-disque est égale à celle de résonance de ce dernier ( $\lambda_n$ ), le signal est couplé sur le micro-disque et ensuite sur l'autre guide d'onde voisin, sinon le signal continue sa propagation dans le même guide d'onde (Figure 1.19). Ainsi, le  $\lambda$ -routeur a un comportement semblable à un crossbar  $2 \times 2$ . Vu de l'extérieur, ce routeur optique a le comportement suivant :

- Si  $\lambda = \lambda_n \Rightarrow$  Propagation droite (parallèle).
- Si  $\lambda \neq \lambda_n \Rightarrow$  Propagation en diagonale.

Un réseau de  $N$  initiateurs-cibles est constitué au moins de  $N$  étages de  $\lambda$ -routeurs. Les étages sont composés alternativement de  $(N/2)$  et  $(N/2 - 1)$   $\lambda$ -routeurs. Il existe un chemin physique unique pour chacun des couples initiateur-cible  $(I_i, T_j)$  en utilisant une longueur d'onde unique. Si chaque émetteur est équipé d'une seule source laser accordable sur plusieurs longueurs d'ondes, 8 (dans le cas où  $N=8$ ) transmissions sont possibles à la fois dans le réseau et 64 ( $N^2$ ) transmissions si l'émetteur peut générer simultanément des signaux optiques à 8 longueurs d'onde différentes.

A. Shacham et al [Shacham 08] ont proposé un NoC hybride dans lequel les messages de grande taille sont transmis via une couche d'interconnexion optique avec commutation de circuit, tandis que les messages de petite taille sont transmis à travers la couche d'interconnexion électrique avec une commutation de paquets. Le réseau électrique sert aussi à commander les commutateurs de la couche optique. Ainsi chaque envoi de message via le réseau optique est précédé par l'envoi d'un paquet de commande via le réseau électrique afin d'établir le chemin dans la couche d'interconnexion optique.

Qu'il soit de topologie en grille ou en tore, la couche optique du réseau est constitué de routeurs hybride  $4 \times 4$ . Ces routeurs sont interconnectés avec des guides d'ondes. Chacun des routeurs est constitué de 4 commutateurs optiques  $2 \times 2$  (PSE<sup>16</sup>) et d'un routeur électronique (ER<sup>17</sup>) de commande (Figure 1.20). S'il se trouve en mode purement de commutation, le routeur hybride est connecté aux 4 routeurs voisins (nord, sud, est, ouest), sinon l'un de ses 4 ports est utilisé pour connecter le PE.

L'architecture la plus adoptée dans la littérature consiste à utiliser un guide d'onde qui parcourt tout le SoC avec des émetteurs/récepteurs tout au long. Les émetteurs/récepteurs sont généralement à base d'anneaux résonnants. Parmi celles-ci, on trouve l'architecture Corona [Vantrease 08] ainsi que l'architecture ATAC [Kurian 10].

L'architecture Corona [Vantrease 08] met à profit conjointement, l'intégration 3D et les interconnexions optiques. Elle est prévue pour la technologie 16 nm en 2017 et est constituée de 256 processeurs organisés en 64 clusters. L'ensemble des clusters est connecté par le réseau optique. Le débit agrégé s'élève à plusieurs téra-bit par second.

L'architecture ATAC [Kurian 10] peut aller jusqu'à 1024 processeurs et est organisée en 64 clusters de 16 processeurs chacun. Les communications intra-cluster sont effectuées à travers un NoC électrique et à travers deux réseaux distincts avec le routeur-concentrateur connecté au guide d'onde.

---

16. Photonic Switching Element

17. Electronic Router

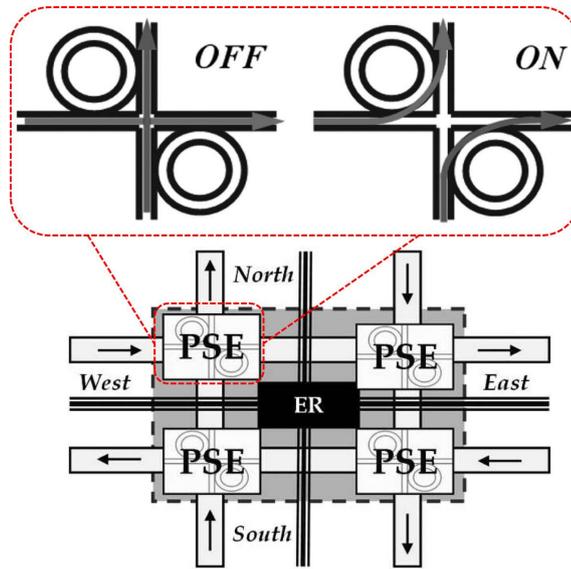


Figure 1.20 – Structure du routeur hybride  $4 \times 4$  [Shacham 08].

### 1.5.2.3 Problématiques et défis des NoC optiques

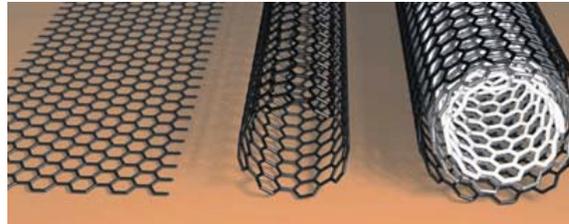
Les interconnexions optiques sont incontestablement l'une des solutions les plus prometteuses à long terme pour les réseaux sur puce. Néanmoins, davantage de travaux de recherche sont nécessaires afin de déverrouiller certaines problématiques qui subsistent pour ce type d'interconnexion. Quelques unes de ces problématiques sont citées ci-dessous :

- L'efficacité de l'émetteur et du récepteur opto-électrique en termes de rapidité, de puissance dissipée ainsi qu'en densité d'intégration. En effet, ces paramètres doivent être aux moins égaux à ceux des interconnexions électriques filaire, voire meilleurs afin de les concurrencer.
- Miniaturisation et intégration de la source laser dans le SoC .
- Le coût élevé des guides d'onde utilisant des polymères et nécessitant des modulateurs/démodulateurs spécifiques.
- La sensibilité à la variation de la température des composants constituant les interconnexions optiques, nécessite soit d'assurer une température constante, soit de rechercher de nouveaux composants qui sont peu ou pas du tout sensibles aux variations de la température.

### 1.5.3 Interconnexion à nano-tube de Carbone

Les nano-tubes de Carbone, communément appelés CNT<sup>18</sup> sont proposés pour remplacer les fils de cuivre utilisé par les NoC classiques. Les CNT se présentent sous forme de graphène enroulé en cylindre dont le diamètre varie de 0,6 à 3 nm (Figure 1.21). Selon la direction dans laquelle ils sont enroulés, les CNT peuvent se comporter soit en métal soit en semi-conducteur.

18. Carbone Nano-Tube



**Figure 1.21** – Illustration de la structure du graphène (à gauche) ainsi que des nanotubes de carbone mono-feuillet (milieu) et multi-feuillet [Graham 05].

Les CNT présentent des propriétés remarquables. En effet, les CNT possèdent une grande stabilité mécanique et thermique, une bonne conduction thermique et surtout une grande capacité de conduction du courant électrique. La structure particulière des CNT leur permet d'être résistant à l'électro-migration. Il a été démontré qu'un CNT de diamètre 1 nm, peut supporter une densité de courant de près de  $10^{10} A/cm^2$  [McEuen 02] sans dégrader les performances du tube. Les CNT possèdent également la plus haute mobilité de porteurs de charges jamais mesurée.

La morphologie de base des CNT est dite mono-feuillet (SWCNT<sup>19</sup>). L'empilement des CNT mono-feuillets, les uns à l'intérieur des autres constitue un CNT dit multi-feuillet (MWCNT<sup>20</sup>). Les MWCNT ont un comportement métallique [Kordrostami 08]. A cause de leur résistance intrinsèque élevée [Raychowdhury 04], le SWCNT n'est pas une solution envisageable pour remplacer les fils de cuivre d'interconnexions globales et intermédiaires, les SWCNT empilés ainsi que les MWCNT le sont et avec une amélioration considérable des performances de transmission [Li 08]. En revanche, il existe encore de nombreux verrous technologiques qu'il faudra résoudre, à savoir, le mauvais contact CNT-Métal, la difficulté de donner la chiralité voulue au CNT lors du processus de fabrication et enfin l'effet inductif qui peut être très contraignant à hautes fréquences.

A. Raychowdhury et al [Raychowdhury 04] ainsi que Z. Kordrostami et al [Kordrostami 08] ont proposé des modèles des CNT servant d'interconnexion.

#### 1.5.4 Interconnexion RF avec/sans fil (RFNoC)

Les NoC classiques avec bus en cuivre fragmentés par des répéteurs exploitent, dans les meilleurs cas, 5GHz de bande fréquentielle. Cela correspond à 2% de la bande passante disponible en technologie 45 nm. Cette bande disponible est limitée

19. Single-Walled Carbone Nano-Tubes

20. Multi-Walled Carbone Nano-Tubes

## 1.5 Réseaux sur puce émergents

---

par la fréquence de coupure des circuits CMOS  $f_T$ <sup>21</sup> qui s'élève, selon l'ITRS, à 240 GHz pour la technologie 45 nm [Itrs]. Les NoC classiques souffrent également de la faiblesse de reconfiguration de l'allocation de la bande passante disponible, d'une puissance dissipée élevée et d'une latence qui augmente avec la taille des MPSoC. Le réseau sur puce basé sur des interconnexions RF (RFNoC) est proposé afin de pallier ces limites. En effet, l'atout majeur des RFNoC est de tirer profit de la très large bande de fréquences disponible dans les circuits CMOS. Il est prévu que la fréquence de coupure des circuits intégrés atteindra les 600 GHz en technologie 16 nm [Itrs]. Cela permettrait la conception des segments RF à très large bande en ne nécessitant que très peu de surface en Silicium. Contrairement aux interconnexions classiques dans lesquelles pour envoyer un "1" ou un "0" logique, il faut charger ou décharger toute la ligne, pour les RFNoC, les données sont transmises sous forme d'ondes électromagnétiques impliquant moins de puissance dissipée et une très faible latence. En outre, les transmissions bidirectionnelles simultanément ainsi que la reconfiguration de la bande disponible sont également possibles dans les RFNoC et permettent aussi les communications de type broadcast<sup>22</sup> et multicast<sup>23</sup>. L'implémentation du RFNoC est extensible et complètement compatible avec les circuits CMOS [Chang 01]. Ces avantages du RFNoC ne sont entièrement assurés qu'à partir d'une certaine taille du MPSoC.

### 1.5.4.1 Principe

Le principe des RFNoC consiste à échanger les données sous forme d'ondes électromagnétiques. Les données sont modulées en amplitude ou en phase, voire les deux et mises sur une porteuse. L'une des modulations les plus simples est la BPSK<sup>24</sup> et consiste en un changement de phase entre 0° et 180°. Une fréquence porteuse est allouée à chaque transmission d'un initiateur vers une cible. Ainsi, un accès multiple par répartition en fréquence (FDMA<sup>25</sup>) est adoptée. L'accès multiple par répartition en code (CDMA<sup>26</sup>) est aussi utilisé et consiste à accorder un code pour chaque transmission entre un émetteur et un récepteur. L'architecture générale d'un RFNoC est illustrée dans la figure 1.22.

Le bloc numérique peut être un processeur, une mémoire ou simplement une IP. Il peut être aussi une tuile constituée d'un à deux processeurs, d'une mémoire et éventuellement d'une IP, ou encore un cluster qui regroupe un certain nombre de tuiles. Dans ce dernier cas, le réseau sur puce est couramment hiérarchisé. Le RFNoC est emprunté pour effectuer les communications à longue distance tandis que

---

21.  $f_T$  ou *frequency Transition* correspond à la fréquence pour laquelle le gain en courant du transistor chute à l'unité.

22. Diffusion d'un émetteur à tous les récepteurs du réseau

23. Diffusion d'un émetteur à une partie des récepteurs du réseau

24. Binary Phase-Shift keyin

25. Frequency Division Multiple Access

26. Code Division Multiple Access

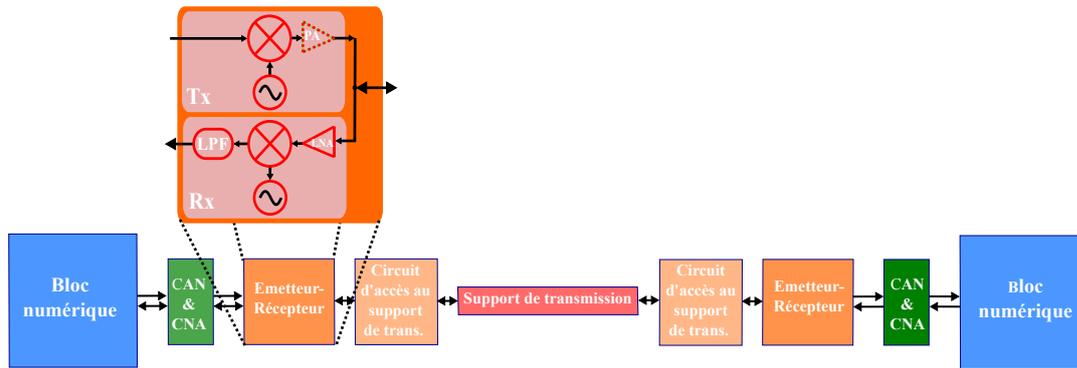


Figure 1.22 – Illustration de l'architecture du RFNoC.

localement, les communications sont assurées par un réseau classique.

Les convertisseurs analogique-numérique (CAN) et numérique-analogique (CNA) ne sont pas nécessaires pour toutes les architectures, notamment lorsqu'aucun traitement n'est effectué sur le signal provenant du bloc numérique. Parmi ces traitements, nous pouvons citer la modulation numérique afin d'augmenter l'efficacité spectrale et la mise en forme du signal afin de réduire la puissance des lobes secondaires au minimum.

L'émetteur-récepteur s'occupe de la transposition fréquentielle du signal. L'écart fréquentielle de transposition est fixé par la fréquence du signal de l'oscillateur local. L'architecture homodyne étant celle qui occupe le moins de surface possible est souvent utilisée. L'émetteur homodyne est composé d'un oscillateur local et d'un mélangeur qui met le signal de bande de base à la fréquence porteuse et éventuellement d'un amplificateur de puissance (PA<sup>27</sup>). Souvent, le PA n'est pas nécessaire dans le cas des RFNoC. Quant au récepteur homodyne, il est constitué d'un amplificateur faible bruit (LNA) ainsi que d'un oscillateur local et d'un mélangeur qui ramène en bande de base le signal se trouvant à la fréquence porteuse. Le récepteur est également doté d'un filtre passe-bas (LPF<sup>28</sup>) qui permet de supprimer tous les signaux qui dépassent la bande passante du signal utile, notamment le signal des autres transmissions du RFNoC.

Les émetteurs-récepteurs doivent être à large bande passante ou à défaut reconfigurables afin de pouvoir utiliser toutes les bandes de transmission disponibles. Dans tous les cas, l'oscillateur local doit pouvoir générer des fréquences différentes à des instants différents.

Un RFNoC est dit *avec ou sans fil* selon son support de transmission données. A chacune de ces deux catégories du RFNoC est associé un type de circuit d'accès

27. Power Amplifier

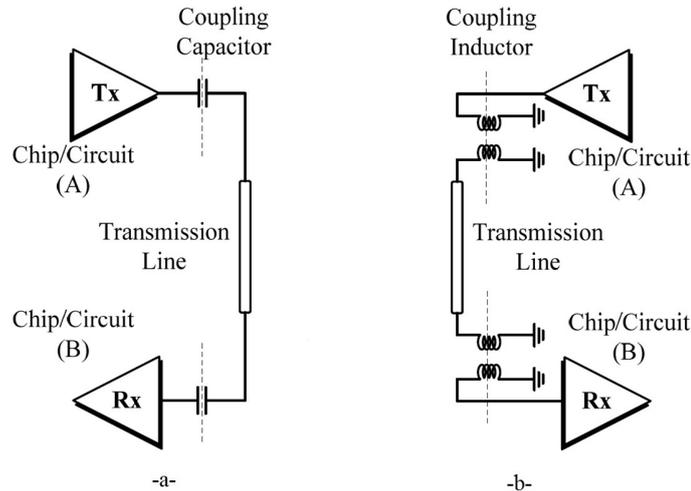
28. Low Pass Filter

## 1.5 Réseaux sur puce émergents

au support de transmission.

La première catégorie des RFNoC est celle dont le support de transmission est une ligne de transmission. La ligne de transmission est conçue pour qu'elle permette un délai de propagation le plus court possible, un minimum de pertes et de dispersion et qu'elle soit compacte. Les types de lignes de transmissions les plus utilisés sont les lignes différentielles, les lignes coplanaires et un peu moins les lignes microstrip. Le circuit d'accès à la ligne de transmission peut être capacitif [Xu 11] [Chang 01][Sun 05], inductif [Kim 12] ou tout simplement direct [Chang 08b]. La figure 1.23 illustre les accès capacitif et inductif. L'accès capacitif est le plus avantageux et réduit la perturbation de l'impédance caractéristique de la ligne de transmission dû aux accès multiples.

La deuxième catégorie des RFNoC est celle dont les transmissions sont effectuées à travers l'air libre. Ainsi les circuits d'accès sont des antennes. Ces antennes doivent être miniaturisées au maximum et à large bande tout en ayant un bon gain.



### 1.5.4.2 État de l'art

Plusieurs travaux sont présentés dans la littérature afin de montrer la faisabilité des CAN/CNA à des fréquences d'échantillonnage très élevées. Y. M. Greshishchev et al [Greshishchev 10] ont montré la faisabilité et ont réalisé un CAN pouvant atteindre les 40 GSPS<sup>29</sup> avec une résolution de 6 bits, une consommation inférieure à 1,5 W et une surface de  $4 \times 4 \text{ mm}^2$  en technologie CMOS 65 nm. M. Nagatani et al [Nagatani 11] ont proposé un CNA de 60 GSPS, 6 bits de résolution avec une consommation entre 0,3 à 1,8 W et une surface de  $3 \times 3 \text{ mm}^2$  (avec les plots) en technologie  $0,5 \mu\text{m}$  InP HBT<sup>30</sup>.

29. Giga-Samples Per Second

30. Indium-Phosphide Heterojunction Bipolar Transistor

La faisabilité d'un émetteur-récepteur pour une modulation OOK et permettant la transmission avec un débit de 3.3 Gbps<sup>31</sup> et à une fréquence porteuse de 60 GHz a été montrée en technologie CMOS 90 nm [Lee 10]. L'émetteur fait  $0.43 \text{ mm}^2$  et consomme 183 mW alors que le récepteur fait  $0.68 \text{ mm}^2$  et consomme 103 mW. Un émetteur-récepteur pour une modulation ASK<sup>32</sup> à une fréquence d'oscillateur local à 131-140 GHz et avec un débit maximum de 2.5 Gbps a été proposé par Z. Xu [Xu 10] en technologie CMOS 65 nm. Les émetteurs-récepteurs occupent des surfaces actives de  $0.03 \text{ mm}^2$ - $0.12 \text{ mm}^2$  respectivement et consomment des puissances s'élevant à 115 mW-120 mW respectivement. Un modulateur-démodulateur BPSK pour un débit de données de 2 Gbps a été présenté par J. Kim et al [Kim 11]. L'émetteur-récepteur opérant à 6 ou 12 GHz montre de bonnes caractéristiques en surface ( $0,0128 \text{ mm}^2$  et  $0,0261 \text{ mm}^2$ ) ainsi qu'en consommation d'énergie (2,7 mW et 9,8 mW).

Huang et al [Huang 08] ont présenté les travaux de conception d'un circuit CMOS d'un oscillateur local de 324 GHz en technologie 90 nm. Leur méthode consiste en la superposition linéaire de quatre signaux en quadrature de phases et de fréquences quatre fois plus faibles que celle générée au final.

La faisabilité de l'intégration des antennes sur un SoC a été montrée dans [O 05]. Cette démonstration concerne une antenne de moins de  $0.5 \text{ mm}^2$  et permet des transmissions à 15 GHz et à des distances allant jusqu'à 2.2 cm. L'antenne est utilisée pour la distribution du signal d'horloge. Une multitude de types d'antennes est explorée, notamment le dipôle linéaire, le dipôle en zig-zag ou encore en boucle.

M. Bialkowski et al [Bialkowski 09] ont proposé une antenne à fente effilée avec des propriétés large bande (6 GHz) entre 20 et 30 GHz, de taille de moins de  $2 \text{ mm}^2$  et un gain de transmission de -15 dB<sup>33</sup> à 10 mm de distance.

Les antennes en graphène sont très prometteuses. En effet, S. Abadal et al [Abadal 13] ont fait des projections de performances et prévoient la possibilité de doter chaque processeur d'un MPSoC d'un émetteur-récepteur et d'une antenne, le tout occupant quelques  $\mu\text{m}^2$  de surface. Cette miniaturisation sera obtenue grâce au graphène qui permet de monter en fréquence jusqu'à l'ordre du THz. Les nono-tubes de carbone sont également proposés comme des antennes optiques [Kempa 07]

Les RFNoC sont proposés pour la première fois et brevetés par M. F. Chang et al [Chang 01][Chang 12]. M. F. Chang et al ont montré la faisabilité des RFNoC en utilisant les techniques d'accès multiples CDMA et FDMA. Ils ont réalisé un démonstrateur constitué d'un émetteur et d'un récepteur, combinant le CDMA et le FDMA avec un modulateur à conversion directe, à fréquence porteuse de 5 GHz et une ligne de transmission dont l'accès est capacitif. Le couplage capacitif permet également des interconnexion 3D à condition que l'émetteur et le récepteur soient sur deux niveaux métalliques différents [Socher 07].

31. Giga-bit per second

32. Amplitude-Shift Keying

33. Décibel

## 1.5 Réseaux sur puce émergents

---

M. F. Chang et al [Chang 05a] montrent dans leurs travaux de recherche que le TDMA<sup>34</sup> est caractérisé par une faiblesse en termes de débit de données ainsi que de reconfigurabilité. Quant aux CDMA et FDMA, les deux techniques sont au même niveau de reconfigurabilité qui est plus élevée que celui du TDMA. Mais en terme de débit, le FDMA possède de meilleures performances. Pour toutes ces raisons, une combinaison des deux techniques FDMA et CDMA a été proposée sous forme de CDMA multiporteuse (MC-CDMA<sup>35</sup>) afin d'avoir un maximum de débit et de reconfiguration [Chang 05a].

S. W. Tam et al [Tam 09] ont proposé et réalisé le circuit d'une transmission combinée RF et en bande de base. En effet, à travers la même ligne de transmission différentielle faisant 5 mm de longueur, deux bandes de 4 Gbps chacune sont transmises à des fréquences porteuses de 30 GHz et 50 GHz ainsi que 2 Gbps en bande de base. L'énergie nécessaire pour la transmission d'un bit est de 0.125 pJ/b/mm en bande de base et 0.09 pJ/b/mm en bandes transposées.

A. Carpenter et al [Carpenter 12] ont proposé d'utiliser une ligne de transmission à la place d'un bus partagé. Cette solution consiste à utiliser des segments de ligne de transmission et à avoir des émetteurs-récepteurs sur les deux bouts de chaque segment avec possibilité de shunter les segments. Un circuit démonstrateur a été présenté et montre que la surface de cette interconnexion RF servant de bus partagé (Surface totale des émetteurs et des récepteurs) fait moins de 0.2% de la surface du SoC.

A. Dokhanchi et al [Dokhanchi 11] ont étudié la possibilité d'utiliser les interconnexions RF dans les FPGA<sup>36</sup> de grandes tailles. La surface en Silicium requise pour le RFNoC est d'environ 16.93% de la surface du FPGA. En revanche, cette approche réduit la latence des communications empruntant les interconnexions RF de 69.4% en moyenne. L'utilisation des ressources de routage est également baissée de 7% en moyenne. L'architecture du FPGA est organisée en groupements des ressources dans des carrés à tailles égales. Chaque groupement possède un émetteur-récepteur RF et lui permet d'accéder à la ligne de transmission coplanaire qui parcourt tout le FPGA. Un algorithme de gestion de ces interconnexions a été proposé également.

Un démonstrateur virtuel d'une architecture MORFIC<sup>37</sup> (Figure 1.24), qui est un MPSoC doté d'un RFNoC, a été montré par A. B. Kaplan et al [Kaplan 11] [Chang 08b]. La plateforme contient 64 processeurs, 32 mémoires cache et 4 interfaces mémoire, le tout cadencé par une horloge de 4 GHz. L'implémentation de la

---

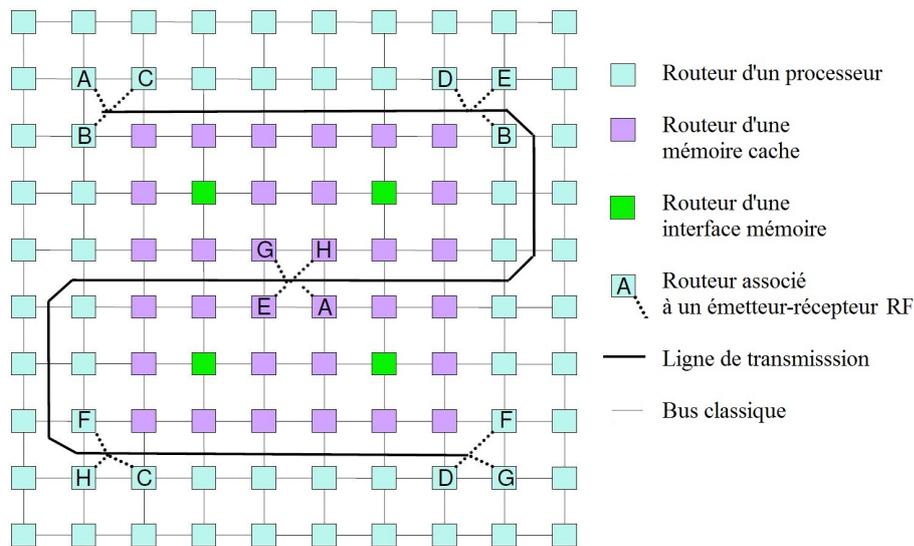
34. Time Division Multiple Access

35. MultiCarrier Code Division Multiple Access

36. Field-Programmable Gate Array

37. Mesh Overlaid with Radio Frequency InterConnect

partie RF sur un MORFIC de  $400 \text{ mm}^2$  ne nécessiterait que 0.13% de surface en Silicium. L'architecture MORFIC est également dotée d'un NoC en topologie de grille  $10 \times 10$ . Le NoC est cadencé à 2 GHz et utilise un routage de paquets XY/YX<sup>38</sup> (équivalent à la fonction de routage IX/Y qui est évoquée au paragraphe 1.2.2.3). Les bus reliant deux routeurs voisins sont de largeur de 16 Octets et occasionnent un cycle d'horloge de retard tandis que dans le routeur lui-même, un retard de 5 cycles est produit. A ce réseau classique est superposé un RFNoC. En effet, une ligne de transmission parcourt le SoC sous forme d'un serpentín en Z.



Le SoC est organisé en cinq régions à interconnecter par le RFNoC. Ces régions ont un accès direct à la ligne de transmission et correspondent aux quatre coins et au centre du SoC. A l'exception de celle du centre qui est dotée de quatre émetteurs-récepteurs, celles des quatre coins n'ont que trois émetteurs-récepteurs chacune. Par conséquent, chaque région d'un coin peut communiquer directement avec trois autres régions et doit transiter par celle du centre afin de communiquer avec la quatrième.

Chacun des émetteurs-récepteurs RF est relié à un routeur de six ports. Ce routeur est une extension du routeur classique avec un port supplémentaire pour avoir l'accès au RFNoC. Une bande de transmission des huit disponibles est allouée à un couple constitué de deux émetteurs-récepteurs RF et permet la transmission d'un paquet en un seul cycle d'horloge. Les largeurs des bandes de transmissions variant entre 16 et 256 octets par cycle d'horloge sont expérimentées.

Localement, les communications se font à travers le NoC classique, cependant, pour les longues distances, la ligne de transmission est empruntée. Ainsi, la ligne de transmission peut être vue comme une autoroute, tandis que les bus du NoC classique sont l'équivalent des routes départementales.

38. Le routage en XY/YX consiste à router la moitié des paquets selon l'axe X puis selon l'axe Y, tandis que l'autre moitié est routée d'abord selon l'axe Y puis selon l'axe X.

## 1.5 Réseaux sur puce émergents

---

Les performances de l'architecture MORFIC ont été évaluées en comparaison avec celles de l'architecture de base, c'est à dire, sans le RFNoC. La comparaison est effectuée pour sept applications multithread (SPLASH, Barnes, FFT, LU, Ocean, Radix, Water Nsquared et Water-Spacial). L'architecture MORFIC permet une amélioration des performances de ces applications, en moyenne de 13% mais peut atteindre les 18% pour certaines d'entre elles. Cette amélioration est obtenue, entre autres, grâce à une réduction de la latence moyenne de la transmission des paquets de 22%.

La limite de l'architecture MORFIC se manifeste par un goulet d'étranglement en termes de latence au niveau des accès à la ligne de transmission. L'autre point faible de cette architecture demeure dans l'allocation de ressources spectrales qui est statique.

Une architecture d'un NoC hybride est proposée par A. Ganguly et al [Ganguly 09]. Elle consiste à diviser le SoC en clusters qui sont dotés de sous-réseaux de topologies en grille ou en étoile pour les communications intra-cluster, ainsi que d'une station de base pour effectuer les communications inter-clusters sans fil. Les stations de base sont composées d'une antenne et d'un émetteur-récepteur RF et sont reliées directement à tous les processeurs du cluster. Cette architecture permet d'améliorer les performances du SoC en termes de latence et de consommation d'énergie. Une multitude de protocoles de gestion de ce types d'architectures est proposée [Ganguly 11a][Ganguly 11b].

D. Zhao et al [Zhao 11] ont proposé un réseau sur puce sans fil et multi-canal (McWiNoC<sup>39</sup>) et basé sur la modulation de type ultra large bande (UWB<sup>40</sup>). L'architecture de ce réseau, représentée en figure 1.25.a, est sous forme d'une grille en 2D dont les mailles sont des tuiles. Chaque tuile est composée d'un processeur, de deux mémoires caches, d'une interface réseau et équipé d'un routeur RF. Le routeur RF est doté d'un segment RF qui est constitué d'un émetteur-récepteur UWB et d'une antenne avec une portée de communication prédéterminée. Pour une même distance à parcourir dans le réseau, l'envoi d'un paquet requiert un ou plusieurs sauts selon la portée de l'antenne. Des liens filaires subsistent et connectent chaque tuile avec ses quatre voisines. Ces liens servent pour le contrôle des communications sans fil ainsi que l'allocation de la bande disponible.

Plusieurs topologies sont proposées grâce à la possibilité de modification de la portée des transmissions sans fil.

La première topologie proposée est l'équivalent d'un NoC classique en grille 2D dont les communications sont effectuées par la voie RF. Pour cette topologie, la portée des communications est égale à la distance entre deux routeurs RF voisins  $L$  et est égale aussi à la longueur d'un lien filaire reliant deux routeurs voisins (figure 1.25.b). La seconde topologie consiste à augmenter la portée des communications à  $\sqrt{2}L$  (figure 1.25.c). Ainsi, chaque routeur RF peut communiquer, en un seul saut, avec huit

---

39. Multi-Channel Wireless Network On Chip

40. Ultra WideBande

autres routeurs RF contrairement à la topologie de base pour laquelle un routeur n'a l'accès direct qu'à ses quatre routeurs voisins. La troisième topologie analysée est à une portée de communication de  $\sqrt{5}L$  (figure 1.25.d). Cela permet aux routeurs RF un accès direct avec 20 routeurs RF. L'idéal serait la topologie permettant aux routeurs RF d'avoir un accès direct avec tous les autres routeurs RF ce qui réduirait au minimum la latence, quoique dans ce cas, la surface et la puissance des routeurs RF augmentera considérablement ainsi que la gestion de la fonction d'arbitrage deviendrait très complexe.

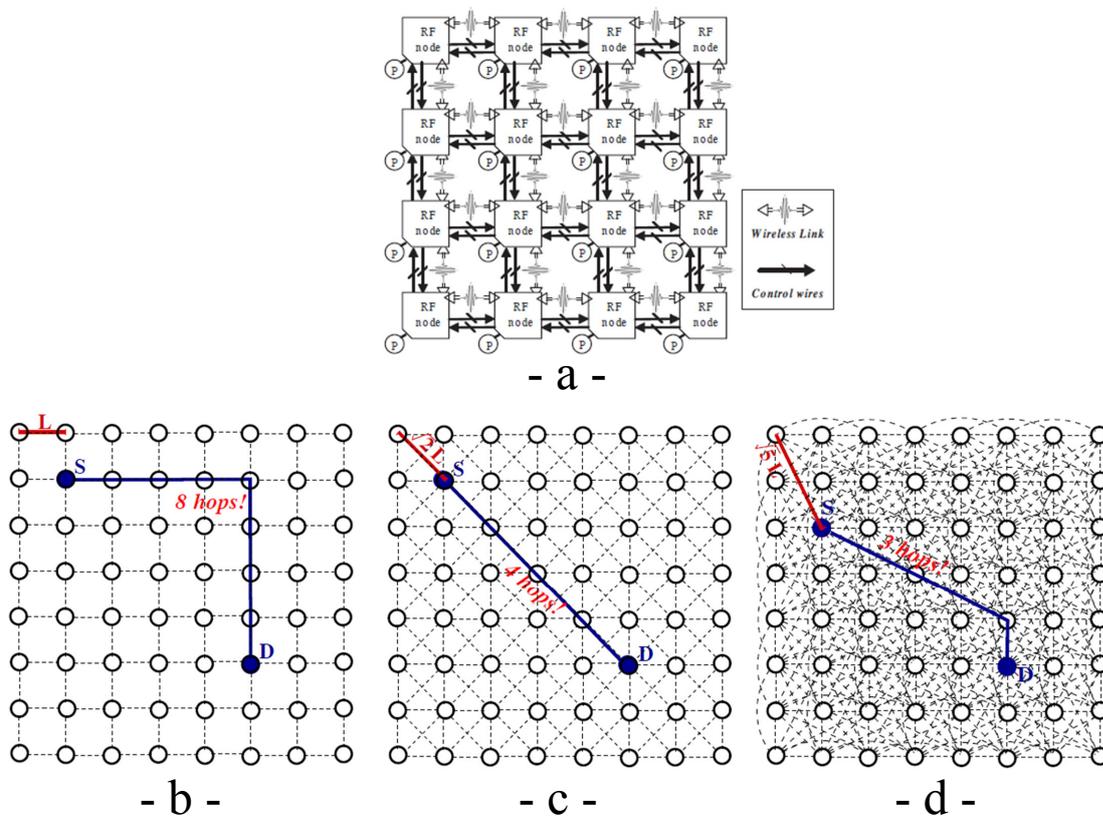


Figure 1.25 – Architecture d'un réseau McWiNoC [Zhao 11].

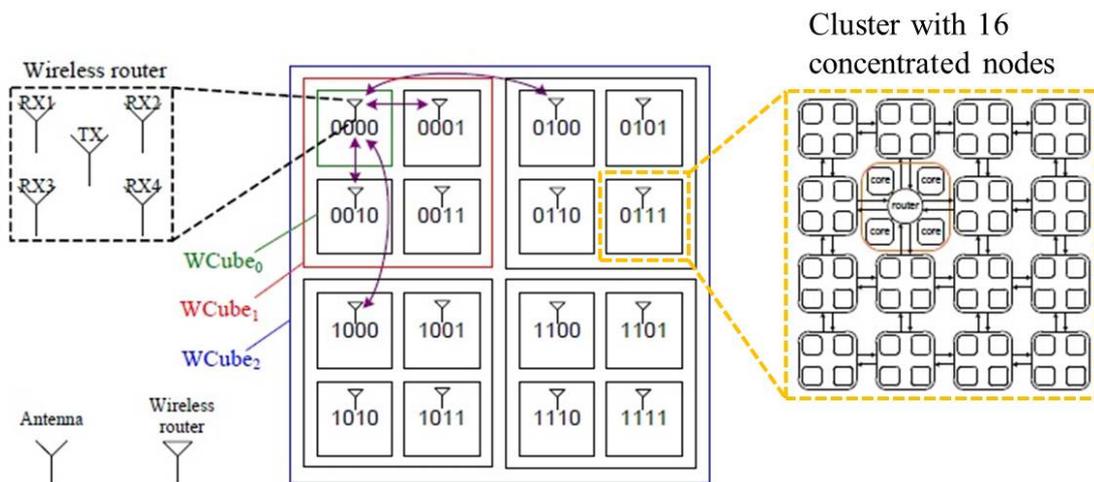
Une amélioration de performances de 23.3% en moyenne est obtenue en terme de temps d'exécution (SPLASH-II), avec une réduction de la latence pouvant atteindre les 65.3% pour une architecture à 64 processeurs. Une méthodologie de placement ainsi que des protocoles de communication adaptés à ce type d'architectures sont également développés [Zhao 07] [Zhao 08].

Une architecture d'un réseau à deux étages et hybride (filaire et sans fil) est proposée [Lee 09]. Un NoC classique de topologie de grille concentrée est associé avec des interconnexions sans fil effectuant les communications à des fréquences de

## 1.5 Réseaux sur puce émergents

l'ordre du sub-THz. L'architecture est composée de structures appelées WCube. Le WCube de base, noté  $Wcube_0$  est composé de 16 nœuds concentrés. Chacun de ces nœuds est composé de quatre processeurs ou quatre mémoires caches. L'une de ces mémoires cache peut être une interface avec la mémoire externe. Les WCube de base sont munis d'une seule antenne émettrice et de quatre antennes réceptrices. Les antennes ne sont pas intégrées directement sur le Silicium mais placées sur une couche très fine de polyimide afin de réduire les pertes dans le substrat. Un groupement de quatre WCube de niveau hiérarchique  $n$  "WCube $_n$ " constitue un WCube de niveau hiérarchique supérieur  $n+1$  "WCube $_{n+1}$ ". Un adressage des WCube est établi de manière à permettre une allocation de ressources spectrales optimisée ainsi qu'une réduction du nombre de sauts dans le réseau et d'éviter l'inter-blocage.

Cette proposition est très prometteuse, néanmoins elle dépend de la faisabilité des projections faite en ce qui concerne l'intégration des antennes en technologie CMOS 32 nm.



**Figure 1.26** – Architecture d'un NoC à base de WCube[[Lee 09](#)].

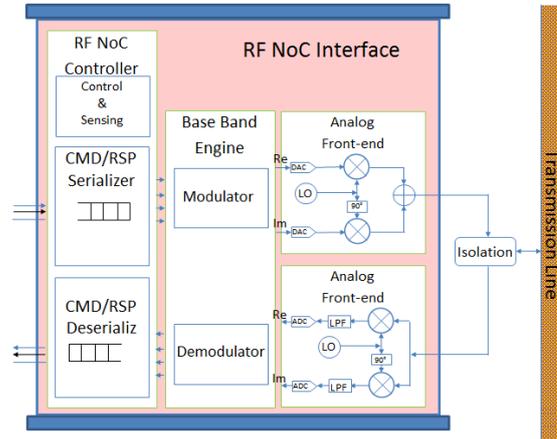
Pour une architecture à 1024 processeurs, l'approche proposée montre des performances équivalentes ou légèrement meilleures en termes de consommation d'énergie par rapport au réseau classique tandis qu'en terme de latence, une diminution de 20% à 40% est obtenue.

Le projet WiNoCoD <sup>41</sup> est une architecture du RFNoC guidé dont les ressources spectrales disponibles sont dynamiquement et intelligemment reconfigurables [[Brière 14](#)] [[Unlu 14](#)]. WiNoCoD utilise l'OFDMA <sup>42</sup> comme technique d'accès multiple qui associe les multiplexages en fréquence (FDMA) et en temporel (TDMA). L'architecture

41. Wired RF Network on Chip reconfigurable on Demand

42. Orthogonal Frequency Division Multiple Access

typique de l'émetteur-récepteur OFDMA adaptée aux interconnexions sur puce est montrée sur la figure 1.27.



**Figure 1.27** – Architecture de l'émetteur-récepteur du réseau WiNoCoD.

Comme tous les réseaux de type RFNoC, WiNoCoD est prévu pour interconnecter les clusters d'un MPSoC dont le nombre de processeurs peut aller jusqu'à 4096. Les clusters se partagent des ressources spectrales de largeur de 20 GHz autour de 30 GHz ce qui nécessite des émetteurs/récepteurs RF de très large bande, miniaturisés et consomment très peu en énergie. La faisabilité de ces émetteurs a été montrée dans [Drillet 14]. D'autres travaux sont présentés sur l'allocation intelligente et dynamique de la bande de transmission disponible pour l'ensemble des clusters du MPSoC [Unlu 14]. Enfin, une solution est également proposée afin de résoudre le problème de la désadaptation de la ligne de transmission en présence de plusieurs émetteurs-récepteurs le long de cette dernière.

## 1.6 Conclusion

Il a été montré par comparaison de performances entre des NoC de paradigmes différents que pour des interconnexions ne dépassant pas les 1 mm de longueurs, les interconnexions classiques à base de bus filaires fragmentés par des répéteurs, restent encore le meilleur moyen pour les effectuer [Tam 11].

En revanche, dans les communications à des longueurs dépassant les 1 mm, les paradigmes émergents entrent en lice afin de pallier les limites des interconnexions classiques. Pour les communications à des longueurs allant jusqu'à 30 cm, les interconnexions RF sont préférées devant les interconnexions optiques, tandis qu'au-delà des 30 cm, cette tendance s'inverse [Tam 11].

Les longueurs des communications sur puce actuelles ne dépassant pas les 30 cm et compte tenu de leur meilleur compromis entre les performances et le coût ainsi

## 1.6 Conclusion

---

que leur intégrabilité dans les SoC, les interconnexions RF sont choisies dans cette thèse comme la thématique de recherche scientifique principale. Les interconnexions RF à travers une ligne de transmission sont privilégiées car la miniaturisation des antennes à très large bande atteignable aujourd'hui ne permet pas l'intégration du nombre nécessaire d'antennes sur un même MPSoC.

Le travail de recherche effectué sera présenté dans les prochains chapitres et concerne essentiellement la modélisation comportementale de l'émetteur ainsi que du récepteur RF et de la ligne de transmission. Les modèles développés seront validés et utilisés pour traiter certaines problématiques des RFNoC telles que l'allocation de ressources spectrales ainsi que le dimensionnement des composants du RFNoC.