
- CONCEPTION ET RÉALISATION DE L'AMPLIFICATEUR DISTRIBUÉ À CELLULES CASCODES MMIC

[3.26], [3.27]

Un amplificateur supplémentaire a été conçu au cours de ces travaux de thèse dans le cadre de la technologie MMIC PHEMT GaN développée dans le programme européen Korrigan avec le laboratoire commun MITIC (XLIM – ATL III-V Lab). Il s'agit d'une structure distribuée à quatre cellules cascodes MMIC en technologie GaN sur SiC. Les composants ont un développement de grille de $8 \times 75 \mu\text{m}$ dont le modèle a été développé au cours du chapitre 2. L'architecture, les spécifications ainsi que les contraintes technologiques sont énoncées dans les paragraphes suivants.

III.1. L'architecture

La Figure 3-42 présente le schéma global de l'amplificateur réalisé adoptant une topologie à capacité additionnelle sur la grille et intégrant les montages cascodes optimisés en puissance comme cellules actives unitaires.

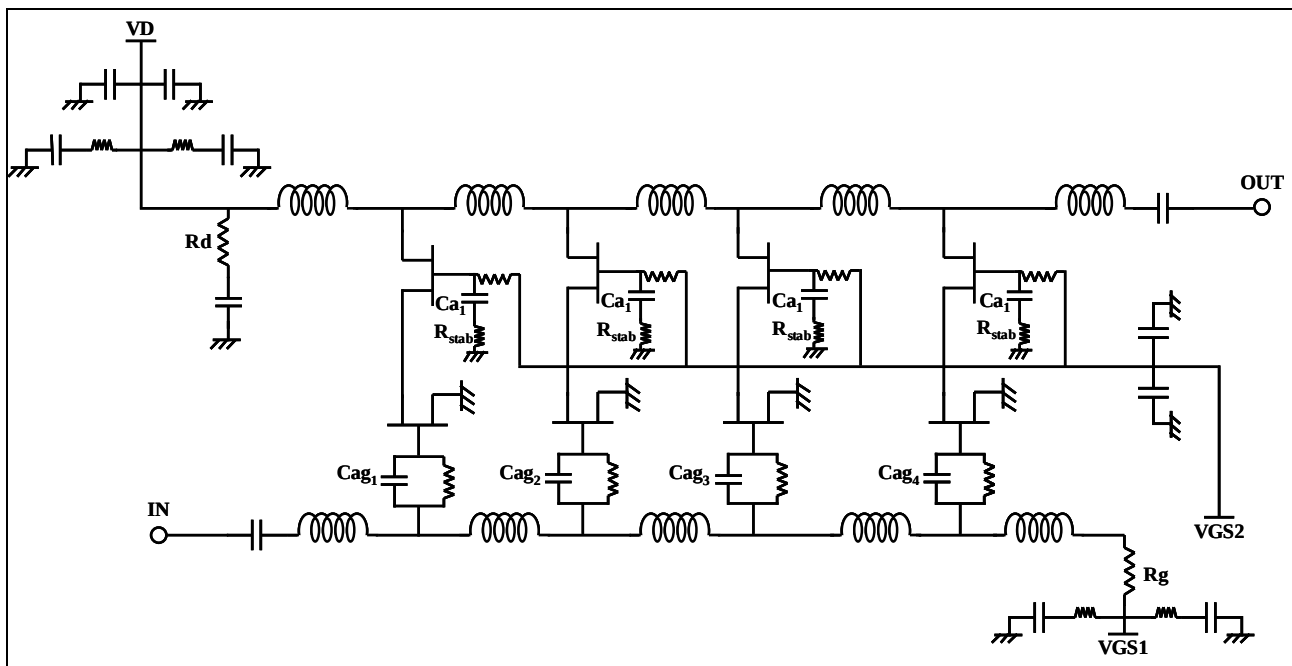


Figure 3-42 : Schéma global de l'amplificateur MMIC.

Il s'agit donc d'un amplificateur distribué composé de quatre cellules cascodes. Les lignes de grille et de drain sont chargées par des impédances R_g et R_d . Les accès d'entrée et sortie sont des accès purement RF. Les tensions de polarisations DC sont apportées par ailleurs. Le découplage DC/RF se fait par le biais de capacités de découplage et de résistances introduites sur la puce.

Chaque cellule cascode présente une capacité sur la grille du transistor en grille commune optimisée pour un fonctionnement optimal en puissance ainsi qu'une résistance de stabilité R_{stab} , le tout, mis en parallèle avec une résistance de forte valeur permettant la polarisation DC. Une capacité est insérée sur la grille du transistor en source commune, optimisant le fonctionnement de l'amplificateur distribué, avec en parallèle une forte résistance pour assurer la polarisation DC.

III.2. Les spécifications et la technologie

III.2.1. Spécifications

L'objectif de cette conception est d'évaluer les potentialités du nitrure de gallium en termes d'amplification de puissance large bande en technologie MMIC. Ce projet n'étant pas contractuel, aucune performance n'était imposée si ce n'est que nous cherchions à obtenir les meilleurs résultats possibles. Afin d'orienter tout de même notre conception, nous avons pris en compte les spécifications de l'amplificateur large bande considéré précédemment en technologie flip-chip. La bande de fréquence s'étend de 6 à 18GHz pour une puissance de sortie recherchée à 1dB de compression de 37dBm avec une ondulation de ± 1 dB et un gain linéaire de 10dB. Il est à noter que nous étions limités quant à la taille de la puce par les dimensions suivantes : (4.5 x 4.5) mm² incluant les lignes de découpe (taille effective du circuit (4.3x4.3) mm²).

Ce projet est ambitieux car la topologie retenue présente un certain nombre de défis technologiques concernant l'insertion des passifs en technologie microruban ainsi que des 8 transistors sur le même substrat GaN. De plus, cela fixe des objectifs supérieurs à l'état de l'art actuel des amplificateurs de puissance pour cette largeur de bande ainsi que pour les dimensions fixées de la puce.

III.2.2. Technologie

La conception réalisée au cours de ces travaux de thèse est basée sur des transistors HEMTs en technologie GaN sur SiC présentés dans le chapitre 2, de développement de grille de

8x75 μm . Le substrat de carbure de silicium a une épaisseur de 100 μm sur lequel la croissance d'une couche de nitrure de gallium de 3 μm est effectuée.

Comme nous l'avons détaillé dans le chapitre 2, cette technologie offre la possibilité de réaliser les transistors mais également intègre les éléments passifs tels que les lignes de transmission, les résistances, les capacités MIM, les via-holes pour le retour à la masse ainsi que les ponts à air.

Nous résumons ci-dessous les caractéristiques principales des éléments passifs que nous avons intégré sur la puce GaN :

- capacités MIM : densité surfacique 250pF/mm²
- résistances actives : densité surfacique 500 $\Omega/\square$
- résistances métalliques NiCr : résistance carrée : $30 \pm 4 \Omega/\square$
- lignes de transmission : densité de courant linéique 11mA/ μm , largeur minimum des lignes 5 μm .
- via-holes : trous métallisés de diamètre 60 μm

III.3. Optimisation de la cellule cascode

Nous avons cherché dans un premier temps à optimiser le montage cascode afin d'obtenir un fonctionnement optimal en puissance. Comme nous l'avons précisé plusieurs fois auparavant, une capacité additionnelle sur la grille du 2nd transistor permet un fonctionnement identique des deux composants et ainsi une optimisation de la puissance de sortie de la cellule cascode. D'après l'équation Eq 3-31 donnant l'expression de la valeur théorique optimale de cette capacité C_{a1} , nous obtenons une valeur de 270fF dans le cas de notre composant 8x75 μm . Notons que cette valeur n'est qu'une valeur d'initialisation d'un processus d'optimisation. De surcroît, une résistance de 10 Ω a été ajoutée en série de la capacité C_{a1} afin d'assurer la stabilité de la cellule cascode.

La topologie du transistor ne nous permet pas d'introduire une capacité additionnelle C_{a2} entre la source et le drain du second composant. Par conséquent, l'optimisation en puissance du montage cascode est uniquement basée sur l'optimisation de la capacité C_{a1} .

Les dimensions de la ligne inter-transistors ont été fixées afin de respecter les règles de dessin et afin de permettre l'insertion, entre les deux bras de connexion à la source du 2nd transistor,

des éléments C_{a1} , R_{stab} et du via-hole comme on peut le voir sur le layout représenté en Figure 3-43.

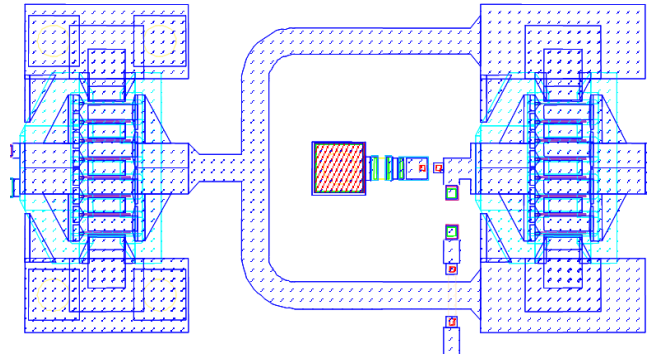


Figure 3-43 : Layout d'une cellule cascode.

L'optimisation sur les cycles de charge des deux transistors a permis de déterminer la valeur optimale de la capacité C_{a1} à 400fF. Les simulations ont été réalisées en adaptant le montage cascode sur son impédance de charge optimale déterminée par simulation load pull (RC parallèle : $R=120\Omega$ et $C=0.23\text{pF}$). La Figure 3-44 présente les cycles de charge des transistors pour les fréquences de 6, 12 et 18GHz. Une bonne équivalence des contributions des transistors a été obtenue en bas de bande. En revanche, le désaccord augmente avec la fréquence.

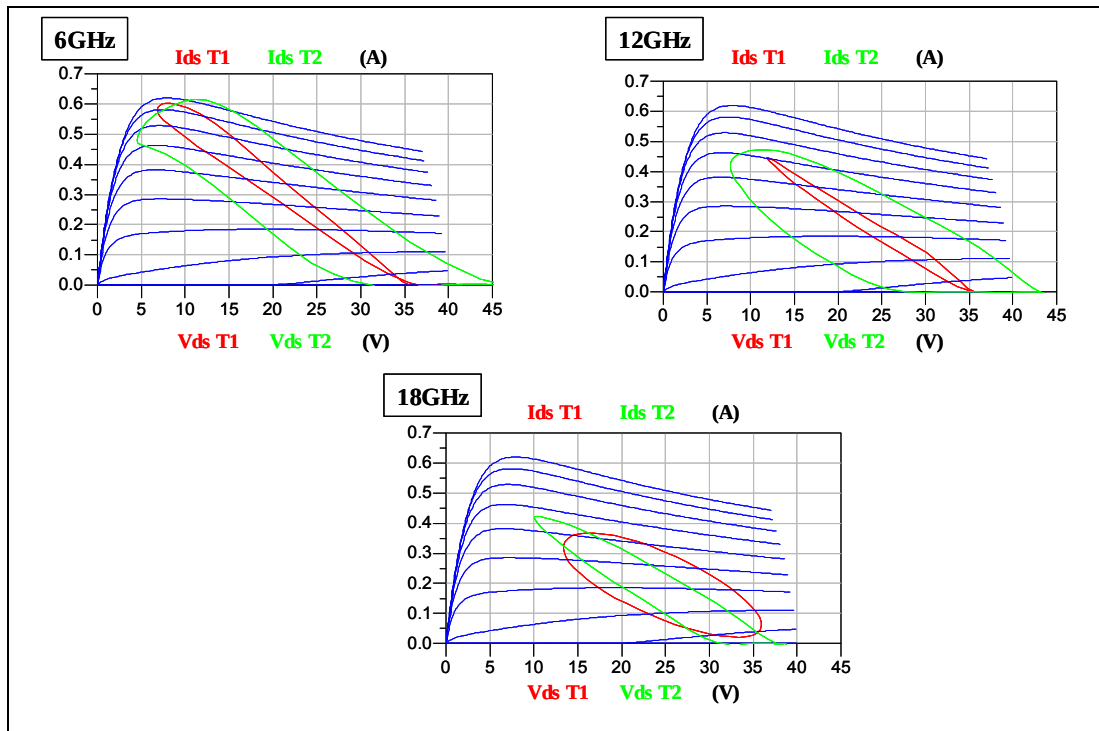


Figure 3-44 : Cycles de charge des deux transistors du montage cascode pour les fréquences de 6, 12 et 18GHz.

La Figure 3-45 présente les performances en puissance en fonction de la puissance d'entrée pour une fréquence de 12GHz de la cellule cascode optimisée, incluant la capacité Ca_1 , la résistance de stabilité ainsi qu'une résistance de 1000Ω sur la ligne de polarisation de grille du 2nd transistor.

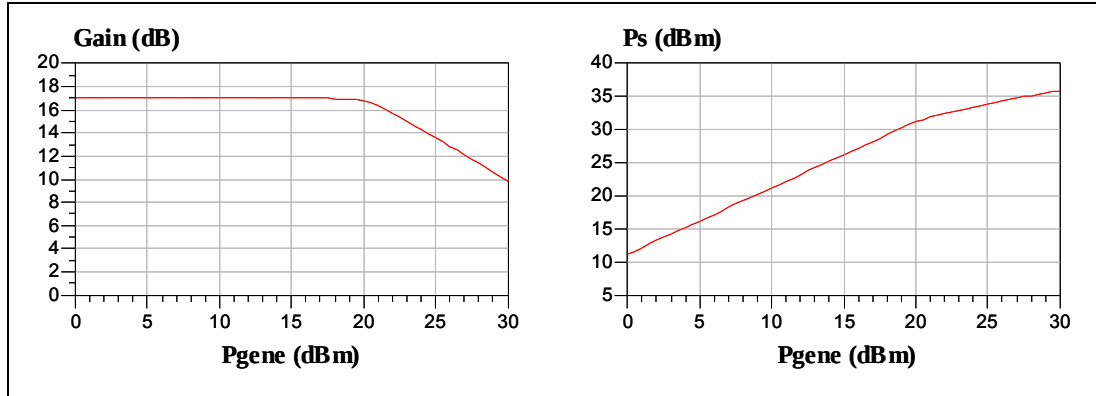


Figure 3-45 : Performances en puissance de la cellule cascode pour $f=12\text{GHz}$.

Nous pouvons observer un gain bas niveau de 17dB ainsi qu'une puissance de sortie à 1dB de compression de 32.2dBm.

L'influence de la valeur de la capacité Ca_1 sur les performances en puissance de la cellule cascode est représentée sur la Figure 3-46. Ces figures présentent la comparaison du gain et de la puissance de sortie en fonction de la puissance d'entrée pour les valeurs de capacité de 225fF, 306fF et 400fF à la fréquence de 12GHz. Nous pouvons ici constater que la capacité Ca_1 a une influence importante sur les performances en puissance de la cellule cascode.

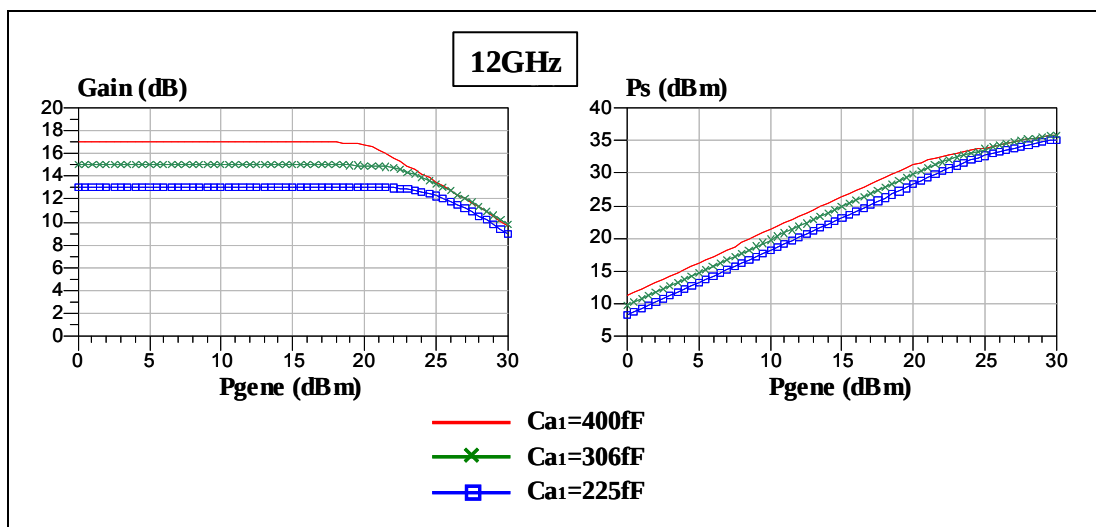


Figure 3-46 : Influence de la capacité Ca_1 à 12GHz.

III.4. L'amplificateur distribué à base de cellules cascodes MMIC

Le dessin complet de l'amplificateur est représenté sur la Figure 3-47. Il est important de noter que l'aspect « layout » de l'amplificateur fait la transition entre la phase de CAO et la réalité physique du circuit. La vérification des règles de dessin, l'optimisation de la surface occupée par le circuit ainsi que la prise en compte d'éventuels couplages dans le circuit ont demandé beaucoup d'adaptations et de limitations qui restent indispensables à la réussite de toute conception.

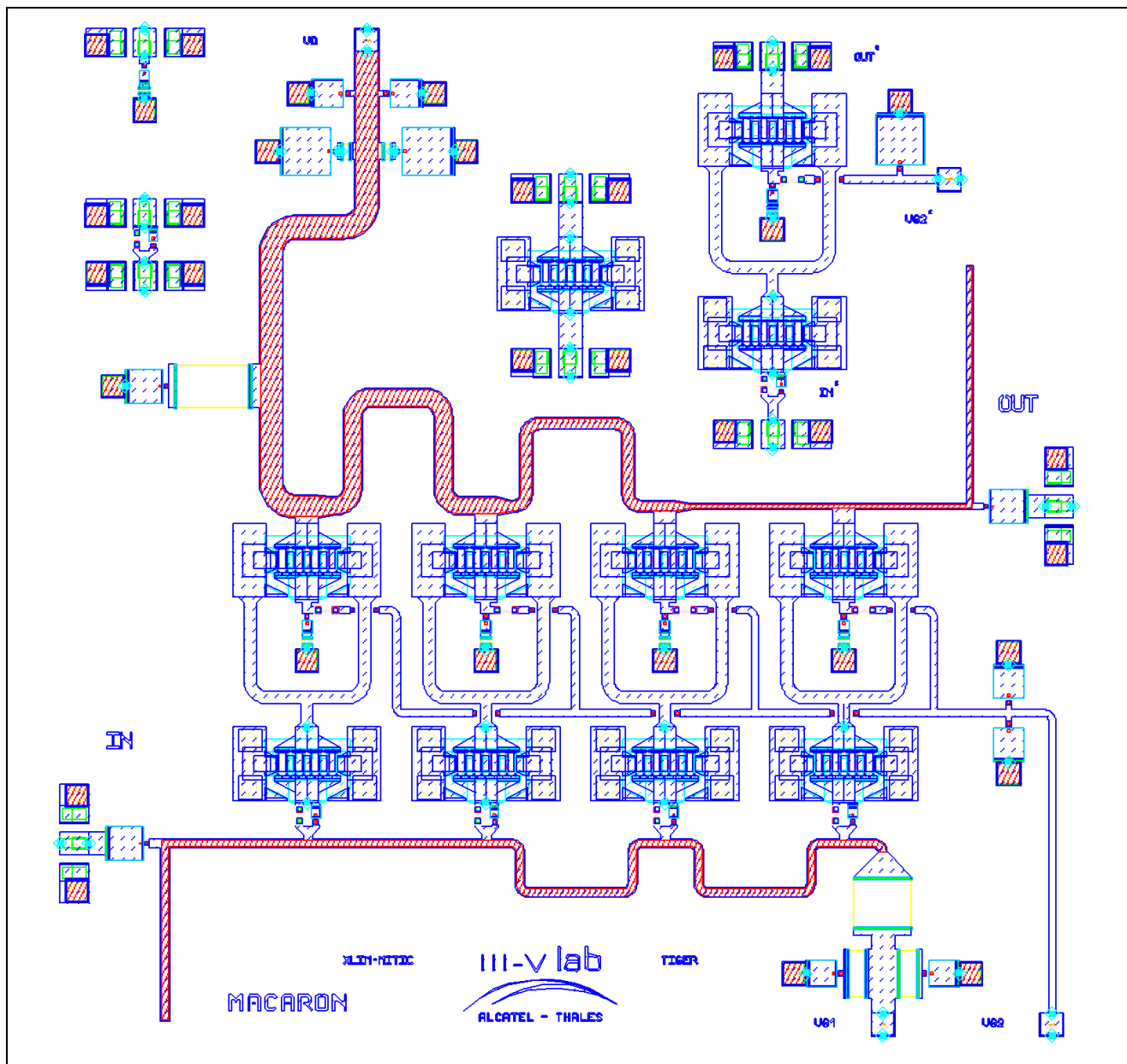


Figure 3-47 : Layout de l'amplificateur distribué à cellules cascodes en technologie MMIC.

Dans les paragraphes suivants, nous allons nous intéresser aux contraintes technologiques inhérentes à la conception de l'amplificateur distribué et aux résultats de simulation.

III.4.1. Les contraintes technologiques

III.4.1.1. Contraintes DC sur la ligne de drain

Une contrainte DC soumet la ligne de drain à une largeur minimale $W_{\min}$ (I_{DC}). Une ligne microstrip de largeur W ne peut supporter plus de $11\text{mA}/\mu\text{m}$ de courant DC. Les contraintes de largeur sur les lignes de drain sont exprimées en fonction du courant DC de polarisation qui est amené au travers de la ligne de sortie.

La première ligne de largeur W_0 reliant la polarisation de drain par la charge R_d au drain de la 1^{ère} cellule cascode doit supporter la somme des courants de polarisation $I_{DC,k}$ des N transistors pour le niveau maximum de consommation du circuit. Il est donc nécessaire que :

$$W_0 \geq \frac{\sum_{k=1}^N I_{DC,k}}{0.011} \quad \text{avec } N=4 \quad \text{Eq 3-39}$$

Les tronçons de ligne de drain suivants de largeur W_i reliant la cellule i à la cellule $(i+1)$ sont soumis à la contrainte :

$$W_i \geq \frac{\sum_{k=i+1}^N I_{DC,k}}{0.011} \quad \text{avec } i=1 \text{ à } N-1 \text{ avec } N=4 \quad \text{Eq 3-40}$$

La plus forte contrainte est donc associée à la ligne W_0 . Il a donc été nécessaire d'imposer ces contraintes dans l'optimisation de l'amplificateur distribué. Le niveau de ces contraintes est illustré dans le cas de notre réalisation par les valeurs du Tableau 3-4 suivant :

i	$\sum_{k=i+1}^N I_{DC,k} \text{ (mA)}$	$W_{i \min} \text{ (}\mu\text{m)}$
0	1057	96
1	793	72
2	529	48
3	264	24

Tableau 3-4 : Contraintes DC sur la ligne de drain.

Remarque : Par prévention, une couche supplémentaire nommée PI ainsi qu'une seconde nommée PO ont été rajoutées sur la métallisation du niveau N1 en respectant les règles de dessin

dès que la topologie le permettait afin d'assurer une marge d'erreur concernant la valeur limite du courant. Le rajout de ces épaisseurs permet à la ligne de supporter un courant plus important.

III.4.1.2. Contraintes RF sur les charges de grille et de drain

Lors de la conception d'un amplificateur distribué de puissance, une contrainte spécifique est liée à la dissipation de puissance RF dans les charges d'adaptation de grille R_g et de drain R_d . En effet, en limite basse de la bande de fréquence (4GHz), les cellules cascodes présentent un gain important et prélèvent une puissance d'entrée négligeable. Par conséquent, la puissance d'entrée du générateur est quasiment intégralement dissipée dans la charge de grille R_g . À l'inverse, en haute fréquence (18 GHz), le gain des transistors est plus faible et la puissance d'entrée qu'ils prélèvent est plus importante. Ainsi, la puissance dissipée dans la charge de grille diminue par rapport à sa valeur en basse fréquence. La contrainte sur la dissipation de puissance RF dans les charges d'adaptation est donc fixée par le comportement en puissance au début de la bande de fréquence.

Les résistances métalliques de résistance carrée R_c ($30\Omega/\square$) ne peuvent supporter une puissance RF supérieure à ($23.10^{-6}\text{W}/\mu\text{m}^2$). Ainsi si P_{R_g} est la puissance maximale dissipée dans la charge de grille en basse fréquence, la largeur W_{R_g} de cette résistance R_g de longueur L_{R_g} est contrainte par :

$$R_g = \frac{L_{R_g}}{W_{R_g}} \cdot R_c \text{ et } W_{R_g} (\mu\text{m}) \geq \sqrt{\frac{R_c \cdot P_{R_g}}{23.10^{-6} \cdot R_g}} \quad \text{Eq 3-41}$$

Cette contrainte s'applique de même à la charge R_d de drain :

$$R_d = \frac{L_{R_d}}{W_{R_d}} \cdot R_c \text{ et } W_{R_d} (\mu\text{m}) \geq \sqrt{\frac{R_c \cdot P_{R_d}}{23.10^{-6} \cdot R_d}} \quad \text{Eq 3-42}$$

Le niveau de ces contraintes est illustré dans le cas de notre réalisation par les valeurs du Tableau 3-5 suivant :

$R_g (\Omega)$	$P_{R_g} (\text{mW}) \text{ max}$	$W_{R_g} (\mu\text{m}) \text{ min}$	$L_{R_g} (\mu\text{m})$	$R_d (\Omega)$	$P_{R_d} (\text{W}) \text{ max}$	$W_{R_d} (\mu\text{m}) \text{ min}$	$L_{R_d} (\mu\text{m})$
25	912	240	200	50	1.15	180	300

Tableau 3-5 : Contraintes RF sur les charges de grille et de drain.

III.4.2. Profil des capacités additionnelles sur la grille

L'architecture intègre un profil à capacités C_{agi} en série sur les grilles de chaque transistor en source commune. Afin de permettre la polarisation de grille à travers la ligne d'entrée, chaque capacité C_{agi} est shuntée par une résistance R_{ag} . La valeur de R_{ag} a été ajustée pour que la coupure du réseau RC équivalent soit inférieure à la fréquence minimale $f_{\min}$ soit $R=500\Omega$.

Il faut insister sur le fait que la valeur des capacités C_{agi} doit augmenter avec l'ordre i du transistor. Ce profil permet ainsi de compenser les pertes de la ligne de grille et de maintenir le module de la tension de commande V_{gsi} des transistors aussi constant que possible. Les valeurs des capacités sont données dans le Tableau 3-6 suivant :

C_{ag1} (pF)	C_{ag2} (pF)	C_{ag3} (pF)	C_{ag4} (pF)
0.3	0.265	0.297	0.325

Tableau 3-6 : Valeur des capacités additionnelles sur la grille.

III.4.3. Motifs de test

Un motif de test de la cellule cascode seule a été conçu afin de mesurer les performances de cette cellule. Ce circuit comprend deux accès entrée-sortie RF qui permettront également la polarisation DC. Un troisième accès est nécessaire à la polarisation de grille du transistor monté en grille commune. Le découplage RF/DC de cette ligne est assuré par une capacité de 10pF.

Des motifs de test supplémentaires d'éléments passifs tels que le réseau R_{ag}/C_{ag} d'entrée et la mise en série de C_{a1} avec R_{stab} ont été ajoutés ainsi que le motif d'un seul transistor de développement $8 \times 75 \mu\text{m}$.

Ces motifs (Figure 3-48) permettront de réaliser des comparaisons de résultats de mesures et de simulation. Lors des simulations en régime linéaire, une attention particulière a été portée sur l'étude de stabilité car le montage cascode est connu pour être très sensible aux oscillations. Pour ce faire, les analyses du facteur de Rollet ainsi que du NDF traduisent une stabilité inconditionnelle de la cellule cascode.

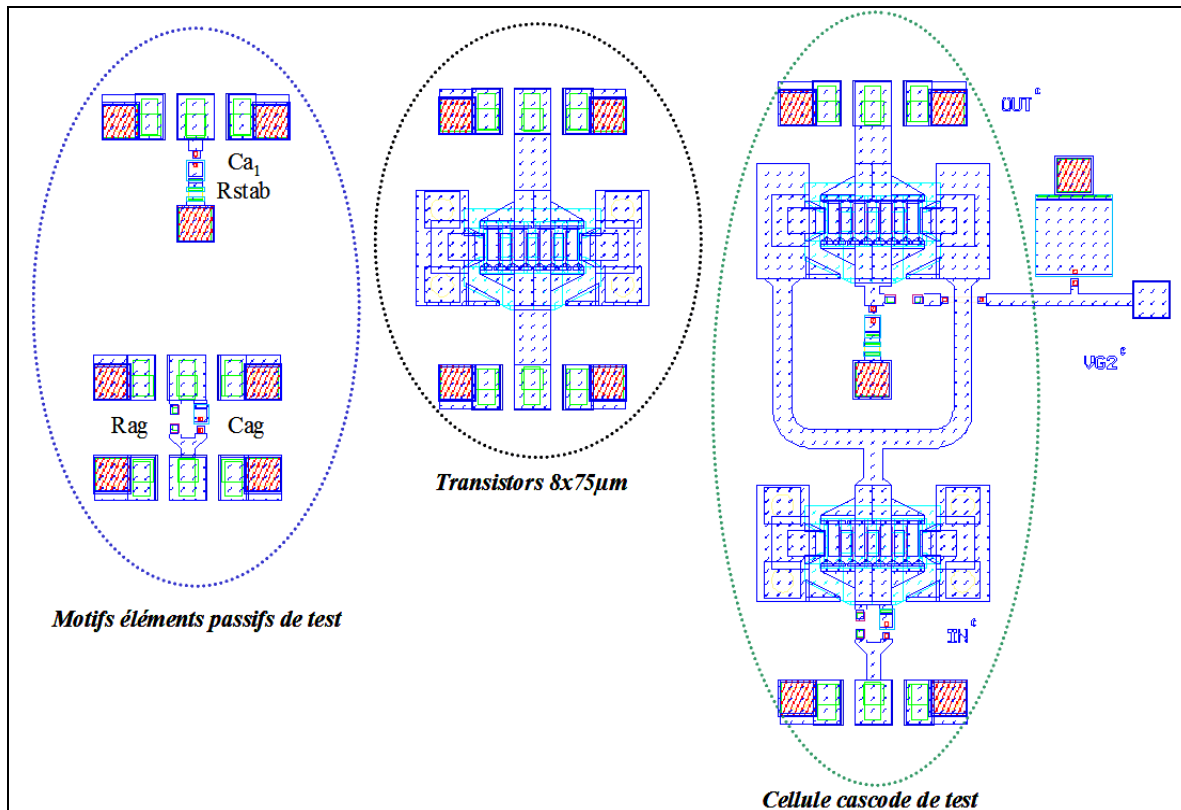


Figure 3-48 : Motifs de test intégrés sur la puce de l'amplificateur distribué.

III.4.4. Performances simulées de l'amplificateur

Nous allons dans cette partie nous intéresser aux performances simulées de l'amplificateur distribué et dans un tout premier temps aux résultats de simulations en régime linéaire.

III.4.4.1. Simulations en régime linéaire

La Figure 3-49 expose les paramètres S obtenus par l'analyse petit signal de l'amplificateur composé des modèles linéaires de transistors. Nous pouvons relever un gain moyen de $8\text{dB} \pm 0.3\text{dB}$ sur la bande de fréquence 4-18GHz. Les paramètres S en réflexion entrée et sortie sont pour le S_{11} inférieur à -10dB et pour le S_{22} inférieur à -7dB traduisant une bonne adaptation du circuit. Notons qu'il n'est pas prévu de selfs de choke à l'extérieur de la puce dont les valeurs seraient trop fortes pour être intégrées sur la puce. Ainsi le découplage de la ligne de drain a été totalement intégré par des réseaux RC capacitifs dont l'influence sur le S_{22} n'a pas pu être totalement compensée vers la fréquence minimale car le comportement à f_{max} était privilégié.

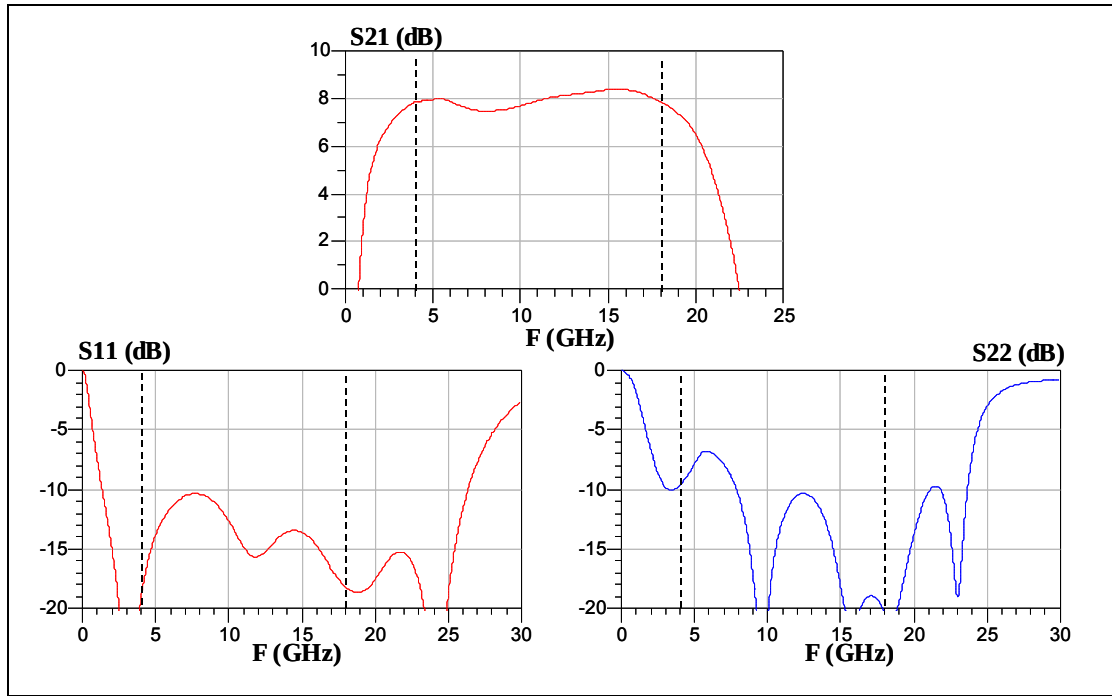


Figure 3-49 : Paramètres S obtenus par analyse petit signal de l'amplificateur distribué (avec modèles linéaires).

D'autre part, nous avons simulé les paramètres S de l'amplificateur comportant les modèles de transistors non-linéaires. Sur la Figure 3-50 sont représentés les résultats obtenus sur la même bande de fréquence que précédemment. Nous avons obtenu un gain moyen de $7\text{dB} \pm 0.3\text{dB}$, S_{11} inférieur à -10.5dB et S_{22} inférieur à -4dB .

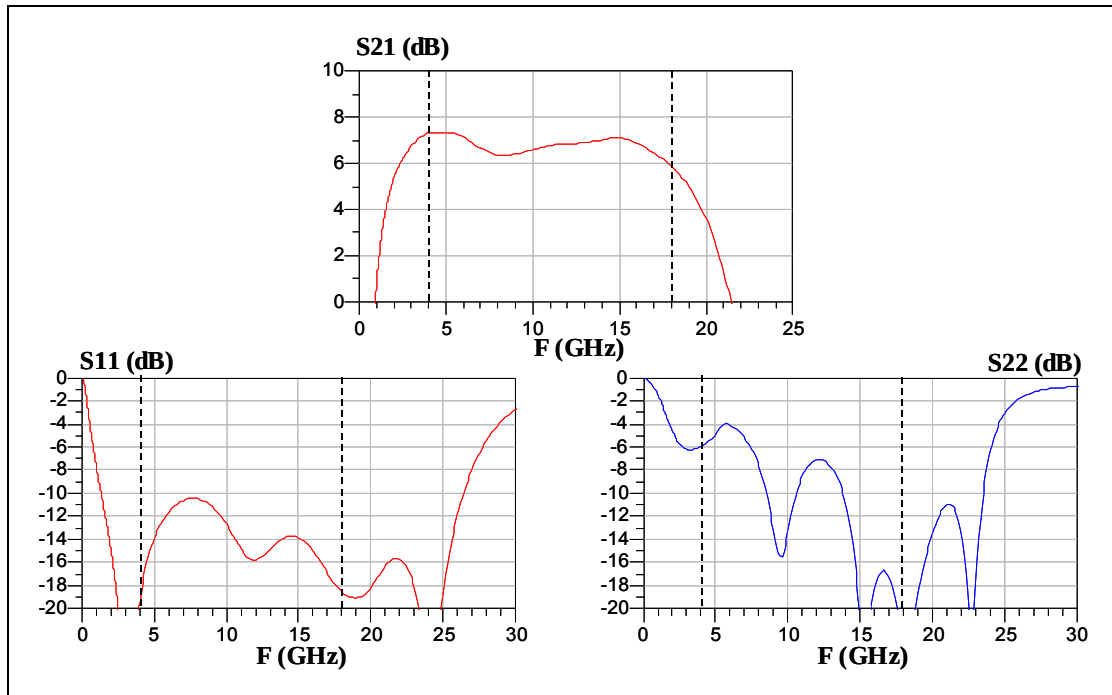


Figure 3-50 : Paramètres S obtenus par analyse petit signal de l'amplificateur distribué (avec modèles non-linéaires).

Une fois le layout de ce circuit optimisé, une étude électromagnétique des parties passives a été réalisée afin de vérifier l'éventuelle présence de couplage entre lignes de transmission. Cette étude a été menée en deux temps :

- une première simulation a été réalisée en simulant les lignes de grille et de drain sous le logiciel Momentum, les résultats sont représentés sur la Figure 3-51 (a).
- une seconde simulation a été réalisée en simulant les lignes de grille et de drain ainsi que les lignes inter-transistors avec le passage à proximité de la ligne de polarisation de grille du second transistor sous le logiciel Ansoft Designer. Les résultats sont représentés sur la Figure 3-51 (b).

Nous avons pu ainsi vérifier qu'aucun couplage parasite n'apparaissait au sein de la structure. Les performances de l'amplificateur obtenues à partir des simulations électromagnétiques des passifs étaient sensiblement équivalentes de celles obtenues par simulations circuit.

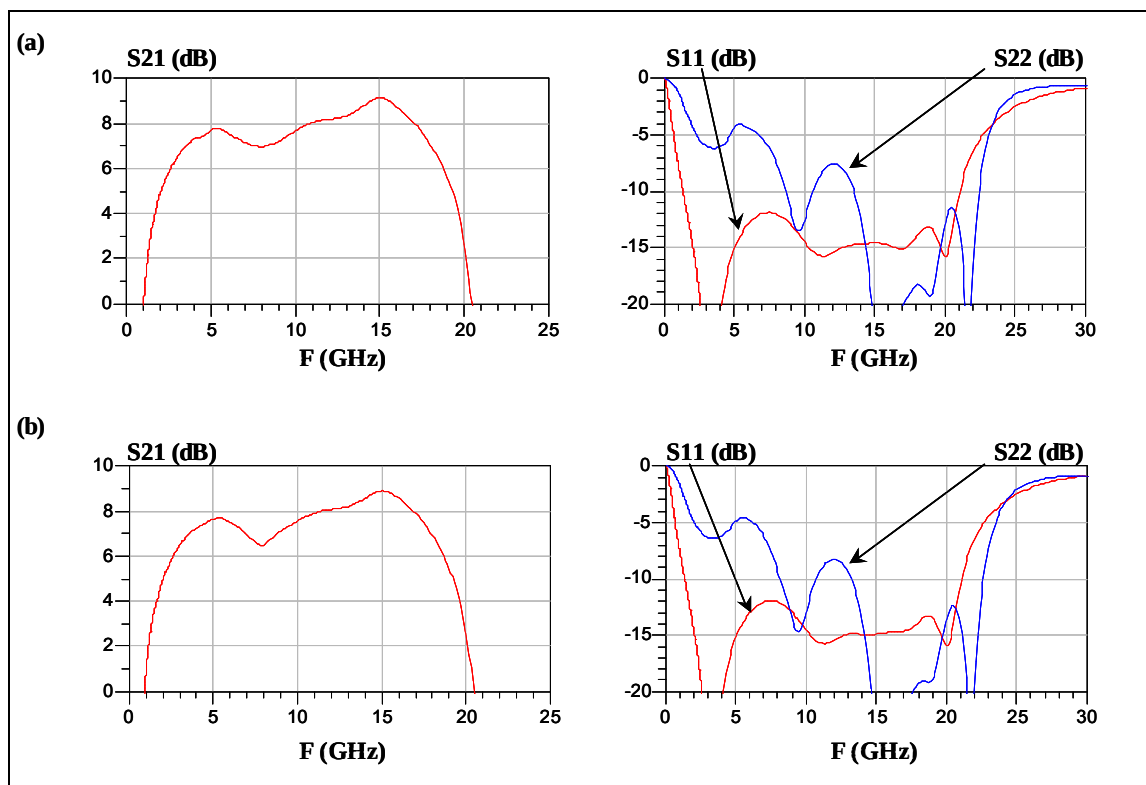


Figure 3-51 : Paramètres S obtenus par analyse petit signal de l'amplificateur distribué simulé par analyses électromagnétiques (avec modèles non-linéaires) : (a) Momentum, (b) Ansoft Designer.

III.4.4.2. Simulation en régime fort signal (P_s , P_e , Gain, Cycles, P_{diss})

Des simulations en régime fort signal ont été effectuées à partir du modèle thermique non-linéaire des composants actifs. Le point de polarisation considéré au cours de ces analyses est de -4 volts sur la grille et 50 volts sur le drain ($2 \times 25V$), ce qui correspond à un courant égal à 186mA, équivalent approximativement à $I_{dss}/3$ (classe AB légère). Les simulations ont été réalisées pour une puissance d'entrée variant de 0 à 33.5dBm sur une bande de fréquence allant de 1 à 20GHz.

La Figure 3-52 présente la puissance de sortie à 1 et 2dB de compression ainsi que les paramètres S en réflexion entrée/sortie en fonction de la fréquence. Nous pouvons observer une adaptation correcte du circuit puisque ces derniers restent inférieurs à -7 dB sur la bande 4-18GHz.

La puissance de sortie à 1dB de compression montre une valeur moyenne de 37.3dBm sur la bande 4-18GHz, oscillant entre un minimum de 34.7dBm et un maximum de 38.5dBm. La puissance de sortie à 2dB de compression a une valeur moyenne de 38dBm dans la bande 4-18GHz.

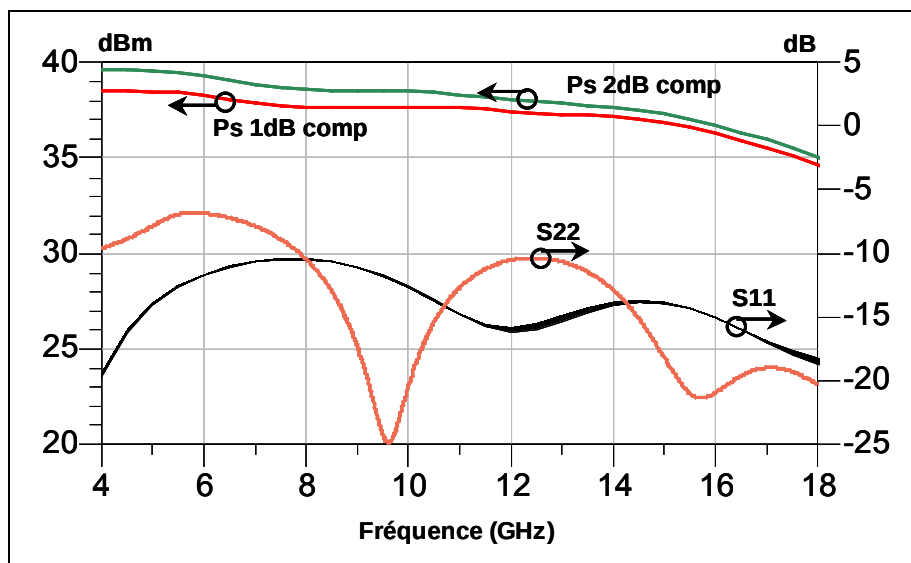


Figure 3-52 : Puissance de sortie à 1dB et 2dB de compression et paramètres S en réflexion entrée-sortie en fonction de la fréquence.

La Figure 3-53 présente la puissance de sortie en fonction de la puissance d'entrée aux points de fréquence 4GHz, 12GHz et 18GHz.

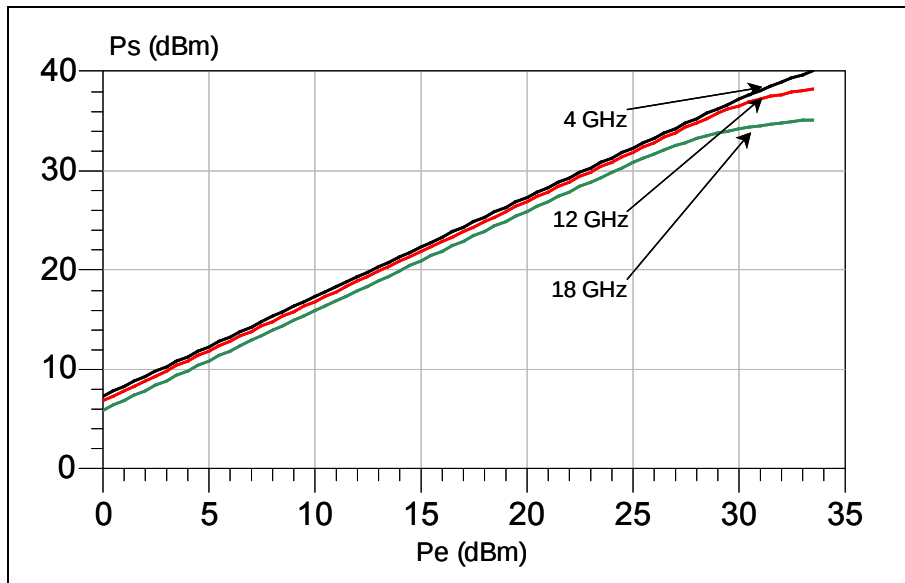


Figure 3-53 : Puissance de sortie en fonction de la puissance d'entrée à 4GHz, 12GHz, 18GHz.

La Figure 3-54 synthétise les résultats en puissance obtenus pour une fréquence de 12GHz. Nous pouvons relever un gain linéaire de 7dB, une puissance de sortie au dB de compression de 37.5dBm.

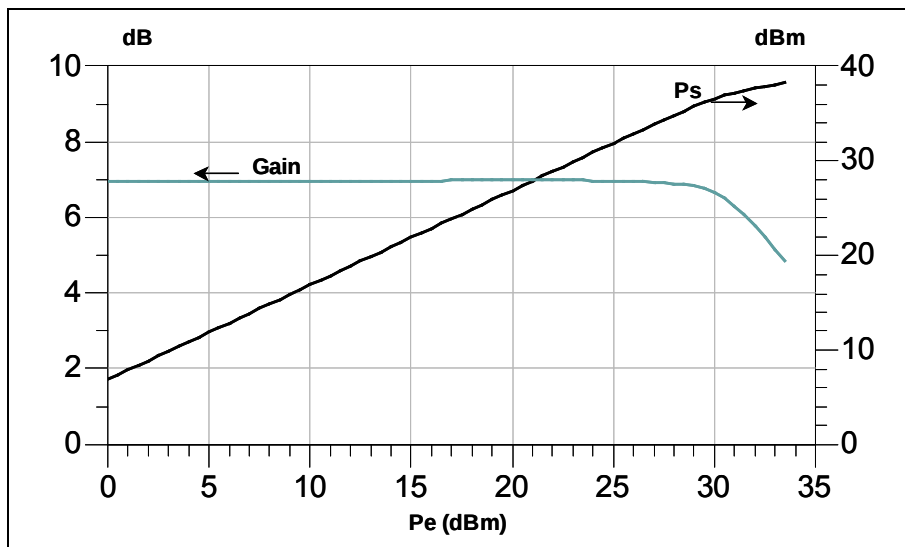


Figure 3-54 : Gain en puissance et puissance de sortie en fonction de la puissance d'entrée à une fréquence de 12 GHz.

Afin de déterminer le fonctionnement en puissance des transistors, nous présentons les cycles de charge de ces derniers sur les caractéristiques statiques. La Figure 3-55 montre ces cycles pour des fréquences de 4, 12 et 18GHz à une puissance de sortie au dB de compression. Nous pouvons noter que les transistors ne fonctionnent pas tous à leur optimum par rapport à la pente et au déphasage du cycle de charge optimal et ce surtout en haut de bande où ils servent en réalité à

l'adaptation des autres composants. Ce constat a déjà été mis en évidence par les concepteurs d'amplificateurs distribués non uniformes qui intègrent un premier transistor de taille différente [3.12].

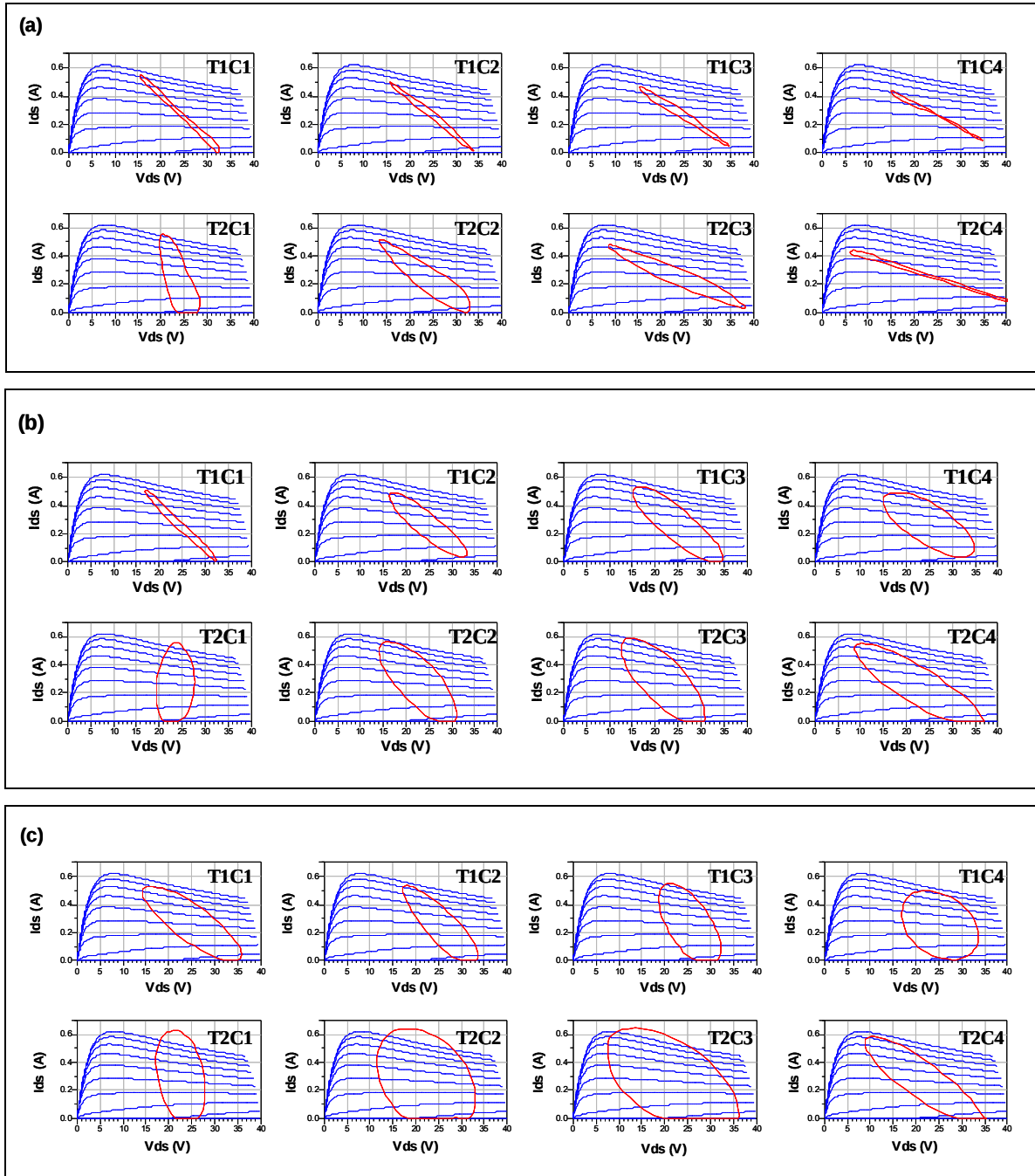


Figure 3-55 : Cycles de charge des 8 transistors pour une puissance de sortie au dB de compression aux fréquences 4GHz (a), 12GHz (b) et 18GHz (c).

Le Tableau 3-7 présente un récapitulatif des résultats en puissance obtenus :

Paramètres	Résultats simulés
- Bande de fréquence	4-18 GHz
- Puissance de sortie	5.3W (moyenne sur 4-18GHz) max : 7W, min : 3W
- Rendement	8% (moyenne sur 4-18GHz) max : 11%, min : 5%
- Gain	8dB
- Polarisation	25V
- Stabilité	K>1, NDF, STAN
- Réflexion en entrée	<-10dB
- Réflexion en sortie	<-7dB
- Taille de la puce	20.25mm ² (4.5x4.5)

Tableau 3-7 : Synthèse des performances simulées.

Le circuit complet pourra être mesuré soit sous pointes, soit monté en jig de test et connectorisé. Concernant le mode utilisé pour la mesure, le circuit devra être mesuré en pulsé pour des raisons d'échauffement thermique. En effet, les mesures thermiques sous pointes du transistor 8x75µm ont permis de déterminer sa résistance thermique estimée à 24.7°C/W (cf chapitre 2). Si l'on considère une température de jonction maximale de 200°C et une température de socle de 35°C, on obtient une puissance dissipée maximale de 6.7W pour chaque transistor.

Or, nous avons simulé les puissances dissipées par chacun des huit transistors de 1 à 20GHz pour une puissance d'entrée correspondant au dB de compression (Figure 3-56). Nous pouvons observer un maximum de 6.9W à 13.5GHz pour une puissance d'entrée de 31.5dBm concernant le transistor grille commune de la 1^{ère} cellule cascode. Par conséquent, l'amplificateur devra être mesuré en mode pulsé afin de pallier au phénomène d'auto-échauffement.

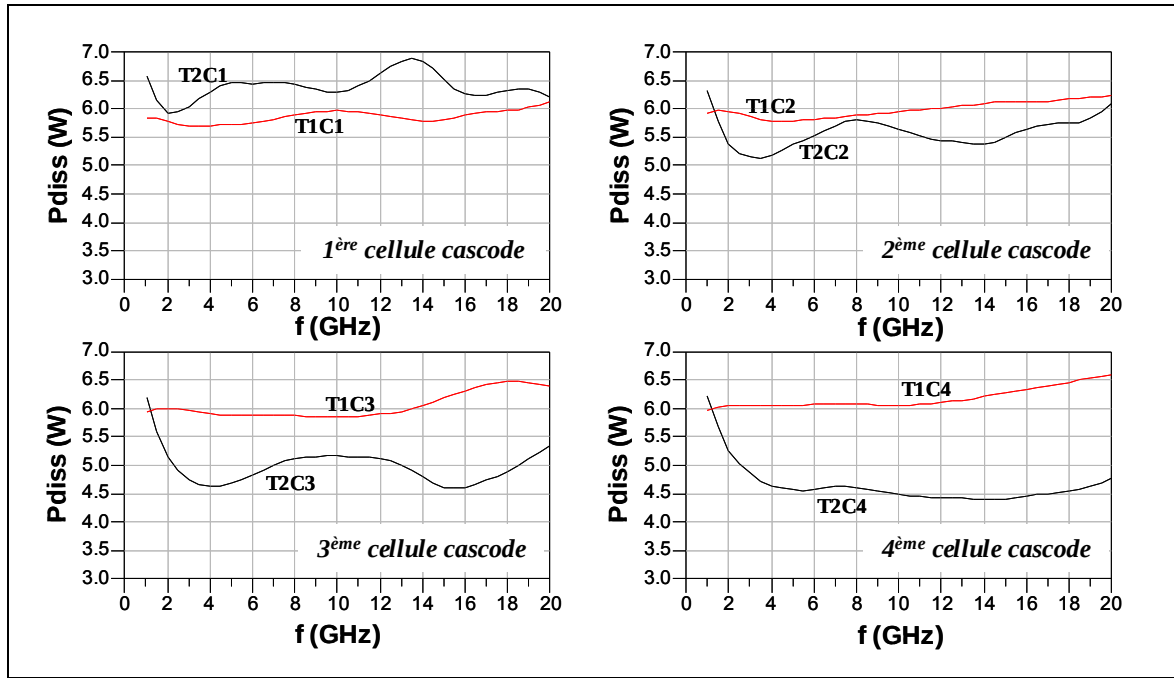


Figure 3-56 : Puissance dissipée par chaque transistor en fonction de la fréquence pour une puissance d'entrée de 31.5dBm.

Les performances simulées ainsi que les détails de conception de l'amplificateur distribué MMIC à cellules cascodes ont été exposés dans ce paragraphe. Nous allons voir par la suite les critères qui participent à la validation de la topologie.

III.4.5. Validation de la topologie finale

La validation de la topologie finale de l'amplificateur constitue l'étape suivante du travail avant d'envoyer le circuit pour la phase de réalisation physique « run ». Une vérification de la stabilité intrinsèque du dispositif ainsi que de la sensibilité vis-à-vis des dispersions technologiques des éléments passifs, du substrat et des éléments du modèle du transistor a été réalisée.

III.4.5.1. Analyse de la stabilité linéaire et intrinsèque de l'amplificateur distribué

Une attention particulière a été apportée à l'analyse de stabilité du circuit. En effet, comme nous l'avons mentionné, le montage cascode est connu pour être sensible aux oscillations. En conséquence, une première analyse de stabilité a été réalisée à partir des simulations des paramètres S de l'amplificateur : il s'agit du facteur de Rollet.

Les conditions de stabilité d'un circuit au regard du facteur de Rollet sont énoncées ci-contre :

Si l'on considère un quadripôle et que l'on pose :

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |S_{12}S_{21} - S_{11}S_{22}|^2}{2|S_{12}S_{21}|} \quad \text{et} \quad \text{Eq 3-43}$$

$$\text{delta} = 1 + |S_{11}|^2 - |S_{22}|^2 + |S_{11}S_{22} - S_{12}S_{21}|^2$$

alors le quadripôle est inconditionnellement stable si pour toutes les fréquences de la bande d'utilisation on vérifie que :

$$K > 1 \quad \text{et} \quad \text{delta} > 0$$

La Figure 3-57 présente les résultats de cette analyse de stabilité linéaire. Cette simulation a été réalisée sur une bande de fréquence allant de 1 à 30GHz. Nous pouvons conclure à une stabilité inconditionnelle du circuit puisque le facteur K reste supérieur à l'unité et le facteur « delta » est positif sur toute la bande d'analyse.

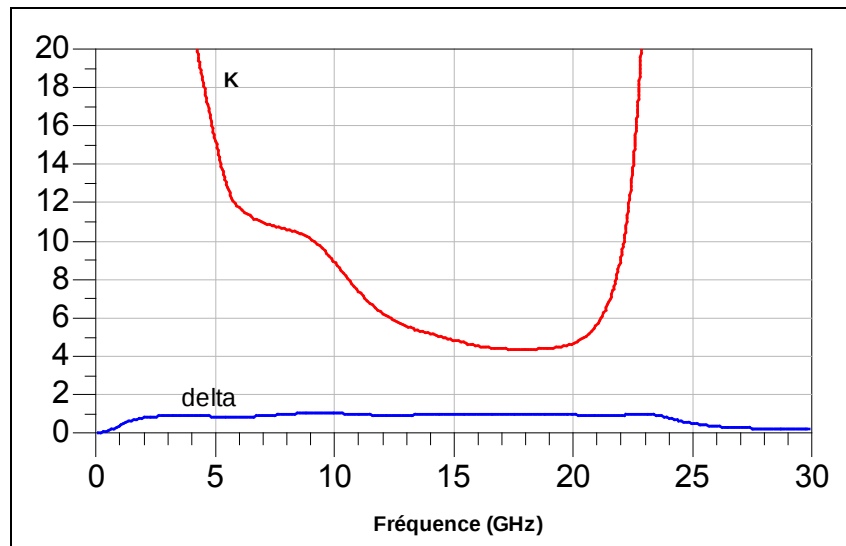


Figure 3-57 : K et delta résultant de l'analyse de stabilité linéaire en paramètre S de l'amplificateur.

L'étude de la stabilité intrinsèque de notre dispositif a été réalisée afin de compléter l'analyse dans son domaine de fonctionnement linéaire. Elle est basée sur la représentation de la fonction normalisée du déterminant (NDF) [3.28].

Le principe de l'analyse par le NDF linéaire d'un circuit intégrant N transistors correspond à la simulation linéaire de N fonctions de transfert en boucle ouverte, appelées « Return Ratios RR_i ». Ces fonctions de transfert en boucle ouverte peuvent être simulées par la modification du schéma équivalent linéaire d'un transistor qui devient un modèle 4 ports (Figure 3-58) [3.29].

L'accès 3 prélève la tension de retour V_{gs} par une source idéale de tension contrôlée en tension tandis que la tension V_{ext} de l'accès 4 contrôle la source de courant du transistor. On montre alors que le NDF d'un circuit à N transistor T_k peut être calculé par :

$$NDF = \prod_{k=1}^N (1 + RR_k) \quad \text{avec} \quad RR_k = -\frac{V_{gs}}{V_{ext}} = -\frac{S_{34}}{2} \quad Eq\ 3-44$$

Le dispositif étudié sera stable si le tracé du NDF n'encercle pas dans le sens rétrograde et n'inclut pas le point critique (0,0) sur un diagramme polaire.

Trois configurations de ce modèle à 4 accès sont alors nécessaires au calcul du NDF. Ces configurations « On », « Off » et « Under Test » sont définies ci-dessous :

- Le transistor T_k est « On » si ses accès 3 et 4 sont court-circuités.
- Le transistor T_k est « Off » si ses accès 3 et 4 sont chargés sur 50Ω .
- Le transistor T_k est « Under Test » si ses accès 3 et 4 correspondent aux ports i et j tels que $RR_k = -S_{ij}/2$.

Par conséquent, lors de la simulation du retour de niveau RR_k , le transistor T_k est « Under Test » tandis que tous les transistors T_i déjà testés ($i=1 \rightarrow k-1$) sont « Off » et tous les transistors T_i non encore testés ($i=k+1 \rightarrow N$) sont « On ».

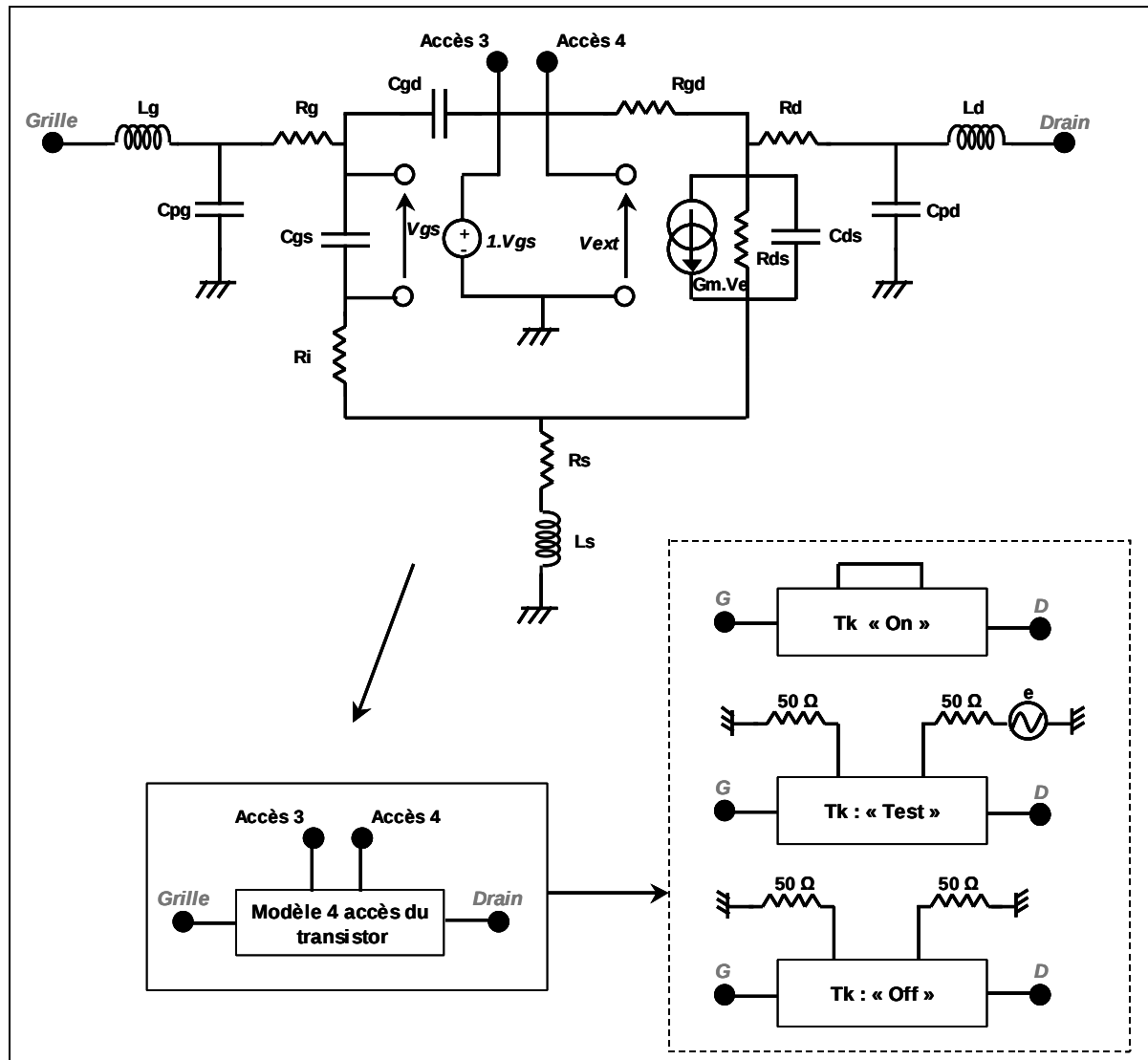


Figure 3-58 : Modèle 4 accès d'un transistor avec les 3 configurations nécessaires au calcul du NDF.

Afin de permettre l'analyse et l'optimisation simultanée des résultats nominaux d'un circuit et de sa fonction NDF, il a été développé dans notre laboratoire une méthode d'implémentation CAO. Cette méthode permet ainsi à un concepteur d'effectuer l'analyse de stabilité comme un contrôle et une optimisation de son dispositif en cours de conception et non pas comme une vérification finale qui peut conduire à des coûts de conception très supérieurs [3.30]. Cette analyse a donc été réalisée sur la bande 0.1-80GHz. Elle a permis de révéler une stabilité inconditionnelle de l'ensemble à ces fréquences. La Figure 3-59 montre le NDF de chacun des huit transistors de l'amplificateur. Le NDF global nécessite d'être étudié de façon approfondie pour conclure sur la stabilité du système. En revanche, nous observons nettement que le NDF de chaque transistor n'entoure pas le point critique, démontrant ainsi que le NDF global, résultant de leur multiplication, n'entoure pas ce point également.

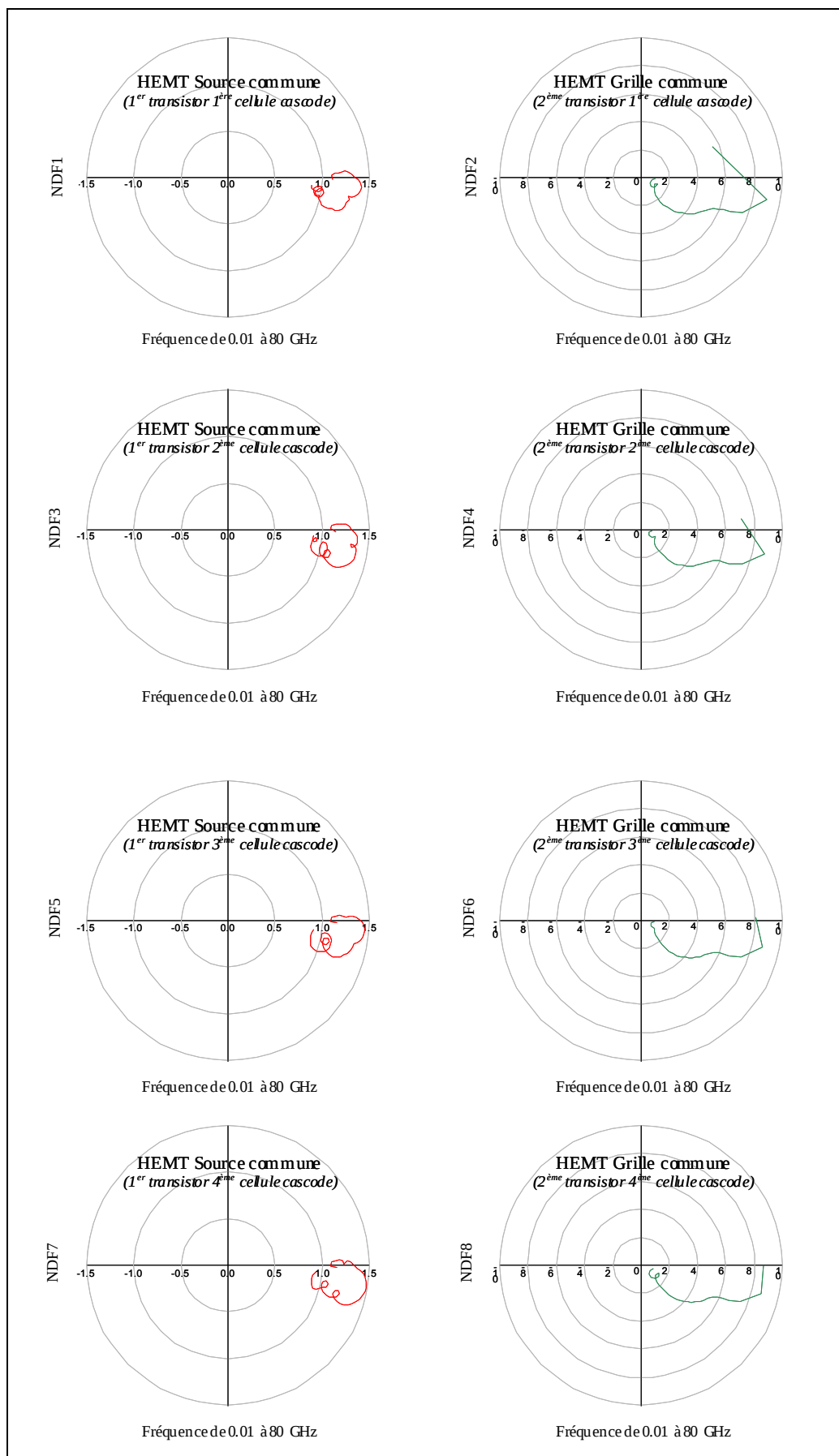


Figure 3-59 : Observation du NDF linéaire des 8 transistors composant l'amplificateur distribué.

III.4.5.2. Analyse de la stabilité non linéaire par l'utilisation du logiciel STAN[3.31], [3.32]

Le logiciel STAN a été développé au sein de l'Université basque de Bilbao en étroite collaboration avec le CNES (*Centre National d'Études Spatiales*). Lors d'une conception, la détection d'oscillations sur un amplificateur de puissance ou bien sur des circuits autonomes est cruciale pour les concepteurs. La simulation dans le domaine temporel est souvent impossible ou incorrecte. Les circuits non-linéaires MMIC sont sensibles aux oscillations. Par conséquent, la stabilité de la solution en équilibre harmonique à l'équilibre doit être contrôlée grâce à cette technique non-linéaire. Les techniques de stabilisation doivent être basées sur la connaissance de la nature même du mécanisme d'oscillation : ignorer le mode d'oscillation revient à insérer un réseau de stabilisation non optimal. Ainsi, la technique d'analyse doit aider le concepteur à déterminer le mode d'oscillation afin d'engager la stratégie de stabilisation appropriée. L'objectif de STAN est donc de proposer une analyse de la stabilité aussi rigoureuse qu'efficace aux concepteurs de circuits MMIC. Les résultats de l'analyse doivent être fiables.

➤ Principe d'analyse de la stabilité non linéaire :

Le principe est basé sur l'identification des pôles et zéros du système associé à la linéarisation de la solution à l'état d'équilibre de la simulation grand signal. Le schéma de principe est présenté ci-contre sur la Figure 3-60 :

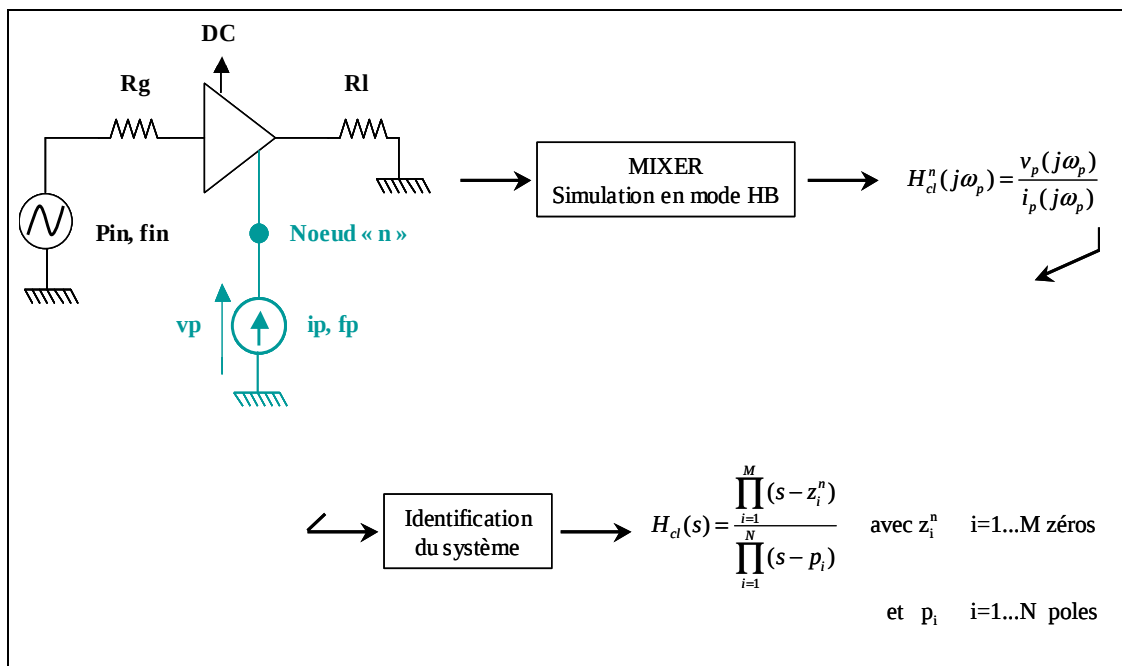


Figure 3-60 : Schéma de principe sur l'identification des pôles et zéros du système.

Le schéma de la Figure 3-61 présente le template sous ADS permettant d'obtenir les fichiers de points du module et de la phase de l'impédance vue au niveau de la sonde perturbatrice qui seront à analyser à l'aide de STAN sous Scilab. La méthode consiste donc à injecter une faible perturbation à une fréquence donnée en un nœud du circuit, et à mesurer en ce même point la réponse fréquentielle en boucle fermée du circuit à cette perturbation. Ceci peut être réalisé en injectant un courant sinusoïdal RF faible signal i_n à un nœud n du circuit (Figure 3-60), et en calculant la réponse en tension v_n obtenue à ce nœud, à la fréquence de perturbation du courant i_n . La réponse fréquentielle en boucle fermée $H_{cl}^n(j\omega)$ associée à ce nœud est déterminée simplement en balayant la fréquence du générateur de courant i_n et en calculant l'impédance du circuit $Z_n(j\omega)=v_n(j\omega)/i_n(j\omega)$.

Cette réponse fréquentielle est par la suite analysée en utilisant des méthodes d'identification du système, qui vont fournir directement les zéros et les pôles de la fonction de transfert en boucle fermée du système.

La stabilité du système est garantie si aucuns pôles à partie réelle positive ne sont obtenus lors du processus d'identification.

L'analyse s'effectue par une simulation HB en mode « mixer » (avec la détermination des matrices de conversion), dans laquelle le générateur de courant joue le rôle du signal RF, et l'excitation d'entrée représente l'oscillateur local (OL) (Figure 3-61). Lors d'une simulation de ce type, le simulateur fait tout d'abord une analyse en équilibrage harmonique à ω_{ol} et à ses harmoniques, puis une analyse linéaire de toutes les bandes latérales LSB et USB à $(n*\omega_{ol}\pm\omega_{RF})$ autour des $n*\omega_{ol}$. Cela permet donc de connaître la réponse du circuit en boucle fermée à une perturbation, par une linéarisation de la réponse large signal obtenue en régime établi.

Du fait du type de simulation utilisée, les informations sur les dynamiques locales affectant la stabilité du circuit se retrouvent de manière périodique dans la réponse fréquentielle, ce qui permet de limiter la bande de fréquence d'analyse. De plus, cette simulation de type mixer permet de s'assurer que la perturbation apportée au circuit, ne vient pas modifier l'état établi de celui-ci, puisque l'état établi est calculé préalablement sans prendre en compte le générateur auxiliaire.

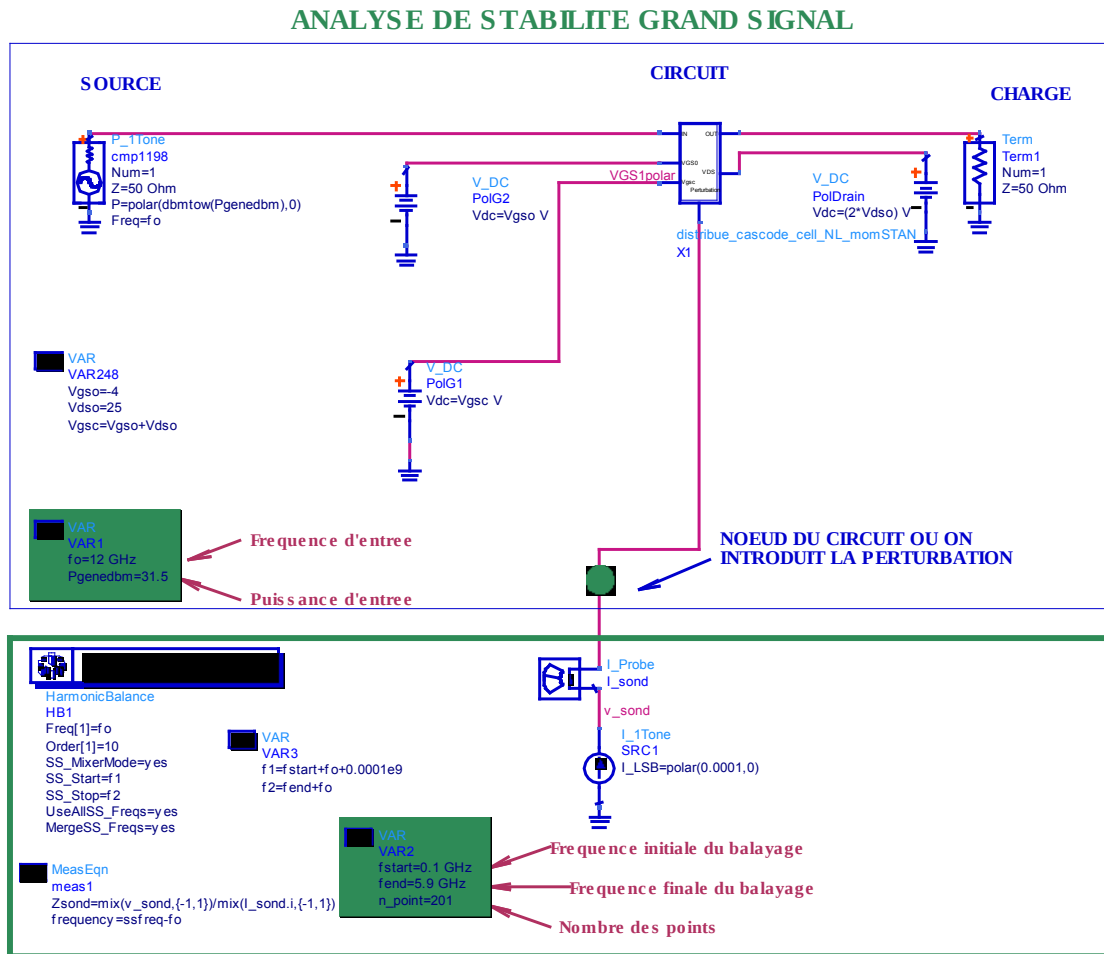


Figure 3-61 : Exemple du template d'ADS.

L'identification de la réponse fréquentielle nécessite de sortir de l'environnement CAO et est réalisée à l'aide de l'outil STAN [3.33]. Cet outil est implémenté sous Scilab. Scilab est une plate-forme de développements scientifiques open-source. Il représente le pendant gratuit de Matlab. Voici sur le schéma suivant (Figure 3-62) les étapes et informations à renseigner pour l'utilisation de STAN sous scilab :

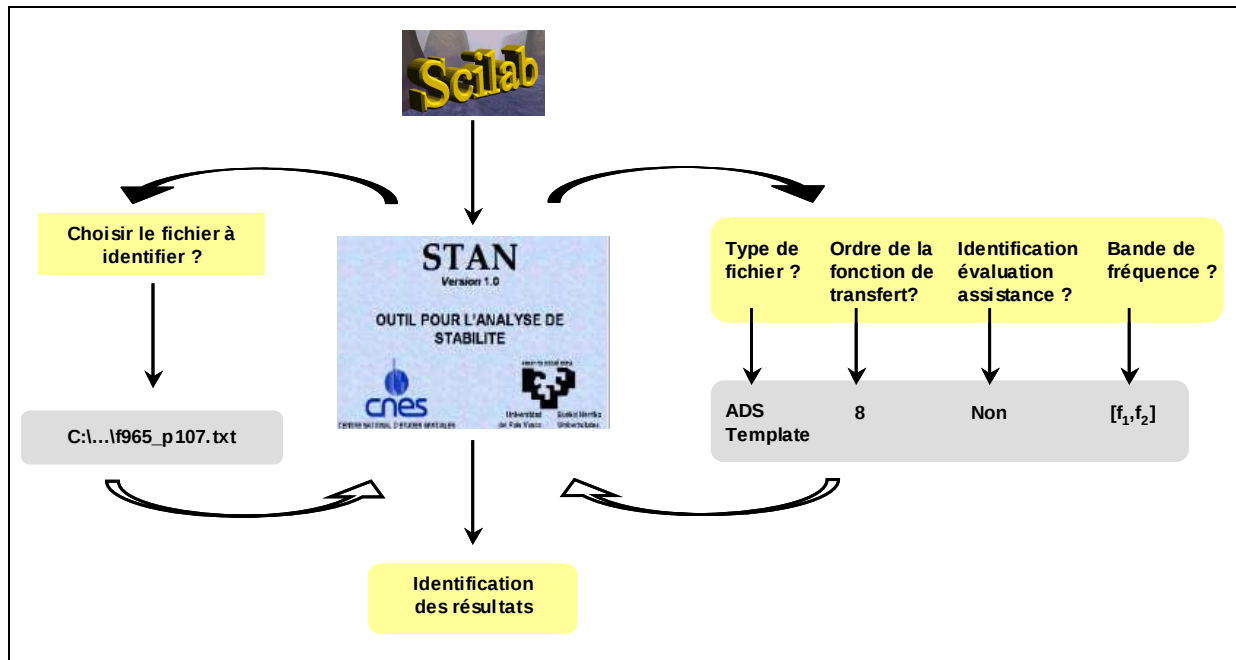


Figure 3-62 : Implantation de STAN sous Scilab.

➤ Étude de la stabilité non-linéaire de l'amplificateur :

Sur le principe énoncé précédemment une analyse de stabilité non linéaire a été effectuée sur l'amplificateur distribué à cellules cascodes. Dans un premier temps, l'analyse a été effectuée avec une fréquence d'entrée de 12GHz pour une puissance d'entrée de 31.5dBm. La fréquence de balayage s'étend du DC à $f < f_0/2$ soit 5.9GHz. Une étude similaire a été effectuée pour une fréquence d'entrée de 4GHz (fréquence de balayage du DC à $f < f_0/2$ soit 1.9GHz) afin d'analyser plus finement les effets aux plus basses fréquences.

La perturbation a été introduite à différents nœuds du circuit afin de cibler tout départ éventuel d'oscillations (pour les 4 cellules cascodes).

- 1^{er} cas : perturbation introduite à l'entrée du 1^{er} transistor de la cellule cascode (nœud entre la capacité C_{ag} en parallèle avec R_{ag} et la grille du 1^{er} transistor).
- 2^{ème} cas : perturbation introduite en sortie du 2nd transistor de la cellule cascode (nœud au niveau de la grille du 2nd transistor avant la capacité C_{a1}).
- 3^{ème} cas : perturbation introduite en sortie de la cellule cascode sur le drain du 2nd transistor.

Afin de pouvoir déceler la moindre instabilité, nous avons découpé la bande de fréquence de balayage 0.1-6GHz en bandes plus fines en prenant soin de juxtaposer celles-ci afin d'examiner les bornes des intervalles. L'exemple présenté ci-dessous (Figure 3-63) montre bien que sur la plage 0.5-2GHz il n'y a pas de pôle complexe conjugué à partie réelle positive. L'erreur sur la phase est inférieure à $(10^{-3})^\circ$ ce qui traduit une bonne concordance entre les points issus de simulation ADS et la courbe identifiée.

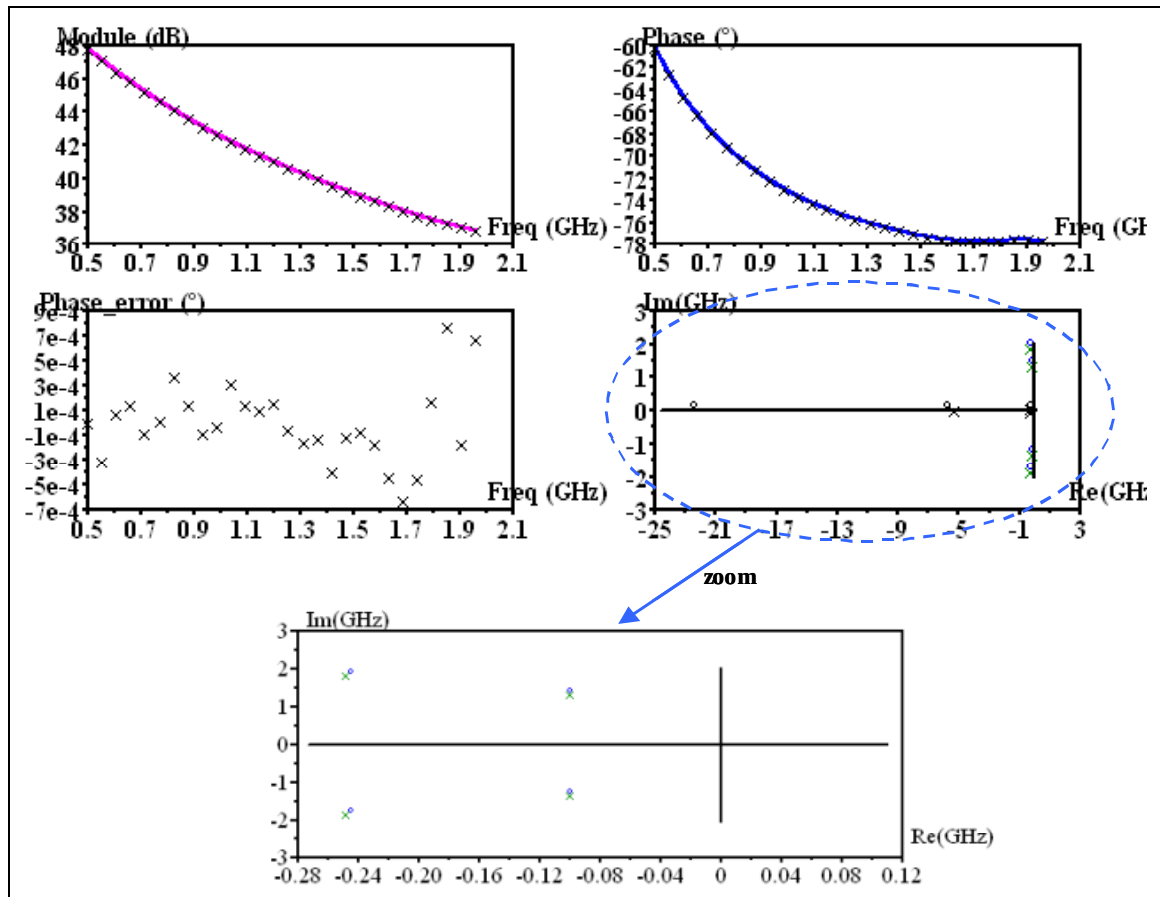


Figure 3-63 : Représentation de l'erreur sur la phase ainsi que des pôles et des zéros de la fonction de transfert en boucle fermée du système.

Des études similaires ont été effectuées pour les autres cas ne révélant aucun départ d'oscillation.

III.4.5.3. Analyse de la sensibilité aux dispersions technologiques

L'analyse de sensibilité qui accompagne obligatoirement toute conception en technologie MMIC vise à prévoir et minimiser la variation des performances d'un circuit soumis aux dispersions des éléments qui le constituent. Ces dispersions sont liées au processus technologique

de fabrication. L'analyse statistique de Monte Carlo permet d'étudier la sensibilité du dispositif vis-à-vis des dispersions technologiques de ses éléments passifs ainsi que du substrat utilisé.

Dans notre cas, l'étude a consisté à observer l'évolution des paramètres S de l'amplificateur en utilisant les modèles linéaires des transistors. Les éléments statistiques de l'analyse de Monte Carlo et leur plage de variation associée sont fixées à :

- $\pm 5\%$ pour l'épaisseur du substrat qui a pour valeur nominale $100\mu\text{m}$.
- $\pm 12\%$ pour la valeur des capacités MIM.
- $\pm 12\%$ pour la valeur des résistances.
- $\pm 5\%$ sur les valeurs de g_m et C_{gs} des éléments du modèle intrinsèque des transistors.

La Figure 3-64 montre l'évolution des paramètres S de l'amplificateur distribué. L'analyse de Monte Carlo portant sur 200 itérations montre un gain de 8dB avec une variation de $\pm 1\text{dB}$ et des coefficients de réflexion entrée/sortie inférieurs à -7dB pour le S_{22} et -10dB pour le S_{11} . En ce qui concerne le facteur de Rollet, on conserve bien une stabilité inconditionnelle de l'amplificateur.

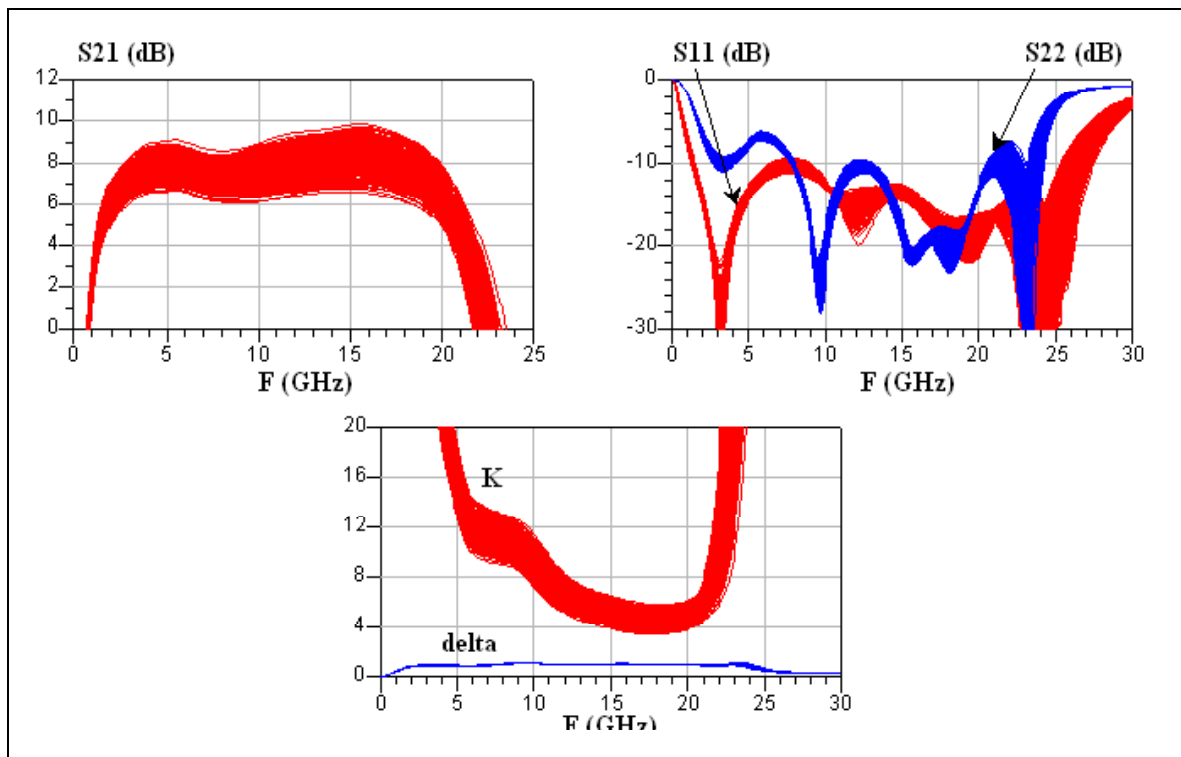


Figure 3-64 : Analyse de sensibilité sur les paramètres S.

III.4.6. Réalisation du circuit

L'amplificateur distribué MMIC à cellules cascodes à base de transistors PHEMT GaN de développement $8 \times 75 \mu\text{m}$ ainsi que les motifs de test ont été lancés en phase de réalisation. La réalisation des circuits est assurée par le laboratoire TIGER. Au moment où ce manuscrit est édité (octobre 2007), les plaques sont toujours en process, la date de sortie est fixée pour janvier 2008.

CONCLUSION

Ce dernier chapitre nous a permis de présenter les différentes topologies principalement employées pour l'amplification de puissance large bande et notamment le principe de fonctionnement d'un amplificateur distribué utilisant des montages cascodes comme cellules actives.

Nous avons par la suite développé les étapes de conception de deux amplificateurs distribués à cellules cascodes pour des applications de puissance large bande (6-18 GHz) adoptant la technologie PHEMT GaN (TIGER) étudiée et modélisée dans le chapitre précédent. Le premier circuit est basé sur la technologie flip-chip avec un substrat de report en AlN. Le second est entièrement intégré sur substrat GaN ce qui lui confère tout son caractère innovant.

Pour ces deux circuits, le principe d'optimisation en puissance des architectures distribuées reposant sur l'adoption d'un profil d'impédances caractéristiques sur les lignes artificielles de grille et de drain a été utilisé. Les paramètres ont pu être déterminés en fonction du conjugué de l'admittance optimale en puissance des cellules actives. Une première différence entre les deux circuits fut que pour le second en technologie MMIC, la réalisation d'un profil de capacités en série sur la grille a pu être réalisé. Pour le premier circuit cela aurait représenté au moment de la conception, un risque technologique sur la fiabilité de la réalisation. Cependant pour les deux circuits, les contraintes d'adaptation en puissance par l'examen des cycles de charge de chaque cellule cascode dans la bande de fréquence ont été réalisées révélant une bonne adaptation en puissance.

De part le fait que les cellules cascodes soient très sensibles aux oscillations, nous avons porté une forte attention à la stabilité des amplificateurs en insérant une résistance au sein de la cellule cascode.

Pour le premier circuit en flip-chip, des cellules cascodes de test intégrant la capacité additionnelle sur la grille de premier transistor et une résistance de stabilité sur la grille du second ont été réalisées et mesurées révélant de bonnes concordances entre mesures et simulations et présentant une puissance de sortie de 1.3W. L'amplificateur complet avec report sur puce d'AlN est en fin de réalisation au sein du laboratoire Alcatel Thalès III-V Lab et devrait être disponible pour

la fin de l'année 2007. Le report flip-chip est effectué par le laboratoire TIGER afin de mesurer par la suite le circuit qui sera monté en jig de test.

En ce qui concerne la version MMIC, les simulations de l'amplificateur présentent une bonne adaptation en entrée et en sortie ainsi qu'une stabilité inconditionnelle. Nous avons obtenu également une puissance de sortie moyenne de 5.3W au dB de compression sur la bande de fréquence 4-18GHz pour une polarisation de (-4V ;50V). La puissance de sortie simulée à 2dB de compression a pour valeur moyenne 38dBm sur cette même bande. La taille du circuit était fixée à 20.25mm² ainsi que l'utilisation de transistor de développement 600µm.

Les premiers résultats de mesures devraient être disponibles en janvier 2008. Les mesures seront effectuées en mode pulsé que ce soit pour les accès DC ou RF.

Ces résultats révèlent les fortes potentialités accordées aux composants HEMT GaN. En effet, même si les risques technologiques mis en œuvre dans ces réalisations ne permettent pas d'assurer la fiabilité des circuits, au regard des résultats de simulation, ils mettent clairement en évidence l'avènement prochain de fortes performances en puissance sur de grandes largeurs de bande de fréquence pour la technologie MMIC GaN afin de repousser l'état de l'art actuel.