

CHAPITRE 2 : ANALYSE ET MODÉLISATION DE
COMPOSANTS PASSIFS ET DE TRANSISTORS
HEMTs SUR NITRURE DE GALLIUM POUR LA
CAO HYPERFRÉQUENCE

INTRODUCTION

Les circuits intégrés micro-ondes monolithiques, appelés circuits MMIC (*Monolithic Microwave Integrated Circuits*), sont des composants intervenant au cœur d'un nombre important d'applications civiles et militaires, comme nous l'avons évoqué précédemment. Ainsi, les principaux enjeux pour ces circuits MMIC sont de fait leurs performances mais aussi, leurs temps de développement et leurs coûts de production.

Dans ce contexte, la technologie MMIC requiert le développement de composants passifs intégrés à hautes performances tels que les capacités à forte tension, les résistances, les inductances, les ponts à air et les via-holes. De ce fait, le choix du type de substrat (Si ou SiC) et de la structure de transmission (coplanaire ou microruban) sont critiques en raison de leur impact sur les performances des composants actifs et sur le coût du procédé. Nous allons donc détailler dans ce chapitre le principe de fabrication ainsi que celui de modélisation des éléments passifs dédiés aux concepteurs de circuits intégrés en technologie GaN. Nous présenterons la topologie des modèles électriques utilisés ainsi que les méthodes d'optimisation que ce soit au niveau électrique ou électromagnétique puis l'implémentation de la bibliothèque sous le logiciel de CAO ADS d'Agilent Technologies.

Dans une seconde partie, nous présenterons les modèles non-linéaires de transistors impliqués dans nos conceptions. Le premier est un transistor HEMT de développement de grille $8 \times 50 \mu\text{m}$ sur technologie SiC du process TIGER. Le second est un transistor HEMT de développement $8 \times 75 \mu\text{m}$ sur substrat SiC également de chez TIGER. Nous présenterons les principes majeurs de modélisation non-linéaire électrothermique d'un composant appliqués au transistor $8 \times 75 \mu\text{m}$.

I - ÉTUDE ET MODÉLISATION DE COMPOSANTS PASSIFS GAN

Dans cette partie, le but de nos travaux était de réaliser des modèles de composants passifs GaN dans le cadre du programme Korrigan de développement d'une nouvelle filière MMIC HEMT GaN. Dans cet objectif, nous avons analysé le comportement des composants technologiques via des simulations électromagnétiques puis après leur réalisation, nous avons synthétisé et optimisé des modèles électriques équivalents afin de représenter le plus fidèlement possible les mesures qui ont été réalisées au sein d'Alcatel Thalès III-V Lab. Cette étude a été conduite pour différentes tailles et paramètres technologiques des différents composants passifs MMIC.

La modélisation paramétrée de composants passifs constitue une étape cruciale pour tout travail de conception d'amplificateurs avec les performances et les hauts niveaux d'intégration que cela implique. De nombreuses recherches ont été réalisées sur ce thème depuis une vingtaine d'années avec la montée des RFICs qui ont donné lieu à de nombreuses publications : [2.1] à [2.6].

I.1. Contexte

Les masques des différents composants ont été conçus à Alcatel Thalès III-V Lab afin de réaliser une librairie de composants passifs aussi complète que possible en technologie GaN pour deux substrats différents : silicium (Si) et carbure de silicium (SiC) et pour deux types de lignes de transmission : coplanaire et microruban. Les modèles électriques ont été extraits à partir des mesures de paramètres S jusqu'à 40GHz et implémentés dans un guide de conception sous le logiciel ADS.

Dans ce chapitre, nous nous intéresserons plus particulièrement aux résultats obtenus pour le substrat en carbure de silicium (SiC) car il représente le substrat retenu pour la conception de l'amplificateur de puissance présenté et étudié dans le chapitre 3.

I.2. Définition des éléments passifs à modéliser

Plusieurs composants passifs ont été implantés sur le masque dont la liste exhaustive des tailles est donnée ci-dessous :

- capacités MIM (carrées) : 0.5, 1, 2, 5 et 10pF
- inductances spirales de 0.25 à 12nH (valeurs de 0.25, 0.7, 1, 2, 3, 4.5, 12nH variant en fonction de la largeur de piste W)
- résistances NiCr de 150 et 300Ω
- capacités parallèles de 1pF
- via-hole (un port)
- via-hole (deux ports)
- lignes de diverses longueurs de 246μm à 1935μm pour les deux types de transmission
- éléments de test

Ci-dessous, la Figure 2-1 représente la répartition des éléments passifs sur le masque WOODS tandis que la Figure 2-2 montre le layout du réticule WOODS microruban. Un réticule similaire a été réalisé pour la technologie coplanaire.

Capa shunt	Capa shunt	Capa série	Self série	Self série	Self série	Self série	Résistance
Via hole	Capa shunt	Capa série	Self série	Self série	Self série	Self série	Résistance
Charge 50 Ω	Charge 50 Ω	Capa série	Self série	Self série	Self série	Self série	Résistance
Court circuit	Court circuit	Capa série	Self série	Self série	Self série	Self série	Résistance
Court circuit	Court circuit	Capa série	Self série	Self série	Capa shunt	Self série	Résistance
Lignes : microstrip et coplanaire							
Capa BF	Via-hole de test (20μm à 200μm)			Motifs d'alignements			

Figure 2-1 : Répartition des éléments passifs sur le masque WOODS.

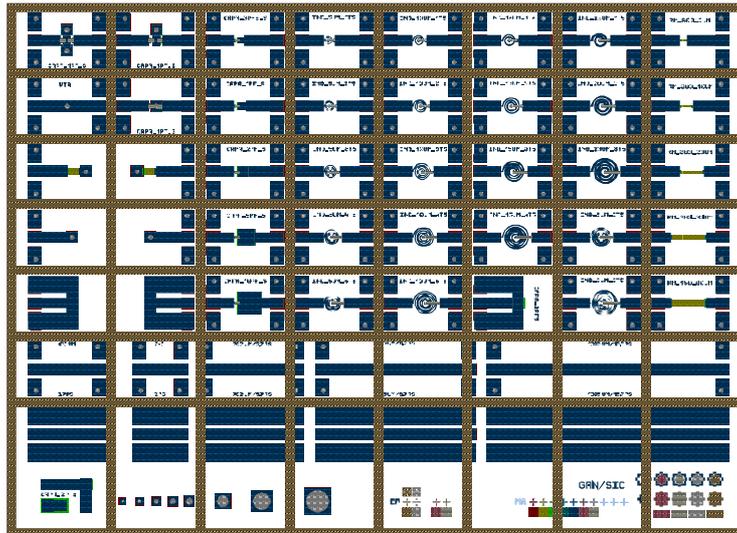


Figure 2-2 : Layout représentant le réticule WOODS microruban.

I.3. Procédé technologique des composants passifs GaN

Le procédé technologique des composants passifs a été élaboré au laboratoire Alcatel Thalès III-V Lab (ATL). La Figure 2-3 montre la vue en coupe du procédé GaN MMIC. L'empilement AlGaN/GaN est épitaxié par MOCVD (*Metal Organic Vapor Deposition*) ou par MBE (*Molecular Beam Epitaxy*) sur un substrat 2 pouces en Si haute résistivité ou 4H-SiC semi-insolant. Les détails du process complet sont décrits ci-dessous :

Dans un premier temps, une fine couche structurée Ti/Pt/Au/Ti (niveau N1, typiquement 50mΩ/sq) est obtenue par évaporation et lift-off pour l'électrode inférieure des capacités MIM. Le niveau N1 est déposé sur une couche de SiO₂/Si₃N₄ obtenue par PECVD (*Plasma Enhanced Chemical Vapor Deposition*) qui est utilisée pour la passivation des transistors. Par la suite, une couche de 50 nm de NiCr (50%-50%), déposée par pulvérisation magnétron RF, est utilisée pour réaliser par technique lift-off les résistances (TFRs) avec une résistance carrée typique de 30Ω/sq. Le diélectrique des capacités MIM est réalisé par une couche de nitrure de silicium (Si₃N₄) d'épaisseur 2500Å obtenue par PECVD et permettant d'obtenir une densité de capacité mesurée de 250pF/mm² pour des valeurs de capacité allant de 0.5 à 10pF. Ensuite, une couche épaisse Ti/Pt/Au (niveau EP, 15mΩ/sq) d'épaisseur 2μm est obtenue par évaporation et lift-off pour l'électrode supérieure des capacités MIM, pour les interconnexions et pour les lignes de transmission. Enfin, des ponts à air sont réalisés avec une épaisseur typique de 5μm (Au) pour les interconnexions et les accès des capacités et des inductances. La Figure 2-4 présente une photographie après réalisation

d'une capacité MIM, d'une inductance spirale ainsi que d'une résistance pour un masque coplanaire.

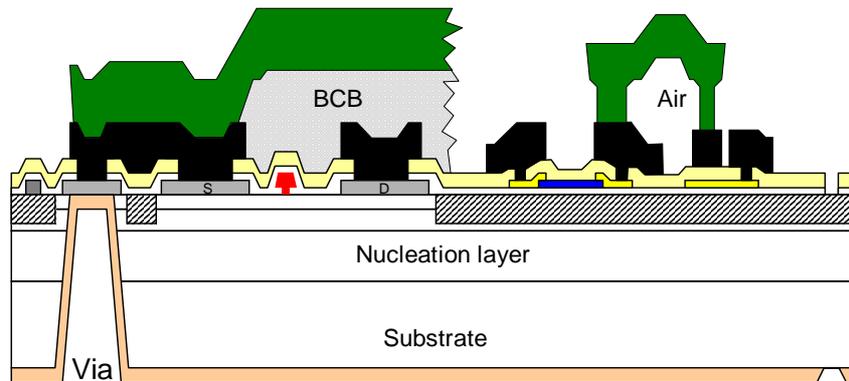


Figure 2-3 : Vue en coupe de la technologie GaN.

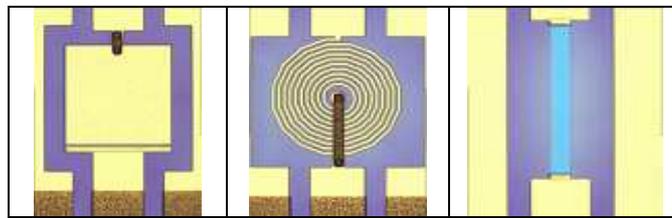


Figure 2-4 : Photographie de composants coplanaires (capacité MIM / inductance / résistance).

Pour la technique microruban, les procédés supplémentaires de métallisation face arrière et de gravure des via-holes sont nécessaires. La plaquette est alors collée sur un support 3 pouces afin d'être aminci par technique CMP (*Chemical Mechanical Polishing*) jusqu'à une épaisseur de 100 μ m, puis un masque de nickel d'épaisseur 5 μ m est déposé afin de protéger la face arrière pendant la gravure ICP/RIE (*Inductively Coupled Plasma / Reactive Ion Etching*) des via-holes à travers le buffer et la couche épitaxiée. Les via-holes (Figure 2-5) sont recouverts d'une couche d'accroche suivie d'une électrodéposition d'or afin d'obtenir une épaisseur totale de métallisation de 5 μ m.

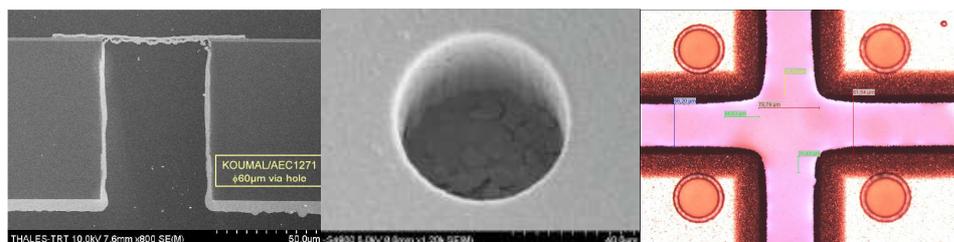


Figure 2-5 : Via-holes sur substrat SiC vue MEB et vue après remplissage.

En raison de leur caractéristique de forte tension d'avalanche qui permet l'obtention de très fortes densités de puissance sous de fortes impédances de charge, les HEMTs AlGaIn/GaN requièrent la disponibilité de capacités à forte tension de claquage pour la polarisation. Ainsi, les tensions de claquage et les courants de fuite des capacités MIM réalisées ont été caractérisés électriquement à l'aide d'un traceur et d'un analyseur au sein d'ATL. La caractérisation des plus fortes valeurs réalisées de capacités (10pF, 0.04mm²) a démontré des courants de fuite mesurés inférieurs à 2nA à 100V (Figure 2-6) et une tension de claquage supérieure à 200V.

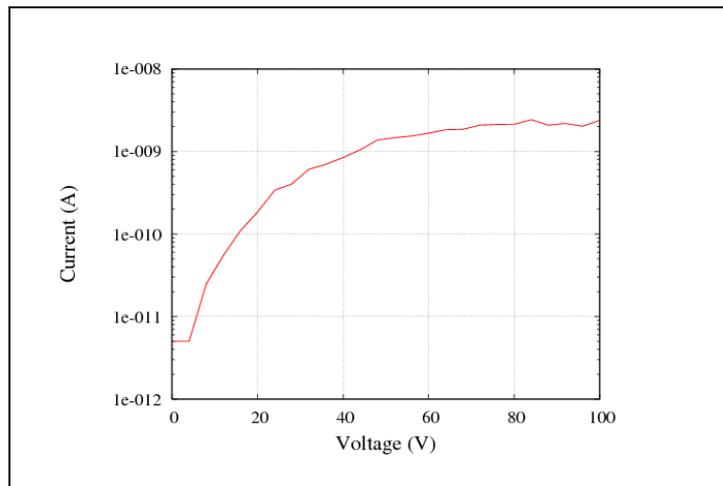


Figure 2-6 : Courant de fuite d'une capacité de 10 pF en fonction de la tension à ses bornes.

I.4. Simulation électromagnétique des éléments passifs

Les dimensions des systèmes sont du même ordre de grandeur que la longueur d'onde des fréquences d'utilisation de telle sorte que des modes de résonances électromagnétiques sont susceptibles d'être excités dans les modules et d'engendrer des dysfonctionnements du système complet. Ainsi, pour s'assurer qu'il n'existe pas de modes parasites dans la bande de fréquences d'utilisation, mais également pour optimiser les transferts de puissance au niveau de l'interconnexion entre deux circuits, il est nécessaire de réaliser une étude électromagnétique complète des dispositifs.

L'utilisation de logiciels d'électromagnétisme basés sur la résolution des équations de Maxwell peut permettre de faciliter la conception et également de limiter le temps nécessaire pour développer un système hyperfréquence. Les méthodes numériques d'analyse électromagnétique sont maintenant un outil incontournable pour obtenir une caractérisation précise et rigoureuse des phénomènes électromagnétiques engendrés au sein des modules. Ces logiciels ont beaucoup évolué au cours des dernières années et il faut également noter que sans l'amélioration considérable des

moyens informatiques durant la dernière décennie, l'usage de ces méthodes numériques très gourmandes en temps de calcul et en espace mémoire, serait inconcevable.

Plusieurs méthodes d'analyse numérique permettant d'étudier les structures micro-ondes passives ont été développées, chaque méthode présentant ses avantages et ses inconvénients. Parmi les méthodes les plus répandues, on trouve la méthode des différences finies dans le domaine temporel (FDTD : *Finite Difference Time Domain*), la méthode des moments et la méthode des éléments finis (FEM : *Finite Element Method*). Au cours de ces travaux de thèse, nous avons été amenés à utiliser le logiciel Momentum basé sur la méthode des moments qui est brièvement présentée ci-dessous.

I.4.1. La méthode des moments

Cette méthode s'applique aux systèmes planaires ou quasi-planaires [2.7], elle est alors considérée comme une méthode $2D^{1/2}$. La méthode des moments est basée sur la résolution numérique des équations de Maxwell sur un modèle électromagnétique de la structure étudiée. Seuls les conducteurs métalliques présents sur les différentes couches sont discrétisés par des éléments rectangulaires. Ensuite, l'analyse prend en considération la hauteur des différents diélectriques mais ceux-ci doivent obligatoirement être homogènes dans les deux autres directions.

L'analyse s'appuie sur le calcul de la distribution de courant évaluée sur chaque section par annulation des champs électriques tangentiels. Elle permet d'obtenir les paramètres [S] du dispositif par la méthode de Galerkin qui consiste à résoudre les équations intégrales dérivées des équations de Maxwell.

Les logiciels commerciaux basés sur cette méthode, tels que « Momentum » ou « Ansoft Designer », sont donc particulièrement bien adaptés à l'étude des circuits planaires. Ils effectuent l'analyse de structures multicouches composées de diélectriques isotropes avec ou sans pertes et de conducteurs qui peuvent être soit considérés comme parfaits ou avec des pertes. Notons que les dispositifs étudiés peuvent également être blindés.

I.4.2. Simulations électromagnétiques des composants passifs

Afin d'optimiser le dessin et de prédire le comportement des composants passifs intégrés, des simulations électromagnétiques ont été réalisées à l'aide du logiciel Momentum. Des études comparatives ont été effectuées avec ATL sur les logiciels Ansoft Designer ainsi que HFSS (3D).

La Figure 2-7 présente la comparaison des paramètres S issus de simulations électromagnétiques pour les deux modes de transmission coplanaire et microruban pour une inductance spirale ($S=5\mu\text{m}$, $W=5\mu\text{m}$, $N=3T5$) où S donne l'espacement entre spires, W la largeur de pistes et N le nombre de tours. On peut noter une très faible différence entre les deux types d'inductances jusqu'à 30GHz.

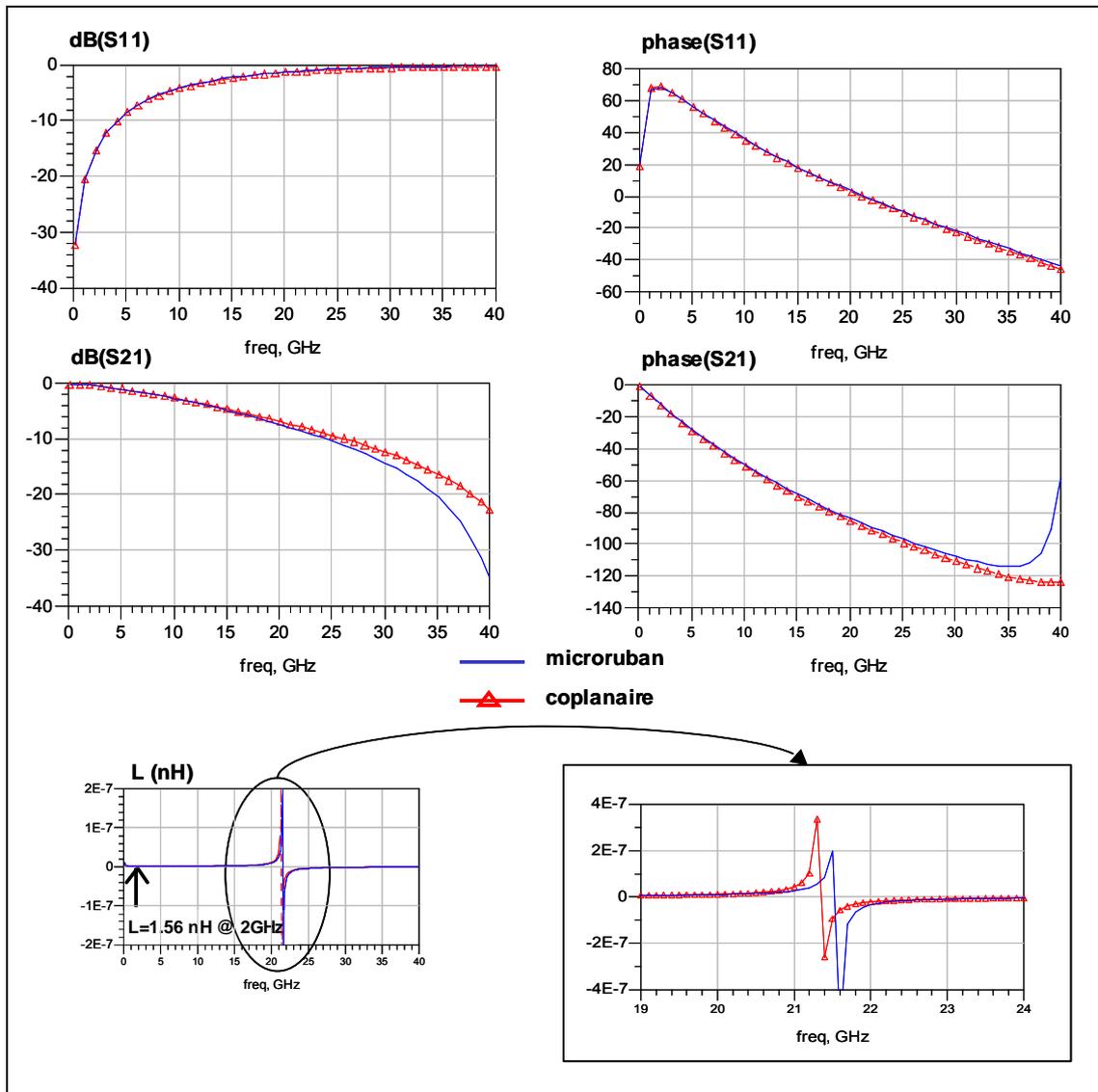


Figure 2-7 : Comparaison de simulations électromagnétiques des paramètres S pour une inductance ($N=3T5$, $W=5\mu\text{m}$) en technologie coplanaire et microruban et de l'inductance équivalente L sur la bande de fréquences 0.5-40GHz.

La Figure 2-8 quant à elle, présente une comparaison des paramètres S entre une simulation électromagnétique et les mesures pour une capacité MIM carrée de 1pF. Les différences sont assez notables au-delà de 10GHz après la résonance. Il est important de noter que ces simulations électromagnétiques nous ont permis d'initialiser dans un premier temps les topologies et les paramètres des modèles électriques dans l'attente des mesures sur plaques. Des simulations

électromagnétiques complémentaires ont également été réalisées pour les deux types de substrats (Si et SiC) démontrant de faibles différences sur les performances électriques des composants passifs. Lors de cette phase de conception et de simulation du masque des éléments passifs, la simulation 2.5D s'est avérée environ 10 fois plus rapide que la simulation 3D avec une assez bonne précision associée.

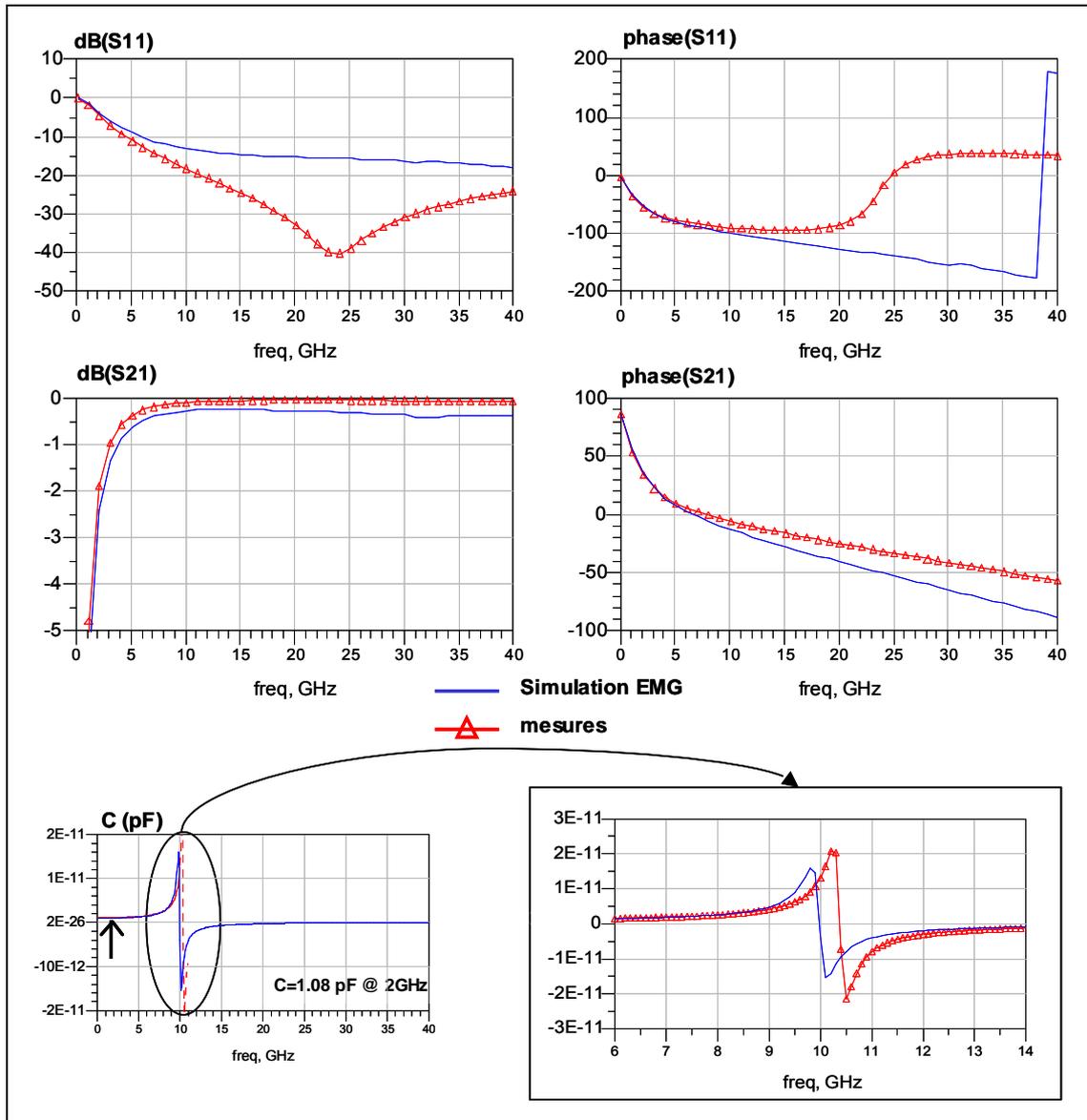


Figure 2-8 : Comparaison des paramètres S mesurés et simulés électromagnétiquement pour une capacité de 1pF et de la capacité équivalente C sur la bande de fréquences $0.5\text{-}40\text{GHz}$.

I.5. Modélisation électrique

I.5.1. Schémas équivalents utilisés

Les modèles électriques équivalents des éléments passifs GaN sont présentés dans les paragraphes ci-dessous avec leur schéma d'implantation comportant les dimensions caractéristiques ainsi que leurs principales propriétés. À titre illustratif, une comparaison des paramètres [S] issus des mesures et du modèle pour chaque type de composant sera représentée après chaque description de modèles afin d'illustrer ces derniers. Le paragraphe I-5-3 présentera pour sa part des comparaisons de paramètres [S] des composants.

I.5.1.1. Inductance spirale :

Le layout d'une inductance spirale ainsi que les dimensions caractéristiques de celle-ci sont données sur la Figure 2-9 ci-dessous :

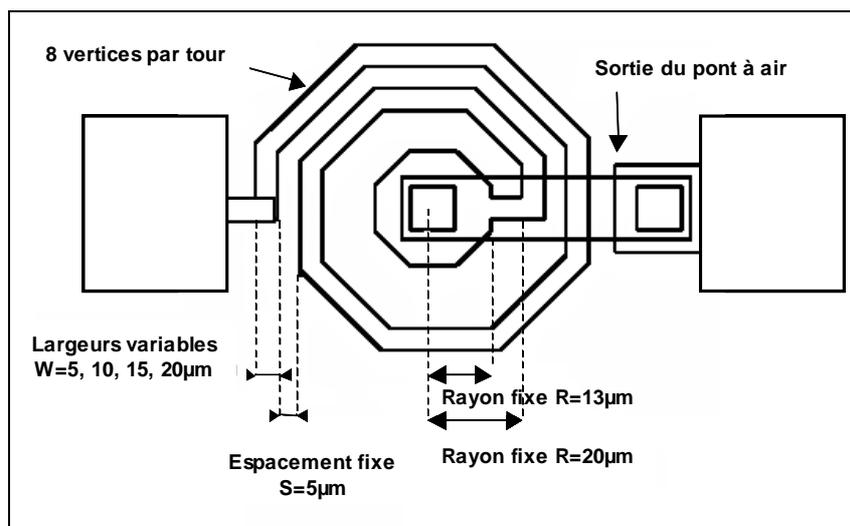


Figure 2-9 : Schéma d'une inductance spirale comportant ses dimensions caractéristiques.

Les principales propriétés de ce composant sont les suivantes :

- l'inductance est composée de 8 sommets par tour où N représente le nombre de tour.
- l'accès de sortie interne à la self inductance est réalisé par un pont à air.

Les équations des éléments du modèle (Figure 2-10) sont des fonctions de W , S , N , DR et DL où DR et DL permettent de faire varier respectivement les paramètres technologiques de résistivité et d'inductance. Le courant DC maximum est de $11\text{mA}/\mu\text{m}$.

Les unités des éléments internes au modèle sont : L et Lb qui sont exprimés en nH ; W, S, long (longueur totale de la spirale) et length (longueur du pont de sortie) qui sont donnés en μm ; la valeur des composants parasites (C_i , C_o , C_p , C_b) en fF ; R_s en Ohms, et F en GHz. Ainsi, (L_b et C_b) modélisent l'effet du pont à air, R_s modélise les pertes métalliques de l'inductance ($RC=10\text{m}\Omega/\square$), L modélise l'inductance spirale et (C_p , C_i , C_o) modélisent les effets de couplage.

Le circuit électrique équivalent est donné sur la Figure 2-10 ci dessous :

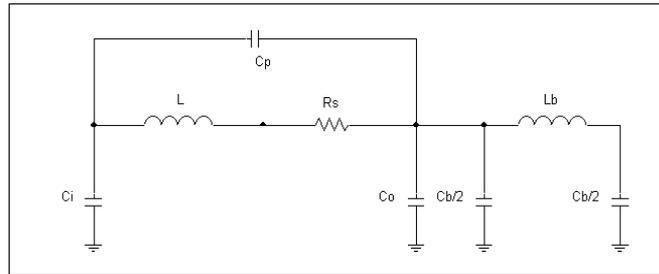


Figure 2-10 : Circuit électrique équivalent d'une inductance spirale.

Les paramètres d'entrée externe du modèle électrique sont le nombre de tours (N) ainsi que la largeur de piste (W) et les paramètres DL et DR permettant de prendre en compte les variations statistiques du process sur la résistivité et l'inductance équivalente : DL et DR sont initialisés à un par défaut.

La figure ci-dessous présente une comparaison modèle/mesure des paramètres S_{11} et S_{21} pour une inductance microruban sur SiC ($N=2T5$, $W=10\mu\text{m}$, 0.65nH).

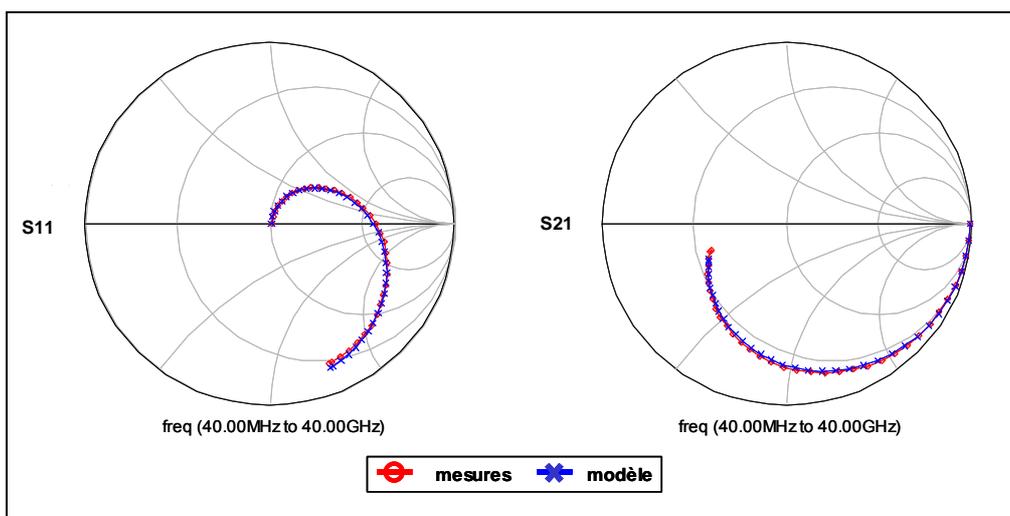


Figure 2-11 : Comparaison mesures/modèles des paramètres S pour une inductance microruban sur substrat SiC.

1.5.1.2. Via-Hole :

Deux modèles de via-holes ont été extraits : un premier ne comportant qu'un port d'accès et un second comportant deux ports d'accès. Les schémas électriques sont représentés sur la Figure 2-12 ci-dessous :

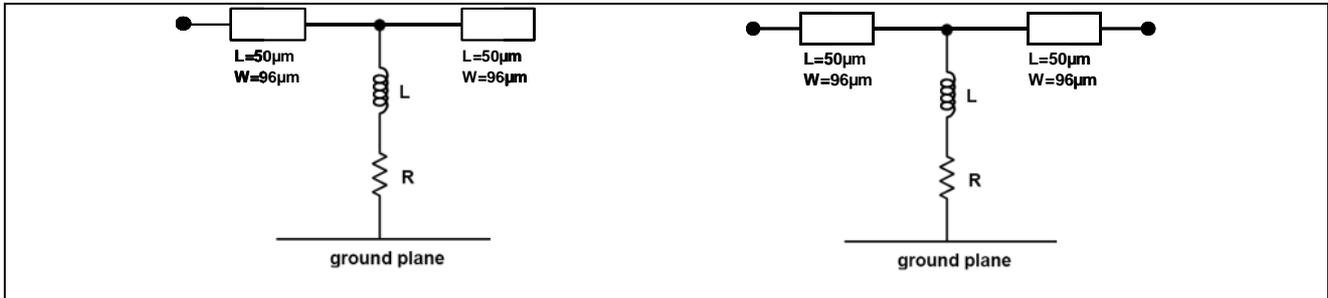


Figure 2-12 : Circuit électrique équivalent d'un via-hole un port (gauche) et deux ports (droite).

Le modèle électrique équivalent consiste en la mise en série d'une résistance avec une inductance à la masse. Des modèles de lignes ont été rajoutés sur la face supérieure des via-holes afin de traduire l'effet de la métallisation supérieure.

Afin d'illustrer le modèle, la Figure 2-13 représente la comparaison modèle/mesure du paramètre S_{11} pour un via-hole un port jusqu'à 40GHz.

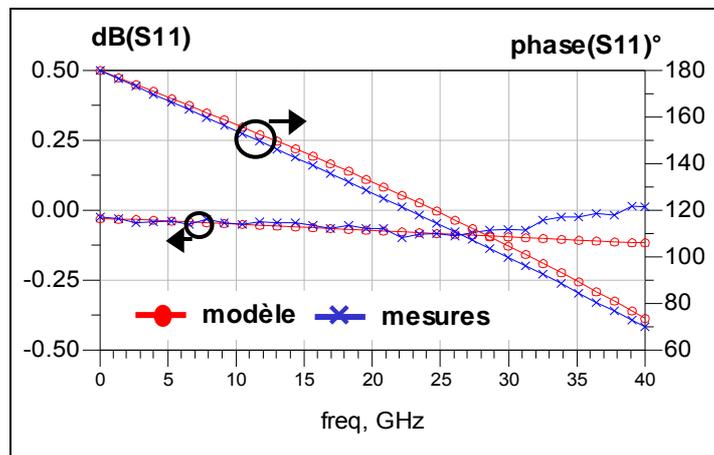


Figure 2-13 : Comparaison mesures/modèle sur le paramètre S_{11} pour un via-hole un port.

1.5.1.3. Capacité MIM série

Les paramètres géométriques d'une capacité MIM sont donnés via la Figure 2-14 ci-contre :

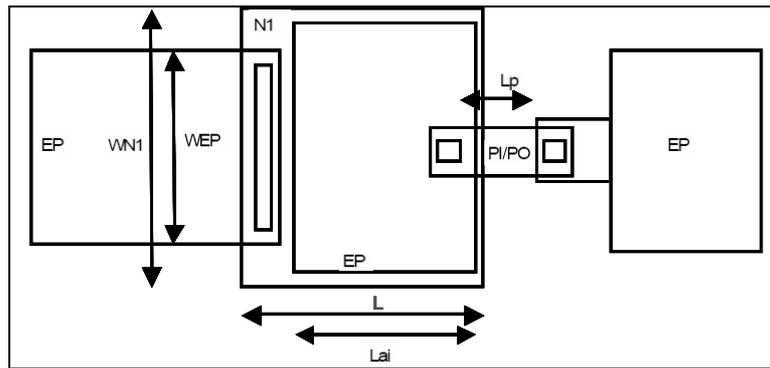


Figure 2-14 : Schéma d'une capacité MIM avec ses dimensions caractéristiques.

avec :

- les dimensions de l'électrode supérieure : L , WEP
- les dimensions de l'électrode inférieure : Lai , $WN1$
- la longueur du pont à air : Lp

Les équations qui correspondent aux éléments du modèle (Figure 2-15) sont des fonctions de L , W , Lai , $WN1$ et Lp .

Le circuit électrique équivalent des capacités MIM comporte 3 sous circuits différents :

- Le circuit d'entrée (Li , Ci) est décrit par une structure en π qui prend en compte l'effet distribué le long de l'électrode. Cet effet dépend des dimensions de l'électrode.
- La capacité effective est décrite par la mise en série d'une capacité $Ceff$ et d'une résistance Rs .
- Le circuit de sortie correspond au circuit équivalent d'un pont à air (Lo , Ro , Co).

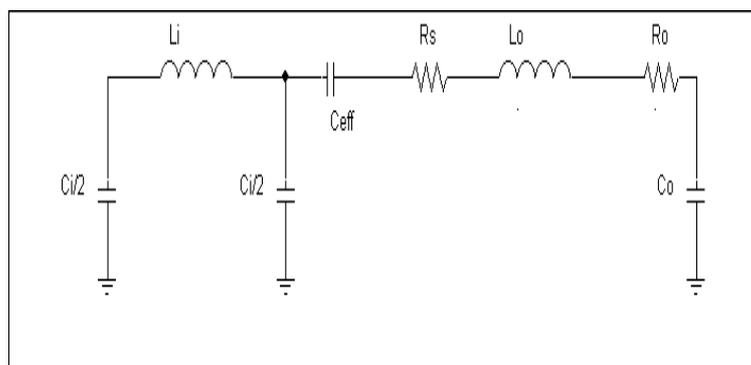


Figure 2-15 : Circuit électrique équivalent d'une capacité MIM.

Les paramètres d'entrée externe du modèle sont la longueur de l'électrode supérieure (L), la largeur de l'électrode (W) ainsi que le paramètre DC permettant d'agir sur la densité de capacité

($DC=250\pm 30\text{pF}/\text{mm}^2$). Un second modèle identique au précédent a été implémenté pour un autre jeu de paramètres de conception : la valeur de la capacité (C) ainsi que le paramètre DC permettant de faire varier la densité de capacité. La tension V_{DCmax} est inférieure à 50V et la tension de claquage minimale est supérieure à 150V.

La Figure 2-16 représente une comparaison des paramètres [S] entre modèle et mesures jusqu'à 40GHz pour une capacité MIM microruban sur substrat SiC ($W=45\mu\text{m}$, 0.5pF).

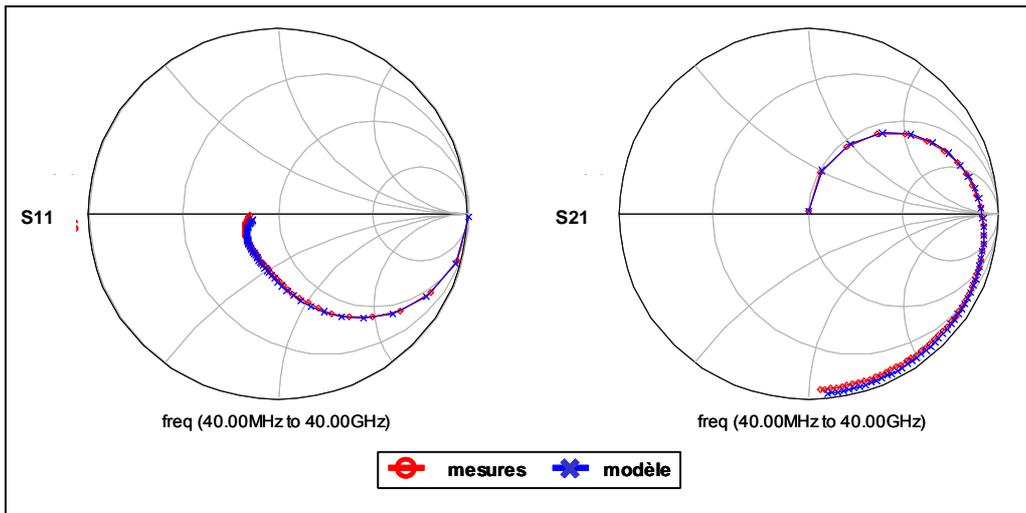


Figure 2-16 : Comparaison mesures/modèles des paramètres S pour une capacité MIM microruban sur substrat SiC.

1.5.1.4. Capacité parallèle :

Des capacités parallèles dites « shunt » ont été implantées sur le masque WOODS selon deux topologies différentes (Figure 2-17) :

- Capacité « shunt » 1pF comportant 1 via-hole latéral.
- Capacité « shunt » 1pF comportant 2 via-holes latéraux.

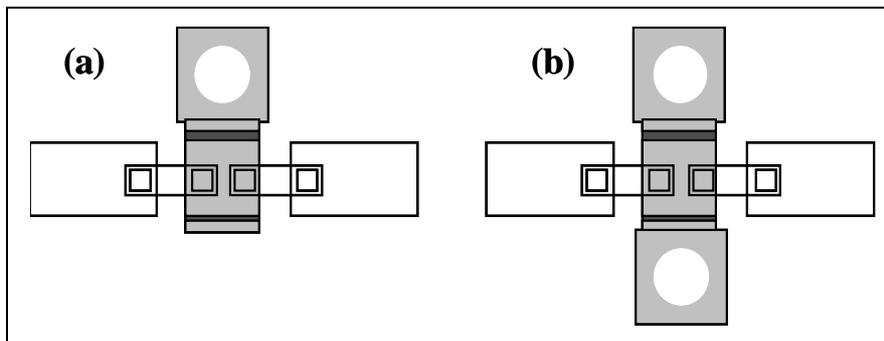


Figure 2-17 : Schéma des capacités shunt 1pF : (a) 1 via-hole latéral, (b) 2 via-holes latéraux.

Les circuits équivalents de ces capacités parallèles sont représentés sur la Figure 2-18. Ils tiennent compte de sous circuits différents :

- le circuit équivalent des deux ponts à air qui se connectent sur l'électrode du dessus (C_o , R_o , L_o).
- la capacité effective est représentée par la mise en série d'une capacité C et d'une résistance R_s .
- les structures en π symétriques qui prennent en compte l'effet distribué le long de l'électrode inférieure.
- les modèles de via-holes 1 port présentés précédemment.

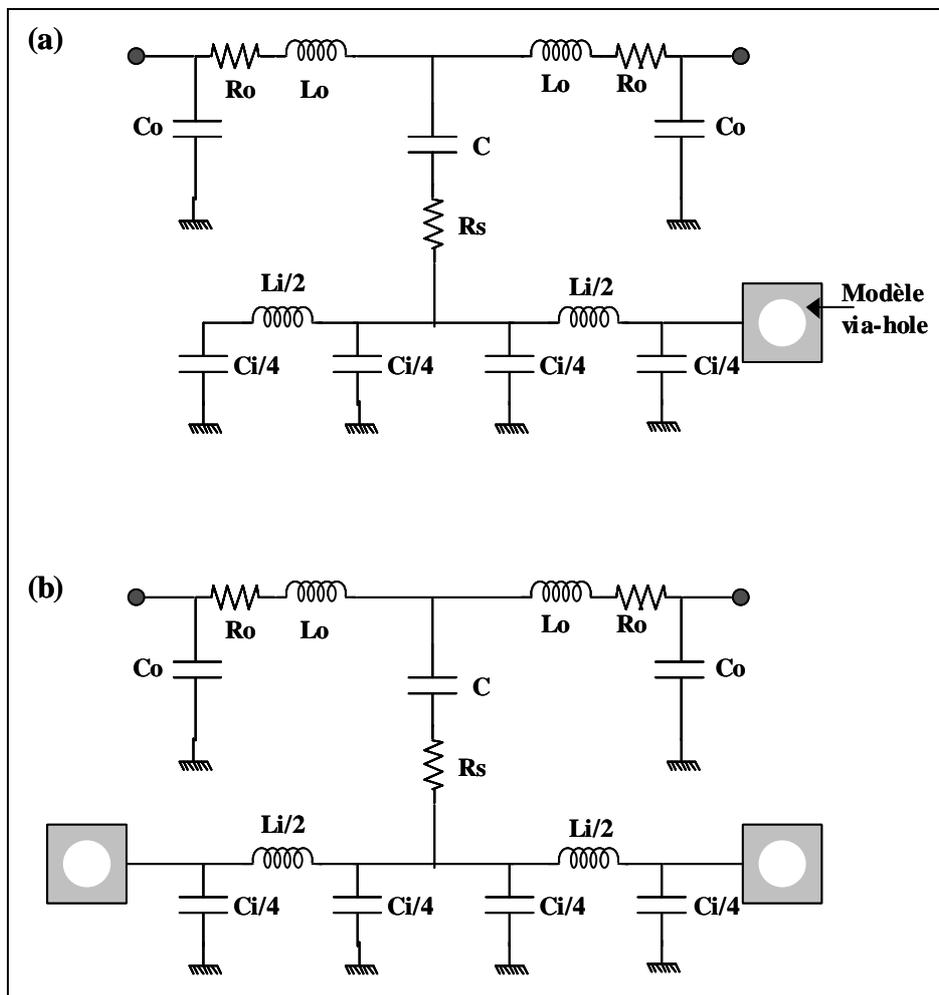


Figure 2-18 : Circuits équivalents des capacités parallèles de 1pF : (a) 1 port latéral, (b) 2 ports latéraux.

La comparaison mesures/modèle des paramètres [S] pour la topologie de capacité shunt à un via-hole latéral est représentée jusqu'à 40GHz sur la Figure 2-19 ci-dessous :

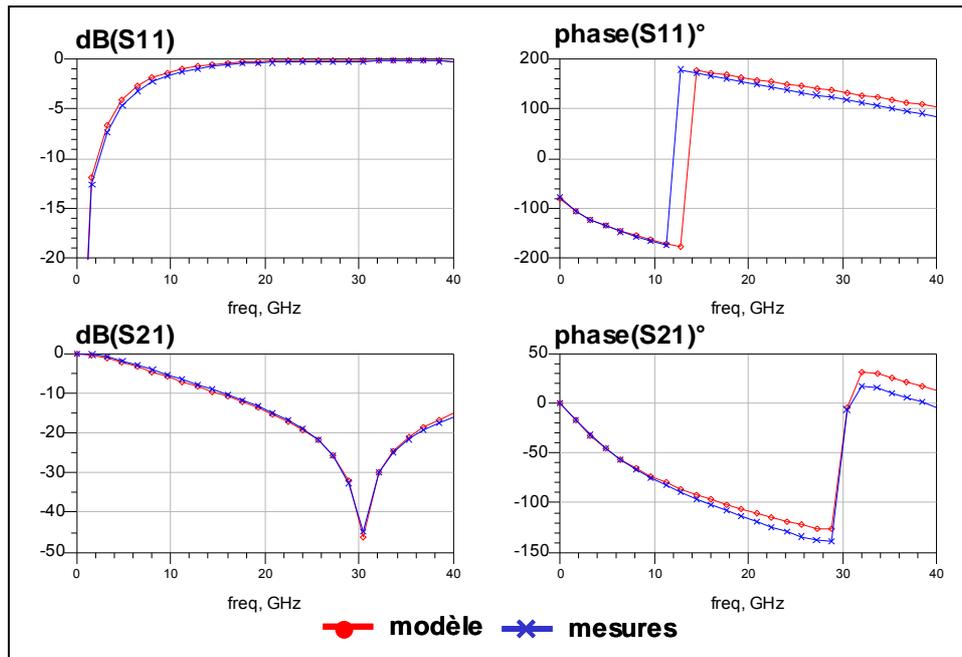


Figure 2-19 : Comparaison mesures/modèle des paramètres S d'une capacité parallèle 1pF comportant un via-hole latéral.

1.5.1.5. Résistance métallique

Les paramètres géométriques d'une résistance métallique sont donnés sur la Figure 2-20 ci-dessous :

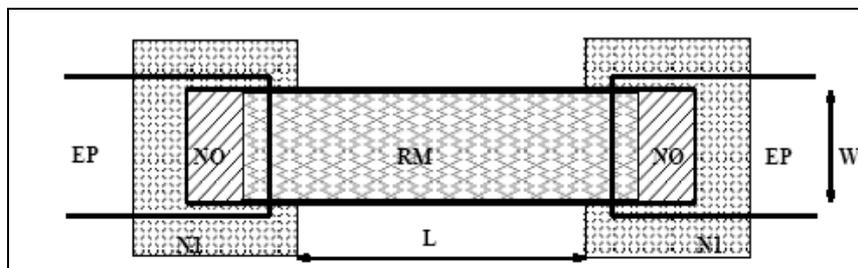


Figure 2-20 : Schéma d'une résistance avec ces dimensions caractéristiques.

avec :

- la longueur L de la couche résistive
- la largeur W de la couche résistive

Le circuit équivalent d'une résistance film mince NiCr est représenté sur la Figure 2-21 ci-contre :

Les éléments (L, Ci) permettent de prendre en compte l'effet de propagation pour les résistances à fort ratio L/W. La valeur de la résistance carrée à 300K est de $30 \pm 4 \Omega/\square$. Le courant DC maximum par unité de largeur est inférieur à $0.45 \text{ mA}/\mu\text{m}$.

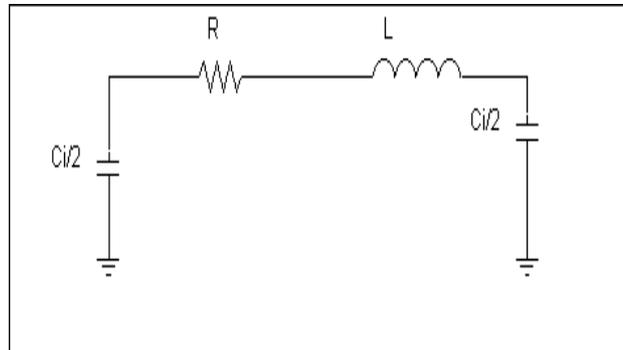


Figure 2-21 : Circuit électrique équivalent d'une résistance.

Les paramètres d'entrée sont la longueur et la largeur du matériau résistif ainsi que le paramètre DR permettant de faire varier la résistance carrée (la valeur est initialisée à un par défaut). Comme précédemment, un autre modèle identique a été implémenté utilisant comme paramètres d'entrée la valeur de la résistance, la largeur du matériau résistif ainsi que le paramètre DR.

Une comparaison des paramètres [S] issus des mesures et du modèle d'une résistance métallique de 300Ω , de largeur $20 \mu\text{m}$ en technologie microruban sur substrat SiC est donnée sur la Figure 2-22 ci-dessous :

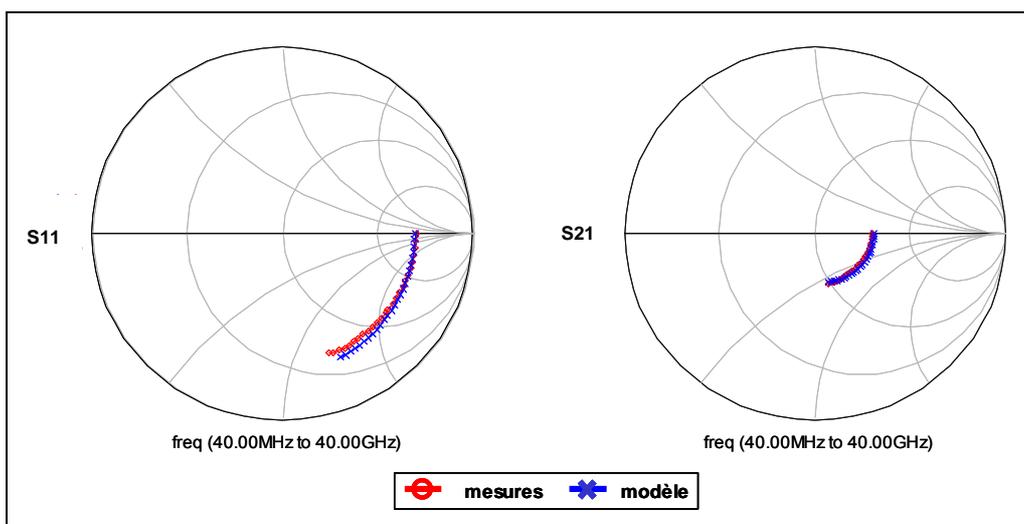


Figure 2-22 : Comparaison mesures/modèle des paramètres [S] pour une résistance métallique de 300Ω , $W=20 \mu\text{m}$.

1.5.1.6. Lignes

Différentes lignes en technologie microruban et coplanaire ont été réalisées sur les deux substrats Si et SiC. Les caractéristiques des lignes modélisées sont les suivantes :

L'épaisseur du substrat H est de 380 μm (coplanaire) et aminci à 100 μm pour la technologie microruban (Figure 2-23). La constante diélectrique relative ϵ_r est de 10.05, la conductivité de $3,7 \cdot 10^7$, l'épaisseur du conducteur de 1.8 μm , la tangente diélectrique $\tan\delta=0.005$ et la rugosité de la surface conductrice de 0.2 μm . Les différentes longueurs de ligne réalisées répondent aux dimensions données ci-dessous (Tableau 2-1) pour une largeur fixe de 96 μm correspondant à une impédance de 50 Ω :

L (μm)	246	456	762	1195	1935
W(μm)	96	96	96	96	96

Tableau 2-1 : Dimensions des différentes lignes du masque WOODS.

Le courant DC maximum est de 11mA/ μm et la résistance métallique de la ligne pour T=1.8 μm est de 15 \pm 2m Ω/\square .

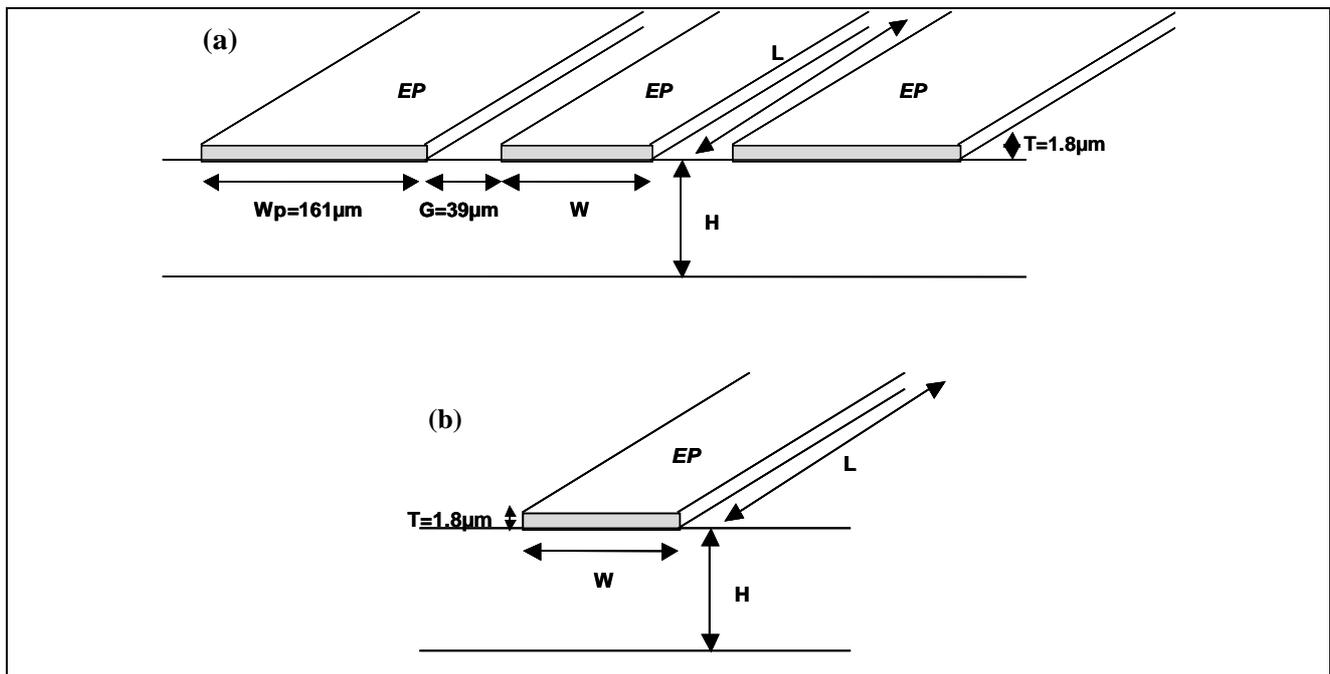


Figure 2-23 : Schéma représentant les lignes coplanaires (a) et microruban (b) avec les principales dimensions.

1.5.2. Optimisation des modèles électriques équivalents paramétrés

Des mesures automatiques de paramètres S des plaques WOODS ont donc été réalisées dans la bande 40MHz-65GHz par Alcatel-Thalès III-V Lab. Un très bon rendement (97%) a pu être

constaté sur les 4 plaques mesurées. Deux plaques ont été réalisées en silicium et deux autres en carbure de silicium. Pour le carbure de silicium, les deux substrats proviennent de CREE pour deux épitaxies différentes : l'une de Picogiga (L0653) et l'autre de III-V Lab (AEC 1268). À partir de cette base de mesures, les modèles électriques paramétrés de chaque composant passif ont été optimisés afin de développer la première version sous ADS de la bibliothèque des éléments passifs microruban et coplanaire pour la CAO des circuits MMICs GaN sur substrat SiC (et Si).

Les coefficients de « scaling » des équations paramétrées de chaque modèle ont été optimisés afin de reproduire la mesure des plaques intégrant les 19 motifs de self (0.2 à 12nH), les 5 motifs de capacité (0.5 à 10pF) ainsi que les 5 motifs de résistance (150 et 300Ω) par réticule. Les modèles résultant des mesures d'une plaque ont été vérifiés et comparés avec les mesures effectuées sur la seconde plaque.

L'opération de deembedding n'ayant pas été effectuée lors des mesures des paramètres S sous pointes, la difficulté était de modéliser correctement les lignes et les constantes inhérentes au substrat tout en gardant une cohérence afin de pouvoir retrancher l'effet de celles-ci sur les mesures des composants. Les lignes d'accès ont donc été décrites par le modèle électrique microruban ou coplanaire d'ADS avec le substrat associé et les plots d'accès des pointes de mesures par une longueur de ligne supplémentaire et une capacité reliée à la masse d'une valeur de 15fF (on considère la pointe posée au milieu du plot).

I.5.3. Comparaison des paramètres [S] résultant des mesures et des modèles électriques équivalents

Dans ce paragraphe, des comparaisons de paramètres S entre les mesures et les modèles correspondants sont représentées. Les diagrammes de Smith (Figure 2-24) présentent une comparaison des paramètres S_{11} et S_{21} pour une inductance coplanaire sur SiC ($N=3.5$, $W=5\mu\text{m}$, 1.2nH) (a) ainsi que pour une capacité MIM microruban sur substrat SiC ($W=63\mu\text{m}$, 1pF) (b).

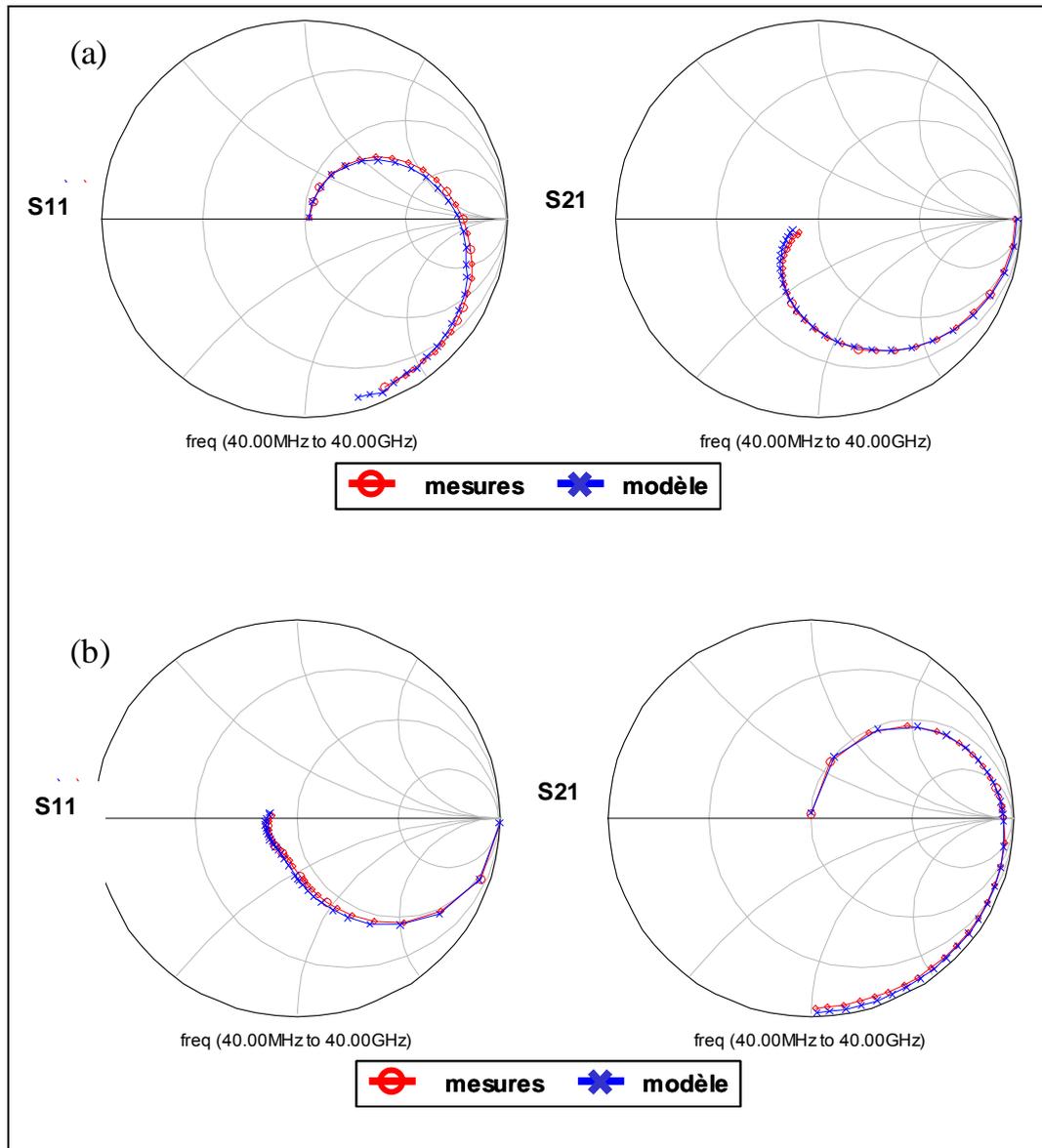


Figure 2-24 : Comparaison mesures/modèles des paramètres S pour une inductance coplanaire (a) et pour une capacité MIM microruban (b) sur substrat SiC.

Une très bonne concordance « modèle/mesure » a pu être obtenue pour chaque élément passif (capacité/résistance/self) jusqu'à 40GHz à l'exception des deux plus fortes valeurs d'inductance (4.5nH et 12 nH) ayant un nombre de tours élevé ($N=6T5$ et $N=9T5$) comme le montre la Figure 2-25, la validité étant jusqu'à 25GHz pour l'inductance avec $N=6T5$ et jusqu'à 15GHz pour celle avec $N=9T5$.

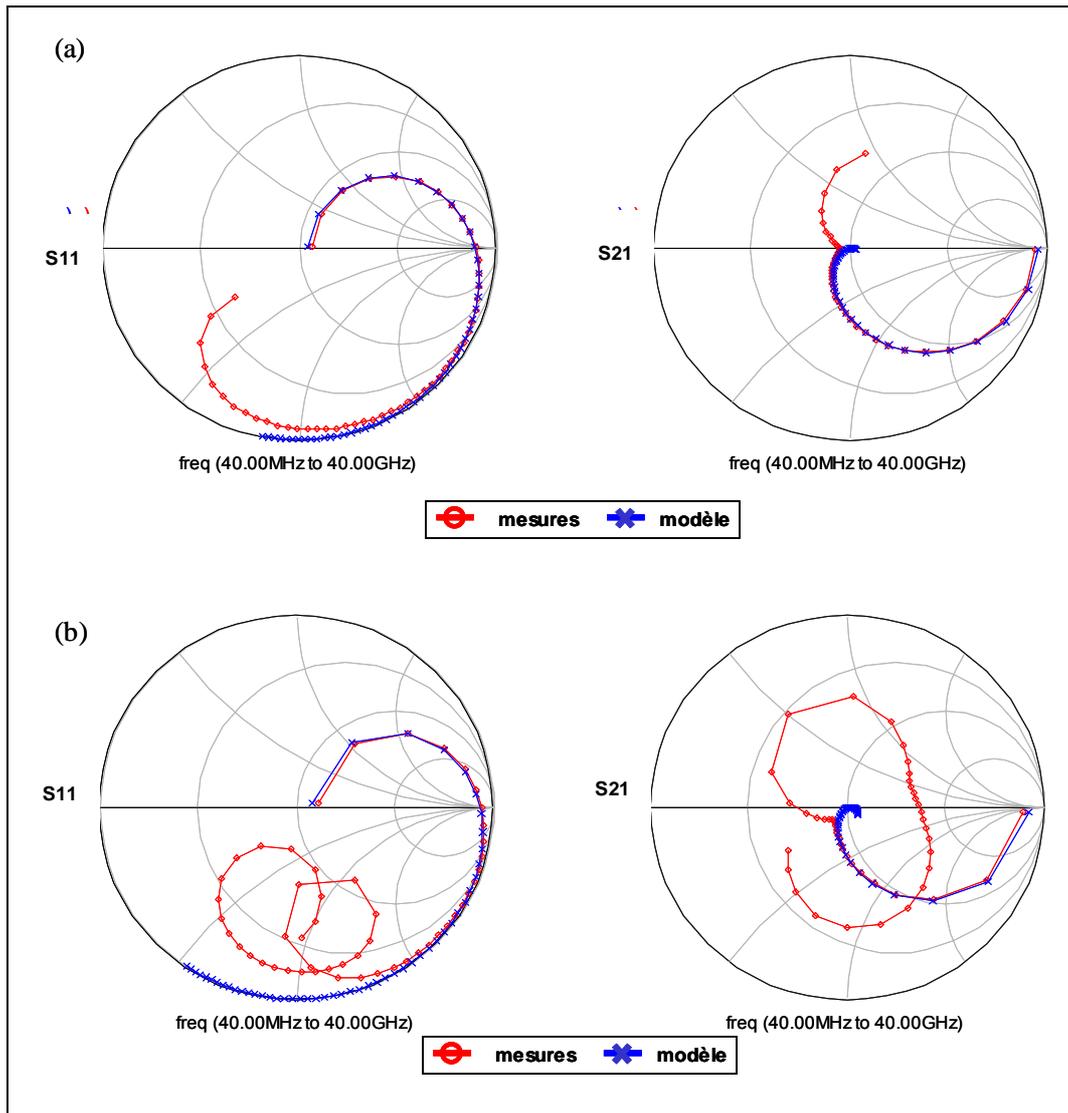


Figure 2-25 : Comparaison mesures/modèle des paramètres S pour une inductance microstrip $W=5\mu\text{m}$ sur substrat SiC (a) $N=6T5$ (b) $N=9T5$.

Les figures ci-dessous représentent la comparaison mesure/modèle pour un via-hole un port et pour un via-hole deux ports (Figure 2-26). Une bonne concordance entre les résultats issus de simulations et les mesures valide le modèle électrique proposé jusqu'à 40GHz.

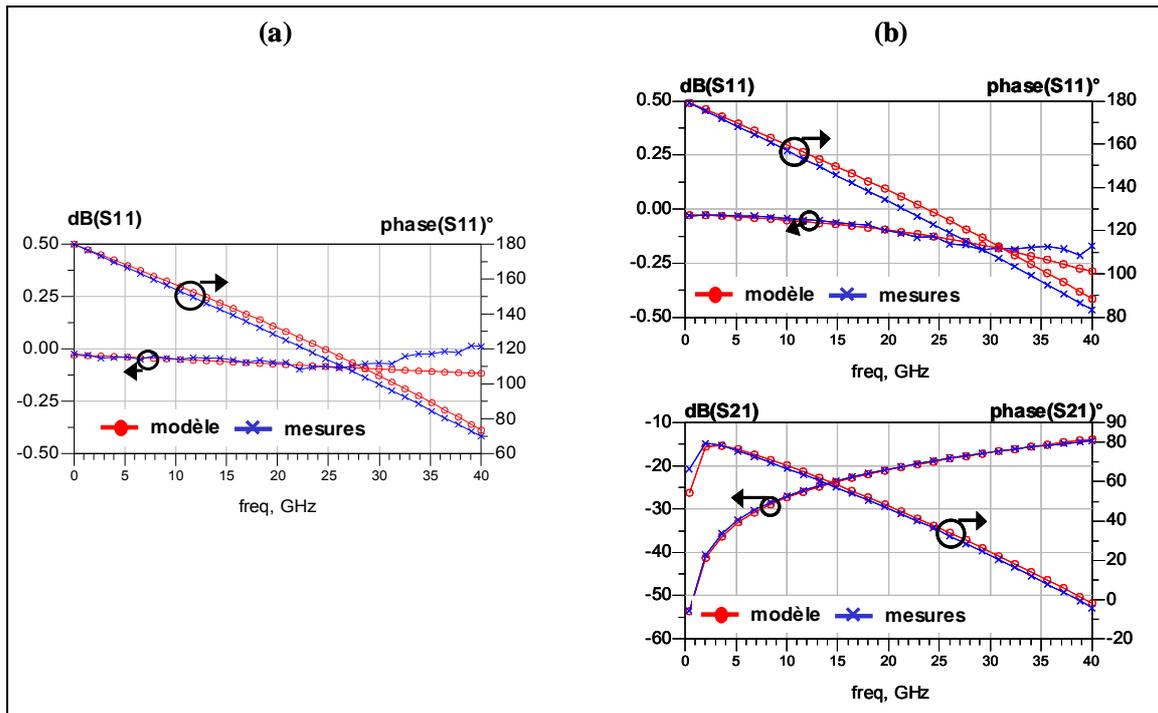


Figure 2-26 : Comparaison mesures/modèle des paramètres S pour un via-hole un port (a) et deux ports (b).

La Figure 2-27 montre la comparaison mesure/modèle pour les deux topologies de capacités shunt (1via-hole latéral (a) et 2 via-holes latéraux (b)). On peut constater une bonne adéquation entre les mesures et les modèles électriques proposés sur la bande 0.4-40 GHz.

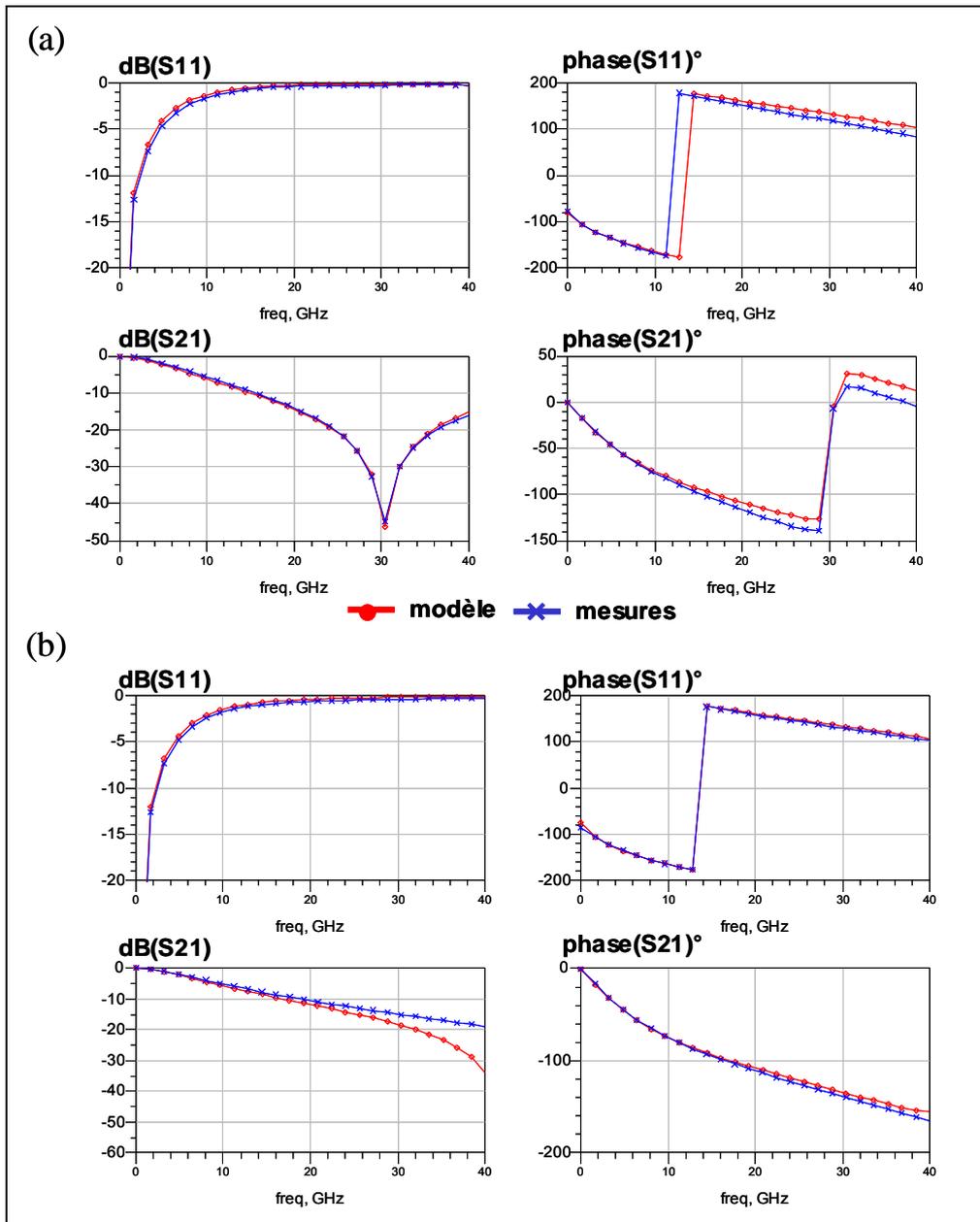


Figure 2-27 : Comparaison mesures/modèle des paramètres S d'une capacité parallèle 1pF pour un via-hole latéral (a) et deux via-holes latéraux (b).

Cette première version validée du « design guide » est destinée à la CAO des premiers MMIC GaN de puissance du programme Korrigan dont la fréquence maximale est inférieure à 18GHz.

Comme nous l'avons précisé précédemment, deux types de substrat ont été réalisés et analysés lors de cette étude. Le carbure de silicium (SiC) est assez onéreux mais sa conductivité thermique ($490\text{W}\cdot\text{m}^{-1}\cdot\text{K}^{-1}$ @300K) est 4 fois supérieure à celle du silicium ($130\text{W}\cdot\text{m}^{-1}\cdot\text{K}^{-1}$ @300K). Cette propriété de substrat à forte conductivité thermique est essentielle à l'amélioration du bilan thermique des HEMTs AlGaIn/GaN dans les applications de très forte puissance auxquelles

ils sont destinés. Néanmoins, pour la modélisation électrique des éléments passifs, les mesures de paramètres [S] ne présentent pas de différences significatives entre les deux substrats pour l'ensemble des composants jusqu'à 30GHz. La Figure 2-28 illustre l'influence du substrat (Si ou SiC) sur la mesure de paramètres [S] d'une inductance spirale ($N=3.5$, $W=5\mu\text{m}$) et d'une capacité MIM ($W=45\mu\text{m}$, $C=0.5\text{pF}$) pour une même technologie planaire (coplanaire).

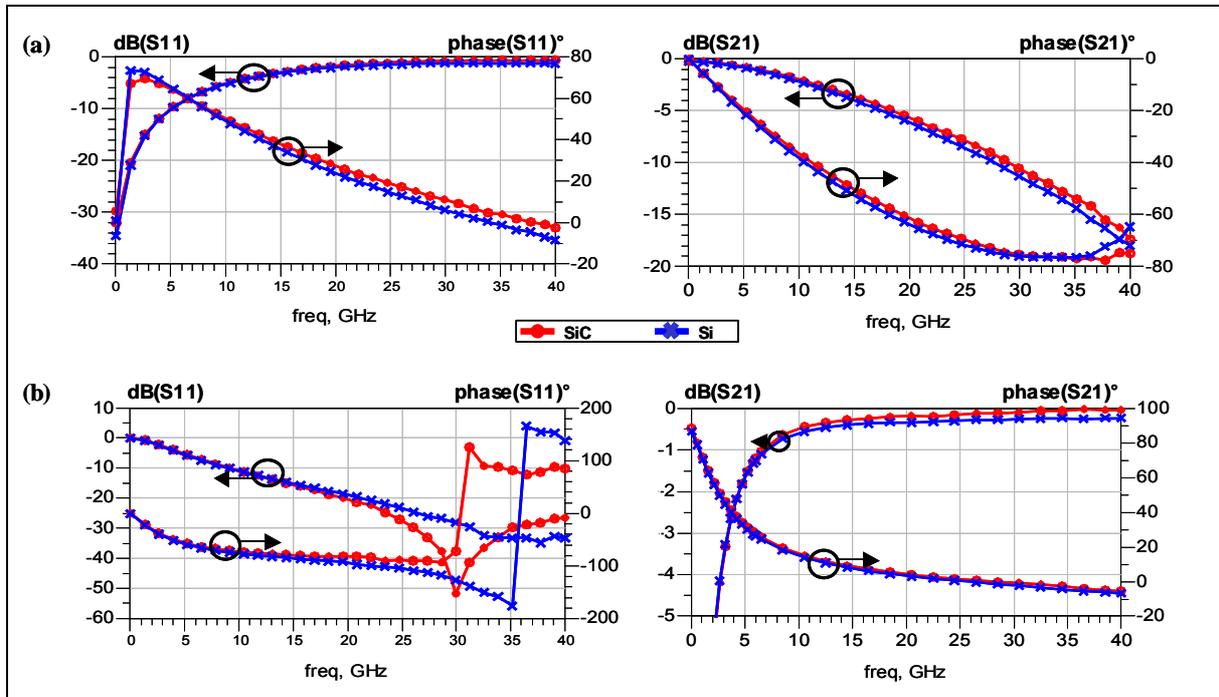


Figure 2-28 : Influence du type de substrat (SiC ou Si) sur les paramètres S mesurés d'une inductance coplanaire (a) et d'une capacité coplanaire (b).

Comme annoncé au préalable, les deux technologies planaires (coplanaire et microruban) ont été développées au cours cette étude. Pour la technologie microruban, les procédés supplémentaires de métallisation face arrière et de gravure des via-holes sont nécessaires ; deux bibliothèques spécifiques de modèles passifs ont donc été développées pour les deux technologies coplanaires et microruban qui permettront de concevoir les circuits MMICs de puissance pour les deux technologies. La Figure 2-29 montrent les différences observées selon la technologie planaire retenue sur les paramètres [S] d'une inductance spirale ($L=1.2\text{nH}$) et d'une capacité MIM ($C=0.5\text{pF}$) pour un même substrat (SiC).

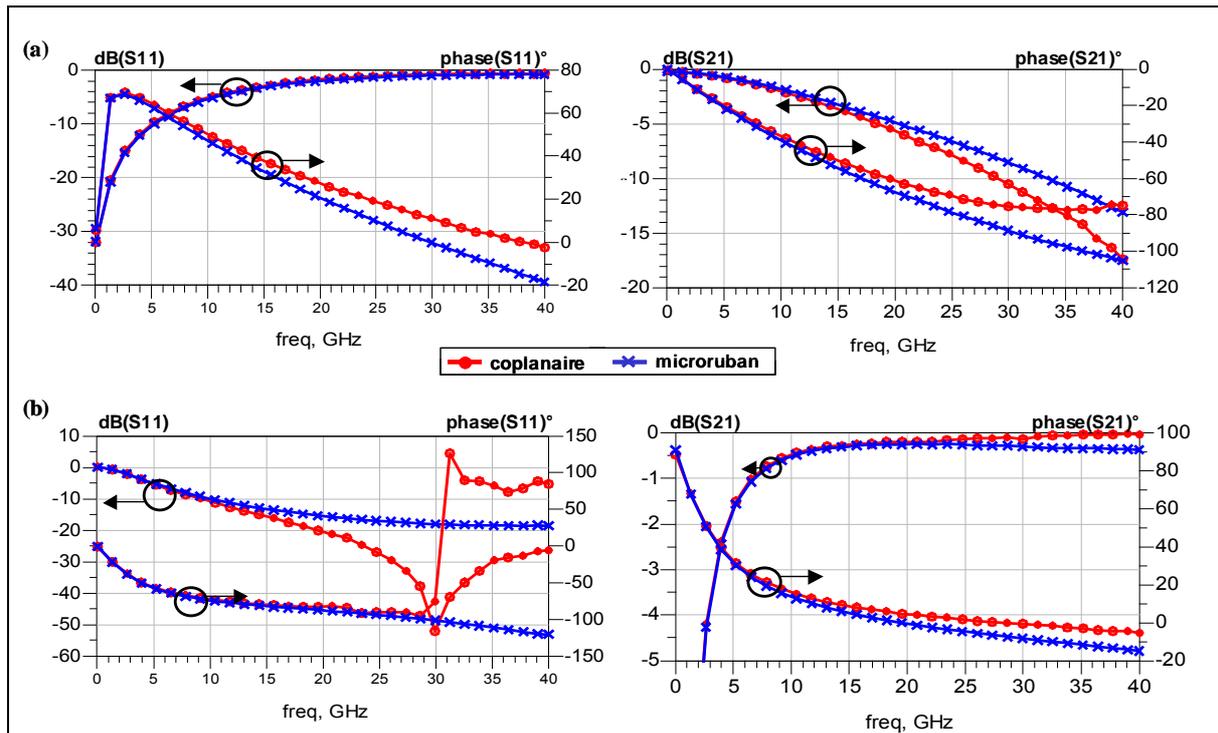


Figure 2-29 : Comparaison des technologies microruban et coplanaire sur substrat SiC des paramètres S mesurés pour une inductance (a) et une capacité MIM (b).

Sur la Figure 2-29, on observe que le paramètre S_{21} de l'inductance spirale démontre une meilleure transmission au-delà de 25GHz pour la structure microruban en comparaison à la version coplanaire. Pour la capacité MIM, la résonance apparaît plus bas en fréquence à 30 GHz en comparaison à la version microruban comme le démontre le paramètre S_{11} .

En conclusion, une filière technologique d'éléments passifs dédiée au développement de la filière MMIC HEMT AlGaIn/GaN a été caractérisée et modélisée pour deux types de substrats (Si et SiC) et deux technologies planaires (coplanaires et microruban). Le guide final de conception a été implémenté dans le logiciel ADS et intègre les modèles électriques paramétrés des inductances spirales, des capacités MIM, des résistances, des ponts à air et des via-holes. Les composants passifs développés constituent aujourd'hui avec les modèles actifs, la base CAO pour la conception des amplificateurs MMIC de puissance par les partenaires du projet européen Korrigan.

II - ÉTUDE ET MODÉLISATION DES TRANSISTORS HEMTs UTILISÉS LORS DE NOS CONCEPTIONS

II.1. Contexte

Les travaux de thèse présentés au cours de ce paragraphe s'inscrivent dans le cadre du projet européen KORRIGAN visant à étudier la filière de composants HEMTs AlGaIn/GaN sur technologie de nitrure de gallium et son application à l'amplification de puissance haute fréquence. Le laboratoire XLIM était chargé de la caractérisation et de la modélisation de différents composants actifs. Par ce fait, un panel de transistors de différentes tailles et topologies sur différents substrats provenant de divers fournisseurs et fondeurs pour la réalisation des composants a été à notre disposition.

En fait, nous présenterons plus particulièrement les résultats obtenus pour le substrat SiC. Les fournisseurs pour le substrat SiC sont Norstel et Cree, les épitaxies étant réalisées par TIGER, QinetiQ et Picogiga pour les composants TIGER. En ce qui concerne la réalisation des composants, plusieurs partenaires sont impliqués : TIGER, SELEX, QinetiQ et Chalmers.

II.2. Caractérisation des composants

Les mesures des transistors ont été réalisées au sein d'XLIM par Olivier JARDEL sur le site de Brive pour les mesures I-V et [S] et par Thibault REVEYRAND sur le site de Limoges pour les mesures load-pull. La caractérisation I-V et paramètres [S] pulsés sous pointes s'effectue sur un banc de mesures développé en interne il y a une quinzaine d'années et qui a donné lieu à de nombreuses thèses et publications [2.7], [2.8], [2.9], [2.10], [2.11], [2.12], [2.13], [2.14]. La bande de fréquence couverte pour les mesures peut s'étendre jusqu'à 40 GHz.

II.2.1. Principe du banc de mesure I[V] et paramètres [S] impulsionnel :

Nous allons présenter brièvement la méthode de mesure des paramètres [S] pulsés. Le principe de fonctionnement du banc consiste à venir superposer sur l'état établi des impulsions, une onde RF de faible signal. À chaque point de mesure des caractéristiques I [V] correspond une mesure de paramètre [S] comme explicité sur la Figure 2-30. Typiquement, pour une impulsion I [V] de 400ns, l'impulsion RF d'une durée de 250ns est centrée dans l'impulsion DC de manière à

ne pas être située dans la zone des « overshoots ». Ces mesures permettent ainsi d’acquérir les paramètres en petit signal autour d’un point de polarisation instantanée (V_{gs_i} , V_{ds_i}) dans l’intégralité de la zone d’utilisation du transistor et ceci pour un état thermique et de piège fixé par le point de repos (V_{gs_0} , V_{ds_0}).

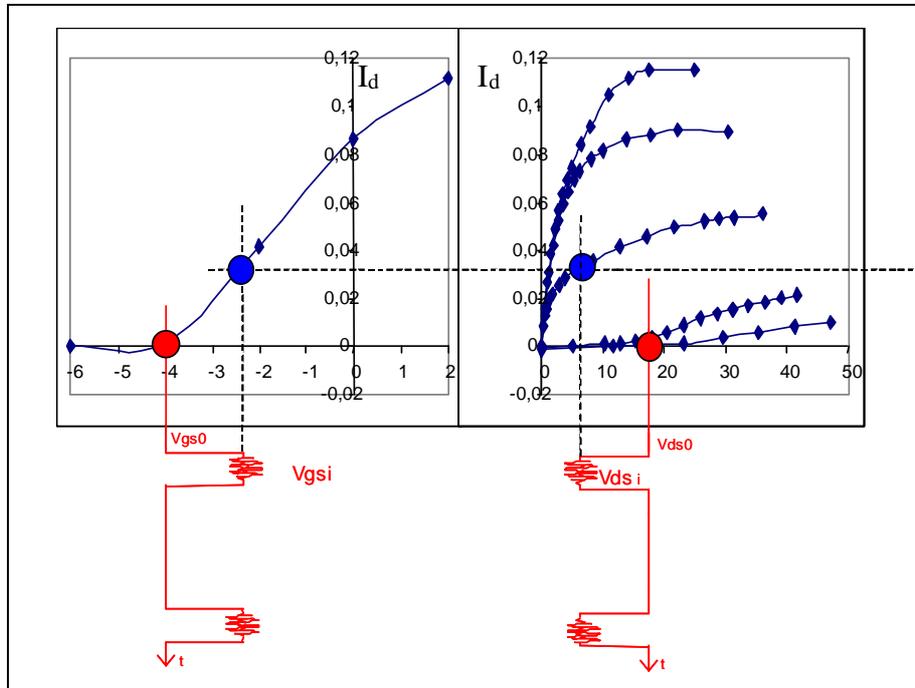


Figure 2-30 : Principe de mesures $I [V]$ et paramètres S en régime impulsionnel.

Pour résumer, afin de satisfaire les critères de mesures énoncés précédemment, la durée et la récurrence des impulsions doivent remplir les spécifications suivantes :

- La durée de l’impulsion doit être suffisamment brève pour que la température n’ait pas le temps de changer quelle que soit la puissance de l’impulsion,
- La durée de l’impulsion doit être suffisamment grande pour garantir un état établi et assurer ainsi une mesure précise et simultanée des tensions et des courants,
- Le temps hors impulsion doit être très grand devant la durée des impulsions pour que l’état thermique soit très majoritairement piloté par le point de polarisation de repos (rapport cyclique toujours inférieur à 10%).

La répartition des points de mesure dans une courbe est basée sur le principe de la dichotomie récursive. L’avantage de cette méthode réside dans la disposition pertinente des points de mesure nécessaires pour la description d’une courbe, ainsi qu’un temps de mesures optimisé.

La Figure 2-31 représente le réseau I [V] de sortie mesuré en impulsion pour le transistor HEMT 8x75 μ m qui sera étudié dans un prochain paragraphe et servira de base à nos conceptions. Ce réseau a été relevé pour un point de polarisation $V_{gs0} = -4.4V$ et $V_{ds0} = 23V$, c'est-à-dire pour un fonctionnement en classe AB (250mA/mm).

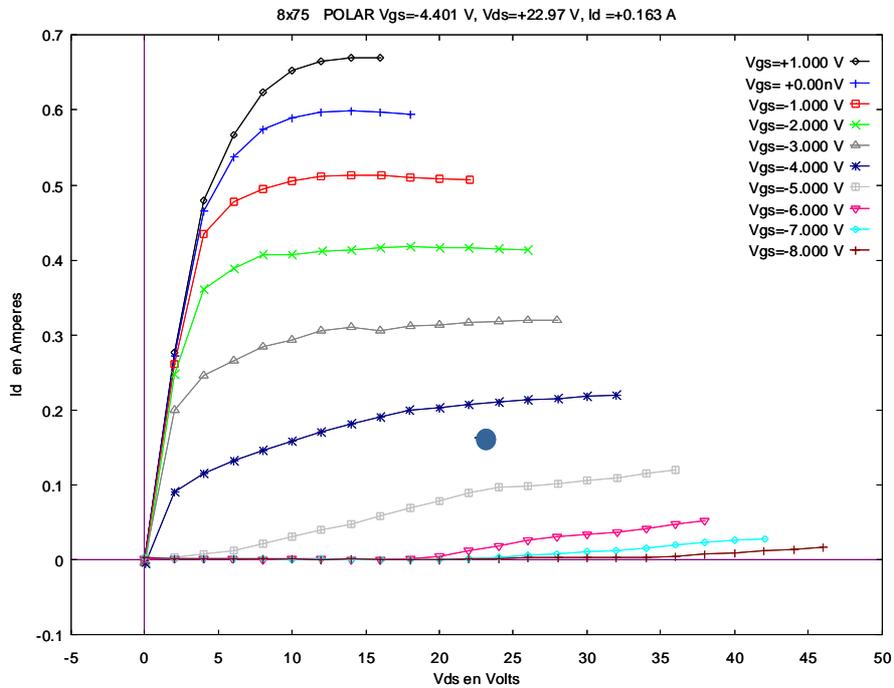


Figure 2-31 : Réseau I [V] de sortie pour $V_{gs0} = -4.4V$ et $V_{ds0} = 23V$.

II.2.2.Principe des mesures en température

Afin de connaître la température exacte de fonctionnement du transistor, une polarisation dite « froide » (transistor pincé ou tension de drain nulle) ne générant pas de puissance dissipée est utilisée. Ainsi la température de jonction du transistor est uniquement contrôlée par le chuck thermique de la table sous pointe. Les mesures étant effectuées en impulsions, une caractérisation I [V] et paramètres [S] quasi-isotherme est réalisée. Il est ainsi possible de mesurer l'évolution des réseaux I [V] et des paramètres [S] pour différentes températures de jonction qui correspondent à la température du chuck thermique.

II.2.3.Mise en évidence des phénomènes thermiques du transistor HEMT GaN 8x75 μ m AEC1148

L'évolution des réseaux I [V] en fonction de la température est présentée dans ce paragraphe. Le transistor HEMTs 8x75 μ m utilisé lors de la conception a été caractérisé en

impulsions pour 7 températures de chuck différentes : 0°C, 25°C, 50°C, 75°C, 100°C, 125°C, 150°C et cela pour plusieurs points de repos :

- Trois points de repos, correspondant à des points de polarisation dits froids, ($V_{ds0}=0V$; $V_{gs0}=0V$), ($V_{ds0}=0V$; $V_{gs0}=-7V=V_p$), ($V_{ds0}=20V$; $V_{gs0}=-7V$) ont été choisis dans le but d'observer les phénomènes de pièges.
- Un point de repos ($V_{ds0}=23V$; $V_{gs0}=-4.4V$), correspondant à la polarisation nominale de l'amplificateur. Il permet d'obtenir un réseau $I [V]$ intégrant, pour ce point de polarisation, l'ensemble des phénomènes de pièges.

La Figure 2-32 présente la comparaison des mesures du réseau $I_{ds}=f(V_{ds})$ à la polarisation de repos ($V_{ds0}=0V$; $V_{gs0}=0V$) pour 4 températures de 0°C à 150°C.

La Figure 2-33 montre la comparaison des mesures du réseaux $I_{ds}=f(V_{gs})$ à V_{ds} constant (12V) et à la polarisation de repos ($V_{ds0}=0V$, $V_{gs0}=0V$) pour 4 températures de 0°C à 150°C.

Le transistor a été aussi mesuré en continu afin d'observer le phénomène d'auto-échauffement (Figure 2-34).

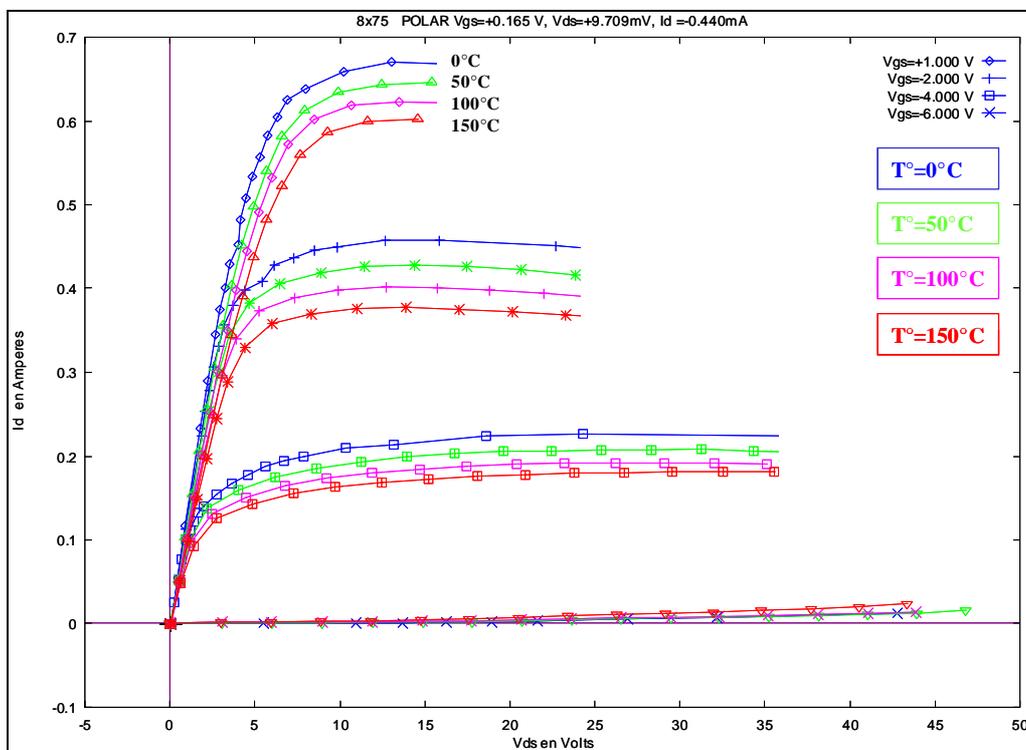


Figure 2-32 : Comparaison de réseaux $I [V]$ pour des températures de 0°C à 150 °C au point de repos ($V_{ds0}=0V$, $V_{gs0}=0V$).

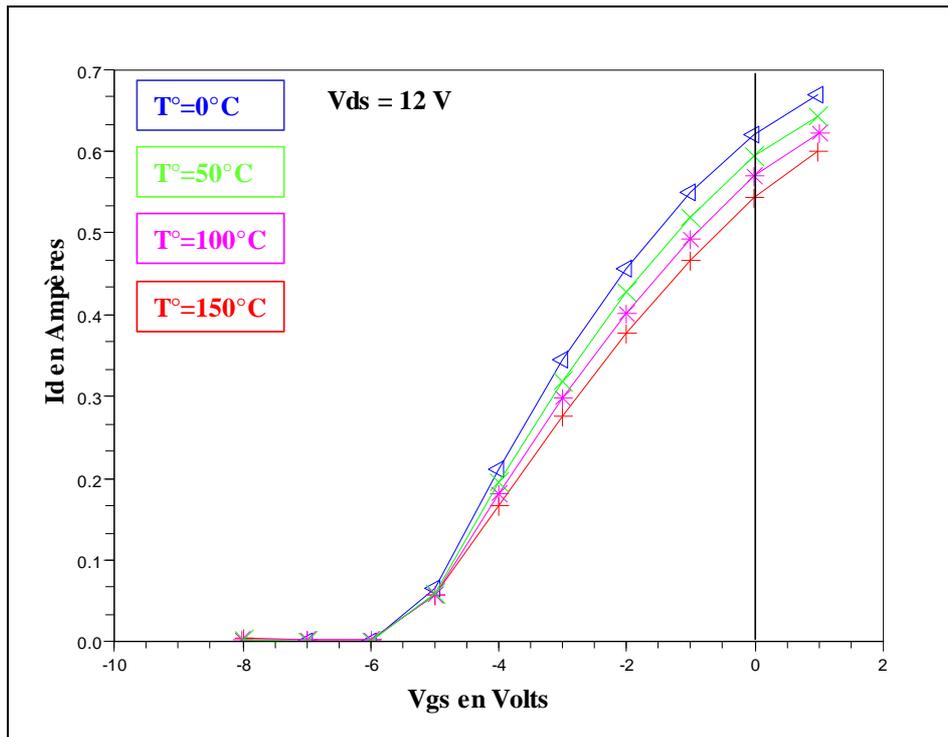


Figure 2-33 : Comparaison $I_{ds}=f(V_{gs})$ pour $V_{ds}=12\text{V}$ pour différentes températures.

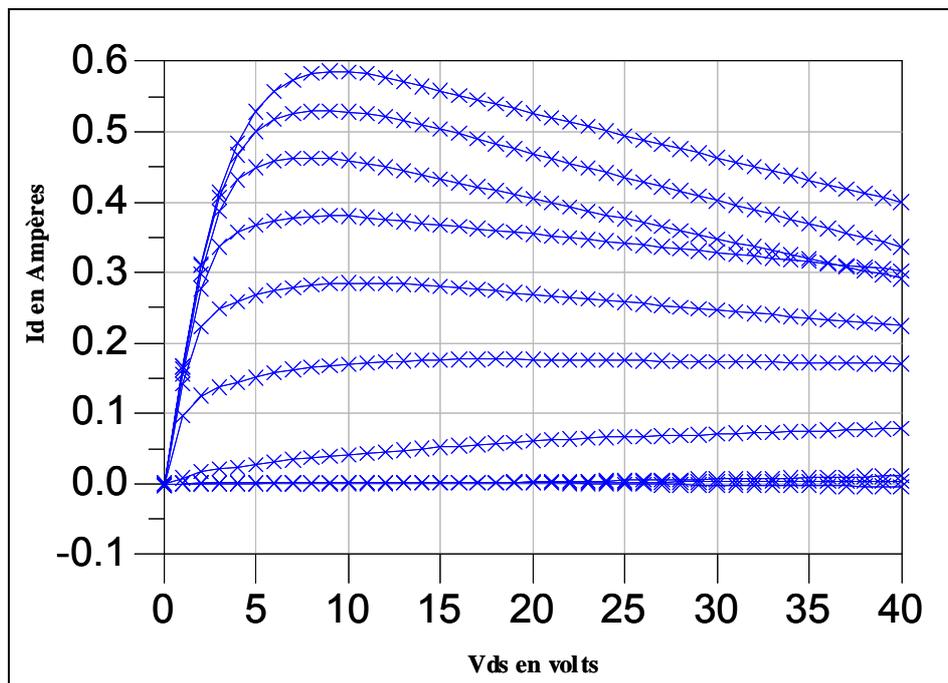


Figure 2-34 : Réseau $I [V]$ mesuré en continu.

II.2.4. Mise en évidence des phénomènes de pièges :

La méthode de mesure en régime pulsé permet de mettre en évidence les phénomènes de pièges. En effet, c'est le point de polarisation de repos qui fixe l'état thermique et l'état des pièges

pour toute la mesure des caractéristiques $I [V]$. En conséquence, si l'on mesure des caractéristiques $I [V]$ à différents points de repos en conservant une puissance dissipée nulle pour éviter l'échauffement du composant, la dispersion entre les mesures reflètera les effets de pièges.

II.2.4.1. Mise en évidence des « pièges de grille » :

Le principe de cette mesure consiste à faire varier la polarisation V_{gs_0} en maintenant la valeur $V_{ds_0}=0V$ c'est-à-dire à puissance dissipée identiquement nulle. Deux réseaux mesurés en impulsion ayant pour polarisation froide ($V_{gs_0}=-7V$, $V_{ds_0}=0V$) et ($V_{gs_0}=0V$, $V_{ds_0}=0V$) sont représentés en Figure 2-35.

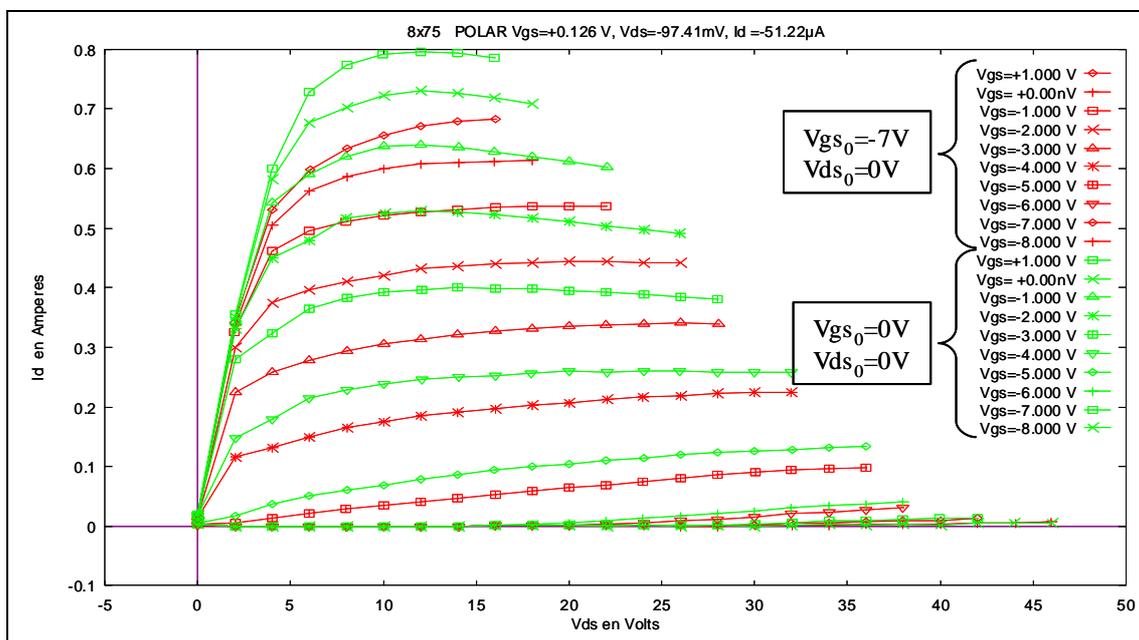


Figure 2-35 : Mise en évidence des effets de pièges de grille.

L'état thermique du composant étant le même pour ces deux points de polarisation, les différences observées sur les courbes sont imputables aux effets de pièges associés à la tension de polarisation de grille (gate lag). Pour des tensions de grille élevées, on peut observer, entre ces deux états de pièges, une baisse du courant de drain. Le fonctionnement en puissance dépend du réseau $I [V]$ correspondant à l'état de piège lié au point de polarisation. Un changement de la tension de polarisation de grille ne correspond donc plus à un classique changement de classe de fonctionnement mais également à un changement de réseau $I [V]$. Ce phénomène de pièges pouvant influencer fortement sur le fonctionnement d'un amplificateur, un modèle de pièges a été développé par Olivier JARDEL [2.27].

II.2.4.2. Mise en évidence des « pièges de drain » :

L'opération réciproque consiste à faire varier le point de polarisation drain-source en maintenant la valeur $V_{gs0}=V_p$. Les polarisations utilisées sont ($V_{gs0}=-8V$, $V_{ds0}=0V$) et ($V_{gs0}=-8V$, $V_{ds0}=20V$).

La Figure 2-36 montre une légère différence entre les deux réseaux qui est due aux effets de pièges associés à la tension de polarisation de drain (drain lag). On peut noter qu'il est peu important pour ce composant.

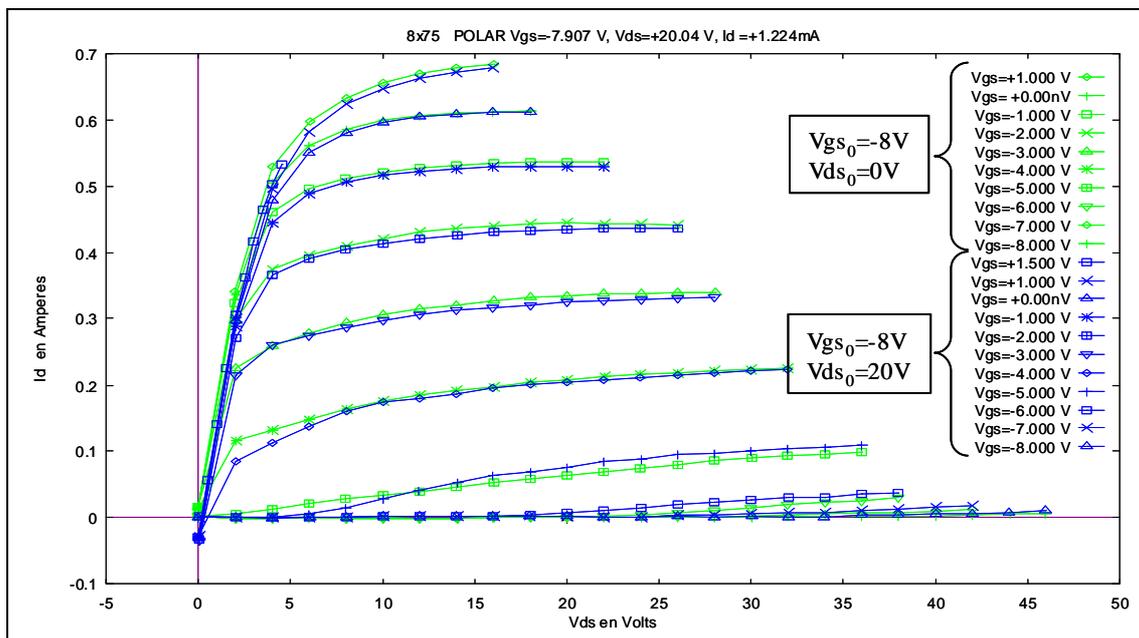


Figure 2-36 : Mise en évidence des effets de pièges de drain.

Pour conclure, la présence des effets parasites de pièges de surfaces (gate lag) dans le transistor $8 \times 75 \mu\text{m}$ a pu être constaté mais ils restent modérés en comparaison de transistors de même type qui ont déjà pu être mesurés. Cela a toutefois pour conséquence la diminution significative des performances en terme de courant de sortie et donc de puissance de sortie pour le composant. Le drain lag quant à lui reste faible ce qui indique une faible densité de pièges de buffer.

II.3. Principe de modélisation linéaire, non-linéaire et thermique des transistors

Plusieurs approches de modélisation des transistors à effet de champ sont relatées dans la littérature : la modélisation physique, la modélisation numérique (dite « boîte noire ») ainsi que la

modélisation électrique. La première résultant de simulations physiques reste inexploitable en conception CAO en raison du coût de simulation et de sa fiabilité. Le modèle « boîte noire » quant à lui limite les informations disponibles pour le concepteur étant donné que celui-ci n'a pas accès au composant lui-même ce qui limite ces actions d'intervention. Le dernier modèle est le plus pertinent pour la conception CAO : il représente un coût de simulation faible et une implémentation aisée entièrement adaptés aux logiciels CAO.

II.3.1. Principe de modélisation petit signal

[2.14], [2.16], [2.17], [2.18]

Actuellement, le modèle le plus utilisé est le modèle équivalent en éléments localisés. Le schéma équivalent petit signal est composé de deux parties : une partie intrinsèque et une partie extrinsèque correspondant aux éléments parasites dus aux accès du transistor (Figure 2-37).

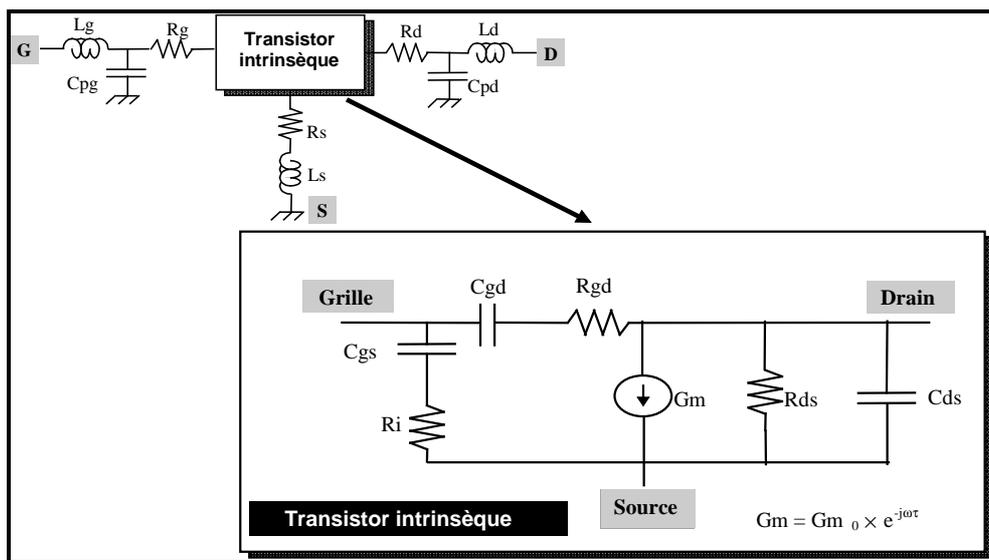


Figure 2-37 : Topologie du schéma équivalent petit signal du transistor.

Un algorithme de calcul développé en interne dit d'extraction directe est couplé avec une procédure d'optimisation. Cette procédure de calcul permet d'optimiser les valeurs des éléments extrinsèques jusqu'à ce que l'ensemble des paramètres intrinsèques (obtenus par extraction directe) soit indépendant de la fréquence [2.23]. L'algorithme mis en place pour la recherche des éléments extrinsèques consiste donc à minimiser l'écart entre les éléments mesurés et les éléments du modèle pour chaque point de fréquence mesuré, tout en recherchant à obtenir des paramètres intrinsèques constants en fonction de la fréquence.

Le principe de la méthode d'extraction directe consiste à extraire la matrice admittance intrinsèque $[Y]^{int}$ à partir des paramètres $[S]$ mesurés (extraction directe). Ensuite, à partir de la matrice admittance intrinsèque on extrait par calcul analytique l'ensemble des paramètres intrinsèques du modèle. La matrice $[Y]^{int}$ est obtenue par transformations successives de la matrice $[S]^{mes}$ (Figure 2-38).

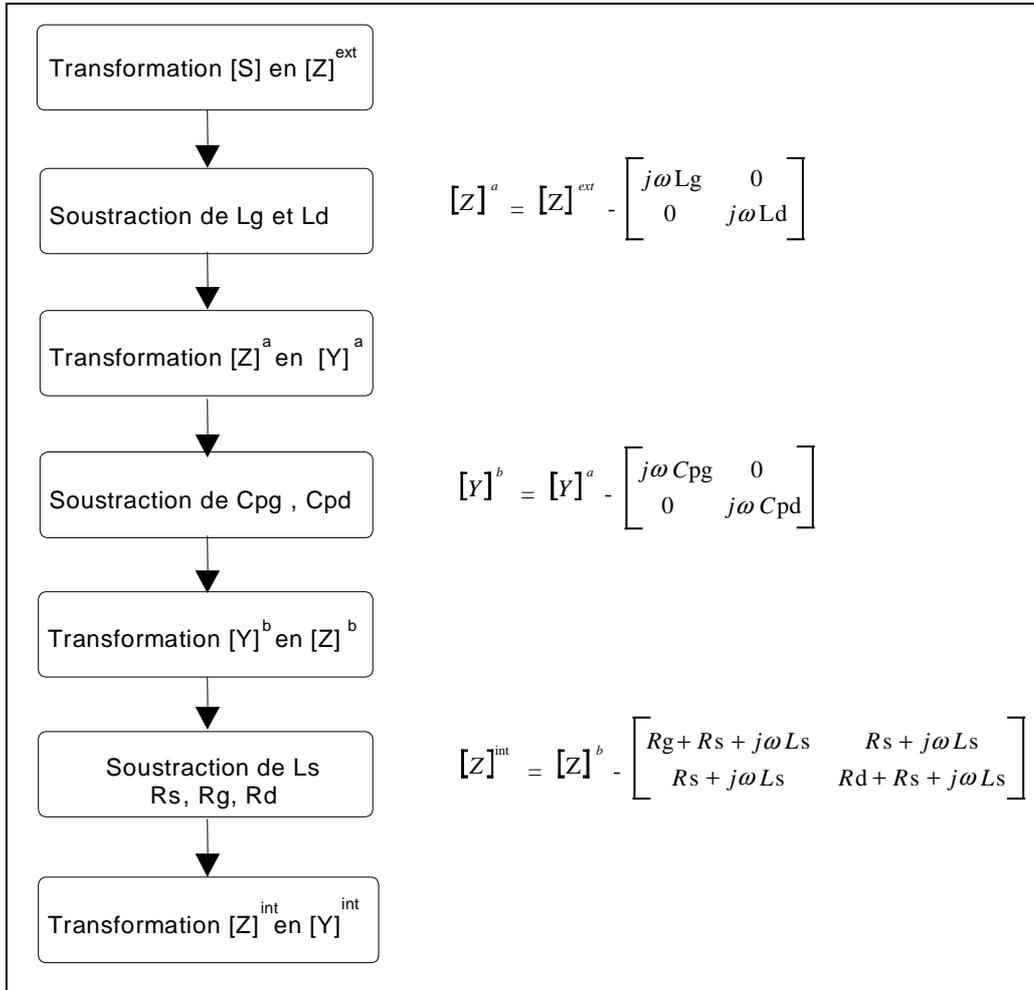


Figure 2-38 : Détermination de la matrice admittance intrinsèque du quadripôle.

Cette méthode d'extraction directe permet de déterminer instantanément la valeur des différents éléments intrinsèques du modèle dont les relations relatives aux paramètres $[Y]$ du modèle intrinsèque sont résumées ci-dessous :

$$C_{gd} = \frac{-\text{Im}\{Y_{12}\}}{\omega} \left[1 + \left(\frac{\text{Re}\{Y_{12}\} + G_{gd}}{\text{Im}\{Y_{12}\}} \right)^2 \right] \quad \text{Eq 2-1}$$

$$R_{gd} = \frac{-(\text{Re}\{Y_{12}\} + G_{gd})}{C_{gd}^2 \omega^2} \left[1 + \left(\frac{\text{Re}\{Y_{12}\} + G_{gd}}{\text{Im}\{Y_{12}\}} \right)^2 \right] \quad \text{Eq 2-2}$$

$$C_{gs} = \frac{(\text{Im}\{Y_{11}\} + \text{Im}\{Y_{12}\})}{\omega} \left[1 + \left(\frac{\text{Re}\{Y_{11}\} + \text{Re}\{Y_{12}\} - G_{gs}}{\text{Im}\{Y_{11}\} + \text{Im}\{Y_{12}\}} \right)^2 \right] \quad \text{Eq 2-3}$$

$$G_d = \text{Re}\{Y_{12}\} + \text{Re}\{Y_{22}\} \quad \text{Eq 2-4}$$

$$C_{ds} = \frac{1}{\omega} (\text{Im}\{Y_{12}\} + \text{Im}\{Y_{22}\}) \quad \text{Eq 2-5}$$

$$R_i = \frac{(\text{Re}\{Y_{11}\} + \text{Re}\{Y_{12}\} - G_{gs})}{C_{gs}^2 \omega^2} \left[1 + \left(\frac{\text{Re}\{Y_{11}\} + \text{Re}\{Y_{12}\} - G_{gs}}{\text{Im}\{Y_{11}\} + \text{Im}\{Y_{12}\}} \right)^2 \right] \quad \text{Eq 2-6}$$

$$G_m = \|(Y_{21} - Y_{12}) \cdot (1 + j \cdot R_i \cdot C_{gs} \cdot \omega)\| \quad \text{Eq 2-7}$$

$$\tau = - \frac{1}{\omega} \cdot \arg\{(Y_{21} - Y_{12}) \cdot (1 + j \cdot R_i \cdot C_{gs} \cdot \omega)\} \quad \text{Eq 2-8}$$

II.3.2. Principe de modélisation non linéaire

[2.7], [2.8], [2.9], [2.12], [2.14], [2.19]

Le principe de la modélisation convective par équations phénoménologiques est présenté dans cette partie. La modélisation des transistors par équations analytiques revient à reproduire le comportement électrique du composant. Dans ce cadre, un second logiciel d'ajustage des mesures convectives a été développé en interne. Le principe revient à calculer la réponse du modèle non-linéaire auquel sont appliquées les tensions de commandes extrinsèques lors de la caractérisation puis à comparer la réponse du modèle avec la mesure.

La topologie du modèle I [V] qui a été utilisée pour les modèles présentés est la suivante (Figure 2-39) :

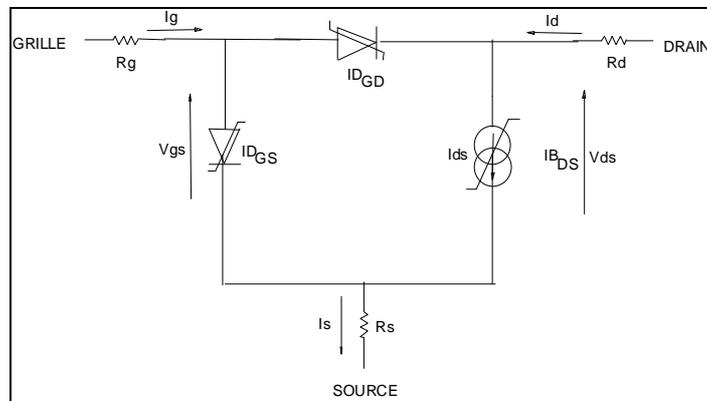


Figure 2-39 : Modèle non-linéaire convectif de transistor HEMTs.

En outre, il est important de préciser que ce logiciel permet de s'affranchir de problèmes de minima locaux néfastes à la recherche de solution optimale. La méthode dite de recuit simulé permet, sous certaines contraintes, d'accepter des solutions intermédiaires pour lesquelles la valeur de la fonction objectif peut être supérieure à celle obtenue précédemment alors que les méthodes classiques d'optimisation ne retiennent seulement que les solutions permettant de diminuer la valeur de la fonction objectif.

Comme vu précédemment, les paramètres résistifs (R_g , R_d , R_s) sont extraits des mesures hyperfréquences. Cependant, il est possible d'extraire ces trois résistances des mesures convectives. Par exemple, grâce au réseau I [V], la somme $R_{on}=R_{canal}+R_d+R_s$ est accessible.

Pour conclure, force est de constater que les modélisations de la partie convective et de la partie hyperfréquence sont étroitement liées et que les phases de modélisation linéaire et non linéaire doivent être réalisées de telle sorte à conserver la cohérence entre les mesures statiques et les mesures hyperfréquences.

II.3.2.1. Modélisation de la source de courant :

L'effet fondamental du transistor à effet de champ est décrit par une source de courant non linéaire commandée par les tensions V_{gs} et V_{ds} . Le modèle de base utilisé lors de la modélisation des composants liés à cette étude est celui de *Tajima* [2.20] dont le modèle de la source de courant non-linéaire décrit assez précisément les caractéristiques de sortie du transistor de la zone de pincement jusqu'à la limite de la zone de conduction de grille pour les valeurs positives de V_{ds} . À ce modèle est ajouté un terme multiplicatif « *Correct_GmGd* » qui prend en compte la décroissance de la conductance G_m et permet de régler l'amplitude de la résistance de sortie ($R_{ds}=1/G_d$) grâce au paramètre V_{gm} .

$$I_d = I_{d_{Tajima}} \times \text{Correct_GmGd} \quad \text{Eq 2-9}$$

avec :

$$\text{Correct_GmGd} = 1 + \beta_{gm} \times (V_{ds} + V_{dm}) \times (1 + \tanh(\alpha_{gm} \times (V_{gs} - V_{gm})))$$

$$I_{d_{Tajima}} = \frac{I_{DSS}}{1 - \frac{1}{m}(1 - e^{-m})} \left[V_{GSN} - \frac{1}{m}(1 - e^{-mV_{GSN}}) \right] \times \left[1 - e^{-V_{DSN}(1 - aV_{DSN} - bV_{DSN}^2)} \right]$$

$$V_{GSN} = 1 + \frac{V_{GS}(t - \tau) - V\phi}{V_P}$$

$$V_{DSN} = \frac{V_{DS}}{V_{DSP} \left(1 + w \frac{V_{GS}(t - \tau)}{V_P} \right)}$$

$$V_P = V_{P0} + pV_{DSP} + V\phi$$

II.3.2.2. Modélisation des diodes d'entrées

Les diodes d'entrées représentent des générateurs de courant non-linéaires permettant de modéliser le courant positif de grille mesuré pour les fortes valeurs positives de la tension V_{GS} et des valeurs de V_{DS} faibles. Les expressions utilisées pour modéliser ce courant sont les suivantes (modèle de Shockley) :

$$I_{GD} = I_{sgd} \cdot e^{\frac{q \cdot N_{sgs}}{kT} \cdot V_{gd}}$$

$$I_{GS} = I_{sgs} \cdot e^{\frac{q \cdot N_{sgd}}{kT} \cdot V_{gs}}$$

Eq 2-10

II.3.2.3. Modélisation convective du transistor HEMT

Les Figures 2-40 et 2-41 présentent les résultats obtenus pour le transistor HEMT 8x75 μ m pour le point de polarisation de repos $V_{GS0}=-4.4V$, $V_{DS0}=23V$ prenant en compte la décroissance de la transconductance G_m et la conduction de grille.

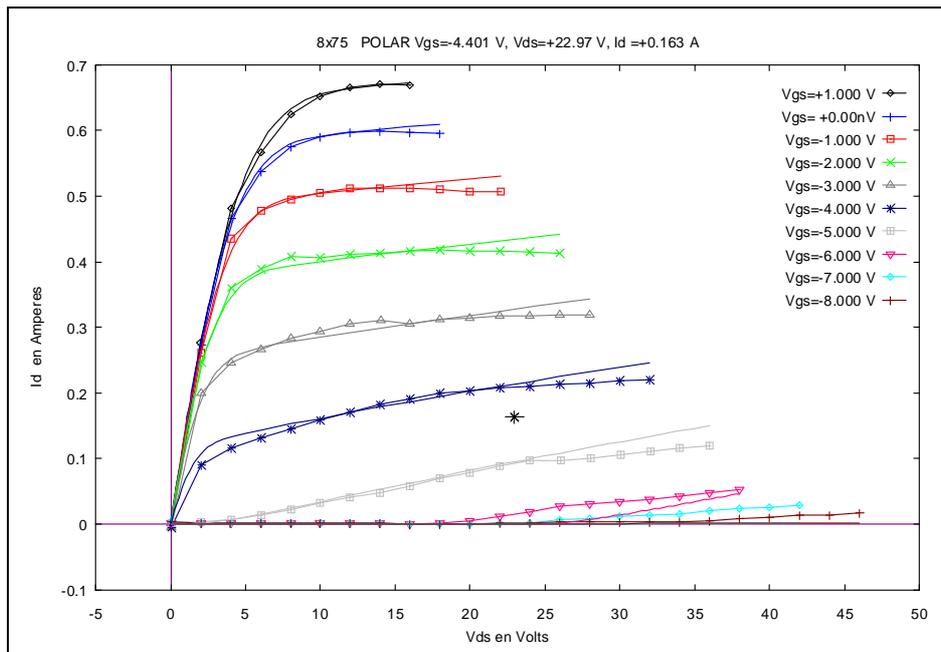


Figure 2-40 : Comparaison mesures/modèle du réseau de sortie $I_d=f(V_{ds})$ au point de polarisation $V_{GS0}=-4.4V$, $V_{DS0}=23V$.

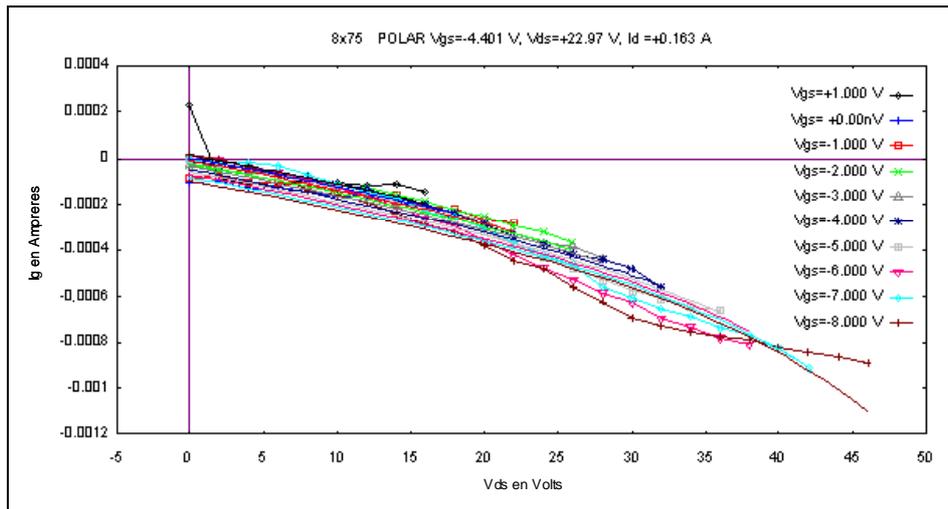


Figure 2-41 : Comparaison mesures/modèle du réseau d’entrée $I_g=f(V_{ds})$ pour une polarisation de repos $V_{gs0}=-4.4\text{V}$, $V_{ds0}=23\text{V}$.

Nous présentons dans le tableau suivant l’ensemble des valeurs des paramètres convectifs qui nous ont servi pour la modélisation I [V] du réseau d’entrée et de sortie (Tableau 2-2).

<i>Tajima modifié</i>							
Idss	A	B	M	P	W	Vpo	
0.8894	0.001	0	43	0.0448	0.8	5.23	
Vphi	Vdsp	α_{gm}	Vgm	β_{gm}	Vgd	τ	
0.1	2.5	0.139	26.4	0.9075	150	$1.55 \cdot 10^{-12}$	
<i>Diode Grille - Source</i>				<i>Diode Grille - Drain</i>			
Isgs	1e-18	Nsgs	2.132	Isgd	2.5e-20	Nsgd	2.053

Tableau 2-2 : Valeurs des paramètres convectifs du modèle non-linéaire du transistor HEMT 8x75 μm .

II.3.2.4. Modélisation des capacités non-linéaires C_{gs} et C_{gd}

Afin de réaliser l’extraction des capacités non-linéaires C_{gs} et C_{gd} , un cycle de charge idéal pour une polarisation en classe AB est tracé dans le réseau I [V] pour un fonctionnement en puissance du transistor. Pour l’exemple présenté ci-dessous d’un HEMT 8x75 μm , la polarisation de repos du transistor est de $V_{gs0}=-4.4\text{V}$, $V_{ds0}=23\text{V}$. Pour la modélisation des capacités non linéaires, l’extraction des capacités C_{gs} et C_{gd} est faite le long du cycle de charge représenté sur la Figure 2-42.

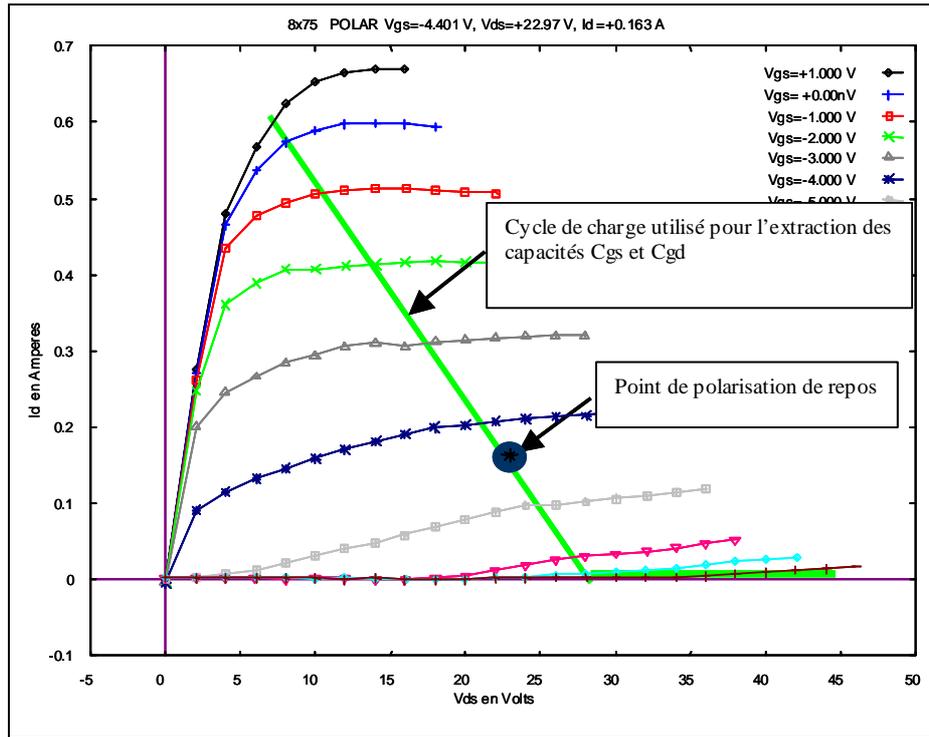


Figure 2-42 : Cycle de charge choisi dans le réseau I [V] pour représenter un fonctionnement en puissance.

Du fait de l'extraction multi-polarisation, les capacités ne dépendent que des deux tensions de commande V_{gs} et V_{gd} . Afin de représenter la variation de la capacité non-linéaire C_{gs} (respectivement C_{gd}), une équation en tangente hyperbolique est utilisée suivant la tension de commande V_{gs} (respectivement V_{gd}) [2.21].

L'équation qui décrit la variation de la capacité C_{gs} en fonction de la tension V_{gs} est la suivante :

$$C_{gs} = C_{gs_0} + \frac{C_{gs_1} - C_{gs_0}}{2} [1 + \tanh(a \cdot (V_{gs} + V_m))] - \frac{C_{gs_2}}{2} [1 + \tanh(b \cdot (V_{gs} + V_p))] \quad \text{Eq 2-11}$$

Avec : C_{gs_0} , C_{gs_1} , C_{gs_2} , a , b , V_m , V_p représentant les différents paramètres à optimiser.

De même, l'équation décrivant la variation de la capacité C_{gd} en fonction de la tension V_{gd} est la suivante :

$$C_{gd} = C_{gd} + \frac{C_{gd_1} - C_{gd_0}}{2} [1 + \tanh(c \cdot (V_{gd} + V_n))] - \frac{C_{gd_2}}{2} [1 + \tanh(d \cdot (V_{gd} + V_q))] \quad \text{Eq 2-12}$$

Avec similairement : C_{gd_0} , C_{gd_1} , C_{gd_2} , c , d , V_n , V_q représentant les différents paramètres à optimiser.

Une comparaison entre la mesure et le modèle non-linéaire des capacités C_{gs} et C_{gd} est représentée sur la Figure 2-43. Nous pouvons constater une bonne concordance entre la mesure et le modèle.

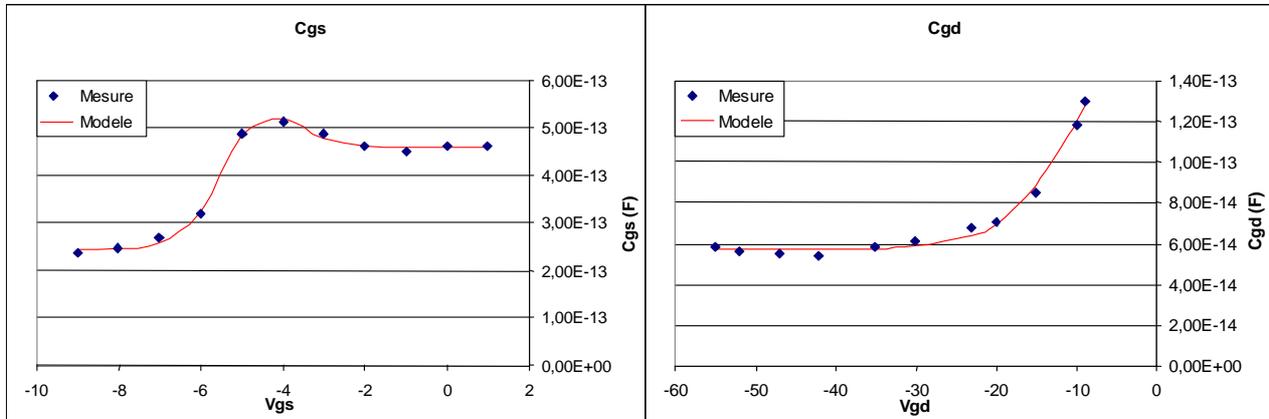


Figure 2-43 : Comparaison mesures/modèle des capacités C_{gs} et C_{gd} en fonction de V_{gs} et V_{gd} extraites le long du cycle de charge du HEMT $8 \times 75 \mu\text{m}$ AEC1148.

Le Tableau 2-3 présente l'ensemble des valeurs des paramètres relatifs à la modélisation des capacités non-linéaires C_{gs} et C_{gd} :

<i>Capacité non linéaire C_{gs}</i>		<i>Capacité non linéaire C_{gd}</i>	
CO (F)	2,028E-13	CO' (F)	4,5E-15
C1 (F)	6,63E-13	C1' (F)	8,33E-13
a	1,4352	a'	0,1728
V_m (V)	6,3	V_m' (V)	5,929
C2 (F)	6,384E-14	C2' (F)	-1,44E-13
b	2,3	b'	0,0046
V_p (V)	3,2	V_p' (V)	21,83

Tableau 2-3 : Paramètres des capacités non-linéaires C_{gs} et C_{gd} .

II.3.3. Principe de modélisation thermique

L'état thermique d'un composant résulte de la température ambiante et de l'auto-échauffement du transistor. Cet auto-échauffement se traduit par une puissance dissipée dépendant de la classe de fonctionnement du transistor et des performances de celui-ci vis-à-vis du signal injecté.

On peut alors observer au niveau des performances électriques :

- Une diminution du courant de sortie : le courant dans un transistor à effet de champ étant fonction de la mobilité et cette dernière diminuant lorsque la température augmente cela entraîne une diminution du courant.
- Une diminution de la transconductance $gm = \left(\frac{\partial I_{ds}}{\partial V_{gs}} \right)_{V_{ds}}$

Au niveau des performances fréquentielles :

- Une diminution de la fréquence de transition
- Une diminution de la fréquence maximale d'oscillation

II.3.3.1. Définition de la résistance thermique :

La résistance thermique représente électriquement l'échauffement du canal en fonction de la puissance dissipée. Elle s'exprime le plus souvent en °C/W. Elle est principalement due au phénomène de conduction thermique dans les matériaux constitutifs du composant, ce phénomène étant lié à l'activité atomique ou moléculaire au sein d'un gaz, un liquide ou un solide (notre cas). Le transfert d'énergie s'effectue des particules les plus énergétiques d'une substance aux particules les moins énergétiques. La conduction dans le cas d'un solide est attribuée à un transfert d'énergie sous la forme de vibrations du réseau cristallin.

Énoncé de la loi de Fourier : dans le cas simple d'un milieu homogène et isotrope, le vecteur densité de flux de chaleur défini par unité de surface est directement proportionnel au gradient de la température locale :

$\vec{f} = -K_{(T)} \vec{grad}_{(T)}$ où $\vec{grad}_{(T)}$ représente le gradient de température dans la direction normale à la surface unitaire, K représente la conductivité thermique du matériau (unité $W.K^{-1}.m^{-1}$), qui est fonction de la température.

Dans de nombreux cas, la définition de la chaleur dans un matériau bi ou tridimensionnel peut être simplifiée à un système à une dimension. Le transfert de chaleur est assimilé au flux à travers une surface définie. La chaleur se propage uniquement par conduction suivant la direction x perpendiculaire à la surface S. Lorsque on se place en régime stationnaire, le transfert de chaleur unidimensionnel suit de même la loi de Fourier :

$$F(x) = -K_{(T)} \cdot \frac{dT(x)}{dx} \quad \text{Eq 2-13}$$

où : F(x) représente la densité de flux thermique (W.m⁻²) et T(x) est la température à l'abscisse x.

La puissance dissipée correspond donc au produit de la densité de flux thermique par la surface, soit :

$$P = -K_{(T)} \cdot \frac{dT}{dx} \cdot S \quad \text{Eq 2-14}$$

On peut donc déduire : $dT = \int_0^e -\frac{P}{K_{(T)} \cdot S} \cdot dx = \int_e^0 \frac{P}{K_{(T)} \cdot S} \cdot dx$ qui après intégration sur l'épaisseur du matériau (e) nous donne accès à la puissance dissipée en fonction de la résistance thermique, soit :

$$\Delta T = \frac{P}{K_{(T)} \cdot S} \cdot e \Rightarrow P = \frac{\Delta T}{R_{th(T)}} \quad \text{Eq 2-15}$$

Par conséquent, cette équation de la chaleur « simplifiée » donne accès à la température du composant grâce à des mesures électriques qui seront présentées par la suite. Cette résistance thermique est de façon générale une grandeur non-linéaire en fonction de la température.

II.3.3.2. Méthode du courant de drain :

Étant donné que la mobilité et par conséquent la vitesse de saturation des porteurs diminue lorsque la température augmente, le courant dans le canal chute.

Deux jeux de mesures dans des conditions de polarisations différentes avec deux températures de socles différentes sont réalisés. La première mesure est effectuée en mode DC continu avec une température de chuck de 20°C et la seconde en impulsions avec une température de chuck égale à 100°C. Pour les mesures en impulsions, des durées d'impulsions brèves (400ns) sont choisies et une récurrence importante de manière à garantir une température du composant la plus proche possible de celle imposée par le chuck thermique. De surcroît, il faut considérer la partie du réseau I [V] où la puissance dissipée dans l'impulsion est encore assez faible, de manière à limiter encore les risques d'auto-échauffement.

La superposition des deux réseaux ainsi obtenus présente un point d'intersection entre la courbe en mode continu et la courbe en mode pulsé, ce qui désigne l'endroit du réseau pour lequel la température est identique (Figure 2-44).

Au point d'intersection pour la courbe mesurée en mode continu : (1)

$$\Delta T = T_{j_continu} - T_{chuck_continu} = R_{th} P_{diss} \Rightarrow T_{j_continu} = T_{chuck_continu} + R_{th} P_{diss} \quad Eq\ 2-16$$

où $P_{diss}=3.23W$, $T_{chuck_continu}=20^{\circ}C$ et $T_{j_continu}$ est la température de jonction du transistor en mode continu.

Au point d'intersection pour la courbe mesurée en mode pulsé : (2)

$$\Delta T = T_{j_pulsé} - T_{chuck_continu} = R_{th} P_{diss} \Rightarrow T_{j_pulsé} - T_{chuck_continu} = 0^{\circ}C \Rightarrow T_{j_pulsé} = 100^{\circ}C \quad Eq\ 2-17$$

car les mesures sont quasi-isothermes.

Comme la température de jonction au point d'intersection est identique sur les deux courbes, cela implique (1) = (2), d'où :

$$R_{th} = \frac{T_{j_pulsé} - T_{chuck_continu}}{P_{diss}} = 24.7^{\circ}C / W \quad Eq\ 2-18$$

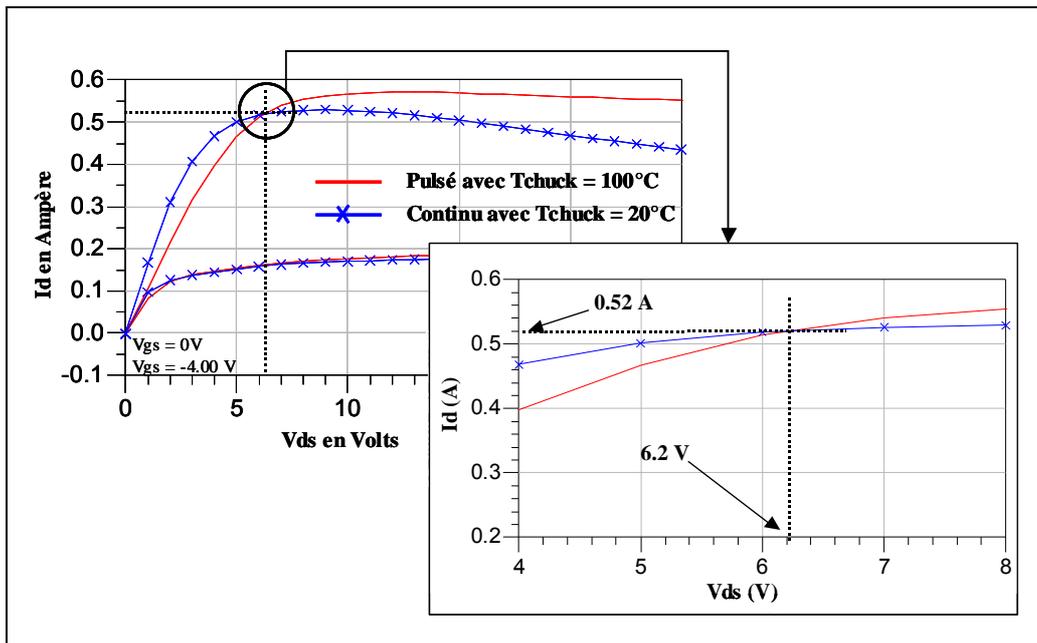


Figure 2-44 : Détermination de la résistance thermique grâce à la mesure du courant de drain.

Notons qu'une seconde méthode d'extraction de la résistance par la méthode des courants de grille basée sur une autre technique existe mais devient très incertaine si le transistor présente des pièges [2.17]. La méthode est basée dans ce cas sur la variation de la tension de seuil de la jonction schottky avec la température.

La résistance thermique mesurée reste inférieure à la résistance thermique réelle du composant car il est considéré qu'il n'y a pas d'auto-échauffement dans le pulse alors que même pour des impulsions très brèves il y a présence d'auto-échauffement.

II.3.3.3. Mesure électrique des constantes de temps thermiques :

Les mesures de la résistance thermique sont obtenues pour le régime établi, mais en aucun cas cette résistance thermique ne rend compte de l'évolution non-linéaire de la température au cours du temps (constantes de temps). Pour mesurer les constantes de temps thermiques, le principe est basé sur la décroissance du courant de sortie du transistor lorsque celui-ci est polarisé avec des impulsions suffisamment longues. Le but est donc de quantifier l'auto-échauffement du transistor en fonction du temps.

Le phénomène exploité est le suivant : si les impulsions sont suffisamment longues, la puissance dissipée dans le pulse devient importante et ainsi la température dans ce pulse augmente ce qui entraîne une diminution de la mobilité des porteurs et par conséquent une décroissance du courant de drain.

Dans une première étape, il convient d'éliminer toute variation de la tension de drain dans le pulse car la tension varie suivant la droite de charge imposée par la résistance d'entrée 50Ω . Pour cela le générateur d'impulsion est transformé en générateur de tension pulsée en court-circuitant l'entrée du générateur par une résistance de 5Ω . Cette opération limite l'excursion de tension à environ 10V mais rend celle-ci quasi-constante dans le pulse. Ainsi, seul le courant décroît pendant le pulse ce qui représente pleinement l'évolution de la température (Figure 2-45).

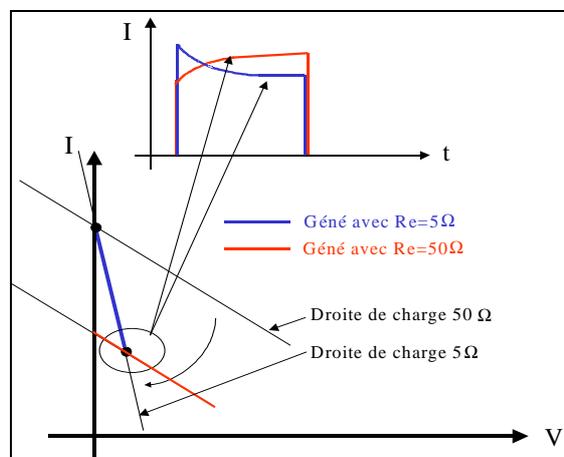


Figure 2-45 : Évolution du courant de sortie pour un pulse long (auto-échauffement) en fonction de l'impédance d'entrée du générateur.

La température de socle est fixée à 22°C, et le transistor est polarisé de la façon suivante :

- $V_{gs_0}=V_{gs_i}=-4V$, par une alimentation DC continue,
- $V_{ds_0}=0V$, $V_{ds_i}=6.3V$ avec une durée et une période d'impulsions respectivement de 1ms et 100ms.

La durée de l'impulsion est limitée à 1ms car au-delà de cette valeur, la chute de courant dans le pulse n'est plus significative étant donné que l'état établi est atteint.

Sur la Figure 2-46, la décroissance du courant de drain dans le pulse est représentée pour une tension de pulse quasi-constante ($\Delta V=0.13V$).

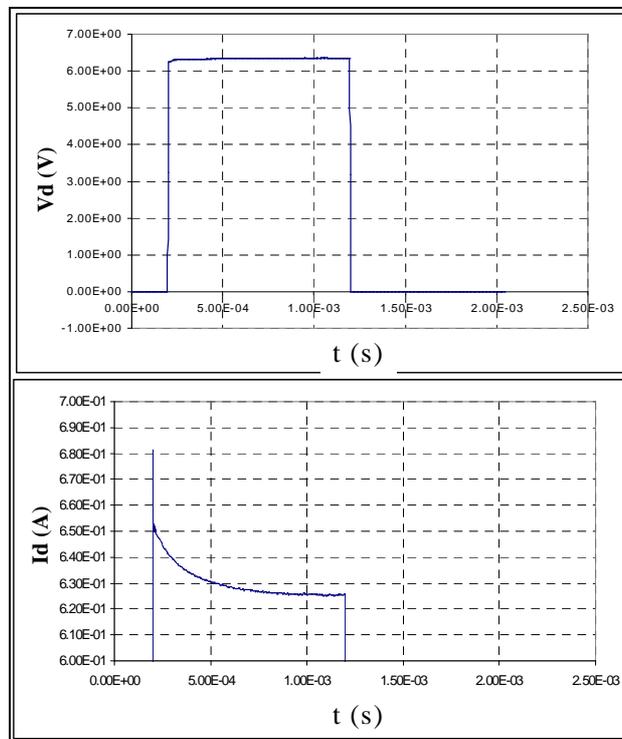


Figure 2-46 : Évolution du courant dans un pulse de 1ms.

La courbe représentant la décroissance du courant dans le pulse en échelle logarithmique permet d'observer plusieurs constantes de temps. Ces constantes de temps correspondent au temps de propagation du flux de chaleur à travers les différents matériaux rencontrés constituant le transistor.

Une possibilité pour représenter l'allure du courant dans le pulse est d'utiliser une fonction en exponentielle négative de la forme :

$$i(t) = I_0 - \sum_{i=1}^n I_i \cdot \left(1 - \exp\left(\frac{-t}{\tau_i}\right) \right) \quad \text{Eq 2-19}$$

où i correspond au nombre de constantes de temps nécessaires à la modélisation de $i(t)$, I_0 correspond à la valeur du courant au début du pulse et I_i correspond à la valeur de la décroissance du courant pendant le temps τ_i .

Le temps τ_i correspond au temps que met le courant I_i pour atteindre son régime établi ($t_i > \tau_i$).

L'évolution du courant dans le pulse et donc de la température est représentée à l'aide de cellules RC. Les constantes de temps sont alors égales à $\tau_i = R_{thi} \cdot C_{thi}$ où C_{thi} est la capacité thermique d'une cellule.

Les valeurs des résistances thermiques sont extraites en respectant deux conditions :

- $R_{th_globale} = \sum_{i=1}^n R_{thi}$ où $R_{th_globale}$ est la valeur de la résistance thermique obtenue lors des mesures en régime établi soit 24.7°C/W .

- $R_{thi} \propto I_i$

Ainsi, connaissant τ_i et R_{thi} , il est possible de déduire les valeurs des capacités thermiques C_{thi} .

II.3.3.4. Représentation de $T^\circ\text{C} = f(\text{temps}, P_{dissipée})$ par une grandeur électrique :

Une seconde méthode permettant d'obtenir le circuit thermique est basée sur la modélisation de l'évolution de la température du point chaud du canal par des simulations à éléments finis 3D (ANSYS). La Figure 2-47 ci-dessous montre l'évolution de l'auto-échauffement simulé pour une puissance dissipée de 7W/mm . Nous pouvons constater que la température évolue de façon exponentielle en fonction du temps pour une puissance dissipée donnée.

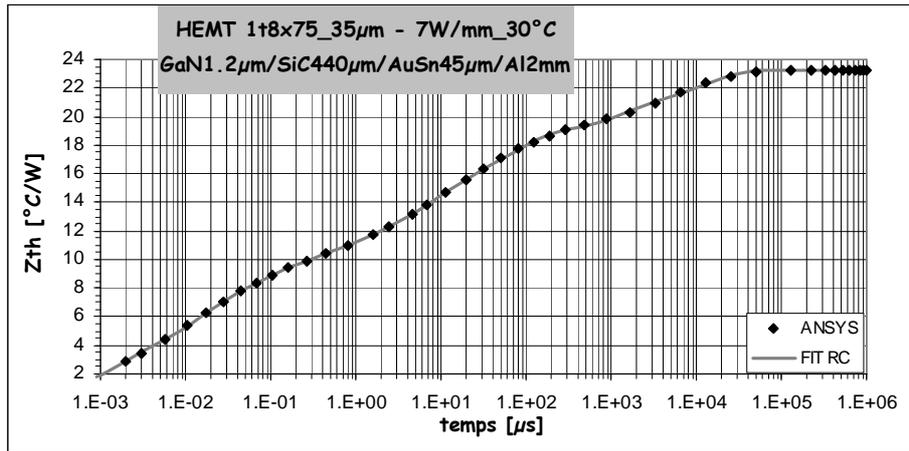


Figure 2-47 : Évolution de la température du composant pour une température ambiante de 30°C et puissance dissipée de 7W/mm en fonction du temps (Simulation ANSYS).

La variable température devant être implémentée dans un simulateur électrique tel qu'ADS, on la représentera comme une tension. De ce fait, il convient de trouver un circuit équivalent ayant une tension à ses bornes similaire au comportement de la température en fonction du temps. Par conséquent une solution pratique dans un simulateur CAO consiste à faire cette représentation à l'aide de cellules RC parallèles comme indiqué précédemment. Les constantes de temps sont alors égales à : $\tau_i = R_{thi} \cdot C_{thi}$ où C_{thi} est la capacité thermique d'une cellule.

L'exemple suivant (Figure 2-48) présente un des circuits à 8 cellules RC parallèles dans le cas du HEMT GaN 8x75μm. La tension T°C aux bornes des 8 cellules RC parallèles aura le même comportement que l'échauffement après un choix judicieux de R et C. Un générateur de tension correspondant à la température ambiante (ou de chuck) est ajouté à ce circuit.

Le courant d'entrée du circuit RC représente la variable « puissance dissipée » (le développement du transistor étant de 600μm). Ainsi la tension T°C aux bornes du circuit sera proportionnelle à la puissance dissipée.

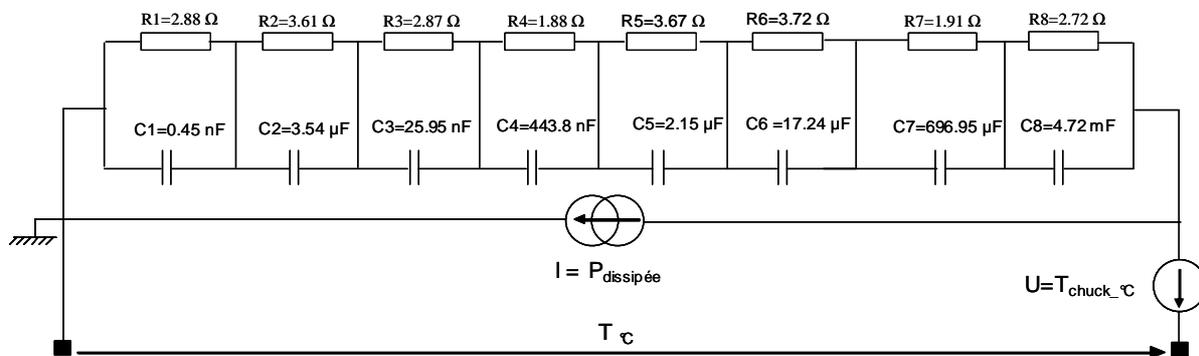


Figure 2-48 : Circuit thermique modélisant la température du composant en fonction de la puissance dissipée à 8 cellules RC.

II.3.3.5. Lois de variation des paramètres dépendant de la température :

Des mesures en impulsions à différentes températures de chuck effectuées sur différents composants ont permis de constater que les paramètres de la source de courant I_{dss} et P [II.3.2.1] varient avec la température ainsi que les paramètres des diodes grille-source et grille-drain respectivement (I_{s_gs} , N_{gs}) et (I_{s_gd} , N_{gd}) ainsi que les résistances R_s et R_d . Ces variations peuvent être ajustées à l'aide d'équations linéaires ou exponentielles suivant le cas comme le montre la Figure 2-49.

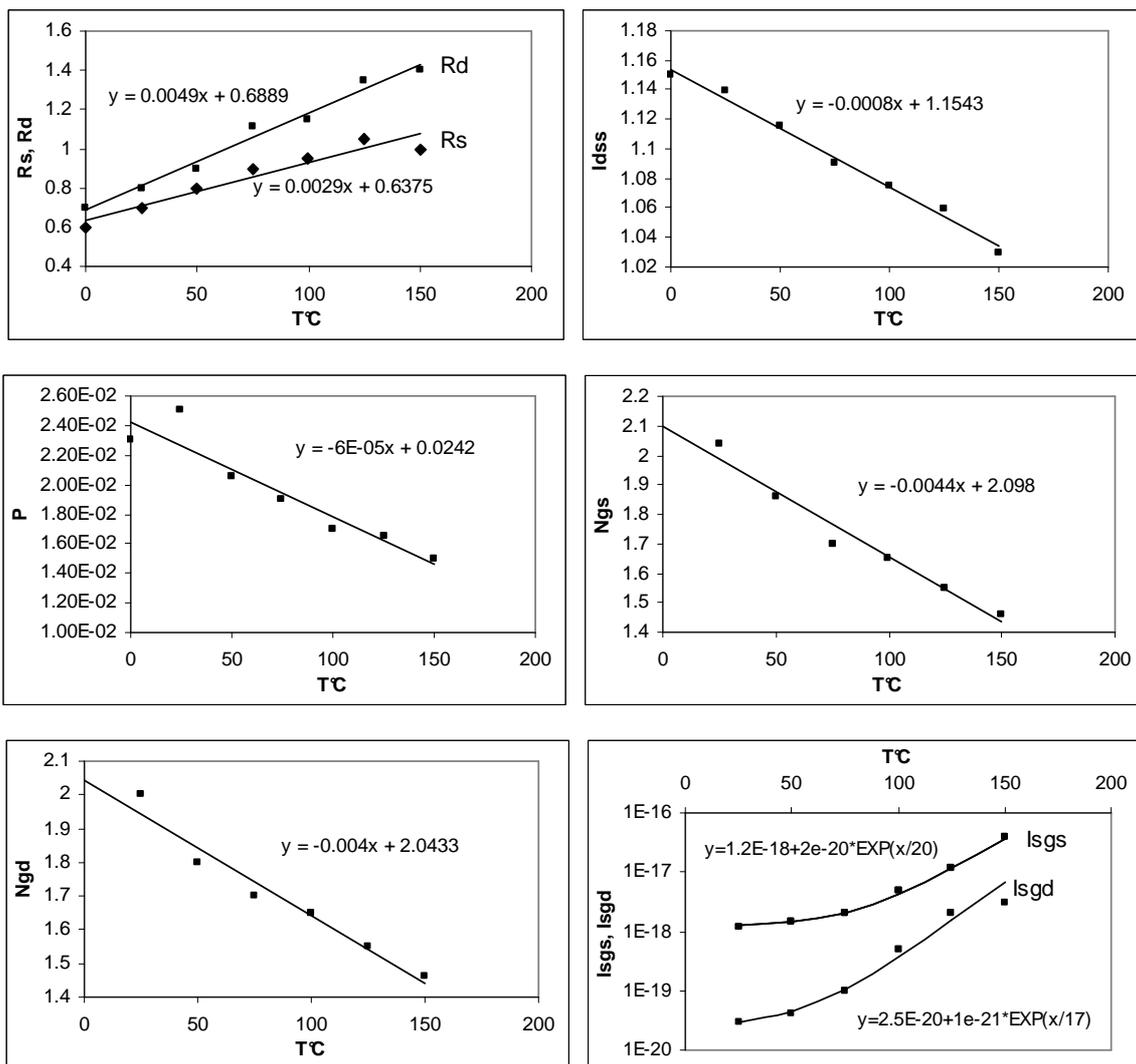


Figure 2-49 : Évolution des paramètres des sources de courants en fonction de la température ambiante du HEMT 8x75µm.

On peut constater que la plupart des paramètres ont une variation linéaire en fonction de la température mis à part pour les courants de saturation des diodes D_{gd} et D_{gs} .

$$R_s = R_{s_0} + \text{Alpha_} R_s.T$$

$$R_d = R_{d_0} + \text{Alpha_} R_d.T$$

$$I_{dss} = I_{dss_0} + I_{dss}.T$$

$$P = P_0 + P.T$$

$$N_{gs} = N_{gs_0} + N_{gst}.T$$

$$N_{gd} = N_{gd_0} + N_{gdt}.T$$

$$I_{sgs} = I_{sgs_0} + I_{sgst}.e^{(T/T_{sgs})}$$

$$I_{sgd} = I_{sgd_0} + I_{sgdt}.e^{(T/T_{sgd})}$$

Les valeurs correspondantes aux différents paramètres sont données sur chaque courbe de la Figure 2-49.

II.3.4. Synthèse

La Figure 2-50 suivante présente la synthèse des différentes phases de modélisation afin d'obtenir un modèle électrothermique grand signal. Les différents paramètres extraits puis corrigés figurent à chaque étape de modélisation.

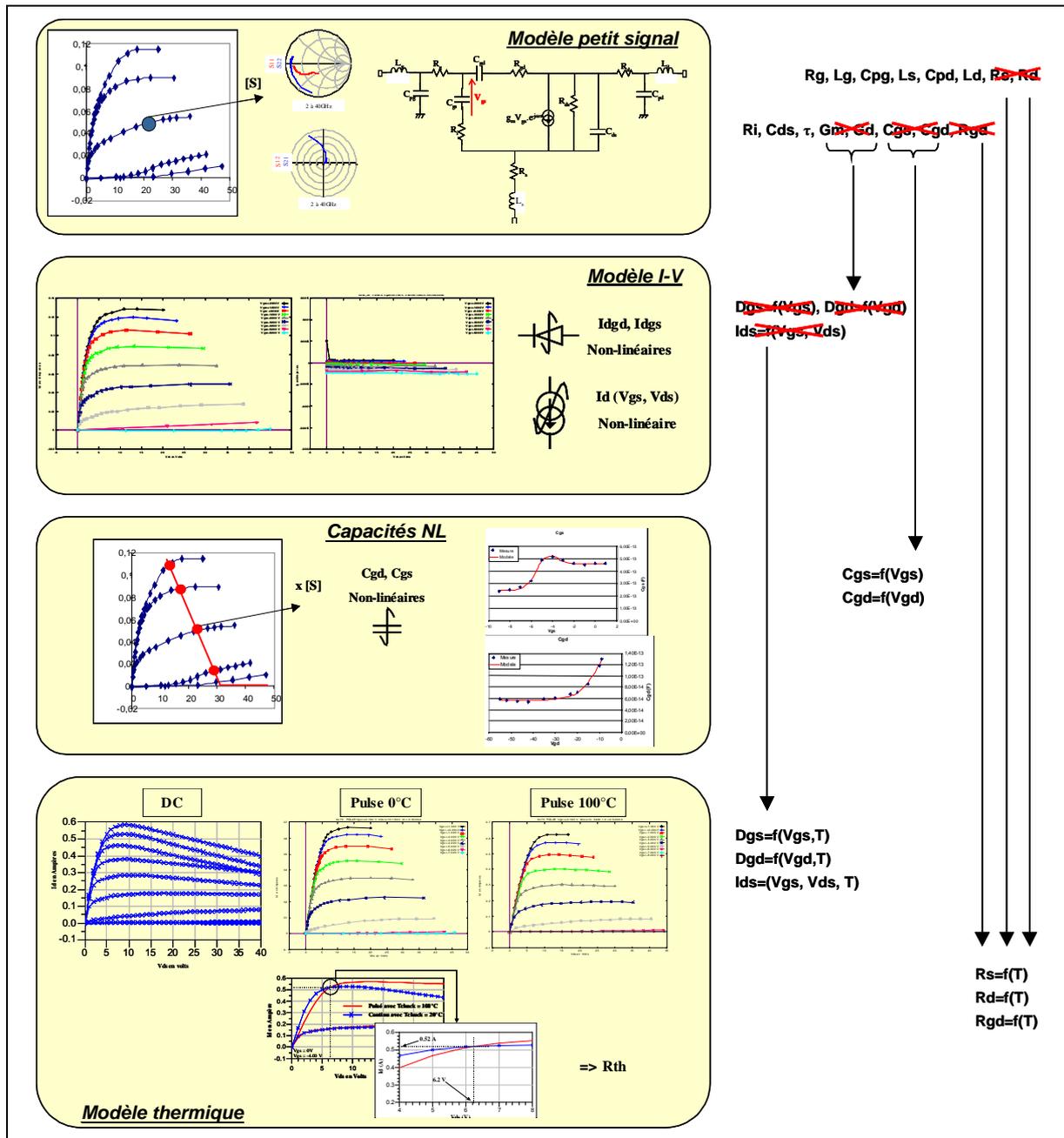


Figure 2-50 : Différentes phases de modélisation permettant d'obtenir un modèle électrothermique grand signal.

II.4. Topologies des modèles de transistors utilisés lors de nos conceptions et comparaison aux mesures

Au cours de ces travaux de thèse, deux versions d'amplificateurs distribués à cellules cascades à transistors HEMT GaN sur SiC ont été conçues. Une première structure étudiée en début de thèse en technologie flip-chip avec plusieurs versions résultantes et une seconde structure en fin de thèse en technologie MMIC. La première structure analysée prenait en compte des transistors de développement de grille $400\mu\text{m}$ ($8 \times 50\mu\text{m}$) pour une première version et de développement $600\mu\text{m}$ ($8 \times 75\mu\text{m}$) pour une seconde version. Pour la conception en technologie MMIC, les composants utilisés avaient un développement de $600\mu\text{m}$ ($8 \times 75\mu\text{m}$) et résultaient d'une nouvelle technologie. Nous allons donc présenter les mesures et modèles effectués au sein du laboratoire XLIM pour le transistor $8 \times 50\mu\text{m}$ de la première structure et pour le transistor $8 \times 75\mu\text{m}$ de la seconde. Ce second modèle a été préalablement développé dans l'approche de modélisation des derniers paragraphes.

II.4.1. Le transistor HEMT $8 \times 50\mu\text{m}$

Le transistor HEMT GaN a été réalisé sur un substrat SiC semi-isolant par le laboratoire TIGER lors du contrat DGA marché n° 01.34.050 en 2003. La Figure 2-51 montre la photographie de ce transistor de développement de grille $400\mu\text{m}$, présentant 8 doigts de $50\mu\text{m}$.



Figure 2-51 : photographie d'un transistor de développement de grille $8 \times 50\mu\text{m}$ sur technologie SiC du process TIGER.

Des mesures pulsées de caractéristiques I [V] ainsi que des mesures pulsées de paramètres S de ce composant ont été réalisées sur le site de Brive, permettant de dériver les modèles linéaire et non-linéaire du transistor. Les résultats de ces mesures sont donnés sur la Figure 2-52. Les caractéristiques $I_d(V_{ds})$ et $I_g(V_{ds})$ sont donnés pour un point de polarisation de repos de $V_{gs0} = -7\text{V}$, $V_{ds0} = 22.6\text{V}$, $I_{ds0} = 110\text{mA}$. Nous pouvons noter que la tension d'avalanche n'a pas été mesurée, et par conséquent non modélisée. Pour nos applications, les transistors seront polarisés aux alentours

de 20 volts, or les mesures ont été effectuées jusqu'à une tension de drain bien supérieure. L'avalanche ne représente donc aucun risque pour nos applications.

Nous pouvons observer un courant de drain maximal de 580mA, ce qui équivaut à une densité de courant de 1.45A/mm. Il est également possible de noter qu'un courant de fuite de grille augmentant avec V_{gs} et V_{ds} atteint jusqu'à 0.15mA. Nous pouvons relever d'autre part un effet kink, entraînant l'impossibilité de pincement du canal et dégradant les performances en puissance et en rendement.

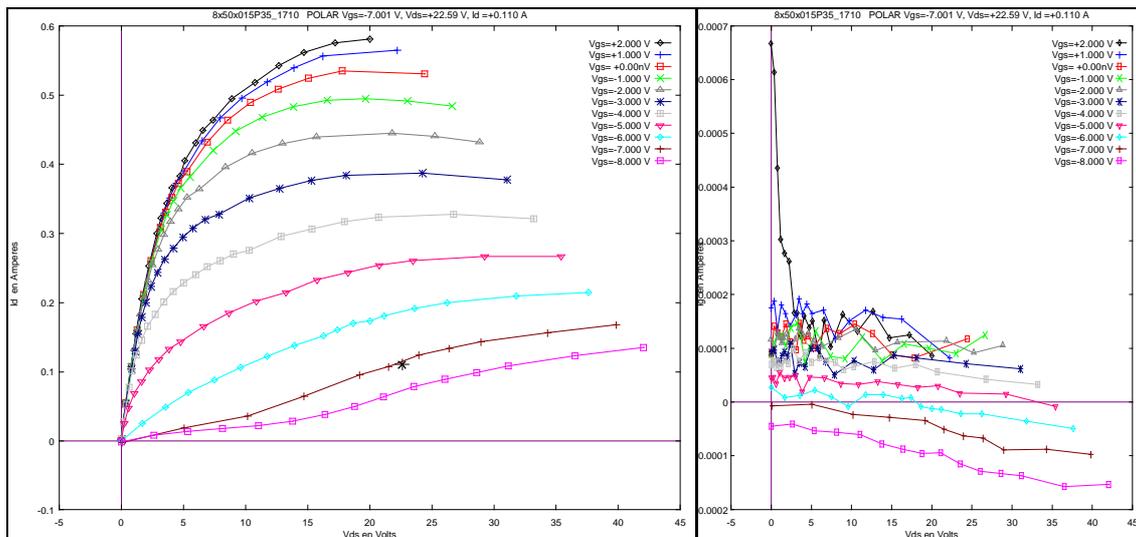


Figure 2-52 : Caractéristiques $I_d(V_{ds})$ et $I_g(V_{ds})$ mesurées du transistor de développement $8 \times 50 \mu\text{m}$.

II.4.1.1. Modèle linéaire

Le modèle linéaire de ce composant a été extrait par la méthode mixte exposée précédemment (Chapitre 2 – II.3.1) à l'aide des logiciels développés en interne. Il a été défini pour un point de polarisation de repos de $V_{gs0} = -7\text{V}$, $V_{ds0} = 22.2\text{V}$, $I_{ds0} = 118\text{mA}$. Les valeurs des éléments intrinsèques et extrinsèques de ce modèle petit signal sont données dans le Tableau 2-4.

La Figure 2-53 présente la validation du modèle petit signal au travers de la comparaison des paramètres S mesurés et obtenus par simulation du modèle dans la bande [2-40GHz].

<i>Éléments extrinsèques</i>							
Rg (Ω)	Lg (pH)	Cpg (fF)	Rd (Ω)	Ld (pH)	Cpd (fF)	Rs (Ω)	Ls (pH)
1,2	70,1	83,2	1,2	77,3	96,3	0,4	9,8
<i>Éléments intrinsèques</i>							
Cgs (fF)	Ri (Ω)	Cgd (fF)	Rgd (Ω)	gm (mS)	gd (mS)	τ (ps)	Cds (fF)
224.0	1.0	49.9	6.0	88.7	7.8	1.57	36.0

Tableau 2-4 : Éléments du modèle petit signal du transistor $8 \times 50 \mu\text{m}$ pour un point de polarisation de repos de $V_{gs_0} = -7\text{V}$, $V_{ds_0} = 22.2\text{V}$, $I_{ds_0} = 118\text{mA}$.

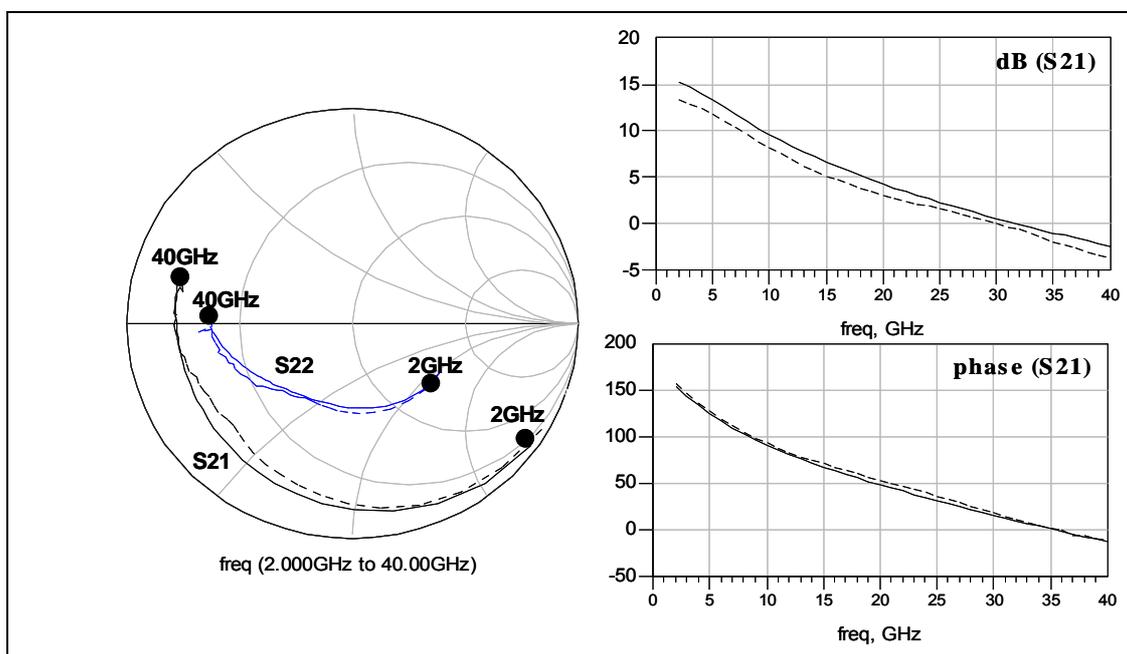


Figure 2-53 : Comparaison des paramètres S mesurés (pointillés) et simulés (ligne continue) du transistor $8 \times 50 \mu\text{m}$ sur la bande 2-40GHz.

II.4.1.2. Modèles non-linéaires

Le modèle non linéaire de ce composant a été implémenté par des équations phénoménologiques. À partir du modèle petit signal multipolarisation, il a été possible d'observer les évolutions des différents éléments intrinsèques du modèle en fonction des tensions de polarisation appliquées. Nous avons ainsi pu déterminer que les capacités C_{gs} et C_{ds} ainsi que la source de courant commandée I_{ds} présentaient une forte non-linéarité vis-à-vis de la polarisation appliquée qu'il était nécessaire de modéliser.

La Figure 2-54 présente la comparaison des réseaux $I_d(V_{ds})$ mesuré et simulé obtenus pour un point de polarisation de repos de $V_{gs_0} = -7\text{V}$, $V_{ds_0} = 22.2\text{V}$, $I_{ds_0} = 118\text{mA}$. Nous pouvons observer qu'en raison de la présence d'un effet kink, le modèle de Tajima montre des difficultés à

se superposer au réseau mesuré. Il faut en effet accepter un compromis entre la modélisation du réseau pour les tensions de polarisation de grille faibles et la modélisation de l'ensemble du réseau. La Figure 2-55 montre la bonne corrélation mesures/modèle des paramètres S considérés pour un point de polarisation de repos de $V_{gs0}=-7V$, $V_{ds0}=22.2V$ et $I_{ds0}=118mA$.

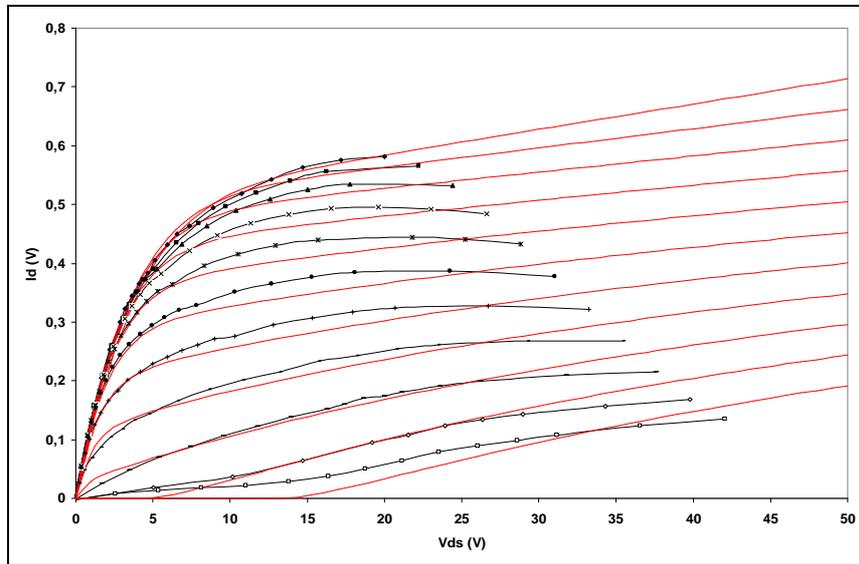


Figure 2-54 : Comparaison des réseaux $I_d(V_{ds})$ mesuré (avec tics) et simulé à partir du modèle dérivé par équations phénoménologiques (sans tics) pour V_{gs} allant de $-8V$ à $+2V$.

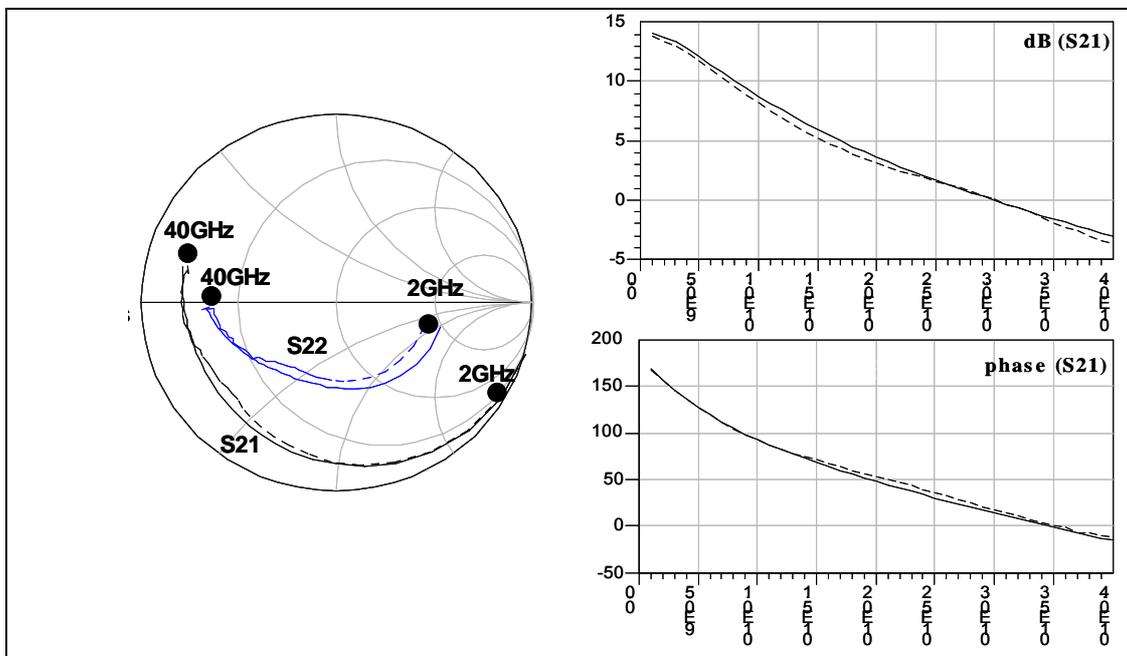


Figure 2-55 : Comparaison des paramètres S mesurés (pointillés) et simulés à partir du modèle (ligne continue) sur la bande 1-40 GHz.

II.4.2. Le transistor HEMT 8x75 μ m

Le transistor HEMT AlGaIn/GaN 8x75 μ m AEC 1148 a été réalisé sur un substrat SiC par le laboratoire TIGER dans le cadre du projet Korrigan en 2006. La Figure 2-56 montre la photographie de ce transistor de développement de grille 600 μ m, présentant 8 doigts de 75 μ m.

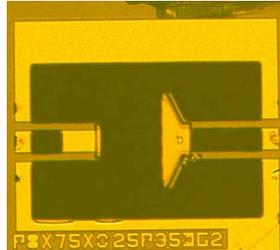


Figure 2-56 : Photographie du transistor de développement 8x75 μ m sur technologie SiC.

II.4.2.1. Modèle linéaire

Les paramètres du modèle sont extraits pour un point de polarisation ce qui correspond à $V_{gs_i} = -4$, $V_{ds_i} = 23$ V, $I_{d_i} = 200$ mA. À ce point de repos instantané est associé un fichier de mesure contenant les paramètres [S] de 2 à 40GHz par pas de 1GHz.

À partir de ce fichier de paramètres [S], la méthode d'extraction des paramètres décrite dans le paragraphe II.3.1 de ce chapitre est appliquée au transistor 8x75 μ m. Les valeurs des paramètres extrinsèques et intrinsèques sont regroupées dans le Tableau 2-5 ci-contre. Cependant il faut noter que les paramètres extrinsèques sont indépendants de la polarisation alors que les paramètres intrinsèques sont fonction du point de polarisation. Par conséquent, les paramètres extrinsèques trouvés lors de l'extraction du modèle linéaire sont les mêmes que pour le modèle non linéaire que nous réaliserons par la suite.

<i>Éléments extrinsèques</i>							
Rg (Ω)	Lg (pH)	Cpg (fF)	Rd (Ω)	Ld (pH)	Cpd (fF)	Rs (Ω)	Ls (pH)
0,967	41,77	28	0,87	68,8	27,7	0,613	1,758
<i>Éléments intrinsèques</i>							
Cgs (pF)	Ri (Ω)	Cgd (fF)	Rgd (Ω)	gm (mS)	gd (mS)	τ (ps)	Cds (fF)
0,59	0,57	68,5	15,2	128,6	6,45	1,83	164

Tableau 2-5 : Éléments du modèle petit signal du transistor 8x75 μ m pour un point de polarisation de repos de $V_{gs_0} = -4$ V, $V_{ds_0} = 23$ V.

Les résultats de simulations de paramètres [S] obtenus pour ce modèle linéaire au point de polarisation instantané précédent sont comparés aux paramètres [S] issus directement de la mesure (Figure 2-57). On observe un très bon accord dans la bande 2-40GHz avec une différence plus importante sur le gain maximum au-delà de 20GHz.

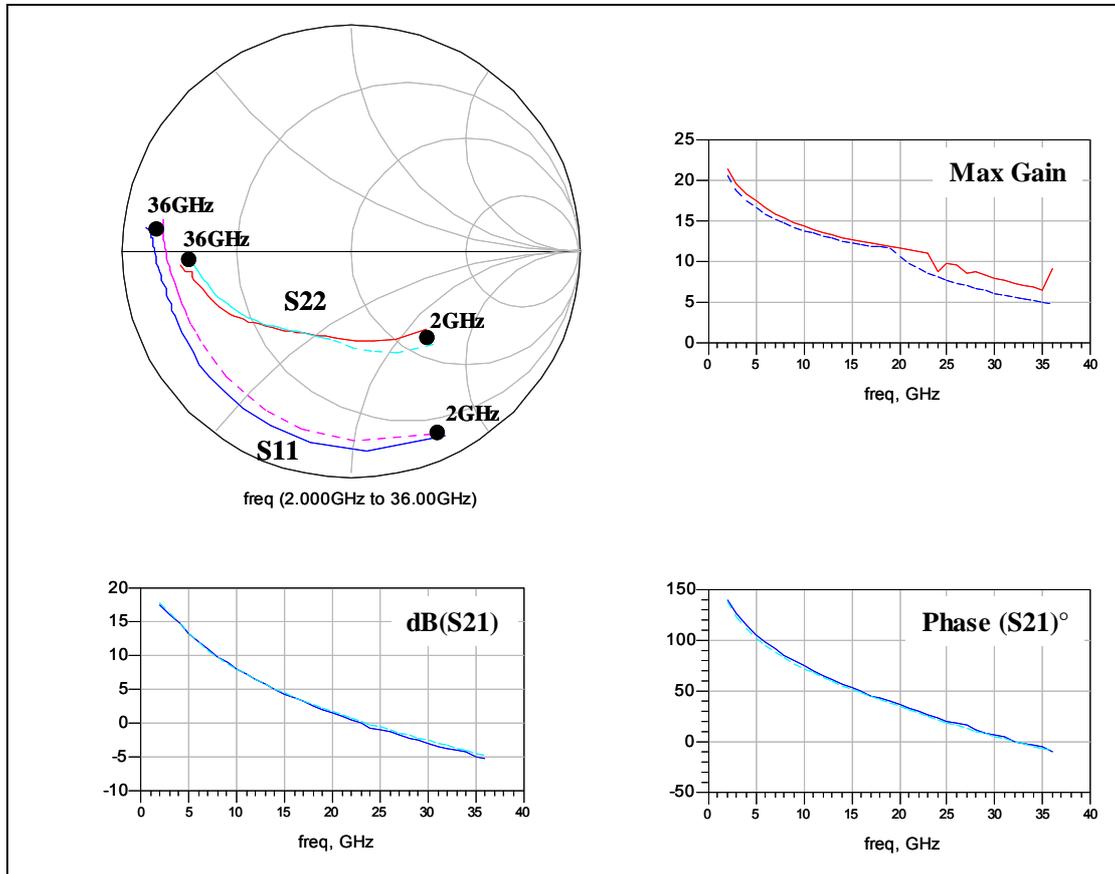


Figure 2-57 : Comparaison des paramètres S mesurés (pointillés) et simulés (ligne continue) du transistor $8 \times 75 \mu\text{m}$ sur la bande 2-36GHz.

II.4.2.2. Modèle non-linéaire

La Figure 2-58 représente le modèle non linéaire intégrant les non-linéarités des capacités C_{gs} et C_{gd} extraites des mesures RF en impulsions, les diodes d'entrées modélisant le courant de grille ainsi que l'effet fondamental du transistor $I_d = f_{NL}(V_{gs}, V_{ds})$ et la partie thermique [2.27] :

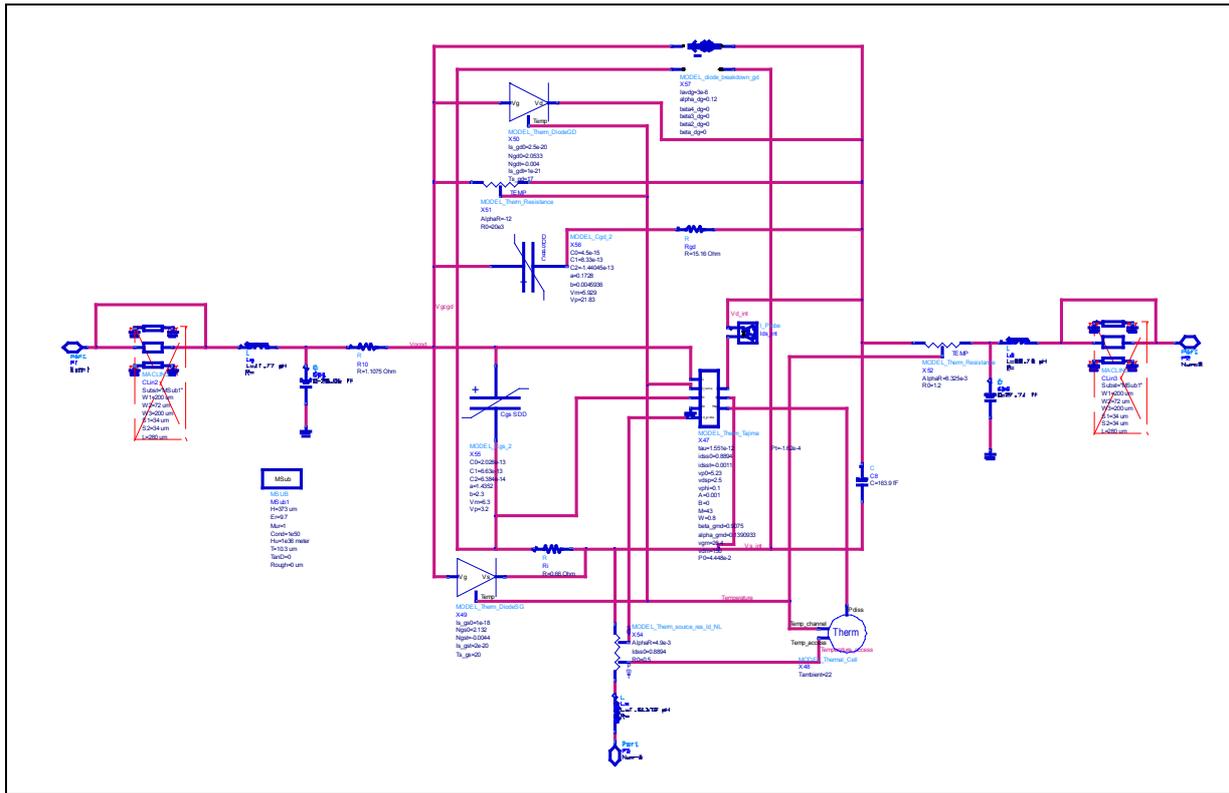


Figure 2-58 : Modèle électrique non linéaire relatif au transistor HEMT 8x75 μ m.

Des simulations du modèle non-linéaire par équations phénoménologiques en grand signal ont été réalisées. Le principe du « load-pull » [2.24], [2.25], [2.26] est appliqué afin de déterminer l'impédance de charge optimale en gain, en puissance de sortie et en rendement en puissance ajoutée à la fréquence f_0 . Pour cela le transistor est polarisé en classe AB ($V_{gs0}=-4V$, $V_{ds0}=25V$) et l'impédance de charge à la fréquence fondamentale ($f_0=10GHz$) varie de manière à ce qu'elle balaie l'abaque de Smith autour de l'optimum pour une puissance d'entrée proche de 1dB de compression.

À la fin de la caractérisation, on détermine les contours de gain maximum, de puissance de sortie et de puissance ajoutée constants (Figure 2-59). Par conséquent, à la suite de cette analyse, il est aisé de déterminer l'impédance de charge optimale en termes de gain maximum, de puissance de sortie et de rendement en puissance ajoutée en prenant garde toutefois que cette valeur optimale de l'impédance de charge se situe dans une région de l'abaque de Smith où le fonctionnement du système reste stable. Pour finir, cette opération est réitérée jusqu'à ce que la valeur de la puissance d'entrée corresponde exactement au dB de compression. De manière générale, 2 à 3 itérations sont suffisantes pour accéder à l'impédance de charge optimale.

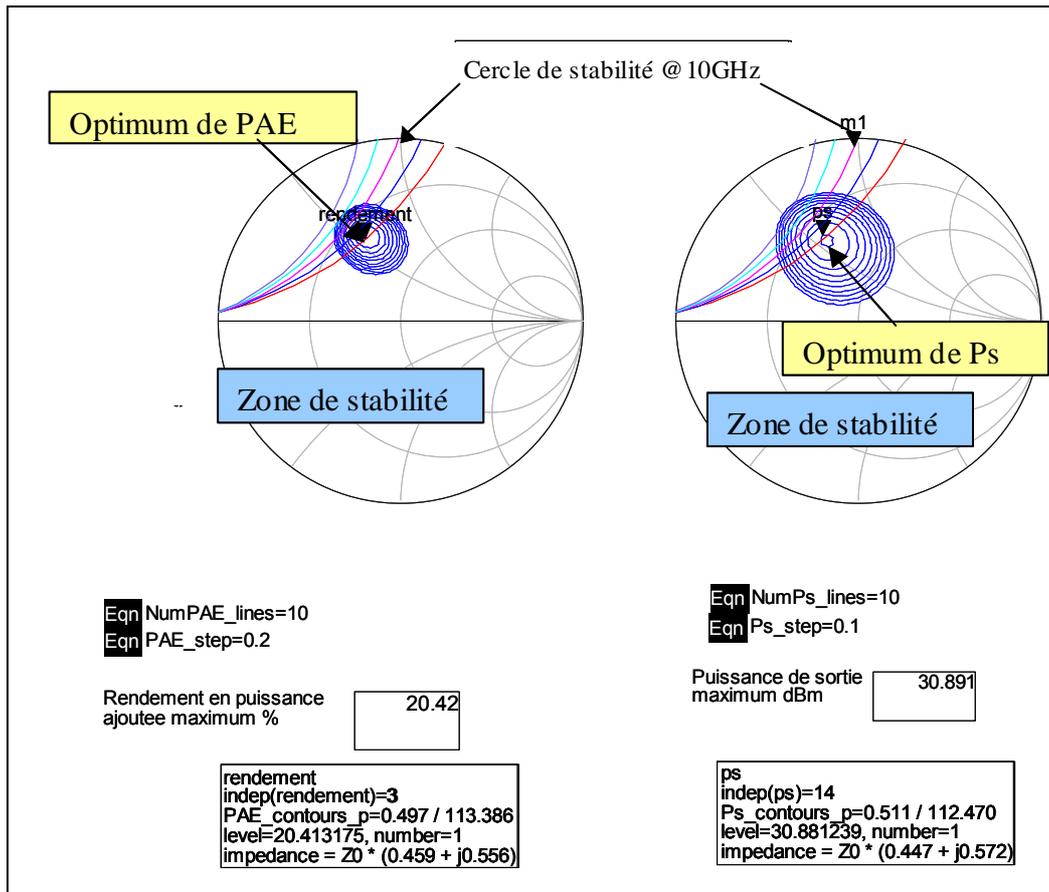


Figure 2-59 : Représentation de l'impédance de charge pour le maximum de puissance de sortie et le maximum de rendement en puissance ajoutée associé au cercle de stabilité à la fréquence de 10 GHz avec une polarisation en classe AB ($V_{gs0}=-4V$, $V_{ds0}=25V$) pour une puissance d'entrée correspondant @1dB de compression.

La valeur de l'impédance de charge au fondamental ($f_0=10GHz$) pour une puissance de sortie maximum au dB de compression avec une polarisation en classe AB ($V_{gs0}=-4V$, $V_{ds0}=25V$) est la suivante :

$$Z_L(f_0) = 22.35 + j 28.6 \quad \text{Eq 2-20}$$

Les impédances de fermeture pour les autres fréquences harmoniques sont de la forme :

$$Z_L(nf_0) = 50 + j 0 \quad \text{Eq 2-21}$$

Les résultats de comparaison mesures/simulation sont présentés sur la Figure 2-60 suivante. Les mesures load-pull en CW avec boucle active ont été réalisées pour la même impédance de charge.

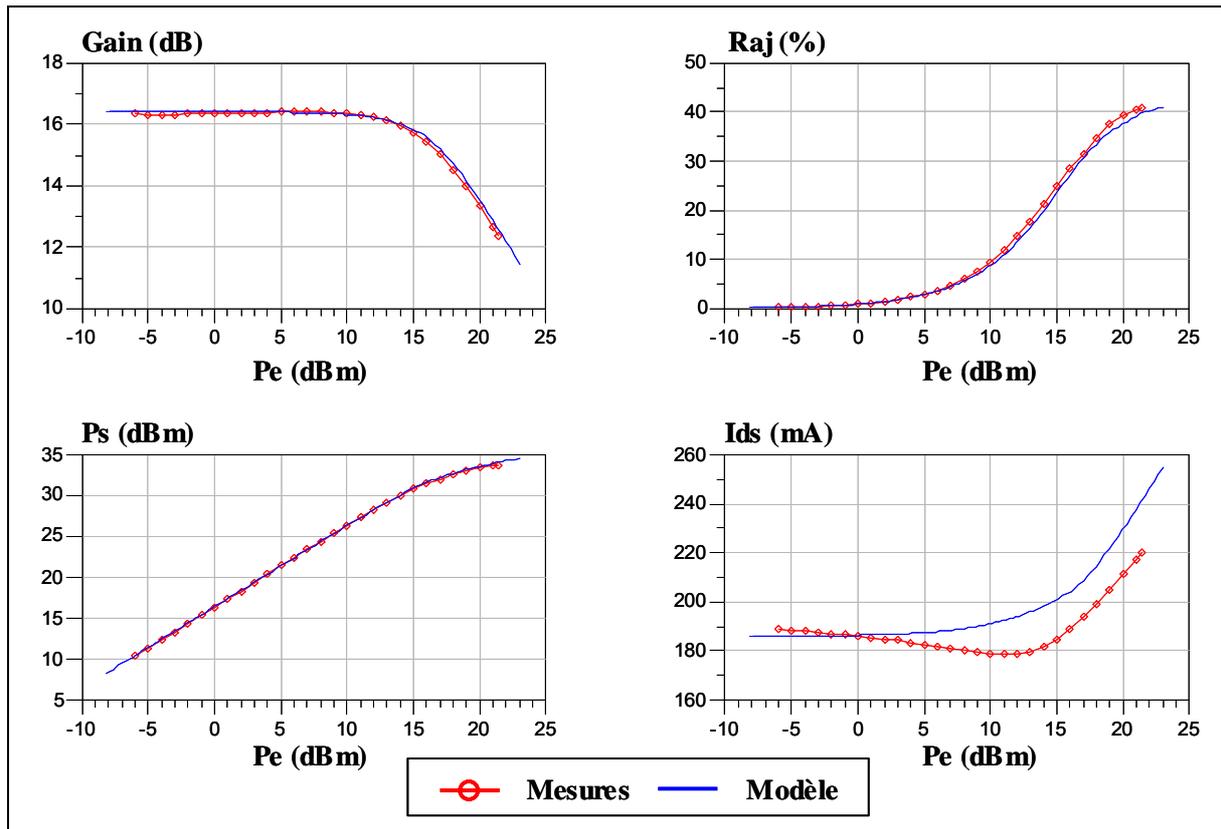


Figure 2-60 : Comparaison mesures/modèle du gain, du rendement en puissance ajoutée, de la puissance de sortie et du courant de sortie en fonction de la puissance d'entrée du transistor $8 \times 75 \mu\text{m}$ @ 10GHz polarisé en classe AB ($V_{gs0} = -4\text{V}$, $V_{ds0} = 25\text{V}$) sur l'impédance optimale.

Une bonne corrélation entre les mesures et les résultats du modèle simulé a été obtenue au niveau du gain, de la puissance de sortie et du rendement en puissance ajoutée. Une différence inférieure à 10% peut être observée au niveau du courant moyen de sortie pour les fortes puissances d'entrée [2.27].

Pour une puissance entrante dans le transistor égale à 17dBm (correspondant au dB de compression), la Figure 2-61 présente le cycle de charge intrinsèque du transistor superposé au réseau de sortie I [V] intrinsèque. On visualise ainsi que cette charge correspond à un fonctionnement optimal en puissance.

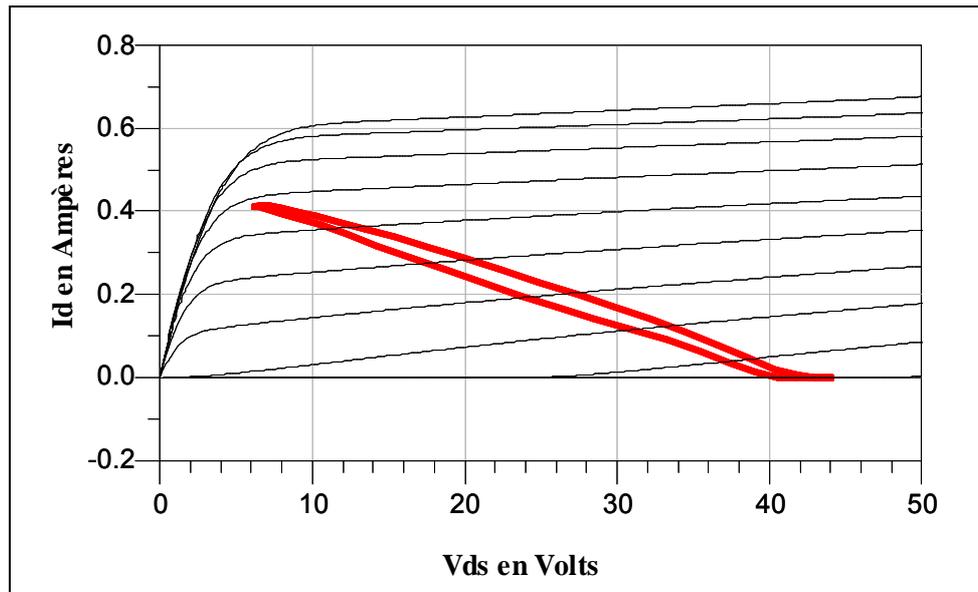


Figure 2-61 : cycle de charge intrinsèque du transistor $8 \times 75 \mu\text{m}$ @ 10GHz polarisé en classe AB ($V_{gs0} = -4\text{V}$, $V_{ds0} = 25\text{V}$) @ $P_e = 17\text{dBm}$ (1dB de compression).

CONCLUSION

Une filière technologique d'éléments passifs dédiée au développement de la filière MMIC HEMT AlGaIn/GaN a été caractérisée et modélisée pour deux types de substrat (Si et SiC) et deux technologies planaires (coplanaire et microruban). Le guide final de conception a été implémenté dans le logiciel ADS et intègre les modèles électriques paramétrés des inductances spirales, capacités MIM, des résistances, des ponts à air et des via-holes. Les composants passifs développés constituent aujourd'hui avec les modèles actifs, la base CAO pour la conception des amplificateurs MMIC de puissance dans le cadre du projet européen Korrigan.

Au travers des caractérisations menées sur les composants dédiés à nos conceptions de circuits, nous avons décrit la phase de modélisation électrique linéaire et non linéaire ainsi que la modélisation au niveau thermique pour les composants de la fonderie TIGER. Ces mêmes composants sont utilisés pour les conceptions décrites au cours du chapitre 3. Les phénomènes thermiques ont donc été mis en évidence pour le transistor HEMT 8x75 μ m par la caractérisation de ce composant à plusieurs températures ce qui a permis d'établir un modèle électrothermique non-linéaire.