

ANALYSE ET CONCEPTION  
D'AMPLIFICATEURS DE PUISSANCE DISTRIBUÉS  
À CELLULES CASCODES PHEMT GAN SUR LA  
BANDE 4-18GHZ

## INTRODUCTION

Un des aboutissements du projet européen Korrigan réside en la réalisation de démonstrateurs tels que des HPA (*High Power Amplifier*) en bande S, en bande X et en large bande (2-6GHz, 6-18GHz) mais aussi des LNA (*Low Noise Amplifier*) en bande X et large bande, ainsi que des SPDT (*Single Pole Double Throw switches*) en bande X et large bande. Afin d'évaluer les potentialités de cette technologie en terme de puissance large bande, nous avons décidé, en marge de ce contrat, de concevoir un amplificateur de puissance distribué dans la bande 4-18GHz. La topologie que nous avons retenue est une topologie distribuée à base de cellules cascades. Cette topologie a été adoptée pour faire suite aux premiers travaux de conception qui ont été effectués en début de thèse sur la technologie flip-chip.

Ce troisième chapitre va ainsi se scinder en trois parties :

Dans un premier temps, nous décrivons les différentes structures adaptées à l'amplification de puissance large bande telles que les architectures résistive et à contre-réaction. Puis les principes théoriques sur le fonctionnement de l'amplificateur distribué ainsi que sur le fonctionnement du montage cascade seront développés.

Par la suite, nous présenterons les étapes de conception d'un amplificateur de puissance distribué à cellules cascades en montage flip-chip fonctionnant sur la bande 4-18GHz dont les composants de base sont des transistors HEMTs GaN du premier contrat européen initié par la DGA. Ce circuit est un montage flip-chip d'une puce de nitrure de gallium sur un substrat de report en nitrure d'aluminium. Ce circuit présentait un challenge technologique au moment de l'étude car il proposait un premier pas vers le circuit intégré puisque des capacités MIM et des résistances actives étaient intégrées sur le circuit de GaN tandis que le découplage, l'adaptation et les lignes de connexion étaient intégrées sur la puce d'AlN de report flip-chip. Des mesures de la cellule cascade de test sont exposées au sein de cette partie.

En dernier lieu, le développement de la technologie MMIC en nitrure de gallium nous a permis de concevoir un amplificateur distribué à base de cellules cascades composé de transistors HEMTs GaN de développement  $8 \times 75 \mu\text{m}$ . Ce circuit représente également un challenge technologique du fait de l'intégration totale des éléments passifs sur la puce de GaN. L'optimisation en puissance repose sur l'adoption d'un profil d'impédances caractéristiques sur les lignes

artificielles de grille et de drain dont les paramètres peuvent être déterminés en fonction du conjugué de l'admittance optimale en puissance des cellules actives. Les cellules actives cascodes sont adaptées en puissance par examen des cycles de charge. De plus, nous avons adapté un profil de capacités en série sur la grille. Les simulations en puissance permettent d'obtenir des résultats assez prometteurs.

Au moment de la rédaction de ce manuscrit, l'amplificateur conçu est en cours de réalisation.

# I- ÉTUDE DES AMPLIFICATEURS DE PUISSANCE LARGE BANDE ET MÉTHODE DE CONCEPTION D'AMPLIFICATEURS DISTRIBUÉS UTILISANT DES TRANSISTORS EN MONTAGE CASCODE

## **I.1. Différentes architectures d'amplificateurs de puissance large bande**

La conception d'un amplificateur de puissance large bande nécessite l'utilisation de topologies spécifiques permettant la compensation des variations en fonction de la fréquence des performances de l'élément actif tout en l'adaptant sur toute sa bande de fonctionnement. Dans ce paragraphe, les différentes structures large bande existantes sont présentées et développées autour du transistor à effet de champ (TEC).

Les amplificateurs de puissance dits « large bande » fonctionnent sur une bande de fréquence supérieure à une octave ( $f_{\max} > 2.f_{\min}$ ). Cet objectif implique l'utilisation de topologies spécifiques permettant d'obtenir un gain plat et maximum sur toute la largeur de bande ainsi qu'une adaptation entrée/sortie performante.

En effet, la décroissance naturelle du gain d'un transistor est de 6dB par octave. Une solution efficace pour obtenir un gain plat consiste à absorber l'excès de puissance aux basses fréquences en implantant des circuits dissipatifs sans pour autant perturber le fonctionnement aux hautes fréquences. En outre, l'obtention d'une adaptation entrée/sortie performante sur toute la bande reste un point crucial : la difficulté provient de la variation de la valeur des impédances d'entrée et de sortie présentées par le transistor (supérieures à  $50\Omega$  aux basses fréquences et inférieures à  $50\Omega$  aux hautes fréquences).

Nous présentons dans les paragraphes suivants quatre topologies principales d'amplificateurs de puissance large bande permettant de remplir ces conditions.

### I.1.1. Les amplificateurs à adaptation résistive

Pour l'amplificateur à adaptation résistive, le principe consiste à placer une résistance parallèle entre la grille et la source sur l'entrée, et entre le drain et la source sur la sortie. La plupart de ces amplificateurs sont pré-adaptés à l'aide de filtres d'accord d'entrée et de sortie afin de rendre les impédances d'entrée et de sortie purement résistives (Figure 3-1). Ces impédances ont donc une dépendance en fréquence très faible ce qui facilite l'obtention d'une bande de fréquence importante.

Les deux résistances entrée-sortie ( $R_s$ ,  $R_e$ ) sont découplées aux fréquences microondes par une self inductance ( $X_s$ ,  $X_e$ ) de telle sorte que l'impédance à adapter aux hautes fréquences reste l'impédance d'entrée du transistor et que le gain disponible du transistor soit conservé.

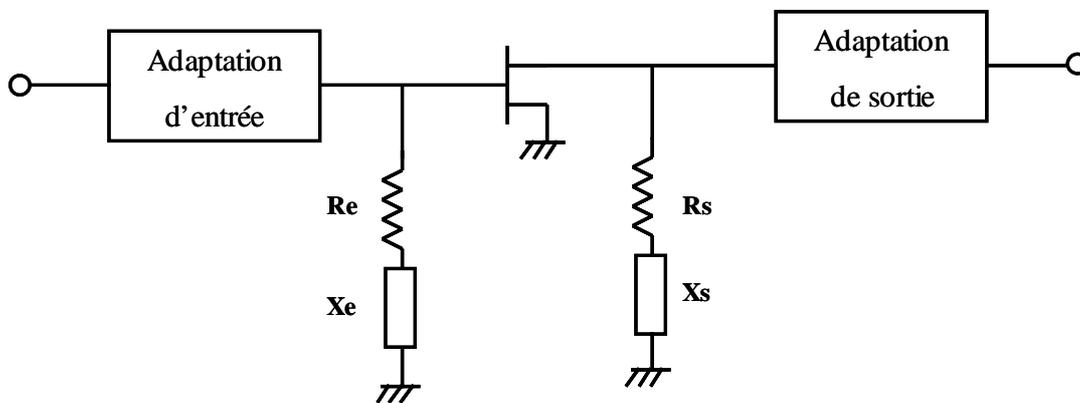


Figure 3-1 : Amplificateur à adaptation résistive.

Ce type d'amplificateur nécessite l'utilisation de transistors affichant une forte transconductance  $g_m$ . Il est alors possible d'augmenter le gain par la mise en cascade de plusieurs étages résistifs afin d'augmenter le gain total de l'amplificateur. Cependant le nombre de cellules élémentaires mises en cascade reste limité car la stabilité de l'ensemble est sensible au nombre de mise en cascade.

L'amplificateur résistif [3.1] est une solution très efficace et très utilisée pour adapter en puissance sur des bandes passantes moyennes à larges.

Malheureusement, cette topologie d'amplificateur ne permet pas d'obtenir des gains très plats (ondulation pouvant atteindre au moins 2dB) et pose des problèmes de stabilité. En revanche, il reste intéressant pour des largeurs de bande plus réduites tout en offrant de bonnes performances en puissance et une conception relativement simple.

### I.1.2. Les amplificateurs à contre réaction

Une autre alternative consiste à mettre un circuit de contre réaction entre la grille et le drain du transistor de manière à obtenir un gain plat et une puissance de sortie maximale tout en ayant une bonne adaptation entrée/sortie (Figure 3-2).

Le circuit de contre réaction peut se composer de résistances associées en série à des éléments capacitifs et inductifs afin de limiter les effets néfastes sur les hautes fréquences en découplant les polarisations.

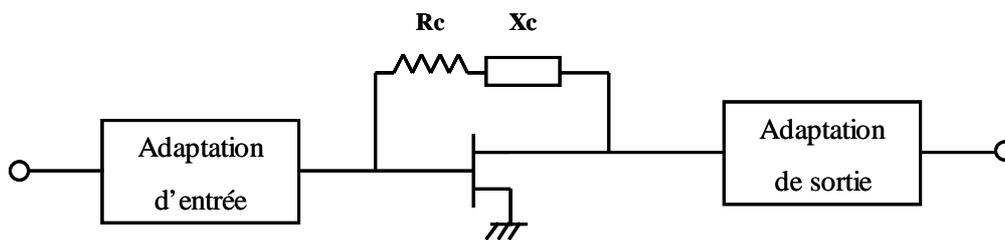


Figure 3-2 : Amplificateur à contre réaction.

La résistance parallèle  $R_c$  de contre réaction placée entre la grille et le drain permet donc l'adaptation basse fréquence. Aux hautes fréquences, la résistance de contre-réaction est découplée. Les circuits d'adaptation sont optimisés dans la bande de fréquence. Cette topologie nécessite aussi des transistors à forte transconductance  $g_m$  et conduit à une certaine complexité de réalisation des circuits d'adaptation. Parallèlement, ce type d'amplificateur permet d'obtenir des gains très plats.

En cascade plusieurs étages, il est possible d'augmenter le gain sur la bande. Cette mise en cascade permet d'obtenir un gain plus élevé et plus plat sur une largeur de bande plus importante de façon très significative.

Pour exemple, un amplificateur à contre réaction à 2 étages [3.2] a été réalisé en 2005 dans la bande de fréquence 10MHz – 2.4GHz avec un gain linéaire de  $23\text{dB} \pm 1\text{dB}$  et une puissance de sortie @1dB de compression de 37dBm.

Par conséquent, ce type d'amplificateur permet d'obtenir des largeurs de bande pouvant atteindre 2 octaves tout en offrant de très bonnes performances en puissance.

### I.1.3. Les amplificateurs équilibrés

Les adaptations entrée/sortie des transistors aux fréquences microondes restreignent les performances en puissance à de faibles largeurs de bande. Une possibilité consiste à mettre les transistors en parallèle en configuration équilibrée (Figure 3-3). Des coupleurs d'entrée et de sortie présentant un déphasage de  $90^\circ$  (lange, ...) permettent d'obtenir d'excellentes adaptations sur des largeurs de bande plus importantes. Cependant la taille des coupleurs aux basses fréquences représente une limitation.

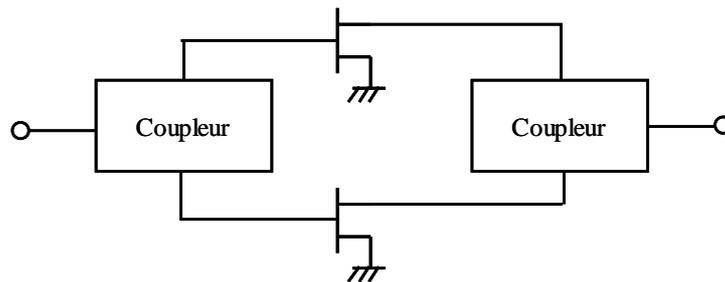


Figure 3-3 : Schéma d'une structure équilibrée.

Cette topologie d'amplificateur permet d'obtenir d'excellentes adaptations et une combinaison des puissances pour des bandes de fréquences plus importantes mais cela reste relativement faible comparé aux spécifications de notre travail [3.3].

### I.1.4. Les amplificateurs distribués [3.5], [3.6], [3.7]

L'amplificateur distribué a été créé puis développé dès 1948 à partir des tubes pentodes. Dans un amplificateur conventionnel, la mise en parallèle des transistors permet d'accroître le gain par addition des transconductances, mais l'augmentation correspondante des capacités d'entrée et de sortie limite la fréquence maximum. Lorsqu'on accroît le gain, la bande passante diminue car le produit gain-bande passante reste sensiblement constant.

Pour l'amplificateur distribué (Figure 3-4), l'originalité de son principe réside dans le fait que l'on profite de l'addition des transconductances en compensant l'effet des capacités sur la fréquence de coupure haute par la réalisation de lignes artificielles de transmission LC en entrée et en sortie puisque les lignes de transmission sont des éléments large bande [3.8]. Cependant, l'utilisation des lignes met en évidence des contraintes spécifiques sur l'égalité des vitesses de phase pour assurer une bonne recombinaison directive en puissance vers la sortie.

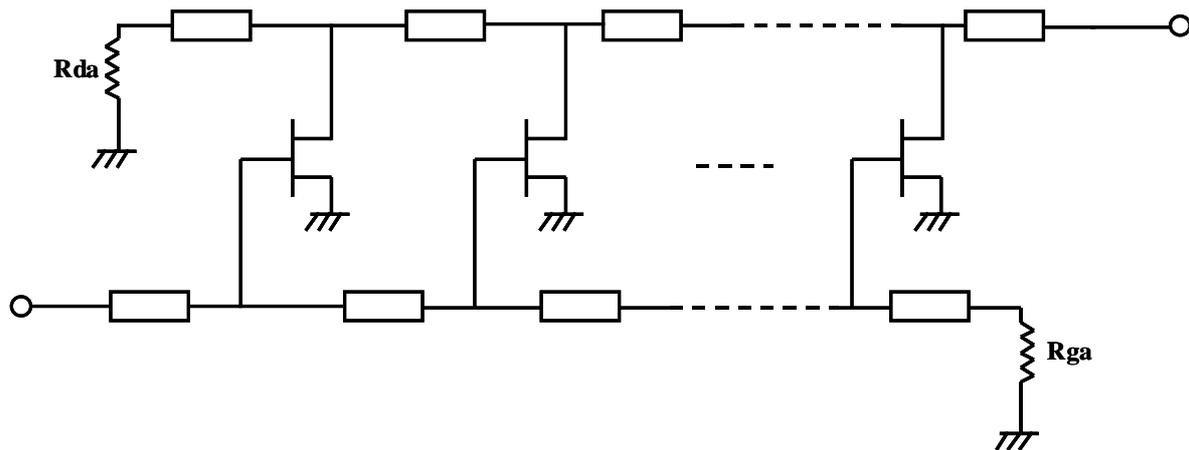


Figure 3-4 : Amplificateur distribué.

Les transistors sont donc disposés en parallèle et reliés par des inductances réalisant ainsi un système de deux lignes équivalentes couplées par la transconductance de chaque transistor et fermées à leurs extrémités par des charges adaptées sur leurs impédances caractéristiques. Ainsi, l'excès de puissance aux basses fréquences est absorbé par ces charges, permettant d'obtenir un gain plat sur la bande et de bonnes adaptations.

Les signaux hyperfréquences appliqués à l'entrée de l'amplificateur traversent donc la ligne d'entrée jusqu'à son extrémité. Au cours de ce trajet, une partie des signaux d'entrée est prélevée à différentes phases par chaque transistor distribué le long de la ligne, amplifiée par les transconductances et transférée sur la ligne de sortie. La fraction restante du signal incident est absorbée par la charge  $R_{ga}$  supposée égale à l'impédance caractéristique de la ligne d'entrée.

Notons que les cellules distribuées peuvent être composées soit de transistors seuls soit de circuits plus ou moins complexes tels que les cellules cascades. Néanmoins, il faut tout de même faire un compromis car si le gain augmente avec le nombre de cellules distribuées, les pertes induites par les résistances entrée/sortie des transistors sur les lignes artificielles augmentent aussi de telle sorte que la bande passante diminue.

Des études comparatives sur les performances en largeur de bande des quatre structures présentées [3.9], [3.10], [3.11] montrent que la structure distribuée présente le plus grand nombre d'avantages pour des largeurs de bande importantes. Elle permet d'obtenir des gains extrêmement plats et d'excellentes adaptations sur des largeurs de bande de fréquences supérieures à la décade. Le gain de cette structure d'amplificateur étant cependant limité, la mise en cascade de plusieurs étages s'avère alors nécessaire pour l'obtention d'un fort gain.

Nous allons nous intéresser plus particulièrement et plus amplement au principe de fonctionnement de l'amplificateur distribué de puissance dans les paragraphes suivants.

## **I.2. Principe de fonctionnement et étude de l'amplificateur distribué en bas niveau**

Ce chapitre présente le principe de fonctionnement d'un amplificateur distribué en régime linéaire et des contraintes de conception associées [3.12], [3.14], [3.17]. Pour ce développement, une configuration dite « simple » est adoptée pour laquelle les cellules distribuées sont des transistors à effet de champ source commune dont le modèle unilatéral intrinsèque est représenté sur la Figure 3-5 ci dessous.

Cette étude présente les critères initiaux permettant au concepteur de choisir la topologie la plus adéquate pour valider son cahier des charges (taille des composants à considérer, nombre de transistor à utiliser).

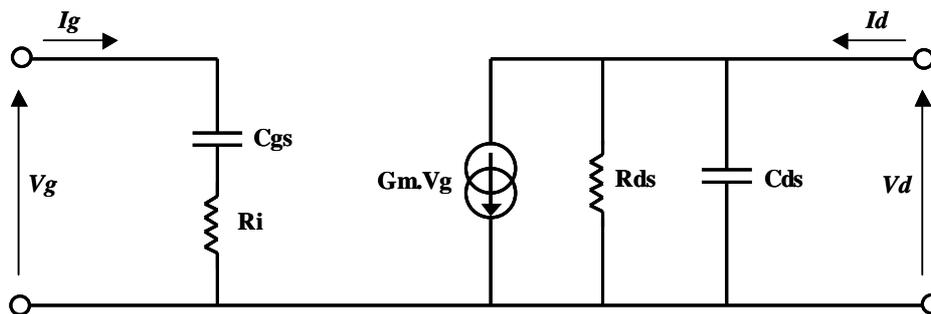


Figure 3-5 : Schéma équivalent unilatéral du transistor HEMT.

### **I.2.1.Principe de fonctionnement**

Le principe de fonctionnement d'un amplificateur distribué réside en l'association de la capacité d'entrée et de sortie d'un transistor avec une inductance afin de réaliser des lignes artificielles de transmission à l'entrée et à la sortie de l'amplificateur. L'avantage de cette topologie est donc d'utiliser les éléments capacitifs parasites réduisant la fréquence de coupure de l'amplificateur pour transmettre le signal entre les transistors tout en bénéficiant de l'addition des transconductances des différents transistors. De cette façon, les capacités ne constituent plus un obstacle au fonctionnement large bande de l'amplificateur mais deviennent des éléments de transmission du signal.

Les inductances,  $L_{ga}$  pour la ligne d'entrée,  $L_{da}$  pour la ligne de sortie relient les transistors placés en parallèle dans la structure. Ces deux lignes sont terminées à leurs extrémités par des résistances de charge  $R_{ga}$  et  $R_{da}$ , théoriquement égales aux impédances caractéristiques de ces lignes artificielles LC intégrant les capacités  $C_{gs}$  et  $C_{ds}$  des transistors (Figure 3-6).

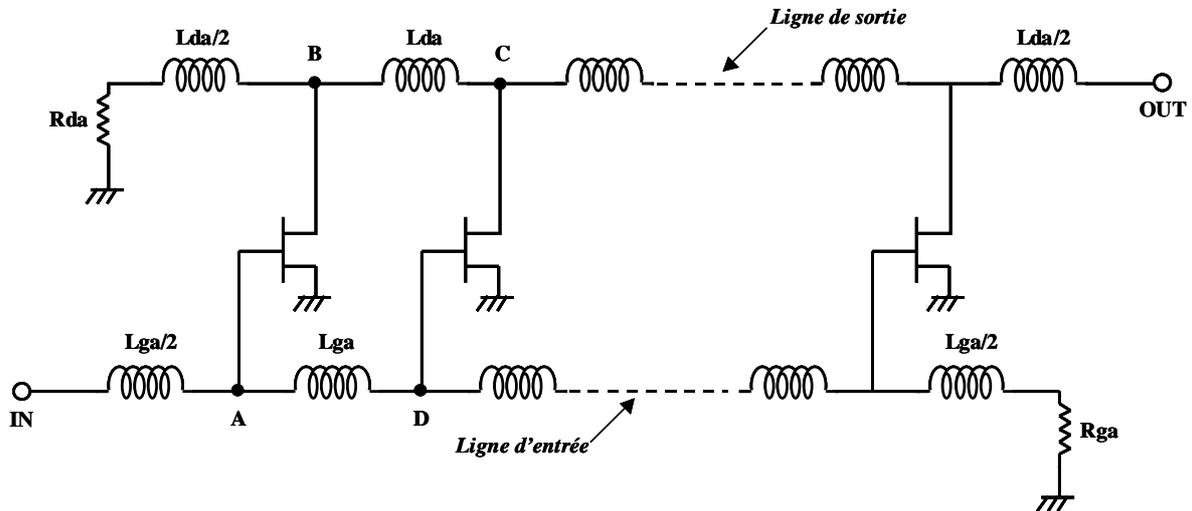


Figure 3-6 : Amplificateur distribué en configuration dite « simple ».

Appliqué à l'entrée de l'amplificateur distribué, le signal traverse la ligne d'entrée. Une portion de ce signal est prélevée à différentes phases par les transistors, puis elle est amplifiée par leur transconductance  $g_m$  et transférée sur la ligne de sortie. La fraction restante du signal qui n'a été prélevée par aucun transistor est absorbée au bout de la ligne de grille par la charge adaptée  $R_{ga}$ .

Pour que les signaux amplifiés par chaque transistor s'ajoutent dans le sens de la sortie, il est nécessaire d'imposer l'égalité des vitesses de phase entre les chemins ABC et ADC pour chaque cellule ; en d'autres termes, le signal prélevé en A par le 1<sup>er</sup> transistor et le signal prélevé en D par le 2<sup>nd</sup> transistor doivent se recombinaison en phase au point C pour produire l'amplification de puissance attendue vers la sortie. En revanche, si cette condition n'est pas respectée, une partie du signal se propage en sens inverse et se dissipe dans la résistance  $R_{da}$ .

L'analyse de l'amplificateur distribué revient à synthétiser deux lignes artificielles de transmission d'entrée et de sortie couplées aux éléments intrinsèques des transistors à effet de champ. Comme le présente la Figure 3-7 nous avons :

- une ligne de grille constituée des inductances  $L_{ga}$  combinées aux éléments intrinsèques d'entrée du transistor (capacité  $C_{gs}$  en série avec la résistance  $R_i$ )

- une ligne de drain constituée des inductances  $L_{da}$  combinées aux éléments intrinsèques de sortie du transistor (capacité  $C_{ds}$  en parallèle avec la résistance  $R_{ds}$ )

La source de courant  $g_m$  permet quant à elle d'assurer le couplage actif entre ces deux lignes artificielles.

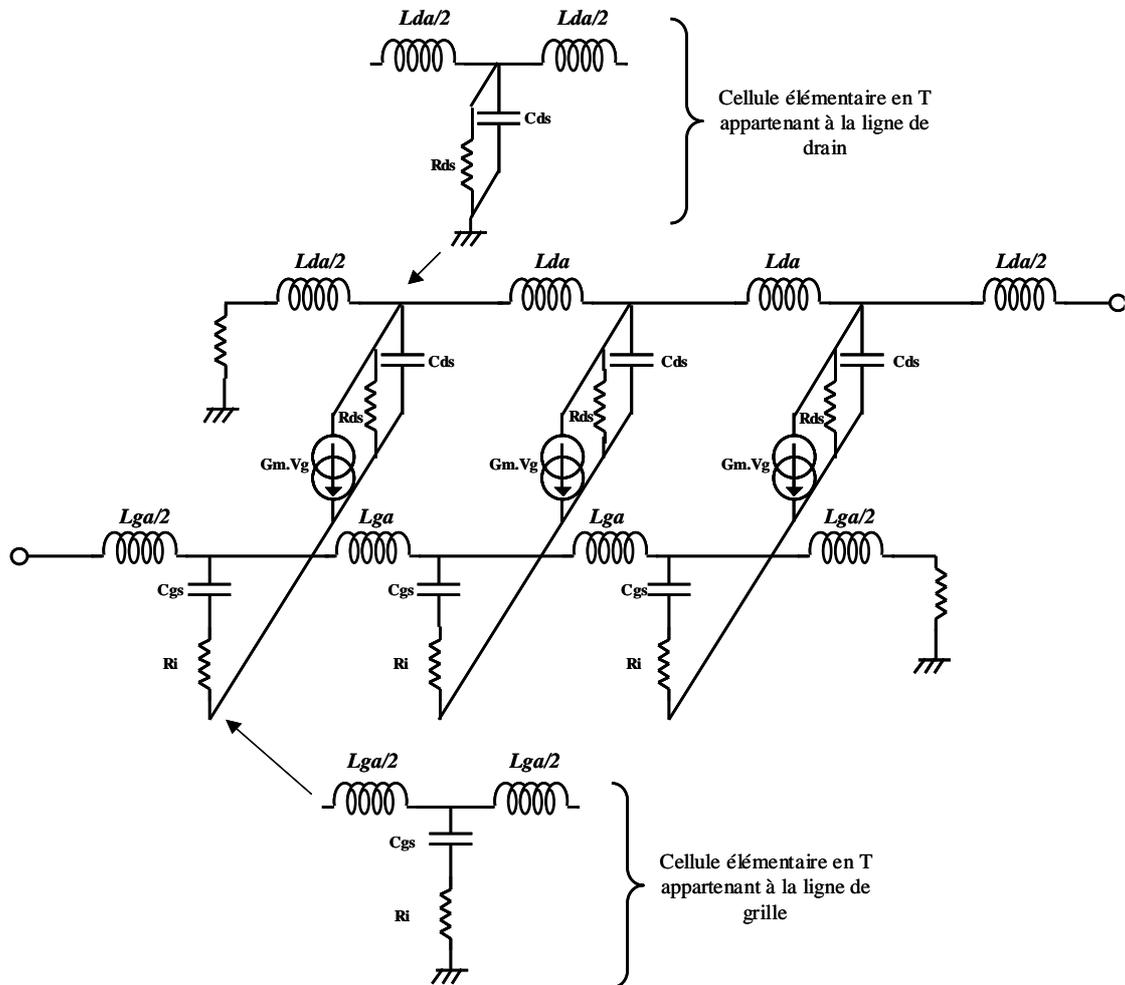


Figure 3-7 : Mise en évidence des lignes de transmission de grille et de drain.

### I.2.2. Critère de conception d'un amplificateur distribué

#### I.2.2.1. Fréquence de coupure

Dans le cas d'un amplificateur distribué simple, la propagation d'entrée et de sortie est caractéristique d'un filtre passe-bas LC. Si l'on considère que la cellule élémentaire appartient à une ligne infinie sans réflexion, c'est-à-dire adaptée à son impédance caractéristique, on peut déterminer la fréquence de coupure  $f_c$  de la ligne de grille et de drain avec  $\omega \cdot R_i \cdot C_{gs} \ll 1$  :

$$f_{cg} = \frac{1}{\pi\sqrt{Lga.Cgs}} \quad \text{et} \quad f_{cd} = \frac{1}{\pi\sqrt{Lda.Cds}} \quad \text{Eq 3-1}$$

Des expressions précédentes, on peut conclure à l'influence déterminante de la valeur de  $f_{cg}$  ( $C_{gs}$  supérieure à  $C_{ds}$ ) sur la bande passante et les performances d'un amplificateur distribué. En effet, plus la valeur de cette capacité est grande et plus la bande passante de la ligne de grille, et donc de l'amplificateur complet est réduite. Cette relation met en évidence un critère de choix du composant actif, puisque la capacité  $C_{gs}$  et la transconductance sont proportionnelles aux dimensions de la grille d'où le choix d'un transistor unitaire dont la taille est fonction du gain et de la bande recherchée.

### 1.2.2.2. Impédances caractéristiques des lignes de grille et de drain

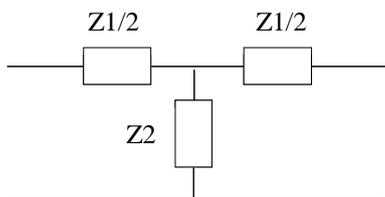
Une ligne est dite adaptée si elle est fermée sur son impédance caractéristique. Ainsi il ne se produit pas d'onde stationnaire puisque l'énergie qui se propage le long de la ligne n'est pas réfléchi et donc intégralement absorbée par la charge. La ligne est alors dite adaptée.

L'impédance caractéristique  $Z_c$  d'une ligne peut-être déterminée par la relation suivante :

$$Z_c = \sqrt{Z_{co}.Z_{cc}} \quad \text{Eq 3-2}$$

où  $Z_{co}$  et  $Z_{cc}$  représentent l'impédance d'entrée du circuit chargé respectivement par un circuit ouvert et un court-circuit.

À partir de la représentation de la cellule élémentaire en T (Figure 3-8), nous donnerons les impédances caractéristiques de la ligne de grille  $Z_{cg}$  et de la ligne de drain  $Z_{cd}$  issues des cellules équivalentes en T des lignes de grille et de drain (Figure 3-9) :



$$Z_{c_T} = \sqrt{Z_1.Z_2} \cdot \sqrt{1 + \frac{Z_1}{4.Z_2}}$$

Eq 3-3

Figure 3-8 : Cellule élémentaire en T.

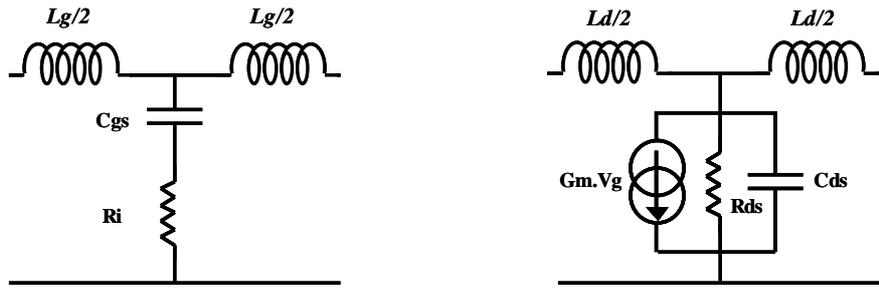


Figure 3-9 : Cellules élémentaires en T des lignes de grille et de drain.

Par analogie entre le schéma d'une cellule élémentaire de structure en T d'une ligne de transmission et les circuits de la Figure 3-9, nous pouvons en déduire les impédances  $Z_1$  et  $Z_2$  des lignes de grille et de drain :

- Pour la ligne de grille :  $Z_{1g} = j.\omega.Lga$  Eq 3-4

$$Z_{2g} = Ri + \frac{1}{j.\omega.Cgs}$$
 Eq 3-5

- Pour la ligne de drain :  $Z_{1d} = j.\omega.Lda$  Eq 3-6

$$Z_{2d} = \frac{Rds}{1 + j.\omega.Rds.Cds}$$
 Eq 3-7

Par conséquent, à partir des quatre expressions données ci-dessus, il est possible de déduire les expressions des impédances caractéristiques des lignes de grille et de drain de l'amplificateur distribué selon la configuration en T considérée :

$$Z_{cg_T} = \sqrt{\frac{Lga}{Cgs}} \sqrt{1 - \frac{Lga.Cgs.\omega^2}{4} + j.Ri.Cgs.\omega}$$
 Eq 3-8

$$Z_{cd_T} = \sqrt{\frac{Lda}{Cds}} \sqrt{1 - \frac{Lda.Cds.\omega^2}{4} - \frac{1}{1 + j.Rds.Cds.\omega}}$$
 Eq 3-9

Au regard des expressions ci-dessus, force est de constater que les impédances caractéristiques des lignes équivalentes ne sont pas constantes et dépendent de la fréquence du signal. Ainsi, les charges réelles  $Rga$  et  $Rda$  aux extrémités de chaque ligne ne peuvent pas adapter sur toute la largeur de bande de fréquence. Les pertes induites par les réflexions sur ces charges seront alors critiques aux hautes fréquences pour l'amplification de puissance.

### 1.2.2.3. Constantes de propagation

Le signal subit un déphasage  $\beta$  et une atténuation  $\alpha$  au cours de sa propagation le long de la ligne. La constante de propagation complexe est donnée par :

$$\theta = \alpha + j\beta \quad \text{Eq 3-10}$$

La définition des matrices chaînes d'une ligne notée  $C_l$  et d'une cellule élémentaire de structure en T notée  $C_T$  permet de déterminer la constante de propagation associée aux lignes de grille et de drain de l'amplificateur distribué :

$$C_l = \begin{bmatrix} ch\theta & Z_c.sh\theta \\ \frac{sh\theta}{Z_c} & ch\theta \end{bmatrix} \quad \text{Eq 3-11}$$

$$C_T = \begin{bmatrix} 1 + \frac{Z_1}{2Z_2} & Z_1 \left( 1 + \frac{Z_1}{4Z_2} \right) \\ \frac{1}{Z_2} & 1 + \frac{Z_1}{2Z_2} \end{bmatrix} \quad \text{Eq 3-12}$$

À partir de ces deux matrices, nous pouvons déduire :

$$ch\theta = 1 + \frac{Z_1}{2Z_2} \quad \text{Eq 3-13}$$

Dans le cas d'une ligne à faibles pertes, c'est-à-dire où  $\alpha$  est faible, nous pouvons admettre les approximations suivantes :  $ch\alpha \approx 1$  et  $sh\alpha \approx \alpha$

Ainsi, l'équation Eq 3-10 permet d'obtenir d'après l'approximation proposée ci-dessus :

$$\begin{aligned} ch\theta &= ch(\alpha + j\beta) = ch\alpha.ch(j\beta) + sh\alpha.sh(j\beta) \\ ch\theta &\approx \cos\beta + j.\alpha.\sin\beta \end{aligned} \quad \text{Eq 3-14}$$

Ainsi, par analogie entre les équations Eq 3-13 et Eq 3-14, on obtient :

$$\cos\beta = \text{Re} \left( 1 + \frac{Z_1}{2Z_2} \right) \quad \text{Eq 3-15}$$

$$\alpha \sin\beta = \text{Im} \left( 1 + \frac{Z_1}{2Z_2} \right) \quad \text{Eq 3-16}$$

En remplaçant par les impédances  $Z_1$  et  $Z_2$  des lignes de grille et de drain déterminées précédemment (Eq 3-4, 3-5, 3-6, 3-7), il est possible de déduire le déphasage et l'atténuation des lignes de grille et de drain :

$$\alpha_g = \frac{\omega.Ri.Cgs\sqrt{Lga.Cgs.\omega^2}}{\sqrt{4+(2.Ri.Cgs.\omega)^2-Lga.Cgs.\omega^2}} \quad Eq\ 3-17$$

$$\beta_g = \arccos\left[1-\frac{Lga.Cgs.\omega^2}{2[1+(Ri.Cgs.\omega)^2]}\right] \quad Eq\ 3-18$$

$$\alpha_d = \sqrt{\frac{Lda}{Cds}} \cdot \frac{1}{Rds\sqrt{4-Lda.Cds.\omega^2}} \quad Eq\ 3-19$$

$$\beta_d = \arccos\left[1-\frac{Lda.Cds.\omega^2}{2}\right] \quad Eq\ 3-20$$

De ces expressions, il a été démontré [3.5] que :

- Dans le cas d'une configuration dite « simple », l'égalité des vitesses de phase se heurte à des contraintes technologiques sur la réalisation d'inductances de forte valeur car l'inductance  $Lda$  doit être élevée étant donné la forte valeur de  $Cgs$  comparée à celle de  $Cds$ .

- L'atténuation sur la ligne de grille fixe la fréquence de coupure réelle ce qui limite le nombre de cellules donc le nombre de transistors inclus dans l'amplificateur.

#### 1.2.2.4. Gain en puissance

Si on suppose que les deux lignes sont adaptées en entrée et en sortie sur leurs impédances caractéristiques, et que la condition d'égalité des vitesses de phase est respectée entre chaque cellule des deux lignes de grille et de drain, le gain en puissance s'exprime [3.5] :

$$Gp = \frac{Ps}{Pe} = \frac{gm^2}{4} \sqrt{\frac{Lga}{Cgs}} \sqrt{\frac{Lda}{Cds}} \frac{e^{-n(\alpha d + \alpha g)}}{(1+(Ri.Cgs.\omega)^2) \cdot \left(1-\frac{Lga.Cgs.\omega^2}{4}\right)} \frac{sh^2\left[\frac{n}{2}(\alpha d - \alpha g)\right]}{sh^2\left[\frac{1}{2}(\alpha d - \alpha g)\right]} \quad Eq\ 3-21$$

Nous pouvons remarquer dans cette expression que le gain en puissance dépend du nombre  $n$  d'étages et des pertes ( $\alpha g$ ,  $\alpha d$ ) le long des lignes de propagation, elles-mêmes fonction de la

fréquence. Le gain est proportionnel au carré de la transconductance  $g_m$  des transistors à effet de champ.

#### 1.2.2.5. Nombre optimal de transistor

Le gain de l'amplificateur distribué présente un optimum en fonction du nombre  $n$  de transistors. Cet optimum dépend de la fréquence et des pertes des lignes. À partir de l'expression analytique du gain en puissance, une recherche des valeurs de  $n$  qui annulent la dérivée de  $G_p$ , donne comme solution le nombre optimal de transistors  $n_{opt}$ . Les pertes dépendant de la fréquence, le nombre optimal  $n_{opt}$  dépend de la fréquence et sera choisi en fonction de la fréquence maximale de la bande passante recherchée :

$$n_{opt} = \frac{\text{Ln}(\alpha_d) - \text{Ln}(\alpha_g)}{\alpha_d - \alpha_g} \quad \text{Eq 3-22}$$

En effet, en présence d'atténuation sur les lignes, le gain d'un amplificateur distribué ne peut pas croître indéfiniment en ajoutant des éléments actifs. Cette propriété des amplificateurs distribués s'explique de la façon suivante :

- un nombre important d'étages augmente les pertes de la ligne de grille ainsi constituée. De ce fait, lorsque le signal se propage sur la ligne, la tension de grille des derniers transistors sur la ligne de grille devient négligeable. Leur apport en courant est alors également négligeable ce qui provoque une saturation du gain.
- les pertes de drain vont ensuite atténuer ce courant au cours de la propagation entre le transistor et le port de sortie.

Ainsi non seulement les éléments actifs supplémentaires diminuent l'amplitude du signal excitant le dernier transistor mais augmentent l'atténuation de la ligne entière de drain. En conséquence, le gain de l'amplificateur commence à décroître dès que le nombre optimum d'éléments est dépassé, pour une fréquence donnée.

### 1.2.2.6. Sensibilité de l'amplificateur aux éléments du transistor

#### ➤ Sensibilité de l'amplificateur aux éléments intrinsèques du transistor :

- $C_{gs}$  détermine directement la fréquence de coupure de l'amplificateur distribué. Une valeur trop importante de la capacité d'entrée limite la largeur de bande et le gain.
- $R_i$  contribue à l'atténuation de grille. Une forte valeur de la résistance d'entrée est associée à une fréquence de coupure plus basse et à un nombre plus limité de transistors utiles ( $n_{opt}$ ).
- $g_m$  fixe le niveau de gain proportionnel au carré de la transconductance.
- $R_{ds}$  influence l'atténuation de drain et son effet reste sensible sur toute la bande de fonctionnement. Une trop faible valeur de  $R_{ds}$  diminue le gain.
- $C_{ds}$  détermine la fréquence de coupure sur le drain qui reste beaucoup moins sensible que celle de la ligne de grille car  $C_{gs}$  est supérieure à  $C_{ds}$ .
- $C_{gd}$  provoque une réduction très importante de la fréquence de coupure associée à une forte ondulation qui augmente jusqu'à la coupure. Cet effet est dû à la contre-réaction directe qu'elle constitue entre les lignes de grille et de drain perturbant ainsi la propagation du signal et la stabilité de l'amplificateur.

Ainsi, la connaissance des sensibilités propres à chaque élément du modèle électrique permet d'effectuer un choix entre plusieurs composants selon les objectifs spécifiés sur le niveau de gain et de la bande de fonctionnement de l'amplificateur distribué.

#### ➤ Sensibilité de l'amplificateur aux éléments extrinsèques du transistor :

- les inductances de grille et de drain ( $L_g$  et  $L_d$ ) diminuent la valeur de la fréquence de coupure de l'amplificateur en accentuant le désaccord entre les vitesses de phase.
- la résistance de source ( $R_s$ ) diminue le gain en accentuant les atténuations. On peut noter cependant qu'elle entraîne une ondulation du gain en haute fréquence.
- l'inductance de source ( $L_s$ ) provoque une diminution de la bande passante à cause de la contre-réaction qu'elle induit entre les lignes de grille et de drain.

La connaissance des effets des éléments extrinsèques sur les performances d'un amplificateur distribué permet à un concepteur de compléter les critères de choix du composant actif le plus apte à valider ses spécifications.

### **I.3. Configurations particulières de topologie distribuée**

Les performances linéaires d'un amplificateur distribué reposent essentiellement sur l'égalité des vitesses de phase et l'adaptation des impédances caractéristiques des deux lignes de grille et de drain sur toute la bande de fréquence. Néanmoins certains des éléments du transistor influent fortement sur ces caractéristiques. En effet, si l'on note  $Vp_g$  et  $Vp_d$  les vitesses de phase des lignes de grille et de drain, ainsi que  $Zc_g$  et  $Zc_d$  leurs impédances caractéristiques, nous pouvons écrire de manière simplifiée :

$$Vp_g = \frac{1}{\sqrt{Lga.Cgs}} \quad Vp_d = \frac{1}{\sqrt{Lda.Cds}} \quad Eq\ 3-23$$

$$Zc_g = \sqrt{\frac{Lga}{Cgs}} \quad Zc_d = \sqrt{\frac{Lda}{Cds}} \quad Eq\ 3-24$$

Dans le cas où les vitesses de phase des lignes de grille et de drain sont égales, nous pouvons dire que :

$$Lga.Cgs = Lda.Cds \quad Eq\ 3-25$$

Ainsi :

$$Zc_d = \frac{Cgs}{Cds} . Zc_g \quad Eq\ 3-26$$

Le schéma équivalent petit signal d'un transistor à effet de champ présente une capacité d'entrée  $Cgs$  beaucoup plus grande que la capacité de sortie  $Cds$ . Dans une configuration simple d'amplificateur distribué, ce constat est perturbateur puisqu'il traduit la nécessité d'une forte valeur de  $Ld$  afin de respecter l'égalité des vitesses de phase ainsi qu'une impédance caractéristique élevée de la ligne de drain, difficile à adapter en large bande. Nous pouvons observer également une fréquence de coupure faible de la ligne de grille, limitative pour l'amplificateur complet ainsi que de fortes pertes imposées par cette ligne.

Afin de pallier ces limitations, des configurations particulières ont été envisagées [3.5], [3.8], [3.15], [3.16]. Nous présentons ci-dessous deux topologies visant à réduire, voire à annuler, la différence de valeurs des capacités d'entrée et de sortie des lignes artificielles de grille et de drain.

### I.3.1. Capacité additionnelle en parallèle sur le drain :

Cette topologie comporte une capacité  $C_{ad}$  en parallèle sur le drain de chaque transistor (Figure 3-10). Le but est d'augmenter la capacité de sortie du transistor ( $C_{ds}$  en parallèle avec  $C_{ad}$ ) afin de se rapprocher de la valeur de la capacité  $C_{gs}$  et de faciliter l'obtention de l'égalité des vitesses de phases avec des inductances  $L_{da}$  plus faibles et théoriquement égales aux inductances  $L_{ga}$  dans le cas où :

$$C_{ad} = C_{gs} - C_{ds} \quad \text{Eq 3-27}$$

De plus, l'augmentation de la capacité équivalente de sortie entraîne une diminution de l'impédance caractéristique de la ligne de drain. Ceci a pour effet une réduction du gain de l'amplificateur pouvant être compensée par un nombre plus important de composants actifs.

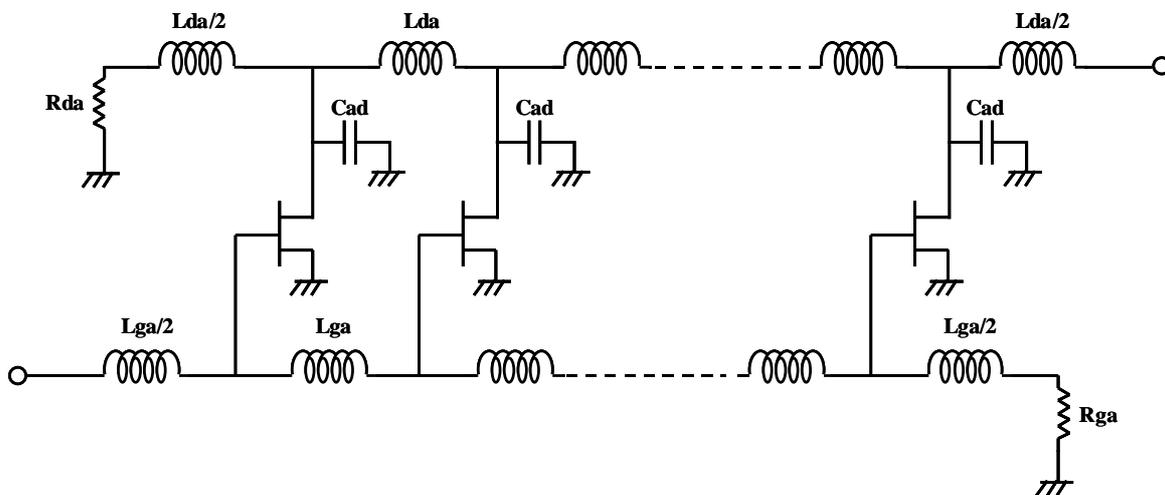


Figure 3-10 : Structure d'amplificateur distribué avec capacité parallèle sur le drain.

Malheureusement, la mise en œuvre de cette structure pose souvent des problèmes de réalisation des capacités de faible valeur ( $C_{ad} < 0.2\text{pF}$ ) et ne permet pas de résoudre les limites en fréquence de la ligne de grille dues à la forte valeur de la capacité d'entrée.

### I.3.2. Capacité additionnelle en série sur la grille :

Dans cette configuration, une capacité  $C_{ag}$  est ajoutée en série sur la grille des composants actifs (Figure 3-11). Cette capacité est alors en série avec la capacité d'entrée  $C_{gs}$  des transistors, induisant une diminution de la capacité équivalente d'entrée. Afin d'obtenir l'égalité des capacités équivalentes entrée/sortie, on imposera que la capacité  $C_{ag}$  vérifie l'équation suivante :

$$C_{ag} = \frac{C_{gs} \cdot C_{ds}}{C_{gs} - C_{ds}} \quad \text{Eq 3-28}$$

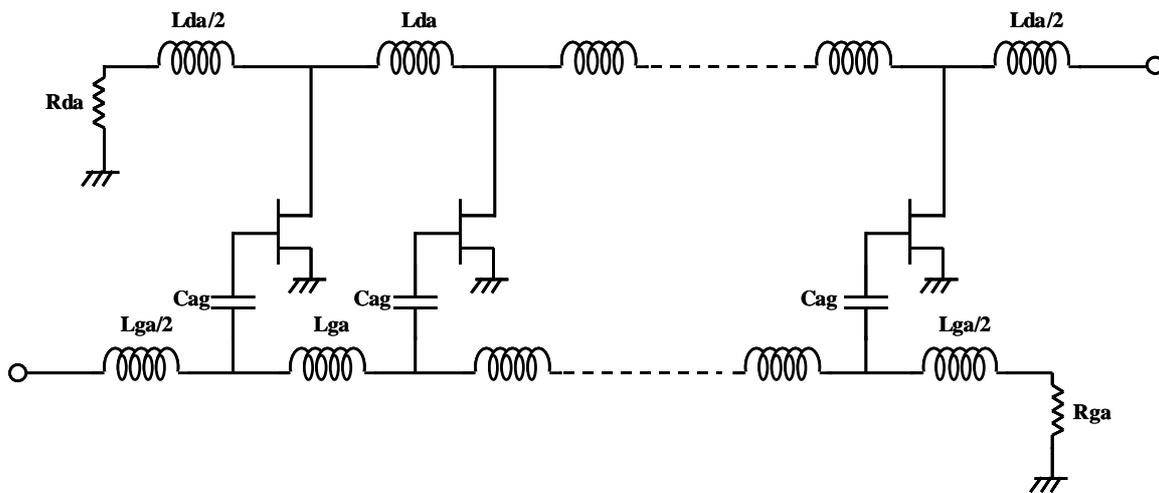


Figure 3-11 : Structure d'amplificateur distribué avec capacité série sur la grille.

Tout comme précédemment, cette structure facilite l'obtention de l'égalité des vitesses de phase. De surcroît, elle limite fortement les pertes de grille et de drain provoquant ainsi l'augmentation de la bande passante de l'amplificateur et du nombre optimal de transistors. Cependant une chute du gain est due au pont diviseur capacitif entre les capacités  $C_{ag}$  et  $C_{gs}$ , celle-ci pouvant être compensée comme dans l'autre structure par l'augmentation du nombre de transistors.

Cette configuration présente une amélioration très significative des caractéristiques large bande de l'amplificateur distribué. Nous verrons dans les paragraphes suivants que les caractéristiques de cette nouvelle configuration sont essentielles à la conception d'un amplificateur distribué de puissance.

Nous pouvons noter d'autre part que la mise en parallèle d'une résistance  $R_{ag}$  de forte valeur sur la capacité  $C_{ag}$  sera nécessaire afin d'assurer le passage de la polarisation de grille. Le concepteur devra alors s'assurer que la fréquence de coupure du filtre, fixée par la cellule constituée

par la résistance  $R_{ag}$  en parallèle avec la capacité  $C_{ag}$ , l'ensemble en série avec la capacité  $C_{gs}$ , soit bien inférieure à la fréquence minimale de la bande passante de l'amplificateur.

## I.4. Analyse du montage cascode

[3.7], [3.13]

### I.4.1. Description

Le montage cascode est réalisé par la mise en cascade de deux transistors dans des conditions particulières : source commune en cascade avec grille commune (Figure 3-12). La source de courant du deuxième transistor se retrouve ainsi excitée par la tension de sortie  $V_{ds_1}$  du premier transistor [3.19].

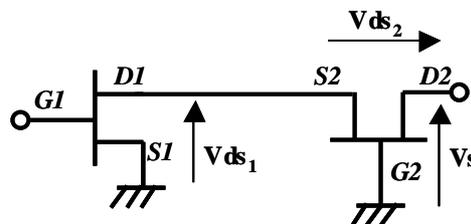


Figure 3-12 : Schéma du montage cascode.

Ce montage permet de remédier à l'inconvénient que présentent les TECs à longueurs de grille courtes destinés à la bande millimétrique puisque le TEC en grille commune présente une impédance de sortie plus grande. On bénéficie ainsi de faibles valeurs de  $R_i$ ,  $C_{gs}$  et de la conductance de sortie  $G_{ds}$ .

En se référant au schéma équivalent petit signal du montage cascode (schéma équivalent unilatéral simplifié de deux transistors identiques connectés en cascade) (Figure 3-13), la résistance de sortie de l'élément cascode est :

$$R_{out} = (\mu + 2)R_{ds_2} \quad \text{avec} \quad \mu = g_m.R_{ds_2} \quad \text{Eq 3-29}$$

Ainsi la résistance de sortie est augmentée par un facteur de  $(\mu+2)$  et cet effet persiste même en haute fréquence. Ceci représente l'un des critères de choix de la cellule cascode comme cellule active de l'amplificateur distribué.

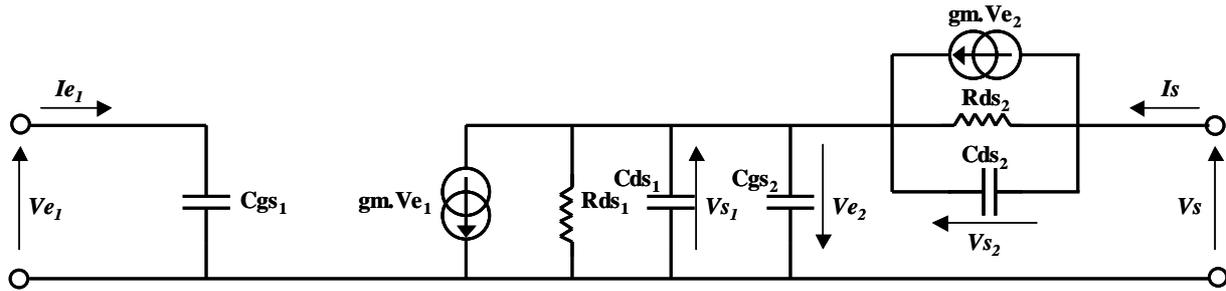


Figure 3-13 : Schéma équivalent simplifié d'une cellule cascode.

Les principaux avantages du montage cascode sont les suivants :

- amélioration de l'isolation entrée-sortie (réduction de l'effet de contre-réaction dû à Cgd représentée Figure 3-14)
- augmentation du gain
- augmentation de l'impédance de sortie

#### I.4.2. Principe de fonctionnement

##### I.4.2.1. Régime linéaire

Pour illustrer le principe, une comparaison des caractéristiques linéaires d'un transistor en source commune et d'un montage cascode est représentée sur la Figure 3-15 pour une bande de fréquence allant jusqu'à 50 GHz. Le schéma utilisé lors de ces simulations prend en compte la rétroaction induite par les éléments Cgd et Rgd (Figure 3-14). Les valeurs prises en compte sont celles du modèle linéaire du transistor de développement de grille 8x75µm présenté dans le chapitre 2. Le Tableau 3-1 rappelle les différentes valeurs des éléments du modèle en question.

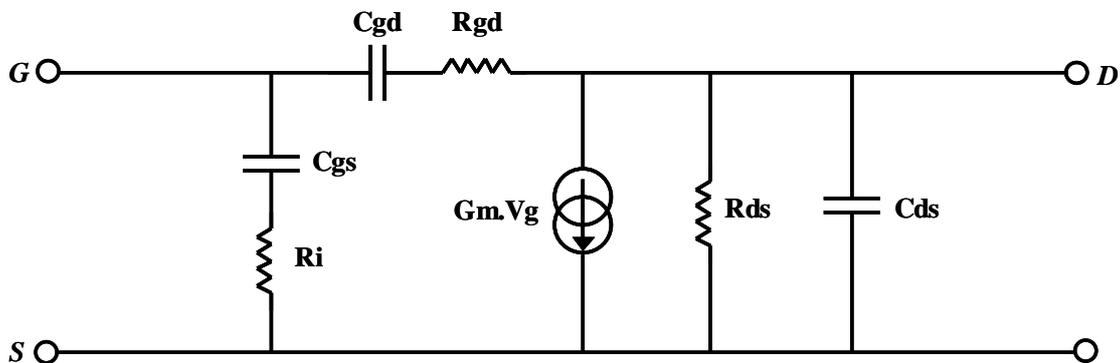


Figure 3-14 : Schéma du transistor intrinsèque.

Éléments intrinsèques							
C <sub>gs</sub> (fF)	R <sub>i</sub> (Ω)	C <sub>gd</sub> (fF)	R <sub>gd</sub> (Ω)	g <sub>m</sub> (mS)	g <sub>d</sub> (mS)	τ (ps)	C <sub>ds</sub> (fF)
0,59	0,57	68,5	15,2	128,6	6,45	1,83	164

Tableau 3-1 : Éléments intrinsèques du modèle petit signal du transistor PHEMT GaN 8x75μm pour un point de polarisation de repos de  $V_{gs0}=-4V$ ,  $V_{ds0}=23V$ .

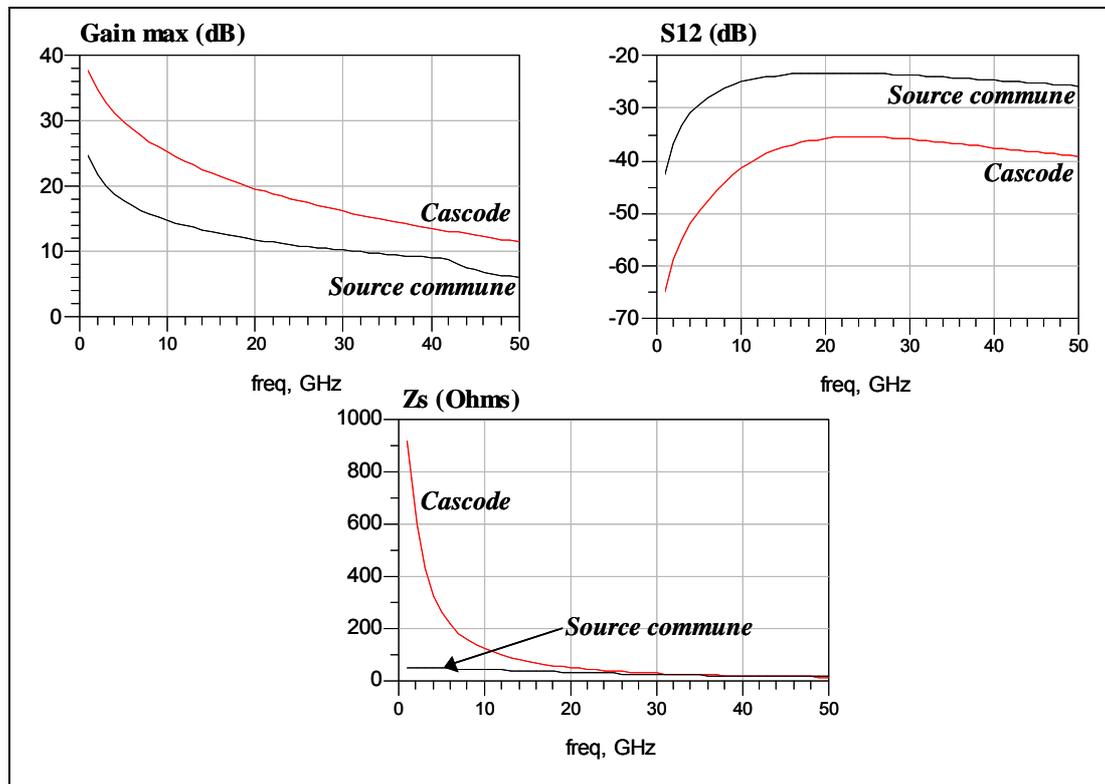


Figure 3-15 : Comparaison des caractéristiques linéaires d'un transistor en source commune et d'un montage cascode.

Les résultats présentés sur la Figure 3-15 illustre bien les atouts du montage cascode dans le cadre de l'amplification distribuée. Par le fait, le montage cascode présente un gain plus élevé, une meilleure isolation entrée-sortie ainsi qu'une plus forte impédance de sortie comparé au transistor seul connecté en source commune.

#### 1.4.2.2. Régime non linéaire (Puissance) [3.6], [3.18]

La configuration simple du montage cascode ne permet toutefois pas un fonctionnement optimal en puissance. Pour être optimisée en puissance, la cellule doit intégrer une capacité ajoutée  $C_{a1}$  en série sur la grille du deuxième transistor (Figure 3-16-b). En effet, dans la configuration simple de la cellule cascode (Figure 3-16-a : sans  $C_{a1}$ ), la tension  $V_{ds1}$  issue du premier transistor sera directement appliquée en négatif comme tension de commande  $V_{gs2}$  du deuxième TEC comme

l'illustre la Figure 3-17. Ainsi en régime non linéaire, étant donné la très forte valeur optimale de  $V_{ds1}$  par rapport à la valeur optimale de  $V_{gs2}$ , le deuxième transistor d'une configuration simple serait saturé bien avant le premier transistor.

De ce fait, il est indispensable de synthétiser un pont diviseur de tension de telle sorte que l'on prélève aux bornes de la capacités  $C_{gs}$  du deuxième transistor une tension  $V_{gs2}$  égale à la tension optimale  $V_{gs1}$  et dans un rapport indépendant de la fréquence déterminée par la valeur optimale de  $V_{ds1}$ .

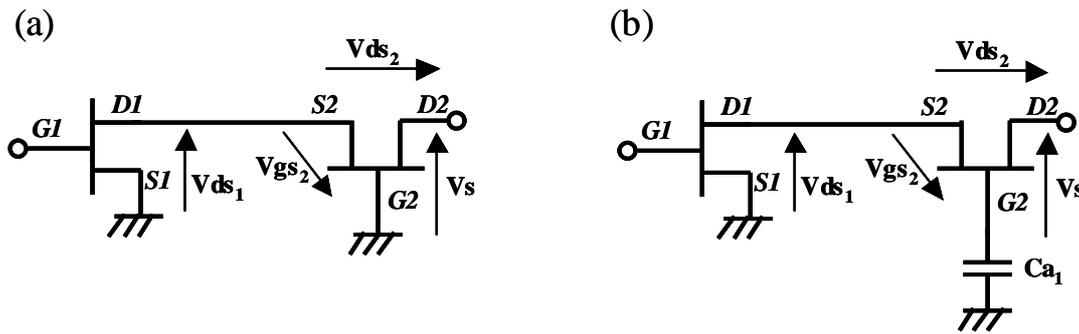


Figure 3-16 : Principe de la capacité  $Ca_1$ .

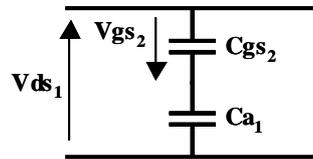


Figure 3-17 : Pont diviseur de tension réalisé par  $Ca_1$ .

On intègre alors la capacité  $Ca_1$  qui réalise le diviseur de tension optimal pour prélever la tension  $V_{gs2}$ , indépendante de la fréquence, aux bornes de  $C_{gs}$  du deuxième TEC :

$$V_{gs2} = - \left( \frac{Ca_1}{Ca_1 + C_{gs}} \right) \cdot V_{ds1} \quad \text{Eq 3-30}$$

On obtient donc la valeur optimale de la capacité  $Ca_1$  pour imposer le fonctionnement optimal en puissance du montage cascade.

$$Ca_1 = - \frac{C_{gs} \cdot V_{gs2}}{V_{gs2} + V_{ds1}} \quad \text{Eq 3-31}$$

De plus, l'addition d'une self de liaison entre les deux TECs en plus de la capacité  $Ca_1$  contribue à une meilleure isolation du composant cascade (Figure 3-18).

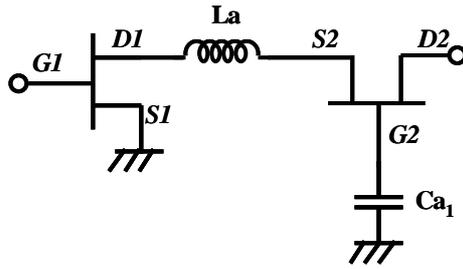


Figure 3-18 : Montage cascode avec self La de liaison entre les deux TECs.

Dans le but de simplifier l'étude analytique de l'amplificateur distribué utilisant des montages cascodes, nous ne tiendrons compte que de la capacité  $Ca_1$  pour l'approche analytique.

Néanmoins, l'addition d'une capacité  $Ca_2$  entre le drain et la source du deuxième transistor comme schématisé Figure 3-19 permet de simplifier le schéma équivalent en sortie du cascode pour montrer que l'on somme les puissances de sortie. Ainsi, cela permet d'égaliser les impédances de sortie des deux transistors en considérant que  $Ca_2$  réponde à l'égalité suivante :

$$Ca_2 = \frac{C_{gs}.Ca_1}{C_{gs} + Ca_1} \tag{Eq 3-32}$$

On notera que cette capacité  $Ca_2$  ne peut généralement pas être intégrée en raison de sa faible valeur mais elle permet toutefois de mieux comprendre l'intérêt du montage cascode en simplifiant l'étude analytique.

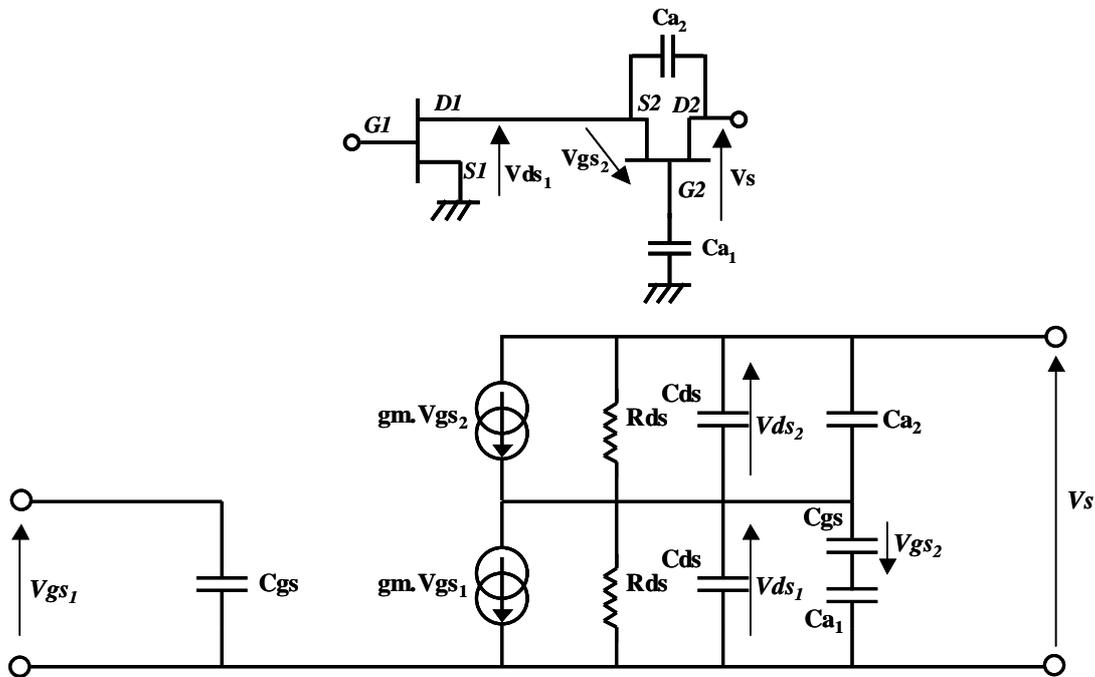


Figure 3-19 : Cellule cascode incluant les capacités  $Ca_1$  et  $Ca_2$ .

Le schéma obtenu est alors équivalent au schéma équivalent simplifié du montage cascode avec la capacité  $Ca_2$  entre le drain et la source du 2<sup>ème</sup> TEC (Figure 3-20) :

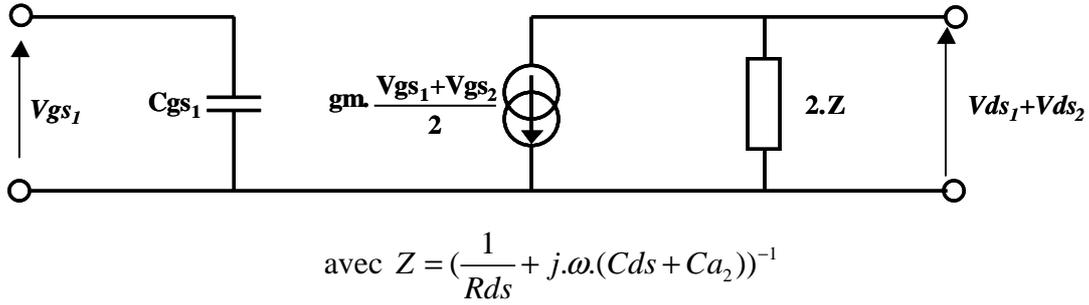


Figure 3-20 : Schéma simplifié d'une cellule cascode incluant les capacités  $Ca_1$  et  $Ca_2$ .

Le schéma équivalent du montage cascode optimisé en puissance possède alors une conductance de sortie deux fois plus importante que celle du montage source commune. Il en résulte que sous des conditions de charge optimum la tension de sortie du montage cascode étant doublée par rapport à celle du montage source commune, la puissance de sortie du montage cascode  $Ps_{cas}$  est le double de celle du montage source commune  $Ps_{tr\_sc}$ .

Effectivement :

$$Ps_{cas} = \frac{1}{2} \operatorname{Re}[(V_{ds_1} + V_{ds_2}) \cdot (gm \cdot \left( \frac{V_{gs_1} + V_{gs_2}}{2} \right) + \frac{V_{ds_1} + V_{ds_2}}{2Z})] \quad Eq\ 3-33$$

avec :  $V_{gs_1} = V_{gs_2}$  et  $V_{ds_1} = V_{ds_2}$

d'où :

$$Ps_{cas} = \frac{1}{2} \operatorname{Re}[2 \cdot V_{ds} \cdot (gm \cdot V_{gs} + \frac{2 \cdot V_{ds}}{2Z})] = 2 \cdot \frac{1}{2} \cdot \operatorname{Re}[V_{ds} \cdot (gm \cdot V_{gs} + \frac{V_{ds}}{Z})] = 2 \cdot Ps_{tr\_sc} \quad Eq\ 3-34$$

Pendant dans la réalité, il est impossible d'effectuer de telles simplifications sur le schéma équivalent du montage cascode. La détermination des valeurs des capacités ajoutées ne pouvant plus s'obtenir à partir de calculs simples, il est alors nécessaire d'avoir recours à des processus d'optimisations numériques autour des valeurs initiales de  $Ca_1$  déduites des expressions précédentes au travers de la valeur de  $C_{gs}$  et des valeurs  $V_{gs_{1opt}}$  et  $V_{ds_{1opt}}$  déduites des caractéristiques statiques.

La procédure d'optimisation est alors basée sur l'optimisation des cycles de charge des deux transistors de la cellule cascode. En effet, comme nous l'avons indiqué précédemment, l'optimisation en puissance passe par le fonctionnement identique des deux composants et par conséquent par l'obtention de cycles de charge identiques. Pour cela, il est important également de déterminer l'impédance de charge optimale du montage cascode considéré.

## I.5. Principe de fonctionnement de l'amplificateur distribué à cellules cascodes

[3.6]

Une présentation de l'analyse linéaire des performances de l'amplificateur distribué utilisant des montages cascodes de deux transistors à effet de champ comme éléments actifs (Figure 3-21) est réalisée dans cette partie en retraçant brièvement les différentes étapes puisque le principe de fonctionnement de base a été développé dans le paragraphe précédent.

Comme précédemment, un modèle simple unilatéral (Figure 3-5) de l'élément cascode sera utilisé comme schéma simplifié afin de déterminer les relations analytiques qualitatives permettant de mieux appréhender le principe de fonctionnement et les règles conceptuelles de ce dispositif.

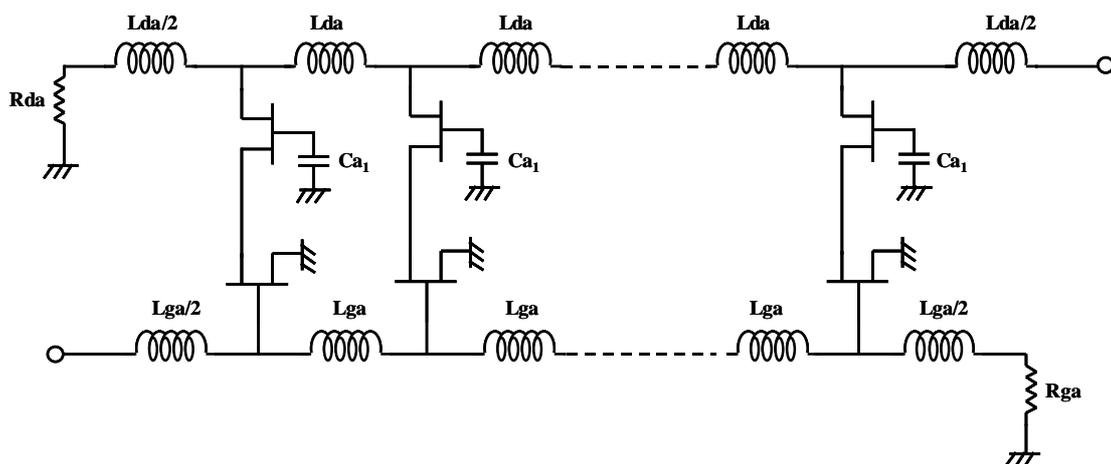


Figure 3-21 : Schéma d'un amplificateur distribué à cellules cascodes.

### I.5.1. Étude des lignes de grille et de drain

Tout comme l'amplificateur distribué classique, l'étude analytique de l'amplificateur distribué à cellules cascodes se résume à l'étude des deux lignes de grille et de drain couplées par les éléments intrinsèques des transistors à effet de champ montés en cascode.

La Figure 3-22 représente ces deux lignes :

- une ligne de grille réalisée par les inductances  $L_{ga}$  et la capacité d'entrée  $C_{gs}$  en série avec la résistance du canal  $R_i$ . Ainsi, la ligne de grille de l'amplificateur distribué cascode sera la même que celle de l'amplificateur distribué classique.

- une ligne de drain constituée des inductances  $L_{da}$  couplées aux éléments intrinsèques de sortie des deux transistors montés en cascade.

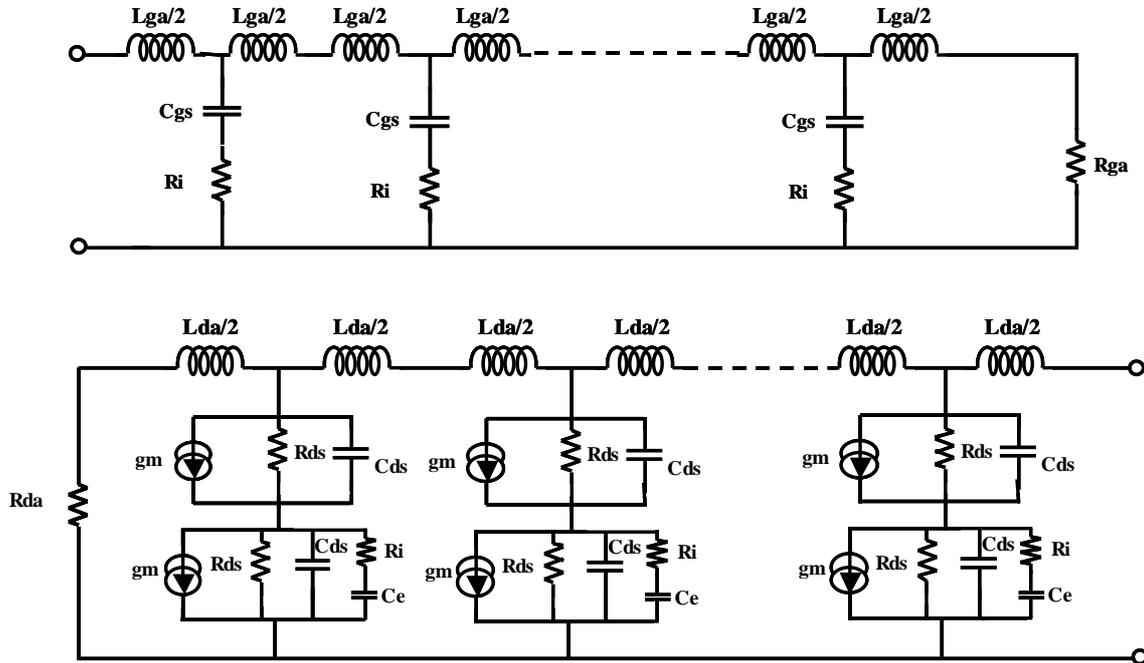


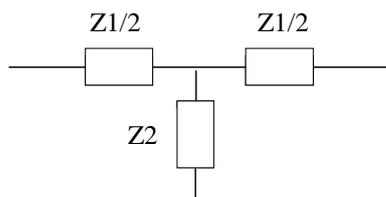
Figure 3-22 : Lignes de transmission de grille et de drain de l'amplificateur distribué à montage cascade.

Dans la mesure où la ligne est adaptée à son impédance caractéristique, la fréquence de coupure de la ligne de grille sera la même que pour le cas de l'amplificateur distribué classique :

$$f_c = \frac{1}{\pi \sqrt{L_{ga} C_{gs}}} \quad \text{Eq 3-35}$$

### I.5.2. Impédances caractéristiques

Une comparaison entre les cellules élémentaires en T équivalentes d'une ligne et celles des lignes de grille et de drain est réalisée afin de déterminer les caractéristiques des deux lignes de transmission (Figure 3-24). Nous rappelons ci-dessous (Figure 3-23) les caractéristiques de la section équivalente en T d'une ligne adaptée ainsi que les cellules élémentaires des lignes de grille et de drain :



$$Z_{c_T} = \sqrt{Z_1 Z_2} \cdot \sqrt{1 + \frac{Z_1}{4 Z_2}}$$

Eq 3-36

Figure 3-23 : Cellule élémentaire en T.

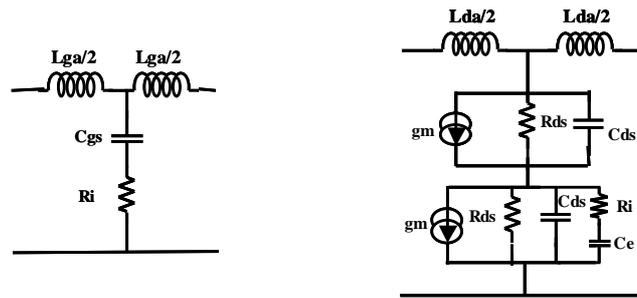


Figure 3-24 : Cellules élémentaires des lignes de grille et de drain.

	Grille	Drain
$Z_1$	$j\omega Lga$	$j\omega Lda$
$Z_2$	$Ri + \frac{1}{j\omega Cgs}$	$Zs = \frac{1}{Y_{22}}$

Tableau 3-2 : Tableau de correspondance.

Afin de simplifier le calcul, le quadripôle peut être défini par sa matrice [Y] qui nous donne accès au  $Y_{22}$ . Ainsi à partir de ces expressions, on pourra déterminer  $Z_1$  et  $Z_2$  dans le Tableau 3-2 de correspondance et calculer les impédances de la section équivalente en T des lignes de grille et de drain supposées adaptées.

Dans le but donc de simplifier le calcul et le schéma équivalent électrique faible signal d'un montage cascode, nous l'avons transformé en un quadripôle défini par sa matrice [Y] (Figure 3-25), ainsi :

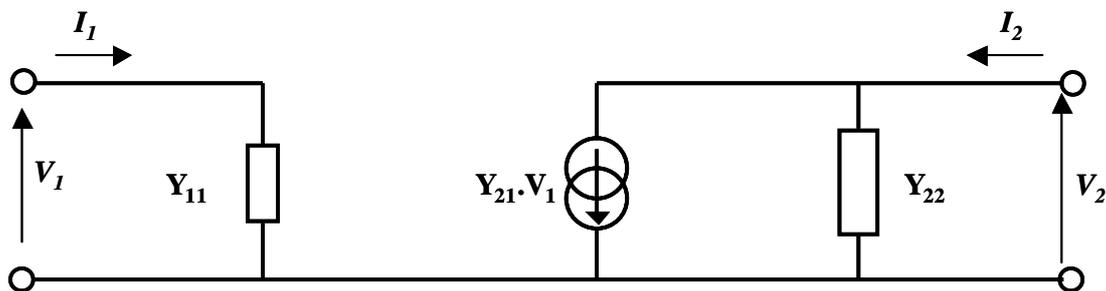


Figure 3-25 : Montage cascode représenté par sa matrice [Y].

Avec :

$$\left\{ \begin{array}{l} Y_{11} = \frac{1}{Z_{e1}}, \quad Z_{e1} = Ri + \frac{1}{j\omega Cgs} \\ Y_{12} = 0 \\ Y_{21} = G_M = gm \cdot \frac{Z_o(Z_o'Z_{e1}gm + Z_{e2})}{(Z_o + Z_{La}) \cdot (Z_o' + Z_{e2} + gmZ_o'Z_{e1}) + Z_o'Z_{e2}} \\ Y_{22} = \frac{Z_o + Z_{e2} + Z_{La}}{(Z_o + Z_{La}) \cdot (Z_o' + Z_{e2} + gmZ_o'Z_{e1}) + Z_o'Z_{e2}} \end{array} \right.$$

et :

$$\left\{ \begin{array}{l} Z_{e2} = Ri + \frac{1}{j\omega Ce} \\ Y_o = \frac{1}{Z_o} = \frac{1}{Rds} + j\omega Cds \\ Y_o' = \frac{1}{Z_o'} = \frac{1}{Rds} + j\omega(Cds + Ca_2) \\ Z_{La} = +j\omega La \end{array} \right.$$

Notre cas étant le cas adapté avec :

$$\begin{aligned} Ce &= \frac{Ca_1 Cgs}{Ca_1 + Cgs}, \quad Ca_2 = 0, \quad La = 0 \\ \Rightarrow Y_o &= Y_o' \end{aligned} \quad \text{Eq 3-37}$$

Les résultats présentés par la suite concernent le cas adapté avec  $Ca_1$ .

### I.5.3. Constantes de propagation :

De même que dans le cas de l'amplificateur distribué classique, une comparaison entre les matrices chaînes d'une ligne et d'une cellule équivalente en T nous donne accès à :

$$\beta = \text{Arc cos} \left\{ \text{Re} \left[ 1 + \frac{Z_1}{2Z_2} \right] \right\} \quad \text{et} \quad \alpha = \frac{\text{Im} \left[ 1 + \frac{Z_1}{2Z_2} \right]}{\sin \beta} \quad \text{Eq 3-38}$$

où les impédances  $Z_1$  et  $Z_2$  sont données dans le Tableau 3-2 de correspondance.

Pour résumer, l'intégration du montage cascode optimum dans un amplificateur distribué ne conduit à aucune modification des caractéristiques de la ligne de grille tandis que l'analyse et l'optimisation de la ligne de drain sont équivalentes à celles du montage source commune en considérant seulement que l'impédance de sortie est doublée ( $2.Rds$ ,  $Cds/2$ ).

L'étude que nous venons d'effectuer sur deux types d'amplificateurs distribués, en régime petit signal, nous a permis de mettre en évidence les caractéristiques théoriques et le fonctionnement de l'amplificateur distribué avec des TECs en montage source commune et celui avec des TECs en montage cascode. L'avantage principal du montage cascode est de permettre de doubler la puissance de sortie et d'améliorer l'isolation Grille-Drain sans dégrader les performances large bande imposées par la fréquence de coupure de la ligne de grille. Cependant son optimisation est plus délicate car le montage cascode conduit à une plus grande difficulté d'intégration de l'amplificateur et surtout à des problèmes de stabilité intrinsèque de la cellule cascode.

## **I.6. Méthodologie de conception fort signal des amplificateurs distribués**

[3.4], [3.6], [3.9], [3.20]

La conception d'un amplificateur de puissance diffère totalement de la conception d'un amplificateur bas niveau. En particulier, elle nécessite l'étude des conditions optimales de fonctionnement en régime fort signal de chacun des composants actifs utilisés au sein de l'amplificateur.

Dans le cas d'une application faible puissance, l'adaptation entrée-sortie et le gain constituent les principaux objectifs qui peuvent être analysés et optimisés à partir d'un modèle linéaire du TEC. L'adaptation fort signal quant à elle recherche les impédances optimales correspondant à un objectif donné (niveau de puissance, rendement, linéarité...).

En ce qui concerne l'optimisation en puissance d'un amplificateur distribué, elle nécessite l'égalisation des tensions de commande de grille de chaque transistor et la synthèse de l'impédance optimale de charge de chaque composant sur le drain, tout en respectant les contraintes d'égalité des vitesses de phase entre chaque cellule.

L'égalisation des tensions de commande sur la grille des transistors est obtenue par l'optimisation de la capacité  $C_{ag}$ , insérée sur la grille de chaque composant. Un profil particulier des valeurs de capacité  $C_{ag}$  permet l'égalisation des tensions de commande  $V_{gs}$  de chaque transistor.

Concernant la ligne de drain, il est nécessaire de présenter à la cellule cascode son impédance de charge optimale pour un fonctionnement en puissance. Cette impédance peut être déterminée par simulation et/ou caractérisation et se matérialise par une conductance  $G_{opt}$  en

parallèle avec une réactance  $B_{opt}$  (le conjugué de  $B_{opt}$  représente une capacité  $C_{opt}$  quasi indépendante de la fréquence). Ces deux paramètres ( $G_{opt}$ ,  $C_{opt}$ ) restent quasi-constants dans la bande de travail. Ainsi, l'état fort signal du composant actif au niveau de puissance  $P_{max}$  peut être représenté par un générateur équivalent d'admittance interne ( $G_{opt}$ ,  $C_{opt}$ ) et de courant  $I_{max}$ .

La Figure 3-26 présente la topologie optimale d'un amplificateur distribué de puissance avec charge de drain  $G_D$  dont les formules sont présentées dans le Tableau 3-3. Le Tableau 3-3 présente d'autre part une estimation des valeurs de  $G_{opt}$  et  $C_{opt}$  pour une initialisation de la topologie distribuée optimale (structure simple et cascode) dans les deux premiers encadrés ainsi que les valeurs des impédances caractéristiques optimales de chaque cellule dans les deux derniers.

Lors de la conception MMIC, nous avons mis en œuvre un profil sur la grille par une variation des capacités  $C_{ag}$  en série sur les grilles de chaque cellule active pour égaliser les tensions de commande et un profil sur le drain par variation des longueurs de lignes inter cellules pour présenter l'admittance optimale de charge à chaque cellule. Pour ce qui est de la topologie  $C_{ag}$ , elle permet l'égalisation des tensions de commande  $V_{gs}$  de chaque transistor (compensation artificielle de l'atténuation de grille par le pont capacitif réalisé) mais néanmoins diminue le gain (diminution de la tension prélevée aux bornes de la capacité  $C_{gs}$  et donc du courant de drain fourni) qui peut alors être compensé par l'augmentation de  $n_{opt}$ . Ce profil reste essentiel à l'amplification de puissance distribuée.

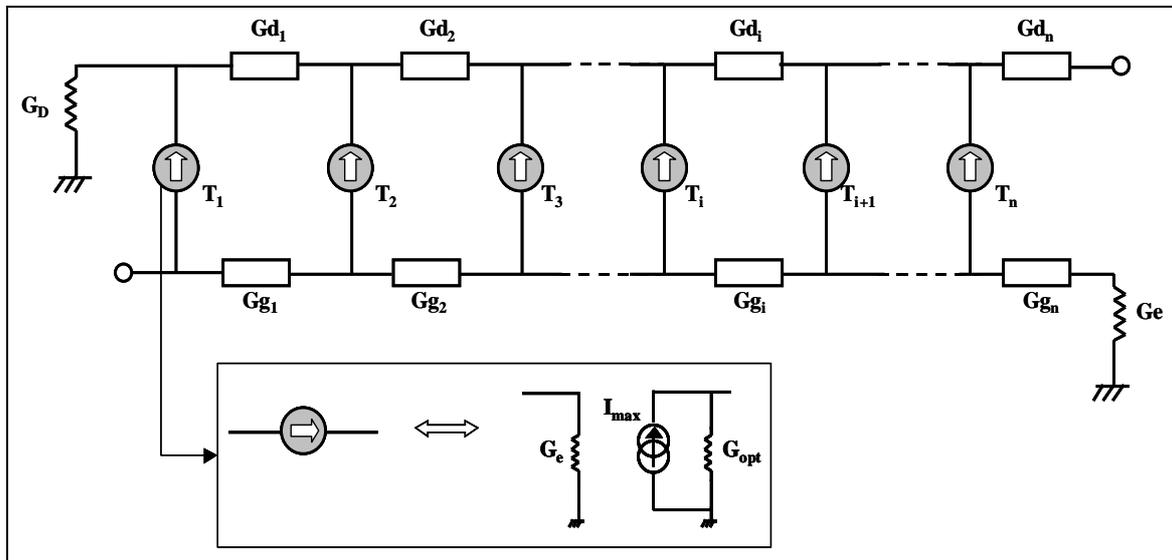


Figure 3-26 : Topologie optimale d'un amplificateur distribué de puissance avec  $G_D \neq 0$ .

<u>Expression de l'impédance de charge optimale (<math>G_{opt}</math>, <math>C_{opt}</math>) d'un transistor</u>	
$G_0 = \frac{Id_{ss}}{2(Vds_0 - Vds_{min})}$	$G_e \approx R i.Cgs^2 .\omega^2$
$G_{opt} \approx \frac{G_0}{1 - 2(Ls + Ld)(Cds + Cgd)\omega^2}$	$C_{opt} \approx Cds + Cgd$
$P_{max} = \frac{I_{max}^2}{8G_{opt}}$	
<u>Expression de l'impédance de charge optimale (<math>G_{opt_{cascode}}</math>, <math>C_{opt_{cascode}}</math>) pour un montage cascode adapté optimisé en puissance</u>	
$Ca_1 \approx \frac{Cgs}{\left(\frac{Vds_1}{Vgs_2} - 1\right)}$	$G_{opt_{cascode}} \approx \frac{G_{opt}}{2}$
$C_{opt_{cascode}} \approx \frac{C_{opt}}{2}$	
<u>Ligne de drain optimale chargée par <math>G_D</math></u>	<u>Ligne de grille optimale chargée par <math>G_e</math></u>
$G_{d1} = G_{opt}$	$G_{gi} = (n + 1 - i)G_e \quad \forall i$
$G_{di} = G_{opt} \left( \frac{G_{opt}}{G_{opt} + G_D} + (i - 1) \right) \text{ pour } i=2 \rightarrow n$	

Tableau 3-3 : Profils de l'impédance de charge optimale du transistor et du montage cascode ainsi que des lignes de grille et de drain.

Dans les paragraphes suivants nous verrons comment ces principes ont pu être mis en application suivant les topologies qui ont été adoptées ainsi que les difficultés inhérentes à ces types de circuit pour la nouvelle technologie GaN.

Dans la première partie qui va suivre (*Chapitre 3, II*), une présentation des travaux réalisés en début de thèse sur une conception en technologie flip-chip ainsi que des résultats associés seront décrits. En ce qui concerne la deuxième partie (*Chapitre 3, III*), elle présentera la conception réalisée en fin de travaux de thèse en technologie MMIC dans le cadre du programme Korrigan.

## II - AMPLIFICATEUR DE PUISSANCE DISTRIBUÉ À CELLULES CASCODES EN MONTAGE FLIP-CHIP

### II.1. Cellule cascode de test à base de transistors 8x50µm

Nous allons présenter dans un premier temps la cellule cascode relative à l'amplificateur distribué en technologie flip-chip.

#### II.1.1. Analyse de la cellule cascode [3.21]

Un motif d'une cellule cascode optimale a été dessiné sur GaN pour être reporté sur un design AlN spécifique afin d'être testé séparément du montage distribué total (II.2). La cellule cascode réalisée sur le substrat de GaN doit donc être montée en flip-chip sur un circuit d'AlN comme présenté sur la Figure 3-27. Ce circuit comprend deux accès entrée/sortie RF qui permettront également la polarisation DC. Un troisième accès est nécessaire pour la polarisation de grille du transistor monté en grille commune. Le découplage RF/DC de cette ligne est assuré par une capacité de 100pF.

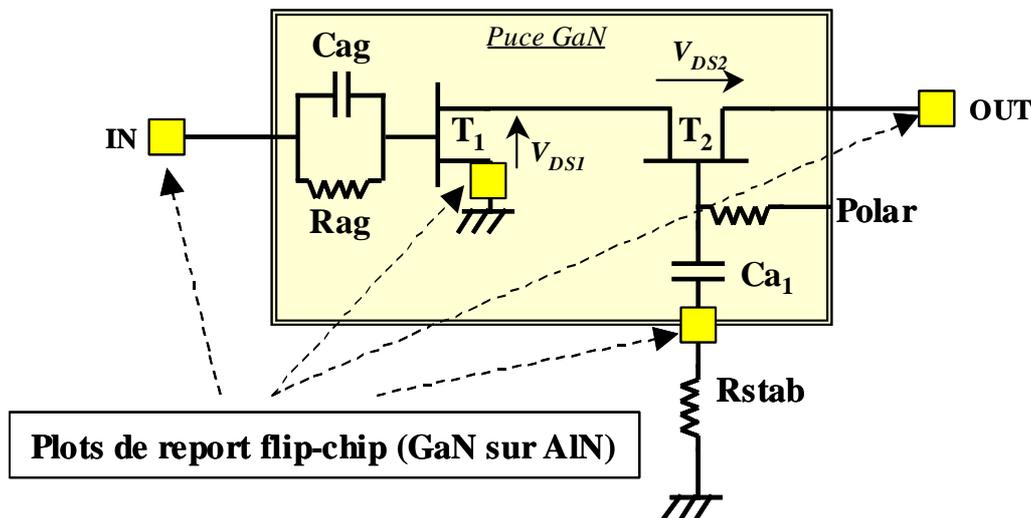


Figure 3-27 : Schéma de la cellule cascode optimisée en puissance (puce GaN en flip-chip sur AlN).

Lors des simulations en régime linéaire, une attention particulière a été portée à l'étude de la stabilité car le montage cascode est connu pour être sensible aux oscillations. L'analyse du facteur de Rollet K ainsi qu'une étude supplémentaire de stabilité par le NDF (*Normalized*

*Determinant Function*) a été mis en œuvre. Par mesure de sécurité, nous avons inclus une résistance de stabilité  $R_{stab}$  d'une valeur de  $15\Omega$  en série sur la capacité  $C_{a1}$ . Les simulations de ce circuit de test ont montré une stabilité inconditionnelle à travers l'évolution du facteur de Rollet ( $K > 1$  et  $\Delta > 0$ ) ainsi que par rapport à la simulation du NDF comme le montre la Figure 3-28.

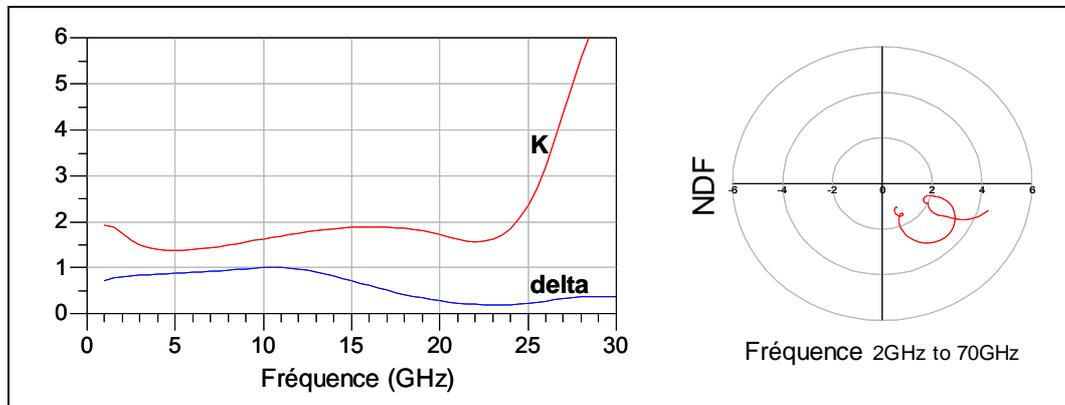


Figure 3-28 : Facteur de Rollet (à droite) et NDF (à gauche) de la cellule cascode.

Il faut noter que la cellule cascode a été optimisée en puissance par l'addition d'une capacité  $C_{a1}$  de  $0.16\text{pF}$  dans le but d'être intégrée au sein d'un amplificateur distribué large bande 6-18GHz à 4 cellules cascodes. La faible valeur de  $C_{a1}$  a été obtenue par la mise en série de deux capacités de  $0.32\text{pF}$  afin de diminuer la sensibilité. De plus, pour une meilleure transmission entre le premier transistor et le second, le plot de drain du premier transistor est connecté symétriquement à la métallisation de source du second. Pour atteindre la fréquence maximum de 18GHz de l'amplificateur distribué, il était primordial d'adopter une configuration avec capacité additionnelle en série sur la grille afin de respecter les conditions d'adaptation d'entrée et de fréquence de coupure de la ligne de grille. C'est pourquoi une capacité  $C_{ag}$  de  $0.26\text{pF}$  a été intégrée sur l'entrée de la cellule cascode. Une résistance  $R_{ag}$  de  $500\Omega$  a été rajoutée en parallèle sur  $C_{ag}$  afin d'assurer la polarisation de grille du premier transistor et une résistance  $R_{a1}$  de  $1000\Omega$  pour la polarisation de grille du transistor en grille commune.

La Figure 3-29 suivante présente une photographie de la puce GaN intégrant la cellule cascode ainsi que les éléments capacitifs et résistifs.

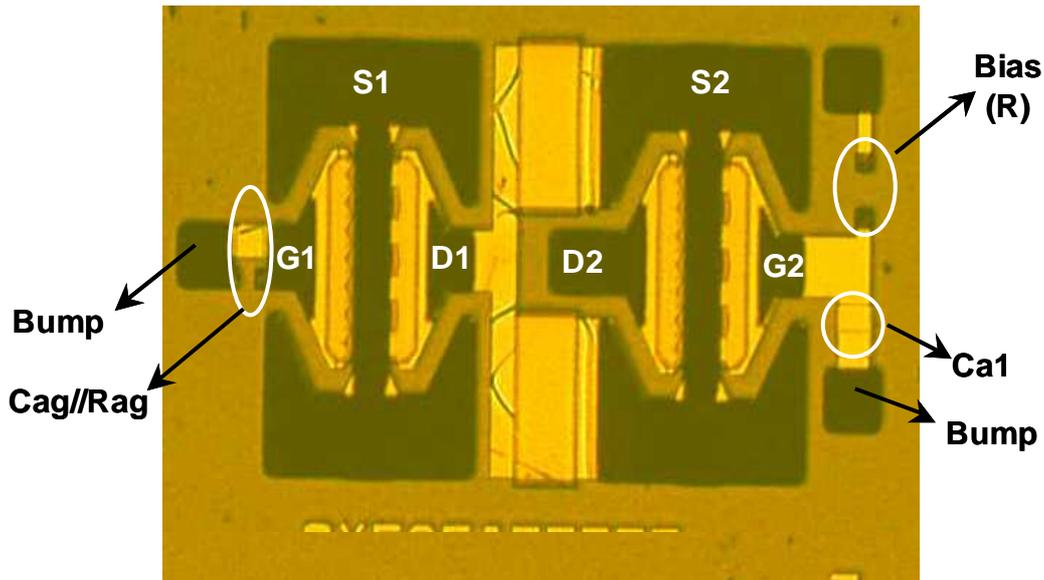


Figure 3-29 : Photographie de la cellule cascode sur GaN.

Séparément, une puce spécifique en nitrure d'aluminium (Figure 3-30) a été conçue afin de pouvoir tester la cellule cascode. La puce d'AlN intègre la résistance de stabilité  $R_{stab}$  ainsi que le plot de polarisation du second transistor ( $V_{polar_{G2}}$ ). La polarisation de grille du premier transistor ainsi que celle de drain du second sont effectuées par les pointes. Il est à noter que la valeur de la polarisation de drain de la cellule cascode est le double de celle d'un transistor seul. Le circuit d'AlN intègre l'ensemble des via-holes permettant le retour à la masse des transistors ainsi que des éléments d'adaptation, les lignes d'entrée/sortie ainsi que les plots de report. Les dimensions de la puce d'AlN sont inférieures à  $(2.5 \times 1.7) \text{mm}^2$ .

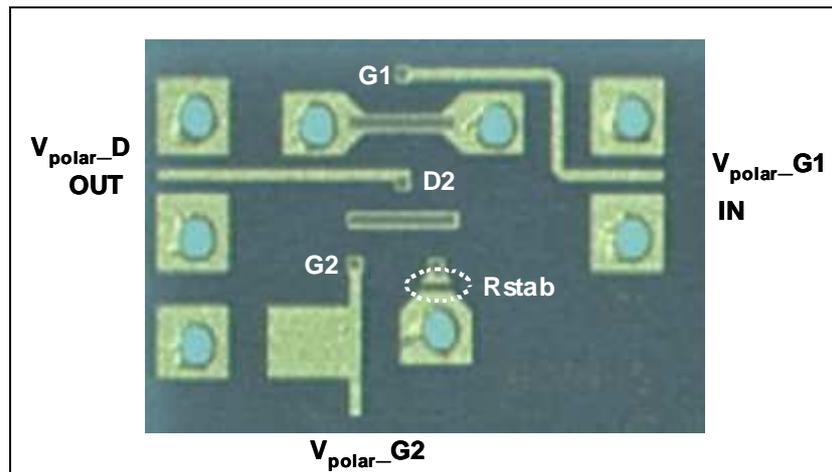


Figure 3-30 : Photographie de la puce d'AlN permettant le report flip-chip de la puce de GaN.

La photographie de la Figure 3-31 présente le report flip-chip de la cellule cascode de test sur le substrat d'AlN afin d'effectuer les mesures.

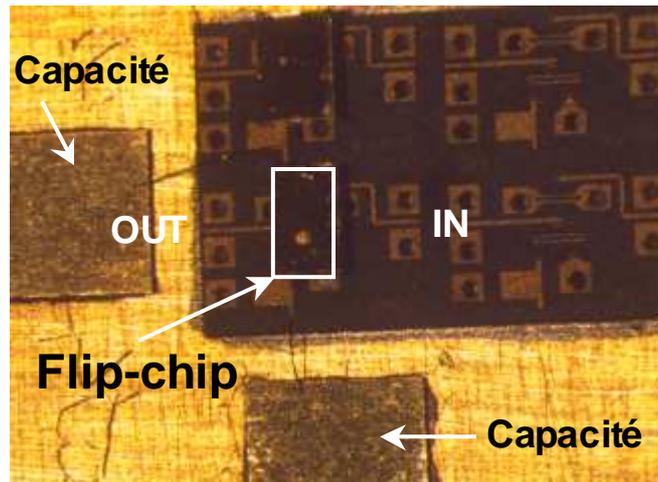


Figure 3-31 : Photographie de deux cellules cascodes en report flip-chip sur le report d'AIN.

### II.1.2. Résultats de simulations

La conception de la cellule cascode a été réalisée à l'aide du logiciel ADS d'Agilent Technologies. La Figure 3-32 présente une comparaison du gain maximum dans la bande 4-18GHz entre la cellule cascode intégrant les éléments  $C_{ag}$  et  $R_{ag}$  requis pour l'architecture distribuée et un transistor seul. La cellule cascode présente un gain plus important sur la bande de fréquence en question.

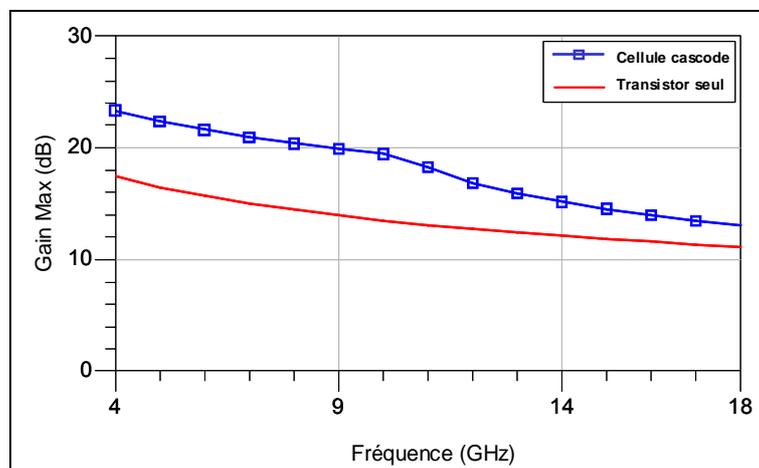


Figure 3-32 : Comparaison du gain maximum sur la bande 4-18GHz entre la cellule cascode et le transistor seul avec topologie ( $R_{ag}$ ,  $C_{ag}$ ) en entrée.

Sur la Figure 3-33, la comparaison dans des conditions identiques de la puissance de sortie en fonction de la puissance d'entrée pour la cellule cascode et le transistor seul à 10GHz montre là encore que la topologie cascode délivre une puissance de sortie plus importante.

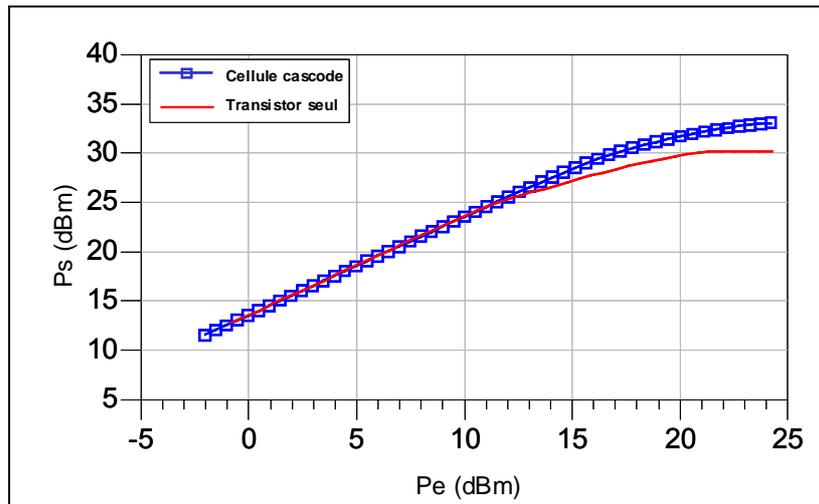


Figure 3-33 : Comparaison de la puissance de sortie en fonction de la puissance d'entrée pour une cellule cascode et un transistor seul avec topologie ( $C_{ag} // R_{ag}$ ) en entrée.

### II.1.3. Résultats de mesures

#### II.1.3.1. Mesures des paramètres S

Afin de vérifier la précision de la conception de la cellule cascode, des mesures sous pointes de paramètres S ont été réalisées sur la bande 0.5-20GHz par Alcatel Thalès III-V Lab pour différents points de polarisation. La comparaison des paramètres S simulés et mesurés de la Figure 3-34 démontre un bon accord et par conséquent une bonne précision du modèle. Il est intéressant de remarquer que le gain est plat sur le début de la bande ce qui n'est pas le cas pour un transistor seul.

D'autre part, il a pu être constaté lors des mesures que le courant  $I_{ds}$  avait une très faible sensibilité à la tension de polarisation  $V_{polar_{G2}}$ , l'essentiel de  $I_{ds}$  (# 95%) étant commandé par  $V_{polar_{G1}}$ . Ceci est une caractéristique des montages cascades pour lesquels  $V_{polar_{G1}}$  commande le courant,  $V_{polar_D}$  fixe la somme des tensions de drain et  $V_{polar_{G2}}$  fixe la différence entre les polarisations de drain de chacun des transistors pour une tension totale constante.

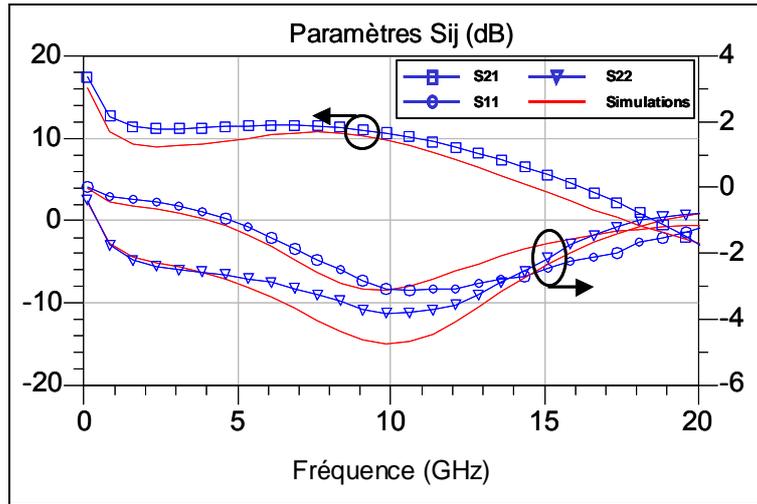


Figure 3-34 : Comparaison des paramètres  $S$  mesurés et simulés de la cellule cascode @  $V_{polar_D}=30V$ ,  $V_{polar_{G1}}=-6V$  et  $V_{polar_{G2}}=9V$ .

### II.1.3.2. Mesures grand signal

Des mesures de type « load-pull » pulsées de la cellule cascode ont été réalisées au sein du laboratoire XLIM dans le but de vérifier et comparer l'état de puissance optimale issu des simulations non linéaires avec les mesures en puissance. Lors des caractérisations « load-pull », les pulses avaient une largeur de  $10\mu s$  pour un rapport cyclique de 10%. Le signal RF ainsi que la polarisation étaient pulsés.

La Figure 3-35 présente la comparaison entre les simulations en puissance et les mesures load-pull à une fréquence de 10.24GHz. La variation de chaque charge a été réalisée afin d'obtenir celle permettant d'obtenir le maximum de puissance de sortie à cette fréquence. L'impédance de charge optimum conduisant à un maximum de puissance de sortie a pour valeur  $20+j.12$  pour une polarisation de  $V_{polar_D}=30V$ ,  $V_{polar_{G1}}=-6V$ ,  $V_{polar_{G2}}=9V$ .

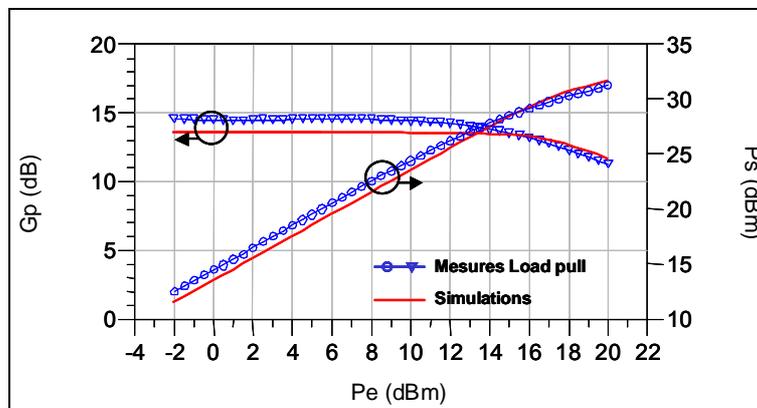


Figure 3-35 : Comparaison des mesures et simulations en puissance de la cellule cascode sur l'impédance de charge ( $20+j.12$ ) @ 10.24GHz.

Une très bonne concordance entre mesures et simulations a été obtenue même si un écart de 1dB a été observé sur le gain petit signal. La cellule cascode intégrant la capacité additionnelle sur la grille du premier transistor dédiée à être insérée au sein de l'architecture distribuée présente une puissance de sortie de 1.3W.

## II.2. Topologie étudiée et spécifications

[3.22], [3.23], [3.24], [3.25]

Deux amplificateurs de puissance large bande (4-18GHz) ont été conçus en technologie flip-chip dans le cadre d'un projet du laboratoire commun MITIC (XLIM – Alcatel-Thalès III-V Lab) sur une technologie PHEMT AlGaIn/GaN de TIGER. Il s'agit de structures distribuées à cellules cascodes en technologie GaN sur SiC. Le premier amplificateur est basé sur des composants de développement de grille 8x50 $\mu$ m (SANA) et le second sur des composants de développement 8x75 $\mu$ m (YADE). Seul le circuit à base de 8x50 $\mu$ m sera développé dans cette partie. En outre, comme nous l'avons présenté dans le paragraphe précédent, des motifs de test de la cellule cascode seule ont été conçus simultanément afin d'analyser les performances de cette cellule adaptée.

### II.2.1. Architecture sur GaN et sur AlN

Une représentation schématique globale de l'amplificateur composé de quatre cellules actives est présentée sur la Figure 3-36.

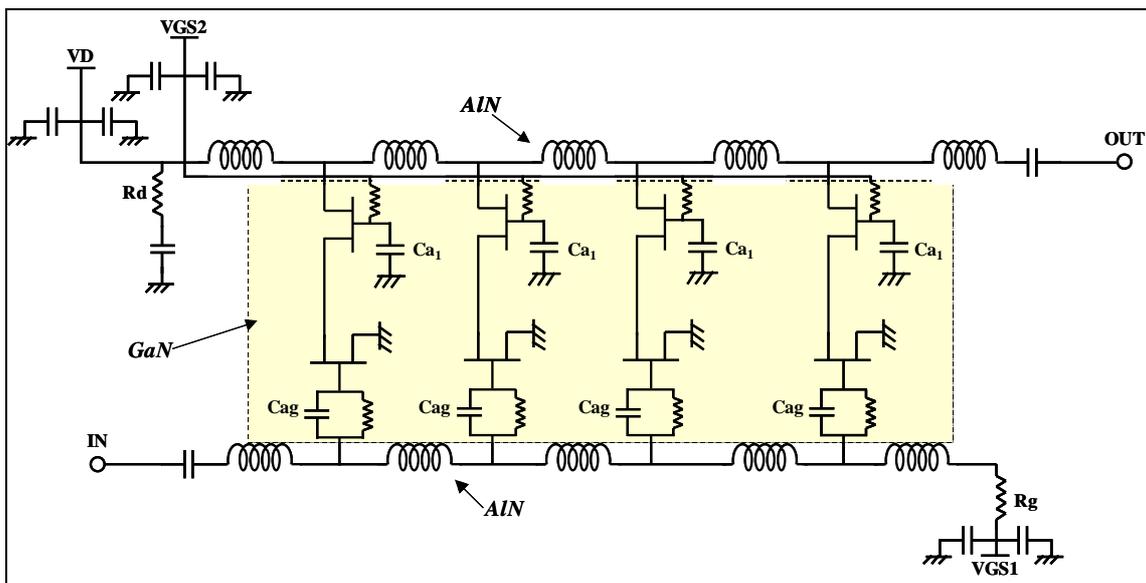


Figure 3-36 : Schéma global de l'amplificateur.

La partie encadrée représente la partie active réalisée sur substrat GaN et le reste du circuit est conçu sur le substrat de report en AlN. Nous avons adopté une topologie à capacité additionnelle sur la grille ainsi que des montages cascodes optimisés en puissance comme cellules actives grâce à la capacité sur la grille du transistor en grille commune.

Les lignes d'accès de grille et de drain sont chargées par les impédances  $R_g$  et  $R_d$ . Les accès d'entrée et de sortie sont quant à eux des accès purement RF. Les tensions de polarisations DC sont portées par ailleurs. Le découplage DC/RF se fait par le biais de capacités de découplage introduites sur la puce d'AlN.

Nous pouvons noter la présence de résistances de fortes valeurs en parallèle des capacités  $C_{ag}$  permettant la polarisation DC.

### II.2.2. La technologie

La partie active de l'amplificateur est réalisée sur un substrat de carbure de silicium d'épaisseur  $370\mu\text{m}$  sur lequel la croissance d'une couche de nitrure de gallium de  $3\mu\text{m}$  est effectuée. Les plaques ont été processées par le laboratoire TIGER d'après le masque SANGHA.

Lorsque cette conception a été menée, la maîtrise des procédés passifs sur GaN n'était pas arrivée à maturation mais toutefois, il a été tenté lors de cette réalisation d'intégrer sur la puce GaN certains éléments passifs tels que les lignes de connexion, des résistances actives et des capacités MIM (*Metal-Insulator-Metal*) dont les caractéristiques sont mentionnées par la suite. En revanche, à cette période du travail, la technologie considérée ne permettait pas de réaliser des trous métallisés pour le retour à la masse ainsi que des ponts à air permettant le « croisement » des lignes de transmission. C'est pour l'ensemble de ces raisons que la technologie flip-chip avait été retenue avec la partie active conçue sur le substrat de GaN sur SiC et les lignes passives sur AlN.

Les caractéristiques des éléments passifs intégrés sur le GaN sont les suivantes :

-capacités MIM : densité surfacique  $250\text{pF}/\text{mm}^2$

-résistances actives : densité surfacique  $500\Omega/\square$

-lignes de transmission : densité de courant linéique  $12\text{mA}/\mu\text{m}$ , largeur minimum des lignes  $10\mu\text{m}$ .

Le circuit sur AlN a été réalisé par la société Reinhardt avec un substrat de 254 $\mu\text{m}$  d'épaisseur. La technologie utilisée sur ce substrat permet la réalisation de résistances TaN ( $50\Omega/\square$ ), cependant, elle n'offre pas la possibilité d'obtenir des capacités intégrées. Les capacités utilisées sont donc des composants MIM CMS (*Composant Monté en Surface*) du laboratoire Dielectric Laboratories.

Le circuit complet comprend donc le montage flip-chip de la puce conçue sur GaN incluant les quatre montages cascode, les capacités Cag et leurs résistances de polarisation ainsi que les capacités Ca<sub>1</sub> et leurs résistances de polarisation reportée sur le design d'AlN comportant les lignes de transmission et les résistances TaN d'adaptation. Le report est réalisé par l'intermédiaire de plots électriques ou mécaniques présents sur les deux puces en vis-à-vis. Nous pouvons noter la sensibilité de cette opération étant donné la grande dimension de la puce GaN reportée en flip-chip et par conséquent du nombre assez important de plots de report qui est de 21. Les dimensions de l'amplificateur complet (puce AlN) sont de (8800x6000) $\mu\text{m}^2$ .

Remarque : La technologie Flip-Chip consiste à reporter un circuit électronique sur son substrat d'interconnexion. Les plots de report appelés « bumps » sont soit des billes soit un empilement de lamelles réalisés en matériau fusible (In, SnPb, SnAu, Au, ...). Ils permettent, lorsque la température de fusion correspond à celle du matériau fusible choisi, de connecter les deux circuits entre eux. Plusieurs techniques existent telles que la thermo-compression de plots, l'ACF (*Anisotropic Conductive Films*), l'HPRT (*Hydrogen Plasma Reflow Technique*) ...

La figure ci-dessous représente une vue au MEB (Microscope Électronique à Balayage) d'un bump avec la technologie à empilement de lamelles employée pour notre circuit.

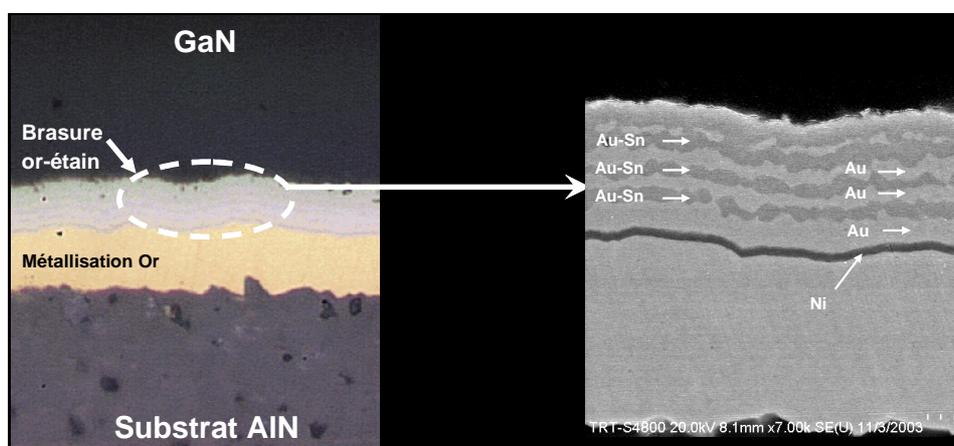


Figure 3-37 : Vue au MEB de la brasure or-étain d'un plot de report Flip-Chip.

### II.3. Résultats de mesures de l'amplificateur distribué en montage flip-chip SANA1

Comme nous l'avons déjà évoqué, plusieurs versions ont été réalisées. En ce qui concerne l'amplificateur distribué à base de transistors de développement  $8 \times 50 \mu\text{m}$  les simulations affichaient des performances en puissance très fortes mais révélaient une stabilité conditionnelle de l'amplificateur sans ajout de résistance de stabilité. Lors des mesures, quatre circuits ont été montés, trois d'entre eux ont eu des problèmes de brasure. Le quatrième a pu être mesuré mais ce pour une valeur de  $V_D$  n'excédant pas 10V. Un problème de stabilité est apparu lors des mesures : une oscillation a été constatée à la fréquence de 24.2GHz. Un second run a donc été lancé intégrant une résistance de stabilité sur chaque cellule cascode. La résistance de stabilité permet de s'affranchir de beaucoup de risques d'instabilité au détriment des performances. À ce jour, la seconde version est en cours de réalisation. Ce circuit est normalement attendu pour la fin de l'année 2007.

La Figure 3-38 représente la simulation des paramètres [S] ainsi que du facteur de Rollet de l'amplificateur sans et avec résistance de stabilité intégrée sur la grille du second transistor de la cellule cascode. La version avec résistance de stabilité ( $15\Omega$ ) permet d'améliorer les marges de stabilité comme on peut le voir nettement au niveau du facteur K par contre on peut constater une diminution de la bande passante au niveau du paramètre  $S_{21}$ .

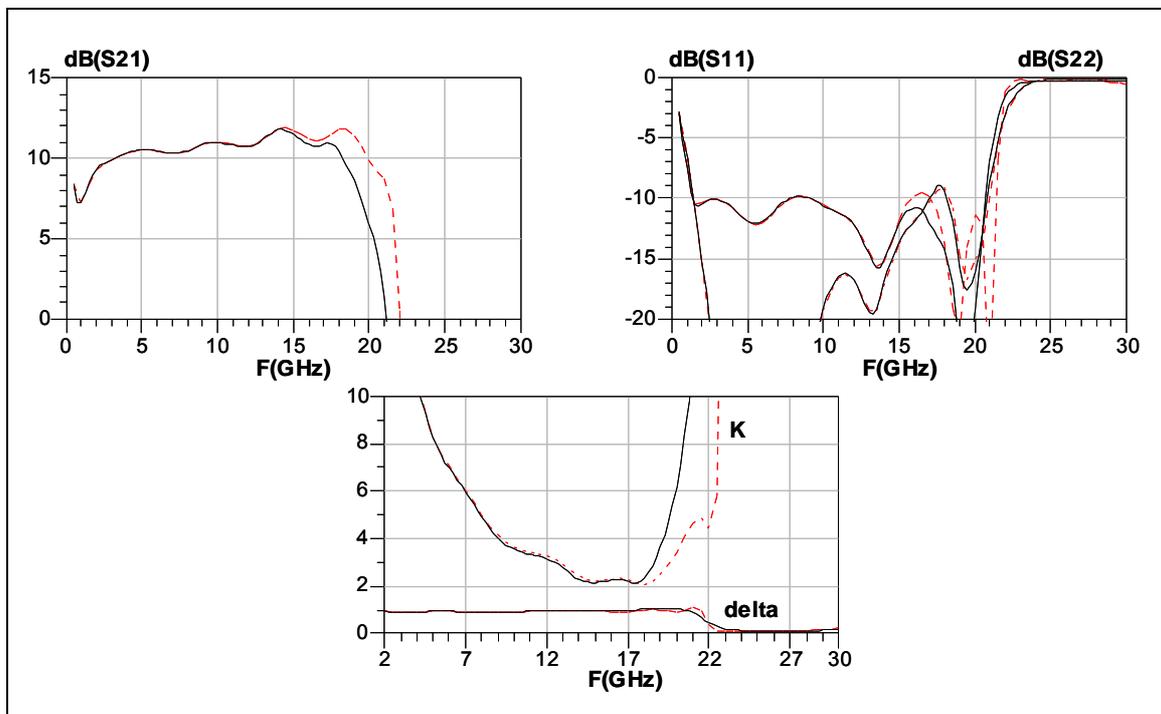


Figure 3-38 : Comparaison des paramètres [S] simulés avec (ligne continue) et sans résistance de stabilité (pointillés) sur la bande 0-30GHz.

La Figure 3-39 présente la puissance de sortie simulée à 1 et 2dB de compression ainsi que les paramètres S en réflexion entrée-sortie en fonction de la fréquence.

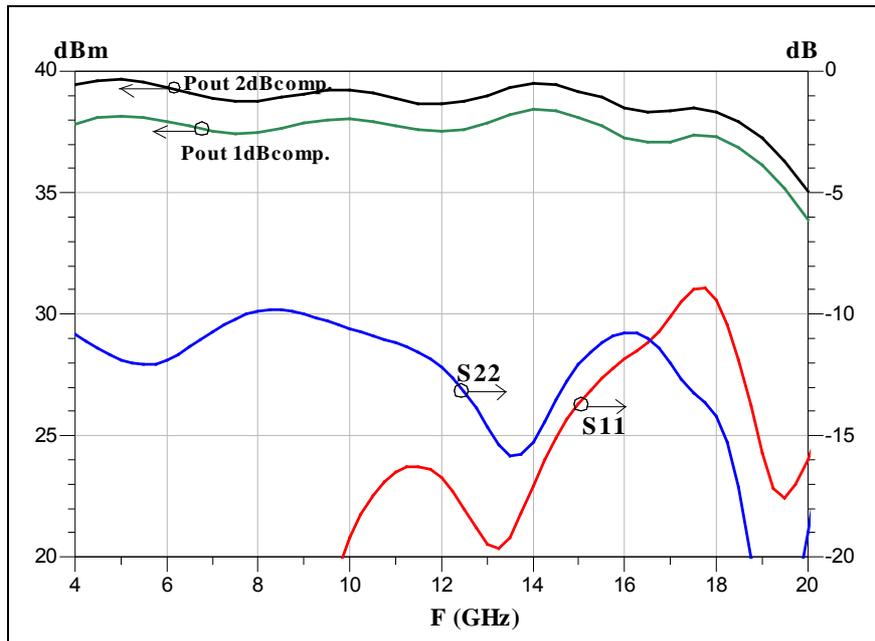


Figure 3-39 : Puissance de sortie à 1dB et 2dB de compression et paramètres S en réflexion entrée-sortie simulés en fonction de la fréquence.

La Figure 3-40 recense les résultats en puissance simulés obtenus en milieu de bande à la fréquence de 12GHz. Nous pouvons relever un gain linéaire de 9.4dB, une puissance de sortie de 37.4 dBm et un rendement en puissance ajoutée de 14.5%.

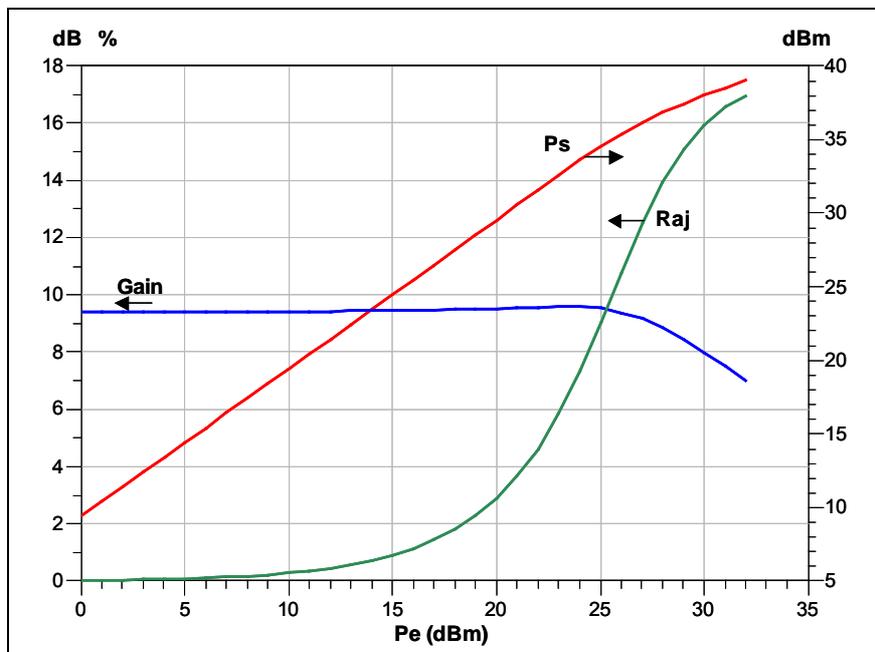


Figure 3-40 : Gain en puissance, puissance de sortie et rendement en puissance ajoutée simulés en fonction de la puissance d'entrée à la fréquence de 12GHz.

Afin d'illustrer le fonctionnement en puissance des transistors, la Figure 3-41 présente les cycles de charge aux fréquences de 4GHz et 18GHz à  $P_{1dB}$ . Le fonctionnement de certains transistors n'est pas optimal principalement en haut de bande. Certains transistors dissipent de la puissance et certains sont quasi passifs, ces derniers servant en réalité à l'adaptation des autres composants.

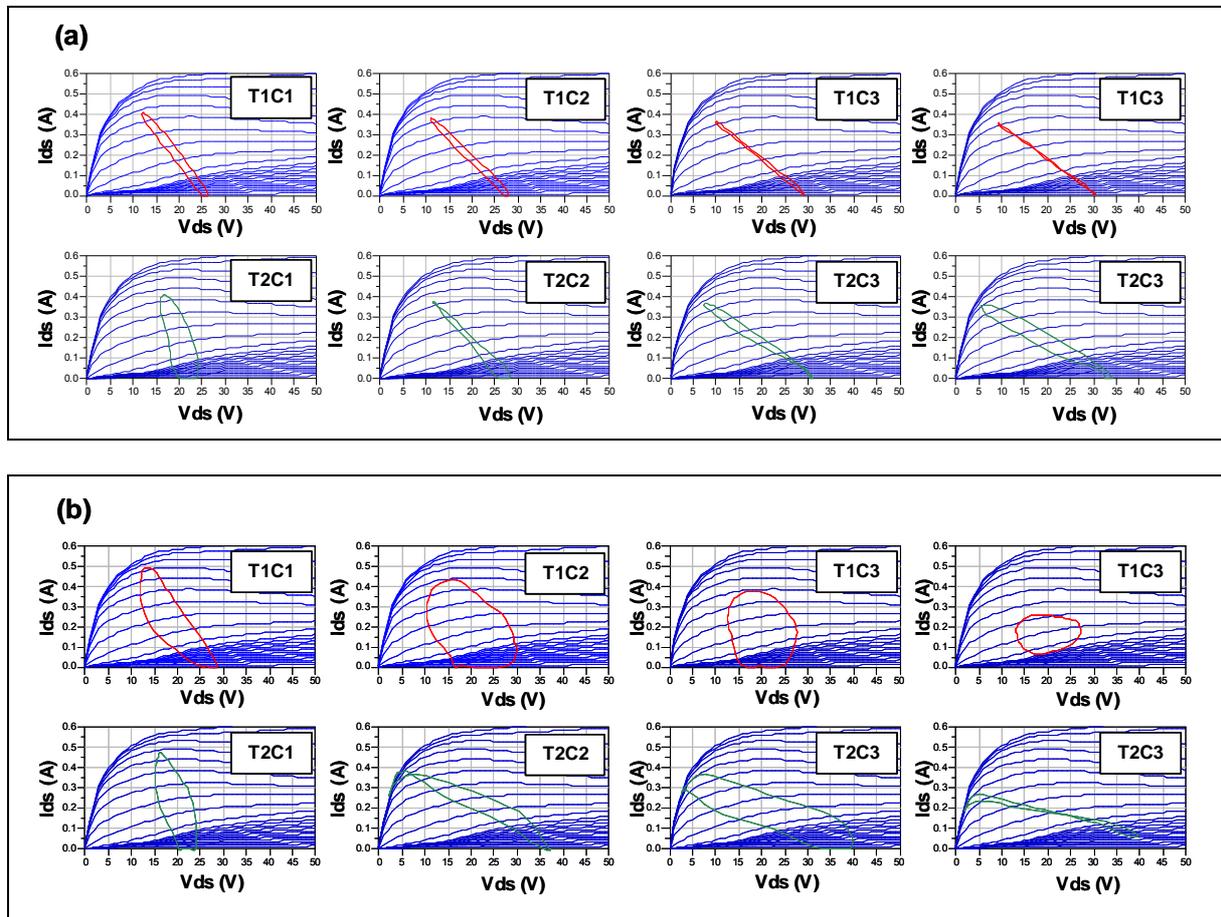


Figure 3-41 : Cycles de charge des 8 transistors à  $P_{1dB}$  aux fréquences de 4GHz (a) et 18GHz (b).

Les résultats de mesures devraient être disponibles fin 2007. Le report flip-chip sera effectué par le laboratoire TIGER puis les circuits seront montés en jig de test afin d'être mesurés. Les mesures seront réalisées en mode pulsé, aussi bien pour les accès DC que RF.

Nous allons par la suite nous intéresser à la conception d'un circuit de même topologie (structure distribuée à cellules cascodes) mais cette fois-ci en technologie MMIC.