

# SOMMAIRE

PAGE

REMMERCEMENT	i
SOMMAIRE	iii
LISTE DES TABLEAUX	vi
LISTE DES FIGURES	vi
LISTE DES CONSTANTES, SYMBOLES ET ABREVIATIONS	ix
INTRODUCTION GENERALE	01
CHAPITRE 1 : ETUDE ET MODELISATION DU TRANSISTOR A EFFET DE CHAMP MOSFET	05
I.1.Introduction	06
I.2. Principe de fonctionnement et modélisation des transistors MOSFET	06
I.2.1. La structure de MOSFET	07
I.2.2. Le fonctionnement des MOSFET en statique	09
I.2.2.1. Les régimes de fonctionnement MOSFET	10
I.3. La capacité MOS	14
I.3.1. Modélisation de la capacité MOS	14
I.3.1.1. Les équations de bases	14
I.3.1.2. La charge du semiconducteur $Q_{SC}$	14
I.3.1.3. La charge de la zone désertée $Q_D$	15
I.3.1.4. La charge de la zone d'inversion $Q_n$	16
I.4. Le transistor MOSFET	17
I.4.1. MOSFET à appauvrissement D-MOSFET	18
a) Structure du MOS à appauvrissement canal N	18
b) Structure du MOS à appauvrissement canal P	18
I.4.2. MOSFET à enrichissement : E-MOSFET	19
a) Structure du MOS à enrichissement canal P	19
b) Structure du MOS à enrichissement canal N	19
I.5. Principe et régimes de fonctionnement	20
I.6. Modélisation du transistor MOS	22
I.6.1. Modélisation du courant de Drain	23
a) Tension de seuil	23
b) Régime linéaire	23
c) Régime de saturation	24
d) Transductance et conductance de drain en régime de saturation	27
I.7. Transistor réel	29
I.8. Le modèle petit signal	32
I.8.1. Approches quasi-statique et non quasi-statique	33
I.8.2. Schéma électrique équivalent du transistor MOSFET	33
a). Éléments intrinsèques	35
b). Éléments extrinsèques	36
I.8.3 . Capacités de plot, résistances et inductances d'accès	36
I. 9. La réalisation d'un circuit intégré à technologie CMOS	37
I.10. Les limites actuelles à la miniaturisation du transistor MOS bulk	37
I.10. 1 Contraintes pour les générations futures	37
a). Problèmes liés aux faibles épaisseurs d'oxyde	37
b). Les effets canaux courts	38
b.1).Le partage de charge de déplétion (CS)	38
b.2).L'abaissement de la barrière de potentiel induit par le drain (DIBL)	39
c) La déplétion de grille	40
d). Problèmes liés au dopage	40
I.11. Le Bruit dans les transistors MOSFET	41

I.11.1. Le bruit en 1/f ou bruit basse fréquence.....	41
I.11.1.1. Fluctuations du nombre de porteurs de charge.....	41
I.11.1.2. Fluctuation de la mobilité.....	42
I.11.2. Le bruit thermique.....	43
I.12. Conclusion.....	43
<i>CHAPITRE II : LE MOSFET DOUBLE-GRILLE LES EFFETS PHYSIQUES, LES PROPRIETES ELECTRIQUES</i>	<i>44</i>
II.1.Introduction .....	45
II.2 Etat de l'art.....	46
II.3. La technologie SOI .....	47
II.3.1 La technologie SOI à grille unique.....	47
II.3.2. Avantages de la technologie SOI par rapport au MOSFET bulk .....	49
II.3.2. 1. Diminution des effets parasites .....	49
II.3.2. 2.Amélioration du contrôle de la grille sur la charge de déplétion .....	49
II.3.2. 3.Amélioration de la pente sous le seuil .....	50
II.3.3. Inconvénient majeur de la technologie SOI.....	51
II.4. Les transistors à grilles multiples .....	52
a) Le transistor MOSFET double-grille DGFET.....	54
b) Le triple-grille .....	54
c) Le triple+-grille .....	55
d) Le quadruple-grille .....	55
II.4.1. Avantages des transistors à grilles multiples .....	56
II.4.2. Inconvénient des transistors à grilles multiples.....	56
II.5. La technologie MOSFET double-grille .....	56
a) Le transistor double-grille planaire .....	56
b) Le transistor double-grille quasi-planaire.....	56
c) Le transistor double-grille vertical .....	57
II.5.1. Le transistor MOS double-grille planaire.....	57
II.5.2. Le transistor MOS double-grille quasi-planaire : le FinFET.....	59
II.5.3.Le transistor MOS double-grille vertical .....	61
II.6. Transistor double-grille planaire.....	61
II.6.1 Introduction.....	61
II.6.2 Transistor double grille planaire.....	62
II.6.2.1 Procédé de fabrication.....	62
II.7. Modes de fonctionnement du transistor MOS double-grille planaire .....	63
II.8. Propriétés électriques du MOSFET double grille .....	65
II.8.1. Définition de la tension de seuil.....	65
II.8.2. État bloqué.....	67
II.8.3. État passant.....	68
II.8.4. Contrôle des effets canaux courts .....	70
II.9. Modélisation analytique compacte du MOSFET double grille à canal long .....	72
II.10. Caractéristiques du modèle idéal de transistor MOS double-grille.....	72
II.11. Différents modèles compacts du MOSFET double-grille.....	73
II.11.1 Modèles en tension de seuil du MOSFET double-grille .....	73
II.11.1.1 Modèle de M. Reyboz/T. Poiroux .....	73
II.11.2 Modèles en potentiel de surface du MOSFET double-grille .....	73
II.11.2.1 Modèle de. A. Ortiz-Conde .....	74
II.11.2.2 Modèle de. Y. Taur .....	75
II.11.3 Modèles en charge du MOSFET double-grille.....	76
II.11.3.1 Modèle de J. He .....	76
II.11.3.2 Modèle de B. Iñiguez .....	77
II.11.4 Bilan et intérêt d'un nouveau modèle .....	78
II.12. Conclusion.....	78

<i>CHAPITRE III: SIMULATION NUMERIQUE DU DG N-MOSFET</i>	80
III.1. L’outil de simulation – Silvaco.....	81
III.2.Présentation du paquet des programmes SILVACO.....	82
III.2.1. Les outils de simulation ATLAS (de la société SILVACO) .....	82
III.2.2. Présentation d’Atlas.....	83
III.2.3.Logique de programmation.....	89
III.3. Modélisation 2D du transistor DG-nMOSFET.....	92
III.3.1.Simulation numérique du DG n-MOSFET et interprétations.....	93
III.4. Etude des effets de la variation des paramètres de la structure sur ses caractéristiques électriques..	96
III.4.1. Etude de l’effet de la Variation de l’épaisseur de l’oxyde sur IDS.....	97
III.4.2. Etude de l’effet de la Variation de la longueur de la grille sur le courant IDS.....	99
III.4.3. Etude de l’effet de la Variation de la largeur du canal tsi sur le courant IDS.....	100
III.4.4. Etude de l’effet de la Variation de la concentration NA sur le courant IDS.....	102
III.4.5. Etude de l’effet de la Variation de la concentration ND sur le courant IDS.....	104
III.4.6. Mise en évidence des courants de fuite Ion et Ioff de la structure.....	105
III.4.7. Mise en évidence des courants de fuite IDIBL de la structure.....	106
III.4.8. Simulation de la structure optimisée.....	108
III.4.9. Comparaison des performances du DFFET et du MOSFET simple grille.....	110
III. 5. Analyse du bruit de la structure.....	111
III.6. Conclusion .....	115
<i>CONCLUSION GENERALE</i> .....	118
<i>BIBLIOGRAPHIE</i> .....	121
<i>ANNEXE 1</i> .....	I
<i>ANNEXE 2</i> .....	II
<i>RESUME</i> .....	

# LISTE DES TABLEAUX

Tableau I.1. Représentation des différences zones de fonctionnement du MOSFET. Les valeurs de $\Psi_S$ et $V_{gb}$ sont indiquées aux frontières de chaque régime.....	12
Tableau II.1. Architectures multi-grille non conventionnelles de transistor MOSFET (IRTRS 2004 )....	46
Tableau II .2 . Caractéristiques des différents modèles compacts de MOSFET double-grille en mode de fonctionnement symétrique .....	78
Tableau III.1.Ordre des groupes des commandes dans un programme Atlas.....	89
Tableau III.4. Les paramètres de silicium fixés par défaut dans le simulateur Atlas à la température de 300K .....	94
Tableau III.3 : Résumé des valeurs adoptées pour les simulations de la structure étudiée.....	95
Tableau III.2 : Diagramme de la simulation numérique via Silvaco.....	92

# LISTE DES FIGURES

Figure I.1 .Évolution de la technologie : de la lampe triode (a) au MOSFET nanométrique vue en microscopie électrique à transmission.....	02
Figure I. 2 Illustration de la loi de Moore : évolution du nombre de transistors dans les microprocesseurs Intel.....	03
Figure I.3. Vue schématique du transistor MOS de type N.....	07
Figure I.4 : Coupe Schématique d'un transistor MOS avec une vue de dessus. ....	08
Figure I.5 : Le MOSFET à canal n sur substrat massif. a) schéma du transistor; b) illustration du potentiel distribué dans le transistor.....	09
Figure I.6 : Diagramme de bandes d'énergies pour un MOSFET à canal n à désertion. MOSFET en régime a) accumulation; b) désertion; c) inversion faible; d) inversion forte. ....	10
Figure I.7 : Visualisation des quantités de charges par unité de surface présentes dans le MOSFET pour chaque régime de fonctionnement .....	11
Figure I.8 : Représentation idéale des quantités de charges dans le silicium en fonction de $V_{gb}$ , d'après [10].Les régimes de fonctionnement sont indiqués ainsi que leurs potentiels spécifiques $V_{gb}$ . ....	12
FigureI.9: Représentation des diverses zones de fonctionnement du MOSFET en fonction de la polarisation $V_{gs}$ et de $V_{ds}$ ( $V_{sb}$ est constant) ou de $V_{sd}$ ( $V_{db}$ est constant), [10]. À droite, dans l'encadré, l'évolution du potentiel de surface dans le canal du côté du drain est représentée en fonction de $V_{ds}$ , pour une polarisation $V_{gb}$ donnée, d'après .....	14
FigureI.10. MOS à appauvrissement canal N.....	19
FigureI.11.MOS à appauvrissement canal P.....	19
Figure. I .12.MOS à enrichissement canal N.....	20
FigureI.13 .MOS à enrichissement canal P.....	20
Figure 1.14.Caractéristiques de transfert et de sortie des différents types de MOSFET .....	21
I.15. Diagramme de bandes du transistor MOS en régime d'inversion forte suivant l'axe y en un point quelconque du canal.....	22
Figure I.16. Comparaison entre la modélisation et la mesure du courant de Drain en régime linéaire pour un transistor MOS à canal N long ( $W_{eff}/L_{eff} = 10/10\mu m$ ) et oxyde ultra mince $T_{ox} = 2.1nm$ . ....	28
Figure I.17 Comparaison entre la modélisation et la mesure du courant de Drain en régime linéaire pour un transistor MOS à canal N court ( $W_{eff}/L_{eff} = 10/0.13\mu m$ ) et oxyde ultra mince $T_{ox} = 2.1nm$ .....	28
Figure. I.18. Comparaison entre la modélisation et la mesure du courant de drain en fonction de la tension de Drain pour différentes valeurs de la tension de Grille pour un transistor MOS à canal N long ( $W_{eff}/L_{eff} = 10/10\mu m$ ) et oxyde ultra mince $T_{ox} = 2.1nm$ .....	28
Figure. I.19. Comparaison entre la modélisation et la mesure du courant de drain en fonction de la tension de Drain pour différentes valeurs de la tension de Grille pour un transistor MOS à canal N court ( $W_{eff}/L_{eff} = 10/0.13\mu m$ ) et oxyde ultra mince $T_{ox} = 2.1nm$ . ....	29

Figure I.20. Pincement de canal.....	30
Figure I.21.....	30
Figure I-22 : Modèle quasi-statique de la zone intrinsèque du transistor FET.....	34
Figure I-23. Schéma électrique petit signal du transistor FET en source commune.....	34
Figure. I.24. Influence de l'effet du partage de charge sur la caractéristique du courant du transistor MOS pour $V_d=1$ V.....	39
Figure I.25. Profil du potentiel de canal sur une structure à canal court pour : (a) $V_{ds}=0$ V et (b) $V_{ds}>0$ V.....	39
Figure. I.26. Influence de l'effet du DIBL sur la caractéristique ( $I_d - V_g$ ) du transistor MOS.....	40
Figure II.1. Structure du DG MOSFET.....	45
Figure II.2. Schéma d'un substrat SOI (Silicon on Insulator).....	47
Figure II.3 Coupe schématique de transistors MOS (a) bulk et (b) SOI.....	48
Figure II.4. Représentation schématique d'un transistor SOI : (a) entièrement déplété et (b) partiellement déplété.....	48
Figure II.5. Distribution de la charge de déplétion pour le MOSFET bulk et le SOI.....	50
Figure II.6. Circuit capacitif équivalent (a) d'un MOSFET sur substrat massif et (b) d'un SOI MOSFET.....	50
Figure II.7. Comparaison de la pente sous le seuil du transistor MOS en technologies bulk et SOI, pour une géométrie constante.....	51
Figure II.8. Influence électrostatique sur le SOI à une grille.....	52
Figure II.9. Evolution (en recherche) de la technologie SOI au fil des années.....	53
Figure II.10. Les différentes structures multi-grilles : SOI double-grille (2), SOI triple grille (3), SOI quadruple-grille/Surrounding-gate (4), et grille en forme $\Pi$ ou $\Omega$ (3+).....	53
Figure II-11. Description des trois catégories d'architecture de transistor double-grille: (a) conduction planaire (b) conduction verticale (c) conduction latérale (FinFET).....	55
Figure II.12. L'extension des grilles conduisant aux structures $\Pi$ et $\Omega$ SOI MOSFETs.....	55
Figure. II.13 : Orientation du transport électronique et effet de champ sur le MOSFET double grille planaire.....	57
Figure .II.14. : Image au MEB (microscope électronique à balayage) d'une coupe de transistor MOS double-grille (a) non-auto-alignée et (b) auto-alignée.....	58
Figure. II.15. : Orientation du transport électronique et effet de champ sur le MOSFET double grille quasi-planaire. (La flèche indique l'orientation du transport et la position des grilles indique la direction de l'effet de champ par rapport au plan supérieur du substrat qui correspond au plan horizontal).....	59
Figure. II.16. Schéma d'une structure de FinFET quasi-planaire.....	59
Figure. II.17. Images de FinFET : a) Image au MEB d'une vue de dessus d'un FinFET. b) Image au MEB d'une coupe perpendiculaire au flux des porteurs d'un FinFET. L'encart montre une image en TEM de «l'aileron» et de l'oxyde de grille.....	60
Figure. II.18. Orientation du transport électronique et effet de champ sur le MOSFET double grille vertical. (La flèche indique l'orientation du transport et la position des grilles indique la direction de l'effet de champ par rapport au plan supérieur du substrat qui correspond au plan horizontal).....	61
Figure. II.19. Image au MEB d'un transistor vertical à grille enrobante ( $L_g=100$ nm).....	61
Figure II.20. Procédé de fabrication d'un transistor double-grille planaire.....	63
Figure .II.21. Structure générique d'un transistor MOS double-grille.....	64
Figure II.22. Caractéristiques $I_D - V_{GS}$ en échelle logarithmique des SOI multi-grilles pour $L=15$ nm, (a) $t_{Si}=5$ nm et (b) 10nm.....	68
Figure II.23. Caractéristiques $I_D - V_{DS}$ des multi-grilles pour $L=15$ nm, (a) $t_{Si}=5$ nm et (b) 10nm. En tirets, le courant est divisé par le nombre de grilles ; 1 pour le MOSFET SOI à une grille (SG), 2 pour le MOSFET double-grille (DG), 3 pour le MOSFET triple-grille (TG) et 4 pour le MOSFET quadruple-grille.....	69
Figure. II.24. Caractéristiques $I_D - V_{GS}$ des multi-grilles pour $L=15$ nm, (a) $t_{Si}=5$ nm et (b) $t_{Si}=10$ nm.....	69
Figure. II.25. Minimisation de la dégradation de la pente sous le seuil avec l'augmentation du nombre de grilles à $W=t_{Si}=30$ nm, $t_{ox}=3$ nm, 0, $V_{DS}=1$ V.....	70
Figure. II.26. Coupes longitudinales de la bande de conduction sur (a) un MOSFET SOI à une grille et (b) un MOSFET double-grille, pour $V_{GS}=0$ V suivant la profondeur du film de silicium à $V_{DS}$ faible et fort. $L_c=15$ nm et $t_{Si}=5$ nm.....	71
Figure. II.27. Minimisation du DIBL avec l'augmentation du nombre de grille pour $W=t_{Si}=10$ nm.....	71
Figure III.1. Entrées et sorties d'Atlas.....	85

Figure III.2. Les composants (ou les modules) d'Atlas. ....	86
Figure III.3. structure générique d'un MOSFET à double grilles. ....	93
Figure III. 4: Structure du MOSFET double grille.....	94
Figure. III.5 : Structure n-MOSFET double-grille : (a) définition du maillage, (b) Profil de dopage dans les différentes régions du dispositif, L=10nm, tox =1,5 nm.....	95
Figure III.6. Caractéristiques de transfert et de sortie IDS-VGS du DG n-MOSFET.....	96
Figure III.7. Caractéristiques de transfert et de sortie IDS-VDS du DG n-MOSFET.....	96
Figure III.8 : caractéristique IDS-VGS pour différentes valeurs de l'épaisseur de l'oxyde.....	97
Figure III.9: caractéristique IDS-VDS pour différentes valeurs de l'épaisseur de l'oxyde.....	97
Figure III.10. Schématisation de la variation de la longueur des grilles du DG-nMOSFET.....	98
Figure III.11. Caractéristique de transfert et de sortie IDS-VGS pour trois différentes longueurs des grilles.....	99
Figure III.12. Caractéristique de transfert et de sortie pour trois différentes longueurs des grilles.....	99
Figure III.13. Caractéristique de transfert et de sortie IDS-VGS pour trois différentes épaisseurs du film de silicium tsi....	100
Figure III.14. Caractéristique de transfert et de sortie IDS-VDS pour trois différentes épaisseurs du film de silicium ts.....	101
Figure III.15. Schématisation de la variation de la concentration NA du DG-nMOSFET. ....	101
Figure III.16. Caractéristique de transfert et de sortie IDS-VGS pour différentes concentrations NA.....	102
Figure III.17. Caractéristique de transfert et de sortie IDS-VDS pour différentes concentrations NA.....	103
Figure III.18. Caractéristique de transfert et de sortie IDS-VGS pour différentes concentrations NA.....	103
Figure III.19. Caractéristique de transfert et de sortie IDS-VGS pour différentes concentrations N.....	104
Figure III.20. Caractéristique de transfert et de sortie IDS-VGS pour différentes concentrations ND....	104
Figure III.21. Caractéristique de transfert et de sortie IDS-VGS pour différentes concentrations ND.....	105
Figure III.22. Caractéristique de transfert et de sortie IDS-logVGS.....	106
Figure. III.23: Abaissement de la barrière de potentiel pour la bande de conduction par effet DIBL.....	107
Figure. III.24 Mise en évidence du DIBL.....	108
Figure. III.25. structure optimisée.....	109
Figure. III.26. Caractéristique de transfert IDS-VGS de sortie de la structure optimisée.....	109
Figure. III.27. Caractéristique de sortie IDS-VDS de la structure optimisée.....	110
Figure III.28. Le MOSFET simple grille.....	110
Figure. III.29. Caractéristique de sortie IDS-VDS de la structure optimisée.....	111
Figure III.30. Représentation des bruits d'un quadripôle.....	112
Figure III.31. Différentes représentation des bruits d'un quadripôle. ....	112
Figure III.32. Principe de calcul du champ d'impédance. ....	113
Figure III.33. : (a) : Représentation de SX(f), et SXY(f) en (b) en entrée et en sortie du transistor. ....	114
Figure III.34. Mise en évidence des champs d'impédance du transistor. ....	115

# LISTE DES CONSTANTES, SYMBOLES ET ABREVIATIONS

## Significations

Constante diélectrique du silicium  
Constante diélectrique de l'oxyde  
Charge élémentaire  
Constante de Boltzmann

## Constantes

$\epsilon_{Si}$   $Fm^{-1}$   
 $\epsilon_{ox}$   $Fm^{-1}$   
 $e = 1,6 \cdot 10^{-19}$  C  
 $k = 1,38 \cdot 10^{-23}$  J · K<sup>-1</sup>

## Significations

### Paramètres du silicium

Niveau d'énergie de la bande de conduction  
Niveau d'énergie de la bande de valence  
Niveau de Fermi intrinsèque  
Niveaux de Fermi du métal  
Niveaux de Fermi du silicium de type p  
Niveaux de Fermi du silicium de type n  
Concentration intrinsèque des porteurs dans le silicium

## Symboles

## Unités

$E_c$  eV  
 $E_v$  eV  
 $E_i$  eV  
 $E_{fm}$  eV  
 $E_{fp}$  eV  
 $E_{fn}$  eV  
 $n_i$  cm<sup>-3</sup>

### Paramètres géométriques et technologiques des transistors MOS

Longueur de la grille  
Longueur du canal  
Largeur du canal  
Profondeur de jonction du MOSFET bulk  
Épaisseur d'oxyde au-dessus du film de silicium  
Épaisseur d'oxyde en dessous du film de silicium  
Épaisseur de la grille  
Épaisseur du film de silicium  
Longueur de diffusion latérale  
Longueur de recouvrement  
Température  
Dopage du substrat  
Dopage de la source et du drain

$L_g$  m  
 $L$  m  
 $W$  m  
 $X_j$  m  
 $t_{ox1}$  m  
 $t_{ox2}$  m  
 $t_g$  m  
 $t_{si}$  m  
 $L_d$  m  
 $L_{ov}$  m  
 $T$  K  
 $N_A$  cm<sup>-3</sup>  
 $N_D$  cm<sup>-3</sup>

### Paramètres électriques des transistors MOS

Tension thermodynamique  
Tension d'alimentation  
Tension de bandes plates  
Polarisation de la grille  
Polarisation du drain  
Polarisation de la source  
Polarisation du substrat pour le MOSFET bulk  
Différence des travaux de sortie entre la grille et le silicium  
Potentiel de Fermi  
Potentiel de surface  
Potentiel au centre du film de silicium  
Tension de seuil pour un transistor canal long

$U_T$  V  
 $V_{DD}$  V  
 $V_{FB}$  V  
 $V_g$  V  
 $V_d$  V  
 $V_s$  V  
 $V_b$  V  
 $\Delta\Phi_{ms}$  V  
 $\Phi_F$  V  
 $\Psi_S$  V  
 $\Psi_C$  V  
 $V_{to}$  V

Tension de seuil pour un transistor canal court	$V_{th}$	V
Courant de drain	$I_d$	A
Mobilité des porteurs à champ faible	$\mu_0$	$cm^2 \cdot V^{-1} \cdot s^{-1}$
Mobilité effective des porteurs	$\mu_{eff}$	$cm^2 \cdot V^{-1} \cdot s^{-1}$
Capacité de l'oxyde sur une grille	$C_{ox1}$	F
Capacité d'oxyde totale	$C_{OX}$	F
Capacité extrinsèque	$C_{ext}$	F
Capacité de bord interne	$C_{if}$	F
Capacité de bord externe	$C_{of}$	F
Capacité de recouvrement	$C_{ov}$	F
Pente sous le seuil	SS	mV / dec
Facteur de substrat		n

### Paramètres électriques du modèle

Champ critique	$E_0$	$V \cdot cm^{-1}$
Vitesse de saturation des porteurs	$v_{sat}$	$cm \cdot s^{-1}$
Mobilité des porteurs à champ faible	$\mu_0$	$cm^2 \cdot V^{-1} \cdot s^{-1}$
Paramètre d'ajustement du modèle de capacité de recouvrement		$\lambda^* V^{-1}$
Paramètre d'ajustement du modèle pour les effets canaux courts		$\sigma$

### Grandeurs électriques normalisées

Densité de charge d'inversion normalisée	$Q_m$
Polarisation de la grille normalisée	$v_g$
Polarisation du drain normalisée	$v_d$
Polarisation de la source normalisée	$v_s$
Potentiel de Fermi normalisé	$\Phi_f$
Tension de seuil pour un transistor canal long normalisée	$v_{to}$
Tension de seuil pour un transistor canal court normalisée	$v_{th}$
Courant de drain normalisé	$i_{ext}$
Capacité de bord interne normalisée	$c_{if}$
Capacité de bord externe normalisée	$c_{of}$
Capacité de recouvrement normalisée	$c_{ov}$

### Abréviations significations

ADG	Transistor MOS SOI double-grille en mode de fonctionnement asymétrique
DG	Transistor MOS SOI double-grille.
DIBL	« Drain Induced Barrier Lowering » : Abaissement de la barrière de potentiel induit par le drain.
FDSOI	Transistor MOS SOI entièrement déplété.
GAA	Transistor MOS SOI à grille enrobant.
ITRS	« International Technology Roadmap of Semiconductor »: Feuille de route internationale des semi-conducteurs.
MEB	Microscope électronique à balayage.
MOS	Métal-Oxyde-Semiconducteur.
MOSFET	« MOS Field Effect Transistor » : Transistor à effet de champ MOS.
PDSOI	Transistor MOS SOI partiellement déplété.
QG	Transistor MOS SOI quadruple-grille .



Roll-off,CS	« Charge sharing » : Partage de charge.
SCE	« Short-Channel Effects » : Effect canaux courts.
SDG	Transistor MOS SOI double-grille en mode de fonctionnement symétrique.
SOI	« Silicon On Insulator » : Silicium sur isolant.
SG	Transistor MOS SOI à une grille.
TCAD	« Technology Computer-Aided Design ».
TEM	Microscopie par transmission électronique.
TG	Transistor MOS SOI triple-grille.
TMOS	Transistor Métal-Oxyde-Semiconducteur.

# INTRODUCTION GENERALE

## INTRODUCTION GENERALE

L'électronique et l'informatique ont accompli d'énormes progrès en un temps record [Liln'03]. En moins de soixante ans, les dispositifs ont subi de profondes modifications. Ainsi, les lampes triodes originelles de dimensions macroscopiques (Fig.I.1-a) ont été remplacées par des transistors MOSFET ne mesurant actuellement que quelques dizaines de nanomètres de longueur de grille (Fig.I.1-b). D'autre part, l'évolution sur le plan informatique a suivi la même tendance : l'ENIAC ( *Electronic Numerical Integrator and Computer*), par exemple, avec ses 30 tonnes et ses 19000 lampes réalisant 5000 opérations arithmétiques à la seconde fait figure de dinosaure face aux microprocesseurs actuels qui fonctionnent à plus de 3 GHz avec plus de 5000 millions d'instructions traitées par seconde.



Figure I.1. Évolution de la technologie : de la lampe triode (a) au MOSFET nanométrique vue en microscopie électrique à transmission (b) [Bœu'01]

De nos jours, grâce aux microordinateurs, une même opération élémentaire est effectuée un million de fois plus rapidement, et consomme 100000 fois moins de puissance électrique.

Cette évolution repose sur la filière silicium avec comme figure de proue le transistor à effet de champ à grille isolée dit MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*) combiné à la technologie CMOS (*Complementary Metal Oxide Semiconductor*).

Ainsi que l'illustre la Fig. I.2, à partir du milieu des années 70, avec l'avènement des microprocesseurs et de la micro-informatique, le nombre de MOSFET par puce n'a pas cessé de croître. Cette croissance s'est faite grâce à la diminution des dimensions des transistors et notamment la longueur de la grille  $L$ . En 1965, Gordon Moore prédit que le nombre de transistors par unité de surface doublerait tous les ans. Concrètement, les progrès

## Introduction générale

technologiques ne permettront de multiplier la densité d'intégration par deux que tous les dix-huit mois. Cette évolution appelée « *loi de Moore* » régit aujourd'hui la ligne directrice des objectifs, soit plus généralement, la feuille de route – connue sous le terme *roadmap*– des différentes industries de la microélectronique [ITRS 03] .

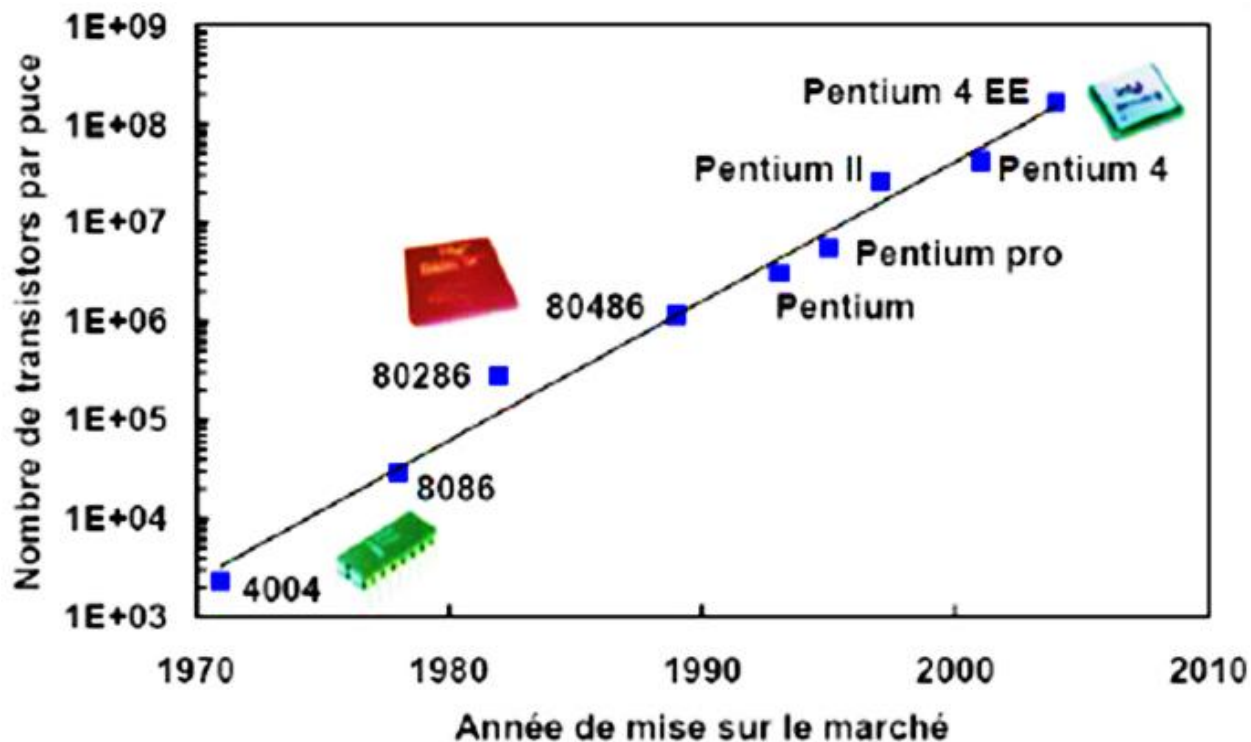


Figure. I. 2. Illustration de la loi de Moore : évolution du nombre de transistors dans les microprocesseurs Intel

La croissance rapide de l'industrie de l'électronique [Dau'95] s'est basée sur l'évolution de la technologie des circuits intégrés en termes de performances (fréquence d'horloge notamment) et de coût par fonction. Toutefois, après quasiment une vingtaine d'années de course effrénée vers la réduction des dimensions des composants électroniques, les problèmes ne se limitent plus aux seules difficultés de réalisation. En effet avec la miniaturisation, nous assistons à l'apparition de phénomènes d'ordre théorique remettant en cause les avantages qu'offrait la technologie CMOS. Parmi ces phénomènes, nous avons notamment l'abaissement de la barrière de potentiel au niveau du drain donnant naissance au phénomène dit DIBL (drain induced barrier leakage), les effets canaux courts dits SCE (short channel affect), les phénomènes de nature quantique, le courant tunnel de grille, la fluctuation aléatoire des dopants, etc. [Aro '93].

Ces phénomènes sont hélas devenus inévitables lorsque les dimensions des dispositifs sont réduites de manière drastique et rendent la miniaturisation difficile voire impossible.

Pour contourner ces difficultés, l'une des solutions consistant à modifier l'architecture des composants actuels, notamment l'augmentation du nombre de grilles afin d'avoir un meilleur contrôle du flux de courant, paraît une solution de choix pour l'avenir de la microélectronique [Col'97]. Il semble acquis que les transistors intégrant une seconde grille tels que le transistor double-grille et le FinFET soient en phase de devenir des solutions indispensables à la conception de circuits micro et nanoélectroniques [ITRS'03]. Grâce à leurs

# *Introduction générale*

structures, ces dispositifs offrent non seulement un courant plus important, mais également un meilleur contrôle du canal lorsque leurs dimensions sont fortement réduites, en comparaison avec le MOSFET bulk.

Ces nouvelles structures permettant de réduire ces effets canaux courts sont modélisées sous la forme de modèles compacts interprétables par les simulateurs de composants puissants. Ces modèles compacts doivent être capables de décrire le plus exactement possible le comportement électrique (statique et dynamique) de ces dispositifs. Permettant ainsi d'élaborer ensuite au mieux les circuits intégrés préalablement définis en CAO en utilisant le modèle compact efficace et adapté à ses besoins.

Depuis quelques années, nous voyons apparaître quelques modèles compacts de transistor MOS double-grille. Ces modèles sont plus ou moins performants, plus ou moins « lisibles » par le concepteur sur le plan technologique, et plus ou moins adaptés à la conception de circuits intégrés. Cela se traduit par une efficacité plus ou moins grande ; par efficacité, nous entendons : résultats de simulation, domaine de validité, efficacité numérique, bon modèle dynamique (s'il existe).

Dans ce travail, nous nous sommes intéressés à l'étude et à la modélisation compacte du transistor MOSFET nanométrique.

On aurait pu viser par cette étude un transistor sur bulk nanométrique, cependant les transistors conventionnels voient leurs performances se dégrader au-dessous du nœud 50nm les rendant pratiquement inopérant. C'est pour cette raison que nous avons opté dans cette étude pour une variante de transistors à multi grilles soit la double-grille planaire. Ce travail s'inscrit comme une continuité d'une étude antécédente élaborée dans le cadre d'un antécédent travail effectué au sein de notre équipe, avec certains changements que nous avons jugés nécessaires tels que les dimensions géométriques de la structures, position des contacts source et drain entre autre. Nous avons alors pu continuer nos investigations concernant ce dispositif pour continuer d'examiner ses performances en terme de courant et aussi compléter cette étude en examinant certains effets indésirables altérant son fonctionnement. Ainsi cette étude élaborée a fait l'objet de trois chapitres :

Dans le chapitre 1, nous présenterons brièvement le transistor MOS ainsi que les problèmes engendrés par sa miniaturisation. Nous évoquerons ensuite les solutions technologiques possibles pour répondre à ces problèmes.

Le second chapitre sera consacré à la présentation des structures MOSFET à double grille.

Enfin le troisième chapitre est consacré à la présentation et l'interprétation des résultats de simulation que nous avons obtenus après avoir présenté le simulateur de dispositif que nous avons utilisé à savoir SILVACO.

# CHAPITRE I

## ETUDE ET MODELISATION DU TRANSISTOR A EFFET DE CHAMP MOSFET

## **I.1. Introduction**

Les notions du transistor MOS (Metal Oxide Semiconductor) ont été brevetés par Lilienfield et Heil en 1930. Cependant des difficultés technologiques ont retardé sa réalisation pratique dûs principalement aux problèmes d'interfaces Si/SiO<sub>2</sub>. Par conséquent, il n'apparaîtra sous sa forme actuelle qu'en 1955 grâce à Ross. Cela bien après la réalisation par Shockley en 1947 du premier transistor de type bipolaire, pourtant théoriquement bien plus compliqué.

C'est en 1960 que Kahng et Attala ont exhibé le premier transistor MOS sur Silicium en utilisant une grille isolée dont le diélectrique de grille était en oxyde de silicium SiO<sub>2</sub>. Le silicium fut un choix très avisé car c'est l'élément le plus abondant de la croûte terrestre, après l'oxygène. De plus son oxyde est non seulement un très bon isolant électrique mais il s'est aussi établi comme étant parfaitement adapté pour former des couches dites de passivation protégeant les circuits, accroissant remarquablement leur fiabilité.

Les transistors MOSFET sur silicium, plus simples et moins onéreux que leurs rivaux les transistors bipolaires, ont connu leur envol dans les années 70-80 grâce à la technologie CMOS (Complementary MOS) inventée en 1968 qui consomme très peu d'énergie. Actuellement, le transistor MOSFET est la base de la conception des circuits intégrés VLSI et ULSI et a mené la technologie CMOS au rang incontesté de technologie dominante de l'industrie du semiconducteur. Au fil des années, la complexité des circuits intégrés a augmenté de façon continue, principalement grâce aux performances accrues des nouvelles générations de transistors MOSFET.

La réduction incessante des dimensions des composants et par conséquent des circuits est le moteur de cette course à la performance.

## **I.2. Principe de fonctionnement et modélisation des transistors MOSFET**

La miniaturisation incessante des technologies CMOS répond à des impératifs de performances et de rentabilité, moteurs de l'industrie de la micro-électronique mondiale. Cette miniaturisation va de pair avec l'augmentation du nombre de transistors MOSFET par puce, phénomène bien connu, puisque Gordon Moore, co-fondateur de INTEL Corporation, avait prévu cette loi de croissance dès 1965, quatre ans seulement après la fabrication du premier circuit intégré planaire. On est proche aujourd'hui du milliard de transistors par puce, et la complexité des architectures sur silicium est telle, que la conception assistée par ordinateur, requiert une modélisation poussée du comportement électrique des dispositifs MOS. La

réduction des géométries des transistors s'accompagne du développement de nouveaux procédés de fabrication qui ne sont pas sans générer des effets parasites qui influencent le fonctionnement des composants. Ceci a pour conséquence d'accroître la complexité des modèles prédictifs, qui sont ainsi ajustés et optimisés à chaque nouvelle génération de procédés de fabrication. On peut citer les onze générations de modèle SPICE qui se succédèrent avant de laisser place aux modèles plus complexes BSIM (de Berkeley) et MM9 (développé par Philips). Ces modèles s'établissent à partir des propriétés électriques globales du composant, obtenues à l'aide de leurs caractéristiques I-V ajustées. Dans cette partie, nous allons décrire les équations de base d'une structure capacitive MOS, pour arriver à la modélisation du transistor. Les effets parasites les plus couramment rencontrés seront ensuite définis.

### I.2.1. La structure du MOSFET

Avant de présenter les équations permettant le calcul du courant de drain du transistor MOS, il est nécessaire de définir les différentes notations utilisées [Mass 99].

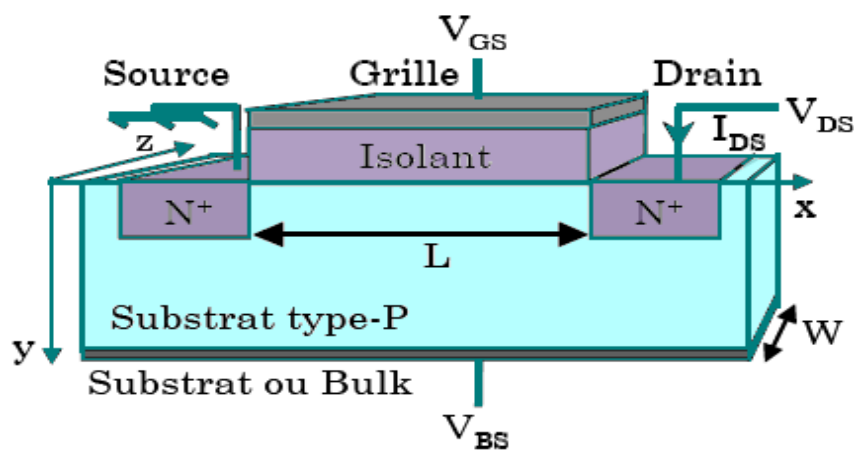


Figure I.3. Vue schématique du transistor MOS de type N [Mass 99].

Le transistor MOS (ou MOSFET pour transistor Métal-Oxyde-Semiconducteur à effet de champ) à canal N est un dispositif quadripolaire constitué d'une électrode de grille (G), de source (S), de drain (D) et de substrat (B) (Fig. (I.3)). La longueur du transistor, notée  $L$ , correspond à la longueur de sa grille et sa largeur est notée  $W$ . La structure du transistor étant identique selon sa largeur, on le représente communément dans le plan  $(x, y)$ . Nous considérerons par la suite un transistor à canal surfacique, c'est-à-dire dont la conduction est assurée par les porteurs minoritaires du substrat (électrons dans le cas d'un NMOSFET), à l'interface entre le diélectrique de grille et le substrat.



Notons que le MOSFET possède deux électrodes supplémentaires par rapport à la capacité MOS, qui sont constituées de deux caissons dopés  $N^+$  pour un NMOS (réservoirs à électrons). Ainsi, de nombreuses propriétés du transistor MOS découlent de celles de la capacité MOS.

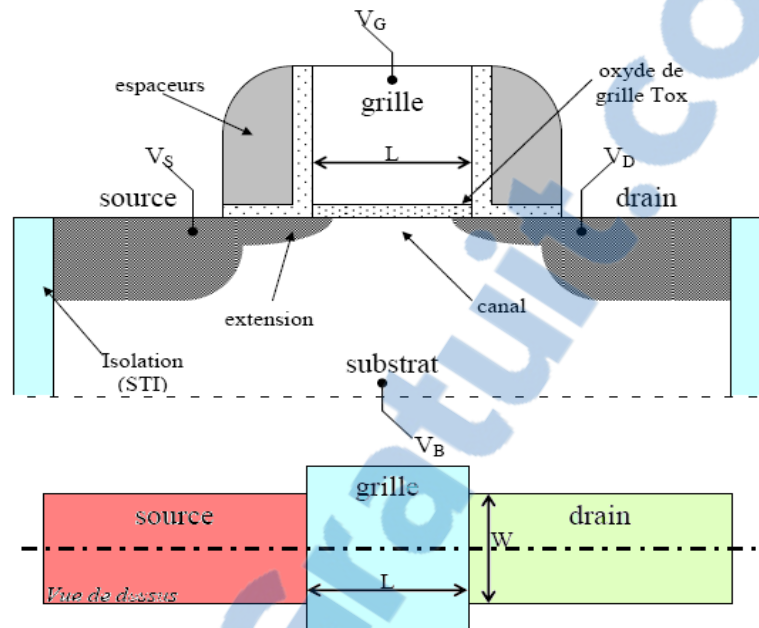


Figure. I.4. Coupe Schématique d'un transistor MOS avec une vue de dessus

Schématiquement un transistor MOSFET est constitué de [Clau 04] :

-**l'électrode de grille** : C'est l'électrode qui va commander le dispositif tel un interrupteur. Dans les technologies actuelles (jusqu'au nœud technologique 45nm), elle est constituée de silicium polycristallin, souvent appelé polysilicium, qui est dopée selon s'il s'agit d'un nMOSFET ou d'un pMOSFET, respectivement  $N^+$  et  $P^+$ . Cette électrode est isolée du substrat par le diélectrique de grille. Il s'agit d'oxyde de silicium nitruré :  $SiON$ .

-**Le canal** : C'est la zone constituée de silicium monocristallin, située sous l'oxyde de grille et qui constitue le lieu de conduction des porteurs minoritaires. Elle est dopée  $P$  dans le cas d'un nMOSFET, et  $N$  pour un pMOSFET.

-**Le module de jonctions et extensions** : Il s'agit des zones de source et de drain, également noté S/D, qui sont les électrodes latérales. Elles sont réalisées par dopage à dégénérescence du substrat,  $N^+$  dans le cas nMOSFET et  $P^+$  pour le pMOSFET. Nous distinguons deux zones : au contact direct du canal nous trouvons les extensions, ou LDD (de «Lightly Doped Drain »), où le dopage est plus superficiel. Puis de part et d'autre viennent les deux zones ohmiques de source et de drain, avec des jonctions plus profondes pour réduire leur résistivité ; elles sont formées après la création des espaceurs qui sont en nitrure ( $Si_3N_4$ ) dans les technologies

actuelles, Les électrodes de grille, de drain et de source sont siliciurées (réaction chimique d'un métal avec le silicium) afin de réduire la résistance de la prise de contact. Dans les nouvelles technologies elles sont faites avec du siliciure de nickel (NiSi).

### I.2.2. Le fonctionnement des MOSFET en statique

Les potentiels appliqués sur la grille,  $V_g$ , et sur le substrat,  $V_b$ , modulent le type et la quantité des porteurs présents dans la zone active, voir figure 3.b En première approximation, la structure "grille/oxyde de grille/substrat" se comporte comme une capacité. La différence de potentiel entre l'interface "oxyde de grille/substrat" et la zone neutre du substrat s'appelle le potentiel de surface,  $\Psi_s$ . Ce potentiel varie suivant les conditions de polarisation de la grille et du substrat mais aussi en fonction du champ électrique longitudinal au canal (potentiels de source et de drain). Le potentiel, sous le canal, varie jusqu'à un seuil fixé dans la partie neutre du substrat.

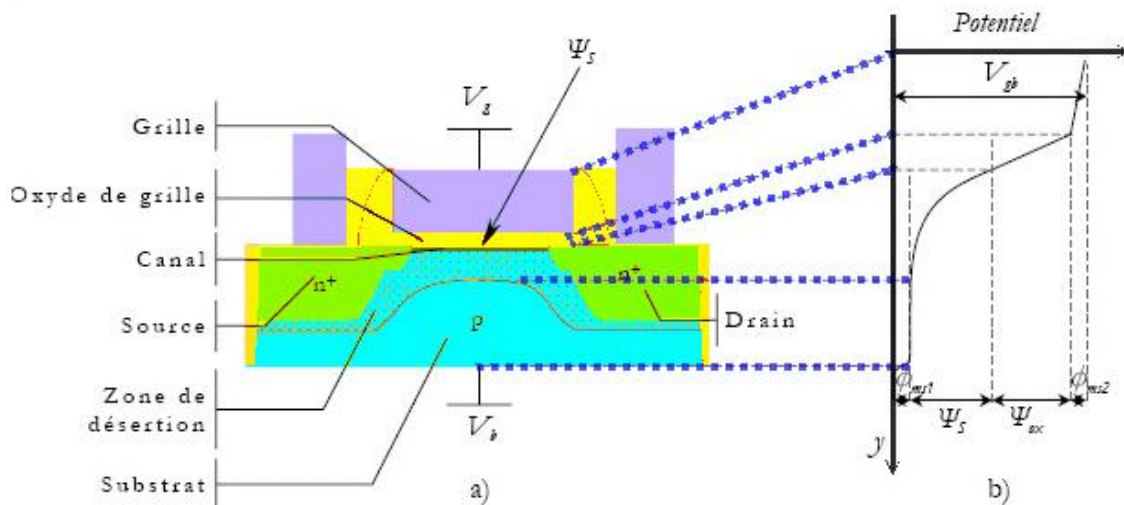


Figure I.5. Le MOSFET à canal n sur substrat massif. a) schéma du transistor; b) illustration du potentiel distribué

dans le transistor

( $V_{gb} = V_g - V_b$ ).  $\Psi_{ox}$  correspond à la différence de potentiel entre les deux interfaces de l'oxyde de grille. Les différences des travaux de sortie au niveau de la grille et du substrat sont représentées par  $\phi_{ms1}$  et  $\phi_{ms2}$ .  $\phi_{ms} = \phi_{ms1} + \phi_{ms2}$  Dans la suite de ce paragraphe, l'étude de cette structure de type Métal Isolant Semi-conducteur ou MIS est approfondie.

### I.2.2.1. Les régimes de fonctionnement du MOSFET

Par supposition, aucun potentiel n'est appliqué sur la source et le drain. Six modes de fonctionnement sont identifiables en fonction de  $V_{gb}$ . Sauf la condition de bandes plates et le régime d'inversion modérée, ceux-ci sont représentés à la figure I.6.

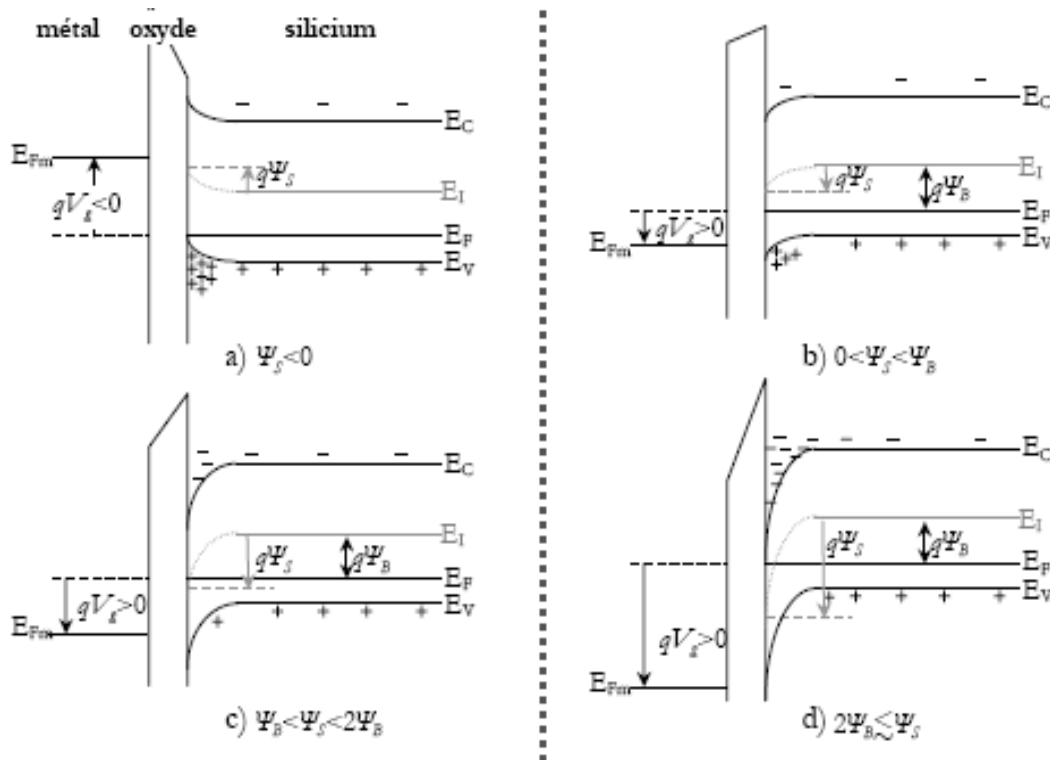


Figure I.6. Diagramme de bandes d'énergies pour un MOSFET à canal n à désertion. MOSFET en régime a) accumulation; b) désertion; c) inversion faible; d) inversion forte

Si la différence de potentiel entraîne  $\Psi_s$  négatif, la quantité de charge négative dans le polysilicium,  $Q'_g$ , donnera l'apparition d'une quantité de charges positives dans le canal,  $Q'_{acc}$ . Les charges majoritaires – trous – s'accumulent à l'interface "oxyde/substrat". Le transistor est alors en régime d'accumulation, voir figure I.6-a et figure I.7. Dans le canal, cette charge d'accumulation, essentiellement surfacique, s'étend sur environ  $50 \text{ \AA}$ , jusqu'à  $y_{acc}$ .

La condition de bandes plates est obtenue lorsque  $\Psi_s$  est nul. La quantité de charge par unité de surface dans le canal  $Q'_c$  est nulle, (figure I.7.) Dans ce cas  $V_{gb} = V_{FB}$  et  $V_{FB}$  est la tension de bandes plates qui s'exprime par :

$$V_{fb} = \phi_{ms} - \frac{Q'_{ox}}{C'_{ox}} \quad (I.1)$$

$Q'_{ox}$  correspond à la quantité de charges par unité de surface présente dans l'oxyde et aux interfaces entre l'oxyde et le silicium.

$C'_{ox}$  est la capacité de l'oxyde de grille par unité de surface.

Dans ces conditions, en augmentant le potentiel de grille,  $\Psi_S$  devient positif. La densité de trou à l'interface se réduit ("depleted"). Ces trous sont expulsés loin de l'interface.

Une zone se forme, désertée de porteurs majoritaires dont la quantité de charges par unité de surface est  $Q'_b$ . Le transistor est en régime de désertion, (figure I.6-b). La profondeur de la zone de désertion est donnée par  $y_d$ , (figure I.7).

$\Psi_B$  représente la différence de potentiel entre le niveau de Fermi intrinsèque et le niveau de Fermi du semi-conducteur extrinsèque, (figure I.6-b). Lorsque  $\Psi_S = \Psi_B$ , les concentrations à la surface en trous,  $P_s$ , et en électrons,  $N_s$ , sont identiques et correspondent à la concentration intrinsèque,  $n_i$ , des porteurs dans le silicium.  $N_s = P_s = n_i$ . À partir de ce niveau de polarisation, si le potentiel de grille s'accroît, le MOSFET sera en inversion et  $\Psi_S > \Psi_B$ . La quantité de charges par unité de surface, dans la zone d'inversion,  $Q'_{inv}$ , augmente avec le potentiel de surface. Ce régime d'inversion peut être scindé en trois : l'inversion faible, l'inversion modérée et l'inversion forte. Les quantités de charge du régime d'inversion sont illustrées à la figure I.7. Le premier régime intervient lorsque  $\Psi_B < \Psi_S < 2 \cdot \Psi_B$ , (figure I.6-c). Le second régime est caractérisé par :  $2\Psi_B < \Psi_S < 2\Psi_B + k\phi_T$ . Lorsque  $\Psi_S \geq 2 \cdot \Psi_B + k\phi_T$ , le régime d'inversion forte domine, (figure I.6-d).

Comme le potentiel de surface, la profondeur de désertion peut être considérée constante et atteint la valeur maximale  $y_{d,max}$  (figure I.7) définie par l'équation (I.2).

$$y_{d,max} = \sqrt{\frac{2\epsilon_{si}2\phi_f}{qN_a}} \quad (I.2)$$

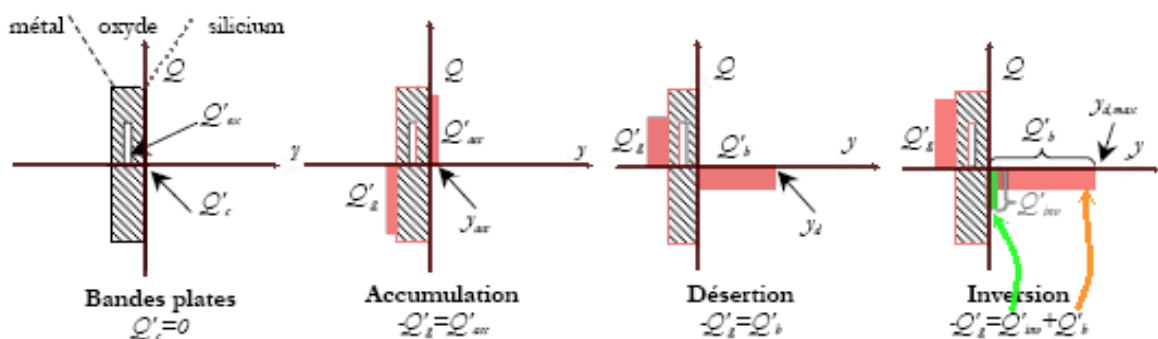


Figure I.7. Visualisation des quantités de charges par unité de surface présentes dans le MOSFET pour chaque régime de fonctionnement [Coli 96]

Entre chaque régime,  $V_{gb}$  est associée à une valeur spécifique. Les rapports entre  $\Psi_s$ ,  $V_{gb}$ , et les différents modes de fonctionnement sont résumés au travers du tableau 1.

Accumulation	$\Psi_s < 0$
	$\Psi_s = 0 \rightarrow V_{gb} = V_{FB}$
Désertion	$\Psi_s = \Psi_B \rightarrow V_{gb} = V_L$
Inversion faible	$\Psi_s = 2\Psi_B \rightarrow V_{gb} = V_M$
Inversion modérée	$\Psi_s = 2\Psi_s + k\phi_T \rightarrow V_{gb} = V_H$
Inversion forte	$\Psi_s = 2\Psi_s + k\phi_T$

Tableau I.1. Représentation des différences zones de fonctionnement du MOSFET. Les valeurs de  $\Psi_s$  et  $V_{gb}$  sont indiquées aux frontières de chaque régime

La représentation de l'ensemble des charges dans le silicium,  $|Q'_{inv}|$  et  $|Q'_b|$ , en fonction de  $V_{gb}$  est illustrée à la figure I.8. Les différents régimes de fonctionnement sont indiqués sur cette courbe. Ainsi, il est possible de remarquer que lorsque  $V_{gb}$  est inférieur à  $V_{FB}$ , l'ensemble des charges présentes dans le silicium est lié à l'accumulation des trous à l'interface **Si/SiO<sub>2</sub>**. Au-delà de  $V_{FB}$ , la densité de charges liée à la zone de désertion augmente jusqu'à un palier. À partir du régime d'inversion faible, la quantité des charges d'inversion croît pour devenir proportionnelle à  $V_{gb}$ , avec une pente égale à  $C'_{ox}$ .

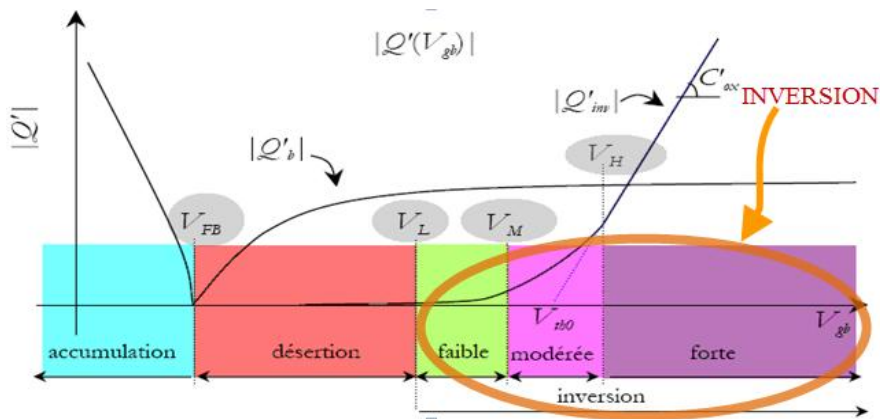


Figure I.8. Représentation idéale des quantités de charges dans le silicium en fonction de  $V_{gb}$ , d'après [Enz 95]. Les régimes de fonctionnement sont indiqués ainsi que leurs potentiels spécifiques  $V_{gb}$

Jusqu'à présent, nous avons basé notre étude sur une structure MIS et ceci afin d'introduire les divers régimes de fonctionnement en fonction de l'état de l'interface **Si/SiO<sub>2</sub>** sous la grille de la structure. Pour comprendre le comportement global du MOSFET,

la source et le drain sont, dorénavant considérés comme étant polarisés aux potentiels respectifs  $V_s$  et  $V_d$ .

Par hypothèse,  $V_{sb}$  et  $V_{db}$  sont positifs de manière à ce que les jonctions "drain/substrat" et "source/substrat" du NMOSFET considéré soient polarisées en inverse.

Le potentiel de surface ne varie plus seulement par rapport à  $V_{gb}$  mais également sur toute la longueur du canal en fonction de  $V_{sb}$  et de  $V_{db}$ . Par exemple, le canal à proximité de la source peut se situer en inversion forte, alors qu'au voisinage du drain, celui-ci peut être en inversion faible. Ainsi, le côté du canal où la charge d'inversion est la plus élevée, définit le régime de fonctionnement en inverse du MOSFET. Le régime de fonctionnement du MOSFET est défini par la combinaison de  $V_{gb}$ , de  $V_{db}$  et de  $V_{sb}$ . La figure I.9 représente l'état du MOSFET en fonction de ces différentes polarisations.  $V_{ds}=V_{db}-V_{sb}$  et  $V_{sd}=V_{sb}-V_{db}$  [San 04]. Lorsque  $V_{ds}=0$ ,  $V_{gb}$  et  $V_{db}$  ou  $V_{sb}$  impose le potentiel de surface. Dans ce cas uniquement,  $\Psi_{S(x)}$  est constant sur toute la longueur du canal.  $x$  est un point situé entre la source, indicé par 0, et le drain, indicé par L. Il est possible, ainsi de retrouver les différents modes de fonctionnement définis pour la structure MIS( figure I.9), par l'intermédiaire des valeurs de  $V_H$ ,  $V_M$  et  $V_L$  définies au tableau 1.

Le canal du côté du drain devient moins inversé par l'effet substrat, voir l'illustration à la figure I.8.

En considérant que  $V_{sb}$  (ou  $V_{db}$ ) soit constant, l'augmentation de  $V_{db}$  (respectivement de  $V_{sb}$ ) s'accompagne de l'accroissement du potentiel de surface du côté du drain :  $\Psi_S(Lg)$  (respectivement  $\Psi_S(0)$ ) croît jusqu'à atteindre un palier lorsque le canal du côté du drain est en désertion, voir encadré de droite à la figure I.9. Cet effet implique l'augmentation des paliers  $V_H$ ,  $V_M$  et  $V_L$  en fonction de  $V_{db}$  (ou de  $V_{sb}$ ). Cette évolution est représentée en tiret à la figure I.8. En accroissant  $V_{db}$ , celui-ci peut atteindre un seuil noté  $V_P$  et dessiné en trait plein à la figure I.8. Cette limite correspond au potentiel de pincement, c'est-à-dire le potentiel à appliquer à un point du canal pour que  $Q'_{inv} \approx 0$ . À ce point, le canal est en inversion faible ou en quasi-désertion. Au-delà de ce potentiel, le transistor est saturé ce qui correspond à la zone hachurée sur la figure I.9.

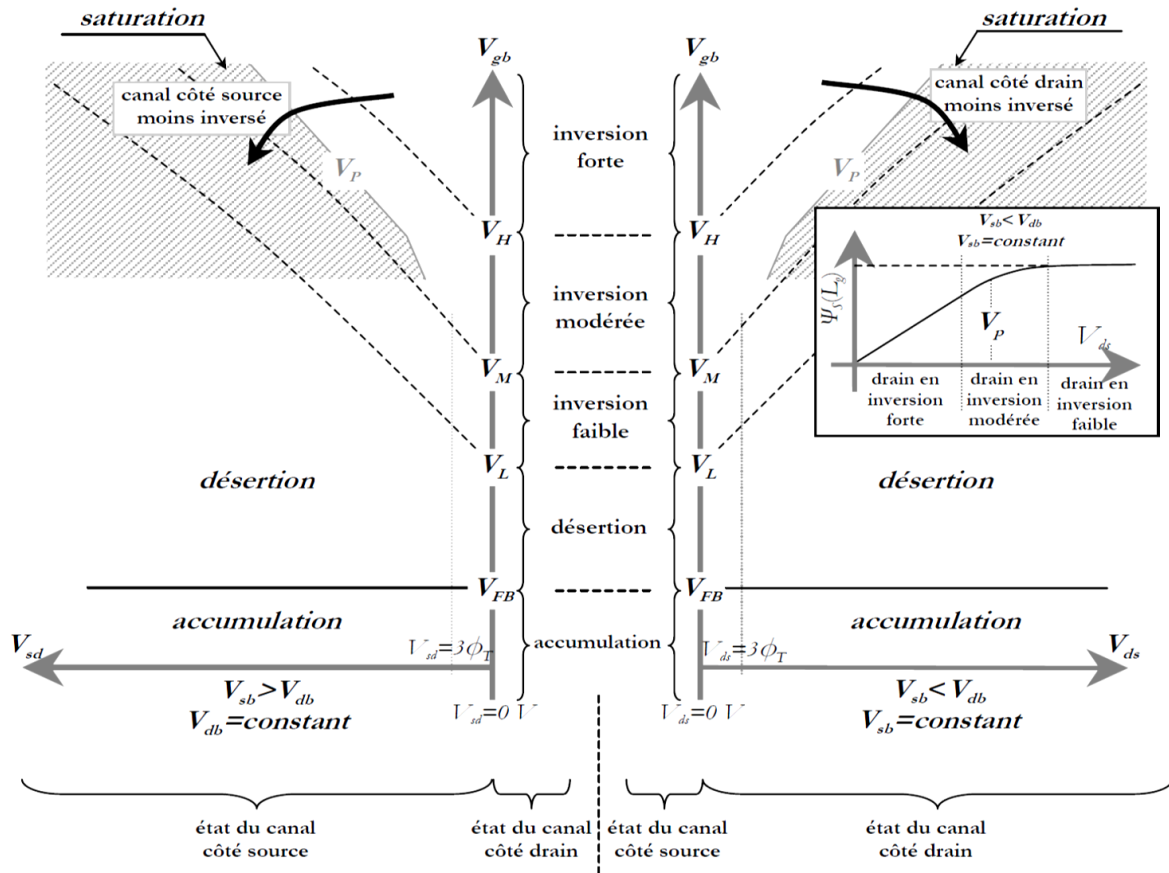


Figure I.9. Représentation des diverses zones de fonctionnement du MOSFET en fonction de la polarisation  $V_{gs}$  et de  $V_{ds}$  ( $V_{sb}$  est constant) ou de  $V_{sd}$  ( $V_{db}$  est constant), [Enz'95] [10]. À droite, dans l'encadré, l'évolution du potentiel de surface dans le canal du côté du drain est représentée en fonction de  $V_{ds}$ , pour une polarisation  $V_{gb}$  donnée, d'après [Enz'02]

### I.3. La capacité MOS

#### I.3.1. Modélisation de la capacité MOS

##### I.3.1.1. Les équations de bases [San'04]

La capacité totale d'une capacité MOS, de surface  $A_{eff}$ , est composée de la capacité d'oxyde,  $C_{ox}$ , en série avec la capacité dynamique du semiconducteur,  $C_{sc}$  :

$$\frac{1}{c} = \frac{1}{c_{ox}} + \frac{1}{c_{sc}} \quad (I.3)$$

Avec

$$\begin{cases} C_{ox} = \frac{\epsilon_{ox} A_{eff}}{t_{ox}} \\ C_{sc} = \frac{dQG}{d\Psi} = \frac{dQ_{sc}}{d\Psi} \end{cases} \quad (I.4)$$

Où  $\Psi_s$  est le potentiel de surface du substrat, et  $t_{ox}$  l'épaisseur de la couche d'oxyde. La charge au niveau de la grille,  $Q_G$ , est reliée à la tension aux bornes de l'isolant par la relation capacitive :

$$Q_G = C_{ox}; V_{ox} \quad (I.5)$$

Où  $V_{ox}$  est la tension appliquée aux bornes de l'oxyde.

Notons que dans les expressions (I.4), les états d'interface et la déplétion de la grille ne sont pas pris en compte.

Pour une capacité MOS, deux équations doivent être respectées : la neutralité de la charge (I.6) et la conservation de l'équation aux potentiels (I.7):

$$Q_G + Q_{ox} + Q_{sc} = 0 \quad (I.6)$$

$$V_{GB} = \Phi_{MS} + \Psi_S + V_{ox} \quad (I.7)$$

Où  $\Phi_{MS}$  est la différence entre les travaux de sortie de la grille et du semiconducteur et  $Q_{ox}$  la charge fixe dans l'oxyde.

A partir des équations (I.5) à (I.7), l'équation aux potentiels (I.5) s'écrit :

$$V_{GB} = V_{FB} + \Psi_S - \frac{Q_{sc}}{C_{ox}} \quad (I.8)$$

Où la tension de bandes plates,  $V_{FB}$ , est définie par :

$$V_{FB} = \Phi_{MS} - \frac{Q_{ox}}{C_{ox}} \quad (I.9)$$

Notons que dans le cas d'une capacité MOS réelle, les pièges d'interface,  $Q_{it}$ , ne sont plus négligeables et la relation donnant la tension de bandes plates,  $V_{FB}$ , doit être corrigée pour prendre en compte ces charges :

$$V_{FB} = \Phi_{MS} - \frac{Q_{ox}}{C_{ox}} - \frac{Q_{it}(\Psi_S=0)}{C_{ox}} \quad (I.10)$$

### I.3.1.2. La charge du semiconducteur $Q_{sc}$

Exprimons, à présent, la charge du semiconducteur  $Q_{sc}$ . Celle-ci est déterminée à partir de la résolution de l'équation de Poisson, puis de l'utilisation du théorème de Gauss. Considérons  $N_A$  la concentration en atomes accepteurs ionisés (et respectivement  $N_D$  la concentration en atomes donneurs ionisés), à une dimension, pour une capacité de type P dont la concentration  $N_A$  est uniforme, l'équation de Poisson se résout simplement. Cette équation de Poisson relie la courbure des bandes du semiconducteur,  $\Psi(y)$ , à la densité de charges,  $\rho(y)$  :

$$\frac{d^2\Psi(y)}{dy^2} = -\frac{\rho(y)}{\epsilon_{si}} \quad (I.11)$$



Où  $y$  correspond à l'axe vertical entre la surface du semiconducteur et le volume de celui-ci et  $\epsilon_{si} = \epsilon_{sc}\epsilon_0$  représente la permittivité du semiconducteur.

La densité de charges dépend à la fois de la densité en porteurs libres et de la charge fixe due aux impuretés dopantes ionisées du substrat :

$$\rho(y) = q[p(y) - n(y) + N_D - N_A] \quad (I.12)$$

Où  $p(y)$  et  $n(y)$  sont respectivement les densités de trous et d'électrons dans le semiconducteur.

$$\begin{cases} n(y) = n_0 \exp(\beta(\Psi(y))) \\ p(y) = p_0 \exp(-\beta(\Psi(y))) \end{cases} \quad (I.13)$$

où  $p_0$  et  $n_0(y)$  sont respectivement les densités de trous et d'électrons libres dans le semiconducteur loin de l'interface et  $\beta$  représente le potentiel thermique  $\beta = q/kT$ .

De plus dans le volume du semiconducteur, la condition de neutralité doit être satisfaite, c'est-à-dire  $\rho(y \rightarrow \infty) = p_0 - n_0 + N_D - N_A = 0$  ce qui implique que  $p_0 - n_0 = N_A - N_D$ . L'équation (I.12) devient alors :

$$\rho(y) = -qN_A \left\{ \left( \frac{n_i}{N_A} \right)^2 [\exp(\beta\Psi(y)) - 1] - [\exp(-\beta\Psi(y)) - 1] \right\} \quad (I.14)$$

avec pour un substrat de type P,  $p_0 = N_A$  et  $n_0 = (n_i)^2 / N_A$ .

A partir de l'équation (I.12) et de l'équation de Poisson (I.9), on obtient le champ électrique  $\xi(y)$ :

$$\frac{d\psi}{dy} = -\xi(y) = \pm \sqrt{\frac{2kTN_A}{\epsilon_{si}}} \sqrt{\left( \frac{n_i}{N_A} \right)^2 [\exp(\beta\psi(y)) - \beta\psi(y) - 1] - 1 + (\exp(-\beta\psi(y)) + \beta\psi(y))} \quad (I.15)$$

En appliquant le théorème de Gauss au champ électrique à l'interface,  $\iint_{(s)} \vec{\xi} \cdot \vec{ds} = \frac{Q_{int}}{\epsilon_{sc}\epsilon_0}$ . La densité totale de charges dans le semiconducteur est obtenue :

$$Q_{sc} = \pm \sqrt{2\epsilon_{si}kTN_A} \sqrt{\left( \frac{n_i}{N_A} \right)^2 [\exp(\beta\psi_s) - \beta\psi_s - 1] - 1 + \exp(-\beta\psi_s) + \beta\psi_s} \quad (I.16)$$

Avec un signe + si  $\Psi_s < 0$  et un signe - si  $\Psi_s > 0$  et  $N_A$  considéré comme constant.

### I.3.1.3. La charge de la zone désertée $Q_D$

Pour obtenir l'expression de la charge de la zone désertée  $Q_D$ , l'équation de Poisson est résolue en omettant le terme ayant pour origine les électrons de la couche d'inversion (quantité  $n$ ). La densité de charges s'écrit donc à présent :

$$\rho = q[p_0 \exp(-\beta\Psi(y)) + n_0 - p_0] = qp_0 \left[ \exp(-\beta\Psi(y)) - 1 + \frac{n_0}{p_0} \right] \quad (\text{I.17})$$

En reportant l'équation (I.15) dans l'équation de Poisson (I.9), il vient :

$$\frac{d^2\Psi(y)}{dy^2} = -\frac{qp_0}{\epsilon_{si}} \left[ \exp(-\beta\Psi(y)) - 1 + \frac{n_0}{p_0} \right] \quad (\text{I.18})$$

En utilisant la même démarche mathématique que celle mise en œuvre pour le calcul de  $Q_{sc}$ , on obtient la charge de la zone désertée :

$$Q_D = \sqrt{2KT\epsilon_{si}p_0} \left[ \exp(-\beta\Psi_s) + \beta\Psi_s - \frac{n_0}{p_0}\beta\Psi_s - 1 \right]^{\frac{1}{2}} \quad (\text{I.19})$$

Notons que puisque le substrat est de type P, la zone désertée dans le semiconducteur apparaît uniquement pour  $\Psi_s > 0$ , c'est pourquoi seule la racine positive de l'équation est considérée.

Puisque  $\Psi_s$  est positif, il est possible de simplifier l'équation (I.19) en remarquant que :

$$\begin{cases} 1 - \frac{n_0}{p_0} = 1 - \frac{n_i^2}{N_A} \approx 1 \\ \exp(-\beta\Psi_s) \ll \beta\Psi_s \end{cases} \quad (\text{I.20})$$

La charge de la zone désertée s'exprime alors comme suit :

$$Q_D = -\sqrt{2KT\epsilon_{si}p_0} [\beta\Psi_s - 1]^{1/2} \quad (\text{I.21})$$

#### I.3.1.4. La charge de la zone d'inversion $Q_n$ .

La charge d'inversion  $Q_n$  est définie comme la différence entre la charge du semiconducteur et la charge de la zone désertée :

$$Q_n = Q_{sc} - Q_D \quad (\text{I.22})$$

En faible inversion, puisque  $\Psi_s + V_{BS} - 2\Phi_F < 0$ , alors  $\exp(\beta(\Psi_s - V + V_{BS} - 2\Phi_F)) \ll \beta\Psi_s - 1$  du moins tant que  $\Psi_s + V_{BS} \ll 2\Phi_F - kT/q$ . Ainsi en développant  $Q_{sc}$  au premier ordre, il vient :

$$Q_{sc} = -\sqrt{2KT\epsilon_{si}p_0} \left[ 1 + \frac{\exp(\beta(\Psi_s - V + V_{BS} - 2\Phi_F))}{2(\beta\Psi_s - 1)} \right] (\beta\Psi_s - 1)^{\frac{1}{2}} \quad (\text{I.23})$$

A partir des relations simplifiées (I.21) et (I.23), on obtient une relation simplifiée de la charge  $Q_n$  :

$$Q_n = -\frac{1}{2} \sqrt{\frac{2KT\epsilon_{si}N_A}{\beta\Psi_s - 1}} \exp[\beta(\Psi_s - V + V_{BS} - 2\Phi_F)] \quad (\text{I.24})$$

On peut également exprimer la charge d'inversion du canal en fonction du potentiel appliqué sur la grille par :

$$Q_n = Q_{sc} - Q_D = c_{ox}(V_{FB} - V_{GS} + V_{BS} + \Psi_s + \frac{\sqrt{2KT\epsilon_{si}N_A}}{C_{ox}})(\beta\Psi_s - 1)^{\frac{1}{2}} \quad (\text{I.25})$$

Où  $\beta = kT/q$  et  $N_A$  est un dopage uniforme du substrat.

#### I.4. Le transistor MOSFET

Le Transistor à Effet de Champ à Métal Oxyde Semiconducteur (MOSFET : *Metal Oxyde Semiconductor Field Effect Transistor*) a sa grille isolée du canal par une couche de dioxyde de silicium ( $SiO_2$ ).

Le transistor MOS possède quatre électrodes : la Source (*Source*) S: point de départ des porteurs, le Drain (*Drain*) D : point de collecte des porteurs. La Grille (*Gate*) G et le Substrat (*Body*) B sont les électrodes de la capacité MOS qui contrôle le nombre de porteurs présents dans le canal.

L'intensité du courant circulant entre la source et le drain est commandée par la tension entre la grille et le substrat. Très souvent les électrodes de source et de substrat sont électriquement reliées, on retrouve un composant à 3 électrodes dans lequel la courant entre le Drain et la Source  $I_{DS}$  est commandé par une tension entre la Grille et la Source (*potentiel de source = potentiel de substrat*)

Les deux types fondamentaux de MOSFET sont les MOSFET à appauvrissement ( *Depletion*) dit :

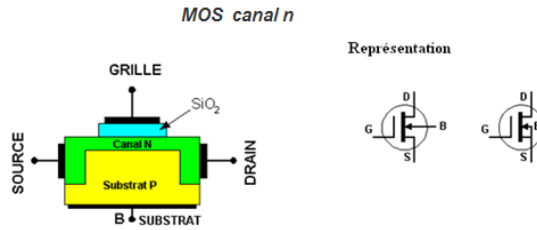
D-MOSFET, et les MOSFET à enrichissement (*Enhancement*) dit E-MOSFET .Dans chaque type de MOSFET, on peut distinguer le MOSFET canal N (le courant provient du déplacement d'électrons) et le MOSFET canal P (le courant provient du déplacement de trous).

##### I.4.1 MOSFET à appauvrissement D-MOSFET [15]

###### a) Structure du MOS à appauvrissement canal N

Le D-MOSFET le drain et la grille sont reliés par un canal étroit du même type : N pour D-MOSFET canal N .

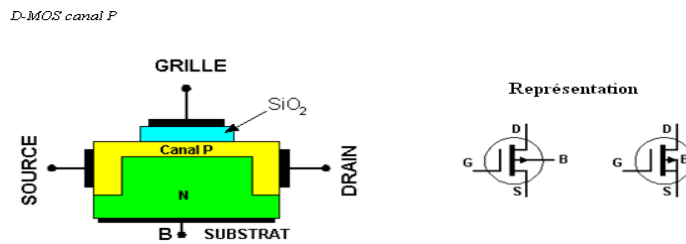
Dans le cas du D-MOSFET canal N, si on applique une tension négative sur la grille par rapport au substrat, les électrons sont repoussés et la conductivité du canal diminue.



figureI.10. MOS à appauvrissement canal N

### b) Structure du MOS à appauvrissement canal P

Le D-MOSFET le drain et la grille sont reliés par un canal étroit du même type : P pour D-MOSFET canal P. Dans le cas du D-MOSFET canal P, si on applique une tension positive sur la grille par rapport au substrat, les trous sont repoussés et la conductivité du



canal diminue.

figureI.11.MOS à appauvrissement canal P

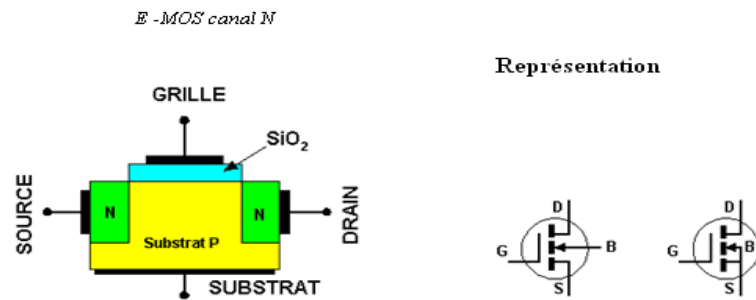
Les transistors MOS à appauvrissement sont passants sans tension de commande sur la grille (**NORMALLY ON**), ils deviennent de moins en moins conducteurs au fur et à mesure que la tension de commande augmente pour finalement se bloquer au-delà d'une tension de blocage  $V_{GSoff}$

### I.4.2.MOSFET à enrichissement : E-MOSFET

L'E-MOSFET le drain et la grille ne sont pas reliés par un canal du même type. Sans tension de commande, le E-MOSFET est bloqué : (**NORMALLY OFF**).

#### a)Structure du MOS à enrichissement canal N

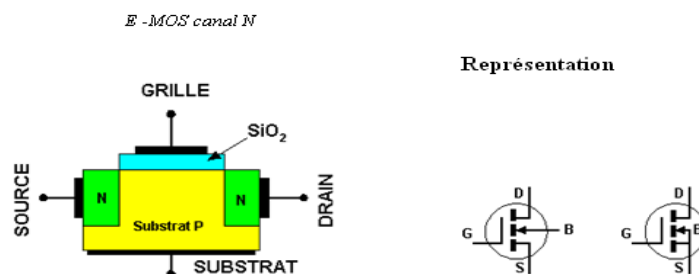
En appliquant une tension positive sur la grille, on attire les électrons à l'interface isolant-semiconducteur et on repousse les trous. A partir d'une certaine valeur : tension de seuil  $V_{TH}$  (*Threshold Voltage*), une couche d'inversion apparaît et le transistor devient de plus en plus passant.



figureI.12.MOS à enrichissement canal N

### b) Structure du MOS à enrichissement canal P

Dans le cas du E-MOSFET canal P, si on applique une tension négative sur la grille par rapport au substrat, les électrons sont repoussés et les trous minoritaires sont attirés. A partir d'une certaine valeur : tension de seuil  $V_{TH}$  (*Threshold Voltage*), une couche d'inversion apparaît et le transistor devient de plus en plus passant.



figureI.13.MOS à enrichissement canal P

Les transistors MOS à enrichissement sont bloqués sans tension de commande sur la grille (**NORMALLY OFF**), ils deviennent passants à partir d'une certaine tension de grille  $V_{th}$ . Plus  $|V_{GS}| > |V_{TH}|$ , plus le E-MOS devient passant.

**Remarque :** Le transistor MOS est un composant unipolaire, la conduction est assurée par un seul type de porteurs dont le nombre est contrôlé par la tension grille. Quelque soit le type du MOSFET, les porteurs se déplacent toujours de la source vers le drain.

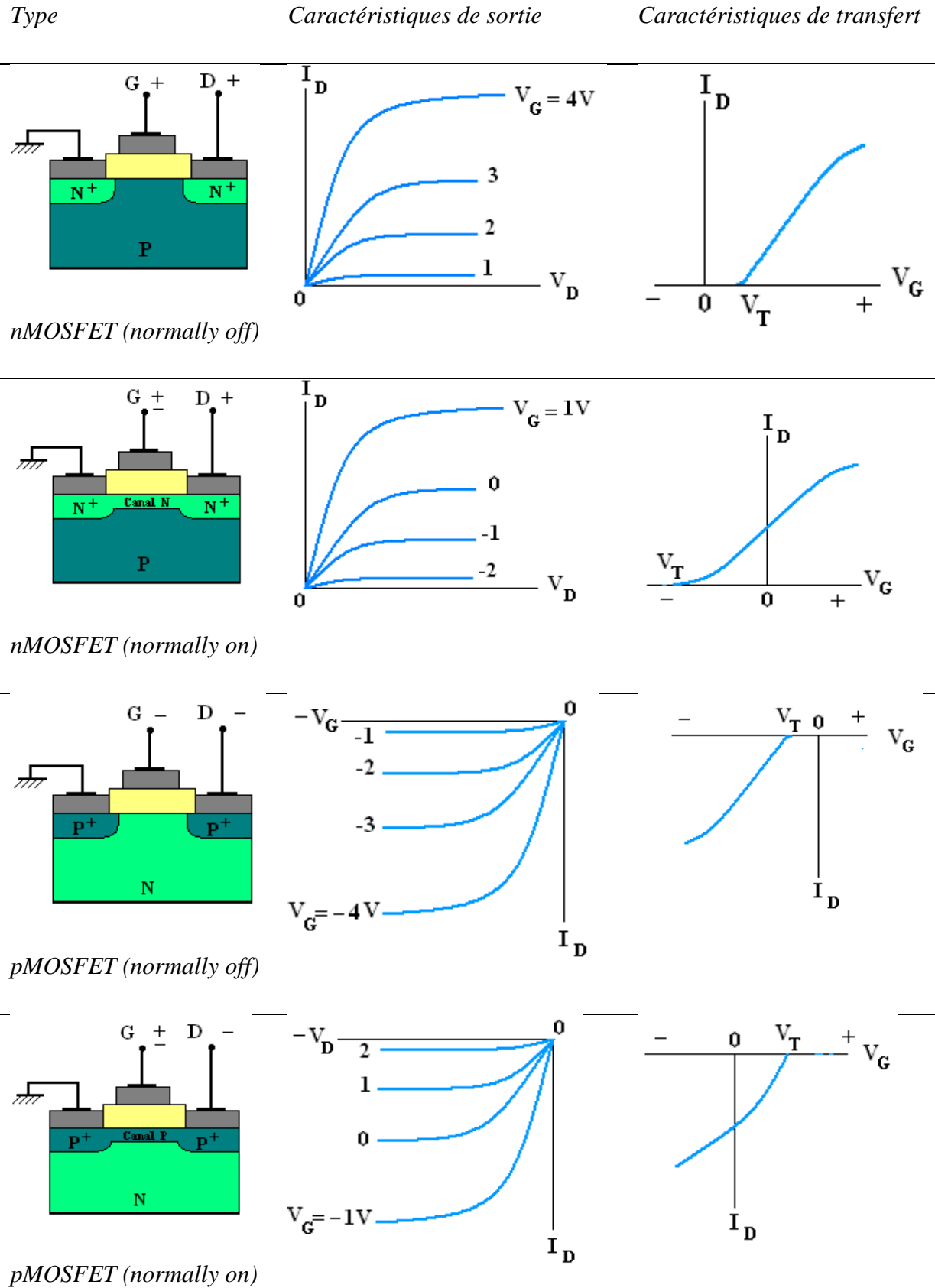


Figure. 1.14. Caractéristiques de transfert et de sortie des différents types de MOSFET .

### I.5. Principe et régimes de fonctionnement [sand'04]

Le principe de fonctionnement du transistor MOS (ou MOSFET) repose sur la modulation d'une densité de porteurs d'une zone semi-conductrice par un champ électrique qui lui est perpendiculaire. Ce champ électrique est appliqué par l'électrode de commande (la grille) à travers un isolant (diélectrique de grille). Les porteurs créés sont des charges mobiles : électrons dans le cas d'un transistor NMOS, trous dans le cas d'un transistor PMOS. Lorsque la tension appliquée sur la grille est supérieure à une tension seuil appelée tension de seuil, notée  $V_T$ , ces charges mobiles constituent un canal de conduction entre la source et le drain. Lorsqu'une différence de potentiel,  $V_{DS}$ , est appliquée entre la source et le drain, les porteurs affluant (côté source, de façon conventionnelle) sont collectés par le drain sous la forme d'un courant. Ainsi, de façon macroscopique, le transistor MOS se comporte comme un dispositif régulant un courant entre deux électrodes par une commande en tension.

Rappelons qu'il existe trois valeurs particulières de la tension  $V_{GS}$  :

- $V_{FB}$  : tension  $V_{GS}$  à appliquer pour que  $\Psi_S = 0$  au niveau de la source (aussi appelée tension de bandes plates).
- $V_{mg}$  : tension  $V_{GS}$  à appliquer pour que  $\Psi_S = \Phi_F$  au niveau de la source.
- $V_{th}$  : tension  $V_{GS}$  à appliquer pour que  $\Psi_S = 2\Phi_F - \Phi_C(0)$  au niveau de la source.

Notons l'apparition de l'écart entre les quasi-niveaux de Fermi,  $\Phi_C$ , qui dépend de la tension  $V_{DS}$ . En effet, les zones de drain et de source imposent un écart entre les quasi-niveaux de Fermi des électrons,  $E_{Fn}$ , et des trous,  $E_{Fp}$ , aux bornes du canal. Cet écart,  $\Phi_C$ , est égal à  $(E_{Fp} - E_{Fn})/q$  et prend pour valeur à la source  $\Phi_C(0) = V_{SB}$  et au drain  $\Phi_C(L) = V_{DB} - V_{SB}$ . Le substrat étant de type P, le quasi-niveau de Fermi des trous,  $E_{Fp}$  est égal au niveau de Fermi dans le volume du semiconducteur,  $E_F$ , et ne varie pas le long du canal : seul le niveau énergétique  $E_{Fn}$  varie (Fig. (I.16)).

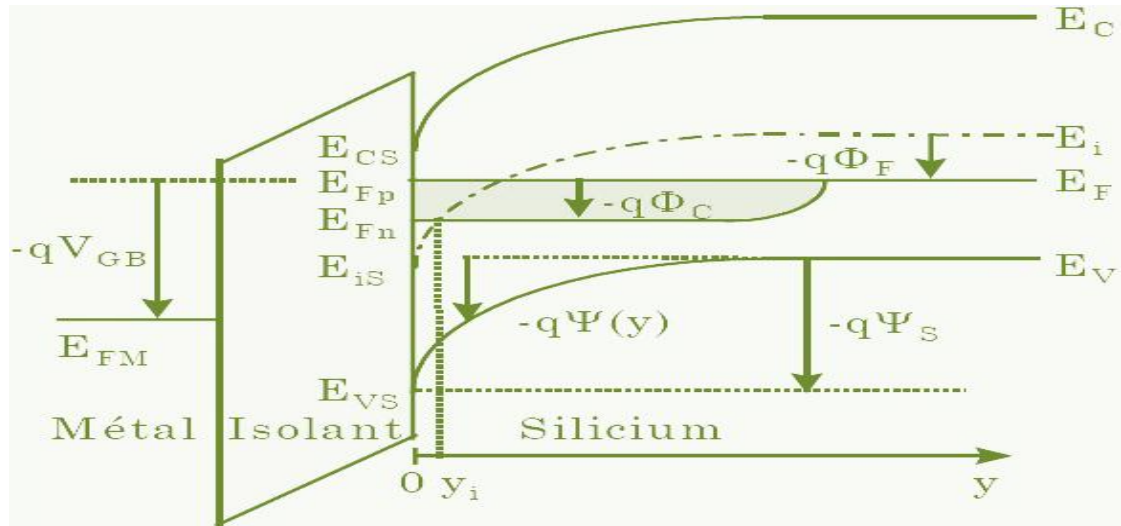


Figure I.15. Diagramme de bandes du transistor MOS en régime d'inversion forte suivant l'axe y en un point quelconque du canal [Mass'99].

La courbure des bandes d'énergie du semiconducteur est notée  $\Psi(y)$  et la courbure totale correspond au potentiel de surface,  $\Psi_S$ . Le choix du sens des flèches a pour origine la tension que l'on applique entre la grille et le substrat. Cela revient à faire la différence entre les niveaux de Fermi du métal et du semiconducteur.

Le potentiel de volume du semiconducteur  $\Phi_F$  a pour expression [Sze'81] :

$$\Phi_F = \frac{KT}{q} \ln\left(\frac{N_A}{n_i}\right) = \frac{1}{\beta} \ln\left(\frac{N_A}{n_i}\right) = -\frac{1}{q}(E_F - E_i) \quad (I.29)$$

## I.6. Modélisation du transistor MOS

La connaissance des équations de modélisation de la conduction dans le transistor MOS est nécessaire pour l'extraction des paramètres de fonctionnement comme la tension de seuil  $V_T$ , la mobilité à faible champ  $\mu_0$  ou la transconductance du canal  $g_m$ .

### I.6.1. Modélisation du courant de Drain

#### a) Tension de seuil

En inversion forte, la dépendance de la quantité de charge d'inversion est linéaire par rapport à  $V_{gb}$ , voir figure I.8. L'intersection de cette droite avec l'axe des abscisses donne la valeur de la tension de seuil,  $V_{th}$ . En première approximation, cette tension peut être considérée comme la limite à partir de laquelle le canal se situe en inversion forte [Tsiv']. L'expression de  $V_{th}$  peut être obtenue intuitivement à l'aide de la figure I.5. Le seuil est atteint lorsque  $\Psi_S \approx 2\Psi_B = \Phi_B$ . Dans ce cas, la tension de seuil s'écrit :



$$V_{th} = V_{gs}|_{\Psi_s=\Phi_B} = V_{FB} + \Phi_B - \frac{Q'_b}{C'_{ox}} \quad (I.30)$$

$$Q'_b = -\sqrt{2\varepsilon_{Si}qN_A}\sqrt{\Phi_B + V_{sb}} \quad (I.31)$$

En remplaçant la quantité de charge dans la zone de désertion  $Q'_b$ , à l'équation (I.30), par son expression donnée en (I.31), la tension de seuil devient :

$$V_{th} = V_{FB} + \Phi_B + \frac{\sqrt{2\varepsilon_{Si}qN_A(\Phi_B + V_{sb})}}{C'_{ox}} \quad (I.32)$$

Celle-ci peut se simplifier en notant :

$$\gamma = \frac{\sqrt{2\varepsilon_{Si}qN_A}}{C'_{ox}} \quad (I.33)$$

Où le coefficient  $\gamma$  représente l'effet substrat. L'équation (I.33) s'exprime en fonction de  $\gamma$ , ainsi :

$$V_{th} = V_{FB} + \Phi_B + \gamma\sqrt{\Phi_B + V_{sb}} \quad (I.34)$$

À noter que la tension de seuil est donnée pour un potentiel de surface équivalent à  $\Phi_B$ , c'est-à-dire à  $2\Psi_B$ . Or, rigoureusement, l'inversion forte intervient pour un potentiel de surface dont la valeur est proche de  $2\Psi_B + k\Phi_T$ , comme il est indiqué au **tableau 1**.

La tension de seuil peut aussi être définie comme étant la tension  $V_{GS}$  entre la grille et la source pour laquelle la zone d'inversion apparaît, c'est-à-dire la création du canal de conduction entre le drain et la source.

Lorsque la tension grille-source  $V_{GS}$  est inférieure à la tension de seuil  $V_{Th}$ , on dit que le transistor est bloqué, il ne conduit pas. Dans le cas contraire, on dit qu'il est passant.

### b) Régime linéaire

Le courant total près de l'interface Si-SiO<sub>2</sub> est la somme des courants de diffusion et de conduction des porteurs libres. En inversion, on ne considère que la concentration des majoritaires est nulle dans le canal et on peut écrire [Barr] :

$$\vec{J}(x, y) = q(\mu_n n \vec{\xi} + D_n \vec{\nabla} n) = \vec{J}n \quad (I.35)$$

Où  $\mu_n$  est la mobilité des électrons en champ faible dans la couche d'inversion et  $D_n$  le coefficient de diffusion des électrons et  $\vec{\nabla} n$  le champ électrique. Si on se place dans l'approximation graduelle de Shockley [Shoc], c'est à dire lorsque le transistor fonctionne en mode non saturé ou encore lorsque le canal n'est pas pincé, on considère que les lignes de champ sont parallèles à l'interface, ce qui se traduit par :

$$\left| \frac{\partial^2 \Psi}{\partial y^2} \right| \gg \left| \frac{\partial^2 \Psi}{\partial x^2} \right| \quad (I.36)$$

Dans ces conditions, (I.34) devient :

$$J_n = (q\mu_n n \overset{J_1}{\xi_x} + qD_n \overset{J_2}{\text{grad}_x n}) \quad (\text{I.37})$$

$\xi_x$  étant le champ suivant l'axe x (figure I.3),  $J_1$  est la composante de dérive (due au champ) et  $J_2$  représente le courant de diffusion.

Considérant le coefficient d'Einstein  $Dn = \mu_n kT/q$  où  $\mu_n$  est la mobilité des électrons supposée constante, et sachant que  $\xi_x$  dérive d'un potentiel scalaire (ce qui se traduit par  $\xi_x = -\text{grad}_x(\Psi)$ ), (I.37) peut se simplifier en [Thie'07]:

$$J_n = -q\mu_n n \frac{d\phi_c}{dx} \quad (\text{I.38})$$

Où les relations en potentiel sont données par :

$$\phi_c(x=0) = -V_{BS} \quad \phi_c(x=L_G) = V_{DS} - V_{BS} \quad \phi_c(0 < x < L_G) = -V(x) - V_{BS}$$

Le courant total s'obtient en intégrant la densité  $J_n$  sur toute l'épaisseur de la couche d'inversion  $y_i$  du transistor de largeur  $W_G$  :

$$I_{DS} = -W_G \int_{y_i}^0 J_n dy = W_G \int_{y_i}^0 q\mu_n n \frac{d\phi_c}{dx} dy = W_G q\mu_n \frac{d\phi_c}{dx} \int_{y_i}^0 n dy \quad (\text{I.39})$$

de plus  $I_{DS}$  étant constant tout le long du canal, il vient :

$$\int_{y_i}^0 I_{DS} dx = I_{DS} L_G = -W_G \mu_n \int_{-V_{BS}}^{V_{DS}-V_{BS}} Q_n d\phi_c \quad (\text{I.40})$$

Où  $Q_n = \int_{y_i}^0 n dy$ . D'autre part l'influence de  $V_{BS}$  étant identique en tout point du canal sur les concentrations de porteurs libres, (I.40) se réécrit :

$$I_{DS} = -\frac{\mu_n W_G}{L_G} \int_0^{V_{DS}} Q_n(V) dV = -\frac{\mu_n W}{L_G} \int_0^{V_{DS}} (Q_{SC} - Q_D)(V) dV \quad (\text{I.41})$$

$Q_{SC}$  peut être considéré comme la charge totale du semi-conducteur à laquelle on doit soustraire la charge  $Q_D$  de la zone désertée sous la zone d'inversion. Le calcul du courant relatif à la charge d'inversion  $Q_n$  se ramène donc au calcul de  $Q_{SC}$  et  $Q_D$ .

i. Calcul de  $Q_{SC}$  La charge  $Q_{SC}$  s'obtient à partir de (I.8) dans laquelle il faut intégrer l'influence de la polarisation appliquée au drain et éventuellement au substrat :

$$(V_{GS} - \underbrace{\phi_c + V_{BS} - 2\phi_F - \phi_{ms}}_{\psi_s}) C_{ox} + Q_{ox} + Q_{SC} = 0 \quad (\text{I.42})$$

$$Q_{SC} = -C_{ox} (V_{GS} - \phi_c - \phi_{ms} + \frac{Q_{ox}}{C_{ox}} - 2\phi_F) \quad (\text{I.43})$$

ii . Calcul de  $Q_D$  La densité de la charge de la zone désertée vaut  $\rho = -qN_A$  et l'équation de Poisson permet d'écrire :

$$\frac{d\varepsilon}{dy} = -q \frac{N_A}{\varepsilon_{Si}} \Rightarrow \varepsilon(y) = -q \frac{N_A}{\varepsilon_{Si}} (y - y_d) \quad (\text{I.44})$$

Où  $y_d$  est l'épaisseur de la zone désertée. On déduit ainsi l'expression du potentiel :

$$\psi(y) = \frac{qN_A}{2\epsilon_{S_i}}(y - y_d)^2 \quad (\text{I.45})$$

En surface on a donc :

$$\epsilon_s = -q \frac{N_A}{\epsilon_{S_i}} y_d^2 \quad (\text{I.47})$$

$$\psi_s = \frac{qN_A}{2\epsilon_{S_i}} y_d^2 \quad (\text{I.48})$$

Si l'on tient compte du fait qu'en inversion forte on a  $\psi_s = \phi_c - V_{BS} + 2\phi_F$  et que  $y_d$  est maximal; il vient :

$$y_{dmax} = \sqrt{\frac{2\epsilon_{S_i}}{qN_A} (\phi_c - V_{BS} + 2\phi_F)} \quad (\text{I.49})$$

La charge de la zone désertée est alors  $Q_D = -qN_A y_{dmax}$ , et devient :

$$Q_D = -\sqrt{2N_A \epsilon_{S_i} (\phi_c - V_{BS} + 2\phi_F)} \quad (\text{I.50})$$

iii. Calcul de  $I_{DS}$  Pour obtenir l'expression de  $I_{DS}$  il faut maintenant reporter (I.43) et (I.50) dans (I.41), donnant :

$$I_{DS} = -\frac{\mu_n W_G}{L_G} C_{OX} \int_0^{V_{DS}} [V_{GS} - V - V_{FB} - 2\phi_F - \gamma(V - V_{BS} + 2\phi_F)^{1/2}] dV \quad (\text{I.51})$$

Soit encore après intégration :

$$I_{DS} = -\frac{\mu_n W_G}{L_G} C_{OX} \left[ V \left( V_{GS} - \frac{V}{2} - V_{FB} - 2\phi_F \right) - \frac{2}{3} \gamma (V - V_{BS} + 2\phi_F)^{3/2} \right]_0^{V_{DS}} \quad (\text{I.52})$$

Avec

$$V_{FB} = \phi_{ms} - \frac{Q_{ox}}{C_{ox}} \quad (\text{I.53})$$

$$\gamma = \frac{\sqrt{2qN_A \epsilon_{S_i} \epsilon_0}}{C_{ox}} \quad (\text{I.54})$$

On arrive finalement à l'expression du courant de Drain en régime linéaire :

$$I_{DS} = \frac{W_G}{L_G} \mu_n C_{ox} \left[ V_{DS} (V_{GS} - V_{DS} - V_{FB} - 2\phi_F) - \frac{2}{3} \gamma (V_{DS} - V_{FB} + 2\phi_F)^{3/2} - (-V_{BS} + 2\phi_F)^{3/2} \right] \quad (\text{I.55})$$

Pour des valeurs de  $V_{DS}$  suffisamment faibles, typiquement  $V_{DS} \ll -V_{BS} + 2\phi_F$ , un développement limité au second ordre conduit à :

$$(V_{DS} - V_{BS} + 2\phi_F)^{3/2} \approx (-V_{BS} + 2\phi_F)^{3/2} + \frac{3}{2} V_{DS} (-V_{BS} + 2\phi_F)^{1/2} + \frac{3}{4} V_{DS}^2 (-V_{BS} + 2\phi_F)^{-1/2} \quad (\text{I.56})$$

Le courant  $I_{DS}$  se réécrit alors sous la forme simplifiée :

$$I_{DS} = \frac{W_G}{L_G} \mu_n C_{ox} V_{DS} \left[ \overbrace{V_{GS} - V_{FB} - 2\phi_F - \gamma(-V_{BS} + 2\phi_F)^{1/2}}^{V_t} - V_{DS} \frac{1}{2} \underbrace{\left( 1 + \frac{\gamma}{2} (-V_{BS} + 2\phi_F)^{-1/2} \right)}_{\alpha} \right] \quad (\text{I.57})$$

Ce qui permet d'exprimer le courant de Drain d'un transistor MOS en régime linéaire sous sa forme synthétique :

$$I_{DSSat} = \frac{W_G}{L_G} \mu_n C_{ox} [V_{GS} - V_{Th} - \frac{\alpha}{2} V_{DS}] V_{DS} \quad (I.58)$$

avec les paramètres standards de fonctionnement du transistor MOSFET :

$$V_{th} = V_{FB} + 2\phi_F + \gamma(-V_{BS} + 2\phi_F)^{\frac{1}{2}} \quad (I.59)$$

$$\alpha = \left(1 + \frac{\gamma}{2}(-V_{BS} + 2\phi_F)^{-\frac{1}{2}}\right) \quad (I.60)$$

### c) Régime de saturation

Lorsque la tension de Drain augmente, la zone de charge de charge d'espace (ZCE) s'étend et réduit la charge d'inversion à la pointe du Drain. Le transistor rentre en mode de saturation lorsque  $V_{DS}$  est suffisamment grand pour que  $Q_{inv}(x = L_{eff})$  soit quasiment nulle . Ceci se produit pour  $V_D$  égal à  $V_{DSat}$ . On a alors :

$$Q_n = -C_{ox}[V_{GS} - V_{DSat} - V_{th} - 2\phi_F] - \gamma\sqrt{V_{DSat} - V_{BS} + 2\phi_F} \approx 0 \quad (I.61)$$

Cette équation quadratique en  $V_{DSat}$  se résout en :

$$V_{DSat} = V_{GS} + V_{FB} - 2\phi_F + \frac{\gamma^2}{2} \left(1 - \sqrt{1 + \frac{4}{\gamma^2}(V_{GS} + V_{FB} - V_{BS})}\right) \quad (I.62)$$

L'expression (I.62) de  $V_{DSat}$ , bien qu'exacte, ne permet pas d'établir une expression pratique à utiliser pour la détermination du courant de Drain . Il existe une autre approche pour déterminer la tension de Drain de saturation. Il suffit de considérer que pour  $V_{DS} > V_{DSat}$  le courant de Drain ne varie pratiquement plus (cas idéal) ce qui revient à résoudre :

$$G_d = \left. \frac{\partial I_{DS}}{\partial V_{DS}} \right|_{V_{DSat}} = 0 \quad (I.63)$$

Avec (I. 58), on arrive ainsi à :

$$V_{DSat} = \frac{V_{GS} - V_{Th}}{\alpha} \quad (I.64)$$

Ceci permet de retrouver l'expression deux courant  $I_{DSSat}$  couramment utilisée est :

$$I_{DSSat} = \frac{W_G}{L_G} \mu_n C_{ox} \frac{(V_{GS} - V_{Th})^2}{2\alpha} \quad (I.65)$$

Les figures I.17, I.18, I.19 et I.20 montrent les caractéristiques  $I_{DS}(V_{GS})$  et  $I_{DS}(V_{DS})$  calculées (avec (I.58) et (I.65)) et mesurées, pour un transistor à canal long ( $W_G/L_G = 10/10\mu m$ ) et un transistor à canal court ( $W_G/L_G = 10/0.13\mu m$ ). On peut y observer une divergence entre le modèle et la mesure lorsque les tensions de Grille et de Drain augmentent. Sur les petites géométries, l'écart s'accroît, ce qui met en évidence la nécessité d'affiner les équations en incluant les effets liés à la diminution des dimensions des transistors MOSFET. Dans la section suivante, nous allons présenter ces effets, en partant de leurs origines physiques, pour arriver à une quantification mathématique permettant d'inclure leurs impacts sur le comportement électrique des dispositifs. Nous allons en particulier décrire la réduction de la mobilité des porteurs dans le canal sous l'influence du champ électrique, la modulation

de la longueur du canal liée à l'extension de la zone de charge d'espace de la jonction Drain-Substrat.

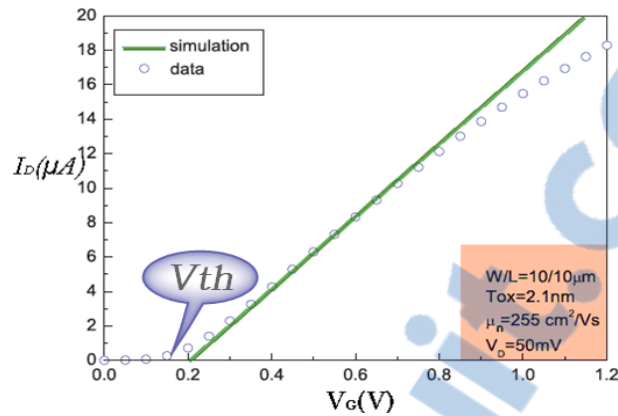


figure. I.16. Comparaison entre la modélisation et la mesure du courant de Drain en régime linéaire pour un transistor MOS à canal N long ( $W_{eff}/L_{eff} = 10/10\mu m$ ) et oxyde ultra mince  $T_{ox}= 2.1nm$ . [Thie'07]

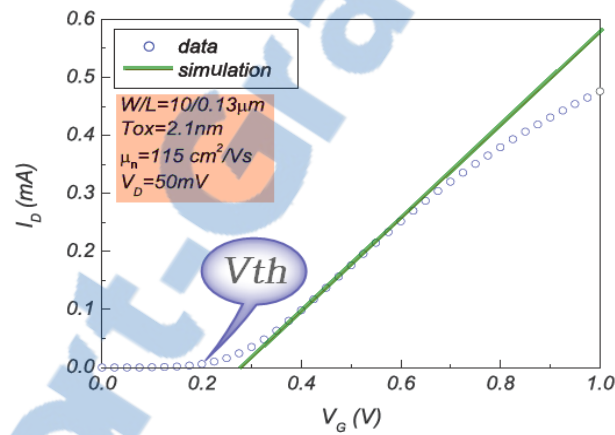


FIGURE. I.17. Comparaison entre la modélisation et la mesure du courant de Drain en régime linéaire pour un transistor MOS à canal N court ( $W_{eff}/L_{eff} = 10/0.13\mu m$ ) et oxyde ultra mince  $T_{ox} = 2.1nm$ . [Thie'07]

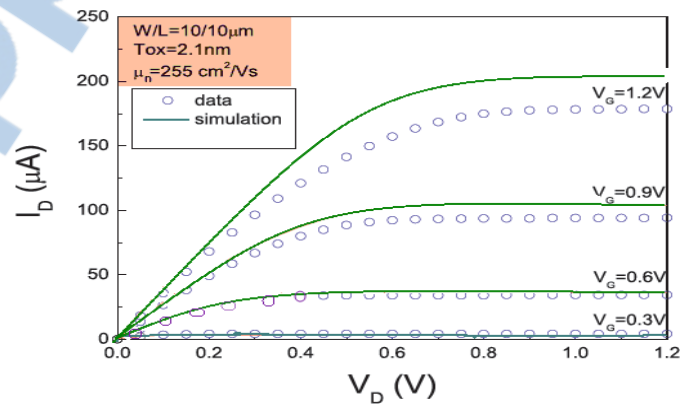


figure. I.18. Comparaison entre la modélisation et la mesure du courant de drain en fonction de la tension de Drain pour différentes valeurs de la tension de Grille pour un transistor MOS à canal N long ( $W_{eff}/L_{eff} = 10/10\mu m$ ) et oxyde ultra mince  $T_{ox} = 2.1nm$ . [Thie'07]

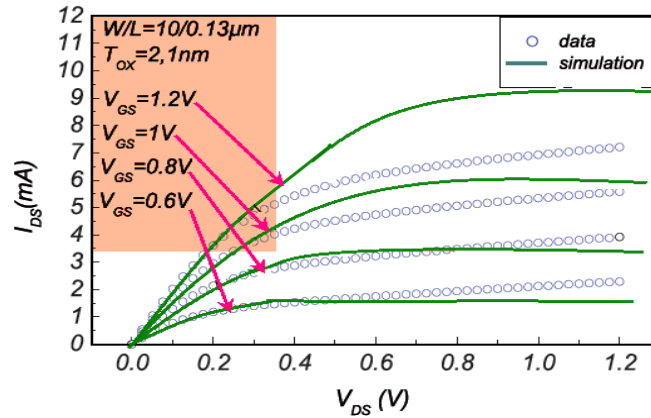


figure I.19. Comparaison entre la modélisation et la mesure du courant de drain en fonction de la tension de Drain pour différentes valeurs de la tension de Grille pour un transistor MOS à canal N court ( $W_{eff}/L_{eff} = 10/0.13\mu\text{m}$ ) et oxyde ultra mince  $T_{ox} = 2.1\text{nm}$ . [Thie'07]

#### d) Transductance et conductance de drain en régime de saturation

La transductance du transistor est donnée par :

$$g_m = \frac{\partial I_d}{\partial V_G} \quad (\text{I.66})$$

En régime de saturation l'expression de la transconductance est telle que :

$$g_{msat} = \frac{W\mu C_i}{L} (V_G - V_{th}) \quad (\text{I.67})$$

La transductance  $g_{msat}$  est d'autant plus importante que la capacité d'oxyde est grande est que le canal est court, en outre elle augmente linéairement avec la tension de grille  $V_G$ . La conductance de drain est donnée par :

$$g_d = \frac{\partial I_d}{\partial V_d} \quad (\text{I.68})$$

Lorsque la tension de drain source est égal à la tension de saturation  $V_{dsat}$  le point de pincement se situe au contact du drain, la longueur de canal conducteur est  $L$ . Le courant de drain  $I_d = I_{dsat}$ . lorsque  $V_d$  augmente au-delà  $V_{dsat}$  le point de pincement  $P$  se déplace vers la source, la longueur canal diminue de  $\Delta L$ .

L'excédante de tension  $V_d - V_{dsat}$  s'établit aux bornes de la zone de déplétion de largeur  $\Delta L$ .

La tension  $V_p - V_s = V_p$  reste constante et égal à  $V_{dsat}$ . Le canal reste donc soumis à une tension constante  $V_p = V_{dsat}$  mais sa longueur diminue quand  $V_d$  augmente et par conséquent sa conductance augmente. Il en résulte que le courant  $I_d$  augmente au-delà de  $I_{dsat}$  [20]

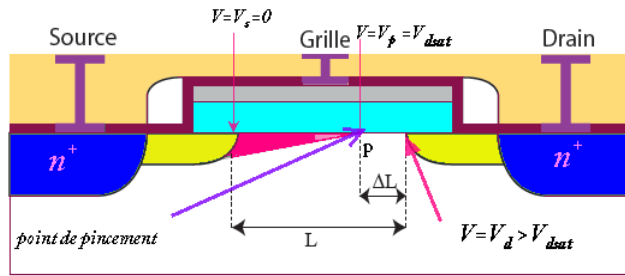


figure I.20 . Pincement de canal

La variation de conductance étant linéaire avec la longueur du canal. On peut écrire le courant de drain en régime de saturation sous la forme :

$$I_d = I_{dsat} \frac{L}{L - \Delta L} \quad (I.69)$$

Pour  $V_d = V_{dsat}$ ,  $\Delta L = 0$ ,  $I_d = I_{dsat}$ . Pour  $V_d > V_{dsat}$ ,  $\Delta L > 0$  et  $I_d > I_{dsat}$ .

Si  $\frac{\Delta L}{L} \ll 0$  la variation de la longueur du canal est négligeable,  $I_d$  reste constante et égal à  $I_{dsat}$ , la conductance différentielle de drain est nulle. Si par contre  $\frac{\Delta L}{L}$  n'est pas négligeable, le courant de drain est lié à la tension de drain par la variation de  $\Delta L$ .

Pour établir la variation de  $I_d$  avec la tension de polarisation  $V_G$ ,  $V_d$  il faut alors expliciter  $I_{dsat}$  et  $\Delta L$  en fonction de ces tensions.  $I_{dsat}$  est donné en fonction de  $V_{dsat}$  et  $V_G$  par l'expression (I.58).

En ce qui concerne  $\Delta L$ , c'est la longueur de la zone de déplétion d'un élément de semiconducteur soumis à une différence de potentiel  $\Delta V = V_d - V_p = V_d - V_{dsat}$  on calcule cette longueur tout simplement en intégrant l'équation de poisson (figure.I.22)

$$\frac{d^2V}{du^2} = -\frac{\rho}{\epsilon_s} = \frac{qN_A}{\epsilon_s} \quad (I.70)$$

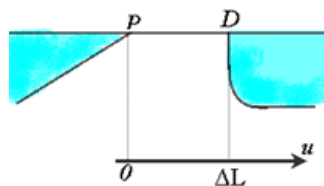


figure I.21

En intégrant une première fois avec la condition  $E=0$  en  $U=0$ , on obtient

$$\frac{dV}{du} = \frac{qN_A}{\epsilon_s} u \quad \text{Soit} \quad dV = \frac{qN_A}{\epsilon_s} u du \quad (\text{I.71})$$

On intègre sur la longueur  $\Delta L$  c'est-à-dire sur la variable  $u$  de 0 à  $\Delta L$ , soit

$$V_d - V_p = \frac{q N_A}{2\epsilon_s} \Delta L^2 \quad (\text{I.72})$$

Ainsi dans la mesure où  $V_p = V_{dsat}$

$$\Delta L = \left( \frac{2\epsilon_s}{qN_A} (V_d - V_{dsat}) \right)^{\frac{1}{2}} \quad (\text{I.73})$$

On simplifie considérablement les expressions précédentes dans le cas réaliste où le semiconducteur est peu dopé et la couche d'oxyde très mince. Dans ces conditions  $N_A$  est petit et  $C_i$  est grand, de sorte que la tension de seuil du transistor équation (I.59), la tension de saturation équation (I.62) et le courant de saturation s'écrivent simplement sous la forme :

$$V_{Th} = 2\phi_{Fi} \quad (\text{I.74})$$

$$V_{dsat} = V_G - 2\phi_{Fi} \approx V_G - V_{Th} \quad (\text{I.75})$$

$$I_d = \frac{W_G \mu C_i}{2L} (V_{GS} - V_{Th})^2 \approx \frac{W_G \mu C_i}{2L} (V_{GS} - V_{Th})^2 \approx \frac{W_G \mu C_i}{2L} V_{dsat}^2 \quad (\text{I.76})$$

En explicitant  $I_{dsat}$  à partir de (I.76) et  $\Delta L$  à partir (I.73), l'expression (I.69) s'écrit

$$I_d = \frac{W_G \mu C_i}{2L} V_{dsat}^2 \frac{1}{1 - \left( \frac{2\epsilon_s}{qN_A L^2} (V_d - V_{dsat}) \right)^{\frac{1}{2}}} \quad (\text{I.77})$$

Dans la pratique, et sauf pour des transistors à canal très court ( $L=1\mu$ ),  $\Delta L$  reste très inférieur à  $L$ . Il en résulte que la deuxième partie de l'expression I.77 peut s'écrire sous la forme

$$1/(1 - \epsilon) \approx 1 + \epsilon I_d = \frac{W_G \mu C_i}{2L} V_{dsat}^2 \left( 1 + \left( \frac{2\epsilon_s}{qN_A L^2} \right)^{\frac{1}{2}} (V_d - V_{dsat})^{\frac{1}{2}} \right) \quad (\text{I.78})$$

On obtient la conductance de drain par la dérivée de cette expression, soit :

$$g_{ds} = \frac{W_G \mu C_i}{4L^2} \left( \frac{2\epsilon_s}{qN_A} \right)^{\frac{1}{2}} \frac{V_{dsat}^2}{\sqrt{V_d - V_{dsat}}} \quad (\text{I.79})$$



### I.7. Transistor réel

Nous avons étudié le fonctionnement du transistor, en idéalisant la structure à partir de certaines hypothèses. Nous avons en particulier supposé que la capacité de grille était en régime de bandes plates en l'absence de toute polarisation. En fait, la prise en considération d'une part de la différence des travaux de sortie du métal et du semiconducteur et d'autre part de la présence de charges d'interface, entraîne l'existence d'une tension de bandes plates non nulles donnée par :

$$V_{FB} = \phi_{ms} - \frac{Q_{ss}}{C_i} \quad (I.80)$$

La tension de seuil du transistor se trouve décalée d'autant et devient

$$V_{Th} = \phi_{ms} - \frac{Q_{ss}}{C_i} + 2\phi_{Fi} + \left( \frac{4qN_A\epsilon_s\phi_{Fi}}{C_i} \right)^{\frac{1}{2}} \quad (I.81)$$

Nous avons en outre supposé constante la mobilité des porteurs libres dans le canal conducteur. Cette hypothèse, justifiée au premier ordre, devient moins justifiée dans le cas du transistor à canal court dans la mesure où le champ longitudinal devient important. Nous avons considéré en détail le rôle joué dans ce domaine par les porteurs chauds dans l'étude du transistor à barrière de shottcky. Nous avons vu à ce sujet, que la saturation du courant de drain pouvait alors résulter de la saturation de la vitesse de dérive des porteurs, plutôt que du pincement du canal. Mais bien avant d'en arriver à ce cas extrême, il faut noter que la couche d'inversion est localisée près de l'interface. La diffusion par faut noter que la couche d'inversion est localisée près de l'interface. La diffusion par les états d'interface joue alors un rôle important et la mobilité des porteurs de surface est inférieure à celle des porteurs de volume. Notons par exemple que dans le silicium dopé avec  $N = 10^{15} \text{cm}^{-3}$  les mobilités des porteurs de surface et de volume sont respectivement  $\mu_{ns}=570, \mu_{nv}=1100, \mu_{ps}=190, \mu_{pv}=400 \text{ cm}^2\text{V}^{-1}\text{S}^{-1}$

L'extension transversale du canal conducteur est fonction de la densité superficielle des porteurs, c'est-à-dire de la tension de polarisation grille source. Les porteurs dans le canal sont alors caractérisés par une mobilité effective  $\mu_{eff}$  qui varie avec la tension grille source. La mobilité effective peut s'écrire :

$$\mu_{eff} = \frac{\mu_0}{1 + \theta(V_G - V_{Th}) + \frac{E}{E_C}} \quad (I.82)$$

Où  $\mu_0$  est la mobilité du volume à faible champ.

$\theta$  et  $E_C$  sont deux paramètres empiriques mesurés expérimentalement. Le terme  $\frac{E}{E_C}$  traduit la diminution de mobilité correspondant à la saturation de la vitesse de dérivé des porteurs à fort champ longitudinal. Le terme  $\theta(V_G - V_{Th})$  traduit la variation de mobilité associée à l'effet du champ transversal.

Enfin, nous avons supposé dans les calculs précédents, que la conductivité du canal passé brutalement de zéro à une valeur finie, quand la tension grille source franchissait la tension de seuil  $V_{Th}$  entraînant  $V_S = 2\phi_{Fi}$  correspondant au seuil du régime de forte inversion, mais la conductivité du canal devient progressivement non nulle dès que le régime de faible inversion est atteint, c'est-à-dire pour  $V_S = \phi_{Fi}$ . Le courant de drain  $I_d$  reste toutefois très faible dans le domaine  $\phi_{Fi} < V_S < 2\phi_{Fi}$ , car la densité superficielle de porteurs est faible.

### **I.8. Le modèle petit signal**

Le modèle petit signal des transistors MOSFET est établi à partir de la mesure sous pointes des paramètres S de motifs de test. Il est basé sur un modèle électrique équivalent à éléments localisés très largement utilisé à l'IEMN. Ce modèle repose sur une approche non quasi-statique.

#### **I.8.1. Approches quasi-statique et non quasi-statique**

La précision des modèles des transistors est cruciale pour simuler correctement les performances des circuits. En RF, il faut non seulement prédire avec exactitude le comportement intrinsèque dans le canal où l'effet transistor se produit, mais il faut aussi prédire l'influence des éléments parasites d'accès. Ces derniers, qui constituent la partie extrinsèque du transistor, prennent une importance telle qu'ils ne peuvent plus être négligés pour des applications RF et hyperfréquence.

A cela s'ajoute la nécessité d'une description des effets non quasi-statiques qui dégradent les performances des composants à très haute fréquence. Beaucoup de modèles pour la simulation de circuits numériques et analogiques basse fréquence sont basés sur une approche quasi-statique du transistor (Figure I-23). Dans ce cas, on suppose que la distribution des charges dans le canal est une fonction instantanée des tensions de polarisation, c'est-à-dire que la charge répond avec une vitesse infinie à toute variation de tension.

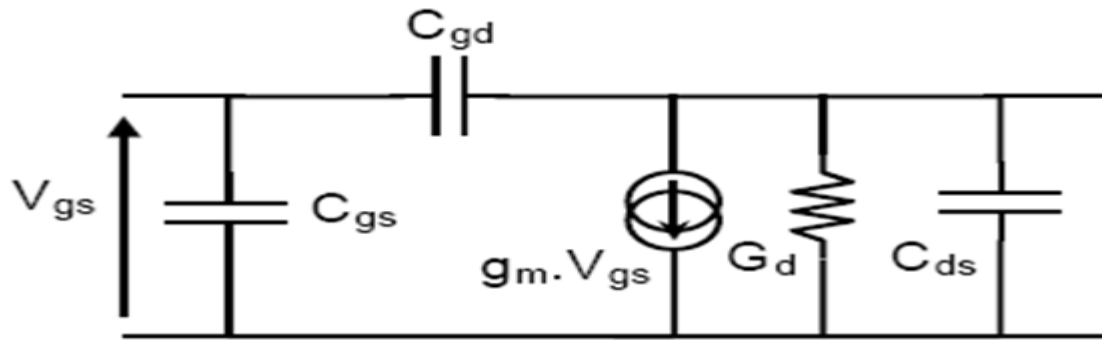


figure I.22. Modèle quasi-statique de la zone intrinsèque du transistor FET

Cependant, lorsque les signaux ont des temps de montée et de descente inférieurs au temps de transition dans le canal, les charges dans le canal ne répondent pas immédiatement aux variations de tension. L'approche quasi-statique provoque des erreurs significatives sur la modélisation des conductances et des capacités du transistor lorsque la fréquence augmente [Ras'98] ou pour certaines applications analogiques sensibles aux phénomènes d'injection de charges telles que les commutateurs RF à FET froids [Pava'01].

### I.8.2. Schéma électrique équivalent du transistor MOSFET

Le schéma électrique équivalent du transistor FET, représenté à la Figure I-24, comprend une partie intrinsèque et une partie extrinsèque. Que ce soit pour l'une ou l'autre partie, le schéma équivalent repose sur l'hypothèse que ses éléments sont indépendants de la fréquence jusqu'à la fréquence de coupure du transistor. En d'autres termes, le schéma équivalent utilisé est suffisant pour décrire le comportement du transistor tant que ses éléments sont constants en fonction de la fréquence. Cette hypothèse est primordiale pour l'extraction des éléments du schéma équivalent à partir des mesures.

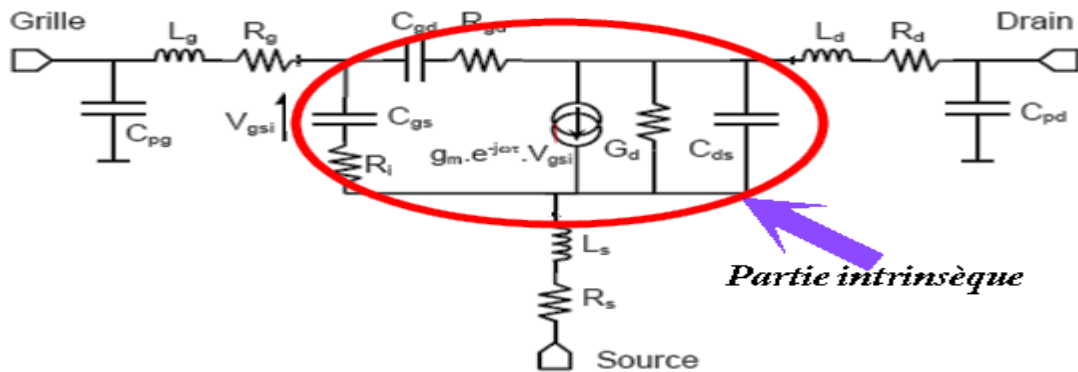


Figure I .23. Schéma électrique petit signal du transistor FET en source commune.

**a). Éléments intrinsèques**

La partie intrinsèque correspond à la zone active sous la grille où l'effet transistor se produit. Le courant  $I_{ds}$  qui circule dans le canal est modulé par la tension intrinsèque  $V_{gsi}$  appliquée aux bornes de la capacité grille-source  $C_{gs}$  sur la grille. Cet effet est modélisé par la source de courant  $(g_m \cdot V_{gsi})$  où  $g_m$  est la transconductance traduisant le mécanisme d'amplification de la commande du canal par la tension  $V_{gsi}$ . La transconductance est définie par :

$$g_m = \left. \frac{\partial I_{ds}(V_{gs}, V_{ds})}{\partial V_{gs}} \right|_{V_{ds}=cte} \quad (I.84)$$

Puisque les transistors MOSFET ne sont pas des sources de courant idéales, il est nécessaire d'ajouter une conductance de drain  $g_d$  définie par :

$$g_d = \left. \frac{\partial I_{ds}(V_{ds}, V_{gs})}{\partial V_{ds}} \right|_{V_{gs}=cte} \quad (I.85)$$

Les capacités susceptibles de jouer un rôle en régime dynamique sont celles associées à la charge stockée au niveau de grille, du canal et de semiconducteur.

En régime de forte inversion, une variation du potentiel de grille par rapport à la source entraîne une variation de charge dans le semiconducteur égal à la variation de charge sur la grille.

Ce comportement se traduit par la capacité grille –source  $C_{gs}$  définie par la relation :

$$C_{gs} = \left. \frac{\partial Q_g}{\partial v_{gs}} \right|_{v_{ds}=cst} \quad (I.86)$$

Où  $Q_g$  est la charge totale emmagasinée sur la grille.

$C_{gs}$  est dite la capacité d'entrée du MOSFET.

Il en va de même pour une variation du potentiel de grille par rapport au drain. On définit une capacité grille – drain  $C_{dg}$  donnée par la relation :

$$C_{gd} = \left. \frac{\partial Q_g}{\partial v_{ds}} \right|_{v_{gs}=cst} \quad (I.87)$$

$C_{ds}$  correspond aux capacités en série des jonctions de source et de drain.

Les effets non quasi-statiques sont pris en compte par les résistances  $R_i$  et  $R_{gd}$  et par la constante  $\tau$ , introduisant un retard entre l'application de la tension de commande  $V_{gsi}$  et son effet sur le courant  $I_{ds}$ .

Les éléments de la partie intrinsèque sont des fonctions de la polarisation et de la longueur de grille du transistor.

Lorsque le MOSFET est utilisé en amplification, le gain en tension continue est donné par la relation :

$$A_v = \frac{\Delta v_s}{\Delta v_g} = -g_m \cdot R \quad \text{où} \quad R = R_c // R_d \quad (\text{I.88})$$

En continu et à basse fréquence, la réaction de  $C_{gs}$  est très grande : le générateur ne débite aucun courant.

C'est là l'intérêt du MOSFET : quelque soit la résistance interne du générateur, c'est la force électromotrice qui appliquée au transistor. Par contre quand le montage à haute fréquence « fréquence élevées », la réactance de  $C_{gs}$  n'est plus négligeable, surtout parce que vient s'ajouter en parallèle le terme  $C_{gd} \cdot (1 - Av)$  dû à l'effet Miller. On donc :

$$C_e(\text{Miller}) = C_{gd} + C_{gd} \cdot (1 - Av) \quad (\text{I.89})$$

### b). Éléments extrinsèques

La partie extrinsèque est liée aux éléments parasites des zones d'accès entre la partie intrinsèque et les contacts métalliques reliant le transistor au reste du circuit. Ces éléments sont considérés comme étant indépendants de la polarisation.

### I.8.3 .Capacités de plot, résistances et inductances d'accès

Les résistances d'accès  $R_d$ ,  $R_s$  ont deux origines :

- les pertes métalliques dans les lignes d'accès.
- les résistances de contact entre le métal et les zones de diffusion fortement dopées de source et de drain.

La résistance  $R_g$  est due principalement à la résistance de la siliciuration des doigts de grille, ainsi qu'aux pertes métalliques. Ces résistances sont distribuées le long de la structure du transistor. Les inductances parasites  $L_g$ ,  $L_d$ ,  $L_s$  traduisent les effets réactifs des connexions du transistor. Enfin, les capacités  $C_{pg}$  et  $C_{pd}$ , appelées capacités de plot, sont dues aux connexions métalliques du transistor.

## **I.9. La réalisation d'un circuit intégré à technologie CMOS [Jér'06]**

Le circuit intégré est l'association d'une puce et d'un boîtier de protection. La puce, cœur du circuit intégré, est composée de plusieurs millions de composants élémentaires (des résistances, des diodes, des condensateurs et surtout des transistors) qui sont intégrés sur le même substrat (souvent en silicium) et reliés entre eux de manière à constituer des fonctions logiques (inverseur, portes « et », « ou »...). L'association de ces différentes fonctions permet ainsi de réaliser des fonctions complexes de calculs. La fabrication d'un circuit intégré nécessite plusieurs centaines de traitements différents : dépôt de couches minces isolantes ou conductrices, gravure, attaque chimique, recuit thermique approprié, dopage par implantation d'atomes... Lorsque l'ensemble des traitements est effectué, la tranche de silicium, qui regroupe une à plusieurs centaines de fois le même circuit intégré, est découpée en pastilles. Chaque pastille ou puce est ensuite montée dans un boîtier de protection en céramique ou en plastique, muni de pattes de connexion pour pouvoir l'intégrer sur une carte électronique. Une fois encapsulées, certaines puces fabriquées sont contrôlées individuellement et celles qui s'écartent des spécifications attendues sont rejetées.

La fabrication d'un circuit intégré nécessite de nombreuses étapes qui peuvent être regroupées en deux catégories : les étapes technologiques qui concernent la réalisation des dispositifs actifs (étapes dit de «Front End») et celles qui concernent la réalisation des interconnexions entre ces dispositifs afin de réaliser la fonction logique voulue (étapes dit de «Back End»).

## **I.10. Les limites actuelles à la miniaturisation du transistor MOS bulk**

### **I.10.1. Contraintes pour les générations futures**

La future génération de transistor MOS atteindra des dimensions caractéristiques de l'ordre de quelques nanomètres. Au-delà des difficultés de lithographie qu'il conviendra de surmonter avant d'en arriver à la réalisation industrielle, ces « Nano MOS » imposent de nouveaux défis technologiques à relever et dévoilent de nouveaux phénomènes qu'on ne peut plus négliger. Dans les paragraphes qui suivent, nous allons examiner les principales contraintes technologiques auxquelles le dispositif MOSFET bulk est confronté dans la course à la miniaturisation.

#### **a) Problèmes liés aux faibles épaisseurs d'oxyde.**

Parallèlement à la réduction de la longueur du canal  $L$ , l'épaisseur d'oxyde de grille doit être réduite afin de pallier les effets canaux courts et d'améliorer le contrôle du canal de conduction. Pour des épaisseurs inférieures à  $2nm$ , la couche d'oxyde devient suffisamment

fine pour permettre le passage des porteurs par effet tunnel direct. Ce passage est à l'origine d'un courant tunnel de grille d'autant plus important que l'épaisseur d'oxyde est faible.

L'apparition d'un courant de grille entraîne un accroissement du courant à l'état bloqué et donc de la puissance dissipée, il perturbe aussi le bon fonctionnement du transistor à l'état passant puisque les électrons du canal peuvent s'échapper vers la grille par l'intermédiaire de l'oxyde. Ces effets ne sont pas encore critiques pour le bon fonctionnement du transistor [Cas'01], même si les applications « basse consommation » souffrent de plus en plus de l'augmentation continue de la puissance dissipée.

La dépendance exponentielle du courant de grille ( $J_g$ ) avec l'épaisseur d'oxyde fait de la limitation du courant tunnel de grille l'un des défis majeurs des prochaines années.

Parmi les solutions en cours d'étude, l'utilisation d'isolants à permittivité élevée à la place de l'oxyde de grille semble la solution la plus prometteuse. L'oxyde d'hafnium  $HfO_2$  avec sa permittivité relative ( $\epsilon_r$ ) de l'ordre de 20, son gap relativement grand de l'ordre de 5,65 eV et enfin sa relative stabilité thermodynamique sur le silicium semble être un bon candidat pour remplacer l'oxyde [Ritz'06].

#### b) Les effets canaux courts

De manière générale, les effets canaux courts – que nous noterons SCE (*Short Channel Effects*) – constituent tous des effets parasites qui influent sur  $V_{th}$ . Deux effets parasites sont prédominants lorsque l'on atteint des dimensions très faibles : le partage de charge CS (*Charge Sharing ou Roll-off*) et le DIBL (*Drain Induced Barrier Lowering*).

##### b.1) Le partage de charge de déplétion (CS)

L'effet de partage de charge (CS) apparaît lorsqu'une partie significative du canal n'est plus contrôlée par la grille à cause de l'influence des jonctions de source et de drain [Prég'03]. Quand  $V_{ds}$  augmente, la quantité de charge contrôlée par la grille diminue en dessous de sa valeur obtenue pour  $V_{ds}=0$  V [Lall'03]. Cet effet se traduit par une diminution de la tension de seuil et par une augmentation de la pente sous le seuil  $SS$  ainsi que du courant. Ce résultat s'observe bien sur la caractéristique  $I_d-V_G$  en échelle logarithmique de la Figure. I.25.

En plus de cet effet canal court, on assiste à un effet canal étroit [Lall'03]. La région de déplétion effective créée par la tension de grille sous l'oxyde de grille s'étend latéralement. Cependant, contrairement à l'effet du canal court, cet effet dû au canal étroit conduit à une diminution de la valeur du courant et, ainsi, à une augmentation de la tension de seuil.

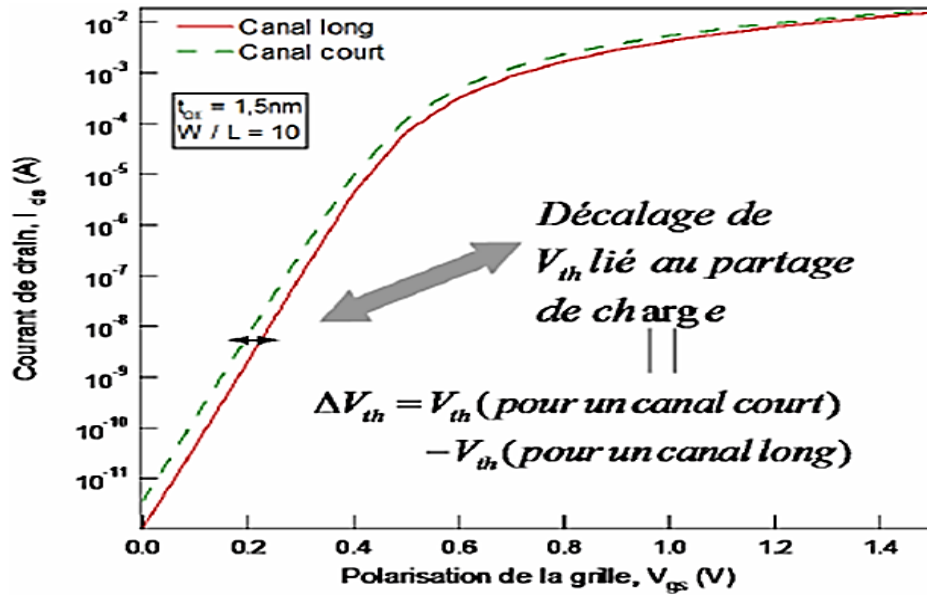


Figure. I.24. Influence de l'effet du partage de charge sur la caractéristique du courant du transistor MOS pour  $V_d=1\text{ V}$

**b.2) L'abaissement de la barrière de potentiel induit par le drain (DIBL)**

Pour expliquer l'effet du DIBL, nous devons considérer un dispositif à canal court. Comme décrit dans la Fig. I.26-a, lorsqu'aucune polarisation n'est appliquée, le profil de potentiel est le même que dans le cas du dispositif à canal long. Cependant, avec une tension de drain appliquée (Fig. I.26-b), le profil du potentiel de canal est affecté. La polarisation de drain change le profil sur toute la longueur du canal, abaissant la barrière à la jonction substrat-source. C'est effectivement un tel effet qui est référé comme étant l'abaissement de la barrière induite par le drain, ou le DIBL [Bir'07]. Pour une tension de drain croissante, nous assistons à une traversée du canal par les porteurs à une valeur de polarisation de grille nettement inférieure à celle que l'on aurait eu en l'absence de cet effet dit DIBL. L'injection augmentée d'électrons par la source, par-dessus la barrière de canal réduite, lorsque  $V_{ds}$  augmente, entraîne une croissance du courant de drain et donc une décroissance de  $V_{th}$

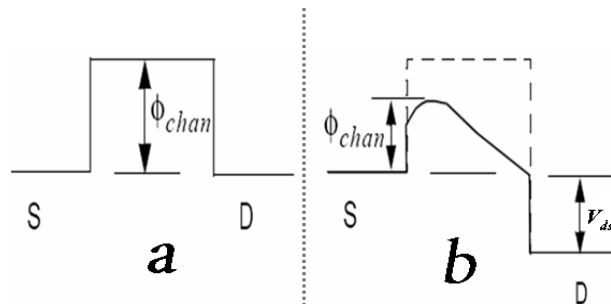


figure. I.25. Profil du potentiel de canal sur une structure à canal court pour  
 . (a)  $V_{ds} = 0\text{ V}$  et (b)  $V_{ds} > 0\text{ V}$



Ce résultat s'observe bien sur la caractéristique  $I_d - V_g$  en échelle logarithmique tracée à la Figure. I.27.

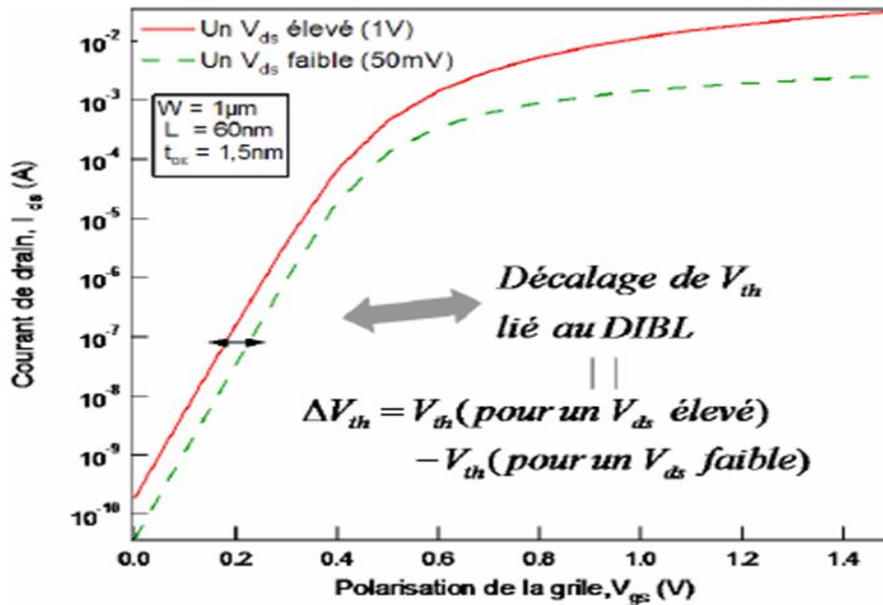


Fig. 1.26. Influence de l'effet du DIBL sur la caractéristique ( $I_d - V_g$ ) du transistor MOS

### c) La déplétion de grille

L'utilisation du polysilicium de grille provoque la déplétion des porteurs au sein même du polysilicium en inversion. Ce phénomène est connu sous le nom de déplétion du polysilicium de grille [Bir'07]. Cette déplétion entraîne la diminution du courant de saturation  $I_{on}$  et l'augmentation « effective » de l'épaisseur d'oxyde. Ceci a pour conséquence directe, une diminution du contrôle de la grille sur le potentiel dans le canal. Le phénomène de déplétion de grille peut être éliminé par l'utilisation d'une électrode métallique, laquelle offre, en outre, la possibilité d'ajuster la tension de seuil des dispositifs. L'ajustement de la tension de seuil se fait par le biais de l'ajustement du travail de sortie de la grille métallique. Parmi les matériaux métalliques potentiellement au cœur des recherches dans ce domaine, se trouvent les matériaux de type *mid-gap* dont les travaux de sortie sont identiques à celui du silicium. Nous pouvons citer le CoS12 et le TiN comme exemples de matériau de ce type.

### d) Problèmes liés au dopage

Une autre difficulté sérieuse dans la mise au point des nano-MOS réside dans la réalisation des différents dopages (canal et caissons) nécessaires pour contrer les effets canaux courts. La réalisation de profils de dopage complexes (dopage rétrograde, halos et poches, caractère abrupt du profil de dopage entre caissons source-drain fortement dopés et canal

faiblement dopé) dans des dispositifs de plus en plus petits révèle technologiquement des difficultés croissantes, notamment si l'on désire une parfaite reproductibilité d'un transistor à un autre sans aucune dispersion des caractéristiques.

Le nombre d'impuretés dans le canal participant à l'élaboration du courant est de plus en plus faible de par la réduction croissante des dimensions du canal (à titre d'illustration, pour un substrat dopé à  $10^{18}$  atomes /  $cm^{-3}$ , un canal mesurant  $20 \times 20 \times 20 \text{ nm}^3$  ne comporte en moyenne que 8 impuretés). Il en résulte une distribution microscopique aléatoire des dopants ayant des effets non négligeables sur la tension de seuil. Ces fluctuations de performances de plus en plus grandes vont aboutir, à terme, à des problèmes de plus en plus difficiles à surmonter dans les technologies MOSFET bulk [Bir'07].

Tous les effets canaux courts que nous avons brièvement cités et qui se manifestent au niveau des transistors de petites dimensions pourrait être largement réduit par l'élaboration de nouvelles structures permettant ainsi une conduction volumique. On citera entre autres les transistors doubles grilles à conduction latérales les doubles grilles à conduction verticales, les finfets, les trigates, ect.....

### **I.11. Le Bruit dans les transistors MOSFET**

Les applications modernes de la technologie MOSFET imposent la modélisation du bruit afin d'assurer un bon fonctionnement des circuits à technologie MOSFET Les deux principales sources de bruit dans un transistor MOS sont le bruit en  $1/f$  (basse fréquence) et le bruit thermique. En radiofréquence le bruit en  $1/f$  est négligeable, le bruit thermique devient alors la principale source de bruit :[ Guen'05]

#### **I.11.1. Le bruit en $1/f$ ou bruit basse fréquence**

. Ce bruit est en fait un bruit qui se manifeste en basse fréquence, et combien même ce bruit est omniprésent, aucun mécanisme universel n'a été prouvé définitivement comme étant sa cause. . Ce bruit est plus grand dans les transistors MOS en comparaison avec les bipolaires.. L'origine du bruit en  $1/f$  est expliquée par les théories suivantes

##### **I.11.1.1. Fluctuations du nombre de porteurs de charge**

Cette théorie a été proposée par Mc Worther . Ce bruit est dû au piégeage des porteurs de charge au-dessous du diélectrique au niveau de la grille. la densité spectrale du courant qui circule au niveau du drain, notée SID et donnée par :[ Guen'05]:

$$S_{ID} = \frac{K_F q^4 I_D^2}{n^2 K T W L f} \frac{N_{ST}}{(C_{OX} + C_{SS} + C_I)^2} \left( \frac{\mu_{Eff}}{\mu_0} \right)^2$$

Avec

$$\mu_{eff} = \frac{\mu_0}{1 + \theta(V_{GS} - V_T)}$$

Où :

KF : constante dépendant de la technologie utilisée

n : concentration des électrons

q : la charge de l'électron

ID : le courant du drain

k : la constante de Boltzmann

W : la largeur du canal

L : la longueur du canal

T : la température en degré Kelvin

NST : la densité des porteurs piégés en surface

CSS : la capacité d'interface

CI : la capacité d'inversion

Cox : la capacité de l'oxyde

VGS : la tension entre la grille et la source

VT : la tension de seuil «threshold »

$\mu_{eff}$  : la mobilité effective des porteurs de charge

$\mu_0$  : la mobilité des porteurs de charge à faible champ

$\theta$  : le facteur d'atténuation de la mobilité des porteurs de charges dans le canal.

### I.11.1.2. Fluctuation de la mobilité

Hooge [1] attribue le bruit en 1/f à la fluctuation de la mobilité des porteurs de charge. Il développe une formule empirique déterminant le bruit en 1/f en fonction de la variation de la résistance du canal. La densité spectrale du bruit est alors donnée par la relation suivante .[Guen'05]:

$$R_n^2 = \frac{\alpha_H R^2}{N f}$$

Avec  $N$  le nombre de porteurs de charges libres au niveau du « bulk », et  $\alpha_H$  la constante de Hooge

### I.11.2. Le bruit thermique

Le bruit thermique ou bruit de Johnson est dû principalement à l'agitation thermique des porteurs de charge [Guen'05].

La densité spectrale du bruit thermique est donnée par :

$$S_{th_{id}} = \frac{4K_B T}{I_{DS} L^2} \int_{V_{SB}}^{V_{DB}} g^2(V) dv$$

où  $g(V)$  représente la conductance à chaque point du canal

### I.12. Conclusion

L'objectif de ce premier chapitre était d'introduire les transistors MOSFET et leur mode de fonctionnement. Nous avons ainsi pu rappeler les principales caractéristiques des MOSFET, ainsi que les différents paramètres qui influent sur leur fonctionnement

Notre travail consistant à étudier et concevoir par simulation numérique une structure nanométrique. Nous aurions pu choisir un transistor conventionnel sur bulk nanométrique tel que le BSIM4 en technologie 50nm, mais nous avons choisi un dispositif bien plus intéressant avec un double contrôle du canal qui s'adapte très bien à la conception des circuits nanométriques réduisant considérablement les effets canaux courts. Il existe bien des variantes de ce type de structure, notre choix s'est porté sur le dual gate planaire transistor ayant pour acronyme le DGFET à canal n. On se propose alors au niveau du chapitre 2 de présenter le DGFET planaire visé principalement par notre étude.

## CHAPITRE II

# LE MOSFET DOUBLE- GRILLE LES EFFETS PHYSIQUES, LES PROPRIETES ELECTRIQUES

## II.1.Introduction

La loi de Moore traduit de manière empirique mais réaliste l'évolution de la microélectronique. De nos jours, il devient malheureusement de plus en plus difficile de suivre cette loi. Les limitations technologiques représentant un réel frein à la croissance de cette industrie, l'entrée dans l'ère nanométrique nécessite non seulement de mobiliser des ressources intellectuelles importantes mais aussi des investissements financiers colossaux. De nombreuses solutions sont actuellement étudiées pour contourner les limitations technologiques liées à la réduction d'échelle du transistor MOS standard. Certaines de ces solutions incluent des modifications au sein des structures existantes, dans l'espoir de prolonger leur miniaturisation. Selon le rapport de l'ITRS (*International Technology Roadmap for Semiconductors*), le transistor MOS à double-grille appelé DGFET (Fig. II.1) est identifié comme l'un des candidats les plus prometteurs pour les futurs circuits intégrés à très grande densité d'intégration. Ceci est essentiellement dû à son aptitude intrinsèque à suivre la tendance continue de miniaturisation des dispositifs (grâce au contrôle du canal par les deux grilles). En parallèle et afin de satisfaire aux exigences du concepteur de circuits, il est nécessaire de développer des modèles compacts de ces technologies émergentes, précis, simples, efficaces en termes de temps de calcul, contenant un minimum de paramètres et enfin, prédictifs. Les travaux se positionnent depuis quelques années dans le cadre de la modélisation compacte du transistor MOS à grilles multiples.

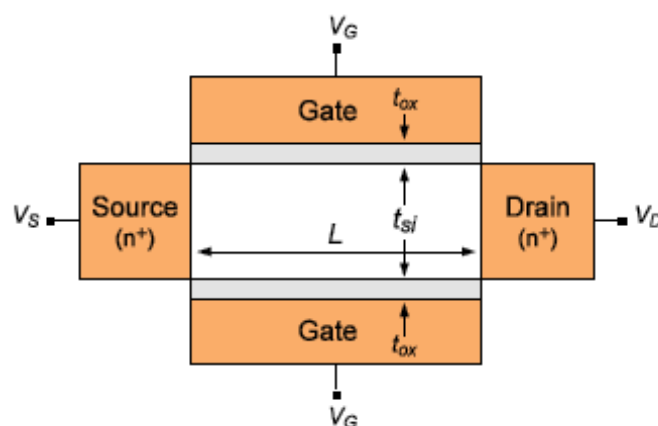


Figure II.1. Structure du DG MOSFET

## II.2 .Etat de l'art

Comme mentionné dans le chapitre précédent, les architectures MOSFET multi-grille améliorent nettement le contrôle électrostatique du canal, réduisant les effets canaux courts et optimisant ainsi le courant de conduction tout en minimisant la consommation statique. L'ITRS de 2004 [ITRS '04] propose de nombreuses architectures multi-grille innovantes rassemblées dans la Table II.1.

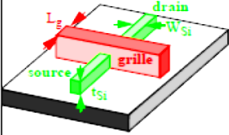
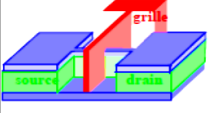

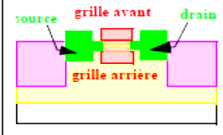
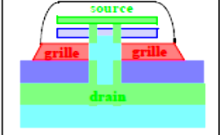
Dispositif	Transistors MOSFET multi-grille				
	<i>N-grilles (N &gt; 2) MOSFETs</i>	<i>MOSFETs double-grille</i>			
					
<i>Concept</i>	- grilles reliées entre elles (nombre de canaux > 2)	- grilles reliées entre elles - conduction latérale	- grilles reliées entre elles - conduction planaire	- grilles indépendantes l'une de l'autre - conduction planaire	- conduction verticale
<i>Applications CMOS</i>	- High power (HP) - Low Operating Power (LOP) - Low Standby Power (LSTP)	-HP -LOP -LSTP	-HP -LOP -LSTP	-LOP. -LSTP	-HP -LOP -LSTP
<i>Points forts</i>	- $I_{on}$ plus grand - ailettes 2 fois plus épaisses	- $I_{on}$ plus grand - amélioration de l'inverse de la pente sous le seuil - amélioration contre les effets canaux courts	- $I_{on}$ plus grand - amélioration de l'inverse de la pente sous le seuil - Réduction des effets canaux courts	- Réduction des effets canaux courts	- potentiel pour une intégration 3D
<i>Faiblesses</i>	- largeur quantifiée du dispositif limitée - effets de coin	- épaisseur de l'ailette inférieure à la longueur de grille	- largeur limitée (<1 $\mu m$ )	- difficultés d'intégration - capacité de grille arrière (recouvrement grille/Sourcé-Drain) - dégradation de la pente sous le seuil - alignement de grille	- réalisation des profils de jonction - difficultés d'intégration du procédé - capacité parasite - une seule longueur de grille

Table II.1. Architectures multi-grille non conventionnelles de transistor MOSFET (IRTRS 2004 )

Comme le montre la Table II.1, extraite de l'ITRS 2004, il existe une grande diversité de géométries multi grille.

Néanmoins, il est possible de les classer dans trois grandes catégories distinctes suivant la direction du transport électronique et la direction du champ de grille par rapport au plan du substrat qui est le plan horizontal.

Cependant avant d'aborder en détail ces différentes catégories il, devient indispensable de présenter la technologie SOI sur laquelle se basent toutes ces architectures.

### II.3. La technologie SOI

Longtemps quasiment exclusivement utilisée pour sa bonne tenue face aux radiations ionisantes [Mar'98], la technologie SOI a connu une grande diversification de ses applications aussi bien en électronique qu'en optique où elle permet la réalisation de guides optiques très performants [Lau'01]. Un substrat SOI, schématisé en Figure II.2, se compose d'un empilement de trois couches. Un oxyde, dit « enterré », est intercalé entre 2 couches de silicium cristallin : la zone active et le substrat.

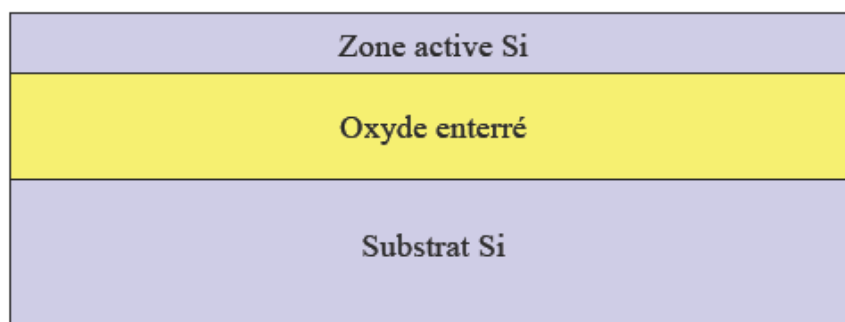


Figure II.2. Schéma d'un substrat SOI (Silicon on Insulator)

La très nette amélioration de la technologie *SOI* en qualité et en coût la rend très compétitive et ce d'autant plus qu'elle permet une bonne compatibilité avec les technologies CMOS actuelles [Fré'01]. Par exemple, la méthode révolutionnaire nommée « Smart cut », permet à l'heure actuelle de fabriquer des substrats SOI dits « Unibond » avec des couches actives de silicium ultrafines et de très bonne qualité cristalline [Jac'03]. On peut aussi citer la technologie SON (Silicon On Nothing) qui permet d'associer des zones « SOI » et « non SOI » sur une même puce [Tho'05].

#### II.3.1 La technologie SOI à grille unique

Le terme SOI (*Silicon On Insulator*) signifie littéralement silicium-sur-isolant. Contrairement au MOSFET bulk (Fig. II.3.a) où les composants sont réalisés sur un substrat de silicium – appelé parfois *bulk* – d'une épaisseur de l'ordre de  $600\mu\text{m}$  dont seuls les premiers microns en surface sont réellement utiles, le SOI est réalisé sur un film de Silicium au préalable posé sur une couche d'oxyde enterrée (Fig. II.3.b). Le film de silicium a une épaisseur que nous noterons  $t_{Si}$ .



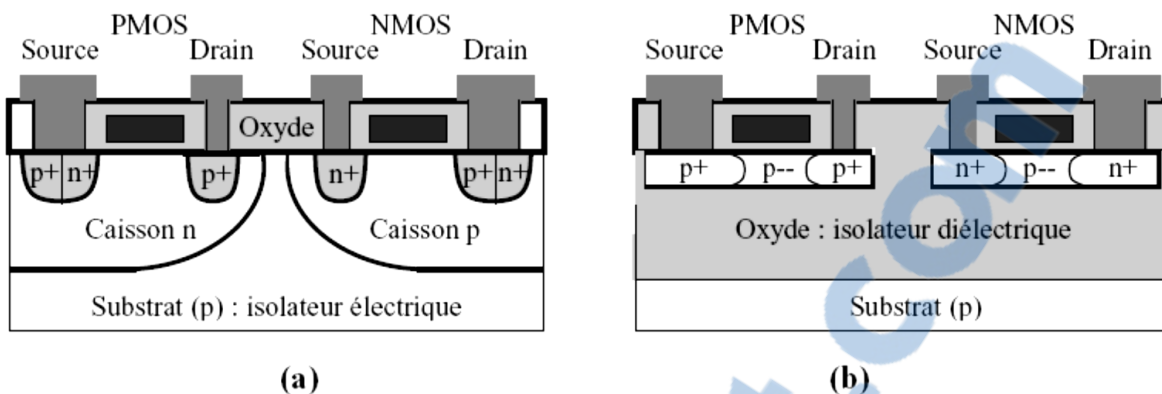


Figure II.3 Coupe schématique de transistors MOS (a) bulk et (b) SOI [Col '05]

Toujours à l'opposé du transistor MOS bulk où le canal d'inversion est localisé à l'interface silicium-oxyde, la structure SOI a donnée naissance au concept d'inversion volumique [Fos'02]. La présence de l'oxyde enterré permet un meilleur contrôle du potentiel dans le canal par la grille que dans le transistor MOS sur silicium massif. Pour des films de silicium épais, la zone de déplétion dans le film n'atteint pas l'oxyde enterré ; nous parlons alors de transistor partiellement déplété (ou PDSOI, "*Partially Depleted SOI*"). Lorsque l'épaisseur du film est réduite et que la déplétion atteint l'oxyde enterré, le film est donc complètement déserté et la grille améliore le contrôle du potentiel dans le film ; nous parlons alors de transistor entièrement déplété (ou FDSOI, "*Fully Depleted SOI*"). La figure II.4 décrit ces deux structures.

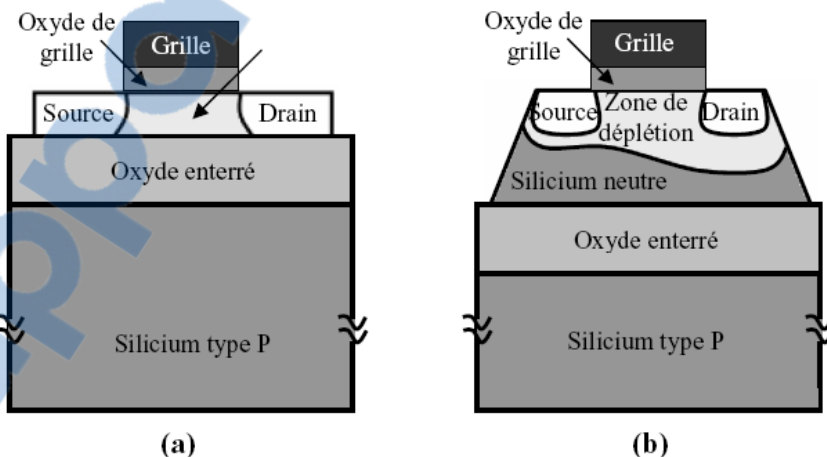


Figure II.4. Représentation schématique d'un transistor SOI : (a) entièrement déplété et (b) partiellement déplété [Col '05]

Le fait que le SOI soit partiellement ou entièrement déplété dépend essentiellement de l'extension de la couche de désertion dans le film de silicium. La profondeur  $X_{Si}$  de la zone de désertion dans le film dépendra du dopage du film [Cri'95].

### II.3.2. Avantages de la technologie SOI par rapport au MOSFET bulk

Les propriétés électriques de cette structure, en particulier du transistor SOI entièrement déserté (déplété), sont dans l'ensemble bien meilleures comparées au transistor MOS bulk. Il est d'ailleurs estimé que ce composant est un candidat susceptible de réussir l'intégration des dispositifs de dimensions longitudinales inférieures ou égales à  $30nm$  [Col '97].

Les avantages de la technologie SOI sont multiples, on citera entre autre :

#### II.3.2. 1. Diminution des effets parasites

Par la seule présence de l'oxyde enterré, les capacités parasites sont considérablement réduites.

- Les capacités de jonction source-substrat et drain-substrat, qui correspondent à la capacité d'une jonction polarisée en inverse pour le MOSFET bulk, ne sont en réalité pour le SOI qu'une capacité d'oxyde  $C_{Box}$ .
- Le transistor SOI présente, toujours par comparaison au transistor MOS bulk, un canal de conduction plus mince et isolé [Col '97] , une simplification des niveaux d'interconnexions au-dessus des transistors du fait de l'absence des caissons.
- Lorsque le film de silicium est faiblement dopé, voire non dopé, il peut être entièrement déplété à tension  $V_{grille}$  nulle, ce qui est également avantageux en ce qui concerne le courant de percement en surface.
- Élimination du *latch-up* sur le SOI., qui est présent sur le MOSFET bulk, ( le *latch-p* est un phénomène parasite dû au déclenchement du thyristor parasite lié à la proximité des zones  $N+$  et  $P+$  de transistors nMOS et pMOS voisins). Sur le SOI (Fig. II.3b), ces zones sont totalement isolées et, ainsi, le claquage entre ces deux zones est impossible.

La faculté d'augmenter la densité d'intégration est une conséquence directe de la suppression de ces effets parasites [Col '97] .

#### II.3.2. 2. Amélioration du contrôle de la grille sur la charge de déplétion

Les modèles de séparation de charge fournissent la proportion de la charge de déplétion contrôlée par la grille par rapport à celle contrôlée par la source et le drain. Le rapport entre la charge de déplétion contrôlée par la grille et le drain (ou la source) est beaucoup plus important pour un transistor SOI, par comparaison à un transistor MOS sur

substrat massif , de même dimensions à savoir de même longueur  $L$  , largeur  $W$ , de même épaisseur d'oxyde de grille  $t_{ox}$ , et même profondeur de jonction  $X_j$ .

Ce phénomène est d'autant plus marqué que la longueur du canal diminue comme le montre la figure II.5.

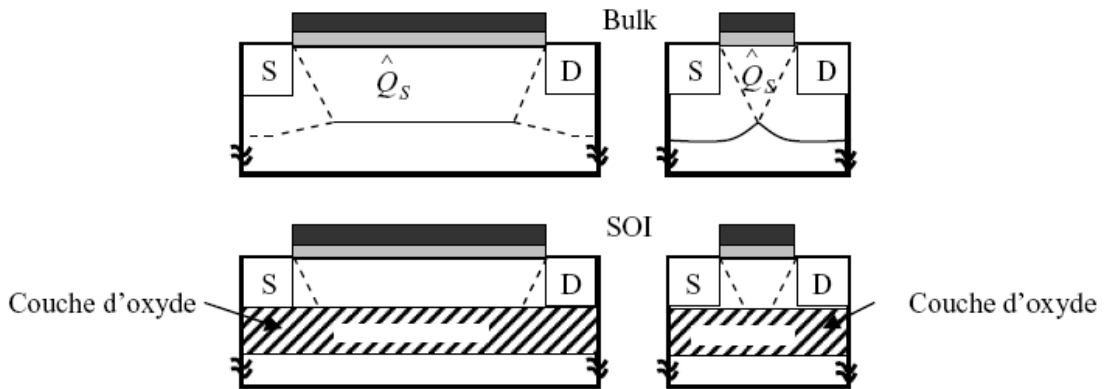


Figure II.5. Distribution de la charge de déplétion pour le MOSFET bulk et le SOI [Bon'98]

### II.3.2.3. Amélioration de la pente sous le seuil

La pente sous le seuil est définie par l'expression:

$$SS = n \ln \left( 10 \frac{kt}{q} \right)$$

$$\text{Avec : } n = 1 + \left( \frac{c_{dep}}{c_{ox}} \right)$$

$n$  est appelé le facteur de substrat.

On se propose alors dans ce qui suit de présenter le circuit capacitif équivalent d'un MOSFET sur substrat massif sur la figure II.6.a et le circuit capacitif équivalent d'un SOI MOSFET sur la figure II.6.b.

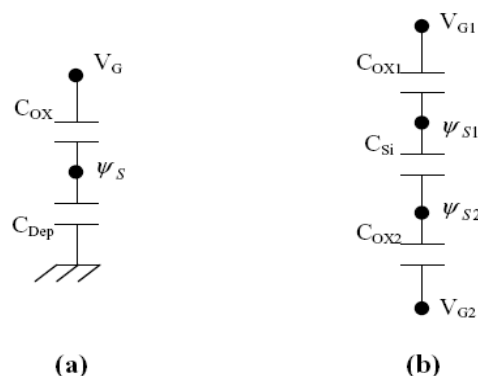


Figure II.6. Circuit capacitif équivalent (a) d'un MOSFET sur substrat massif et (b) d'un SOI MOSFET

Pour le transistor MOS bulk (Fig. II.6a), comme  $C_{dep}$  n'est pas négligeable, cela implique que  $n > 1$ .

En revanche, pour le transistor SOI sur film mince, le film est déplété en entier avant que la tension n'atteigne la tension de seuil ce qui a pour conséquence l'obtention d'une capacité  $C_{Si}$  constante, d'où :

$$SS = \frac{nkT}{q} \ln(10) \text{ ou } n = \left( 1 + C_{Si}/C_{ox1} \right) - \frac{\frac{C_{Si}}{C_{ox2}} - \frac{C_{Si}}{C_{ox1}}}{1 + C_{Si}/C_{ox2}}$$

$C_{Si}$  désigne la capacité du film de silicium complètement déplété et  $C_{ox1}$  et  $C_{ox2}$ , les capacités d'oxyde situé respectivement dans la partie supérieure et la partie inférieure du film de silicium.

$\Psi_{S1}$  et  $\Psi_{S2}$  ( figure II.6.b), désignent respectivement les potentiels de surface dans les régions supérieure et inférieure du film et, enfin,  $V_{G1}$  et  $V_{G2}$  correspondent aux polarisations des grilles, toujours dans la région supérieure et la région inférieure du film.

Habituellement, pour des films minces,  $C_{ox2} \ll C_{ox1}$  et  $C_{ox2} \ll C_{Si}$ , et donc nous obtenons une valeur de  $n$  proche de l'unité et la pente sous le seuil optimale. La pente sous le seuil à température ambiante est pratiquement maximale (= 60mV/dec pour  $n=1$ ) en technologie SOI (Fig. II.7).

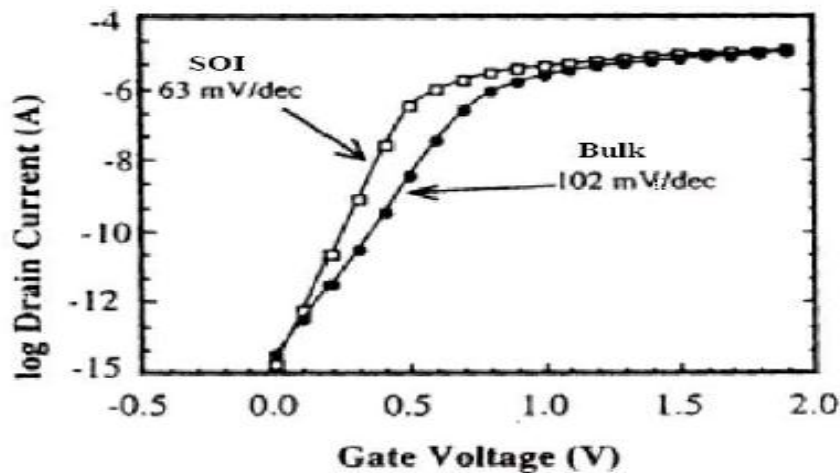


Figure II.7. Comparaison de la pente sous le seuil du transistor MOS en technologies bulk et SOI, pour une géométrie constante [Col '97]

### II.3.3. Inconvénient majeur de la technologie SOI

La technologie SOI présente d'innombrables avantages. Cependant, son inconvénient majeur, surtout en ce qui concerne le PDSOI, est l'importance des effets canaux courts (Fig. II.8).

En effet la polarisation du drain peut induire des effets canaux courts par influence électrostatique à travers l'oxyde enterré. Cet effet néfaste n'est pas à négliger lorsque l'épaisseur de l'oxyde est importante.

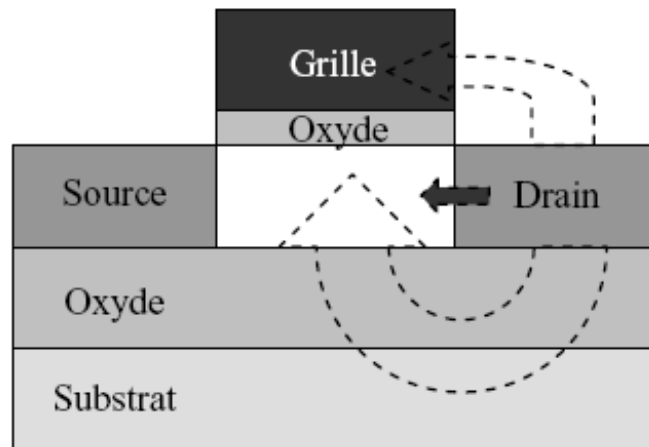


Figure II.8. Influence électrostatique sur le SOI à une grille [Col '97]

Naturellement, réduire l'épaisseur d'oxyde ne ferait que réduire l'influence électrostatique ; en revanche, insérer une grille en-dessous de l'oxyde constituerait un bouclier qui bloquerait complètement les lignes de champs. Ceci permettrait directement de protéger le canal et de réduire les effets canaux courts. Cette structure, permettant ainsi d'insérer une seconde grille est appelée structure double grille dite DGFET pour dual gate field effect transistor et fera l'objet de notre étude. Le double-grille (DG) rentre dans le cadre des structures multi-grilles que nous présentons dans la section suivante.

#### II.4. Les transistors à grilles multiples

Nous avons pu expliquer brièvement auparavant que la technologie SOI à simple grille ne permettait pas de réduire les effets canaux courts en raison notamment de l'influence électrostatique existante. Cependant, l'ajout de grille autour de la couche de silicium, non seulement favorise l'isolement du canal de conduction, d'où sa protection, mais offre également un meilleur contrôle sur ce canal. C'est ainsi que sont apparus, au cours de cette décennie, de nouvelles structures ayant deux, trois, voire quatre grilles [Col '97]. Ces nouvelles structures sont considérées comme étant une amélioration des structures MOSFET SOI sur bulk. De ce fait, l'évolution des dispositifs SOI avec l'augmentation du nombre de grilles est illustrée en figure II.9 et figure II.10

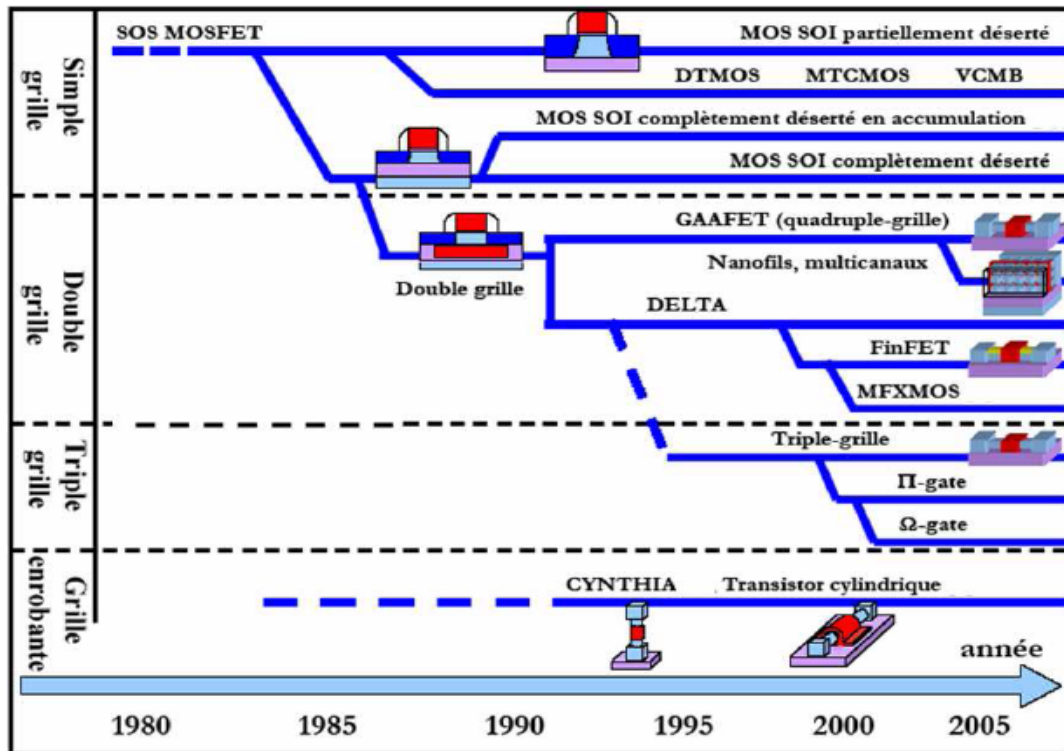


Figure II.9. Evolution (en recherche) de la technologie SOI au fil des années [Col'07]

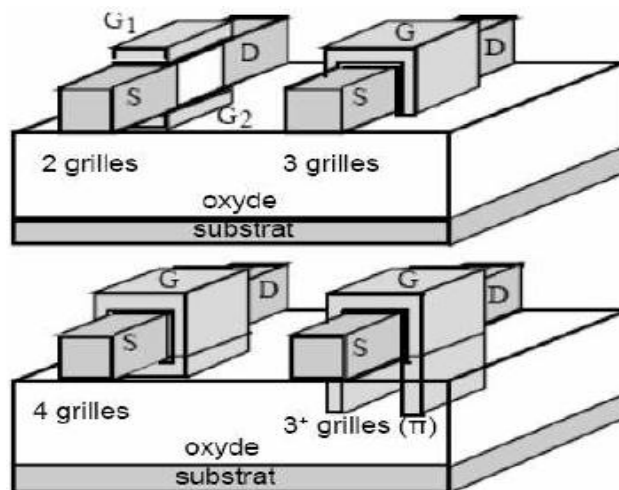


Figure II.10. Les différentes structures multi-grilles : SOI double-grille (2), SOI triplegrille (3), SOI quadruple-grille/Surrounding- gate (4+), et grille en forme  $\Pi$  ou  $\Omega$  (3+)

Suivant le nombre de grilles qui contrôle le canal et leur positionnement autour du film de silicium, la dénomination des MOSFETs SOI diffère, ainsi nous trouvons dans la littérature (figure II-11 ):

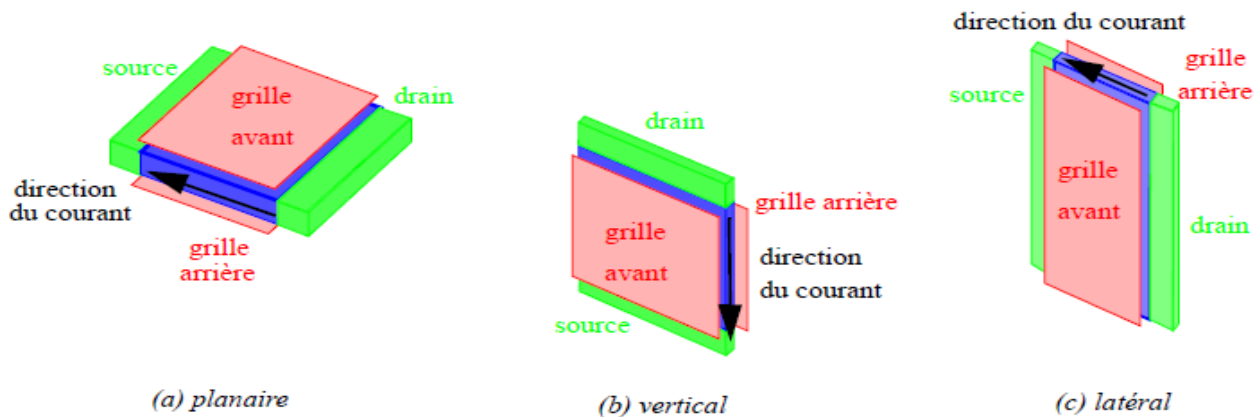


Figure II-11. Description des trois catégories d'architecture de transistor double-grille: (a) conduction planaire (b) conduction verticale (c) conduction latérale (FinFET)

#### a) Le transistor MOSFET double-grille DGFET

Le transistor MOSFET double-grille (DG) est constitué de deux grilles placées sur le plan horizontal. La figure II.10 présente cette architecture. Chaque grille exerce un contrôle sur le ou les canaux. Il existe une autre structure qui appartient à la catégorie DGFET double grille bien qu'elle possède trois grilles ; elle est souvent appelée dans la littérature, le FinFET. Cette structure dispose d'une « troisième grille » reliant les deux autres grilles. Par rapport à un dispositif MOSFET double-grille planaire, l'avantage d'un transistor FinFET est l'auto-alignement intrinsèque des deux grilles. La « troisième grille » se trouve sur une couche d'oxyde de grille d'une épaisseur importante. De ce fait, elle n'effectue aucun contrôle sur le canal. Ainsi, seules les deux grilles latérales créent et contrôlent un canal d'inversion. De plus, on observera qu'au niveau de la structure MOSFET double grille planaire, on peut en différencier deux variantes.

En effet suivant la manière dont le dispositif est polarisé, nous assistons à des modes de fonctionnement différents. Nous avons ainsi :

- ✿ le MOSFET double-grille en mode de fonctionnement symétrique .
- ✿ le MOSFET double-grille en mode de fonctionnement asymétrique.

Nous reviendrons plus en détail sur ces deux types de dispositifs dans ce qui suit.

#### b) Le triple-grille

Cette structure dispose de trois grilles (TG), dont une au-dessus de l'oxyde et une sur chaque face latérale (Fig. I.10). Les couches d'oxyde au contact de chacune

des grilles ont une épaisseur suffisamment faible pour permettre la formation de trois canaux à l'intérieur du film de silicium [Col '97].

### c) Le triple+-grille

Ces transistors sont représentés à la figure II.12. Ils sont constitués non seulement de trois grilles positionnées au-dessus de l'oxyde de grille et sur les faces latérales, mais également de deux extensions.

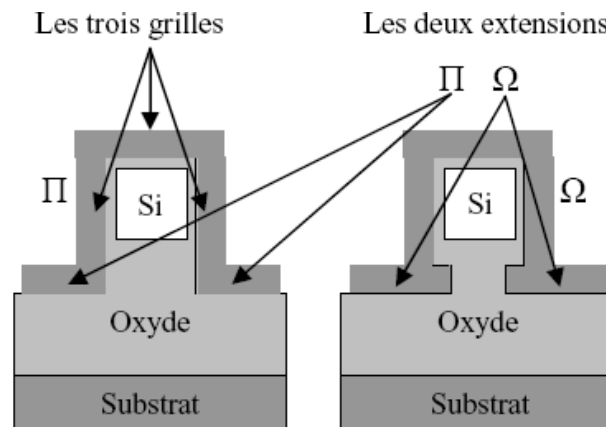


Figure II.12. L'extension des grilles conduisant aux structures  $\Pi$  et  $\Omega$  SOI MOSFETs

Suivant la forme de ces extensions, l'architecture diffère [Col '97]. Si ces extensions se développent verticalement dans l'oxyde enterré, soit suivant la continuité des grilles latérales, nous parlons de structure  $\Pi$ FET. Si ces extensions se développent horizontalement, soit perpendiculairement aux grilles latérales, nous parlons de  $\Omega$ FET.

Ces extensions sont généralement obtenues en sur-gravant l'oxyde dans la phase de définition des zones actives.

Leur rôle consiste à améliorer considérablement le contrôle électrostatique de la grille.

### d) Le quadruple-grille

Ce composant possède quatre grilles (QG). La structure est décrite à la figure II.10. Le film de silicium est recouvert de grille sur les quatre faces, d'où leur autre nom : "*surrounding-gate*" [Col '97] . Des études restent encore à mener pour déterminer tous les avantages de ce type de composant.



#### **II.4.1. Avantages des transistors à grilles multiples**

L'idée d'ajouter de plus en plus de grilles repose sur le fait que, si l'épaisseur du film actif de silicium entre les différentes grilles est suffisamment faible, ces grilles polarisées peuvent commander le volume global de silicium entre la source et le drain. La conduction s'effectuant alors de manière volumique et non plus surfacique [Col '97], on s'attend à des effets avantageux pour la valeur du courant de drain. De plus, la prise de contrôle du canal se révélant plus importante, on s'affranchit des effets canaux courts liés à l'influence de  $V_{ds}$ : la diminution drastique de l'épaisseur d'isolant devient moins cruciale. Enfin, par leurs dispositions, les grilles font enseigne de bouclier contre les lignes de champs créées par la polarisation du drain et qui influent sur la circulation des électrons. Finalement, les performances sont nettement améliorées avec de telles architectures multi-grilles. A cet effet, elles font l'objet actuellement de recherches intenses dans de nombreux laboratoires.

#### **II.4.2. Inconvénient des transistors à grilles multiples**

L'un des inconvénients de ces structures dites à grilles multiples est essentiellement l'accroissement des résistances des extensions source et drain. De plus, les dimensions de la zone active étant réduites à moins de quelques dizaines de nanomètres dans toutes les directions, de multiples questions se posent quant à la physique du transport dans ces dispositifs : importance du transport balistique [Rhew'02] ou par effet tunnel [Mou'01] entre source et drain. Finalement, le point qui reste de loin le plus critique réside, bien entendu, dans leur fabrication qui nécessite la mise en œuvre de procédés plus que délicats.

#### **II.5. La technologie MOSFET double-grille**

Les transistors MOS double-grille (DG) sont regroupés en trois catégories suivant la direction du transport électronique et la direction du champ de grille par rapport au plan du substrat qui est le plan horizontal. Ainsi, nous pourrions différencier :

##### **a) Le transistor double-grille planaire**

Dans ce cas le transport électronique s'effectue parallèlement au plan de substrat et le champ de grille est perpendiculaire au substrat.

##### **b) Le transistor double-grille quasi-planaire**

Dans ce cas le transport électronique et le champ de grille sont parallèles au plan du substrat.

### c) Le transistor double-grille vertical

Dans ce cas le transport électronique est perpendiculaire au plan de substrat et le champ de grille est parallèle au substrat.

Ces trois catégories de double-grille possèdent des particularités technologiques « telles qu'une résolution lithographique et un alignement des grilles » totalement différentes. En conséquence de ces différences du point de vue technologique, les propriétés électriques demeurent nettement modifiées lorsque nous passons d'une catégorie à une autre.

Nous allons dans ce qui suit présenter les points essentiels de ces trois structures DGFET.

#### II.5.1. Le transistor MOS double-grille planaire

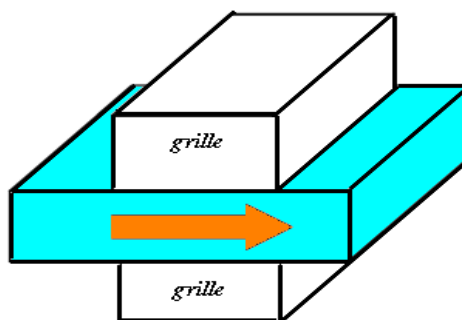


Figure. II.13 : Orientation du transport électronique et effet de champ sur le MOSFET double grille planaire.

La flèche indiquée sur le schéma du DGFET planaire, montre l'orientation du transport et la position des grilles indique la direction de l'effet de champ par rapport au plan supérieur du substrat correspondant au plan horizontal

L'architecture du MOSFET double-grille planaire est généralement, mais non exclusivement, basée sur l'architecture des transistors MOSFET SOI à une seule grille. L'oxyde enterré est placé sur un second empilement de grilles. Ces dispositifs ne nécessitent pas de résolution lithographique inférieure à la longueur de grille  $L_g$  car le procédé « *smart cut* » permet sans lithographie de réaliser des couches actives ultra-minces ( $<10nm$ ).

Notons aussi qu'en se basant sur la structure du simple MOSFET sur substrat massif, l'insertion d'une seconde grille au-dessous du substrat sur une fine couche de  $SiO_2$  permet aussi l'obtention d'une structure DGFET planaire.

Les MOSFETs double-grille planaires réalisés à l'heure actuelle n'ont pas les grilles parfaitement alignées. Les grilles sont gravées successivement et sont alignées

«optiquement». L'imprécision tenant au non alignement des grilles génère une forte dispersion des caractéristiques des composants à canaux courts [Widi'04]. Ceci malheureusement constitue un frein à la production en grande série. Lorsque la grille inférieure recouvre un des caissons, cela génère des capacités parasites qui dégradent les performances électriques du transistor.

Lorsque le non-alignement est très important, tel qu'il est décrit sur la Fig. II.14.-a, le dispositif se comporte comme s'il ne possédait qu'une seule grille active.

Cependant et d'une manière générale, il est à noter que les structures qui ne présentent que de faibles non-alignements des grilles (FigII.14.-b) restent très performantes [Vin '05], [Mart'04].

Pour fabriquer les transistors ultimes, la réalisation du MOSFET double-grille planaire auto-aligné est indispensable mais technologiquement très complexe.

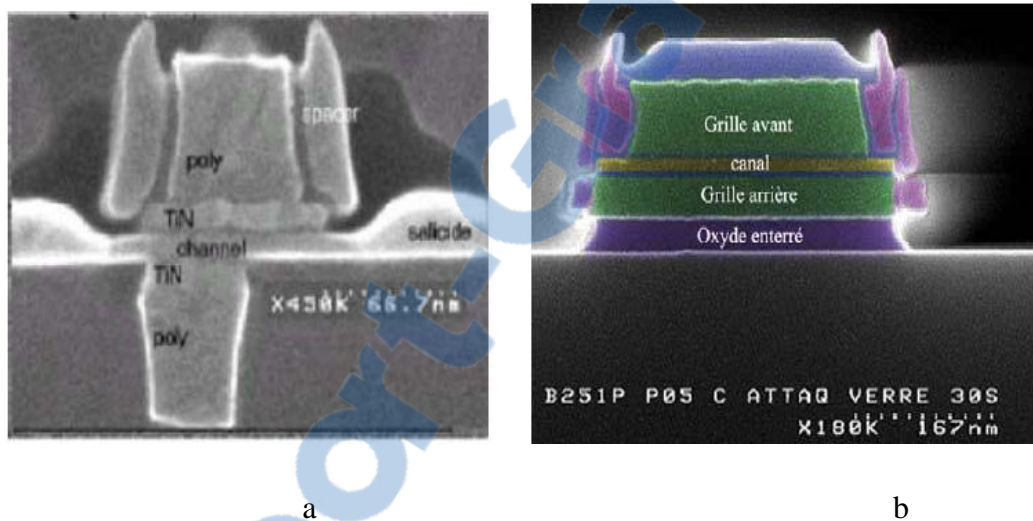


Figure .II.14. : Image au MEB (microscopie électronique à balayage) d'une coupe de transistor MOS double-grille (a) non-auto-alignée et (b) auto-alignée [[Vin '05]

## II.5.2. Le transistor MOS double-grille quasi-planaire : le FinFET

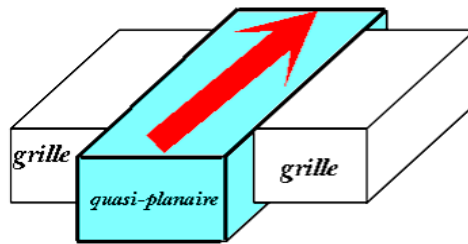


Figure. II.15. : Orientation du transport électronique et effet de champ sur le MOSFET double grille quasi-planaire. (La flèche indique l'orientation du transport et la position des grilles indique la direction de l'effet de champ par rapport au plan supérieur du substrat qui correspond au plan horizontal)

Le transistor MOS double-grille quasi-planaire est appelé FinFET.

Il tire son nom de son canal en forme d'aileron (*Fin*). Les étapes de réalisation d'un tel dispositif sont schématisées sur la Fig. II.16.

La zone active (en forme d'aileron ou de mur) et les caissons source et drain commencent par être dessinés. L'oxyde et le contact de grille sont ensuite déposés autour de l'aileron puis gravés.

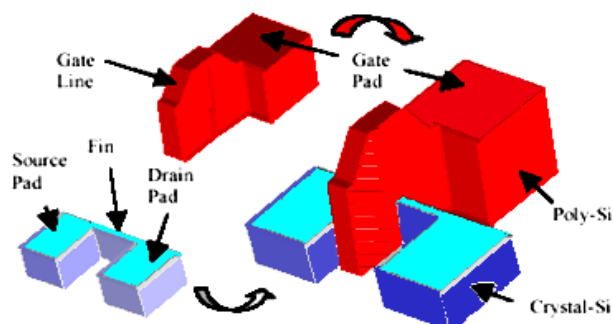


Figure. II.16. Schéma d'une structure de FinFET quasi-planaire [Ked '01]

L'auto-alignement des grilles d'un FinFET comme illustré sur la Fig. II.17., est naturel. De plus, des étapes technologiques supplémentaires permettent de séparer électriquement les grilles [Frie'03]. La zone active est déterminée par la hauteur  $H$  de l'aileron ; cela peut être avantageux en termes de densité d'intégration par rapport à la structure planaire. Finalement, le FinFET est très prometteur car il est relativement simple à fabriquer comparé aux autres technologies ; de plus, sa technologie est particulièrement compatible avec la technologie CMOS bulk [Daug'04].

Enfin, si l'épaisseur du film de silicium (entre les 2 grilles) est du même ordre de grandeur que la hauteur  $H$  de l'aileron et que l'épaisseur d'oxyde est la même sur les flancs et le dessus de l'aileron, nous obtenons alors un MOSFET triple-grille.

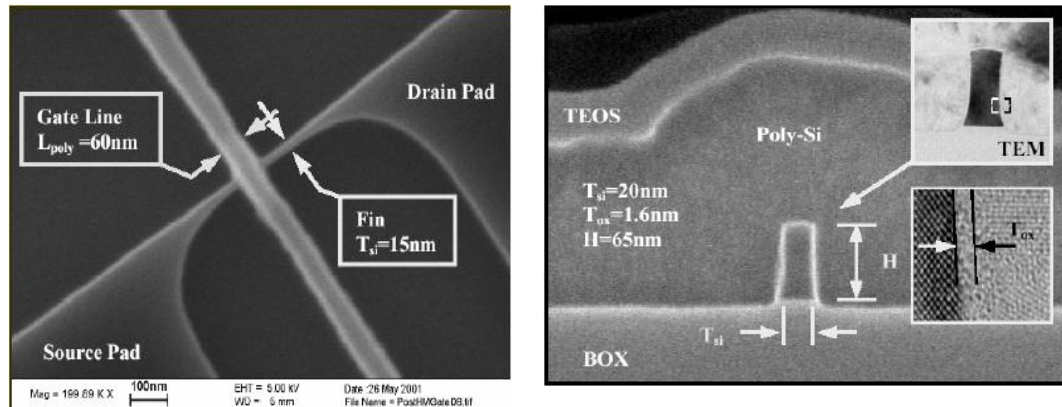


Figure. II.17. Images de FinFET : a) Image au MEB d'une vue de dessus d'un FinFET. b) Image au MEB d'une coupe perpendiculaire au flux des porteurs d'un FinFET. L'encart montre une image en TEM de «l'aileron» et de l'oxyde de grille [Ked'01]

Cependant, pour prévenir les effets canaux courts, ce transistor nécessite des procédés de lithographies rigoureuses [Wu'05], de résolution inférieure à  $L_g$  pour la gravure de l'aileron qui détermine l'épaisseur de la zone active. Nous reviendrons dans les sections suivantes sur l'importance de l'épaisseur de la zone active du MOSFET double-grille sur le contrôle des effets canaux courts. De plus ce besoin de précision lithographique pour minimiser les effets canaux courts, la hauteur de l'aileron et la qualité des flancs de l'aileron sont aussi des paramètres délicats à contrôler [Wu'05].

Enfin, l'alignement des caissons source et drain qui ne sont pas dessinés en même temps que la grille, pose de sérieux problèmes. Pour toutes ces raisons, le FinFET semble encore être difficilement réalisable en grande série.

### II.5.3. Le transistor MOS double-grille vertical

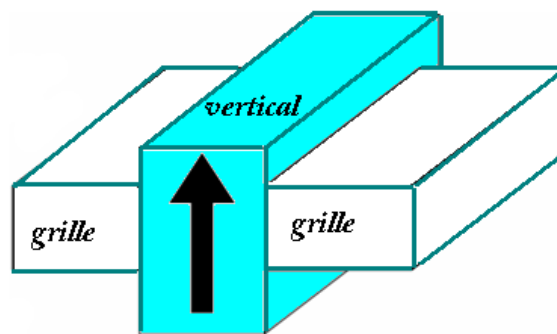


Figure. II.18. Orientation du transport électronique et effet de champ sur le MOSFET double grille vertical. (La flèche indique l'orientation du transport et la position des grilles indique la direction de l'effet de champ par rapport au plan supérieur du substrat qui correspond au plan horizontal)

L'avantage du transistor MOS double-grille vertical, dont une image TEM (*microscopie par transmission électronique*) est présentée à la Figure. II.19, réside dans le fait que la longueur des grilles n'est pas définie par lithographie. Cela permet d'atteindre dans la miniaturisation des longueurs de grille ultracourtes [Hall'02]. De plus, les grilles sont naturellement auto-alignées.

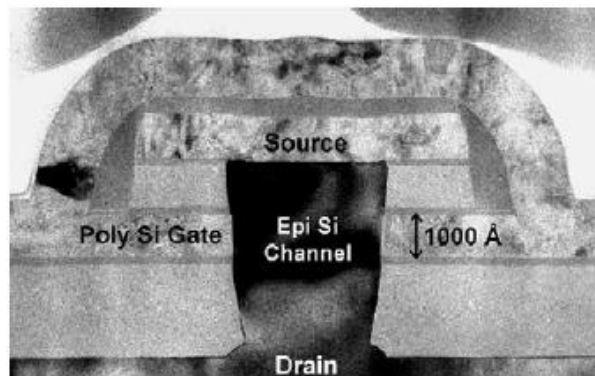


Figure. II.19. Image au MEB d'un transistor vertical à grille enrobante ( $L_g = 100\text{nm}$ ) [ITRS '05]

Dans toute la suite, nous nous focaliserons sur le transistor MOS double-grille planaire au sens général, et nous mettrons en exergue ses propriétés en le comparant aux autres architectures SOI,

## II.6. Transistor double-grille planaire

### II.6.1 Introduction

Cette section s'intéresse à la fabrication de transistors double-grille de type planaire. L'avantage majeur de ces dispositifs est qu'ils possèdent une configuration très proche de celle des transistors MOS conventionnels. C'est pour cette raison qu'ils ont été largement étudiés.

Un procédé de fabrication innovant [Mou'01] basé sur l'utilisation de la technologie SON possède l'avantage d'être facilement intégrable dans la filière MOS classique. Néanmoins, il subsiste des problèmes de capacités parasites engendrées par le recouvrement de la grille inférieure sur les zones de source et de drain.

## II.6.2 Transistor double grille planaire

### II.6.2.1 Procédé de fabrication

Wong et al. [Col'05] sont les premiers à avoir réalisé un transistor double-grille planaire, avec des grilles supérieure et inférieure auto-alignées. Voici le résumé des différentes étapes de fabrication de ce transistor. Plusieurs couches sont successivement déposées sur le substrat de silicium: nitrure/oxyde/silicium amorphe (Si-a)/oxyde. La couche de silicium amorphe va permettre de définir une cavité vide (tunnel), dont la largeur correspondra à la largeur du canal ( $W_g$ ) (Figure II.20.a). Une épaisseur importante de nitrure est ensuite déposée. Le masque suivant définit deux régions dont l'espacement correspond à la longueur de grille ( $L_g$ ) du transistor.

Une gravure ionique RIE (Reactive Ion Etching) du nitrure, de l'oxyde, et du silicium amorphe est effectuée, en utilisant l'oxyde comme couche d'arrêt (Figure II.20.b). Le silicium amorphe est gravé par KOH, définissant ainsi un tunnel vide entouré par de l'oxyde (LTO: Low Temperature Oxide) et de dimensions:  $W_g * L_g * t_{Si}$ , où  $t_{Si}$  est défini par l'épaisseur de la couche de a-Si préalablement déposée. Une ouverture latérale de l'oxyde est réalisée (Figure II.20.c). Une épitaxie sélective permet de faire croître le silicium jusqu'à ce que l'ouverture et le tunnel soient complètement remplis (Figure II.20.d). L'excès de silicium épitaxié est enlevé par polissage mécanico-chimique (CMP), en utilisant la couche de nitrure comme couche d'arrêt (Figure II.20.e). Un espaceur est formé sur le dessus des nitrures. La source et le drain sont implantés en utilisant le nitrure comme masque d'implantation auto-aligné. Le nitrure est gravé par gravure chimique ( $H_3PO_4$ ). L'oxyde qui entourait le silicium épitaxié (Figure II.20.f) est enlevé par gravure à l'acide fluorhydrique (HF). Le tunnel suspendu restant constitue le canal du transistor. L'oxyde de grille est formé (5 nm), suivi d'un dépôt conforme du matériau de grille (polysilicium) autour du «pont de silicium». Une siliciuration auto-alignée conclut le procédé de fabrication du transistor (Figure II.20.g). La Figure II.20.h représente une vue en trois dimensions du transistor double grille planaire.

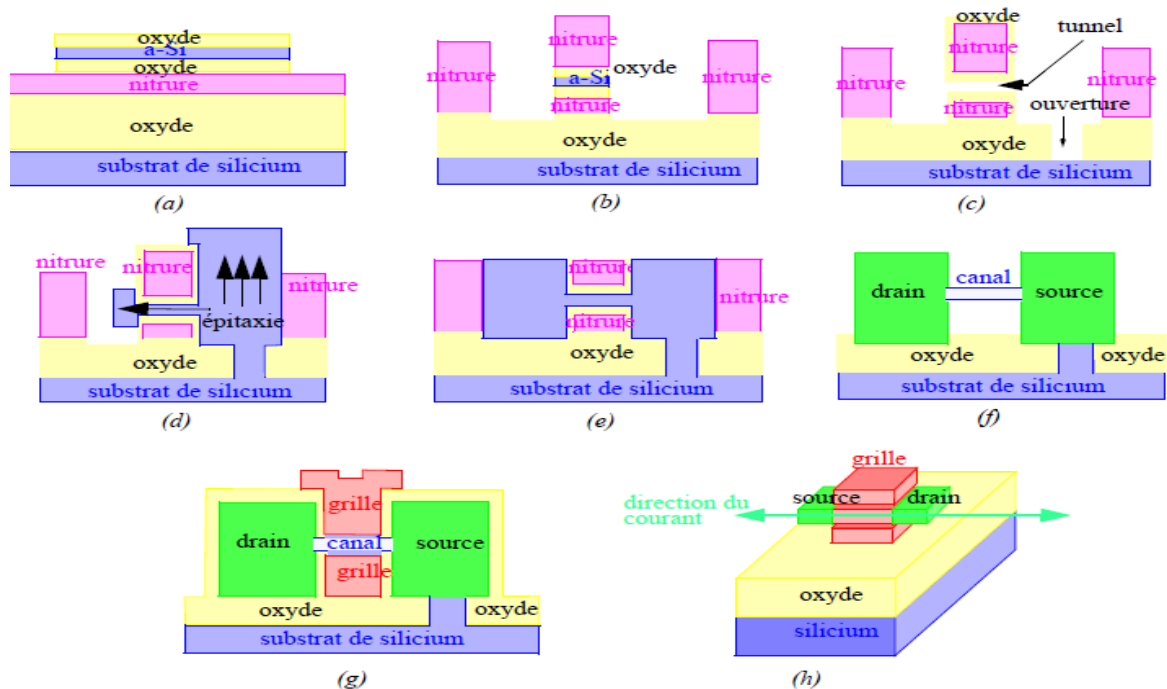


Figure II.20. Procédé de fabrication d'un transistor double-grille planaire [Col '05]

## II.7 .Modes de fonctionnement du transistor MOS double-grille planaire

Nous avons rappelé précédemment que le transistor MOS double-grille planaire se scinde principalement en deux types de DGFET suivant le mode de fonctionnement retenu pour chacun des deux types. Ainsi, nous différencions le MOSFET double-grille en mode de fonctionnement symétrique (SDG) et le MOSFET double-grille en mode de fonctionnement asymétrique (ADG). Le point commun de ces deux transistors est que les deux grilles sont polarisées simultanément.

Il existe toutefois une structure double-grille où les grilles ne sont pas connectées électriquement et où leurs polarisations s'effectuent indépendamment. On parle dans ce cas, de DGFET à grilles indépendantes.

Par souci de clarté quant aux définitions du MOSFET double-grille symétrique et du MOSFET double-grille asymétrique, nous allons considérer la structure générique MOSFET double-grille présentée dans la Fig. II.21.

- Nous notons bien sur cette figure la forme planaire, avec une partie centrale qui représente la couche de silicium et qui constitue la partie active du composant.
- les épaisseurs d'oxyde  $t_{ox1}$  et  $t_{ox2}$  sont symbolisé dans notre travail par  $t_{oxk}$ .



- les différences de travaux de sortie entre le silicium et les grilles sont symbolisées par  $\Delta\Phi$ . L'indice  $k$  sera porté respectivement à 1 ou 2 lorsqu'il s'agira de décrire la partie au-dessus ou en dessous du film de silicium.
- L'épaisseur du film de silicium sera symbolisée par  $t_{Si}$ .

Nous adopterons ces notations tout au long de notre travail. La Structure générique du transistor DG MOSFET que nous avons considéré est celle de la figure qui suit.

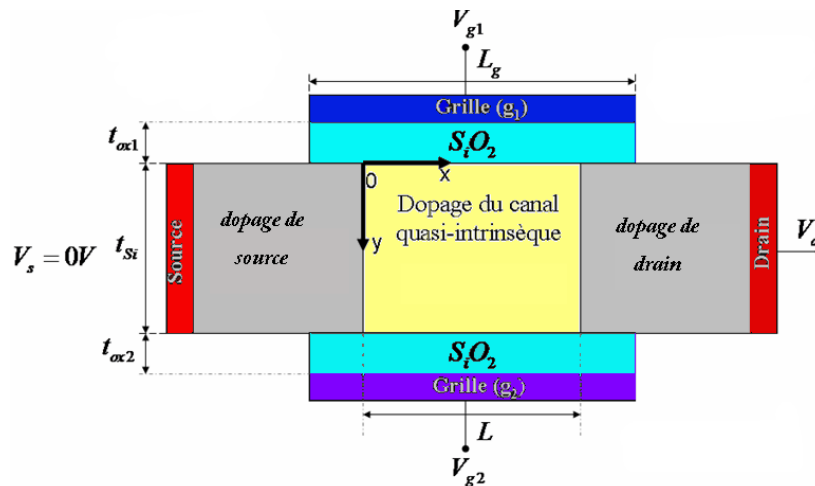


Figure .II.21. Structure générique d'un transistor MOS double-grille

Afin de pouvoir faire rapidement une distinction entre le transistor MOS double-grille symétrique et le transistor MOS double-grille asymétrique, il est pratique de voir que lorsqu'une polarisation identique est appliquée aux deux grilles, les tensions  $V_{g1}$  et  $V_{g2}$  chutent respectivement à travers les couches d'oxyde d'épaisseurs  $t_{ox1}$  et  $t_{ox2}$ . Outre ces réductions des polarisations des grilles liées à la présence des oxydes, nous remarquons des chutes additionnelles liées aux différences des travaux de sortie entre le silicium et les grilles (i.e.  $\Delta\Phi_1$  et  $\Delta\Phi_2$ ).

Finalement, la tension au niveau d'une interface silicium-oxyde dépend aussi bien de  $t_{oxk}$  que de  $\Delta\Phi_k$  correspondant. Il en résulte que si, sur une même structure, les grilles sont faites de même matériau (ce qui conduit à  $\Delta\Phi_1 = \Delta\Phi_2$ ) et les couches d'oxyde sont de même épaisseur (i.e.  $t_{ox1} = t_{ox2}$ ), les tensions sur les deux interfaces silicium-oxyde seront identiques. Par conséquent, au sein de la zone active, les porteurs subissent la même influence de la part des deux grilles. Cela conduit à une symétrie des courbures de bandes dans la direction transversale au film. Dès lors, le MOSFET double-grille adopte un mode de fonctionnement

symétrique. En revanche, s'il s'avère que sur la structure les épaisseurs d'oxyde sont différentes (i.e.  $t_{ox1} \neq t_{ox2}$ ) ou que les travaux de sortie sont différents ( $\Delta\Phi_1 \neq \Delta\Phi_2$ ), nous assistons à une asymétrie dans la répartition des porteurs dans le film. Ceci conduit à un mode de fonctionnement asymétrique.

Nous nous sommes intéressé dans notre travail à une structure DGMOSFET à canal n symétrique.

## II.8. Propriétés électriques du MOSFET double grille

Le transistor MOS double-grille fait partie des architectures innovantes les plus prometteuses pour parvenir aux objectifs fixés par l'ITRS [ITRS'05] pour les nœuds technologiques ultimes. Par comparaison avec le transistor MOS bulk et le transistor MOS SOI à une grille, l'ajout d'une seconde grille permet à épaisseur d'oxyde constante d'améliorer le contrôle électrostatique du canal et donc de lutter efficacement contre les *effets canaux courts*.

De plus, grâce au phénomène d'inversion volumique, on peut distinguer une amélioration de la mobilité effective des porteurs.

Nous allons, dans cette section, faire une étude comparative des propriétés électriques du MOSFET double-grille planaire avec celles des autres architectures SOI. Notons cependant qu'une étude plus complète fut abordée par M. Vinet à la référence [Vin'05].

### II.8.1. Définition de la tension de seuil

Pour le transistor MOSFET sur substrat massif, la tension de seuil est communément définie comme la tension de polarisation de grille nécessaire pour que le potentiel de surface atteigne la valeur de  $2\Phi_F$  (le régime de forte inversion). Cette définition est une solution approchée. Dans le transistor MOS double-grille, la forte inversion a lieu avant que le potentiel de surface n'atteigne la valeur de  $2\Phi_F$ . P. Francis *et al*, ont développé un modèle de mode d'inversion du MOSFET double grille à canal long où la tension de seuil est définie à partir de la caractéristique de la transconductance par la méthode dite TC « *Transconductance-Change* » [Fran'92-95]. Dans cette approche, la tension de seuil correspond à la polarisation de la grille pour laquelle la dérivée de la transconductance atteint son maximum. Concrètement, cela se traduit par :

$$\frac{d^2 I_{DS}}{dV_{GS}^2} = 0 \quad (\text{II.1})$$

À cette condition, le potentiel de surface au seuil ( $\psi_{s-0}$ ) peut s'écrire :

$$\psi_{S_{t_0}} = 2\phi_F + \frac{KT}{q} \ln\left(\frac{\delta_f}{1-\exp(-\alpha_f)}\right) \quad (\text{II.2})$$

Où :

$$\alpha_f = \frac{c_{ox}}{4C_{si}} \quad \text{et} \quad \delta_f = \frac{qQ_D}{8.KTC_{si}} \quad (\text{II.3})$$

Le « S » en indice sur  $\Psi_{S-th}$  est lié au fait que le potentiel est évalué à la surface, et le «  $t_0$  » au fait que nous considérons un dispositif à canal long. Le dernier terme dans l'expression du potentiel de surface (II.2) est négatif, ce qui conduit à ce que  $\Psi_{S-t_0}$  soit inférieur à  $2\phi_F$ .

Ceci justifie, par conséquent, l'hypothèse selon laquelle la tension de seuil obtenue à  $\Psi_{S-t_0} = 2\phi_F$  n'est pas valide au niveau du transistor MOS double-grille.

En ce qui concerne les autres structures multi-grilles comme le MOSFET triple grille et le MOSFET quadruple-grille, en raison du développement spatial suivant les trois dimensions, nous assistons à des effets de coins. Aussi, sous l'influence de deux grilles adjacentes, les régions de coins s'avèrent favorables au passage des porteurs. Ainsi peut-il se créer un canal de coins parasites. Ces effets ont été étudiés dans la thèse de R. Ritzenthaler [Rit'06].

Des travaux réalisés dans [Won'87] relatent les approches utilisées pour définir la tension de seuil de ces structures à trois ou quatre grilles.

Pour revenir au MOSFET double-grille, la tension de seuil  $V_{t_0}$  se présente sous la forme suivante [Fran'92-95]:

$$V_{t_0} = \psi_{S-t_0} + V_{FB} + \frac{KT}{q} \frac{\alpha_f}{\delta_f} \sqrt{1 + \frac{\alpha_f}{\delta_f}} \quad (\text{II.4})$$

Avec :  $\Psi_{S-t_0}$  défini en (II.2)

L'analyse de cette solution nous permet de mieux comprendre les avantages que présente le transistor MOS double-grille par rapport au MOSFET bulk.

La différence entre le potentiel de surface et  $2\phi_F$  dépend à la fois de l'épaisseur du film de silicium, de l'épaisseur d'oxyde et du dopage du canal. De plus, la tension de seuil est dépendante (comme dans le cas du MOSFET bulk) de la tension de bandes plates, laquelle est liée aux travaux de sortie des matériaux constituant les grilles. Ainsi, la tension de seuil du

MOSFET double-grille est-elle liée à plusieurs paramètres que sont l'épaisseur du film, l'épaisseur d'oxyde, le dopage, et les travaux de sortie des matériaux des grilles.

L'avantage de ceci est que par le biais de la dépendance de  $V_{to}$  à plusieurs paramètres technologiques, le technologue a une certaine flexibilité en ce qui concerne l'optimisation de la tension de seuil dans la course à la miniaturisation.

### II.8.2. État bloqué

À la figure II.22, nous constatons que les caractéristiques du dispositif MOSFET SOI à une grille sont fortement dégradées en raison des effets canaux courts qui sont quasiment incontrôlés. Les structures simulées sur cette figure correspondent à des transistors MOS de  $15nm$  de longueur de canal. La valeur de la pente sous le seuil  $SS$  est supérieure à  $100mV/dec$ . Il ressort de cette figure que le comportement sous le seuil s'améliore nettement avec le nombre de grilles croissant, et ce en raison d'une amélioration du contrôle électrostatique. Par exemple, pour un film d'épaisseur de  $10nm$ ,  $SS$  vaut  $110mV / dec$  sur le MOSFET double grille,  $96mV / dec$  sur le MOSFET triple-grille et enfin  $83mV / dec$  sur le MOSFET quadruple grille.

La réduction de  $t_{Si}$  a aussi un effet bénéfique sur  $SS$  : lorsque  $t_{Si}$  passe de  $10$  à  $5nm$ ,  $SS$  passe de  $110$  à  $80mV / dec$  dans le MOSFET double-grille.

L'explication de cet effet vient toujours du contrôle du canal, lequel est bien meilleur lorsque les deux grilles sont proches, c'est à dire lorsque  $t_{Si}$  est faible.

Finalement, nous pouvons conclure que le pouvoir bloquant des transistors est amélioré par la réduction de l'épaisseur de la zone active  $t_{Si}$ . A  $t_{Si} = 10 nm$ , il faudrait quatre grilles pour garder des valeurs de  $SS$  acceptables ( $SS < 80mV / dec$  pour  $L=15nm$ ), tandis qu'à  $t_{Si} = 5 nm$ , il n'en faudrait que deux.

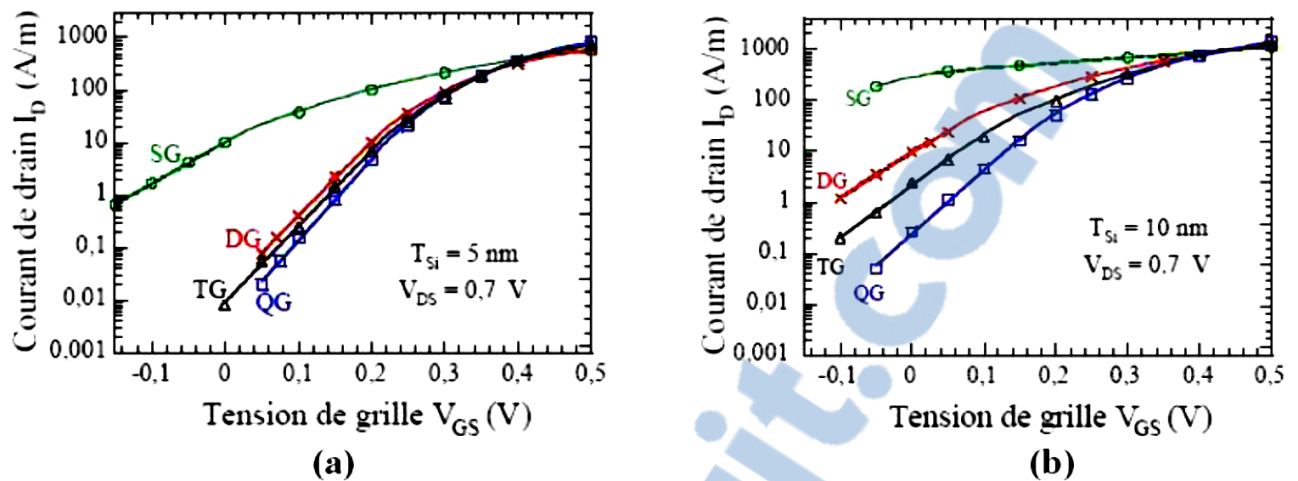


Figure II.22. Caractéristiques ID -VGS en échelle logarithmique des SOI multi-grilles pour  $L=15 \text{ nm}$ ,  
 (a)  $t_{Si} = 5 \text{ nm}$  et (b)  $10 \text{ nm}$  [Mar'05]

### II.8.3. État passant

L'ajout de grille traduit un ajout de canal d'inversion en forte inversion. Ainsi, le courant à l'état passant  $I_{on}$  augmente-t-il quand le nombre de grilles augmente. Ceci se voit bien sur la figure II.23 où sont tracées les caractéristiques  $I_D-V_{DS}$  pour les différentes structures SOI multi-grilles de  $15 \text{ nm}$  de longueur de canal. Nous notons bien un courant croissant avec l'augmentation du nombre de grilles ; à titre d'illustration et pour  $t_{Si} = 10 \text{ nm}$ ,  $I_{on}$  atteint  $1623 \text{ A/m}$  sur le MOSFET SOI à une grille,  $2138 \text{ A/m}$  sur le MOSFET double-grille,  $2420 \text{ A/m}$  sur le MOSFET triple-grille, et enfin  $2815 \text{ A/m}$  sur le MOSFET quadruple-grille. Cependant, cette augmentation de  $I_{on}$  n'est pas proportionnelle au nombre de grilles ; les caractéristiques normalisées par le nombre de grilles représentées en tirets sont diminuées quand le nombre de grilles augmente. Ainsi, deux MOSFETs double-grille en parallèle débitent plus de courant qu'un MOSFET quadruple-grille. De manière générale, il faut noter que, dans tous ces dispositifs SOI, le courant est supérieur au courant recommandé par l'ITRS  $1020 \text{ A/m}$ . La diminution de  $t_{Si}$  réduit de façon quasi-proportionnelle le courant  $I_{on}$ , ainsi le courant du MOSFET double-grille varie de  $2420$  à  $1280 \text{ A/m}$  pour une épaisseur  $t_{Si}$  variant de  $10$  à  $5 \text{ nm}$ .

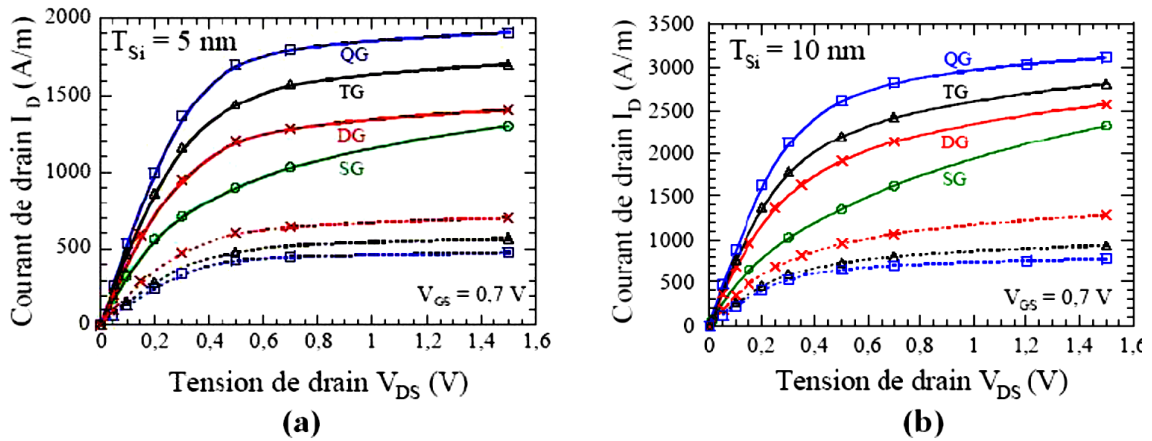


Figure II.23. Caractéristiques ID–VDS des multi-grilles pour  $L=15\text{nm}$ , (a)  $t_{Si} = 5\text{nm}$  et (b)  $10\text{nm}$ . En tirets, le courant est divisé par le nombre de grilles ; 1 pour le MOSFET SOI à une grille (SG), 2 pour le MOSFET double-grille (DG), 3 pour le MOSFET triple-grille (TG) et 4 pour le MOSFET quadruple-grille [Mar’05]

La transconductance  $g_m$  est aussi améliorée avec le nombre de grilles (Fig. I.24). Pour  $t_{Si}= 10\text{nm}$ ,  $g_m$  atteint  $4170\text{S/m}$  sur le MOSFET double-grille,  $5700\text{S/m}$  sur le MOSFET triple grille et  $7070\text{S/m}$  sur le MOSFET quadruple-grille. Cette augmentation n’est pas non plus proportionnelle au nombre de grilles. La diminution de l’épaisseur du dispositif réduit la transconductance.

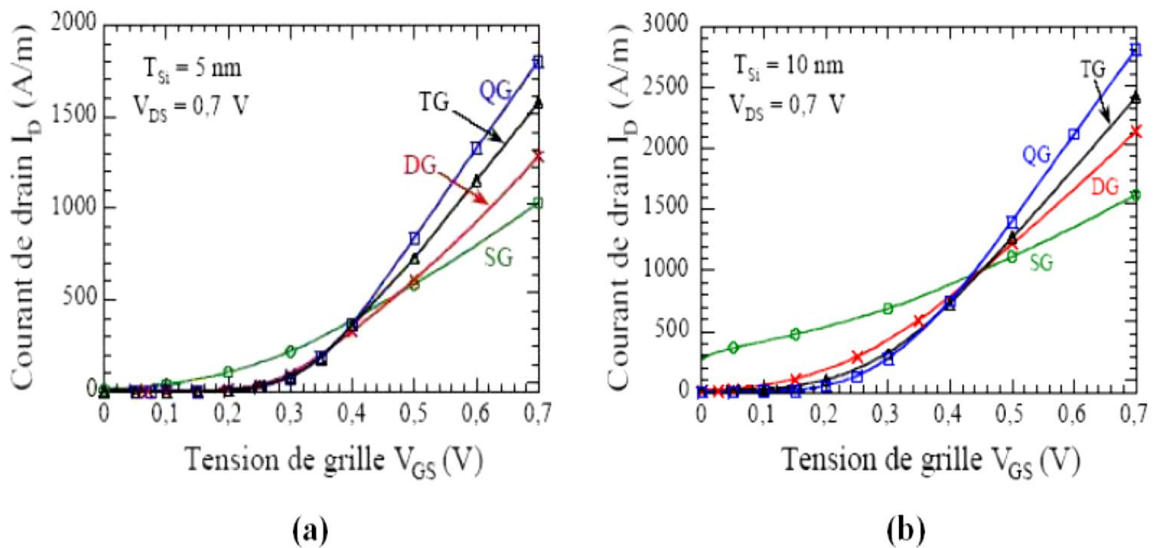


Figure. II.24. Caractéristiques ID–VGS des multi-grilles pour  $L = 15\text{nm}$ , (a)  $t_{Si}= 5\text{nm}$  et (b)  $t_{Si}=10\text{nm}$  [Mar ‘05]

#### II.8.4. Contrôle des effets canaux courts

Nous avons précédemment rappelé que le canal de conduction est protégé contre les lignes de champs latérales par la présence d'une seconde grille. Ainsi, via le couplage entre les grilles, les effets néfastes induits par les champs latéraux grandissants sont limités.

Naturellement, ce couplage est d'autant plus important que la proximité des grilles est importante et donc que l'épaisseur du film est faible.

L'épaisseur du film joue un rôle important dans le contrôle des effets canaux courts.

Ainsi, dans le transistor MOS double grille, outre les paramètres géométriques et physiques que l'on a généralement l'habitude d'optimiser dans la miniaturisation du MOSFET bulk, il est crucial de tenir compte de  $t_{si}$ . Le bon contrôle des effets canaux courts obtenu avec la minceur du film de silicium et le couplage des grilles se reflète non seulement sur les valeurs de la pente sous le seuil ( $SS$ ) comme illustré à la figure II.25, mais également sur celles du DIBL et du partage de charges.

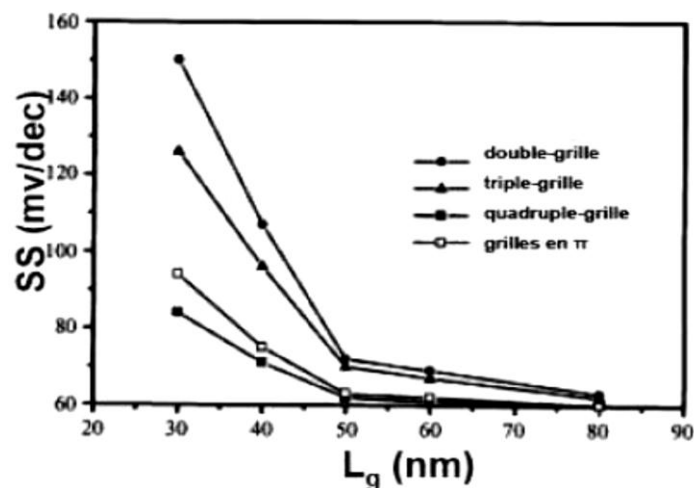


Figure. II.25. Minimisation de la dégradation de la pente sous le seuil avec l'augmentation du nombre de grilles à  $W=t_{Si} = 30\text{nm}$ ,  $t_{ox} = 3\text{nm}$ ,  $\theta = 0$ ,  $V_{DS} = 1\text{V}$  [Col '97]

En ce qui concerne le DIBL, les résultats offerts par le MOSFET double-grille sont encore beaucoup plus satisfaisants. La mesure du DIBL donne une indication sur l'évolution de la hauteur de la barrière de potentiel en entrée du canal. Cette barrière, en entrée de canal, qui assure le blocage du transistor, a un abaissement moins important lorsque  $V_{DS}$  augmente. La comparaison des bandes de conduction du transistor MOS SOI à une grille et du transistor MOS double-grille sur la figure II.26 illustre clairement une plus faible diminution de la hauteur de barrière sur le transistor MOS double-grille que sur le transistor MOS SOI à une grille.

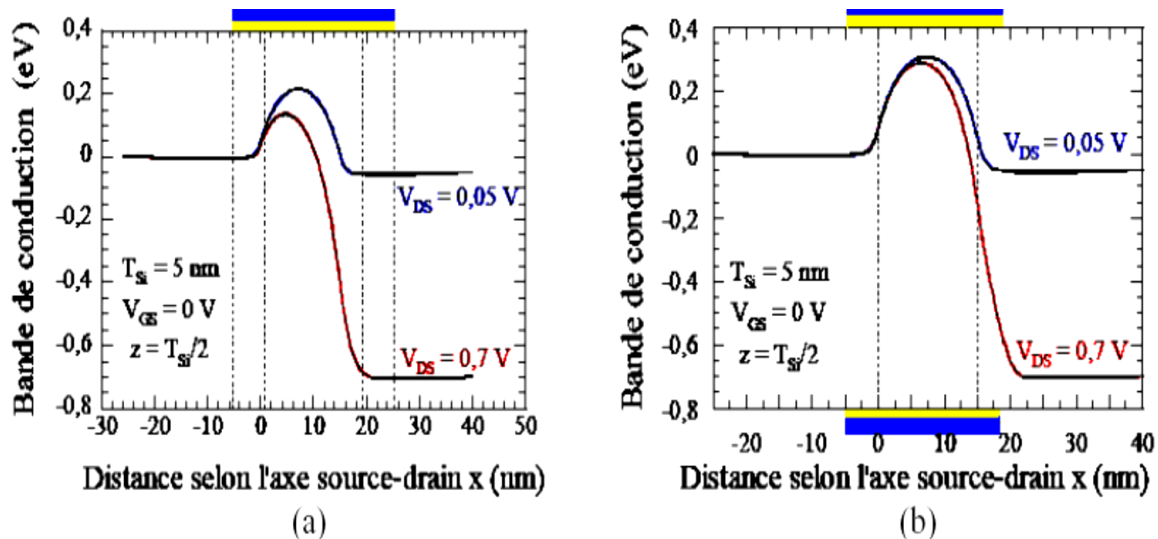


Figure. II.26. Coupes longitudinales de la bande de conduction sur (a) un MOSFET SOI à une grille et (b) un MOSFET double-grille, pour  $V_{GS} = 0V$  suivant la profondeur du film de silicium à  $V_{DS}$  faible et fort.  $L_c = 15nm$  et  $t_{Si} = 5nm$  [Mar '05]

Le contrôle est donc logiquement bien renforcé par ajout de grilles, c'est la raison pour laquelle le DIBL est plus faible sur le MOSFET quadruple-grille que sur le MOSFET triple grille, le MOSFET double-grille et également sur le MOSFET SOI à une grille à dimensions égales (Fig. II.27).

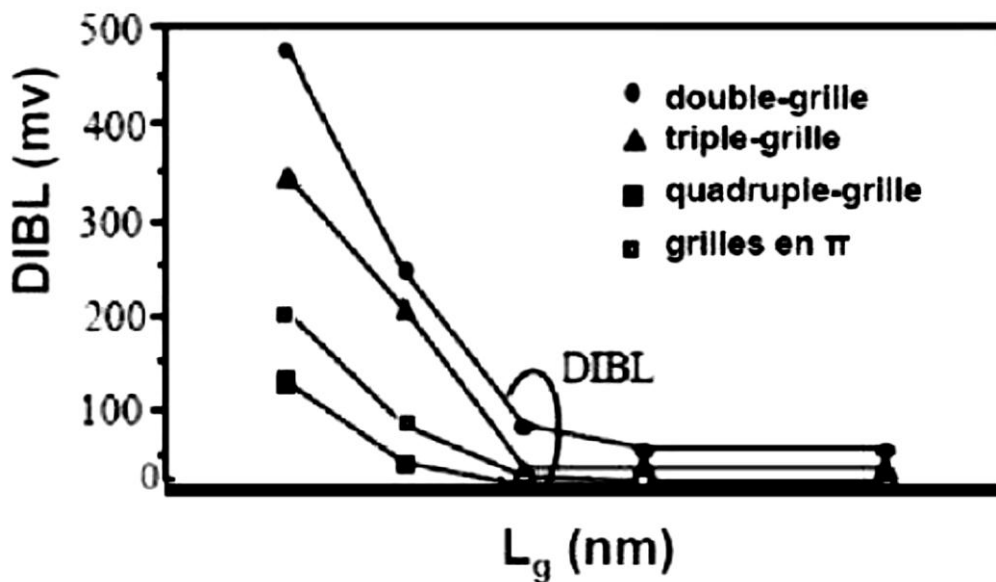


Figure. II.27. Minimisation du DIBL avec l'augmentation du nombre de grille pour  $W = t_{Si} = 10nm$  [Col '97]



## II.9. Modélisation analytique compacte du MOSFET double grille à canal long

Les modèles compacts sont des modèles formulés de manière analytique et utilisés le plus souvent pour aider à la conception de circuits intégrés. Ces modèles sont disponibles dans les simulateurs de circuits. Ils sont généralement constitués, d'une part, d'expressions basées sur la physique et, d'autre part, d'un certain degré d'empirisme. Ces modèles peuvent être adaptés aux différentes technologies (CMOS, par exemple) à l'aide d'un certain nombre de paramètres (électriques, technologiques, géométriques), dans le but de décrire correctement les caractéristiques électriques du composant. Afin de rendre pratique l'utilisation d'un modèle, ce dernier doit être complété par des méthodes d'extraction de paramètres. De manière générale, un modèle compact représente un compromis entre les aspects de simplicité et de complexité, les notions physiques et empiriques, le nombre d'effets physiques inclus, le nombre de paramètres, l'adaptabilité aux diverses technologies et, enfin, l'efficacité de calcul [Aro'93].

## II.10. Caractéristiques du modèle idéal de transistor MOS double-grille

Probablement la meilleure compilation sur les problèmes de la modélisation du MOSFET bulk, mais que l'on peut extrapoler au transistor MOS double-grille se trouve dans les travaux de Yannis . [Tsi'87]; le modèle idéal de transistor MOS double-grille devrait tout simplement:

- avoir des caractéristiques I-V raisonnables précises à paramètres simplifiés pour la simulation des circuits digitaux non critiques;
- être efficace pour de grandes gammes de tensions dans toutes les régions d'opérations;
- être pratique dans la gamme de température intéressante (typiquement 0°C à 70°C);
- être validé pour toutes les combinaisons de valeurs de longueur de canal et d'épaisseur de film de silicium pour une technologie donnée;
- demander à l'utilisateur de spécifier seulement les dimensions géométriques pour chacun des dispositifs et un jeu de paramètres de modèle valide pour tous les dispositifs du même type sans se soucier des dimensions;
- fournir un drapeau (*flag*) chaque fois qu'il est utilisé au-delà de ses limites de validité;
- avoir aussi peu de paramètres que possibles, lesquels devraient être liés aussi fortement que possible à la structure du dispositif et au procédé de fabrication (*process*);
- être lié à une méthode d'extraction de paramètres aussi simple que possible;
- être capable de prédire l'appariement (*matching*);

- être efficace numériquement.

## II.11. Différents modèles compacts du MOSFET double-grille

Les modèles compacts du transistor MOS double-grille se classent en trois catégories: les modèles en tension de seuil [Rey'07], les modèles en potentiel de surface [Ort'92], [Tau'04] et les modèles en charge [He'04], [Mold'07],[ Laiz'06] .

### II.11.1 Modèles en tension de seuil du MOSFET double-grille.

#### II.11.1.1 Modèle de M. Reyboz/T. Poiroux

Parmi les modèles appartenant à cette catégorie de modèles compacts, nous trouvons le modèle de M. Reyboz/T. Poiroux [Rey'07]. Ce modèle développé pour un transistor MOS double-grille en mode de fonctionnement asymétrique (grille indépendante) est donc capable de simuler le comportement du transistor MOS double-grille symétrique à grilles dépendantes.

Dans ce modèle de tension de seuil, l'idée est de définir le potentiel au milieu du film en fonction de la couche d'inversion formée. Ainsi, des équations du courant de drain sont définies suivant que le canal du transistor est en inversion faible ou en inversion forte.

Ces solutions de courant de drain doivent ensuite être « raccordées ». Cela est relativement délicat car des problèmes de continuité peuvent en découler, notamment pour les dérivées des grandeurs électriques. La tension de seuil marque la transition entre la région de faible inversion et celle de forte inversion. En faible inversion, le courant de drain est un courant de diffusion. La charge d'inversion  $Q_m$  varie exponentiellement en fonction de la tension appliquée sur la grille  $V_g$ . En revanche, en forte inversion, le courant de diffusion est négligeable. Ainsi, le courant de drain est principalement un courant de conduction. La charge d'inversion  $Q_m$  varie linéairement avec  $V_g$ . Du fait de ces hypothèses simplificatrices, ces approches manquent de précision pour la description de l'inversion modérée.

Le modèle de M. Reyboz / T. Poiroux prend en compte les effets canaux courts [Rey'07]. En revanche, il ignore les effets quantiques ainsi que les effets dynamiques intrinsèques et extrinsèques.

### II.11.2 Modèles en potentiel de surface du MOSFET double-grille

Deux modèles compacts en potentiel de surface, proposé par A. Ortiz-Conde [Ort'92], et celui proposé par Y. Taur [Tau'04] seront présentés. Leurs expressions finales sont

complètement différentes mais elles sont exactement égales. Dans ces approches, l'idée est d'exprimer la charge d'inversion en fonction du potentiel de surface.

### II.11.2.1 Modèle de. A. Ortiz-Conde

Le modèle de. A. Ortiz-Conde est basé sur les travaux réalisés pour le transistor MOS bulk par Pierret et Shield [Pie'05]. Le modèle de. A. Ortiz-Conde est transformé d'après le double intégral de l'équation (II.5) [Ort'07] (formulation double intégrale généralisée pour le courant du drain) sans utiliser aucune approximation à une expression explicite pour le courant de drain des dispositifs SOI (DG MOSFET).soit alors :

$$I_D = 2\mu \frac{W}{L} \int_0^{V_{DS}} \int_{\psi_0}^{\psi_s} \frac{qn}{F} d\psi dV \quad (\text{II.5})$$

avec

$$n = n_i \exp(\beta(\psi - V)). \quad (\text{II.6})$$

Le champ électrique dans le semi-conducteur est donné par:

$$F = -\sqrt{\left[\frac{2KTni}{\epsilon_s} \exp(\psi - V)\right] + \alpha} \quad (\text{II.7})$$

Où :

$$\alpha = -\frac{2KTni}{\epsilon_s} \exp(\psi - V) \quad (\text{II.8})$$

$\alpha$  est défini comme un facteur d'interaction de charge entre les deux grilles .

$\beta = q/kT$  est l'inverse du potentiel thermique,  $ni$  est la densité intrinsèque des porteurs,  $\psi_s$  est le potentiel de surface ( $x = t_{Si}/2$ ),  $\psi_0$  est le potentiel au milieu de film ( $x = 0$ ),  $\epsilon_s$  est la permittivité du semi-conducteur,  $t_{Si}$  est l'épaisseur du film et  $V$  est la différence du potentiel entre les niveaux quasi-Fermi d'électrons et de trous le long du canal.

Dans son modèle, A. Ortiz-Conde décrit le potentiel à l'intérieur du film de silicium en résolvant l'équation de poisson à 1-D. Sa solution du courant de drain se présente sous la forme :

$$I_D = \left\{ \mu \frac{W}{L} 2C_0 [V_{GF}(\psi_{SL} - \psi_{S0}) - \frac{1}{2}(\psi_{SL}^2 - \psi_{S0}^2)] + 4 \frac{KT}{q} C_0 (\psi_{SL} - \psi_{S0}) \right. \\ \left. + t_{Si} kT n_i [\exp\beta(\psi_{oL} - V_{DS}) - \exp\beta\psi_{o0}] \right\} \quad (\text{II.9})$$

Où:

$C_0$  : est la capacité d'oxyde par unité de surface,  $V_{GF}$  est la tension de grille frontière.

$\psi_{S0}$  ,  $\psi_{o0}$ ,  $\psi_{SL}$  et  $\psi_{oL}$  sont des potentiels obtenus par résolutions numériques.

C'est en effet l'usage de calculs itératifs qui constitue le défaut majeur de cette approche. De plus, le modèle ne prend pas en compte le comportement dynamique, ni les effets quantiques et les effets canaux courts. Il se limite à des épaisseurs de film de silicium comprises entre 20nm et 5nm et des dispositifs de canal long de 1µm [Tau'04] .

### II.11.2.2 Modèle de. Y. Taur

Dans ce modèle, une variable auxiliaire notée est introduite dans la formulation double intégrale de l'équation (II.5), Y. Taur a obtenu la nouvelle expression du courant de drain du SOI DG MOSFET [Tau'04] :

$$I_D = 16\mu \frac{W}{L} \frac{\epsilon_s}{t_{si}} \left(\frac{KT}{q}\right)^2 \left\{ \begin{array}{l} \frac{1}{2}(\beta_{TL}^2 - \beta_{T0}^2) + \beta_{T0} \tan(\beta_{T0}) - \beta_{TL} \tan(\beta_{TL}) \\ + \frac{\epsilon_s}{t_{si}c_0} (\beta_{T0}^2 \tan^2(\beta_{T0}) - \beta_{TL}^2 \tan^2(\beta_{T0})) \end{array} \right\} \quad (II.10)$$

Dans cette expression,  $\beta_{T0}$  et  $\beta_{TL}$  correspondent respectivement aux valeurs  $\beta_T$  de évaluées du côté de la source ( $V_{ch} = 0$ ) et du côté du drain ( $V_{ch} = V_{ds}$ ). Ces valeurs sont obtenues de manière itérative par la résolution numérique de l'équation suivante :

$$\frac{q}{2KT} (V_{GF} - V_0 - V) = \{ \ln(\beta_T) - \ln \cos(\beta_T) \} + \frac{2\epsilon_s}{t_{si}c_0} \beta_T \tan(\beta_T) \quad (II.11)$$

Où :

$$V_0 = \left(\frac{2KT}{q}\right) \ln\left(\frac{2}{t_{si}}\right) \sqrt{\frac{2\epsilon_s KT}{q^2 ni}} \text{ représente la valeur de } \beta_T \text{ est dans l'intervalle } 0 < \beta_T < \left(\frac{\pi}{2}\right).$$

Il est important de noter que la variable  $\beta_T$  est lié au facteur d'interaction  $\alpha$  définit dans (II.8) proposé à l'origine par A. Ortiz -Conde [Ort'92]

$$\beta_T^2 = -\alpha \left(4 \frac{KT}{qt_{si}}\right)^2 \quad (II.12)$$

En tenant compte de (II.8) dans (II.12),  $\beta_T$  se réécrit comme suit:

$$\beta_T = \left(\frac{t_{si}}{2}\right) \sqrt{\frac{q^2 ni}{2\epsilon_s KT}} \exp\beta(\psi_0 - V) \quad \text{et} \quad \tan(\beta_T) = \sqrt{\exp\beta(\psi_s - \psi_0) - 1}$$

On note également que ces deux équations prouvent que le modèle de Taur est équivalent au celui de A. Ortiz-Conde. Ainsi, une unique équation (II.12) est-elle utilisée pour

décrire le courant dans toutes les régions de fonctionnement. Ceci constitue en effet la grande force de ce modèle. De plus, Y. Taur prend en compte le comportement dynamique intrinsèque [Lu'06] ainsi que des effets canaux courts [Pie'05] .

Le modèle a été validé pour des épaisseurs de film comprises entre 25 et 5nm [Tau'04] et des longueurs de canaux atteignant 24nm [Pie'05] . Les effets quantiques sont négligés.

En ce qui concerne les effets canaux courts, nous noterons cependant un manque de formulation explicite permettant de les décrire et de les mettre en évidence.

### II.11.3 Modèles en charge du MOSFET double-grille

Ce type de modèle est choisi pour notre optimisation par les algorithmes génétiques. Dans ces modèles, l'idée est d'exprimer les potentiels en fonction de la charge d'inversion, cette dernière égale la charge dans le canal non dopé dans le cas des matériaux intrinsèques. Parmi les modèles les plus récents, nous comptons l'approche proposée par J. He [He'04] et celle proposée par B. Iñiguez [Mold'07][ Laiz'06].

#### II.11.3.1 Modèle de J. He

Ce modèle est proche du modèle de .Y. Taur. En effet, au lieu de chercher la valeur du potentiel au milieu du film  $\psi_0$  J. He donne une expression de la charge d'inversion  $Q_I$  donnée par [He'04] :

$$Q_I = 2\varepsilon_s F_s = -2C_0(V_{GF} - \psi_s) \quad (\text{II.13})$$

Où :

$V_{GF}$  est la tension de grille frontière,  $F_s$  est le champ électrique en surface,  $C_0$  est la capacité de l'oxyde et  $\psi_s$  est le potentiel de surface.

Ainsi, (II.13) tient compte de la corrélation entre la charge d'inversion et le potentiel de surface.

Dans la source,  $Q_I = Q_{I0}$  et  $\psi_s = \psi_{s0}$ ; par analogie dans le drain,  $Q_I = Q_{IL}$  et  $\psi_s = \psi_{sL}$

Dans ce modèle, le calcul du courant se fait de manière classique ; c'est la somme d'un courant de conduction et d'un courant de diffusion [He'04] :

$$I_D = \mu \frac{W}{L} \left[ \frac{2KT}{q} (Q_{IL} - Q_{I0}) - \frac{(Q_{IL}^2 - Q_{I0}^2)}{4C_0} \right] \quad (\text{II.14})$$

Ce modèle est développé en basant sur l'approximation :

$$t_{si} q n_i \exp \beta (\psi_0 - V) \ll \left( \frac{\epsilon_s}{t_{si}} \right) \left( \frac{KT}{q} \right)$$

Avec l'utilisation des fonctions empirique simple. L'avantage de ce modèle réside dans le fait qu'une seule équation de la charge d'inversion et du courant permet de décrire toutes les régions de fonctionnement. Le modèle est validé pour un MOSFET double-grille à canal long de  $2\mu m$  et pour des épaisseurs de film comprises entre  $50nm$  et  $10nm$ . Les effets quantiques, les effets canaux courts ainsi que les effets capacitifs intrinsèques et extrinsèques sont négligés [He'04] .

### II.11.3.2 Modèle de B. Iñíguez

B. Iñíguez a développé un modèle analytique compact explicite de MOSFET double grille à canal long et pour un film de silicium fortement dopé ( $N_A = 6.1017 \text{ cm}^{-3} \sim 1.1018 \text{ cm}^{-3}$ ) [Mold'07] . Ce modèle ainsi considéré prend en compte le phénomène d'inversion volumique. Ce modèle est continu dans toutes les régions de fonctionnement (de la région faible inversion à la région forte inversion et du régime linéaire au régime de saturation), Ce modèle est développé en résolvant l'équation de poisson à 1-D dans la direction perpendiculaire au canal (les effets canaux courts sont négligeables) et en fait, c'est le premier modèle compact développé pour le MOSFET double-grille fortement dopé.

B. Iñíguez a utilisé l'expression explicite de la charge d'inversion  $Q_I$  donnée par [Mold'07]:

$$Q_I = C_0 \left( -\frac{2c_0\beta^2}{Q_{Dep}} + \sqrt{\left(\frac{2c_0\beta^2}{Q_{Dep}}\right)^2 + 4\beta^2 \log^2 \left[ 1 + \exp \left[ \frac{V_{GS} - V_{th} + \Delta V_{th} - V}{2\beta} \right] \right]} \right) \quad (II.15)$$

Avec :

$$V_{GS} - V_{FB} - V - \left( \frac{Q_{Dep}}{2C_0} + \frac{KT}{q} \log \left[ \frac{q^2 N_A^3 t_{Si}^2}{KT n_i 2\epsilon_s} \right] \right) = \frac{Q_I}{C_0} + \frac{KT}{q} \log \left[ \frac{Q_I}{Q_{Dep}} \right] + \frac{KT}{q} \log \left[ \frac{Q_I + Q_{Dep}}{Q_{Dep}} \right] \quad (II.16)$$

Où:

$V_{GS}$  est la tension de grille,  $V_{th}$  est la tension de seuil,  $V_{FB}$  est la tension de bandes plates,  $Q_{Dep}$  est la charge de déplétion. Sachant que :  $V$  varie de ( $V=0$  dans la source à  $V=V_{DS}$  dans le drain) et  $V_{th}$  assure le bon comportement de la charge  $Q_I$  au-delà de la tension de seuil.

Par conséquent, l'expression finale du courant de drain est écrite en termes de charges, donnée par [Mold'07] :

$$I_{DS} = \frac{2W\mu}{L} \left[ 2 \frac{KT}{q} (Q_s - Q_d) + \frac{Q_s^2 - Q_d^2}{2C_0} + \frac{KT}{q} Q_{Dep} \log \left[ \frac{Q_d + Q_{Dep}}{Q_s + Q_{Dep}} \right] \right] \quad (II.17)$$

Sachant que :  $Q_I = Q_s$  dans la source et  $Q_I = Q_d$  dans le drain.

Le modèle de B. Iñiguez est validé pour un MOSFET double-grille à canal long de  $1\mu\text{m}$  et pour des épaisseurs de film comprises entre  $50\text{nm}$  et  $30\text{nm}$ . [ Mold 07] . Les effets quantiques, les effets canaux courts ainsi que les effets capacitifs intrinsèques et extrinsèques sont négligés [ Lin 04].

#### II.11.4 Bilan et intérêt d'un nouveau modèle

modèle compact caractéristiques des modèles	Y. Taur	PSP	B. Iñiguez	F.A.Fjelbly	LETI	J.fossum
<b>Simplicité du modèle</b>	+	-	+	+ /-	+	-
<b>Formulation explicite</b>	+/-	+	+	+	+	-
<b>Prise en compte des effets canaux courts</b>	+	+	+	+	+	+
<b>Prise en compte des effets de comportement dynamique</b>	+	+	+	+	+	+
<b>Prise en compte des effets quantiques</b>	-	+	+	-	-	+
<b>Gamme de validation L/W</b>	70nm /10nm	30nm /10nm	70nm /10nm	-	30nm /10nm	30nm/10nm

Tableau II .2 Caractéristiques des différents modèles compacts de MOSFET double-grille en mode de fonctionnement symétrique

Le Tableau ci-dessus regroupe les différentes caractéristiques des modèles compacts du MOSFET double-grille symétrique.

Si nous discernons les trois catégories de modèles compacts à savoir : les modèles en tension de seuil, les modèles en potentiel de surface et les modèles en charge , nous

remarquons aisément , d'une part, que les modèles en tension de seuil, en raison de la définition d'un courant de drain pour chaque région de fonctionnement, souffrent de problème de précision en inversion modérée. Ce qui de ce fait, les rend très peu adaptés à la conception de circuits surtout si l'on travaille en inversion modérée (en microélectronique analogique et mixte).

D'autre part, si nous examinons les modèles en potentiel de surface, nous remarquons que le problème de précision noté généralement sur les modèles en tension de seuil en inversion modérée n'est pas observé. Ces modèles décrivent avec une grande précision le comportement du dispositif MOSFET double-grille symétrique en tenant compte de nombreux effets physiques, ce qui les rend de ce fait assez intéressants,. Toutefois, aussi précis qu'ils soient, ces modèles, par leur complexité ne répondent qu'imparfaitement aux besoins des concepteurs de circuits intégrés. Outre cette complexité, ces modèles en potentiel de surface, voire également les deux modèles en charge (i.e. celui de J. He et celui de B. Iñiguez), sont bâtis sur des solutions implicites ( Tableau II.2). Ceci malheureusement les rend relativement moins intéressants pour le concepteur de circuits qui désire utiliser des modèles simples, précis, et qui ne nécessitent pas un temps de calcul coûteux lors des simulations de circuits à forte densité d'intégration.

## **II.12. Conclusion**

Dans ce chapitre nous avons présentés brièvement la technologie SOI, sur laquelle se basent généralement, la conception des transistors MOSFET à grilles multiples, nous avons pu ensuite présenter les transistors MOSFET à doubles grilles et qui ont fait l'objet de nos travaux de simulation, pour ceci nous avons alors présenté les propriétés électrique des DGFET, des dispositifs. Nous avons Ainsi pu présenter les différents modèles compacts des transistors MOSFET à canal long et leurs limites de validité. Pour finir nous avons pu constater que grâce au contrôle du canal par deux grilles la pénétration des lignes de champs dans le sens latéral se réduit, ceci explique l'aptitude intrinsèque de ces composants à suivre la tendance continue de miniaturisation.



CHAPITRE III  
SIMULATION NUMERIQUE DU  
DG N-MOSFET

Notre travail consiste à concevoir une structure DGMOSFET et d'y extraire ses performances. On se propose dans ce qui suit de présenter les résultats de simulation que nous avons obtenus et ceci par le biais du simulateur SILVACO, que nous nous proposons tout d'abord de présenter.

### III.1. L'outil de simulation – Silvaco

L'environnement SILVACO est largement exploité, tant dans l'industrie que dans les laboratoires de recherche.

SILVACO (Silicon Valley Corporation) est une société Américaine, « Silvaco International » ayant son siège à Santa Clara en Californie. Elle est un des principaux fournisseurs de chaînes professionnelles de logiciels de simulation par éléments finis et de conception assistée par ordinateur pour les technologies de l'électronique TCAD (Technology Computer Aided Design). Ces outils sont employés par les compagnies de microélectronique dans le domaine de la recherche, du développement et de la conception de dispositifs. Le développement de SILVACO, les ventes et les équipements de soutien sont stratégiquement localisés dans le monde entier pour soutenir la clientèle. Une majeure partie du modèle des affaires de SILVACO se fonde sur la capacité de la compagnie à fournir des ingénieurs technico-commerciaux bien formés et expérimentés pour le support à la clientèle sur place dans toutes les régions principales de fabrication de semi-conducteurs .

Historiquement la compagnie a été fondée en 1984 par Dr. Ivan Pesic pour répondre aux besoins des designers de circuits intégrés (IC, integrated circuits) analogiques pour des modèles SPICE (Simulation Program with Integrated Circuit Emphasis) de plus en plus précises et linéaires.

Le produit initial a été le système d'extraction des paramètres UTMOST (Universal Transistor Modeling Soft ware) qui est devenu un standard industriel pour l'extraction des paramètres, la caractérisation des dispositifs et la modélisation. L'entrée de SILVACO dans la technologie TCAD a eu lieu en 1989, et elle a été basée sur une recherche du Département des Dispositifs Physiques de l'Université de Stanford, ainsi apparaissent dans SILVACO « Athena » comme simulateur des processus et « Atlas » comme simulateur des dispositifs (2D et 3D). A l'aide d'un projet de recherche de l'Université de California, Berkeley, en 1992 SILVACO a conçu son propre logiciel de simulation comportementale SPICE. Ainsi « SmartSpice » devient partie de la chaîne TCAD de SILVACO, il permet des simulations des

circuits électroniques avec les modèles physiques des composants créés à l'aide d'Atlas tout en utilisant une logique SPICE. « SmartSpice » écrit en C++ permet facilement l'introduction des modèles nouveaux de simulation et permet une amélioration des algorithmes numériques pour une meilleure convergence. En 1997 SILVACO introduit IC CAD (Integrated Circuit Computer Aided Design) analogue qui est un outil pour capture schématique (schematic capture), disposition sur circuits imprimés (layout) et vérification physique. L'ensemble de ces outils avec le simulateur des circuits « SmartSpice » fournit une structure complète, à faible coût et d'une très grande productivité pour la conception des circuits intégrés analogiques. En 2004 enfin, SILVACO propose un outil d'extraction de signaux parasites qui permet la conversion directe des données des masques et des informations intéressantes aux processus des schémas électriques (netlists). Sur cet ensemble complet de simulation TCAD, nous avons utilisé la partie dénommée « Atlas » pour créer le modèle bidimensionnel d'un transistor DGFET.

## **III.2. Présentation du paquet des programmes SILVACO**

### **III.2.1. Les outils de simulation ATLAS (de la société SILVACO)**

Le logiciel de simulation ATLAS est un simulateur de modélisation bidimensionnelle décomposant, il permet la résolution des équations différentielles issues de la physique du composant comme celles de la diffusion ou du transport pour des géométries discrètes il est donc capable de prédire les caractéristiques électriques de la plupart des composants semiconducteurs en régime continu, transitoire ou fréquentiel. En plus du comportement électrique "externe", il fournit des informations sur la distribution interne de variables telles que les concentrations des porteurs, les lignes de courant, le champ électrique ou le potentiel, etc, autant de données importantes pour la conception et l'optimisation des procédés technologiques. Ceci est réalisé en résolvant numériquement l'équation de Poisson et les équations de continuité des électrons et des trous en deux dimensions en un nombre fini de points formant le maillage de la structure défini par l'utilisateur ou par le programme.

Ce simulateur est composé de deux parties :

- une partie traitement numérique (méthode d'intégration, de discrétisation...),
- une partie formée des modèles physiques des composants semiconducteurs les plus récents : modèles de recombinaisons, d'ionisation par impact, de mobilités, en température et statistiques de Fermi-Dirac et de Boltzmann notamment.

ATLAS a été conçu de façon à pouvoir utiliser d'autres outils qui facilitent son utilisation. Ces outils sont les suivants :

- **DEVEDIT**: environnement où est dessinée la structure des dispositifs (dimension, dopage, ...) et son maillage, Il peut être employé pour produire une nouvelle maille sur une structure existante, pour modifier un dispositif ou pour créer un dispositif à partir de zéro. Ces dispositifs peuvent alors être employés par les simulateurs 2D et 3D de SILVACO. DEVEDIT peut être employé par une interface utilisateur graphique (GUI abréviation de Graphics User Interface) ou comme simulateur sous DECKBUILD.

- **DECKBUILD** : environnement où est défini le programme de simulation. La structure et son maillage peuvent également être définis dans Deckbuild, C'est un environnement où on peut inviter les simulateurs, à tour de rôle, pour définir le programme de simulation : La structure, le maillage et les calculs électriques nécessaires peuvent également être définis dans DECKBUILD.

- **TONYPLOT** : environnement où sont visualisés les résultats des simulations (structure du composant, distributions de grandeurs diverses dans celui-ci, caractéristiques électriques...). Tonyplot puissant outil, est donc conçu pour visualiser les structures 1D et 2D produits par les simulateurs de SILVACO, Il fournit également beaucoup de fonctions spécifiques de visualisation de TCAD telles que les lignes de la coupe 1D, l'animation des marqueurs pour exposer la variation des vecteurs, intégration des fichiers de données 1D ou les fichiers (.log). Il y a aussi un autre outil similaire à celui-là, sauf qu'il conçu pour visualiser les structures 3D, nommé TonyPlot3D.

- **MASKVIEW** : éditeur de layout,

- **OPTIMIZER** : optimise les paramètres de la structure de façon à obtenir en final la valeur du paramètre que nous lui avons définie au préalable. Cet outil permet donc l'optimisation pour la calibration des simulateurs de process et de dispositifs. Il permet donc d'ajuster ajustage automatiquement les paramètres électriques ou les paramètres du process en jouant sur un ou plusieurs paramètres d'entrée.

### III.2.2. Présentation d'Atlas

Le logiciel de simulation ATLAS est un simulateur de modélisation bidimensionnelle (ou 3d) de composants. Basé sur la physique des semiconducteur, Il prédit le comportement électrique des structures semi-conductrices spécifiées et fournit des aperçus de mécanismes physiques

internes associés au fonctionnement des dispositifs. Atlas est capable de prédire les caractéristiques électriques de la plupart des composants semiconducteurs en régime continu, transitoire ou fréquentiel. En plus du comportement électrique "externe", il fournit des informations sur la distribution interne de variables telles que les concentrations des porteurs, les lignes de courant, le champ électrique ou le potentiel, etc., autant de données importantes pour la conception et l'optimisation des procédés technologiques. Ceci est réalisé en résolvant numériquement l'équation de Poisson et les équations de continuité des électrons et des trous en deux dimensions en un nombre fini de points formant le maillage de la structure défini par l'utilisateur ou par le programme. Ce simulateur est composé de deux parties :

- Une partie traitement numérique (méthode d'intégration, de discrétisation...).
- Une partie formée des modèles physiques des composants semiconducteurs les plus récents : modèles de recombinaisons, d'ionisation par impact, de mobilités, en température et statistiques de Fermi-Dirac et de Boltzmann notamment.

ATLAS a été conçu de façon à pouvoir utiliser les autres outils qui facilitent son utilisation tel que : ATHENA, DEVEDIT, TONYPLOT, DECKBUILD.

Notons qu'ATHENA, incontournable en conception via SILVACO permet de simuler les processus de fabrication des composants intégrés. C'est un simulateur des procédés de fabrication et simulateur de composants. Il permet de simuler les étapes d'implantation d'ions, de dépôt, de gravure, de recuit et d'oxydation.

En conclusion on peut dire qu'Atlas peut être utilisé autonome ou comme un outil noyau dans le milieu de simulation VWF de SILVACO. Dans le but de prévoir l'impact des variables du processus sur le comportement du circuit, la simulation du dispositif joint la simulation du processus et l'extraction du modèle SPICE.

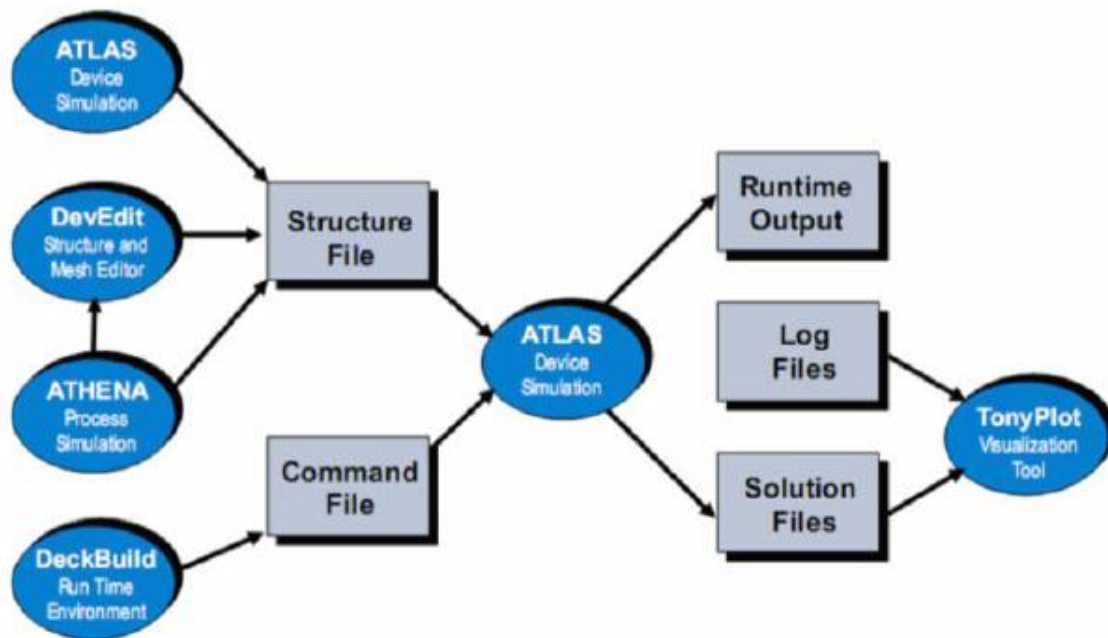


Figure III.1. Entrées et sorties d'Atlas.

Dans le schéma de la figure III.1, nous distinguons les différents types d'informations qui circulent en entrée comme en sortie « d'Atlas ».

La plupart des simulations réalisées par « Atlas » utilisent deux fichiers d'entrée. Le premier fichier est un fichier script contenant les commandes pour qu'Atlas s'exécute (représenté par « Fichier de commande »). Le second fichier est un « Fichier de structure » qui définit la structure qui va être simulée. A la sortie « d'Atlas », nous avons trois types de fichiers. Le premier de ces fichiers est la sortie « Runtime » qui donne la progression, les erreurs et les messages d'avertissements pendant la simulation. Le deuxième type de fichier est le fichier « log » qui stocke toutes les valeurs de tensions et des courants provenant de l'analyse du dispositif simulé (c'est le fichier du comportement électrique). Le troisième fichier de sortie est le « Fichier de solution », ce fichier stocke les données 2D ou 3D concernant les valeurs des variables solutions dans le dispositif en un point donné (c'est le fichier physique, il contient la structure dans un état particulier). Les deux derniers fichiers sont traités par l'outil de visualisation « TonyPlot ».

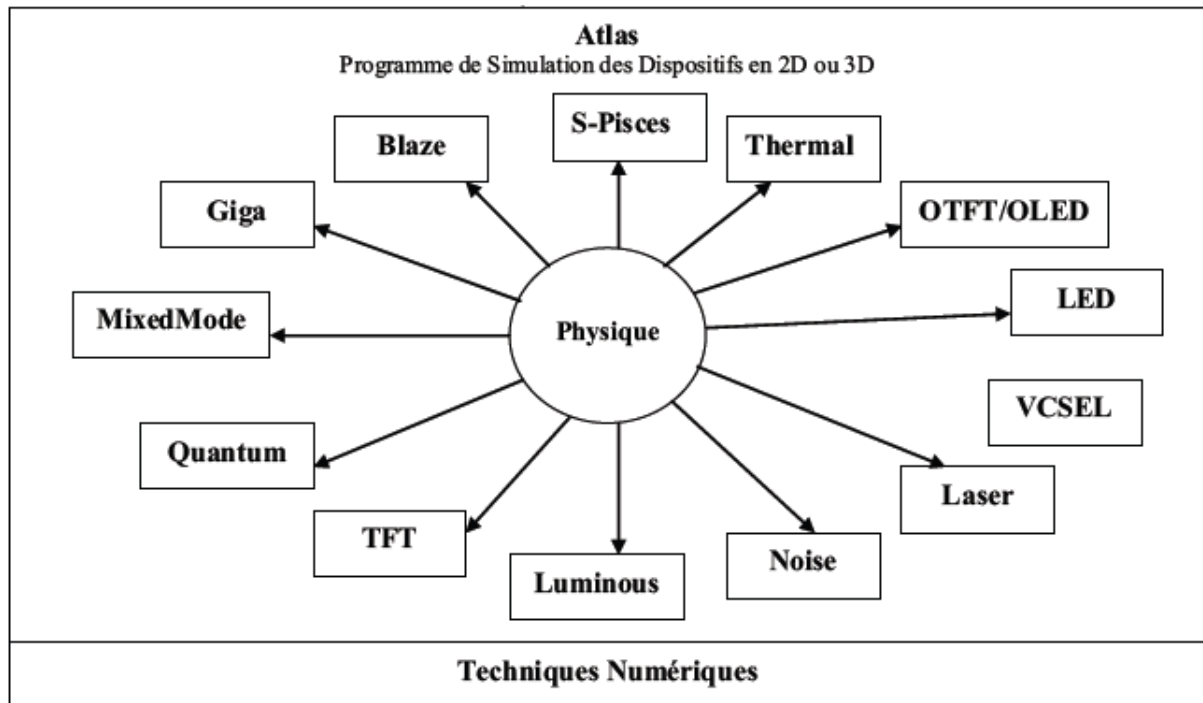


Figure III.2. Les composants (ou les modules) d'Atlas.

Dans la figure III.2, sont représentés les composants qui constituent « Atlas ». le cœur de cette structure étant la Physique qui contient le modèle mathématique qui fonctionne dans les dispositifs à base de semi-conducteurs. Nous avons présenté une partie de celle-ci au début de ce chapitre, en fait nous n'avons gardé que la partie nécessaire pour simuler notre dispositif. Ainsi les composants développés autour sont :

- « **S-Pisces** » : programme de simulation des dispositifs 2D ou 3D, il modélise les caractéristiques électriques des dispositifs à base de silicium en incluant de technologies comme MOS (Metal Oxide Semiconductor), bipolaire, SOI (Silicon On Insulator), EEPROM (Electrically Erasable Programmable Read Only Memory) et dispositifs de puissance. S-Pisces calcule les distributions internes des paramètres physiques et prévoit le comportement électrique des dispositifs à l'état d'équilibre, transitoire ou dans les conditions de courant alternatif de petit signal.
- « **Blaze** » : simulateur des dispositifs 2D ou 3D pour les matériaux III-V, II-VI et des dispositifs avec la structure de bande dépendante de la position (c.-à-d. hétérojonctions). Blaze explique les effets de la structure de bande dépendante de la position par des modifications des équations de transport de charge. Blaze est applicable à une large gamme des dispositifs comprenant : HBT (Hétérojonction Bipolar Transistor), HEMT (High Electron

Mobility Transistor), LED (Light Emitting Diode), détecteurs photoélectriques d'hétérojonction (piles solaires) et diodes d'hétérojonction.

- « **Giga** » : prolonge « Atlas » pour expliquer l'écoulement de la chaleur de treillis et les environnements thermiques généraux. Giga met en application le modèle thermodynamique rigoureux de Wachutka. Une application importante de Giga est la simulation des structures de haute puissance comprenant bipolaire, MOS, IGBT (Insulated Gate Bipolar Transistor), et dispositifs de thyristor. Une autre application importante est la simulation des dispositifs électrostatiques de protection de décharge.
- « **MixedMode** » : simulateur des circuits qui peut inclure des éléments simulés en utilisant la simulation de dispositif (2D ou 3D) et des modèles compacts des circuits. Mixed Mode emploie des algorithmes numériques avancés qui sont efficaces et robustes pour des simulations en courant continu, régime transitoire, de petit signal de courant alternatif et de l'analyse de réseau de petits signaux. Mixed Mode est typiquement employé pour simuler des circuits qui contiennent des dispositifs semi-conducteurs modélisés compacts et précis qui n'existent pas ou pour simuler des circuits où les dispositifs qui jouent un rôle critique doivent être modélisés exactement. Les modèles compacts disponibles et utilisés en général sont de type SPICE. La logique de programmation pour spécifier les circuits est de type SPICE.
- « **Quantum** » : simule divers effets dus au confinement quantiques.
- « **TFT** » : simule les systèmes des matériaux désordonnés, il nous permet de définir une distribution d'énergie des états des défauts logés sur des niveaux énergétiques situés dans la BI des matériaux semiconducteur.
- « **Luminous** » programme tout usage d'absorption de la lumière. Il calcule les profils d'intensités optiques dans les dispositifs semi-conducteurs, et convertit ces profils dans des taux de photo-génération. Ceci nous permet de simuler des réponses électroniques à des signaux optiques pour une large gamme de détecteurs optiques.
- « **Noise** » : simuler le bruit des signaux produit par les dispositifs. Le bruit électronique a pour conséquence une dégradation inévitable des performances des circuits. Il est important de comprendre les propriétés du bruit pour réduire au minimum son effet.
- « **Laser** » : effectue une simulation couplée électrique et optique des lasers à base des semi-conducteurs.



- « **VCSEL** » : (Vertical Cavity Surface Emitting Lasers) effectue la simulation électrique, thermique et optique des lasers d'émission surfacique de cavité verticale en utilisant des méthodes entièrement numériques précises, robustes, et fiables et des mailles non uniformes.
- « **LED** » : fournit des possibilités générales pour la simulation des dispositifs de diode électroluminescente.
- « **OTFT/OLED** » : « **OTFT** » simule les caractéristiques des dispositifs réalisés en matériaux organiques (caractéristiques électriques et optiques en courant continu ou transitoire de ceux-ci). « **OLED** » simule les LED organiques.
- « **Thermal** » : permet de résoudre l'équation de la chaleur à l'équilibre thermodynamique pour trouver la distribution de la température à l'équilibre en structures 3D planaires et non planaires.

Le fonctionnement d'un dispositif à semi-conducteur est modélisé dans « Atlas » par un ensemble couplé de jusqu'à six équations différentielles partielles (EDP). Dans notre modélisation nous avons utilisé trois EDP couplées (l'équation de Poisson et les équations de continuités des trous et des électrons). « Atlas » produit des solutions numériques en calculant les valeurs des inconnues sur un maillage des points dans le dispositif. Une procédure interne de discrétisation convertit le modèle original continu en un système algébrique non linéaire discret qui a un comportement approximativement identique. L'ensemble des EDP, le maillage et la procédure de discrétisation déterminent le problème algébrique discret à résoudre.

Le système algébrique discret est résolu en utilisant une procédure itérative qui raffine des évaluations successives de la solution. L'itération continue jusqu'à ce que les corrections soient assez petites pour satisfaire les critères de convergence, ou jusqu'à ce qu'il soit clair que le procédé n'arrive plus à converger (nombre limite de pas de convergence). Le procédé non linéaire d'itération commence à partir d'une première conjecture. Les corrections sont calculées en résolvant des versions linéarisées du problème. Les sous-problèmes linéaires sont résolus en employant des techniques directes ou itérativement.

Les différentes procédures de résolution montrent le comportement différent en ce qui concerne la convergence, l'exactitude, l'efficacité, et la robustesse. Les deux aspects principaux de la convergence sont, l'obtention d'une solution et la rapidité de convergence.

L'efficacité est le temps requis pour produire une solution. La robustesse est la capacité de converger pour un éventail de structures, en utilisant des mailles et des stratégies initiales de conjecture qui ne sont pas optimales. En résolvant les systèmes généraux des équations non-linéaires, il n'y a aucune garantie que n'importe quelle méthode particulière fonctionnera toujours. C'est également le cas que les différentes méthodes peuvent fonctionner mieux pour différents problèmes. Sous Atlas, en fonction du système des équations EDP à résoudre nous pouvons définir à l'aide d'une commande bien précise la méthode non linéaire de résolution et les paramètres associés tels que les critères d'itération et de convergence. Dans notre cas la méthode de résolution de systèmes non linéaires est l'optimisation de Newton.

### III.2.3. Logique de programmation[NEG 08]

Après la présentation de la chaîne progicielle TCAD de SILVACO, sa composition interne et le fonctionnement « d'Atlas » nous allons maintenant présenter l'ordre des commandes propres à la logique de programmation « d'Atlas ». Ainsi il existe cinq groupes de commandes, ces groupes doivent être organisés correctement. Si l'ordre n'est pas respecté, un message d'erreur apparaît et le programme ne s'exécute pas d'une façon correcte. Par exemple, si les paramètres ou les modèles de matériaux ne sont pas placés dans l'ordre idoine, le simulateur ne les prend pas en compte .

Groupes	Commandes
• <i>Spécification de la structure.</i>	✓ <i>MESH.</i> ✓ <i>REGION.</i> ✓ <i>ELECTRODE.</i> ✓ <i>DOPING.</i>
• <i>Spécification des modèles de couches.</i>	✓ <i>MATERIAL.</i> ✓ <i>MODEL.</i> ✓ <i>CONTACT.</i> ✓ <i>INTERFACE.</i>
• <i>Sélection de la méthode numérique.</i>	✓ <i>METHOD.</i>
• <i>Spécification des solutions.</i>	✓ <i>LOG.</i> ✓ <i>SOLVE.</i> ✓ <i>SAVE.</i> ✓ <i>LOAD.</i>
• <i>Analyse des résultats.</i>	✓ <i>EXTRACT.</i> ✓ <i>TONYPLOT.</i>

**Tableau III.1.Ordre des groupes des commandes dans un programme Atlas**

Les commandes fondamentales sont :

- **MESH** : cette commande produit un maillage ou lit un maillage qui a été défini auparavant. L'élément de maille utilisé est le triangle.

- **REGION** : indique l'endroit des matériaux dans une maille précédemment définie.

Chaque triangle doit être défini comme matériel.

- **ELECTRODE** : indique l'endroit et les noms des électrodes dans une maille précédemment définie.

- **DOPING** : indique analytiquement des profils de dopage ou prend de tels profils déjà prédéfinis dans les fichiers dédiés.

- **MATERIAL** : associe des paramètres physiques aux matériaux dans la maille. (Il faut faire attention parce que le logiciel a des paramètres de matériau définis par défaut pour les semi-conducteurs standard)

- **MODELS** : indique les carreaux constitutifs du modèle, ils indiquent les inclusions de différents mécanismes physiques, de modèles ou des autres paramètres comme par exemple la température globale pour la simulation.

- **CONTACT** : indique les attributs physiques d'une électrode.

- **INTERFACE** : indique les paramètres d'interface aux frontières de semiconducteur/isolant. Tous les paramètres s'appliquent seulement aux nœuds de frontière exceptés la où ils sont déjà indiqués.

- **METHOD** : place les méthodes numériques à employer pour résoudre les équations et les paramètres liés à ces algorithmes.

- **LOG** : permet à toutes les caractéristiques finales de simulation d'être sauvées dans un fichier (ouvre un fichier de type log (log en minuscule veut dire le type de fichier, LOG en majuscule veut dire la commande dans le programme)). N'importe quel type de donnée, qu'elle soit C.C., transitoire ou C.A., générée par la commande SOLVE et sauvée après la commande LOG (donc les informations sauvées sont de type électrique et elles sont, par exemple, en fonction de la tension de polarisation ou de la source de lumière). Aussi n'importe quel paramètre spécifié par la commande PROBE12 est stocké dans le fichier de

type log. Si dans le programme il y a plusieurs commandes LOG, chaque fois le fichier log qui a été ouvert avant est fermé et un nouveau fichier log est ouvert.

- **SOLVE** : ordonne à l'Atlas d'exécuter une solution pour un ou plusieurs points de polarisation.
- **LOAD** : charge des solutions précédentes à partir de fichiers en tant que conjectures initiales à d'autres points de polarisation.
- **SAVE** : sauve toutes les informations d'un point nœud du maillage dans un fichier de sortie (les fichiers de sortie sont de type structure). Les informations sauvées correspondent à un état électrique bien précis.
- **EXTRACT** : les commandes de ce type sont utilisées pour extraire les valeurs bien précises des paramètres des deux types des fichiers log ou structure.
- **TONYPLOT** : démarre le programme « TonyPlot » de post processus graphique des donnés.

En Résumé on peut dire que chacun des dispositifs à concevoir est représenté comme une structure maillée où chaque nœud a des propriétés qui lui sont associés telles que le type de matériau, la concentration en dopant, etc. Ainsi, pour chaque nœud, la concentration de porteurs, le champ électrique, etc. peuvent être calculés. Les électrodes sont représentées par des surfaces sur lesquelles les conditions aux limites sont imposées, comme par exemple, les tensions appliquées. Les principaux avantages de ce simulateur de composants est tout d'abord la possibilité offerte de visualisation de phénomènes physiques difficilement accessible et donc observable. Ensuite, il permet de s'approprier de manière pédagogique les procédés de fabrication. En outre, c'est un outil industriel dont la connaissance peut constituer un atout significatif dans le domaine de la recherche.

En effet, l'évolution du profil d'une structure peut être observée durant la simulation du procédé de fabrication. De plus, l'outil TCAD fait acquérir des compétences sur la fabrication des circuits intégrés sans la nécessité d'avoir à disposition une salle blanche disposant de tous les équipements idoines.

Ainsi, avec la TCAD SILVACO, nous pouvons expérimenter et explorer l'effet d'une modification d'un paramètre technologique sur une structure sans coût d'équipement et de consommable.

### III.3. Modélisation 2D du transistor DG-nMOSFET

Nous avons réalisé des simulations numériques du transistor DG n-MOSFET en 2D sous l'outil Atlas qui est un simulateur de dispositif. Notre simulation numérique est consisté tout d'abord à concevoir la structure, puis à faire une résolution numérique. La conception de la structure comprend la définition du maillage, la définition des différentes régions du dispositif, des électrodes et des dopages (niveau et profil). La résolution numérique comprend la détermination des choix des modèles physiques et des méthodes mathématique utilisés par le simulateur pour trouver la solution Ce qui est bien illustré sur le tableau qui suit.

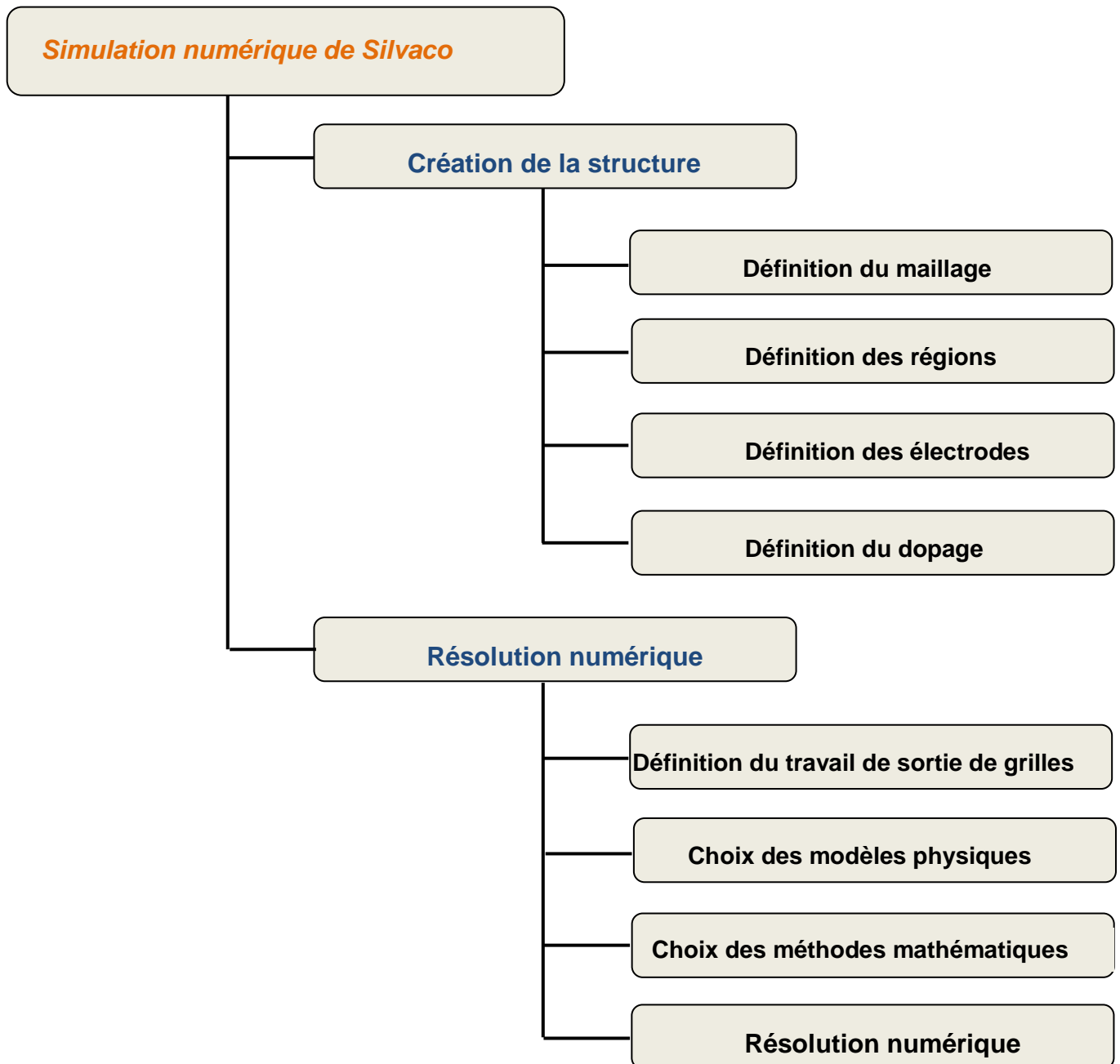


Tableau III.2 : Diagramme de la simulation numérique via Silvaco [TANG 09]

### III.3.1. Simulation numérique du DG n-MOSFET et interprétations

Afin de valider le modèle, nous avons élaboré une structure MOSFET double grille avec le simulateur électrique Atlas de SILVACO. Outre son utilisation comme moyen de validation, cette structure nous a également permis de réaliser des études physiques des différents phénomènes perturbant le fonctionnement du dispositif MOSFET double-grille. La figure qui suit est une structure générique d'un MOSFET à double grilles.

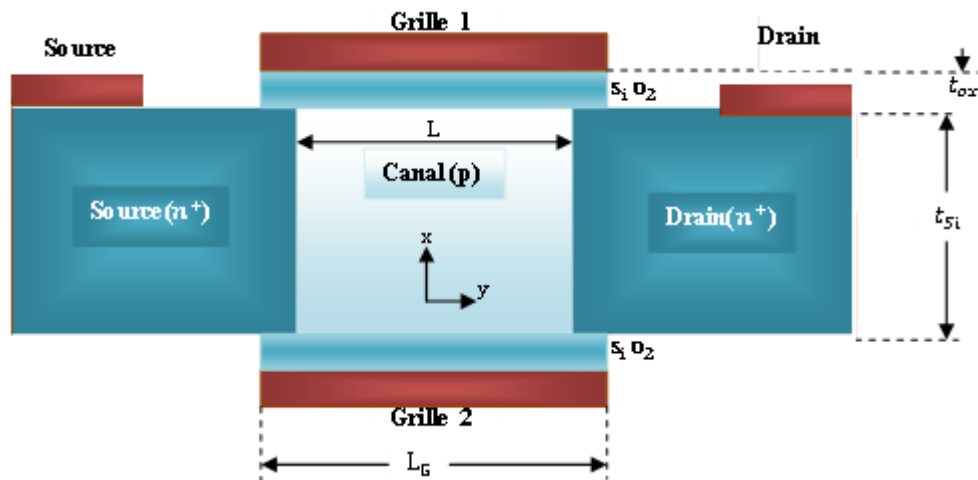


Figure III.3. structure générique d'un MOSFET à double grilles.

Notons cependant qu'il existe Il existe divers structures DG-nMOSFET. La figure III.4 représente le schéma de notre structure dont tous les paramètres technologiques et géométriques sont regroupés au tableau III.3.

<i>Paramètres de la structure simulée</i>	<i>Notations</i>	<i>Valeurs et unités</i>
<i>Epaisseur du film de silicium</i>	$t_{si}$	3 nm
<i>Epaisseur de la couche d'oxyde</i>	$t_{ox}$	1.5 à 2.5 nm
<i>Longueur de la grille</i>	$L_g$	
<i>Dopage source /drain (type n)</i>	$N_D$	$10^{17} \text{ cm}^{-3}$
<i>Dopage du film (type p)</i>	$N_A$	$10^{16} \text{ cm}^{-3}$

Tableau III.3 : Résumé des valeurs adoptées pour les simulations de la structure étudiée

Nous avons considéré pour cette étude un dispositif MOSFET double-grille de type n très peu dopé ( $10^{18} \text{cm}^{-3}$ ) fonctionnant en mode symétrique. Les effets quantiques ainsi que les effets de poly-déplétion seront ignorés dans ce développement. La Figure III.4 représente le transistor MOS double-grille développée au cours de notre simulation 2-D.

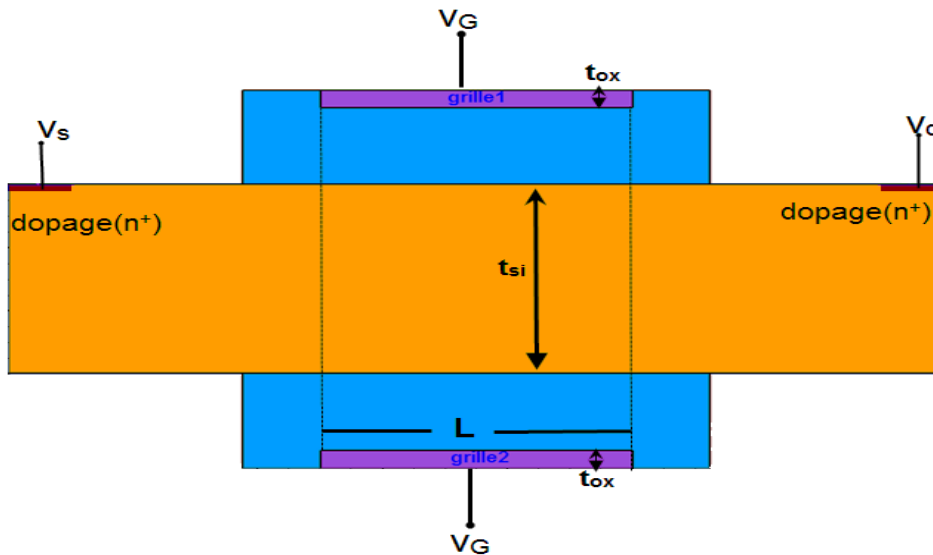


Figure III. 4: Structure du MOSFET double grille

- la région en jaune représente le film de silicium.
- les régions représentées en couleur bleue correspondent aux couches d'oxyde ;
- Les régions en couleur violette correspondent aux deux électrodes : celle de la source et celle du drain ainsi que celles des deux grilles. Dans notre configuration les électrodes de la source et du drain sont alignées.

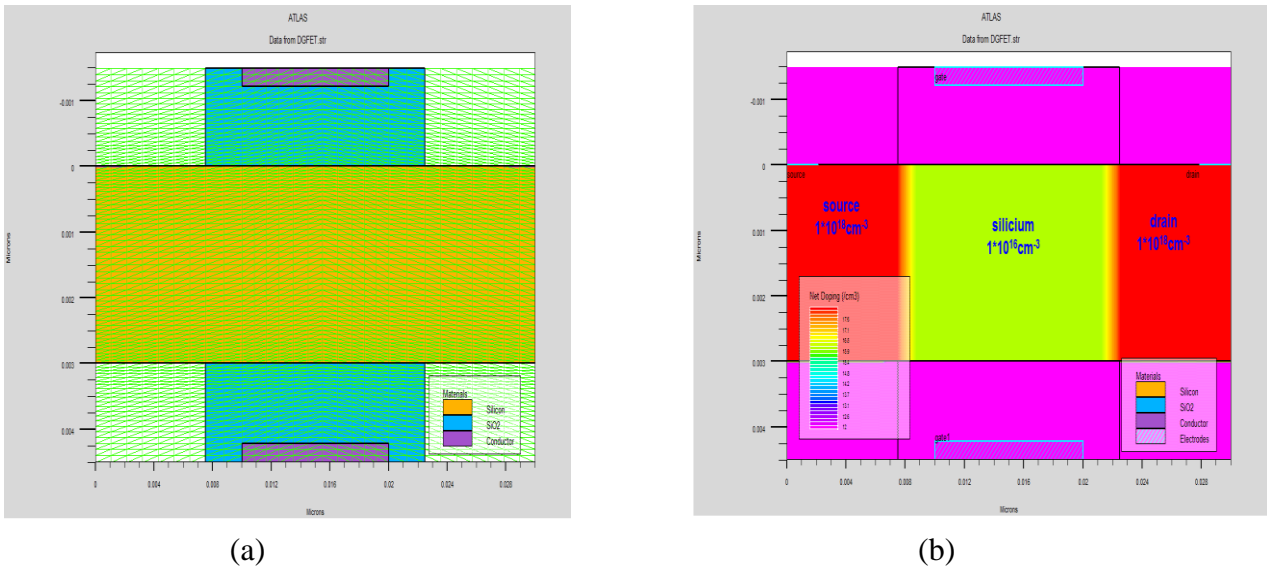
Les paramètres de silicium fixés par défaut dans le simulateur Atlas à la température de 300K sont telle que :

L'affinité électronique	$\chi_{\text{Si}}=4,01\text{eV}$
Le gap d'énergie	$E_g=1,08\text{eV}$
Les densités effectives d'états	$N_c = 2,8 \cdot 10^{19} \text{cm}^{-3}; N_v = 1,04 \cdot 10^{19} \text{cm}^{-3}$
la densité intrinsèque de charge à 300°K	$n_i = 1,15 \cdot 10^{10} \text{cm}^{-3}$ .
Concentration des dopants dans la source et le drain	$N_d = 10^{18} \text{cm}^{-3}$

Tableau III.4. Les paramètres de silicium fixés par défaut dans le simulateur Atlas à 300K

Notons que les régions de source et de drain sont fortement dopées en ce qui nous concerne la concentration des impuretés dans la source et le drain est égale à  $N_D = 10^{18} \text{ cm}^{-3}$ . Enfin, nous avons considéré des grilles métalliques situées au mid-gap  $\Phi_M = 4,612 \text{ eV}$  et ayant une différence de travaux de sortie avec le silicium intrinsèque nulle  $\Delta\Phi_{ms} = \Delta\Phi = 0 \text{ eV}$ . Le film de silicium est faiblement dopé (accepteurs) soit  $N_a = 10^{16} \text{ cm}^{-3}$ . Ce dopage est uniforme. Les différents dopages dans le film de silicium sont illustrés à la **Figure III.5.a**.

Notons aussi que la précision est meilleure si le maillage est resserré dans les zones de forts gradients et donc relâché dans les zones où l'on peut prévoir que les variations spatiales seront faibles. La **figure III.5.b** présente le résultat du maillage défini sur le fichier de simulation de notre structure DG n-MOSFET. Nous observons que c'est bien au niveau des deux jonctions (source-canal et drain-canal) et des deux interfaces oxyde-silicium que le maillage est plus dense.



**Figure. III.5 : Structure n-MOSFET double-grille : (a) définition du maillage, (b) Profil de dopage dans les différentes régions du dispositif,  $L=10 \text{ nm}$ ,  $t_{ox}=1,5 \text{ nm}$**

Le réseau de caractéristiques de transfert et de sortie de notre structures obtenu par le simulateur TCAD ATLAS sont donné en figure III.6,III.7.



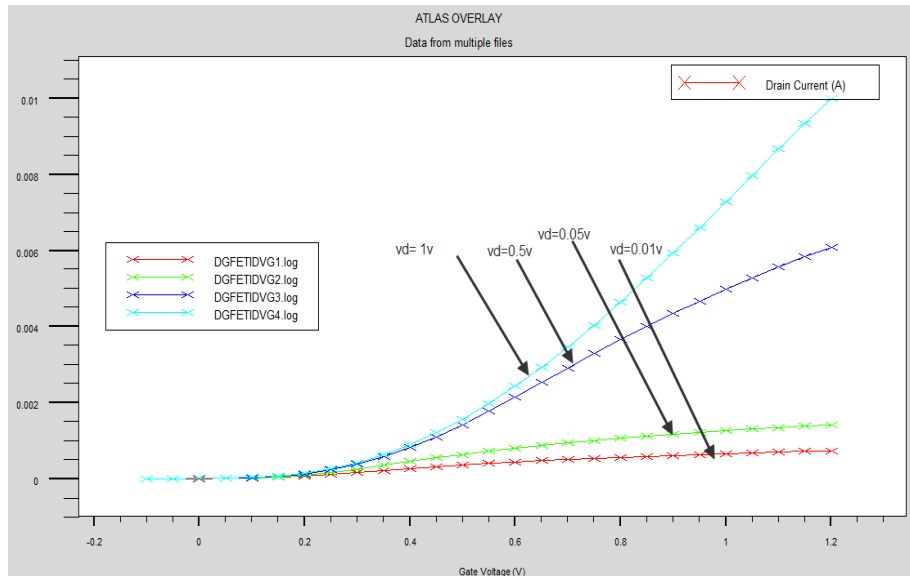


Figure III.6. : Caractéristiques de transfert IDS-VGS du DG n-MOSFET.

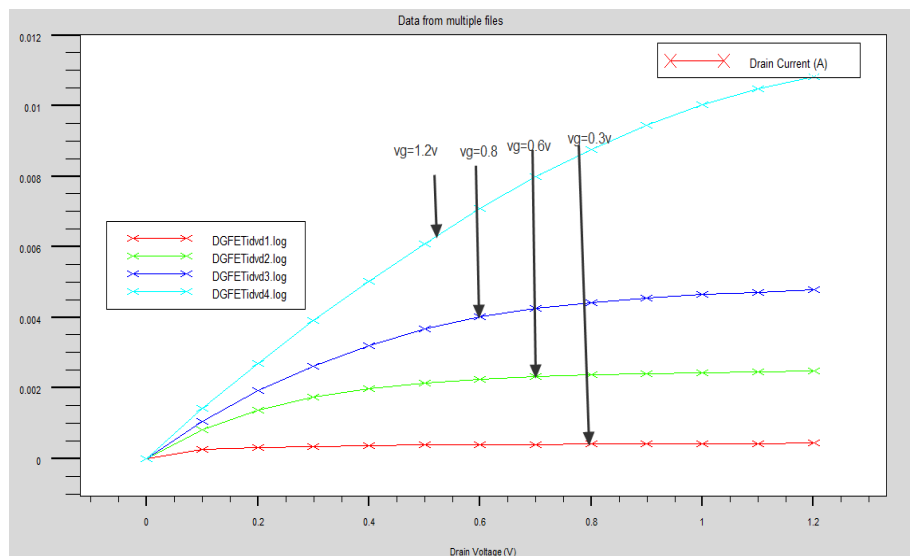


Figure III.7. Caractéristiques de sortie  $I_{DS}$ - $V_{DS}$  du DG n-MOSFET

### III.4. Etude des effets de la variation des paramètres de la structure sur ses caractéristiques électriques

Afin d'examiner les effets de la variation des paramètres du DG-FET sur son courant de drain, nous nous proposons dans ce qui suit de varier certains de ses paramètres et d'examiner les effets que ces variations entraînent sur le courant du drain du dispositif.

### III.4.1. Etude de l'effet de la Variation de l'épaisseur de l'oxyde sur $I_{DS}$

Afin d'examiner l'effet de la variation de  $t_{ox}$  sur le courant  $I_{DS}$ , nous avons choisi trois valeurs de l'épaisseur de l'oxyde de notre structure que nous avons choisi comme étant une structure symétrique, soit alors Notons tout d'abord que cette structure est symétrique, de ce fait  $t_{ox1}=t_{ox2}=t_{ox}= 1.5 \text{ nm}, 2 \text{ nm et } 2.5 \text{ nm}$  afin d'examiner l'effet de cette variation. Les résultats de simulation que nous avons obtenus sont représentés sur les figures III.8 et III.9.

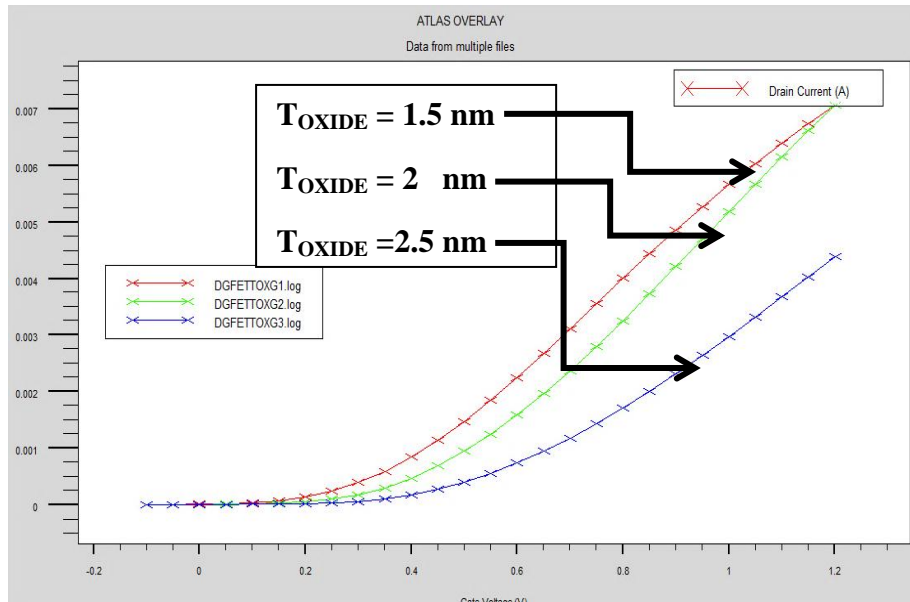


Figure III.8 : caractéristique  $I_{DS}$ - $V_{GS}$  pour différentes valeurs de l'épaisseur de l'oxyde

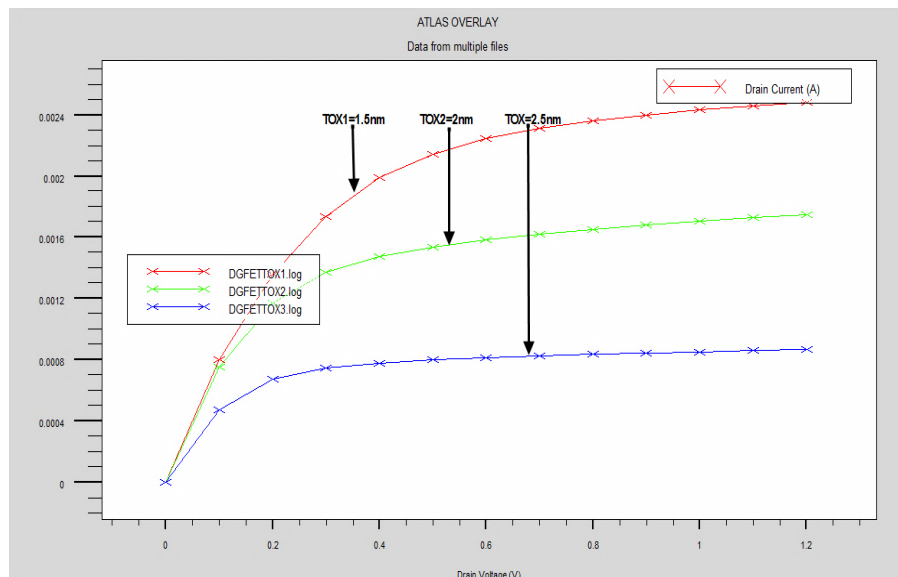


Figure III.9: caractéristique  $I_{DS}$ - $V_{DS}$  pour différentes valeurs de l'épaisseur de l'oxyde

Les résultats de simulation que nous avons obtenus et permettant de mettre en évidence l'effet de la variation de cette grandeur sur les caractéristiques électriques de notre structures.

Tout d'abord du réseau de caractéristiques  $I_{DS}-V_{GS}$ , on peut remarquer que la tension de seuil du transistor varie avec la variation de l'épaisseur de l'oxyde. En effet la tension de seuil augmente quand l'épaisseur de l'oxyde augmente.

En observant la caractéristique  $I_{DS}-V_{DS}$ , On remarque aisément que le courant  $I_{DS}$  augmente lorsque  $t_{ox}$  diminue, et vice et versa. Ce qui revends à dire qu'une épaisseur de l'oxyde anormalement importante pour des structures à faibles géométries a pour conséquence l'isolation de la grille qui ne commande plus le canal. De ce fait l'épaisseur de l'oxyde doit être la plus mince possible mais tout en étant comprise dans des normes admissibles et non inférieure à une certaine valeur qui changerait la nature de la structure et ceci afin d'avoir un meilleur courant. Notons qu'une épaisseur de grille importante risquerait d'isoler la grille.

La variation de la tension de seuil avec l'épaisseur de l'oxyde est représentée sur la figure qui suit.

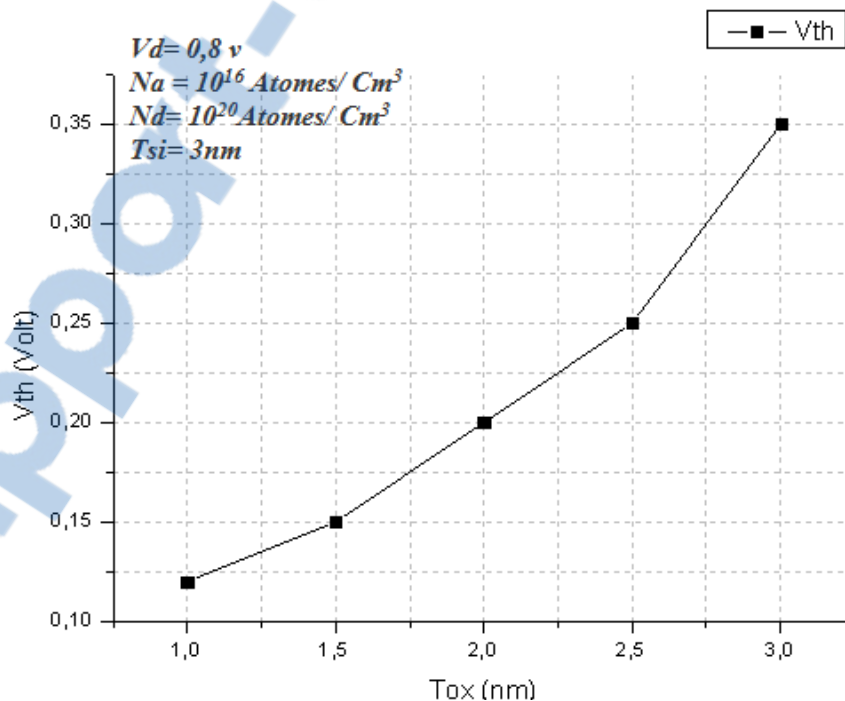


Figure III.10. Variation la tension Vth en fonction de Tox

On remarque que  $V_{th}$  dépend fortement de cette épaisseur et croit quand  $Tox$  croit. Ce qui était prévisible après l'analyse de la caractéristique  $I_{DS}$  en fonction de  $V_{GS}$ .

### III.4.2. Etude de l'effet de la Variation de la longueur de la grille sur le courant $I_{DS}$

Afin de mettre en évidence l'effet de la variation de la longueur des grilles sur le courant du drain de notre structure, différentes longueurs furent prises en considération. Pour cela on a choisi différentes  $L_G=3nm$ ;  $3nm$ ; et  $10nm$ . Les résultats de simulation que nous avons obtenus sont illustrés sur la figure III.11, III.12 et III.13.

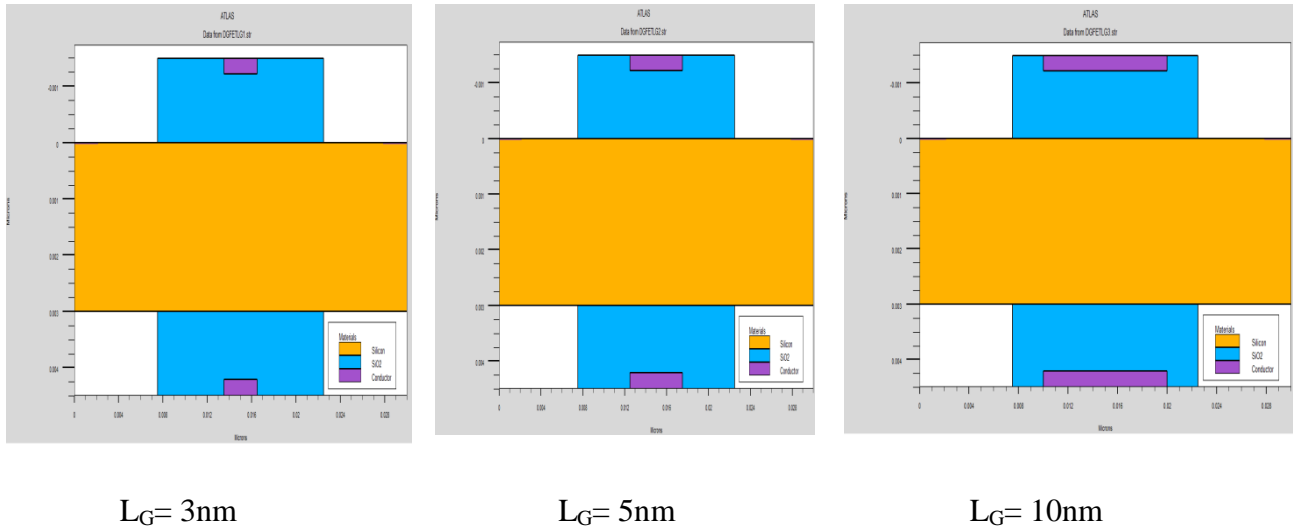


Figure III.11. Schématisation de la variation de la longueur des grilles du DG-nMOSFET

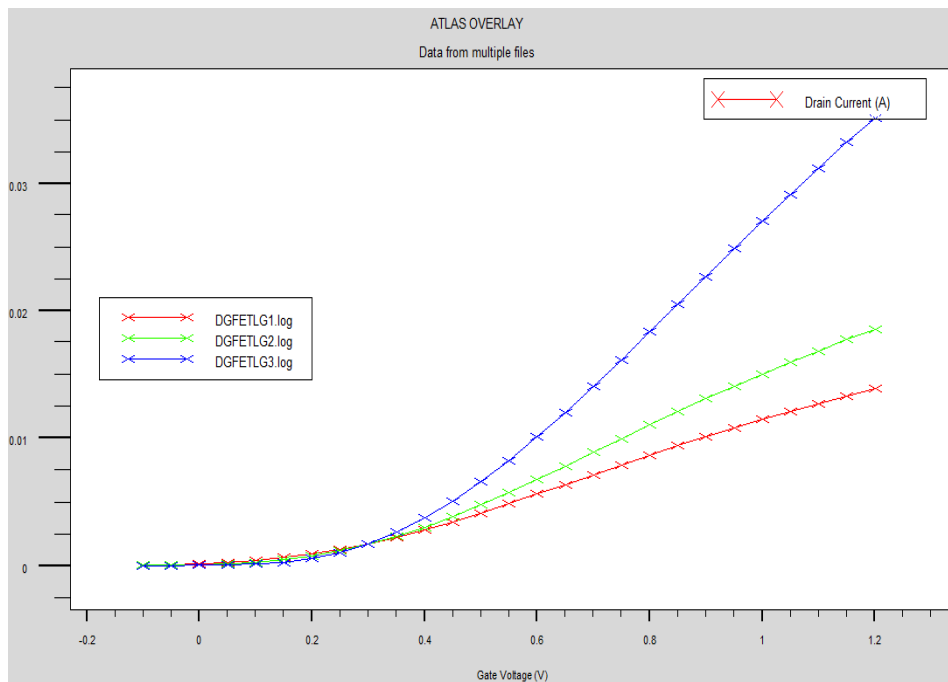


Figure III.12. Caractéristique de transfert  $I_{DS}$ - $V_{GS}$  pour trois différentes longueurs des grilles

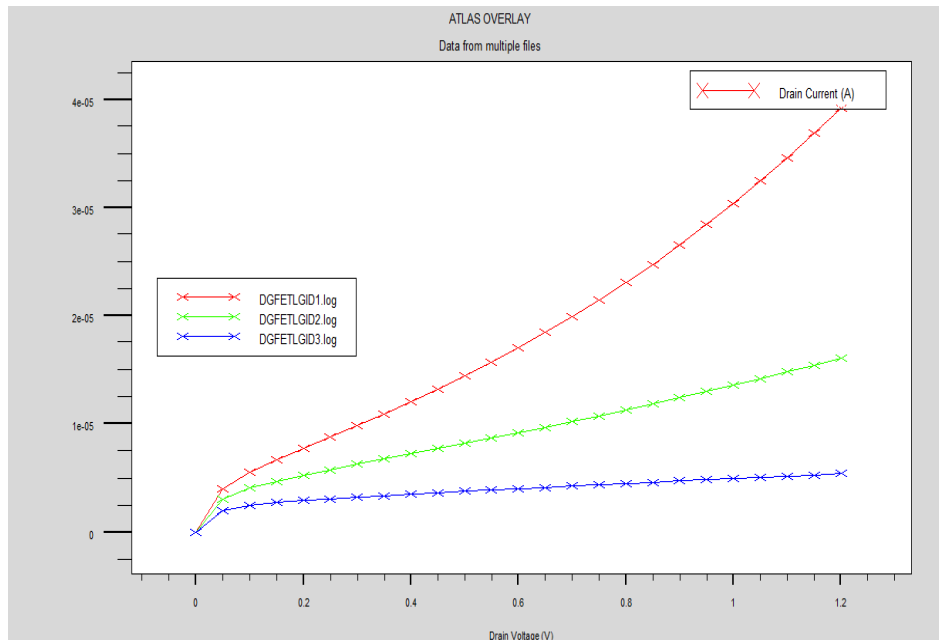


Figure III.13. Caractéristique de sortie pour trois différentes longueurs des grilles

On remarque que quand la longueur de la grille augmente le courant diminue. Pour de faibles valeurs de la longueur des grilles ces dernières risquent de perdre son contrôle sur le canal « phénomène de **roll of** », on remarque que pour la courbe en rouge correspondant à une longueur de 3nm le courant de saturation augmente fortement et on ne distingue plus correctement la zone ohmique de la zone saturée. De ce fait la longueur de la grille se doit d'être déterminée judicieusement. Notons que la longueur de grille n'affecte pas la dynamique de contrôle sur la tension de seuil mais provoque l'augmentation de la transconductance qui demeure un paramètre très important. De ce fait il est important de ne pas réduire la longueur de la grille aléatoirement.

### III.4.3. Etude de l'effet de la Variation de la largeur du canal $t_{si}$ sur le courant $I_{DS}$

Les résultats de simulation mettant en évidence les effets de la variation de l'épaisseur du film de silicium  $t_{si}$  sont représentés à la figure III.14, et III.15.

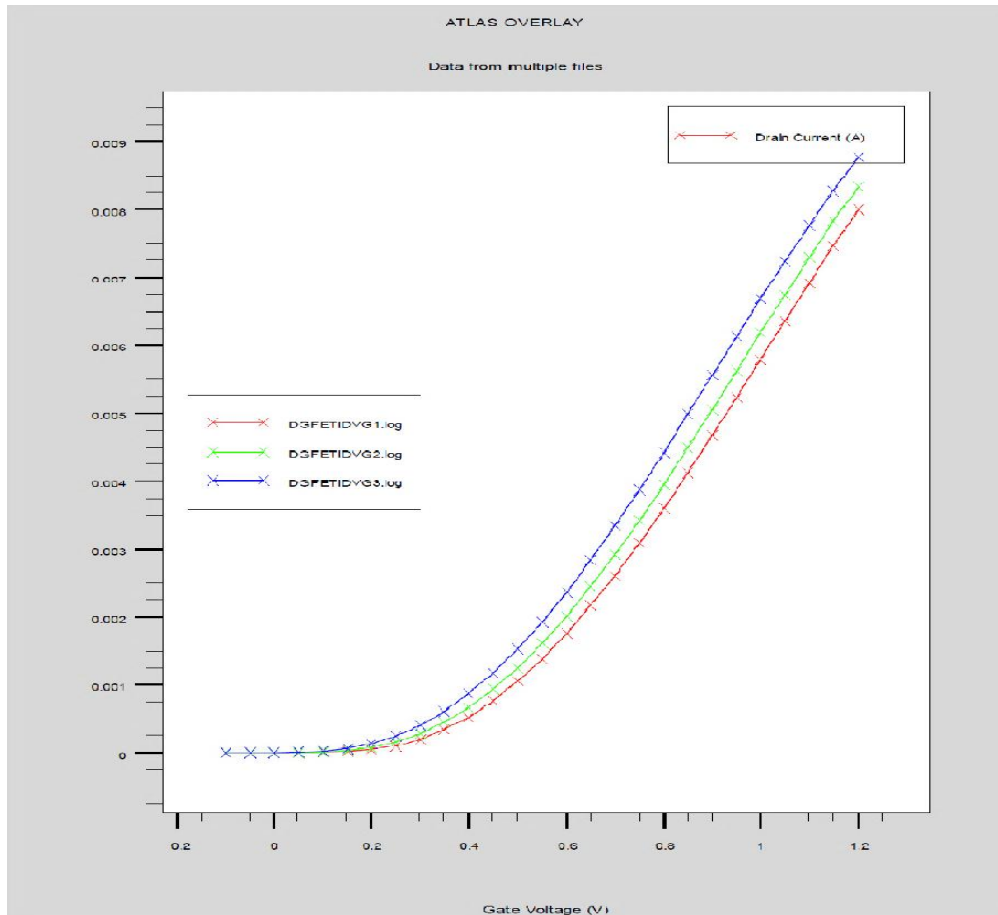


Figure III.14. Caractéristique de transfert et de sortie  $I_{DS}-V_{GS}$  pour trois différentes épaisseurs du film de silicium tsi.

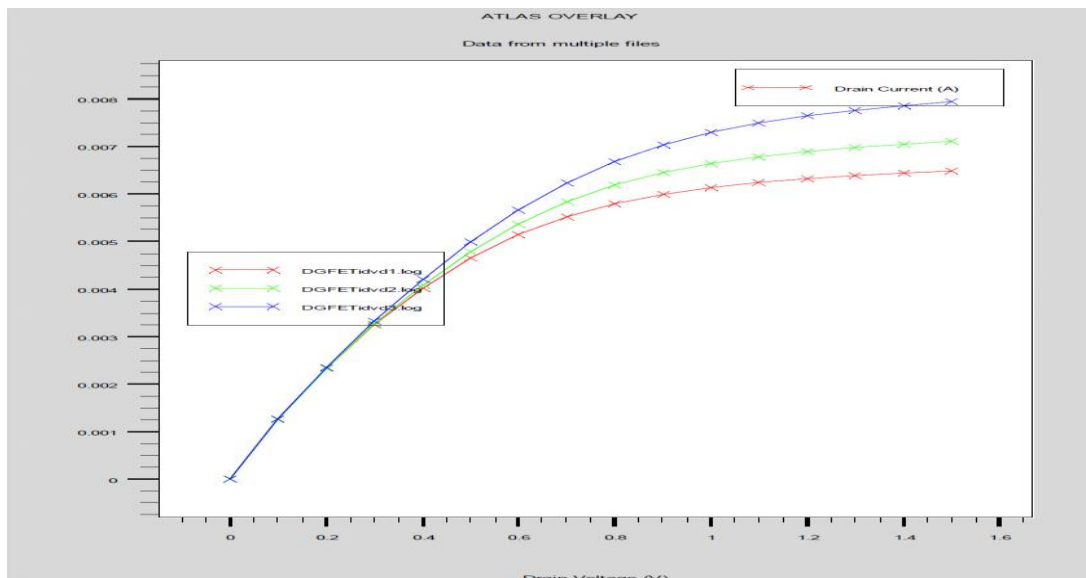
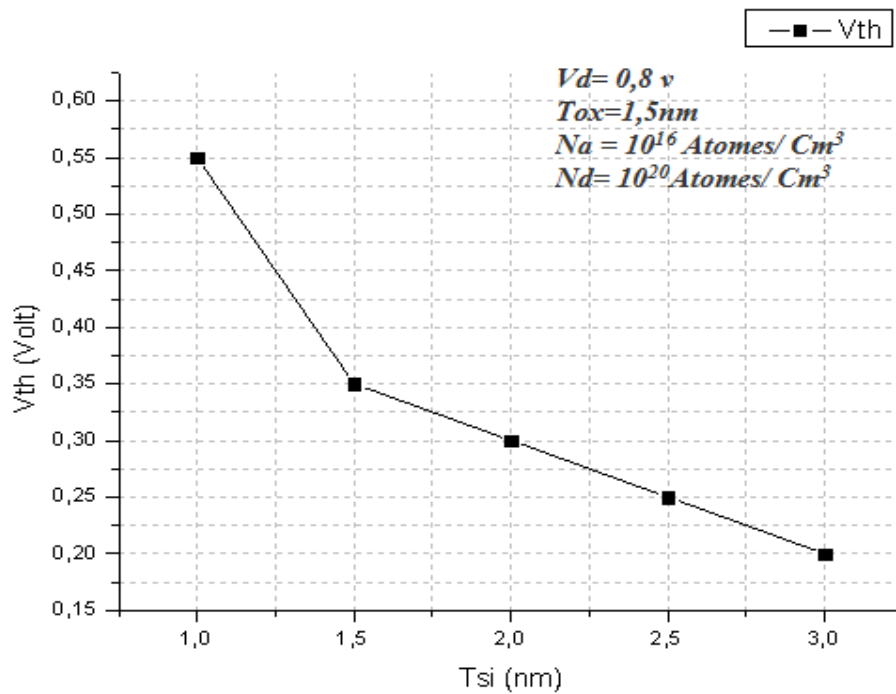


Figure III.15. Caractéristique de transfert et de sortie  $I_{DS}-V_{DS}$  pour trois différentes épaisseurs du film de silicium tsi

Des canaux épais conduisent à des courants de saturation plus importants, et également un léger déplacement de la tension de seuil vers des valeurs plus petites. Conséquent l'épaisseur de film doit être déterminée judicieusement.

L'étude de la variation de la tension de seuil avec  $t_{si}$  nous a permis de retrouver les résultats de la figure III.16.

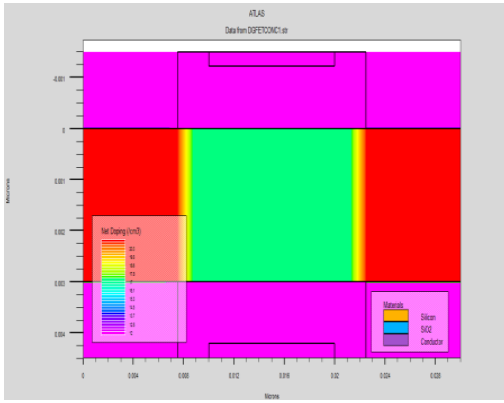


**Figure III.16. Variation la tension Vth en fonction de Tsi**

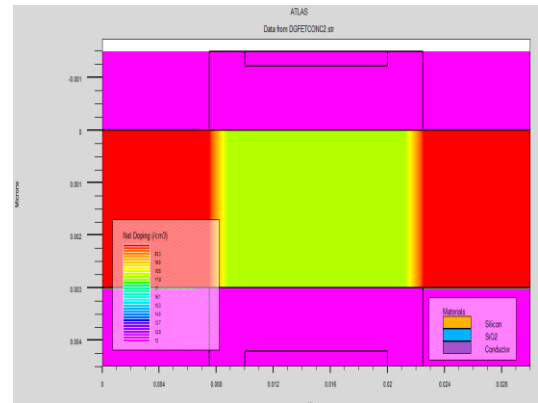
La tension de seuil diminue avec l'augmentation de l'épaisseur du film de silicium, de ce fait le choix de cette grandeur est important lors de la phase de conception des dispositifs.

#### III.4.4. Etude de l'effet de la Variation de la concentration $N_A$ sur le courant $I_{DS}$

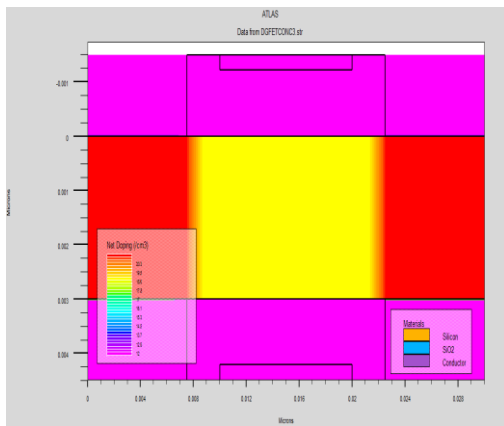
Nous nous sommes intéressés dans cette partie du travail à observer les effets de la variation de la concentration des dopants accepteurs  $N_A$  ( $7 \cdot 10^{17}/\text{cm}^3$ ,  $10^{18}/\text{cm}^3$ ,  $5 \cdot 10^{18}/\text{cm}^3$ ,  $N_A = 10^{19}/\text{cm}^3$ ) du film de silicium sur les caractéristiques électriques du dispositif. Les résultats de simulation obtenus sont données en figures III.17 ,III.18 et eIII.19.



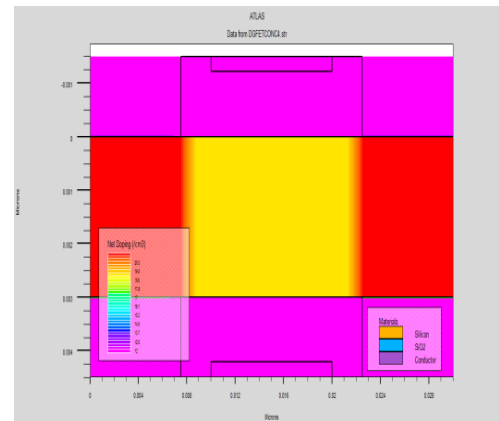
$$N_A = 7.10^{17}/\text{cm}^3$$



$$N_A = 10^{18}/\text{cm}^3$$



$$N_A = 5.10^{18}/\text{cm}^3$$



$$N_A = 10^{19}/\text{cm}^3$$

Figure III.17. Schématisation de la variation de la concentration  $N_A$  du DG-nMOSFET

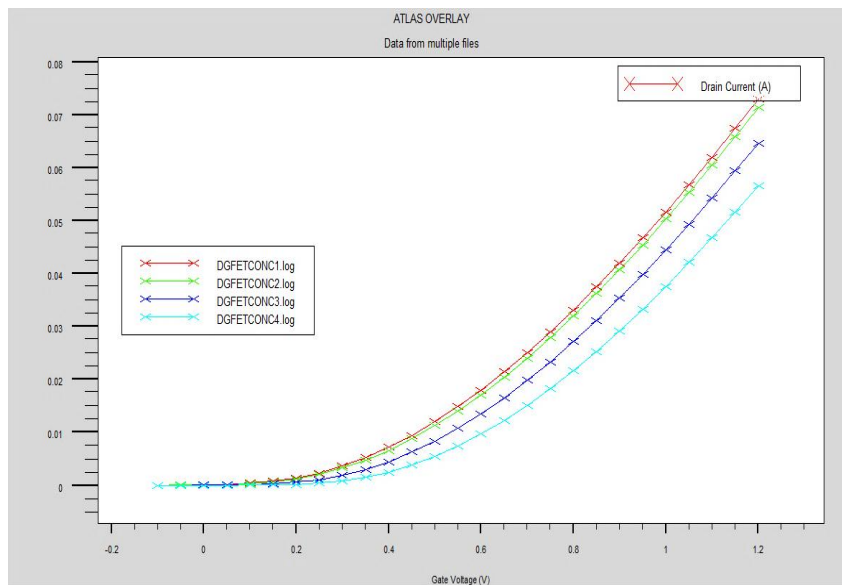


Figure III.18. Caractéristique de transfert et de sortie  $I_{DS}-V_{GS}$  pour différentes concentrations  $N_A$



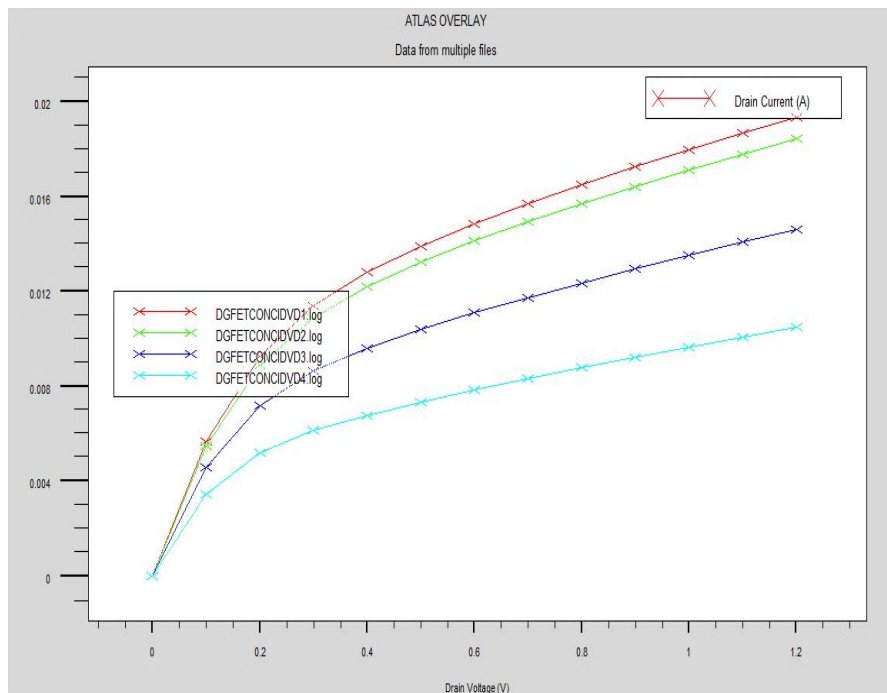


Figure III.19. Caractéristique de transfert et de sortie  $I_{DS}$ - $V_{DS}$  pour différentes concentrations  $N_A$ .

### III.4.5. Etude de l'effet de la Variation de la concentration $N_D$ sur le courant $I_{DS}$

Nous nous sommes intéressés dans cette partie du travail à observer les effets de la variation de la concentration des dopants donneurs  $N_D$  ( $10^{20}/\text{cm}^3, 10^{21}/\text{cm}^3, 10^{22}/\text{cm}^3, 10^{23}/\text{cm}^3, 10^{24}/\text{cm}^3, 10^{25}/\text{cm}^3$ ) de la source et du drain sur les caractéristiques électriques du dispositif. Les résultats de simulation obtenus sont données en figures III.20, III.21.

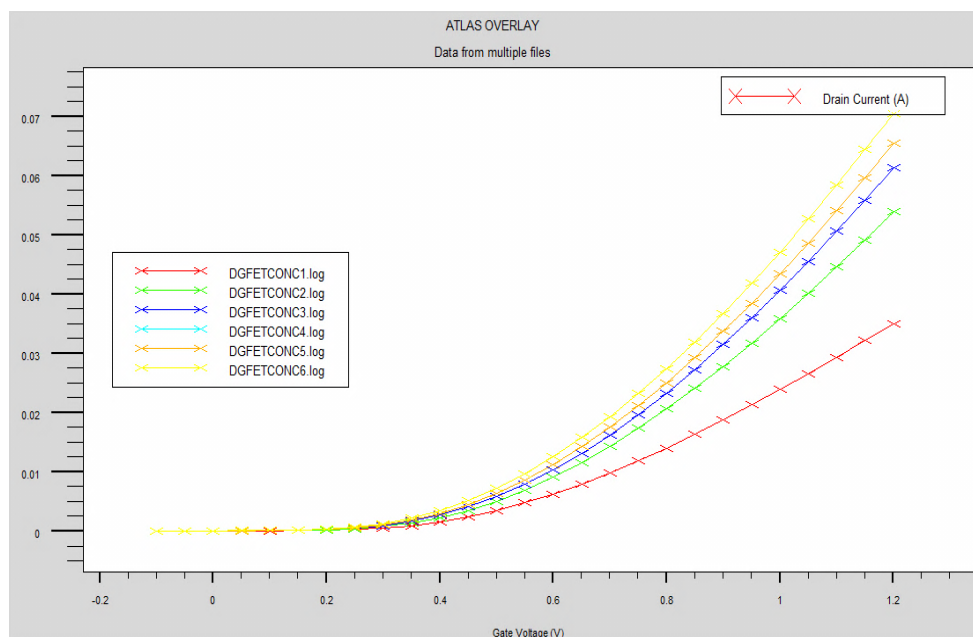


Figure III.20. Caractéristique de transfert et de sortie  $I_{DS}$ - $V_{GS}$  pour différentes concentrations  $N_D$

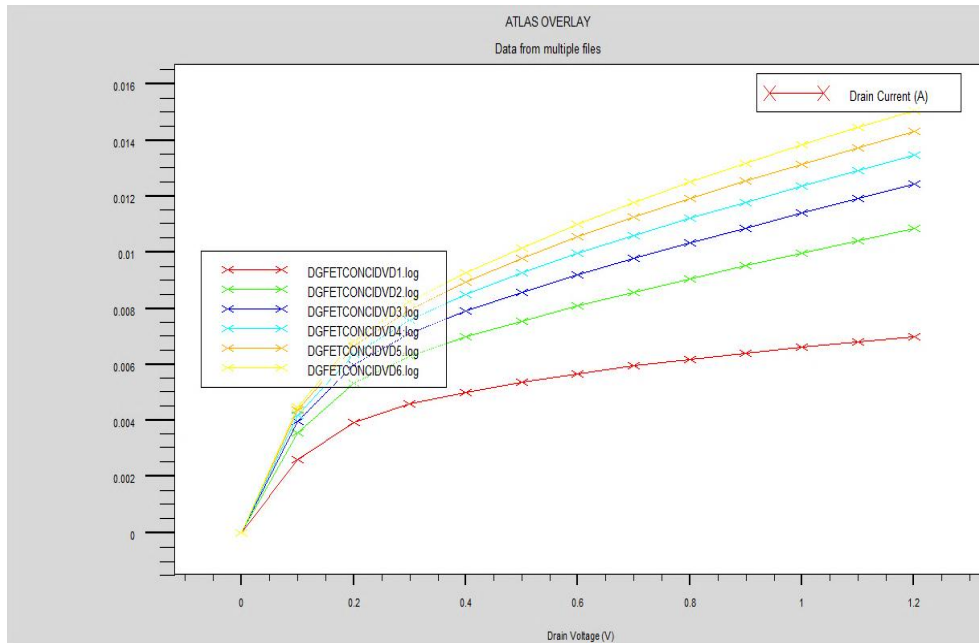


Figure III.21. Caractéristique de transfert et de sortie  $I_{DS}$ - $V_{GS}$  pour différentes concentrations ND.

On remarque sur la figure III.21 que le **dopage dans les régions de la source et du drain** n'a aucun effet sur la tension de seuil du dispositif, néanmoins cette variation provoque une variation de la transconductance et par conséquent entraîne celle du courant du drain du DGFET.

En effet lorsque la concentration des dopants de la source et du drain augmente, le courant du drain augmente aussi.

### III.4.6. Mise en évidence des courants de fuite $I_{on}$ et $I_{off}$ de la structure

On s'intéresse aussi dans cette partie du travail à l'identification des courants de fuite  $I_{ON}$  et  $I_{OFF}$  du modèle. Pour cela on définit alors ces courants de fuite essentiellement dus au courants sous seuil appelée subthreshold current par :

$$I_{OFF} = I_D |_{V_{GS}=0, V_{ds}=V_{DD}, V_{bs}=0}$$

$$I_{ON} = I_D |_{V_{GS}=V_{DD}, V_{ds}=V_{DD}, V_{bs}=0}$$

Pour se faire nous polarisons le transistor à  $V_{DD}=V_{DS}$ , et nous examinons la courbe

$$\text{Log } I_{DS} = f(V_{GS})$$

Les résultats de simulation que nous avons obtenus sont ceux de la Figure III.22 qui suit.

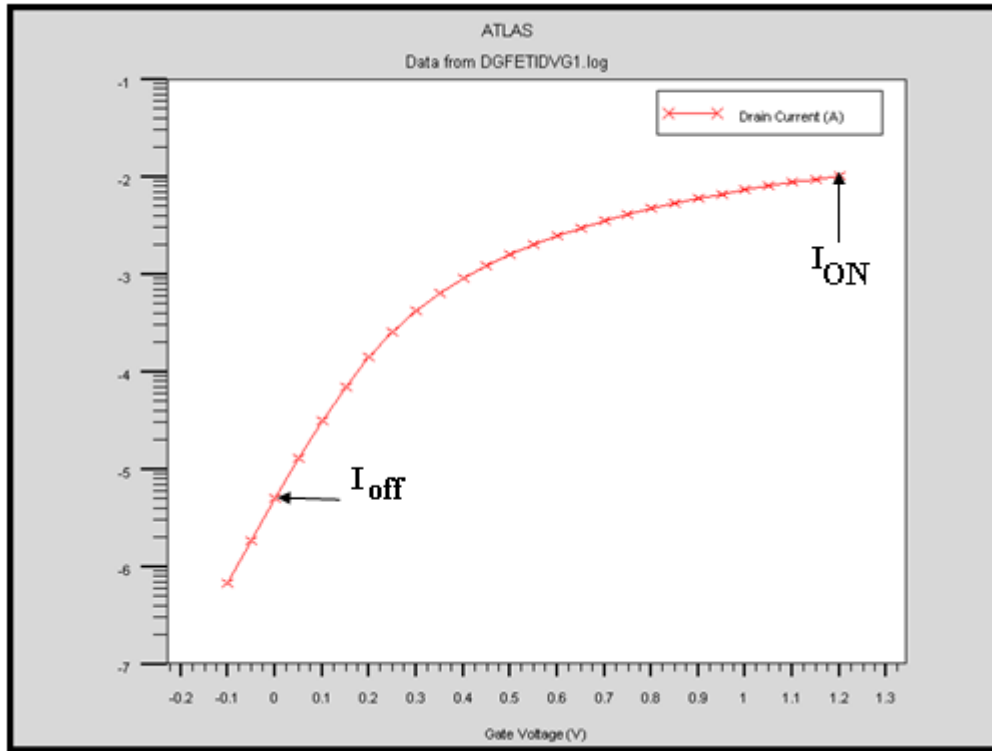


Figure III.22. Caractéristique de transfert et de sortie  $I_{DS}$ - $\log V_{GS}$

On peut remarquer de la caractéristiques  $I_{DS}=f(V_{GS})$  que les courants  $I_{ON}$  et  $I_{OFF}$  sont très faibles et pratiquement insignifiants. Soit à  $V_{GS} = V_{DD} \log I_{DS}=-2$  ce qui donne un courant  $I_{ON}=0.1353A$

De la même manière on peut déterminer le courant  $I_{OFF}$  , soit alors à  $V_{GS}=0V$ ,  $\log I_{DS} = -5.306$  et  $I_{OFF}=0.005A$

### III.4.7. Mise en évidence des courants de fuite $I_{DIBL}$ de la structure

Afin d'expliquer l'effet DIBL on se réfère à un transistor MOSFGET sur bulk à canal court. Le phénomène de DIBL est pris en compte lorsque le transistor travaille en régime sous seuil et concerne le potentiel de surface. En faible inversion, le potentiel de surface dans le canal pour des dispositifs à canal long est à peu près constant et le courant est dû à la diffusion des porteurs minoritaires (Cette diffusion est due au gradient de concentration longitudinal aux jonctions). Le courant de drain dépend exponentiellement de la tension de grille.

En faible inversion, il existe une barrière de potentiel à la jonction entre la source et le canal qui résulte de l'équilibre entre le courant de diffusion et de dérive). L'effet *DIBL* est attribué à l'influence électrostatique du potentiel de drain sur la hauteur de barrière de la

jonction source/substrat en régime sous le seuil. Pour des dispositifs à canaux courts, une partie de la déplétion est accomplie par la source et le drain. Lorsque la tension de drain augmente, la zone de déplétion s'étend vers la source et la tension de grille requise pour l'injection des porteurs de la source au drain est plus faible. Cela conduit à un abaissement de la barrière de potentiel à la jonction source-canal

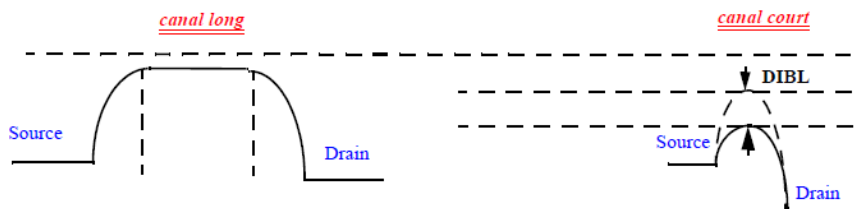


Figure.III.23: Abaissement de la barrière de potentiel pour la bande de conduction par effet DIBL.

Dans les MOSFETs à canal court les zones de diffusion de source et de drain sont proches ce qui entraîne une pénétration importante du champ électrique du drain vers la source. La barrière de potentiel à la source peut donc être réduite en raison de cette influence du drain. L'importance de cet effet dépend, bien sûr, de la longueur de canal mais également de la profondeur de jonction ou encore du dopage. La conséquence de l'abaissement de la barrière de potentiel de la source est une injection d'électrons de la source entraînant une augmentation du courant de drain.

Le phénomène DIBL est plus important pour les tensions de drain élevées dans les transistors à canaux courts bien évidemment l'effet DIBL exprimé en mV/V est mesuré par le décalage de la courbe de transfert en régime sous le seuil  $\Delta V_{TH}$  divisé par le  $\Delta V_{DS}$  entre les deux courbes résultant de deux tensions de drain différentes Cet effet est illustré sur la figure III.24.

$$DIBL = \frac{\Delta V_{TH}}{\Delta V_{DS}}$$

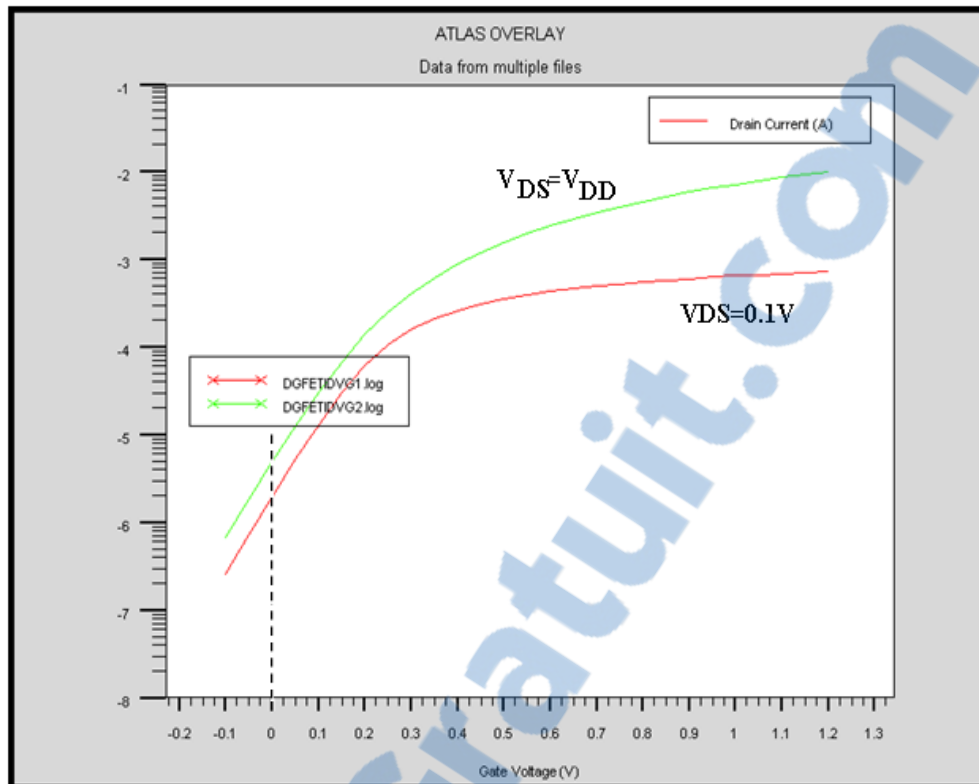


Figure.III.24 Mise en évidence du DIBL.

On peut remarquer que le courant DIBL n'est pas très important dans cette structure nanométrique

Pour  $V_{DS} = V_{DD}$ ,  $V_{TH} = 0.05V$

Et pour  $V_{DS} = 0.1V$ ,  $V_{TH} = 0.1V$

On peut alors estimer le DIBL à  $DIBL = \frac{\Delta V_{TH}}{\Delta V_{DS}}$  qui dans notre cas est égal à 55.55 mV/V

#### III.4.8.Simulation de la structure optimisée

Après avoir examiné les résultats de simulation que nous avons obtenus on se propose maintenant de simuler la structure optimisée en utilisant chaque paramètre optimal. Les résultats de simulation de la structure optimale sont donnés en figure III.25. III.26. III.27.

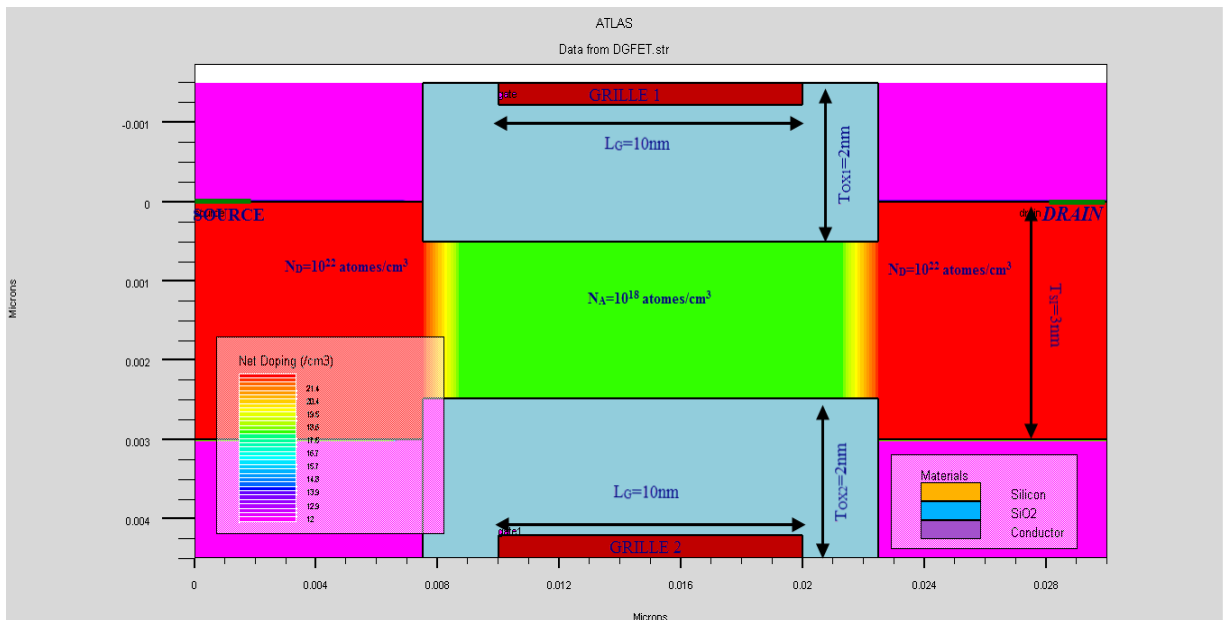


Figure.III.25.structure optimisée.

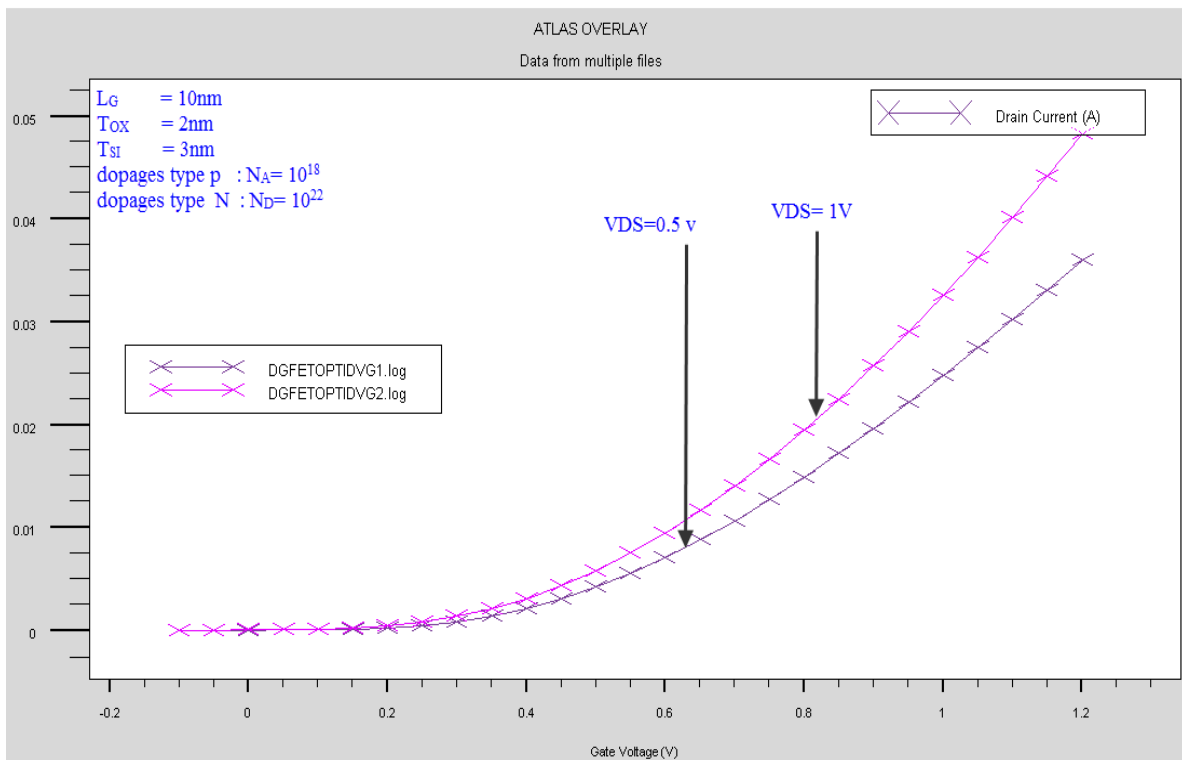


Figure.III.26. Caractéristique de transfert IDS-VGS de sortie de la structure optimisée

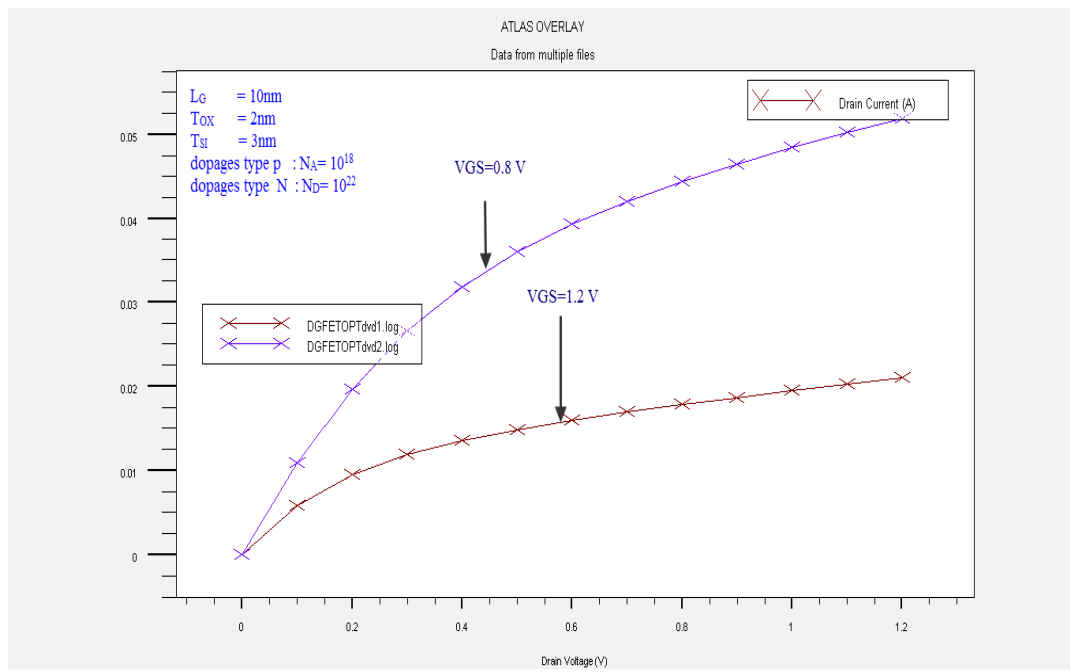


Figure.III.27. Caractéristique de sortie IDS-VDS de la structure optimisée.

On remarque que pour cette structure optimisée le courant est légèrement plus important entraînant une augmentation de la valeur de la transconductance, facteur incontournable dans le calcul du gain.

Par conséquent il serait avantageux de choisir les paramètres de la structure optimisée en cas de réalisation de notre dispositif.

### III.4.9. Comparaison des performances du DFFET et du MOSFET simple grille

On se propose pour finaliser ce travail de comparer le courant du drain du DGFET et du MOSFET simple grille. Pour cela nous avons maintenu la même structure et nous avons éliminé une grille. Nous avons ainsi obtenu la structure suivante.

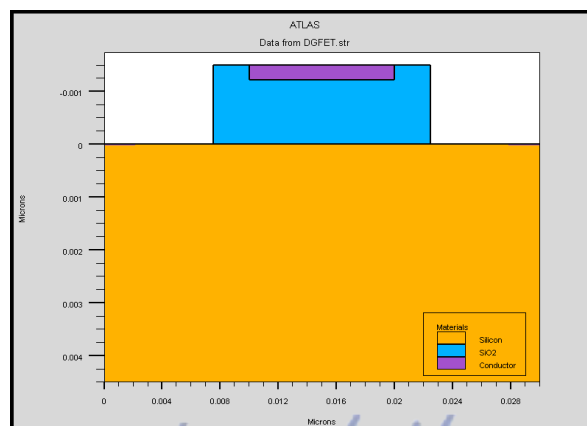


Figure III.28. Le MOSFET simple grille.

Les résultats de simulation que nous avons obtenue sont représentés ci-dessous.

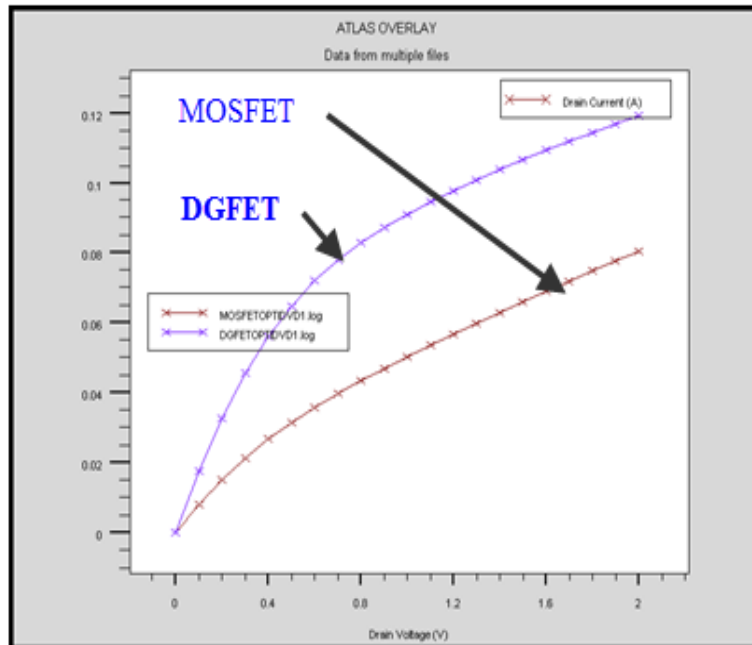


Figure.III.29. Caractéristique de sortie IDS-VDS de la structure optimisée.

On remarque bien que le courant du DG n-MOSFET est le double de celui du n-MOSFET ce qui était largement prévisible. On remarque aussi que la caractéristique du n-MOSFET n'est pas très concluante car ce transistor est de très petites géométrie et qu'un simple grille n'est pas très indiqué pour les structures à petites dimensions géométriques.

### III. 5.Analyse du bruit de la structure

ATLAS permet aussi de simuler le bruit en régime petits signaux généré par les dispositifs. Le bruit électronique a pour conséquence une dégradation inévitable des performances des circuits. Il est important de comprendre les propriétés du bruit afin de minimiser son effet.

ATLAS permet de modéliser le bruit des dispositifs en calculant le comportement statistique des sources équivalents en tension de bruits aléatoires à l'entrée et à la sortie de ces dispositifs..

Un dispositif bruyant peut être représenté par un dispositif non bruyant auquel seront ajoutées des sources externes de courants de bruit. (Figure III.30).



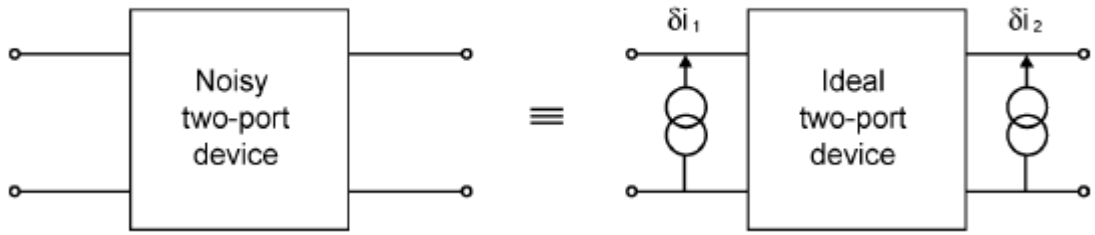


Figure III.30.Représentation des bruits d'un quadripôle

Il peut être plus commode pour décrire le bruit en termes de comportement des sources de tension de bruit au lieu de sources de courant de bruit. Le courant de bruit peut être facilement traduit en une tension de bruit. On peut alors écrire :

$$\begin{pmatrix} \delta v_1(\omega) \\ \delta v_2(\omega) \end{pmatrix} = \begin{pmatrix} Z_{11}(\omega) & Z_{12}(\omega) \\ Z_{21}(\omega) & Z_{22}(\omega) \end{pmatrix} \cdot \begin{pmatrix} \delta i_1(\omega) \\ \delta i_2(\omega) \end{pmatrix}$$

Il a été démontré que les deux représentations ci-dessous sont équivalentes

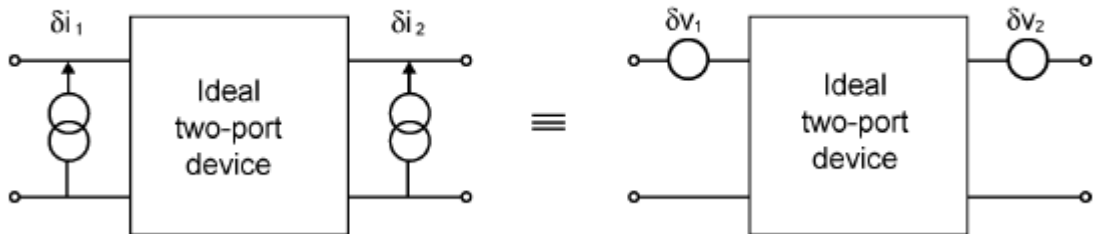


Figure III.31.Différentes représentation des bruits d'un quadripôle.

ATLAS effectue les opérations suivantes pour calculer le bruit d'un dispositif.

1. le logiciel considère un petit volume du dispositif et calcule les fluctuations aléatoires du courant dans ce volume.
2. Utilise le champ d'impédance pour calculer la tension résultante au niveau des contacts.
3. Répète les étapes précédentes jusqu'à ce que le bruit de chaque partie du dispositif ait été calculé, et dispense alors le bruit total d'un dispositif.

Le champ d'impédance :Le champ d'impédance est une fonction de transfert relative au courant injecté à un moment donné dans le dispositif à la tension qui en résulte. Suppose un courant est injecté dans un point r sur un dispositif.

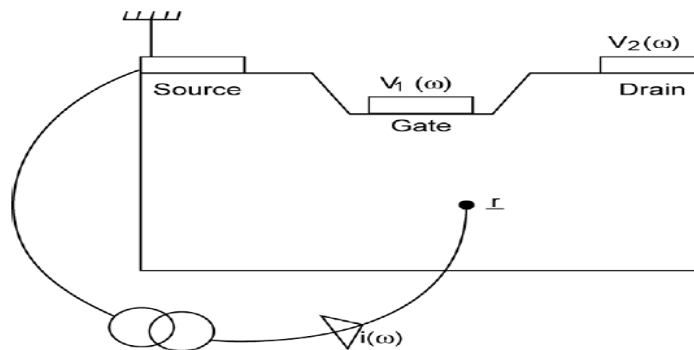


Figure III.32.Principe de calcul du champ d'impédance-

Nous calculons le champ d'impédance au point r par injection d'une unité de courant au point d'obtenir les tensions qui en résultent  $V_1$  et  $V_2$ . (Ce qui est impossible à faire dans la pratique mais il est facile pour ATLAS à simuler.)

Cela va générer une tension sur les contacts en circuit ouvert. Le Dispositif est supposée linéaire de telle sorte que la tension soit à la même fréquence que le courant d'entrée. Ici, nous récupérons

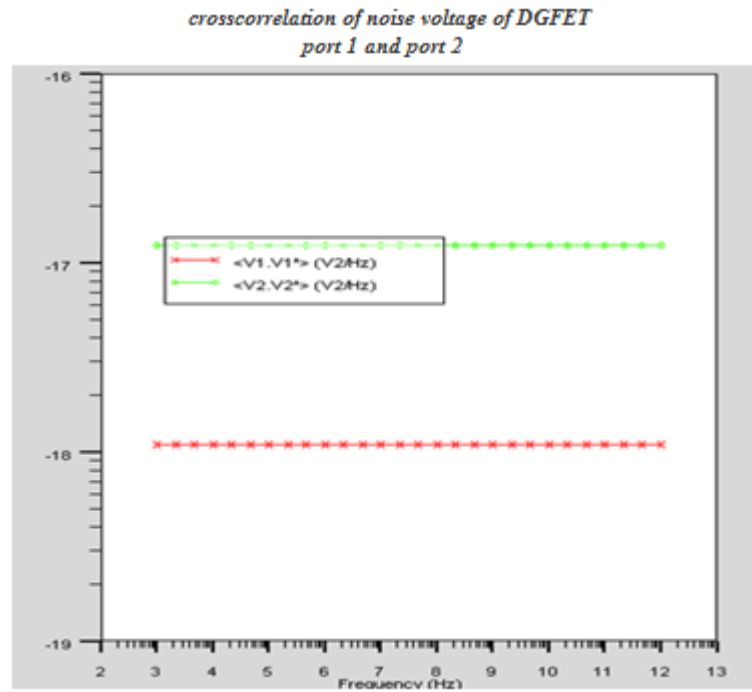
$$v_1(\omega) = Z_1(r; \omega). i(\omega)$$

Et

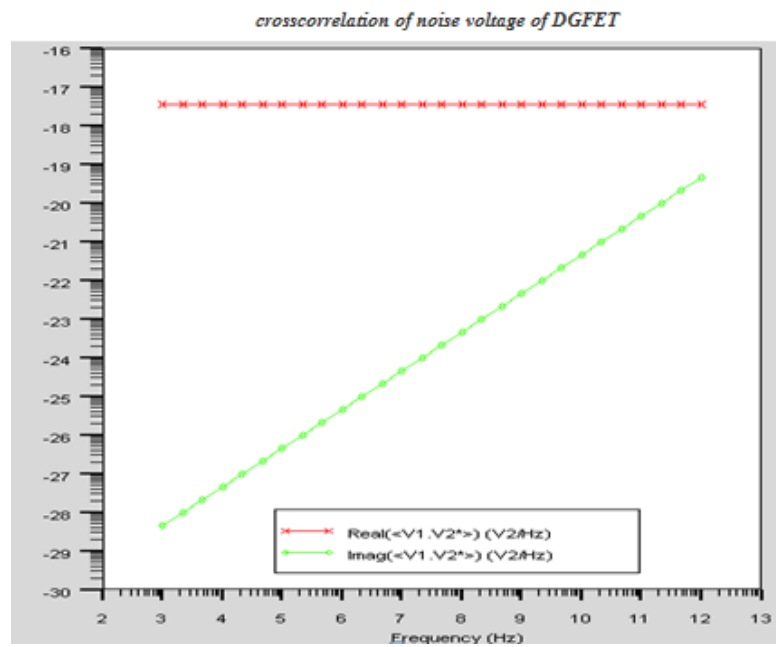
$$v_2(\omega) = Z_2(r; \omega). i(\omega)$$

Les  $Z_i(r; \omega)$ , sont appelés les champs d'impédance et sont dispensés par le logiciel qui permet aussi d'obtenir La corrélation entre les sources de tension totale de bruit, La corrélation entre les sources de courant total. Bruit et la corrélation entre les sources individuelles de tension de bruit

Les résultats de simulation que nous avons obtenus pour notre dispositif et permettant de mettre en évidence la présence du bruit sont données dans ce qui suit.



(a)



(b)

Figure III.33. : (a) : Représentation de  $S_X(f)$ , et  $S_{XY}(f)$  en (b) en entrée et en sortie du transistor.

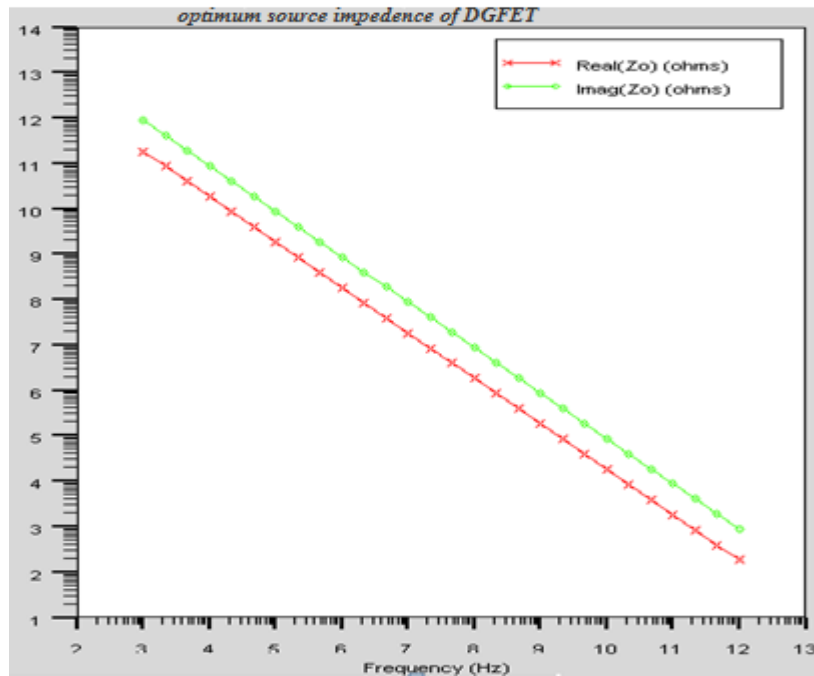


Figure III.34. Mise en évidence des champs d'impédance du transistor.

Notons  $x(t)$  le bruit en entrée du dispositif et  $y(t)$  le bruit à sa sortie représenté dans le domaine fréquentiel par  $X(f)$  et  $Y(f)$

La figure III.33.(a) permet de déterminer les bruits en entrée comme à la sortie du dispositif. Cette densité spectrale est constante, permettant de dire que le bruit est blanc et permet de constater que ce dispositif présente un faible bruit en entrée comme en sortie. On a pu ainsi représenter la densité spectrale d'inter corrélation entre les différents bruits en entrée comme en sortie du dispositif permettant de mettre en évidence la corrélation entre les différents bruits de la structure en entrée comme en sortie du dispositif en figure III.33.b .

$Z1(r,\omega)$  de l'entrée , et  $Z2(r,\omega)$  sont enfin représentés sur le figure III.34.

### III.6 .Conclusion

Nous avons pu au sein de ce chapitre examiner les performances d'une structure nanométrique de type DGFET à conduction planaire et examiner l'effet de la variation de ses paramètres sur ses caractéristiques électriques. Nous avons pu aussi par ma même occasion examiner certains effets néfastes altérant le bon fonctionnement d'un tel dispositif tres utilises de nos jours et présentant de meilleurs performance que celle de MOSFET sur substrat massif.

# CONCLUSION GENERALE

# CONCLUSION GENERALE

CE travail consiste à faire l'étude d'une structure nanométrique. Pour cette étude notre choix s'est portée sur une structure nanométrique de type transistor DGFET à canal n à conduction planaire. Cette étude a été concrétisée par simulation numérique à partir d'une analyse bidimensionnelle via logiciel de simulation de dispositif et de process SILVACO-TCAD.

Le transistor MOSFET a évolué à grande vitesse cette dernière décennie grâce à l'industrie de la microélectronique qui a su faire évoluer ce dispositif ainsi que les circuits dans lesquelles ce dernier est intégré.

La réduction de la taille des circuits a entraîné la diminution physique du transistor qui n'est pas sans conséquence sur son fonctionnement rendant l'utilisation des transistors sur substrat massifs inopérants au-dessous du nœud 50n. Avec la réduction considérable de la longueur du canal, la taille des transistors se rapproche de quelques dizaines de nanomètres et les lois générales de la physique généralement utilisées pour décrire son fonctionnement sont remises en cause car elles ne peuvent plus expliquer l'apparition de nouveaux phénomènes physiques tels que les effets SCE.

C'est ainsi que furent mise en jeu de nouvelles structures permettant de minimiser ces effets indésirables dû à la miniaturisation des dispositifs. En ce qui nous concerne nous avons jugé plus approprié de poursuivre l'étude d'une structure nanométrique comportant deux grilles au lieu d'une structure conventionnel. Cette structure permettant un double contrôle du canal est la structure DGMOSFET planaire.

Ainsi dans le premier chapitre de ce mémoire, nous avons établi les équations de base qui régissent le comportement des structures MOS, puis des transistors MOS. L'influence des petites dimensions sur le comportement des transistors a été décrite au travers des effets parasites (SCE, DIBL, réduction de la mobilité, ), qui ont été modélisés. Ces effets tendent à réduire les performances électriques des dispositifs.

Dans le deuxième chapitre, nous avons exposé les propriétés électriques et physiques des transistors MOS multi-grilles. Nous avons vu que ces composants sont commandés par la même tension de grille sur deux, trois, voire quatre côtés. Ainsi, l'idée repose sur le fait que, si l'épaisseur du film actif de silicium entre les différentes grilles est suffisamment faible, la tension de grille peut commander le volume global de silicium entre la source et le drain. La conduction s'effectuant alors de manière volumique – et non plus surfacique –, on s'attend à des effets avantageux pour la valeur du courant  $I_{on}$ . De plus, la prise de contrôle du canal se révélant plus importante, on s'affranchit des effets canaux courts liés à l'influence de la polarisation importante du drain. Ensuite, dans une seconde partie du chapitre 2, nous avons présenté les travaux pionniers en modélisation compacte du transistor MOS SOI double-grille en mode de fonctionnement symétrique. Dans cet état de l'art, il ressort que la plupart des approches qui existent sont soit bâties sur des solutions analytiques complexes, soit formulées de manière implicite. Ces deux points constituent leurs principaux défauts en ce qui concerne leurs applications en conception de circuits de forte densité d'intégration.

Le chapitre 3 a été consacré à la simulation du transistor nanométrique du type DGFET à canal n. Pour cela nous avons tout d'abord d'élaborer notre structure, ensuite, nous avons modifié les différents paramètres technologiques influençant le comportement du transistor et ayant un impact sur sa tension de seuil. Nous avons alors observé certains effets indésirables de cette structure tels que les courants de fuite et le bruit généré en entrée comme en sorti.. Nous avons pu aussi comparer le courant délivré par ce transistor en comparaison à celui délivré dans un transistor conventionnel. Les résultats obtenus paraissent assez prometteurs.

## P E R S P E C T I V E S

Il serait assez intéressant de continuer ce travail en étudiant d'autres structures nanométriques bien plus complexes mais plus performantes telle que les structures verticales, les FINFET, les GAA ou des transistors à grilles multiples et d'examiner l'amélioration des performances de telles transistors présentant de bien meilleurs performances que leur ancêtre le MOSFET sur bulk à canal long.

Il serait aussi intéressant d'étudier le fonctionnement des transistors GAA qui permettent et un meilleurs control des SCE.

# BIBLIOGRAPHIE

- [Lil'03] H. Lilen, "Une brève histoire de l'électronique", ed. Vuibert, 2003 ISBN 2-7117-5336-0.
- [Boe'01] F. Boeuf, T. Skotnicki, S. Monfray, et al., "16nm planar NMOSFET manufacturable within state-of-the-art CMOS process thanks to specific design and optimization", IEDM'01 Tech. Digest, Washington D.C. (USA), 2001
- [ITRS '03] Semiconductor Industry Association (SIA), "ITRS (International Technology Roadmap for Semiconductors)," web site: <http://public.itrs.net>, 2003 ed. Austin, TX. Int. SEMATECH, 2003
- [Dauv'95] J-P. Dauvin, J. Olliver, et D. Coulon, "Les composants électroniques et leur industrie » ISBN 2-13-047303-2, éditions PUF, 1<sup>ère</sup> P édition, 1995.
- [Aro'93] N Arora, "MOSFET models for VLSI circuit simulation: theory and practice," ISBN-10 0387823956, Springer-Verlag Telos, 1993
- [Coli'97] J. Colinge, "Silicon-on-insulator technology: Materials to VLSI," ISBN 1-4020-77734, Kluwer Academic Publishers, ed. 3<sup>rd</sup> P, 1997
- [ Mass'99] P. Masson, "Étude par pompage de charge et par mesures de bruit basse fréquence de transistors MOS à oxynitride de grille ultra-minces", Thèse de Doctorat, INSA Lyon, Grenoble, 1999.
- [Clau'05] Claude ORTOLLAND, "Etude des effets des contraintes mécaniques induites par les procédés de fabrication sur le comportement électrique des transistors CMOS des nœuds technologiques 65nm et en de ça", Thèse de Doctorat, 2005 .
- [Col'96] J. P. Colinge and F. Van De Wiele, "Physique Des Dispositifs Semi-Conducteurs", Bruxelles, De Broeck Université, p. 388, 1996.
- [Enz'95] C. Enz, F. Krummenacher et E. A. Vittoz, "An analytical mos transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications", Analog Integrated Circuits And Signal Processing, vol. 8, special issue, juillet 1995.
- [Tsi'99] Y. Tsididis, "Operation and Modeling of the Mos Transistor", Columbia University, WCB McGraw-Hill, 1999.
- [Enz'02] C. Enz, "Mos Transistor Model Valid in All Regions of Operation", IEEE Transactions on Microwave Theory and Techniques, vol. 50, Janvier 2002.
- [San'04] S. Bernardini, "Modélisation des structures métal-oxyde-semiconducteur (MOS) : applications aux dispositifs mémoires", Thèse de Doctorat, Université d'Aix-Marseille I, 2004
- [Hua'93] C.-l. huang, N.D. Arora, A.I. Nas and D.A. Bell, " Effect of polysilicon depletion on mosfet i-v characteristics", electronics letters , vol. 29, 1993.
- [15] :<http://www.polytech-lille.fr/cours-atome-circuit-integre/sc00a.htm>
- [Sze'81] S. M. Sze, "Physics of Semiconductor Devices" Wiley & Sons, New York, 2<sup>nd</sup> edition, 1981.
- [Barr'01] M. Barron, "Low level currents in insulated gate field effect transistors", Solid-State Electronics 2001.
- [Sho] W. Shockley, "Problems related to p-n junctions in silicon," Solid States Electronics, vol. 2.
- [Thie'07] Thierry Di Gilio, "Etude de la fiabilité porteurs chauds et des performances des technologies CMOS 0.13  $\mu\text{m}$  - 2nm", 2007



- [20] S. Sze, Physique Of Semiconductor Devices, 3 rd edition S.M. Sze and kwok k.NG
- [21] Henry Mathieu, Physique des semiconducteurs et des composants électroniques, 3rd édition dunod.1994.
- [Jérô'06] Jérôme Thiault, "Étude par microscopie à force atomique en trois dimensions de l'évolution de la rugosité de bord de ligne lors de la fabrication d'une grille de transistor MOS", 2006
- [Leg'06] A. Legouil, Thèse de l'université Joseph Fourier de Grenoble, 2006.
- [Cass'01] E. Cassan, S. Galdin, P. Hesto, et al., "Semi-classical and wavemechanical modeling of charge control and direct tunneling leakage in MOS and H-MOS devices with ultra-thin oxides", IEEE Transactions on Electron Devices, vol. 48, no. 4, pp. 715–721, 2001
- [Ritz'06] R. Ritzenthaler, "Architecture avancées des transistors FinFETs : Réalisation, caractérisation et modélisation", Thèse INP Grenoble, 2006.
- [Lall'02] C. lallement, F. Pêcheux, Y. Hervé, "A vhdl-ams case study: the incremental design of an efficient 3rd generation mos model of deep sub-micron transistor," SOC design methodologies, editeurs: m. robert, b. rouzeyre, c. piguet, m. -l. flottes, kluwer academic publishers, boston, hardbound (isbn 1-4020-7148-5), juillet 2002.
- [Brut'96] H. Brut, "Contribution à la modélisation et à l'extraction des paramètres de tension de seuil, de résistance série et de réduction de longueur dans les transistors MOS submicroniques », thèse INP Grenoble, no. 96 INPG 0192, 1996
- [Prég'03] F. Prégaldiny, "Étude et modélisation du comportement électrique des transistors mos fortement submicroniques », thèse de docteur de l'université, université louis pasteur, strasbourg i, no. 4460, 2003.
- [Bira'07] Birahim Diagne, Étude et modélisation compacte d'un transistor MOS SOI double-grille dédié à la conception Thèse de l'université Louis Pasteur - Strasbourg I 2007.
- [ Ras'98] J.-P. Raskin, R. Gillon, j. chen, d. vanhoenacker-janvier, and j.-p. colinge, "accurate soi mosfet characterization at microwave frequencies for device performance optimization and analog modeling," iee transactions on electron devices, vol. 45, pp. 1017-1025, 1998.
- [Pav'02] C. Pavageau, "Etude d'un étage de réception large bande en technologie MMIC AsGa," Rapport de stage de DEA de l'Université de Rennes I et de stage de fin d'études d'Ingénieur ESEO, Angers, au CEA, Bruyères-le-Châtel, 2002.
- [Guen'05] H. Sahraoui, B. Bouazza, K. E. Ghaffour et N. E. Chabane Sari: Modélisation des sources de bruit dans les dispositifs MOS A. Guen Bouazza\*, (Reçu le 03 Juin 2005, accepté le 30 Août 2005)
- [Mar'98] Marie-Emma ARBEY-RAZATOVO, "Filière CMOS 0.1um sur substrat SOI : étude du temps de propagation de l'inverseur par simulation particulière Monte Carlo », Thèse de doctorat, Université Paris-Sud, 1998.
- [Lau'04] Laurent VIVIEN et al. "Experimental demonstration of a low loss optical Htree distribution using silicon-on-insulator microwaveguides », Applied Physics Letters, , 2004.
- [Fré'01] Frédéric ALLIBERT et al. « From SOI materials to innovative devices », Solid-State Electronics, February 2001
- [Jac'03] Jacques GAUTIER et al. "Physique des dispositifs pour circuits intégrés silicium », Hermès, 2003.
- [Tma'05] Thomas Skotniki, "The end of CMOS scaling », IEEE circuits and design magazine, Jan/Feb 2005.

- [Col'05] J.P. Colinge and C.A. Colinge, Physics of semiconductor devices, , Springer publishers, New York, USA, 2005.
- [Fos'02] J.G. Fossum, Analytical modeling of quantization and volume inversion in thinSi-film DG MOSFETs, IEEE Transactions on Electron Devices, vol. 49, no. 2, pp. 287-294, 2002
- [Cri'95] S. Cristoloveanu and S. S. Li, Electrical characterization of silicon-on-insulator materials and devices, Kluwer Academic Publishers, Boston, USA, 1995
- [Col'97] J. Colinge, Silicon-on-insulator technology: Materials to VLSI, Kluwer Academic Publishers, Boston, USA, 3rd edition, 1997.
- [Bon'98] P. K. Bondyopadhyay, Moore's law governs the silicon revolution, Proceedings of IEEE, vol. 86, no. 1, pp. 78-81, 1998
- [Col'07] J.P. Colinge, Multi-gate SOI MOSFETs, Microelectronic Engineering, vol. 84, no. 9-10, pp. 2071-2076, 2007.
- [Rhe'02] J-H. Rhew, Z. Ren, and M-S. Lundstrom, A numerical study of ballistic transport in a nanoscale MOSFET, Solid-State Electronics, vol. 46, no. 11, pp. 1899–1906, 2002
- [Mou'01] M. Mouis, and A. Poncet, Coupling between 2D and quantum confinement effects in ultra-short channel double-gate MOSFETs, ESSDERC'2001, Germany, pp. 211–214, 2001
- [Wid'04] J. Widiez, et al., “Expérimental gate misalignment analysis on double-gate SOI MOSFETs,” Proceedings IEEE International SOI Conference, pp. 185-186, 2004
- [Vin'05] M. Vinet, et al. “Bonded planar double-metal-gate NMOS transistors down to 10nm,” IEEE Transactions on Electron Devices, vol. 26, no. 5, pp. 317-319, 2005
- [Mar'05] J. S. Martin, “Étude par simulation Monte-Carlo d'architectures de MOSFET ultracourts à grille multiple sur SOI », Thèse de Doctorat, Université Paris XI Orsay, 2005
- [Ked'01] J. Kedzierski, et al., “High-performance symmetric-gate and CMOS compatible Vth asymmetric-gate FinFET devices,” Proc. IEDM, p. 437, 2001
- [Fri'03] D. M. Fried, et al., “Improved independent gate N-Type FinFET fabrication and characterization,” IEEE Electron Device Letters, vol. 24, no. 9, pp. 592-594, 2003
- [Dau'04] F. Dauge, et al. “Coupling effects and channels separation in FinFETs,” Solid-State Electronics, vol. 48, p. 535-542, 2004
- [Wu'05] X.Wu, et al. “Impacts of nonrectangular Fin cross section on the electrical characteristics of FinFET,” IEEE Transactions on Electron Devices, vol. 52, no. 1, pp. 63- 68, 2005.
- [Hal'04] S. Hall, et al., “Recent developments in deca-nanometer vertical MOSFETs”, Microelectronics Engineering, vol. 72, pp. 230-235, 2004
- [Her'02] J. M. Hergenrother, et al. “The vertical replacement-gate (VRG) MOSFET”, Solid-State Electronics, vol. 46, pp. 939-950, 2002
- [ITRS'04] Semiconductor Industry Association, The international roadmap for semiconductors, 2004
- [ITRS'05] ITRS “Semiconductor Industry Association”, The international roadmap for semiconductors, web site, <http://www.semichips.org>, 2005
- [Col'97] J. Colinge, “Silicon-on-insulator technology: Materials to VLSI,” ISBN 1-4020-77734, Kluwer Academic Publishers, 3<sup>r</sup>d P edition, 1997
- [Fra'92] P. Francis, A. Terao, D. Flandre, et al., Characteristics of nMOS/GAA (Gate-All-Around) transistors near threshold, Microelectronics Engineering, vol. 19, pp. 815-818, 1992
- [Fra'95] P. Francis, A. Terao, D. Flandre, et al., Moderate inversion models for nMOS Gate-All-Around (GAA) devices, Solid-State Electronics, vol. 38, no. 1, pp. 171-176, 1995.
- [Rit'06] R. Ritzenthaler, Architectures avancées des transistors FinFETs : Réalisation, caractérisation et modélisation, Thèse de Doctorat, Institut National Polytechnique de Grenoble, France, 2006

- [Won'87]** H. S. Wong, M. H. White, T. J. Krutsck, et al., Modeling of transconductance degradation and threshold voltage in thin oxide MOSFETs, *Solid-State Electronics*, vol. 30, no. 9, pp. 953-968, 1987.
- [Mar'05]** J. S. Martin, Étude par simulation Monte-Carlo d'architectures de MOSFET ultracourts à grille multiple sur SOI, Thèse de Doctorat, Université Paris XI Orsay, France, 2005.
- [Aro'93]** N. Arora, MOSFET models for VLSI circuit simulation. Theory and practice, Springer-Verlag, New York, USA, 1993.
- [Tsi'87]** Y. Tsvetkov, Operation and modeling of the MOS transistor, McGraw-Hill Book Company, New York, USA, 1987.
- [Rey'07]** M. Reyboz, Modélisation analytique de transistors double grille à effet de champ en technologie sub-45nm, Thèse de l'INP Grenoble, France, 2007.
- [Ort'92]** A. Ortiz-Conde, R. Herrera, P. E. Schmidt, F. J. García-Sánchez, and J. Andrian, Long channel silicon on insulator MOSFET theory, *Solid State Electron.*, vol. 35, no. 7, pp. 1291–1298, 1992.
- [Tau'04]** Y. Taur, X. Liang, W. Wang, et al., A continuous, analytic drain-current model for DG MOSFETs, *IEEE Electron Device Letters*, vol. 25, no. 2, pp. 107-109, 2004
- [He'04]** J. He, X. Xi, C. H. Lin, et al., A non-charge-sheet analytic theory for undoped symmetric double-gate MOSFET from the exact solution of Poisson's equation using SSP approach, in *Proceeding of Workshop on Compact Modeling, NSTI-Nanotech*, pp. 124-127, Boston, USA, 2004.
- [Mol'07]** O. Moldovan, A. Cerdeira, D. Jimenez, et al., Compact model for highly-doped double gate SOI MOSFETs targeting baseband analog applications, *Solid-State Electronics*, vol. 51, no. 5, pp. 655-661, 2007.
- [Lai'06]** A. Laizaro, B. Nae, O. Moldovan, et al., A compact quantum model of nanoscale double gate MOSFET for RF and noise simulations, *Journal of Applied Physics*, vol. 100, no. 8, pp. 355-358, 2006.
- [Pie'07]** G. Pierret AND Shield, A compact double-gate MOSFET model comprising quantum-mechanical and nonstatic effects, *IEEE Transactions on Electron Devices*, vol. 46, no. 8, pp. 1656-1666, 1999.
- [Ort'07]** A. Ortiz-Conde, F. J. García-Sánchez, J. Muci, S. Malobabic and J. J. Liou, A Review of Core Compact Models for Undoped Double-Gate SOI MOSFETs, *IEEE Transactions On Electron Devices*, Vol. 54, No. 1, pp. 131-140, 2007.
- [Lu'06]** H. Lu, and Y. Taur, An Analytic Potential Model for Symmetric and Asymmetric DGMOSFETs, *IEEE Transactions on Electron Devices*, vol. 53, no. 5, pp. 1161-1168, 2006
- [NEG 08]** Răzvan NEGRU, "Conception et modélisation de pixels de photodétection", thèse de doctorat, 2008.
- [TANG 09]** Tang Mingchun, "Etudes Et Modélisation Compacte Du Transistor Finfet", thèse de doctorat, université de Stasbourg, 2009

# ANNEXE 1

## Les outils de simulation

Les outils de simulation proprement dits sont regroupés en quatre niveaux:

ATHENA : Simulation des procédés technologiques de fabrication (process).

ATLAS : Simulation du comportement électrique du dispositif (device).

UTMOST: Extraction de paramètres à partir des caractéristiques électriques, mesurées ou simulées, pour SPICE.

SMART-SPICE : Simulation de circuit électrique (SPICE).

Les noms commerciaux SILVACO de ces logiciels et les liens reliant les uns aux autres sont précisés dans la figure qui suit.

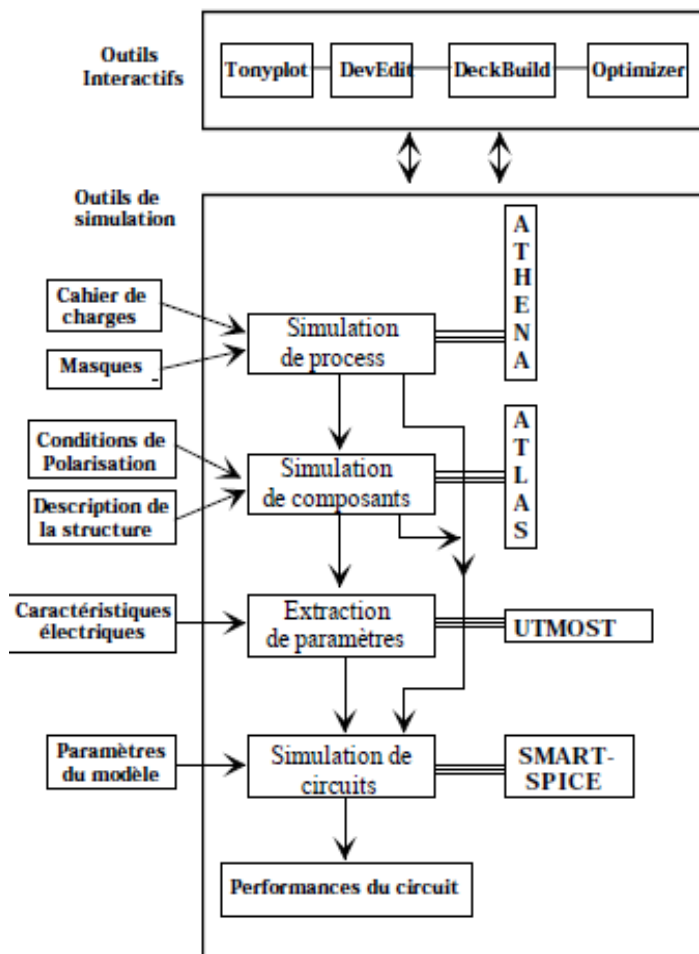








Figure: Différents niveaux et outils de simulation

# ANNEXE 2

## Comparatif des avantages et inconvénients des dispositifs MOS avancés dans la course à la miniaturisation

		Avancement	Avantages principaux	Inconvénients principaux	Potentiel pour les nœuds $\leq 30$ nm
Simple grille bulk		Production	. Procédés bien maîtrisés	. Contrôle des effets de canaux courts	NON
Simple grille contraint		Développement	. Mobilité améliorée	. Relaxation des couches contraintes pour les petites dimensions	OUI
Simple grille PDSOI		Développement / Production	. Technologie pragmatique	. Effets de <i>body</i> flottant	PEUT- ETRE
Simple grille FDSOI		Développement	. Pas d'effet de <i>body</i> flottant	. Faibles épaisseurs (bien contrôlées) de film nécessaires. . Champs dans l'oxyde enterré	OUI
SON		Recherche	. Technologie innovante . Quasi SOI	. Fortes capacités de recouvrement	OUI
Double Grille planaires		Recherche	. Deux canaux de conduction . Bon contrôle des effets de canaux courts	. Faibles épaisseurs de canal nécessaire . Auto alignement des grilles	OUI

# RESUME

## Résumé

L'électronique et l'informatique ont accompli d'énormes progrès en un temps record. En moins de soixante ans, tous les dispositifs ont subi de profondes modifications. Vu les besoins incessants du consommateur le contraignant à utiliser des équipements de tailles de plus en plus réduite et consommant le moins possible nous avons pu assister cette dernière décennie à une course immodérée vers la miniaturisation des dispositifs et par conséquent des circuits ce qui ne permettait plus d'utiliser les transistors MOSFET conventionnels sur bulk à canal long. Une des principales conséquences de la réduction des circuits s'accompagnant de la réduction de la géométrie des composants voire des transistors MOSFET les constituant dans le cas des circuits conçus en technologie CMOS. Cette réduction de la taille des dispositifs s'accompagne indéniablement de la réduction de l'épaisseur de l'oxyde de grille des transistors MOSFET, de leur longueur ect ... cependant quand la longueur de la grille s'approche des valeurs nanométriques, l'utilisation du transistor MOS conventionnel devient quasiment impossible. Par conséquent il devient indispensable de trouver de nouvelles solutions, voir de trouver de nouvelles structures pour pallier aux problèmes posés par les MOSFET conventionnels devenus inefficaces dans la gamme du nanomètre. Il s'est avéré que de nouvelles architectures de transistors MOSFET multi grilles ont pu donner des résultats assez prometteurs en régime nanométrique. Notre travail consiste à concevoir et simuler les caractéristiques d'un transistor MOSFET nanométrique à double grille planaire par le biais du logiciel de simulation numérique du process et dispositifs SILVACO-TCAD, nous avons alors pu par le biais du même logiciel faire varier les paramètres technologiques de notre structure et examiner ainsi l'effet de ces variations sur les caractéristiques électrique de notre DG-nMOSFET.

**Mots Clés :** Transistors à canaux courts, multi-grille, DG-NMOSFET planaire, SILVACO-TCAD...

## Abstract

The electronics and information technology have made huge progress in record time. In less than sixty years, all devices have undergone profound changes. Given the incessant needs of the consumer to use binding equipment sizes smaller and smaller and consuming the least possible we witnessed this past decade to an immoderate race towards miniaturization of devices and therefore the circuits that no longer allowed use of conventional bulk MOSFETs with long channel. One major consequence of the reduction circuits accompanied by the reduction of component geometry or MOSFETs constituting them in the case of circuits designed in CMOS technology. This reduction in size of the devices is accompanied undeniably reducing the thickness of the gate oxide of the MOSFETs, of their length, however, when the length of the grid approach nanometric values, the use of conventional MOS transistor becomes almost impossible. Therefore it becomes essential to find new solutions, see to find new structures to deal with the problems posed by conventional MOSFETs become ineffective in the nanometer range. It turned out that new architectures of multi MOSFET gates were able to give fairly promising results in nanometer regime.

Our job is to design and simulate the characteristics of a MOSFET nanoscale planar double gate through the software simulation of processes and devices SILVACO-TCAD, then we could through the same software to vary the technological parameters and review of our structure and the effect of these variations on the electrical characteristics of our DG-nMOSFET.

**Keywords:** short channel transistors, multi-grid, DG-planar NMOSFET, SILVACO-TCAD

**ملخص :**

جعلت من الالكترونيات وتكنولوجيا المعلومات تقدما هائلا في وقت قياسي. في أقل من ستين عاما، خضعوا لكافة الأجهزة تغييرات عميقة. نظرا للاحتياجات المستمرة للمستهلك لاستخدام أحجام معدات ملزم أصغر وأصغر وأقل استهلاكا ممكن شهدنا هذا العقد الماضي إلى سياق نحو مفرط التصغير للأجهزة، وبالتالي فإن الدوائر التي لم يعد مسموحا استخدم الجزء الأكبر من الدوائر المتكاملة منخفضة المقاومة التقليدية مع قناة طويلة. ومن النتائج الناجمة عن الدوائر تخفيض يرافقه الحد من الهندسة مكون أو الدوائر المتكاملة منخفضة المقاومة التي تشكل لهم في حالة تصميم الدارات في تكنولوجيا CMOS. ويرافق هذا الانخفاض في حجم الأجهزة الحد لا يمكن إنكاره من سمك أكسيد البوابة من الدوائر المتكاملة منخفضة المقاومة، ... إلخ من طولها، ولكن عندما طول نهج شبكة القيم النانومترية، واستخدام من ترانزستور MOS التقليدية يصبح من المستحيل تقريبا. ولذلك يصبح من الضروري التوصل إلى حلول جديدة، انظر لإيجاد هياكل جديدة للتعامل مع المشاكل التي تطرحها الدوائر المتكاملة منخفضة المقاومة التقليدية تصبح غير فعالة في نطاق نانومتر. واتضح أن أبنية جديدة من بوابات MOSFET متعددة كانت قادرة على إعطاء نتائج واعدة إلى حد ما في النظام نانومتر.

مهمتنا هي لتصميم ومحاكاة الخصائص المميزة للبوابة MOSFET النانو مزدوج مستو من خلال محاكاة البرمجيات من العمليات والأجهزة SILVACO-TCAD، ثم استطعنا من خلال البرنامج ذاته أن تختلف المعلمات التكنولوجية واستعراض هيكل لدينا، وتأثير هذه التغييرات على الخصائص الكهربائية للـ DG-nMOSFET لدينا.

**كلمات البحث:** الترانزستورات قناة قصيرة ومتعددة الشبكة، DG-مستو NMOSFET، TCAD-SILVACO ...