TABLE DES MATIÈRES

Page

INTRODUCTION 1

CHAPITRE 1 NOTIONS DE BASE ET REVUE DE LITTÉRATURE.....5
1.1 Introduction.....5
1.2 Notions de base sur le test des circuits intégrés.....5
1.2.1 Test fonctionnel 6
1.2.2 Test structurel..... 6
1.2.3 Modèles de pannes..... 7
1.2.4 Génération automatique de vecteurs de test (ATPG) 8
1.2.5 Conception en vue de test 9
1.2.6 Test de transition avec insertion de registres de balayages..... 11
1.2.7 Launch on Shift..... 12
1.2.8 Launch on Capture..... 12
1.3 Circuits intégrés 3D 13
1.4 Revue de littérature.....15
1.4.1 Sequential Broad Side (SeBoS) 16
1.4.2 BurstMode..... 18
1.4.3 Pseudo-functional K Longest Path per Gate (PKLPG)..... 20
1.5 Conclusion 22

CHAPITRE 2 MODÈLES DE SIMULATION ET EXPÉRIMENTATIONS PRÉLIMINAIRES 23
2.1 Introduction.....23
2.2 Modèle du réseau de distribution d'alimentation (PDN).....23
2.2.1 Réseau de distribution d'alimentation utilisé..... 24
2.2.2 Modèle équivalent du PDN complet..... 25
2.3 Description des simulations HSPICE 27
2.3.1 Circuit de mesure de délai..... 27
2.3.2 Principe de fonctionnement du circuit de mesure de délai 28
2.4 Simulations préliminaires 29
2.4.1 Cas d'étude..... 29
2.4.2 Simulation AC 30
2.4.3 Mesure de délai en mode fonctionnel 32
2.4.4 Interprétation des résultats 34
2.5 Conclusion 34

CHAPITRE 3 RÉSULTATS DE SIMULATION EN MODE TEST POUR LES PRINCIPALES TECHNIQUES DE TEST SBAST EXISTANTES.....37
3.1 Introduction.....37
3.2 Métrique de test.....37
3.3 Résultats de simulation pour les techniques Launch on Capture et Launch on Shift ..39

3.4 Résultats de simulation pour la technique Sequential Broadside Side (SeBoS).....41
3.5 Résultats de simulation pour la technique BurstMode 43
3.6 Résultats de simulation pour la technique Pseudo-functional K Longest Paths per Gate (PKLPG).....46
3.7 Conclusion 47

CHAPITRE 4 NOUVELLE TECHNIQUE DE TEST PROPOSÉE ET COMPARAISON AVEC LES TECHNIQUES EXISTANTES 49
4.1 Introduction.....49
4.2 Nouvelle technique de test OCAS 49
4.3 Résultats de simulation 51
4.4 Comparaison et analyse des résultats avec les techniques existantes 53
4.5 Conclusion 58

CHAPITRE 5 GÉNÉRATION AUTOMATIQUE DE VECTEURS DE TEST 61
5.1 Introduction.....61
5.2 Conception en vue du test et génération automatique de vecteurs de test 61
5.3 Génération automatique de vecteurs de test pour les techniques LOC, LOS et BurstMode.....64
5.4 Procédure de test développée pour SeBoS et OCAS 68
5.4.1 Procédure de test développée pour SeBoS..... 68
5.4.2 Procédure de test développée pour OCAS..... 72
5.5 Résultats de simulation des différentes techniques de test 77
5.6 Conclusion 82

CONCLUSION 83

RECOMMANDATIONS 85

ANNEXE I MODÈLE ORIGINAL DU CIRCUIT ÉQUIVALENT CI-3D 87

ANNEXE II RÉSULTATS DE MESURE DE DÉLAI DE PROPAGATION DES PRINCIPALES TECHNIQUES DE de SBAST.....89

LISTE DE RÉFÉRENCES BIBLIOGRAPHIQUES.....95

LISTE DES TABLEAUX

Page

Tableau 2.1 Mesure de délai de propagation en mode fonctionnel avec les trois scénarios 34

Tableau 3.1 $M_{R/Tmm}$ (%) en fonction de la fréquence d'horloge F_{mm} des techniques LOC et LOS, et les 3 scénarios considérés 39

Tableau 3.2 RMSE en fonction de la fréquence d'horloge F_{mm} des techniques LOC et LOS 40

Tableau 3.3 $M_{R/Tmm}$ (%) en fonction de la fréquence d'horloge F_{mm} et F_{nscc}, pour la technique SeBoS, et les 3 scénarios considérés 42

Tableau 3.4 $M_{R/Tmm}$ (%) en fonction de la fréquence d'horloge F_{mm} pour la technique BurstMode, et les 3 scénarios considérés 45

Tableau 3.5 $M_{R/Tmm}$ (%) en fonction de la fréquence d'horloge F_{mm} pour la technique PKLPG, et les 3 scénarios considérés 47

Tableau 4.1 $M_{R/Tmm}$ (%) en fonction de la fréquence d'horloge F_{mm} pour la technique OCAS, les deux moments de capture et les 3 scénarios 52

Tableau 4.2 Comparaison de $M_{R/Tmm}$ (%) entre les différentes techniques de test en fonction de la fréquence d'horloge F_{mm} et les 3 scénarios considérés 54

Tableau 4.3 Max ($M_{R/Tmm}$) – Min ($M_{R/Tmm}$) (%) en fonction de la fréquence d'horloge F_{mm} et les différentes technique de test 57

Tableau 5.1 Caractéristiques des circuits benchmark d'ITC 99 64

Tableau 5.2 Résultats de simulation des trois étapes générés par FastScan en fonction de deux copies de b01 76

Tableau 5.3 Exemple de calcul de la couverture de pannes de transition avec la combinaison d'OCAS et les deux copies du circuit b01 77

Tableau 5.4 Résultats de simulation du pourcentage de la couverture de test de transition (%) des techniques SBAST en fonction de deux copies des circuits Benchmark 79

Tableau 5.5 Nombre de vecteurs de test des techniques SBAST en fonction de deux copies des circuits Benchmark 81

LISTE DES FIGURES

Page

Figure 0.1 Organisation du mémoire....4

Figure 1.1 Approche de test des circuits intégrés....6

Figure 1.2 Illustration d'une structure DFT avant et après l'ajout des circuits de balayage....11

Figure 1.3 Chronogramme des techniques LOS et LOC....13

Figure 1.4 Circuit intégré 3D basé sur des TSV....14

Figure 1.5 Chronogramme de la technique SeBoS....17

Figure 1.6 Exemple de forme d'onde de la technique *BurstMode*....20

Figure 1.7 Chronogramme de la technique PKLPG....21

Figure 2.1 Schéma fonctionnel d'un réseau de distribution d'alimentation....23

Figure 2.2 Modèle PDN du processeur Intel Pentium IV....24

Figure 2.3 Cellule unitaire de la grille P/G sur-puce et le modèle de circuit équivalent correspondant....25

Figure 2.4 Modèle équivalent PDN du CI-3D avec trois puces....26

Figure 2.5 Circuit de mesure de délai....27

Figure 2.6 Mesure des délais....29

Figure 2.7 Scénarios étudiés lors des simulations....30

Figure 2.8 Modèle PDN simplifié pour la simulation d'impédance....31

Figure 2.9 Impédance simulée du PDN 3D pour les 3 scénarios considérés....32

Figure 2.10 Exemple de forme d'onde générée par HSPICE du scénario S1 à 200 MHz en mode fonctionnel....33

Figure 3.1 Métrique basée sur la marge de synchronisation de délai du mode test et du mode fonctionnel....38

Figure 3.2 Chronogramme de trois séquences d'horloge simulées avec la technique SeBoS 41

Figure 3.3 Chronogramme de cinq *bursts* simulés avec la technique BurstMode 44

Figure 3.4 Chronogramme de la technique PKLPG simulée 46

Figure 4.1 Chronogramme de la technique proposée OCAS 50

Figure 4.2 $M_{R/Tmm}$ de différentes techniques de test en fonction des 3 scénarios considérés à 400 MHz 56

Figure 4.3 Comparaison de RMSE des différentes techniques 57

Figure 5.1 Flot de conception, de la capture du design à l'insertion des chaînes de balayage et de génération automatique de vecteurs de test 63

Figure 5.2 Flux de création de test de délai 66

Figure 5.3 Exemples de formes d'onde simulées avec la technique SeBoS 69

Figure 5.4 Exemple d'une partie de la procédure de test généré par DftAdvisor avec 2 copies de b01 70

Figure 5.5 Chronogrammes de la technique SeBoS B avec quatre impulsions de capture appliquées à deux copies des circuits Benchmark ITC' 99 71

Figure 5.6 Procédure de capture de la technique SeBOS B 72

Figure 5.7 Procédure de capture de la technique OCAS 73

Figure 5.8 Exemple de forme d'onde simulée de la technique OCAS après la génération des vecteurs de test avec deux copies de b01 73

Figure 5.9 Combinaison de tests développée pour OCAS 75

Figure 5.10 Exemple d'un rapport de statistiques généré par FastScan 76

LISTE DES ABRÉVIATIONS, SIGLES ET ACRONYMES

ATE	Automatic Test Equipment
ATPG	Automatic Test Pattern Generation
BCC	Burst Clock Controller
CI-3D	Circuit intégré trois dimensionnel
CMOS	Complementary Metal Oxide Semiconductor
CUT	Circuit Under Test
DFT	Design for Test
FPGA	Field Programmable Gate Arrays
LOC	Launch On Capture
LOS	Launch On Shift
OCAS	One Clock Alternated Shift
PDN	Power Delivery Network
PKLPG	Pseudo-functional K Longest Path per Gate
PSN	Power Supply Noise
RTL	Register Transfer Level
SA	Switching Activity
SBAST	Scan Based at-Speed Testing
SE	Scan Enable
SeBoS	Sequential Broad Side
STF	Slow-To-Fall
STR	Slow-To-Rise
TC	Test Coverage
TSV	Trough Silicon Via
VHDL	VHSIC Hardware Description Language
VRM	Voltage Regulator Module

Rapport-Gratuit.com

INTRODUCTION

Depuis la création de l'industrie microélectronique vers la fin des années 1950, le nombre de transistors intégrés dans une puce n'a pas cessé d'augmenter suivant la fameuse prédiction de Moore, qui a prédit en 1965 que la densité des transistors devrait doubler toutes les deux années. Au fur et à mesure que le nombre de transistors augmente, de nouveaux défis surgissent pour les ingénieurs de test. Les effets submicroniques sont de plus en plus importants avec le rétrécissement de la taille des transistors, ce qui augmente la probabilité de défectuosités liées au comportement temporel du circuit. En conséquence, pour assurer des puces de haut niveau, des tests à vitesse nominale sont nécessaires pour détecter les défectuosités liées au comportement temporel du circuit. Dans le passé, les modèles fonctionnels ont été utilisés pour le test à vitesse nominale. Cependant, la génération de tests fonctionnels est difficile et prend beaucoup de temps pour les conceptions complexes. De plus, les modèles fonctionnels ont une faible couverture de pannes et nécessitent un grand effort afin de générer les vecteurs de test (Tehranipoor, Peng et Chakrabarty, 2011). Une alternative rentable était alors d'utiliser les tests structurels. Ces tests détectent les défectuosités de fabrication d'une puce en se basant sur des modèles de pannes. Ils se caractérisent par une courte durée du test, par une grande couverture de test et par un nombre de vecteurs de test inférieur à celui de tests fonctionnels (Wang, Wu et Wen, 2006).

Le test de balayage à vitesse nominale (SBAST, Scan Based at Speed Testing) est l'approche de test de type délai la plus utilisée (Moghaddam et al., 2010). Ce test détecte les pannes qui peuvent se produire lorsqu'un circuit fonctionne à une cadence d'horloge lente, puis échoue à vitesse nominale, ce qui entraîne des variations de délai de propagation causé par la conductivité partielle des transistors (Tehranipoor, Peng et Chakrabarty, 2011). Autrement dit, ce test émule le fonctionnement normal de la puce en vitesse nominale pour s'assurer que les délais de propagation de ces transitions respectent la période d'horloge de leur domaine de fréquence respectif (Larche, 2013).

Rapport-gratuit.com
LE NUMERO 1 MONDIAL DU MÉMOIRES

Le grand défi des tests SBAST est de diminuer la différence entre le délai de propagation produit pendant le mode test et pendant le mode fonctionnel. Cette différence est induite généralement par le bruit de tension d'alimentation (PSN, *Power Supply Noise*), l'inconvénient majeur du test SBAST. La différence de PSN entre le mode fonctionnel et le mode structurel peut conduire à une différence de la fréquence de fonctionnement d'une de plus de 30 % (Zhang et Walker, 2014). Lorsqu'une puce est en mode test, de grandes baisses de tension se produisent et affectent les délais de propagation et peuvent réduire la fréquence maximale du circuit (Pant et Skeels, 2011) (Jha et Gupta, 2003). Ces baisses de tension d'alimentation peuvent conduire au phénomène d'étirement d'horloge de telle sorte que le circuit sous test « CUT, *Circuit Under Test* ») apparait plus rapide (Rearick et Rodgers, 2005).

La plupart des travaux qui ont traité des problèmes liés au PSN ont concentré leur attention sur la chute de tension d'alimentation et ont proposé différentes techniques pour réduire la chute de tension. Ces techniques consistent à modifier le schème des techniques principales de SBAST (LOC, *Launch On Capture* et LOS, *Launch On Shift*) avec l'augmentation de la longueur de la séquence de lancement ou de capture de l'horloge. Les techniques les plus pertinentes proposées dans la littérature sont : SeBoS (Lin et al., 2013; Pant et Zelman, 2009), BurstMode (Nadeau-Dostie, Takeshita et Cote, 2008) et PKLPG (Zhang et Walker, 2013).

Bien que les chercheurs aient développé plusieurs techniques de test SBAST, un aspect particulier a était négligé dans la littérature ; la variation de l'impédance du réseau d'alimentation (PDN, *Power Distribution Network*) et son impact sur la marge de propagation de délai. En effet, la variation d'impédance du PDN peut avoir une influence significative sur le comportement du circuit en mode fonctionnel et en mode test. De plus l'utilisation des circuits intégrés 3D peut amplifier le problème à cause de différents moments de test (*pre-bond*, *mid-bond* et *post-bond*) appliqués sur ce type de circuit.

L'objectif principal de ce mémoire est de montrer que le changement d'impédance du PDN peut affecter la manière avec laquelle le circuit se comporte en mode fonctionnel ou en mode test. Afin de réaliser l'objectif principal de ce projet, d'autres objectifs ont été définis :

- montrer que les techniques existantes de SBAST souffrent de la variation d'impédance du réseau d'alimentation;
- proposer une nouvelle technique de test de type SBAST plus robuste à la variation d'impédance qui imite de façon proche le mode fonctionnel;
- montrer que la couverture de pannes de transition de la technique proposée est comprise entre celle du LOS et celle du LOC.

À notre connaissance, les recherches portant sur l'impact de la variation d'impédance du PDN sur le test de délai sont inexistantes. Les contributions majeures de ce travail sont la démonstration d'un nouveau problème négligé dans la littérature et le développement d'une nouvelle technique de test SBAST moins sensible à une telle variation. De plus, certains résultats présentés dans ce mémoire ont fait l'objet de l'article (Thibeault et Louati, 2017).

Ce mémoire présente le travail réalisé pour atteindre les objectifs de ce projet, il s'organise en cinq chapitres. Le chapitre 1 présente différents concepts nécessaires à la compréhension de ce mémoire ainsi qu'une revue de littérature qui explique les différentes techniques de test de balayage à vitesse nominale trouvées dans la littérature. Le chapitre 2 détaille les différentes étapes de réalisation de ce projet ainsi que quelques résultats préliminaires pour montrer que le changement d'impédance du PDN peut affecter le comportement de circuit en mode fonctionnel. Ces résultats seront considérés comme une référence lors de la comparaison des différentes techniques de SBAST. Le chapitre 3 présente les résultats de simulation des principales techniques de test SBAST ainsi qu'une analyse de ces résultats permettant de valider l'hypothèse de ce projet. Le chapitre 4 permet de décrire la nouvelle technique de test développée et présente les résultats de simulation avec cette technique ainsi qu'une analyse comparative de ces résultats avec ceux trouvés dans le chapitre 3. Le chapitre 5 présente une nouvelle série de résultats pour comparer la couverture des pannes de transition de la technique OCAS avec celle des techniques existantes, ainsi que la procédure de test développée pour cette technique avec les outils ATPG. Une conclusion générale et des recommandations complètent ce mémoire.

La figure 0.1 illustre l'organisation des chapitres de ce mémoire.

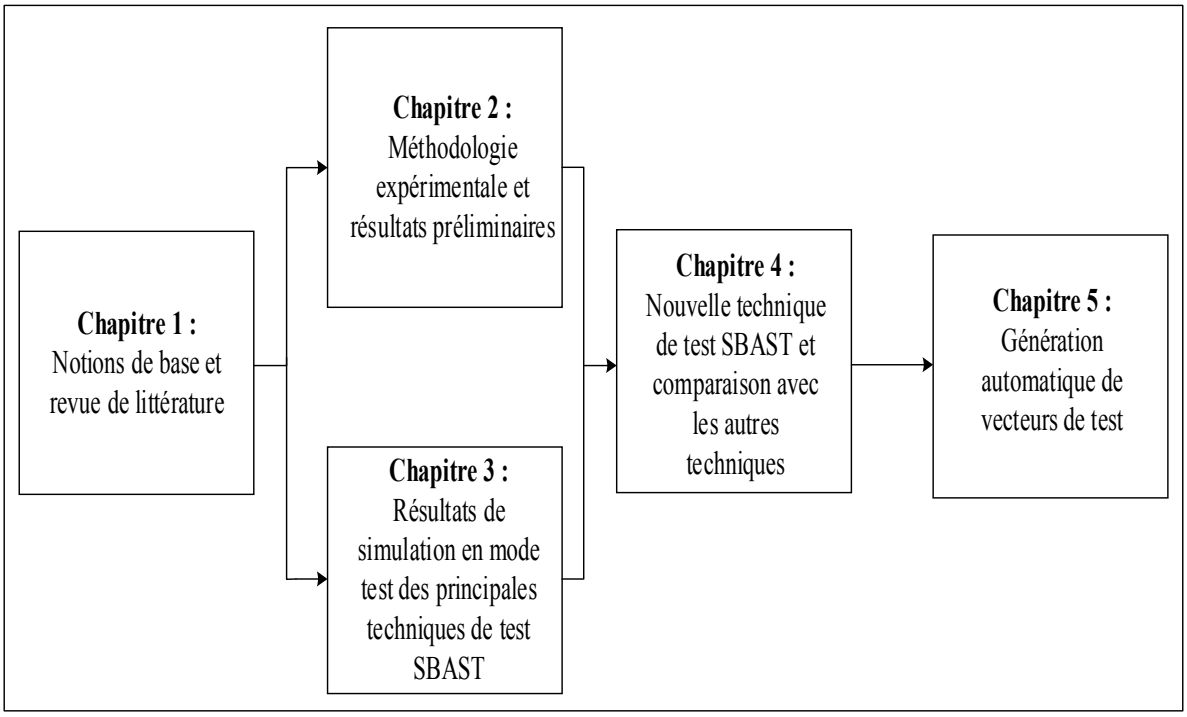

Figure 0.1 Organisation du mémoire

CHAPITRE 1

NOTIONS DE BASE ET REVUE DE LITTÉRATURE

1.1 Introduction

Les travaux effectués dans ce projet de maîtrise se concentrent sur le domaine du test des circuits intégrés et plus précisément sur les tests de type délai. La première partie de ce chapitre présente les concepts de base permettant de comprendre le test des circuits intégrés. La deuxième partie décrit les circuits intégrés en 3D et justifie leur utilisation dans ce projet. La troisième partie discute les différentes techniques présentées dans la littérature de test de balayage à vitesse nominale.

1.2 Notions de base sur le test des circuits intégrés

La réduction de la taille des transistors a permis aux industriels et aux chercheurs de concevoir et de développer des circuits intégrés très complexes dotés d'un nombre toujours croissant de composants et de portes logiques. Du point de vue des industriels et des consommateurs, un circuit doit fonctionner correctement en respectant toutes les exigences fonctionnelles conçues à l'origine.

Le test sert à vérifier le fonctionnement d'une puce et à respecter toutes les spécifications de conception (Jha et Gupta, 2003). Il permet d'identifier les pannes de fabrication pour assurer une bonne qualité du produit. Il consiste à stimuler l'intérieur d'un circuit à partir de ses broches d'entrées et d'observer la réponse sur les broches de sorties du circuit. La figure 1.1 illustre l'approche de tests des circuits intégrés. Le circuit sous test (CUT, *Circuit Under Test*) réussit le test si les valeurs des signaux de sorties sont égales aux valeurs attendues, sinon le circuit est déclaré défectueux (Wang, Wu et Wen, 2006).

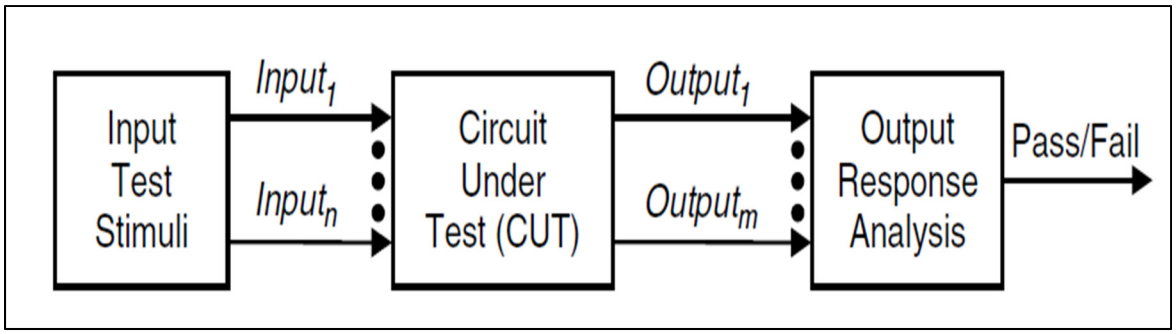

Figure 1.1 Approche de test des circuits intégrés
Tirée de Wang, Wu et Wen (2006)

Il existe principalement deux types de tests des circuits intégrés : le test fonctionnel et le test structurel.

1.2.1 Test fonctionnel

Le test fonctionnel consiste à vérifier le bon fonctionnement d'une puce à sa vitesse nominale. Il permet de s'assurer de la conformité des spécifications pour lesquelles le circuit a été conçu (Wang, Wu et Wen, 2006). Ce type de test considère le circuit comme étant une boite noire sans s'intéresser à sa structure interne. Le test fonctionnel applique des vecteurs de test sur les signaux d'entrées d'une puce et compare les valeurs obtenues sur les signaux de sorties avec les valeurs logiques attendues, le tout à vitesse nominale. Une puce est défectueuse si les valeurs logiques observées sur les signaux de sortie sont différentes des valeurs attendues. Le test fonctionnel donne une faible couverture de pannes et nécessite un grand effort afin de générer les vecteurs de test, ce qui a graduellement mené à son remplacement par le test structurel (Tehranipoor, Peng et Chakrabarty, 2011).

1.2.2 Test structurel

Le test structurel est une approche de test largement utilisée pour tester les circuits intégrés (Mir, 2004). Ce type de test vérifie la structure du circuit, alors que le test fonctionnel vérifie la fonctionnalité du circuit. Le but de ce test est de détecter les défectuosités de fabrication

d'une puce en se basant sur des modèles de pannes. Ce test se caractérise par une courte durée du test. En effet, le nombre de vecteurs de tests associé est inférieur à celui de test fonctionnel (Wang, Wu et Wen, 2006).

1.2.3 Modèles de pannes

Un modèle de panne est une représentation des défectuosités et des défaillances physiques d'un circuit intégré (Wang, Wu et Wen, 2006). Les principaux modèles de pannes de test structurel sont : le modèle de collage, le modèle de court-circuit et le modèle de délai.

1.2.3.1 Modèle de collage

Une panne collée-à (*stuck-at*) affecte le comportement logique du système (Mei, 1974). Ces pannes affectent l'état logique des signaux (entrées et sorties) des portes logiques. Une panne collée-à transforme la valeur correcte sur un nœud du signal défectueux pour apparaitre collée à une valeur logique, 0 (SA0) ou 1 (SA1*)*.

1.2.3.2 Modèle de court-circuit

Le modèle de panne de court-circuit représente les défectuosités qui se produisent en réponse à un contact accidentel entre deux équipotentiels distincts (Wang, Wu et Wen, 2006) :

- à l'intérieur d'une porte ;
- entre les nœuds (entrée/sortie de porte).

1.2.3.3 Modèle de délai (retard)

Les pannes de délai affectent le comportement temporel d'un circuit. Ils ajoutent un délai excessif le long d'un chemin combinatoire de sorte que les signaux se propagent lentement ou rapidement. Les pannes de délai sont de plus en plus présentes dans les circuits intégrés en raison de la miniaturisation de ces derniers. Ces pannes provoquent un dysfonctionnement du circuit à haute vitesse (Wang, Wu et Wen, 2006). L'effet principal de ces pannes est de ralentir

les transitions qui se propagent dans un circuit. Les modèles de délai sont divisés en deux sous catégories : les pannes de délai de chemin (*path delay fault)* et les pannes de transition.

Le modèle de pannes de chemin suppose que le délai additionnel causé par la panne est réparti sur tout le chemin. Ce modèle de pannes est habituellement utilisé pour représenter l'effet des variations du procédé de fabrication et pour tester les chemins les plus critiques. Un circuit est défectueux si le délai de l'un de ces chemins combinatoires excède la limite de délai spécifié (Smith, 1985).

Le modèle de pannes de transition, quant à lui, suppose que la panne affecte un seul nœud du circuit, de manière ponctuelle (Waicukauski et al., 1987). Par exemple, si une panne de délai est identifiée sur un nœud logique, toute transition de signal passant par ce nœud est retardée au-delà de la période d'horloge. Ces pannes sont modélisées comme un retard du temps de montée ou de descente des transitions des signaux au niveau des portes logiques.

Selon (Waicukauski et al., 1987), il existe deux types de pannes de transition : la panne de transition lente à monter (STR, *slow-to-rise fault*) et la panne de transition lente à descendre (STF, *slow-to-fall fault)*. Une panne STR signifie que toute transition de 0 →1 sur un nœud ne produit pas un résultat correct lorsque le circuit fonctionne à fréquence nominale. Une panne STF signifie que toute transition de 1→0 sur un nœud ne produit pas un résultat correct lorsque le circuit fonctionne à fréquence nominale.

Ce mémoire traite uniquement les pannes de délais et, plus particulièrement, les pannes de transition. Par conséquent, le test de délai de transition est le type de test utilisé lors de nos expérimentations.

1.2.4 Génération automatique de vecteurs de test (ATPG)

Les vecteurs de test, appelé aussi patrons de test, sont des ensembles de 0 et 1 logiques placés aux broches des entrées primaires d'un CUT. Ils permettent de contrôler les pannes à partir des

entrées primaires et de les observer sur les sorties primaires. Lors de l'application des vecteurs de test, les équipements automatiques de test (ATE, *Automatic Test Equipment*) déterminent s'il existe des pannes de fabrication sur un CUT en comparant les réponses de ses sorties primaires à celles d'un circuit sans panne (*fault-free circuit*). L'objectif de la génération automatique de vecteurs de test (ATPG, *Automatic Test Pattern Generation*) est de créer un ensemble de vecteurs de test pour atteindre une couverture de pannes adéquate (Tessent, 2014). La couverture de test (TC) est une mesure pour évaluer l'efficacité de test. La couverture de test est le pourcentage du nombre de pannes détectées divisé par le nombre total de pannes de circuit (équation 1.1).

$$TC = 100 \cdot \frac{\text{Nombre de pannes détectées par la séquence de test}}{\text{Nombre total de pannes du circuit}} \tag{1.1}$$

L'ATPG utilise des vecteurs de test déterministes pour détecter autant de pannes que possible avec un effort raisonnablement faible. Il génère des vecteurs de test qui sont destinés à montrer si le système exécute sa fonction spécifiée. Ces vecteurs de test détectent les pannes définies par des modèles de pannes spécifiques. Pour détecter une panne, l'ATPG insère une panne à un nœud dans le CUT. Deux procédures sont appliquées à la panne ciblée : l'activation des pannes et la propagation des pannes. L'activation des pannes impose une valeur logique, au niveau du nœud ciblé, opposé à la valeur de la panne. La panne se propage par la suite à travers les portes logiques, pour atteindre les sorties primaires (Tremblay, 2007).

1.2.5 Conception en vue de test

Traditionnellement, le processus du test était considéré uniquement après le processus de conception. Mais avec les flux actuels de conception, ces deux processus sont maintenant combinés. Cette combinaison est appelée conception en vue de test (DFT, *Design for Test*). De plus, la plupart des circuits numériques sur le marché sont des circuits séquentiels, dans lesquels les signaux internes sont difficiles à observer et à contrôler. En conséquence, il est difficile de les tester. Le but de la DFT est de rendre le test des circuits plus faciles et plus efficaces (Hobeika, 2011). Les techniques de DFT les plus utilisées sont la technique d'autotest

Rapport-Gratuit.com

(BIST, Built in-it-Self Test) et la technique de test basé sur l'insertion des registres de balayage (SBT, *Scan Based Test*).

L'autotest (BIST) permet aux circuits de se tester eux-mêmes. BIST est capable de générer des vecteurs de test à l'intérieur du CUT et de vérifier la fonctionnalité interne du circuit (Hobeika, 2011).

Le SBT est une technique DFT largement utilisée qui permet de contrôler et d'observer les bascules en ajoutant un mode de balayage au circuit. Lorsque le circuit est en mode de balayage, toutes les bascules forment un ou plusieurs registres à décalage, également appelés chaînes de balayage. Ce processus réduit le cout du test en transformant un circuit séquentiel en un circuit combinatoire à des fins de test.

La figure 1.2 illustre une structure DFT avant et après l'ajout des circuits de balayage. Le SBT consiste à insérer des bascules de balayage à la place des bascules présentes sur le design (un multiplexeur et une bascule forment une bascule de balayage). Le signal (SE, *Scan Enable*) détermine si le système est en mode normal (SE = 0) ou mode de balayage (SE = 1). Les vecteurs de test peuvent être décalés vers l'intérieur (à travers sc_in) ou vers l'extérieur (à travers sc_out) à travers des chaines de balayage, tandis que les autres entrées (A,B,C) sont encore fournies par des entrées primaires (Hobeika, 2011). De cette façon, chaque entrée peut être contrôlée bit par bit, et chaque sortie peut être observée plus clairement. Par conséquent, le circuit séquentiel avec la technique SBT a une meilleure contrôlabilité et une meilleure observabilité. Les deux derniers termes peuvent affecter la qualité de test (Hobeika, 2011). La contrôlabilité est une mesure de la facilité d'imposer au niveau logique d'un nœud du circuit un état logique donné (0 ou 1). L'observabilité est une mesure de la facilité d'observer le niveau logique d'un nœud aux broches de sortie du CUT.

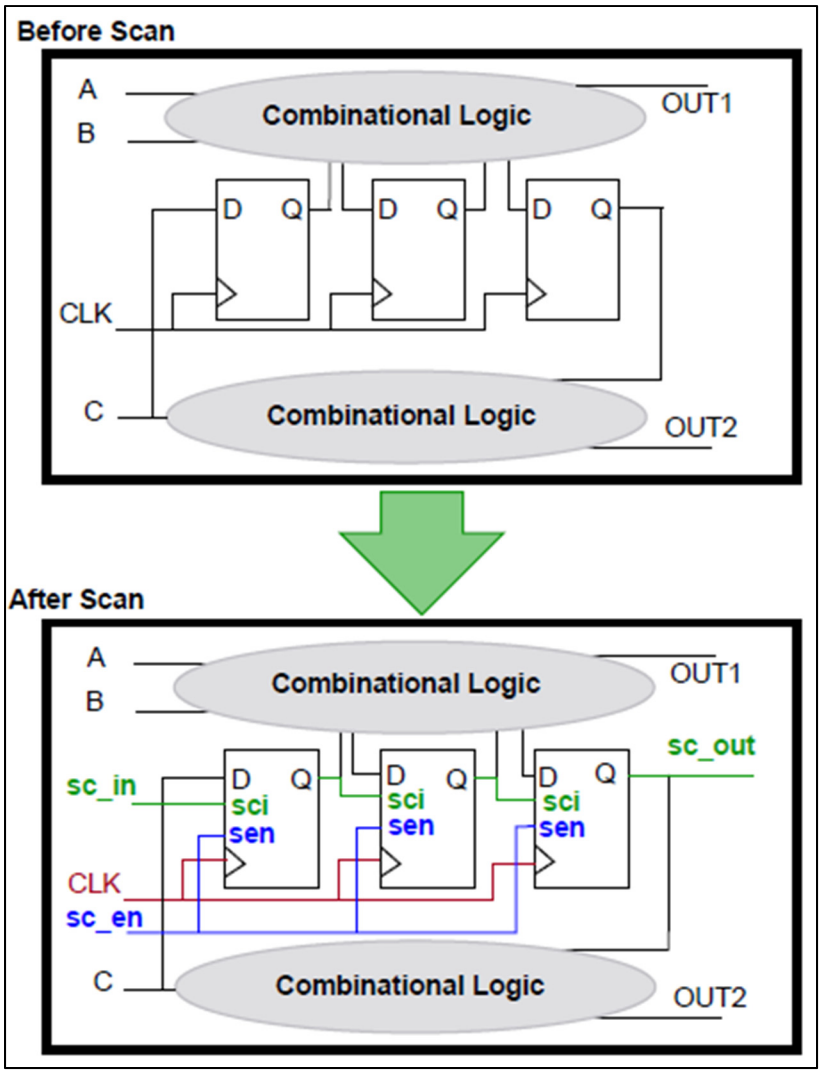

Figure 1.2 Illustration d'une structure DFT avant et après l'ajout des circuits de balayage
Tirée de Tessent (2014)

1.2.6 Test de transition avec insertion de registres de balayages

Le test de transition est utilisé pour garantir un comportement temporel correct du circuit. Il consiste à appliquer une paire de vecteurs (V1, V2) (Park et McCluskey, 2008). V1 est le vecteur qui initialise un nœud à une valeur logique. V2 est le vecteur suivant qui lance une transition de valeurs logiques (0→1 ou 1→0) à un nœud correspondant. Par la suite, l'effet de la transition se propage vers une sortie primaire ou une bascule de balayage (*scan flip-flop*).

Rapport-gratuit.com
LE NUMERO 1 MONDIAL DU MÉMOIRES

En d'autres termes, il consiste à appliquer un ensemble de vecteurs de test qui testent une panne de transition à la sortie ou à l'entrée d'une porte logique telle que :

- une transition désirée est lancée sur le site de la panne;
- si la panne est STR, V2 est un test pour une panne collé à 0, et si la panne est une panne STF, V2 est un test pour une panne collée à 1.

Il existe deux techniques principales qui génèrent et appliquent les tests de transition avec insertion de registres de balayage : (LOC, *Launch On Capture)* (Savir et Patil, 1994) et (LOS, *Launch on Shift) (Savir et Patil, 1993)*. Ce qui suit explique brièvement le principe de fonctionnement de ces deux techniques.

1.2.7 Launch on Shift

La technique LOS est connue aussi sous le nom de (*skewed-load*) (Park et McCluskey, 2008; Savir et Patil, 1993). Cette technique exige que la dernière impulsion de décalage (*shift*) qui lance la transition soit suivie immédiatement par une impulsion rapide de capture pour capturer la réponse du circuit. La deuxième impulsion d'horloge de capture est exécutée à la fréquence de fonctionnement nominale (*at-speed*) du circuit (figure 1.3). Cette technique exige que le signal SE (*Scan Enable*) commute très rapidement *at-speed*, entre le moment de lancement et le moment de capture de l'impulsion d'horloge.

1.2.8 Launch on Capture

La technique LOC, aussi connue sous le nom (*broadside*) (Savir et Patil, 1994), utilise deux cycles de capture consécutifs pour lancer la transition et pour capturer la réponse de sortie du circuit (figure 1.3). Cette technique n'impose aucune exigence de vitesse sur le signal SE, contrairement à la technique LOS. De plus, le cycle de lancement de transition est séparé du cycle de décalage. Une fois que le vecteur de test est chargé (phase de décalage), SE est désactivé. Par la suite, les cycles de lancement et de capture sont appliqués. LOC nécessite plus de vecteurs de test et a une couverture de pannes plus faible par rapport au LOS.

Cependant, LOC est utilisé plus que LOS dans les circuits à grande vitesse vu qu'il n'a pas d'exigence de vitesse sur le signal SE (Park and McCluskey 2008).

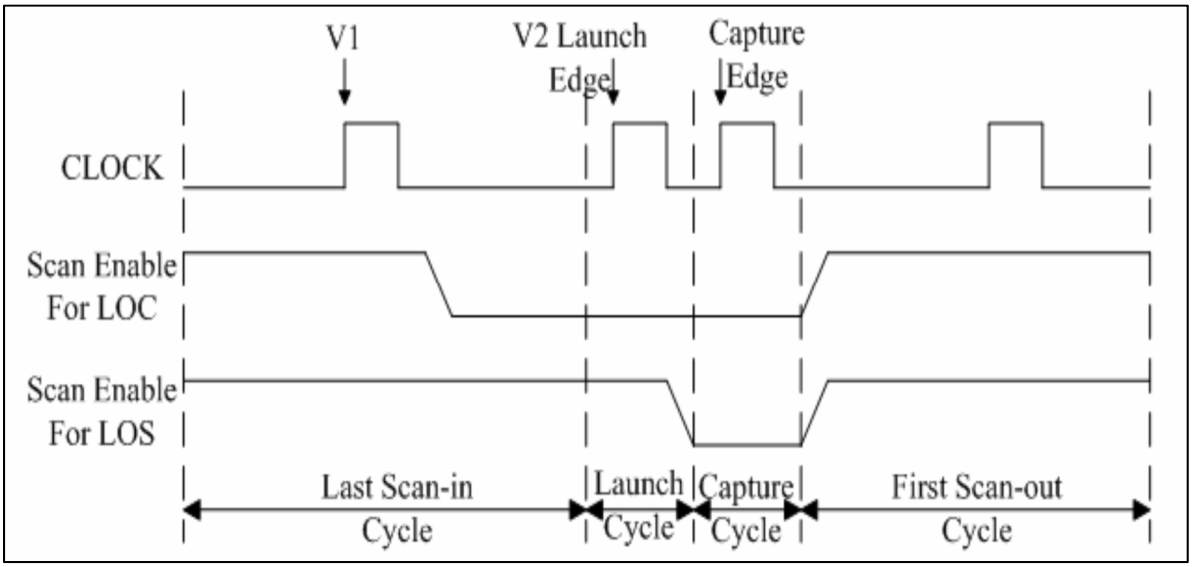

Figure 1.3 Chronogramme des techniques LOS et LOC
Tirée de Xu et Singh (2006)

1.3 Circuits intégrés 3D

La miniaturisation des transistors et les contraintes de performance des interconnections ont conduit à l'empilage de plusieurs couches de circuits intégrés connu sous le nom d'intégration en 3D. Cet empilement vertical a donné aux concepteurs une fenêtre d'opportunité pour intégrer plus de fonctionnalités dans un seul boîtier (*package*).

L'intégration tridimensionnelle consiste à intégrer des puces et des dispositifs sans se limiter à une seule surface, plus précisément, empiler et connecter simultanément divers technologies et composants fonctionnels pour former des circuits intégrés 3D.

Les circuits intégrés 3D représente une réponse aux limitations définies par les interconnections en empilant plusieurs couches de silicium. Ces couches empilées verticalement conduisent à une réduction de la taille et du nombre d'interconnections. Par

conséquent, ils offrent une augmentation significative des performances et une diminution de la consommation d'énergie. Les circuits intégrés 3D offrent d'autres avantages par rapport aux circuits intégrés 2D (Sharma et Choi, 2014). Ceux-ci incluent :

- plus grande densité d'intégration ;
- zone plus petite (empreinte).

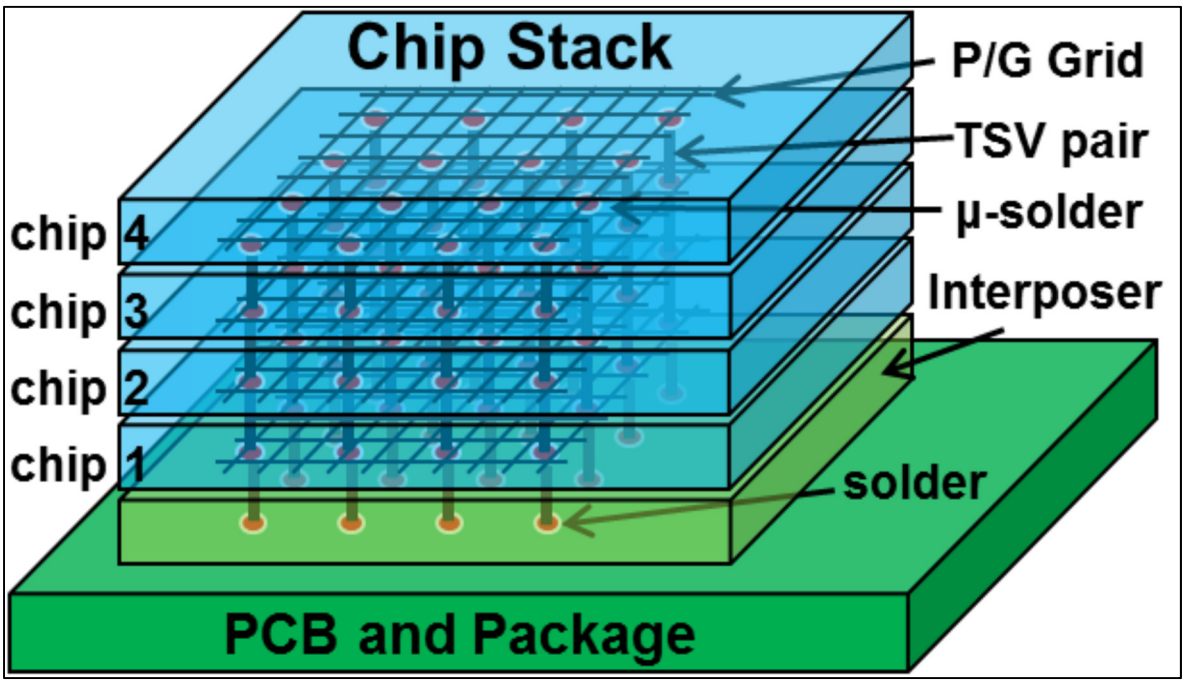

Figure 1.4 Circuit intégré 3D basé sur des TSV
Tirée de He (2015)

L'intégration 3D repose sur des technologies d'interconnections émergentes. Les CI-3D utilisent des interconnections verticales pour la communication. Il existe différents types de technologies d'interconnections verticales comme les microbilles (*microbumbs*), les interconnections sans fil à l'aide d'un couplage capacitif/inductif et les vias de silicium (TSV, *Through Silicon Via*). La figure 1.4 montre un circuit intégré 3D utilisant des interconnections de type TSV. Les TSV sont des interconnections qui traversent verticalement le silicium pour relier les puces entre elle. (Marinissen et Zorian, 2009) considèrent les TSV comme la technologie la plus prometteuse des CI-3D. Les TSV offrent des liaisons électriques courtes et

à faible perte avec une densité élevée. L'utilisation de TSV offre des avantages fonctionnels, comme la réduction du nombre et de la longueur des fils.

La complexité des circuits intégrés 3D pose des défis pour le test en raison du processus de fabrication de pointe et des limitations d'accès physique. Les problèmes liés au processus de fabrication émergent de plus en plus surtout avec l'augmentation de la vitesse de fonctionnement. Il est nécessaire d'améliorer le processus de test afin d'identifier et éliminer plus de pannes du processus de fabrication et pour garantir une haute qualité de fabrication des puces (Marinissen et Zorian, 2009). Tout comme le test des CI-2D (deux moments de test), le test des CI-3D doit être effectué à la fois au niveau du gaufre (*wafer*) et après l'assemblage et la mise en boîtier. Cependant, il existe de nombreuses étapes de fabrication des CI-3D comme l'empilement des puces et la liaison TSV, qui nécessite plus d'étapes de test. Pour un CI-3D composé de *n* puces, il existe 2 *n* moments de test (Marinissen et Zorian, 2009) :

- test des puces juste après leur fabrication (KGD, *Known good die*) ;
- tests intermédiaires à chaque fois qu'une nouvelle puce est empilée (KGS, *Known good Stack*) ;
- test final de produit mis en boîtier.

La variation d'impédance du réseau d'alimentation d'un circuit peut affecter la manière avec laquelle le circuit se comporte en mode test ou en mode fonctionnel. En partant de cette hypothèse, un circuit intégré en 3D a été utilisé comme un cas d'étude de ce projet. En effet, les circuits intégrés en 3D se caractérisent par l'empilement vertical de plusieurs couches de puce. Ce type de circuit peut voir son impédance changer à chaque fois qu'une nouvelle puce est empilée.

1.4 Revue de littérature

Les tests de balayage à vitesse nominale (SBAST) sont considérés comme la méthode de test de délai la plus dominante des tests structurels (Moghaddam et al., 2010). Ce type de test vient avec certains inconvénients comme le bruit de tension d'alimentation (PSN, *Power Supply Noise*) produit pendant le mode test et qui diffère de celui induit pendant le mode fonctionnel.

La cause de cette différence est l'augmentation du niveau d'activité de commutation dans le circuit d'un facteur de 3 à 4 pendant les tests SBAST (Arabi, Saleh et Meng, 2007). L'augmentation de la fréquence et la diminution des durées de transition (montée ou descente) des CI provoquent plus d'activité de commutation dans un petit intervalle de temps. Elle entraîne une augmentation de la densité de courant et une chute de tension. Le PSN peut être introduit par des paramètres inductifs ou résistifs, ou par une combinaison des deux. De plus, le schème des techniques SBAST peut aussi conduire à cette différence. En effet, l'horloge de test est composée de deux cycles ; un cycle de décalage fonctionnant à des vitesses lentes suivi par deux impulsions rapides (deuxième cycle) pour lancer et capturer la transition.

Le PSN a été traité par plusieurs chercheurs. Leurs travaux portaient sur la chute de tension d'alimentation. L'effet principal de cette chute est la modification de temps de propagation des signaux. Elle peut conduire au phénomène d'étirement d'horloge de telle sorte que le CUT apparait plus rapide (Rearick, 2001). Les états de transition et les chutes de tension lors du mode test conduisent à des dégradations des fréquences d'horloges. Ces dégradations sont dues à l'augmentation de l'activité de circuit ainsi qu'à la consommation d'énergie (Rearick, 2001).

L'une des options proposées dans la littérature pour réduire la chute de tension est d'augmenter la longueur de la séquence de lancement ou de capture et d'appliquer les premiers cycles de capture à des vitesses plus lentes. Les techniques les plus pertinentes proposées sont : SeBoS (Lin et al., 2013; Pant et Zelman, 2009), BurstMode (Nadeau-Dostie, Takeshita et Cote, 2008) et PKLPG (Zhang et Walker, 2013).

1.4.1 Sequential Broad Side (SeBoS)

La technique SeBoS consiste à minimiser les conditions de sur test (*over-testing*) de la chute IR (*IR-droop*) et pour éviter les états illégaux de mode fonctionnel. SeBoS consiste à appliquer plusieurs cycles d'une horloge lente, suivis par une phase de lancement et de capture à vitesse nominale pendant les deux derniers cycles. Autrement dit, LOC est étendue à des cycles de lancement et de capture supplémentaires (Liu et al., 2008).

SeBoS a été légèrement modifiée en insérant une pause (temps mort) entre la phase de décalage (*shift-in*) et avant les *n* cycles d'horloge lente (Pant et Zelman, 2009) (figure 1.5). Cette pause permet de stabiliser la tension d'alimentation, en laissant au circuit assez de temps pour atteindre un état de repos avant le premier cycle de capture. En effet, lorsqu'un test de délai est lancé, la grille d'alimentation (*power grid*) subit une chute de tension en raison du bruit inductif *dI/dt*. Ce bruit force le circuit à performer à des vitesses plus faibles des spécifications fonctionnelles. Les auteurs ont montré que l'application de multiples cycles fonctionnels à mi-vitesse (préambule), avant le cycle de lancement et de capture de la transition, peut minimiser le bruit *dI/dt* (de façon à imiter le mode fonctionnel).

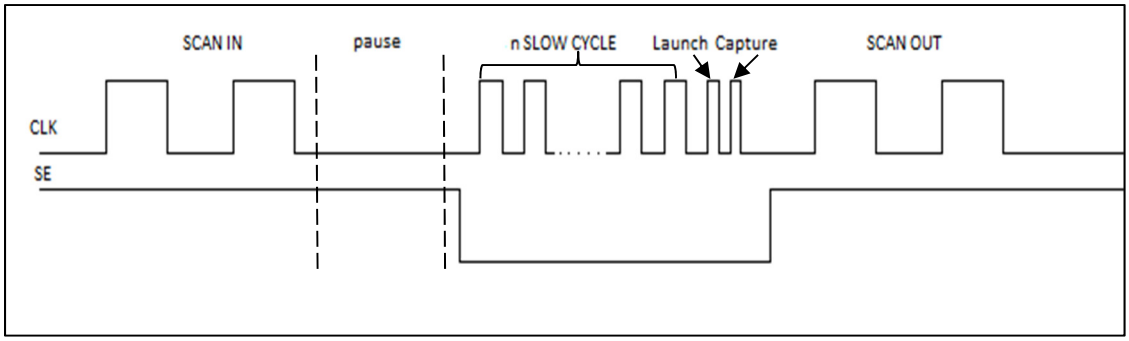

Figure 1.5 Chronogramme de la technique SeBoS
Adaptée de Pant et Zelman (2009)

De plus, le centre d'intérêt de leurs expérimentations était relié aux 3 types de chutes de tension d'alimentation : à haute fréquence, à fréquences moyennes et à fréquences faibles. Ils ont montré qu'à haute fréquence, la chute de tension est plus sévère que dans les deux autres cas.

Les auteurs ont utilisé quatre différentes fréquences d'horloge pour les *n* cycles d'horloge lente appliquée après la pause en respectant la fréquence du mode fonctionnel (F_{mm}) :

- la première fréquence est celle du mode fonctionnel (*at-speed*) (F_{mm}) ;
- la deuxième fréquence est à moitié de la fréquence du mode fonctionnel ($F_{mm}/2$) ;
- la troisième fréquence est à un tiers de la fréquence du mode fonctionnel ($F_{mm}/3$) ;
- la quatrième fréquence est à un quart de la fréquence du mode fonctionnel ($F_{mm}/4$).

La technique SeBoS permet d'atteindre un environnement proche à celui du mode fonctionnel. L'activité de commutation du circuit est élargie entre la pause et les premiers cycles de captures. Les auteurs se sont penchés sur le problème de la non représentativité du mode test par rapport au mode fonctionnel et ont proposé la technique SeBoS pour rendre le mode test plus représentatif du mode fonctionnel. Cependant, SeBoS utilise une approche LOC qui augmente la complexité de génération de test et réduit la couverture des pannes de transition. Il a été démontré que le nombre de vecteurs de test requis pour tester les pannes de transition est significativement grand avec LOC. L'augmentation de nombre des vecteurs de test et la perte de couverture de panne sont plus importantes lors de l'ajout de *n* cycles à horloge lente (à partir de deux cycles) (Nadeau-Dostie, Takeshita et Cote, 2008).

Pant et Zelman (2009) se sont intéressés à investiguer l'impact de bruit de tension d'alimentation sur le test de délai et la représentativité du mode test par rapport au mode fonctionnel. Mais un aspect bien important a été négligé qui est la variation d'impédance du réseau d'alimentation. Cet aspect a un impact sur le test de délai car il peut influencer les délais de propagation lors du mode test.

1.4.2 BurstMode

La technique *BurstMode* a été proposée dans (Nadeau-Dostie, Takeshita et Cote, 2008) pour éviter le changement soudain de l'état du circuit entre la phase de shift et la phase de capture. Cette technique utilise une séquence d'impulsions d'horloge (*burst*) pour stabiliser la chute de tension d'alimentation en augmentant progressivement l'activité de commutation de circuits pendant la phase de capture. La technique *BurstMode* permet de contrôler l'activité du circuit et la variation de tension d'alimentation, et d'imiter le mode fonctionnel pendant le SBAST. Les auteurs ont montré qu'il faut utiliser un nombre de *burst* supérieur à deux pour traiter les problèmes liés à la chute IR (*IR-droop*). Un contrôleur programmable d'horloge à *burst* (BCC, *Burst Clock Controller*) est ajouté dans le design pour contrôler la fréquence d'horloge de shift et les *burst*. Le BCC est composé d'un système de conditionnement (*gating)* d'horloge et par une machine d'états finis. Habituellement, la tension d'alimentation a le temps de se stabiliser

au moment des derniers cycles de décalage et de capture, qui sont les plus critiques. Cependant, dans certains cas, les effets *dI/dt* induits par la modification soudaine de l'activité du circuit provoquent une baisse de tension d'alimentation dépassant la chute d'IR attendue. Les *burst* peuvent être ralentis par le BCC (sauf pour les deux derniers *burst* de capture) pour permettre une augmentation graduelle de l'activité du circuit et pour réduire les effets *dI/dt*.

La figure 1.6 montre un exemple de formes d'onde de la technique *BurstMode*. Le burst B1 se compose de cinq cycles consécutifs à haute vitesse (*at-speed*) appliqués après une phase de décalage et une pause de l'horloge. B2 et B3 sont des exemples où les cycles de shift ont été ralentis. Pour B2, la fréquence des trois premiers cycles de décalage est à la moitié de la fréquence d'horloge du système. Pour B3, les deux premiers cycles sont appliqués à un quart de la fréquence d'horloge du système. Cette technique utilise le schème LOS pour maximiser la couverture des pannes de délai et pour avoir un nombre minimal de vecteurs de test.

La technique *BurstMode* permet de réduire la baisse de la tension d'alimentation de la dernière impulsion de capture. Cependant, elle nécessite des changements au niveau du design pour intégrer le contrôleur BCC. De plus, l'utilisation de LOS rend difficile d'implémenter cette technique à cause de la nécessité d'un signal (SE) rapide pour propager les transitions. De plus, le phénomène de variation d'impédance du PDN n'a pas été pris en considération lors d'expérimentations conduites dans ce projet.

Rapport-Gratuit.com

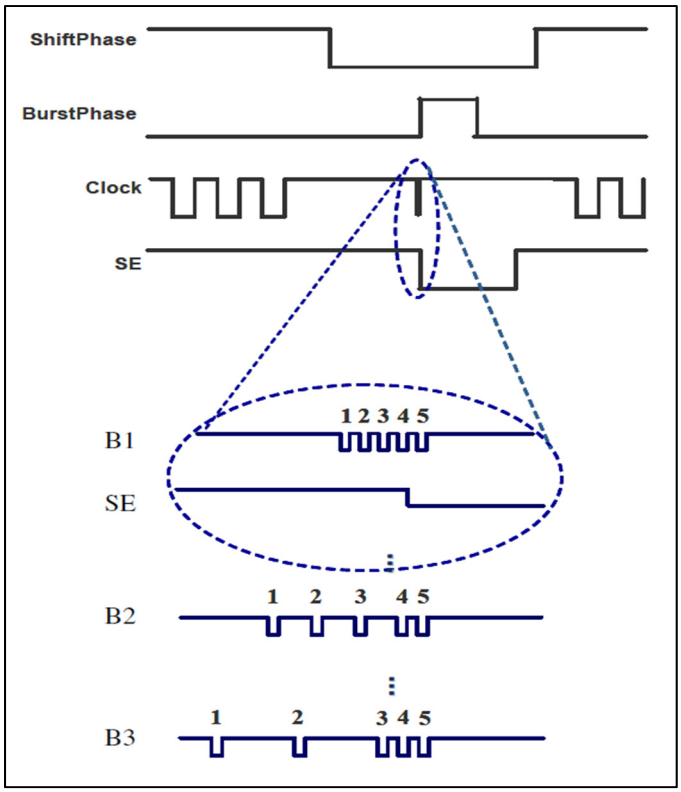

Figure 1.6 Exemple de forme d'onde de
la technique *BurstMode*
Tirée de Nadeau-Dostie, Takeshita et Cote (2008)

1.4.3 Pseudo-functional K Longest Path per Gate (PKLPG)

La technique de test pseudo-fonctionnel KLPG (PKLPG) a été proposée dans (Zhang et Walker, 2013) pour tester les chemins les plus longs tout en ayant un bruit d'alimentation similaire à celui observé lors du mode fonctionnel.

Les auteurs partent du principe que pendant le passage du mode de balayage au mode fonctionnel (lorsque le signal SE commute) les courants hors puce (*off-chip*) dans la grille d'alimentation atteignent un état de repos. Lorsque les cycles de lancement et de capture à vitesse sont appliqués, la demande de courant augmente. L'inductance hors puce empêche une augmentation soudaine du courant sur les broches du CUT, de sorte que le courant doit être fourni par la capacité de la grille d'alimentation sur puce (*on-chip*). Le phénomène *dI/dt* fait

que la grille d'alimentation subit une chute de tension. Cela fait que la puce fonctionne à une vitesse inférieure à la spécification fonctionnelle. La solution à ce problème est d'appliquer un certain nombre de cycles de préambule à moyenne vitesse pour ramener les courants hors puce aux niveaux fonctionnels.

La figure 1.7 montre le schème de la technique PKLPG. Les auteurs affirment que la technique PKLPG a le potentiel d'améliorer de manière significative la qualité du test de délai. PKLPG utilise la technique LOC qui est étendue pour inclure une série de cycles plus lents que les cycles *at-speed* (préambule) avant les cycles de lancement et de capture. Les cycles de préambule filtrent la plupart des états illégaux des vecteurs de test. Le fait que le circuit soit initialisé dans un état proche du mode fonctionnel augmente la corrélation entre le test structurel et le test fonctionnel. Cependant, la technique PKLPG peut souffrir de phénomène de sous-test, puisque l'activité de commutation du CUT diminue rapidement pendant les cycles fonctionnels initiaux. Le PSN observé par le test à vitesse est proche de celui de mode fonctionnel. (Zhang et Walker, 2013).

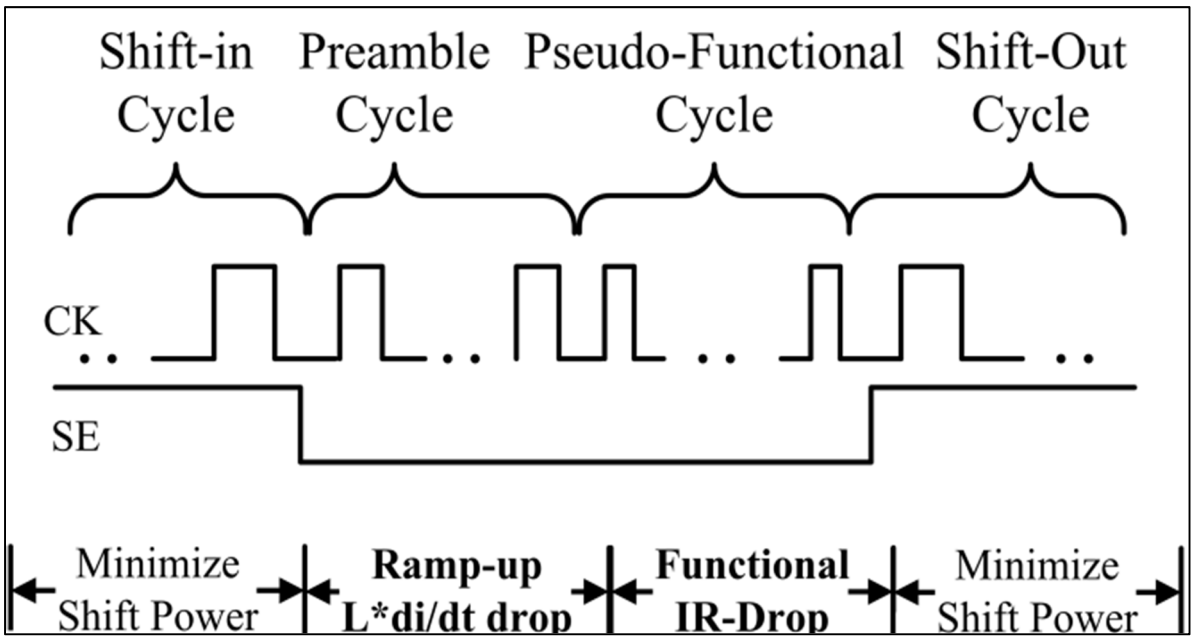

Figure 1.7 Chronogramme de la technique PKLPG
Tirée de Zhang et Walker (2013)

Rapport-gratuit.com
LE NUMERO 1 MONDIAL DU MÉMOIRES

Cette technique est basée sur un algorithme nommé (iBF, *improved Bit-Flip*) pour maximiser le bruit d'alimentation fonctionnel pendant le test de délai de chemin (*Path delay*). Il combine le basculement aléatoire des vecteurs de test pour contrôler le PSN (Zhang et Walker, 2014).

La technique PKLPG ressemble à la technique SeBoS (la version de (Pant et Zelman, 2009)), en remplaçant la pause par un préambule (style LOC) à plus basse vitesse. Elle a été développée pour le modèle de délai de chemin et elle est limitée à un nombre très restreint de chemins couverts. Encore une fois, l'impact de la variation d'impédance de PDN sur le test a été négligé.

1.5 Conclusion

Dans ce chapitre, des concepts de base de test des circuits intégrés permettant la compréhension de projet ont été présentés dans la première partie. Puis, une description brève des circuits intégrés en 3D a été le sujet de la deuxième partie. Une revue de littérature identifiant les techniques pertinentes de test de balayage à vitesse nominale a été le sujet de la troisième partie. En révisant la littérature, nous avons constaté que le phénomène de variation d'impédance de PDN n'était pas étudié ou bien négligé. Cela était la motivation derrière le développement d'une nouvelle technique de test SBAST plus robuste à la variation d'impédance. De plus, les trois techniques citées de test SBAST s'intéressent à l'effet de PSN lors du mode test et à la représentativité du mode fonctionnel par rapport au mode test. Dans ce mémoire, nous allons montrer que la variation d'impédance du PDN amplifie le problème de la non-représentativité du mode test par rapport au mode fonctionnel.

CHAPITRE 2

MODÈLES DE SIMULATION ET EXPÉRIMENTATIONS PRÉLIMINAIRES

2.1 Introduction

Ce chapitre présente les différents modèles utilisés pour estimer les délais de propagation lors du mode test et du mode fonctionnel. La première partie décrit le modèle du réseau de distribution d'alimentation d'un circuit intégré 3D. La deuxième partie décrit le circuit de mesure de délai. La troisième partie présente les premiers résultats obtenus après une simulation AC et la dernière partie, une première série de résultats résultant d'une analyse transitoire du circuit en mode fonctionnel.

2.2 Modèle du réseau de distribution d'alimentation (PDN)

Un réseau de distribution d'alimentation est habituellement composé d'un module de régulation de tension (VRM, *Voltage Regulator Module*), d'un circuit imprimé (*board*), d'un boîtier (*package*) et d'une puce. Le schéma fonctionnel d'un réseau de distribution d'alimentation est présenté sur la figure 2.1.

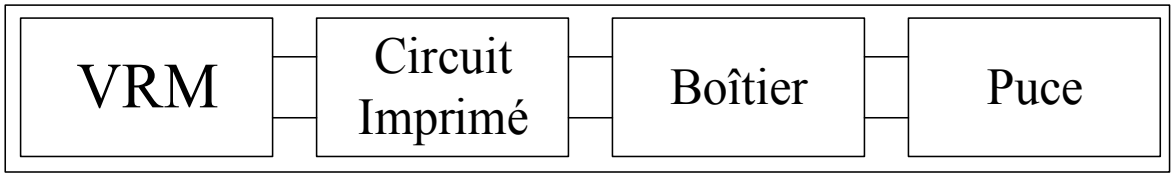

Figure 2.1 Schéma fonctionnel d'un réseau de distribution d'alimentation
Adaptée de Vaisband et al. (2016)

La fonction du module de régulation de tension est de maintenir un niveau de tension typique. Le circuit imprimé (*board*) comporte des broches métalliques pour alimenter le boîtier. L'alimentation entre dans le boîtier par ces broches d'alimentation et les broches de la masse.

L'alimentation passe à l'intérieur du boîtier et finalement à la puce à travers des fils de liaison métalliques (Vaisband et al., 2016).

Le PDN est composé de deux parties :

- un PDN hors puce qui inclut le VRM, le circuit imprimé et le boîtier, modélisés via des réseaux RLC;
- un PDN sur-puce qui comprend le modèle du réseau RLC de la puce connectée au boîtier.

2.2.1 Réseau de distribution d'alimentation utilisé

Des simulations HSPICE ont été établies dans ce travail afin de mesurer l'impact de la variation d'impédance de PDN sur la marge de délai. Nous avons utilisé un modèle PDN d'un CI-3D comme cas d'étude. Les simulations sont basées sur un modèle RLC du réseau de distribution d'alimentation tiré de (He, Gu et Lu, 2014).

2.2.1.1 PDN hors-puce

Le modèle PDN hors puce est une version RLC du processeur Pentium IV (Figure 2.2) modifié par He, Gu et Lu (2014). Cette modification a été faite pour que le courant total supporté par le PDN hors puce soit ajusté avec la taille de la puce modifiée en fonction de la consommation de courant et de la taille de la puce. Les valeurs des résistances, des capacités et des inductances ont été modifiées en fonction de la taille de la puce ou de la consommation de courant du circuit (He, 2015).

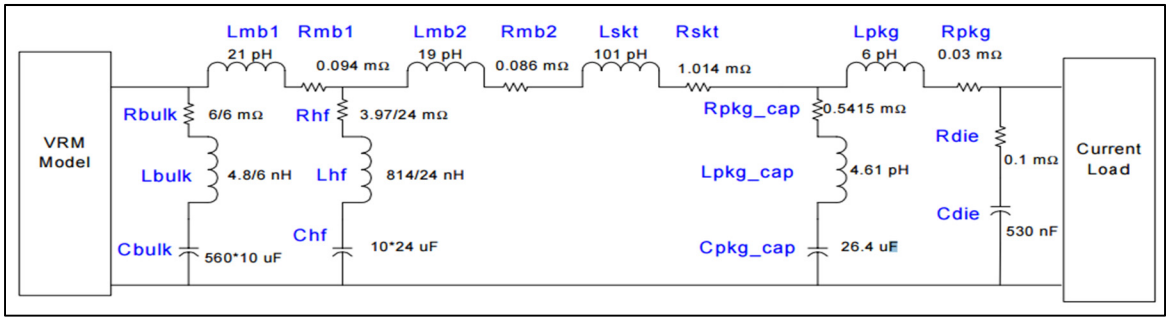

Figure 2.2 Modèle PDN du processeur Intel Pentium IV
Tirée de Intel (2002)

2.2.1.2 PDN sur-puce

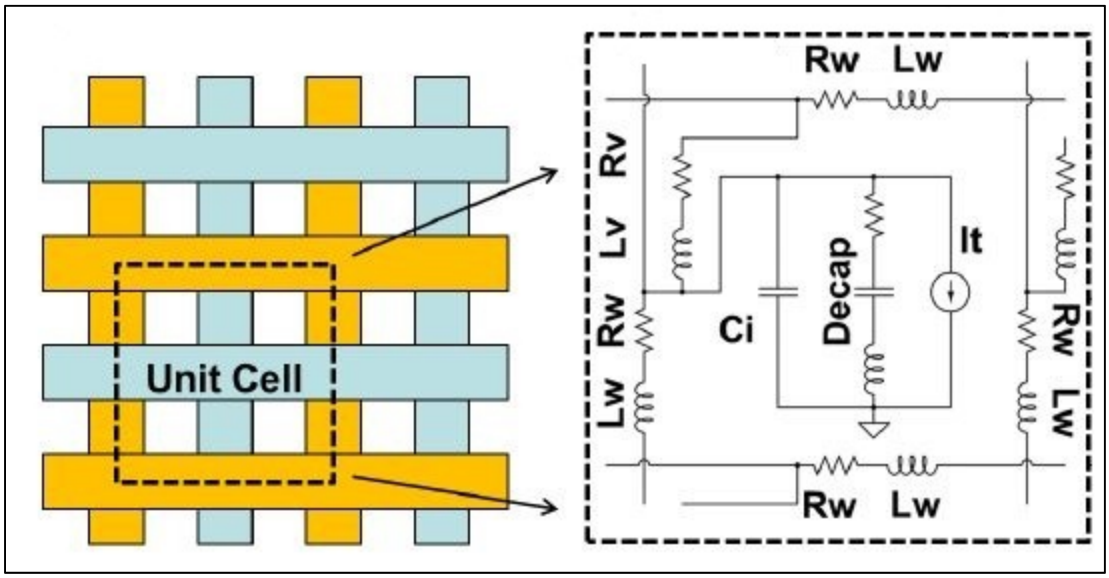

Figure 2.3 Cellule unitaire de la grille P/G sur-puce et le modèle
de circuit équivalent correspondant
Tirée de He, Gu et Lu (2014)

La figure 2.3 illustre une cellule unitaire de la grille d'alimentation sur-puce. Le PDN sur-puce contient des cellules unitaires composées de capacités de découplage (Decap), de résistances et inductances de fils et de vias, une charge de courant (I_t) et une capacité (Ci). La résistance parasite et l'inductance du Decap sont respectivement modélisées par une résistance série équivalente (ESR) et une inductance série équivalente (ESL) (He, Gu et Lu, 2014). Une seule cellule unitaire peut représenter une puce. Pour plus de détails sur la caractérisation et l'analyse du PDN, nous référons le lecteur à la thèse d'He (2015).

2.2.2 Modèle équivalent du PDN complet

Le modèle équivalent du PDN complet est composé de plusieurs puces identiques (trois puces dans ce projet). Ces puces sont empilées face vers le bas (*face to down*) par l'intermédiaire d'interconnections TSV, de microbilles et de microsoudures (*micro-solder*). Le modèle original (Annexe I) a été un peu modifié pour répondre à nos besoins.

La figure 2.4 montre le modèle PDN équivalent utilisé dans ce travail ainsi que les valeurs de ces composants. Le modèle adapté est composé d'un PDN hors puce et d'un PDN sur-puce utilisant des composants regroupés. Le VRM est modélisé en tant que source de tension délivrant 0.9 V aux nœuds.

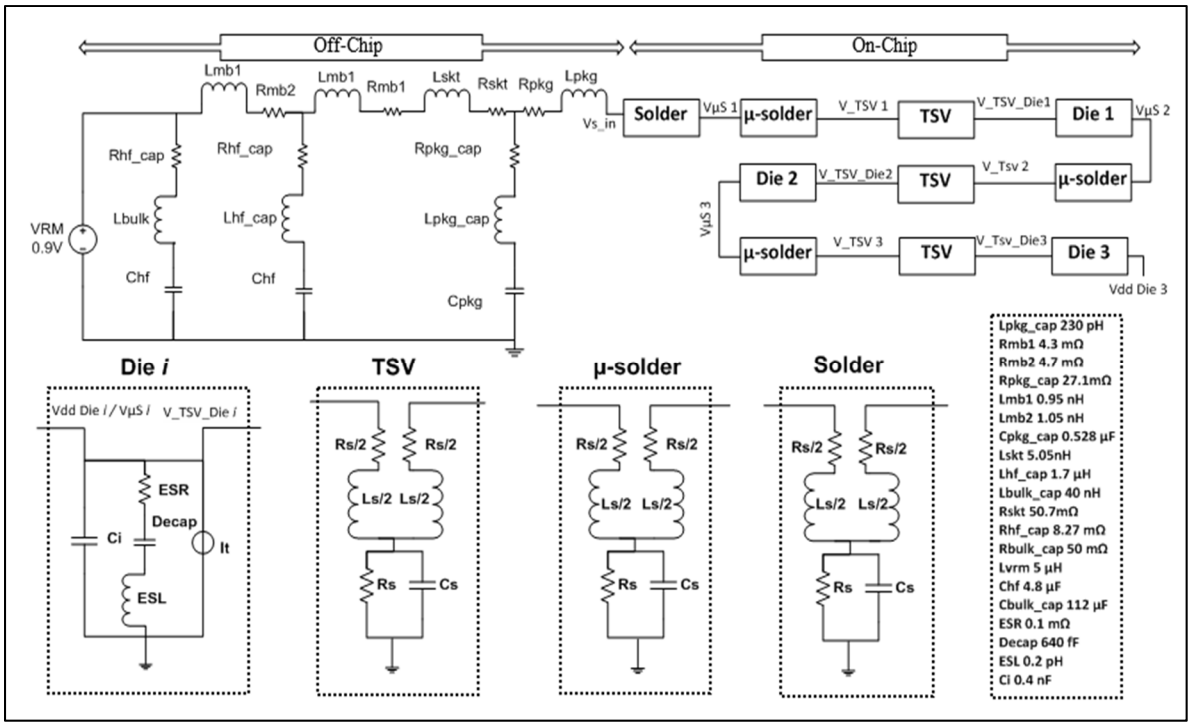

Figure 2.4 Modèle équivalent PDN du CI-3D avec trois puces
Adaptée de He, Gu et Lu (2014)

Dans le modèle original, He, Gu et Lu (2014) utilisent une source d'impulsion de courant, remplacée ici par une charge de courant DC pour pouvoir connecter le PDN à la ligne de délai ainsi qu'au le réseau de distribution d'horloge. Les résistances et les inductances des fils reliant les différentes couches de puce ont été négligées. Finalement, une seule cellule unitaire a été utilisée pour la modélisation de chaque puce.

2.3 Description des simulations HSPICE

Pour la validation de l'hypothèse de ce projet, des simulations HSPICE ont été effectuées. Un circuit de mesure de délai connecté au modèle PDN a été simulé avec une librairie de cellules et des transistors basés sur une technologie CMOS 90 nm.

2.3.1 Circuit de mesure de délai

Le circuit de mesure de délai est composé d'un réseau de distribution d'horloge (RDH) connecté en parallèle à une ligne de délai.

Le modèle de ligne de délai utilisé dans les simulations a été conçu et validé pour qu'il corresponde au réseau de distribution d'horloge d'un FPGA (Xilinx Spartan 3). Ce modèle est constitué de 300 étages comportant chacun un inverseur et une capacité. Le nombre d'étages est ajusté pour l'obtention d'un délai de 95 % de la période d'horloge. La figure 2.5 présente le circuit de mesure de délai utilisé dans ce mémoire.

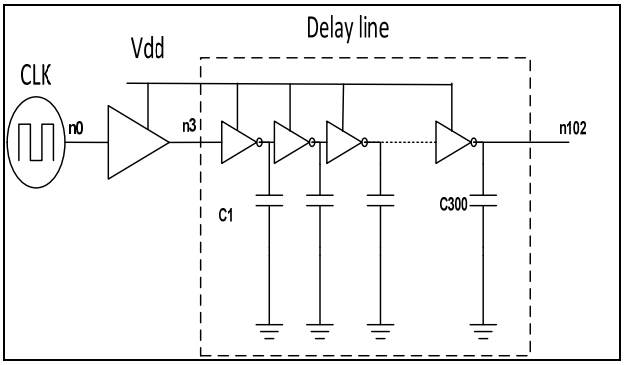

Figure 2.5 Circuit de mesure de délai
Tirée de Thibeault et Louati (2017)

Le réseau de distribution d'horloge, représenté par un seul amplificateur (*buffer*) à la figure 2.5, est composé de 2,5 lignes. Chaque ligne est constituée de 12,75 branches et chaque branche contient 3 amplificateurs connectés en série (Thibeault et Louati, 2017).

Le nombre de lignes choisi permet de pouvoir respecter le rapport entre un niveau haut d'activité de commutation du circuit (représentatif de la phase de chargement d'un vecteur de test dans le registre à balayage) et un niveau bas de l'activité de commutation du circuit (représentatif du mode de fonctionnement normal du circuit). La valeur 2,5 de ce rapport, $R_{H/L}$, a été choisie en fonction deux paramètres importants :

- la proportion de la puissance dynamique du réseau de distribution d'horloge (P_{DPCDN}) : Jairam et al. (2008) ont montré que le réseau de distribution d'horloge consomme de 30 % à 50 % de la puissance dynamique totale d'une puce;
- le rapport de l'activité de commutation des bascules du circuit (R_{FFSA}) du mode test sur celle du mode fonctionnel : Arabi, Saleh et Meng (2007) ont montré que l'activité de commutation est typiquement 3 à 4 fois supérieure à celle du mode fonctionnel (le rapport R_{FFSA} est compris entre 3 et 4).

De plus, la valeur 2,5 correspond, dans une première approximation, à différents cas réalistes :

- P_{DPCDN} = 50 % et R_{FFSA} = 4;
- P_{DPCDN} = 40 % et R_{FFSA} = 3,5;
- P_{DPCDN} = 33 % et R_{FFSA} = 3,25.

2.3.2 Principe de fonctionnement du circuit de mesure de délai

Rappelons que l'un des objectifs de ce projet est d'examiner l'influence de la variation d'impédance sur les délais de propagation. Pour ce faire, un circuit de mesure de délai a été utilisé (figure 2.5). Ce qui suit décrit le principe de fonctionnement de ce circuit.

Le signal d'horloge (CLK) est connecté au RDH, sur le nœud n0. Le RDH est activé par le front montant du signal d'horloge. La période effective du signal d'horloge est définie en regardant la montée du signal au point final du RDH (n3). Chaque fois que le signal traverse un inverseur de la ligne de délai à partir du nœud n3, un délai s'y ajoute. Le premier coup d'horloge qui arrive à n3 se propage dans la ligne de délai et sera comparé au premier front montant du signal du nœud n102. Cette comparaison permet de mesurer le délai de propagation

nommé Y sur la figure 2.6. Y représente le délai de propagation le long de la ligne à délai, du nœud n3 au nœud n102. X est la marge de synchronisation de délai entre l'arrivée d'une transition à la fin de la ligne de délai (n102) et l'arrivée de la prochaine impulsion d'horloge au nœud n3. Autrement dit, X est la différence entre le premier front montant du signal sur le nœud n102 et le deuxième front montant du signal sur le nœud n3.

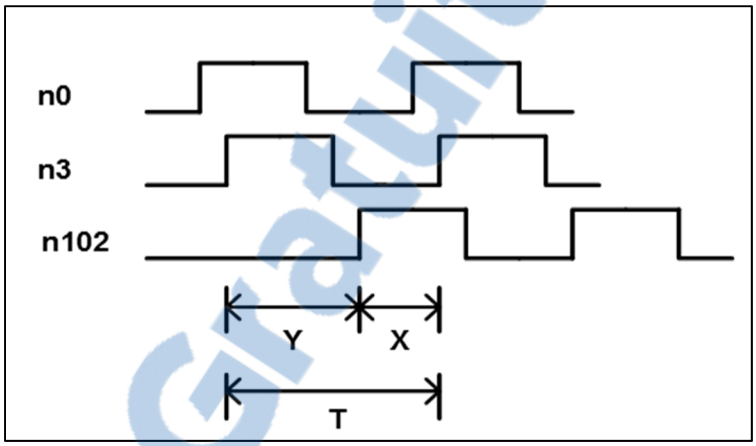

Figure 2.6 Mesure des délais

2.4 Simulations préliminaires

2.4.1 Cas d'étude

Ce travail a étudié l'impact de la variation d'impédance sur le test en changeant le nombre de puces du PDN. Autrement dit, nous voulions étudier l'effet de la variation d'impédance dans différents scénarios d'encapsulation 2D/3D. Trois scénarios ont été considérés :

- **scénario 1 (S1)** : CUT composé d'une seule puce (l'équivalent d'un CI-2D);
- **scénario 2 (S2)** : CUT composé de deux puces;
- **scénario 3 (S3)** : CUT composé de trois puces.

La figure 2.7 montre les trois scénarios simulés. Pour ces trois cas de figure, seulement la puce de haut est connectée au circuit de mesure de délai. Pour les trois scénarios, les puces empilées

Rapport-Gratuit.com

sont identiques. Par exemple, pour le scénario 3 la broche (Vdd Die 3) du PDN (figure 2.4) est connectée à la broche Vdd du circuit de mesure de délai (figure 2.5).

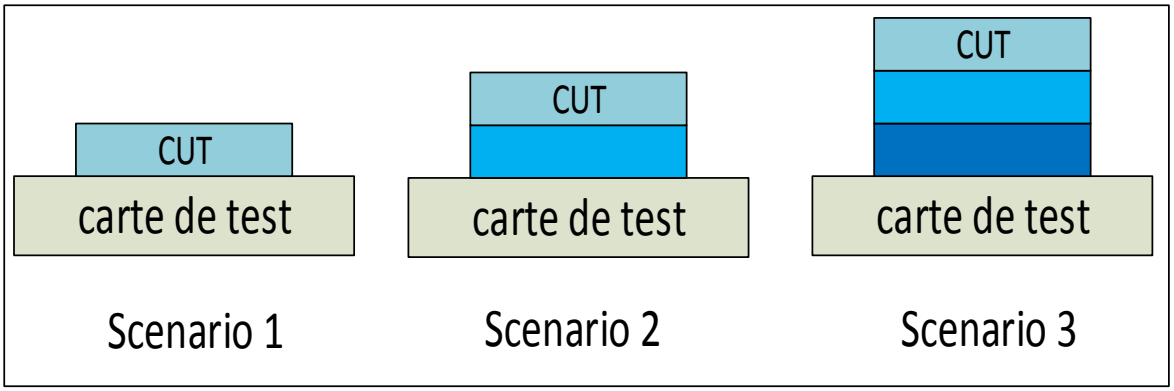

Figure 2.7 Scénarios étudiés lors des simulations

2.4.2 Simulation AC

L'analyse du comportement AC du circuit a permis d'obtenir une première série de résultats. Le but de cette analyse est de déterminer les fréquences de résonance du circuit pour les trois scénarios. Dans HSPICE, l'impédance du PDN peut être simulée au moyen de la définition de l'impédance (équation 2.1) : le rapport de tension par rapport au courant.

$$Impedance\ (\Omega) = \frac{\mathrm{V}}{I} \tag{2.1}$$

La figure 2.8 montre un modèle PDN simplifié pour la simulation d'impédance. Une source de courant DC est connectée au port Vdd die *i* (*i* est l'indice du nombre de puces utilisées) du modèle PDN (figure 2.4). La valeur du courant total I a été choisie égale à 1 A de sorte que la tension simulée sur un port de tension (Vdd Die *i*) donne directement la valeur d'impédance.

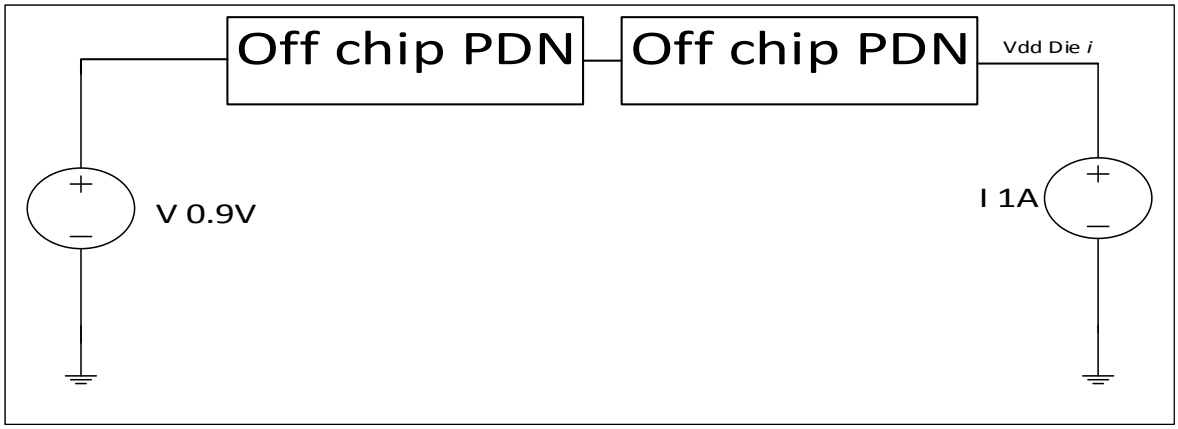

Figure 2.8 Modèle PDN simplifié pour la simulation d'impédance

La figure 2.9 trace l'impédance du modèle PDN des trois scénarios. Elle montre différentes zones de fréquence. Le module de régulateur de tension (VRM) a des fréquences de réponse dans la gamme des kHz, ce qui est beaucoup plus faible que les fréquences de PDN complet. L'impédance du circuit imprimé (*board)* et le boîtier (*package*) se situent dans la zone des MHz. Le PDN sur puce couvre la gamme de fréquences supérieures à 100 MHz. Cette figure montre aussi les trois pics de résonance associés aux trois scénarios (zone de PDN sur-puce). Le circuit avec une puce (scénario 1) a une fréquence de résonance égale à 340 MHz, le circuit à 2 puces (scénario 2) une fréquence de résonance de 240 MHz et 200 MHz pour le circuit à 3 puces (scénario 3). Cette figure montre que le pic d'impédance se déplace vers des fréquences plus basses lorsque le nombre de puces augmente.

Rapport-gratuit.com
LE NUMERO 1 MONDIAL DU MÉMOIRES

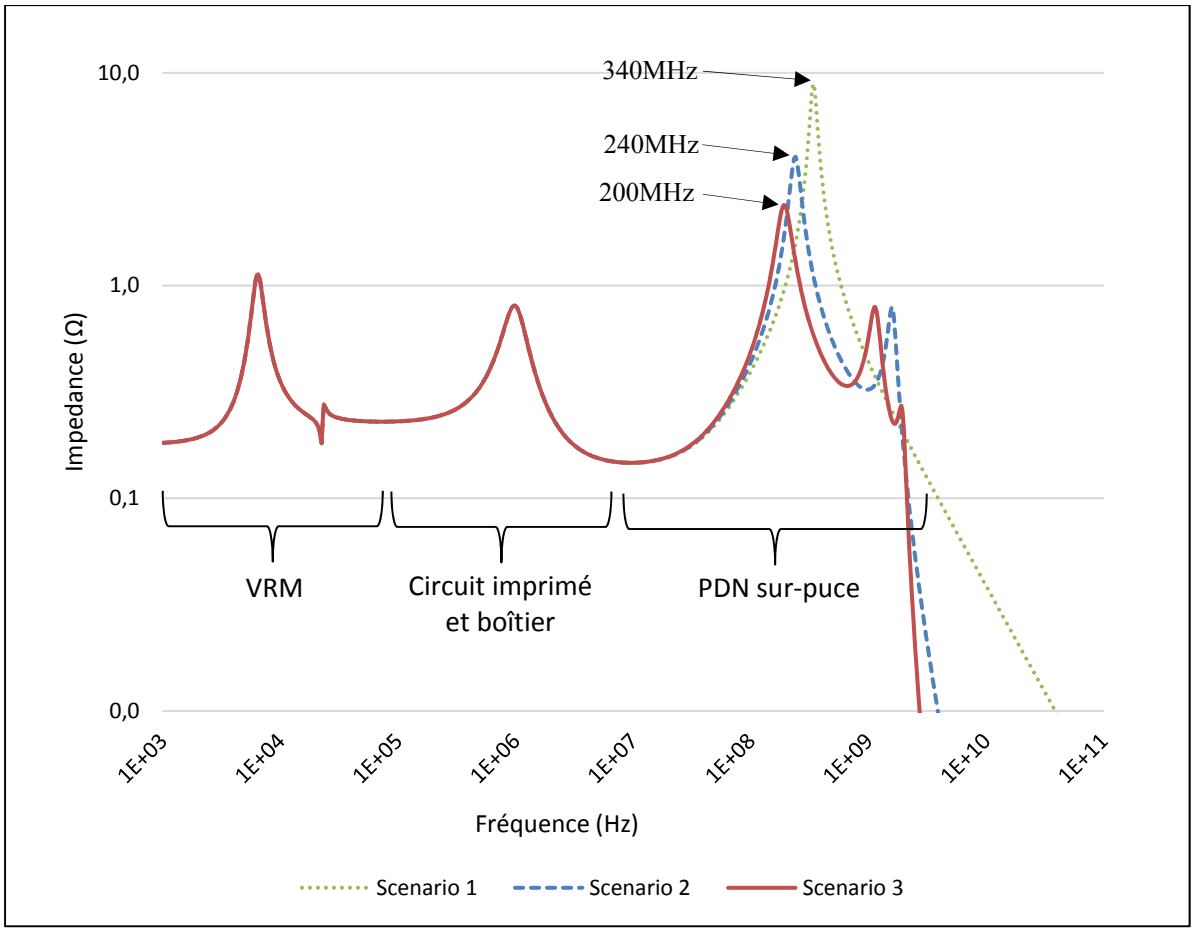

Figure 2.9 Impédance simulée du PDN 3D pour les 3 scénarios considérés
Adaptée de Thibeault et Louati (2017)

2.4.3 Mesure de délai en mode fonctionnel

2.4.3.1 Résultats de mesure

Cette partie présente les résultats de simulation des mesures de délai en mode fonctionnel. Pour ce faire, une analyse transitoire a été simulée avec HSPICE. Elle a permis de calculer la marge de synchronisation de délai X et le délai de propagation Y. Une fenêtre de 400 ns a été utilisée pendant ce mode. Cette fenêtre permet d'acquérir des états stables tout en gardant le temps de simulation dans des marges acceptables.

La figure 2.10 trace les formes d'onde des signaux n0, n3 et n102 (du haut en bas) pendant le mode fonctionnel (5 dernières périodes). Ces formes d'onde résultent d'une simulation à 200 MHz et avec le scénario S1.

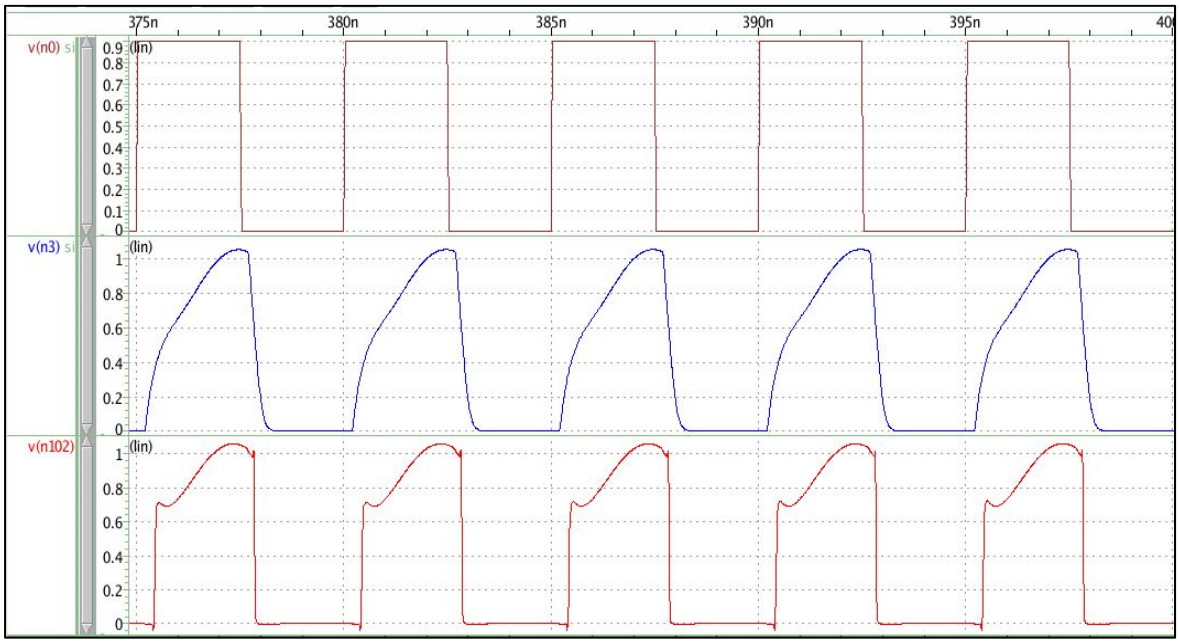

Figure 2.10 Exemple de forme d'onde générée par HSPICE du scénario S1 à 200 MHz en mode fonctionnel

Le tableau 2.1 présente les mesures des délais du modèle PDN pour les 3 scénarios S1, S2 et S3. Cette simulation a été faite avec un seul domaine d'horloge. Les résultats ont été obtenus par variation de la fréquence du circuit en mode fonctionnel. La première ligne de tableau présente les fréquences de fonctionnement utilisées (178, 200, 213, 228, 240, 265, 316, 340, 400 et 680 MHz). Les valeurs Y_{mm} représentent les délais de propagation du signal d'horloge. Les valeurs X_{mm} représentent les valeurs de la marge de synchronisation (figure 2.6); elles représentent la marge minimale observée pendant les 50 dernières périodes d'horloge de la fenêtre de stabilisation choisie (400 ns d'activité en mode fonctionnel). De plus, toutes les simulations de mesure (X et Y) ont été effectuées lorsque les signaux d'horloge sur les nœuds n3 et n102 de la figure 2.6 atteignaient la valeur de tension Vdd/2.

Tableau 2.1 Mesure de délai de propagation en mode fonctionnel avec les trois scénarios

F_{mm} (MHz)		178	200	213	228	240	265	316	340	400	680
S1	**Y_{mm} (ns)**	5,50	4,76	4,56	3,92	3,69	3,36	3,12	2,54	2,60	1,5
	X_{mm} (ps)	396	239	136	247	104	101	9,89	400	-96	-30,3
S2	**Y_{mm} (ns)**	5,76	4,80	4,55	3,76	3,69	3,43	3,26	2,90	2,65	1,56
	X_{mm} (ps)	149	201	142	404	116	420	-132	37,5	-148	-84,6
S3	**Y_{mm} (ns)**	5,8	4,85	4,62	4,20	3,77	3,49	3,32	2,96	2,70	1,61
	X_{mm} (ps)	113	152	80	147	32,8	-21	-188	-15	-200	-138

2.4.4 Interprétation des résultats

Une première lecture des résultats montre une variation au niveau de la marge X_{mm} des trois scénarios pour chaque fréquence. Nous pouvons remarquer que les résultats varient différemment si la fréquence d'horloge et/ou le nombre des puces du circuit 3D changent. Par exemple, à 340 MHz, X_{mm} est égale à 400 ps pour le scénario 1 et à force d'ajouter des puces la marge diminue jusqu'à 37,5 ps pour S2 et -15 ps pour S3. Pour le cas de la fréquence 228 MHz, X_{mm} augmente de 247 ps (S1) jusqu'à 404 ps (S2), et diminue après l'ajout d'une troisième puce jusqu'à 147 ps (S3).

Ces résultats confirment que le fait d'ajouter des puces au CUT affecte le comportement de circuit en mode fonctionnel. Ces résultats démontrent que le changement d'impédance à différents moments peut affecter les résultats de test en fréquence. Les résultats présentés dans cette partie seront considérés comme une référence lors de la comparaison des différentes techniques de SBAST.

2.5 Conclusion

Ce chapitre a présenté les modèles de simulations HSPICE utilisés dans ce mémoire, à savoir le modèle PDN du circuit intégré 3D utilisé, ainsi que le circuit de mesure de délai et son

principe de fonctionnement. Il a décrit également les trois scénarios étudiés du circuit 3D. Une simulation AC a été aussi présentée pour déterminer les fréquences de résonance du PDN pour les trois scénarios. De plus, une première série de résultats en mode fonctionnel a été présentée. En référence à ces résultats, il a été montré que la variation d'impédance d'un circuit affecte le comportement de circuit en mode fonctionnel.

CHAPITRE 3

RÉSULTATS DE SIMULATION EN MODE TEST POUR LES PRINCIPALES TECHNIQUES DE TEST SBAST EXISTANTES

3.1 Introduction

Ce chapitre présente les résultats de simulations en mode test de délai obtenus avec les principales techniques de test SBAST. La section 3.2 présente la métrique de test utilisée pour présenter ces résultats. La section 3.3 présente les résultats obtenus avec les techniques LOC et LOS. La section 3.4 décrit ceux obtenus avec la technique SeBoS, la section 3.5, ceux obtenus avec la technique BurstMode et finalement, la section 3.6 ceux obtenus avec la technique PKLPG.

3.2 Métrique de test

Pour comparer les différentes techniques de SBAST, l'équation 3.1 a été définie :

$$M_{R/Tmm} = 100 \cdot \frac{X_t - X_{mm}}{T_{mm}} \tag{3.1}$$

où X_t est la marge de synchronisation de délai de la technique ciblée, X_{mm} la marge de synchronisation de délai lors du mode fonctionnel (mode mission) et T_{mm} la période de fonctionnement du circuit en mode fonctionnel. La métrique de test utilisée représente donc le pourcentage d'erreur entre la marge de synchronisation de délai du mode test ciblé et celle du mode fonctionnel (considéré comme référence), le tout normalisé sur la période d'horloge en mode fonctionnel.

Pour avoir un cas idéal, il faut que X_t soit égale à X_{mm} ($M_{R/Tmm} = 0$). Une valeur positive de $M_{R/Tmm}$ signifie que la technique de test ciblée augmente la marge de synchronisation de délai et que le CUT semble plus rapide que dans le mode fonctionnel. Une valeur négative de $M_{R/Tmm}$

signifie que la marge de synchronisation de délai du mode fonctionnel est plus grande que celle du mode test. La figure 3.1 résume ces trois cas.

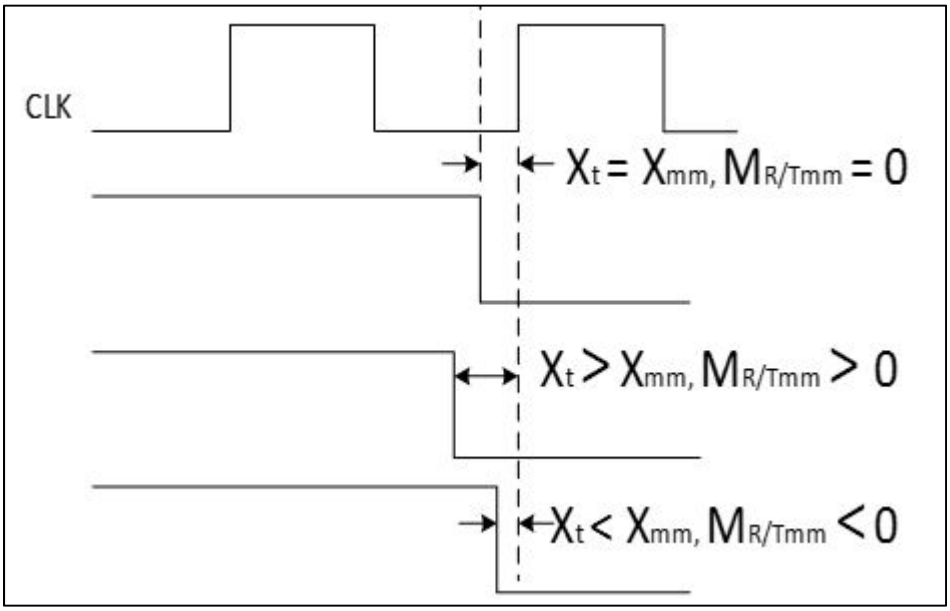

Figure 3.1 Métrique basée sur la marge de synchronisation de délai du mode test et du mode fonctionnel

Pour le calcul de la marge de synchronisation de délai (X_t) avec les différentes techniques de test (LOC, LOS, SeBoS, BurstMode et PKLPG), aucune phase de décalage (Shift) n'a été simulée. La phase de décalage a été négligée afin d'imiter la pause avant la phase de capture (généralement utilisée par ces techniques) et de réduire le temps de simulation. De plus, deux niveaux d'activité de commutation du circuit ont été définis :

- pour la phase de décalage et lancement du type LOS, un haut niveau d'activité de commutation (SA = H) a été considéré (2,5 lignes activées);
- pour le mode fonctionnel, le lancement du type LOC et la capture de transition, un bas niveau d'activité de commutation (SA = L) a été considéré (une ligne activée).

Le nombre de lignes activé a été défini à l'aide du rapport $R_{H/L}$ qui a été expliqué dans la section 2.3.1.

3.3 Résultats de simulation pour les techniques Launch on Capture et Launch on Shift

L'ensemble de résultats de simulation transitoire suivant a été obtenu avec les techniques de test LOC et LOS. Ces résultats ont été obtenus avec un seul domaine d'horloge à différentes fréquences d'horloge (178, 200, 213, 228, 240, 316, 340, 400 et 680 MHz) et pour les 3 scénarios étudiés. Les mesures de délai de propagation de ces deux techniques sont présentées à l'annexe II.

Le tableau 3.1 montre les résultats de la métrique $M_{R/Tmm}$ obtenus avec les techniques LOC et LOS. Pour les deux techniques, les valeurs de la métrique changent d'une manière importante si la fréquence d'horloge ou le nombre de puces dans le circuit 3D change. Par exemple, avec LOC à 340 MHz, la valeur de $M_{R/Tmm}$ varie de 26 % pour S1 à -3,1 % pour S3. Il en résulte un écart de 29 %. À la même fréquence avec LOS, la valeur de $M_{R/Tmm}$ varie de 17 % pour S1 à -20 % pour S3, ce qui donne un écart de 37 %. L'écart est encore plus large pour LOS à 680 MHz, atteignant 76 %. Ces résultats montrent que ces deux techniques sont sensibles à la variation d'impédance.

Tableau 3.1 $M_{R/Tmm}$ (%) en fonction de la fréquence d'horloge F_{mm} des techniques LOC et LOS, et les 3 scénarios considérés

F_{mm} (MHz)		178	200	213	228	240	265	316	340	400	680
S1	**LOC**	0,8	-2,3	-3,8	7,0	1,5	5,8	32	26	21	-16
	LOS	-17	-12	-8,4	-6,8	3,5	12	45	17	4,7	39
S2	**LOC**	-1,5	3,0	5,2	1,7	12	9,7	9,2	3,1	0,3	-12
	LOS	-5,1	10	17	12	9,1	1,9	-3,1	-10	-9,7	-18
S3	**LOC**	3,7	4,8	4,7	2,3	6,1	2,4	2,2	-3,1	-3,2	-6,1
	LOS	-1,6	-1,0	-3,3	-7,3	-4,7	-9,4	-12	-20	-17	-37

Rapport-Gratuit.com

Une autre façon d'examiner ces résultats est d'utiliser la métrique (RMSE, *Root Mean Square Error*) pour comparer les différentes techniques de SBAST.
L'équation 3.2 présente la racine de l'erreur quadratique moyenne, où la valeur $M_{R/Tmm}$ représente l'erreur *err (i)* et *n* représente le nombre total des cas (fréquences et/ou scénarios) étudiés pour chaque technique.

$$\mathrm{RMSE} = \sqrt{\frac{1}{n}\left(\sum err(i)^2\right)} \tag{3.2}$$

Tableau 3.2 RMSE en fonction de la fréquence d'horloge F_{mm}
des techniques LOC et LOS

F_{mm} (MHz)	178	200	213	228	240	265	316	340	400	680
LOC	2,4	3,5	4,6	4,4	7,8	6,7	19,3	15,2	12,3	12,1
LOS	10,3	9,0	11,1	9,0	6,2	8,9	26,9	16,2	11,6	32,7

Le tableau 3.2 présente les valeurs de RMSE en fonction de la fréquence de l'horloge F_{mm} (n=3 dans ce cas). En analysant les valeurs de RMSE de ce tableau, nous remarquons que LOC fournit de meilleurs résultats que LOS pour la plupart des fréquences. À certaines fréquences (178 et 200 MHz), LOC fournit même des résultats acceptables.

Si on considère l'ensemble des fréquences et des scénarios considérés au tableau 3.1 (n=30), le RMSE global de LOC est égale à 10,3 % contre 16,4 % pour LOS.

Tous les résultats discutés montrent, d'une part, que les deux techniques souffrent en réponse à la variation d'impédance, d'autre part que LOC est moins sensible à la variation d'impédance de PDN que LOS. Ces résultats permettent de valider la deuxième partie de l'hypothèse de ce projet selon laquelle la variation d'impédance d'un circuit peut affecter son comportement en mode test.

3.4 Résultats de simulation pour la technique Sequential Broadside Side (SeBoS)

Cette section s'intéresse aux résultats de simulation obtenus avec la technique SeBoS. La plupart de résultats de cette section et de la section prochaine ont été tirés de l'article (Thibeault et Louati, 2017).

Comme mentionné au chapitre 1, SeBoS consiste à appliquer plusieurs horloges lentes suivies par une phase de lancement et de capture à vitesse nominale pendant les deux derniers cycles. SeBoS utilise une pause entre la phase de décalage (*shift-in*) et avant les *n* cycles d'horloge lente. Nous rappelons qu'aucune impulsion de décalage n'a été simulée et que la phase de décalage a été remplacée par une pause.

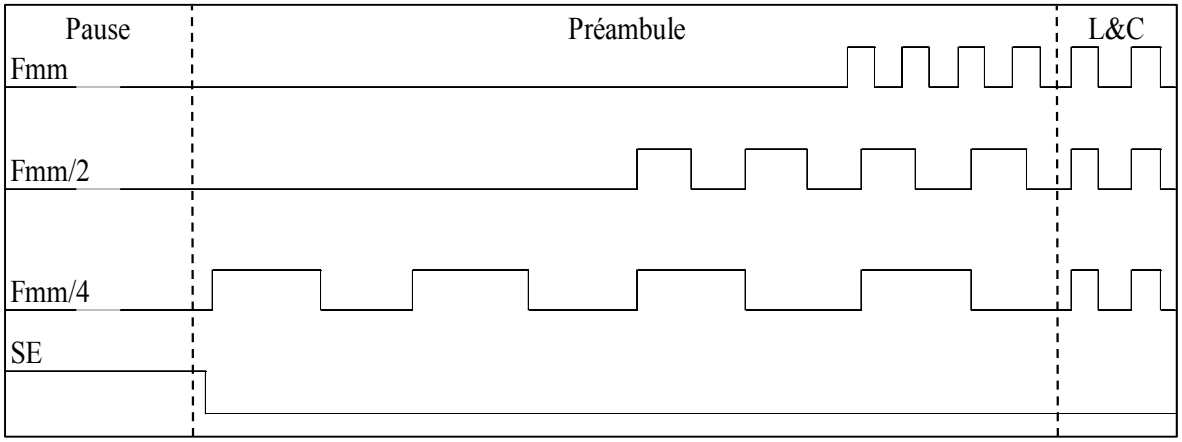

Figure 3.2 Chronogramme de trois séquences d'horloge simulées avec la technique SeBoS
Adaptée de Thibeault et Louati (2017)

La figure 3.2 montre le chronogramme des trois séquences d'horloge simulées avec SeBoS. Chaque séquence contient un préambule de *n* cycles d'horloge lente, suivi des impulsions de lancement et de capture de type LOC. La valeur *de n* choisie est égale à 4. Cette valeur est située entre les deux valeurs maximales utilisées par (Liu et al., 2008) et (Pant et Zelman, 2009), 3 et 6, respectivement. La différence entre les 3 séquences est au niveau de la fréquence appliquée pendant le préambule du cycle n, F_{nscc}. F_{nscc} est réglée sur F_{mm}, $F_{mm}/2$ et $F_{mm}/4$,

Rapport-gratuit.com
LE NUMERO 1 MONDIAL DU MÉMOIRES

respectivement de haut en bas. Toutes les impulsions sont des impulsions de capture, ceci veut dire que le niveau d'activité de commutation du circuit considéré est bas (SA = L).

Le tableau 3.3 montre les résultats de simulation des 3 scénarios étudiés et des 3 séquences d'horloge. Pour chaque scénario et chaque fréquence d'horloge, le meilleur cas des 3 résultats est coloré en bleu.

Tableau 3.3 $M_{R/Tmm}$ (%) en fonction de la fréquence d'horloge F_{mm} et F_{nscc}, pour la technique SeBoS, et les 3 scénarios considérés
Adapté de Thibeault et Louati (2017)

F_{mm} (MHz)		178	200	213	228	240	265	316	340	400	680
S1	**$F_{nscc} = F_{mm}$**	-0,2	0,8	1,1	-1,9	4,3	0,5	6,3	20,2	10,5	13,7
	$F_{nscc}=F_{mm/2}$	-1,5	-10	-10,1	-8,4	2,1	4,4	14,6	16,6	14,4	-50,1
	$F_{nscc}=F_{mm/4}$	-3,3	-6,3	-7,5	-9,5	-1,8	3,7	28,1	20,6	9,8	-34,4
	Meilleur cas	-0,2	0,8	1,1	-1,9	-1,8	0,5	6,3	16,6	9,8	13,7
S2	**$F_{nscc} = F_{mm}$**	-0,1	0,7	1,7	-1,0	9,4	1,0	6,3	2,9	6,1	4,7
	$F_{nscc}=F_{mm/2}$	-2,7	0,7	1,6	-3,2	5,7	2,5	7,2	3,4	-6,1	-10,3
	$F_{nscc}=F_{mm/4}$	-4,4	0,6	2,3	-2,1	7,9	5,6	1,1	-2,3	6,3	-10,4
	Meilleur cas	-0,1	0,6	1,6	-1,0	5,7	1,0	1,1	-2,3	-6,1	4,7
S3	**$F_{nscc} = F_{mm}$**	0,4	1,0	-0,3	-2,4	2,8	1,2	4,9	3,3	9,0	12,1
	$F_{nscc}=F_{mm/2}$	-0,3	0,5	-0,1	-2,1	3,0	0,6	-0,6	-10,1	-19,4	-1,3
	$F_{nscc}=F_{mm/4}$	0,1	1,9	1,0	-2,0	1,8	-2,6	-0,6	-7,0	8,9	-20,8
	Meilleur cas	0,1	0,5	-0,1	-2,0	1,8	0,6	-0,6	3,3	8,9	-1,3

À partir de ce tableau, nous pouvons voir que le choix de F_{nscc} peut avoir un impact significatif sur les résultats. À titre d'exemple, dans le premier scénario (S1), la valeur de $M_{R/Tmm}$ à 680 MHz passe de 13,7 % (F_{mm}) à -50 % ($F_{mm}/2$). Ceci montre que le ralentissement de l'horloge F_{nscc} ne fournit pas nécessairement de meilleurs résultats. Encore dans le premier

scénario, nous pouvons voir que la première séquence d'horloge (F_{nscc}=F_{mm}) donne de meilleures valeurs de $M_{R/Tmm}$ (7 des 10 cas).

De plus, si nous regardons la ligne des meilleurs cas pour les trois scénarios, nous pouvons voir clairement que SeBoS peut être affecté par la variation de l'impédance du PDN. À 340 MHz, avec la meilleure valeur F_{nscc} de chaque scénario, la valeur de $M_{R/Tmm}$ passe de 16,6 % (S1, F_{mm}/2) à -2,3 % (S2, F_{mm}/4). Il en résulte un écart de 19 % dû à la variation d'impédance. Les résultats précédents montrent que la technique SeBoS nécessite une calibration afin de choisir la meilleure option de test, idéalement faite pour chacun des scénarios.

3.5 Résultats de simulation pour la technique BurstMode

Comme mentionné au chapitre1, la technique BurstMode utilise des *burst* de 5 impulsions d'horloge à vitesse nominale après une phase de décalage et une pause. Les quatre premières impulsions d'horloge sont considérées comme des cycles de décalage, tandis que la dernière correspond au cycle de capture. Nous rappelons que la technique BurstMode utilise le schème LOS.

La figure 3.3 montre les 5 *burst* (B1, B2, B3, B4 et B5) explicitement définis dans (Nadeau-Dostie, Takeshita et Cote, 2008). Ces cas de figure sont l'objet des résultats du tableau 3.4. Pour chaque *burst,* comme les quatre premières impulsions sont des impulsions de décalage (la quatrième servant à lancer la transition), le niveau d'activité de commutation du circuit pour ces quatre impulsions est défini au niveau haut (SA = H). Comme la cinquième impulsion est une impulsion de capture (C), l'activité de commutation du circuit y est définie à un niveau bas (SA = L).

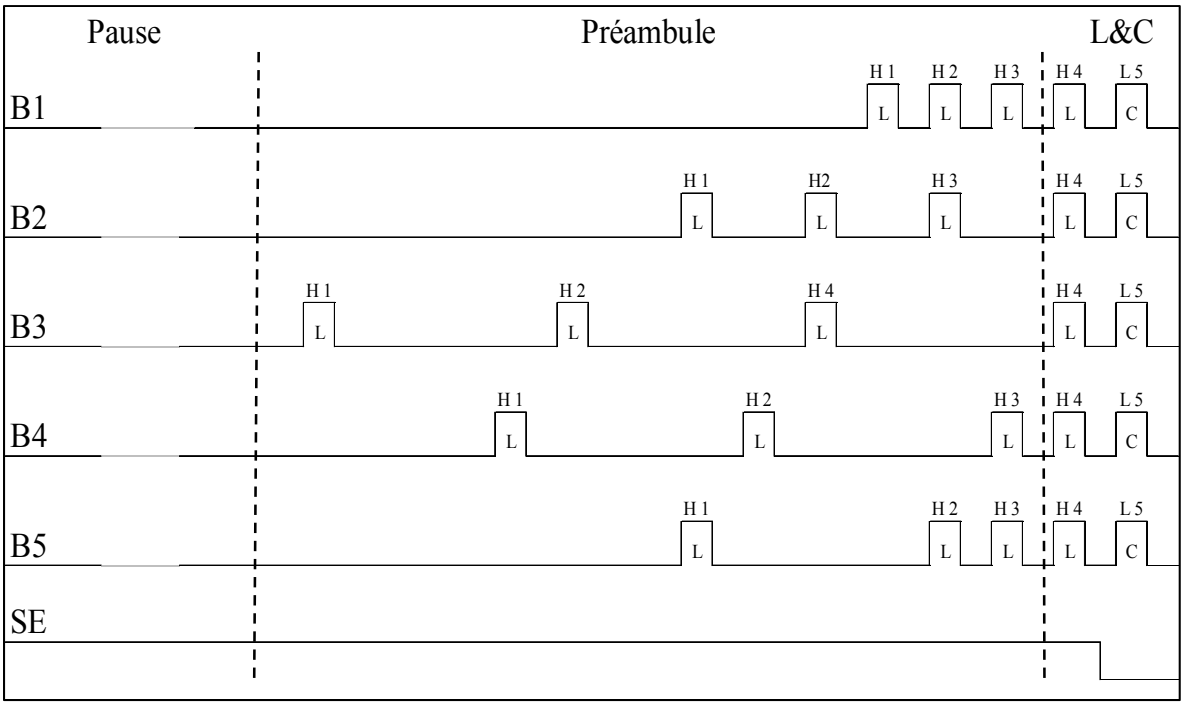

Figure 3.3 Chronogramme de cinq *bursts* simulés avec la technique BurstMode
Adaptée de Thibeault et Louati (2017)

Le tableau 3.4 présente les résultats de simulation de la métrique $M_{R/Tmm}$ en fonction des 3 scénarios étudiés et des 5 *burst* de la technique BurstMode (les mesures de délai de propagation X et Y sont présentées dans l'annexe II). Pour chaque scénario et chaque fréquence d'horloge, le meilleur cas est coloré en bleu.

Une première lecture des résultats montre qu'il n'y a aucun cas où un *burst* donné fournit le meilleur résultat pour tous les 3 scénarios à n'importe quelle fréquence d'horloge considérée. C'est une première indication que BurstMode peut souffrir de la variation d'impédance du PDN. Une autre indication apparaît à 340 MHz. À cette fréquence, le meilleur cas de $M_{R/Tmm}$ est égal à 19 % (S1, B2) et passe à -0,6 % (S2, B1), ce qui donne un écart d'environ 20 %.

De plus, si nous regardons les résultats sous un autre angle, nous pouvons constater que cette technique nécessite également une phase de calibration pour la sélection du bon *burst*. Par

exemple, pour le scénario S1 à 316 MHz, le choix de B3 au lieu de B1 entraînerait une valeur de la métrique de test égale à 41 % au lieu de -5,7 %.

Tableau 3.4 $M_{R/Tmm}$ (%) en fonction de la fréquence d'horloge F_{mm}
pour la technique BurstMode, et les 3 scénarios considérés
Adapté de Thibeault et Louati (2017)

F_{mm} (MHz)		178	200	213	228	240	265	316	340	400	680
S1	**B1**	-6,4	-2,4	-3,9	-7,7	0,1	-1,0	-5,7	-24	26	0,5
	B2	-8,6	-14	-11	-7,3	6,0	15	12	19	17	-3,1
	B3	-12	-11	-9,6	-7,9	0,9	8,9	41	28	7,3	-47
	B4	-6,2	-4,0	-5,9	-8,4	-1,2	-0,2	-20	-33	43	16
	B5	-8,8	-5,0	-5,1	-8,3	-1,7	-2,4	-5,7	-25	-13	-2,5
	Meilleur cas	-6,2	-2,4	-3,9	-7,3	0,1	-0,2	-5,7	19	7,3	0,5
S2	**B1**	-6,3	-2,1	-2,0	-6,7	-15	-5,3	1,6	-0,6	-5,6	11
	B2	-3,7	5,5	9,3	4,7	8,1	4,3	10	5,5	-8,6	-32
	B3	-5,7	5,0	10	8,2	13	8,2	-2,2	-6,6	-3,1	-20
	B4	-6,8	-0,7	0,6	-4,3	1,3	-3,7	-1,6	-3,0	-6,2	-22
	B5	-6,4	-3,3	-3,1	-10	-16	-4,0	1,4	-2,5	2,6	2,8
	Meilleur cas	-3,7	-0,7	0,6	-4,3	1,3	-3,7	1,4	-0,6	2,6	2,8
S3	**B1**	-6,9	-5,7	-8,8	-10	-3,8	-5,4	-3,4	-8,6	-8,3	4,9
	B2	-1,9	-0,7	-1,0	-2,4	2,4	0,4	-4,3	-18	-30	-16
	B3	-0,7	2,0	1,2	-3,0	-0,6	-6,7	-4,5	-12	-22	-38
	B4	-4,7	-4,2	-6,2	-9,8	-5,9	-7,0	-0,8	0,1	-32	-42
	B5	-6,5	-5,6	-6,8	-8,9	-3,8	-4,6	-1,1	-6,9	14	-5,9
	Meilleur cas	-0,7	-0,7	-1,0	-2,4	-0,6	0,4	-0,8	0,1	-8,3	4,9

3.6 Résultats de simulation pour la technique Pseudo-functional K Longest Paths per Gate (PKLPG)

La figure 3.4 montre le chronogramme de la technique PKLPG simulé avec HSPICE. Cette technique est assez similaire à SeBoS (cas F_{nscc}=F_{mm}). La seule différence est que la pause de SeBoS est remplacée par *n* impulsions d'horloge lente (6 impulsions dans notre cas à 15 MHz et 20 MHz, en mode LOC) avant les 6 pulses à F_{mm} (qui sont aussi en mode LOC). L'activité de commutation du circuit est au niveau bas (SA=L), vu que toutes les impulsions de l'horloge sont des impulsions de capture.

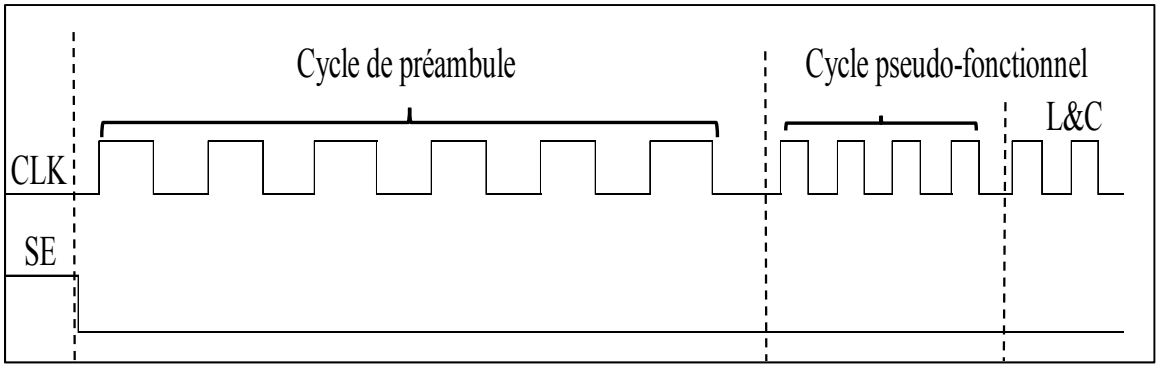

Figure 3.4 Chronogramme de la technique PKLPG simulée

Les résultats de simulations de la métrique $M_{R/Tmm}$ sont présentés dans le tableau 3.4 (les mesures de délai de propagation sont présentées dans l'annexe II). Les meilleurs cas pour chaque scénario et chaque horloge sont colorés en bleu.

Pour tous les scénarios et les fréquences utilisées, le fait de ralentir les préambules ne donne pas nécessairement de meilleurs résultats. Pendant le premier scénario, 7 cas parmi 10 présentent de meilleures valeurs de $M_{R/Tmm}$ lorsque la fréquence de préambule est égale à 20 MHz contre 3 cas lorsque la fréquence de préambule est égale à 15 MHz.

Nous pouvons voir encore une fois que même cette technique peut souffrir de la variation d'impédance du PDN. En effet, la valeur de la métrique à 340 MHz passe de 20 % lors du premier scénario à 2,9 % (S3). Il en résulte une différence de 17 %.

En comparant les résultats de la technique PKLPG (tableau 3.4) à ceux de SeBoS (cas F_{nscc}=F_{mm}) (tableau 3.2), nous pouvons remarquer que les deux techniques présentent des résultats assez proches.

Tableau 3.5 $M_{R/Tmm}$ (%) en fonction de la fréquence d'horloge F_{mm} pour la technique PKLPG, et les 3 scénarios considérés

F_{mm} (MHz)		178	200	213	228	240	265	316	340	400	680
S1	**F=15MHz**	-0,5	0,6	0,9	-2,2	4,2	0,1	5,9	20	10	13,5
	F=20MHz	-0,5	0,5	0,8	-2,3	4,0	-0,1	5,6	20	10	13,4
	Meilleur cas	-0,5	0,5	0,8	-2,2	4,0	-0,1	5,6	20	10	13,4
S2	**F=15MHz**	-0,1	0,4	1,2	-1,2	9,1	0,9	6,1	2,7	5,9	4,4
	F=20MHz	-0,3	0,5	0,9	-1,3	8,9	0,7	6,0	2,6	5,8	4,5
	Meilleur cas	-0,1	0,4	0,9	-1,2	8,9	0,7	6,0	2,6	5,8	4,4
S3	**F=15MHz**	0,17	0,7	-0,5	-2,5	2,7	1,1	4,7	3,2	8,9	12,0
	F=20MHz	0,05	0,6	-0,7	-2,7	2,6	0,9	4,5	2,9	8,7	11,9
	Meilleur cas	0,05	0,6	-0,5	-2,5	2,6	0,9	4,5	2,9	8,7	11,9

3.7 Conclusion

Ce chapitre a décrit les résultats de simulation des principales techniques existantes de test de type SBAST, à savoir, LOC, LOS, SeBoS, BurstMode et PKLPG. Les simulations ont été effectuées avec un seul domaine d'horloge et avec différentes fréquences de fonctionnement.

Pour chaque technique, il a été démontré que la variation de l'impédance du circuit peut affecter le comportement du circuit en mode test, ce qui valide l'hypothèse de ce travail. De plus, les résultats ont montré que les techniques SeBoS et BurstMode nécessitaient une calibration afin de choisir la meilleure option de fréquence F_{nscc} et de *burst*, respectivement.

Le problème de la variation d'impédance du PDN a été la motivation derrière le développement d'une nouvelle technique de test de balayage à vitesse nominale moins sensible à une telle variation. Cette nouvelle technique est présentée au chapitre suivant.

CHAPITRE 4

NOUVELLE TECHNIQUE DE TEST PROPOSÉE ET COMPARAISON AVEC LES TECHNIQUES EXISTANTES

4.1 Introduction

Ce chapitre décrit, à la section 4.2, la nouvelle technique de test de balayage à vitesse nominale développée pour être plus robuste à la variation d'impédance du réseau de distribution d'alimentation. Il présente, à la section 4.3, les résultats de simulation en mode test de délai obtenus avec la nouvelle technique développée. Il compare et analyse, à la section 4.4, les résultats de simulation obtenus avec OCAS à ceux de principales techniques de test existantes.

4.2 Nouvelle technique de test OCAS

Dans les deux chapitres précédents, il a été montré que la variation d'impédance du PDN affecte le comportement du circuit en mode test et en mode fonctionnel. La solution à ce problème consistait à développer une nouvelle technique de test plus robuste à la variation d'impédance.

Cette section présente la nouvelle technique de test SBAST nommée (OCAS, *One Clock Alternated Shift*) (Thibeault et Louati, 2017). La technique OCAS imite d'une façon proche le mode fonctionnel tout en appliquant des tests de balayage à vitesse nominale. Le but de cette imitation est d'obtenir en mode test des conditions de distribution d'alimentation similaires à celle du mode fonctionnel.

La technique OCAS reproduit le plus fidèlement possible la forme d'onde du domaine d'horloge associé au mode fonctionnel en régime permanent. Cette reproduction est basée sur l'hypothèse que le PDN réagit comme un circuit linéaire et que les impulsions de courant causées par la commutation des portes logiques se comportent comme des fonctions de Dirac. Sachant que les impulsions de décalage (*shift*) ne supportent pas la haute vitesse, l'idée était

Rapport-Gratuit.com

de séparer le domaine d'horloge F_{clk} en deux sous-domaines d'horloge distincts. Les impulsions de décalage sont définies d'une façon alternée pour chaque sous-domaine d'horloge (S_{clk1} et S_{clk2}). En effet, OCAS utilise les impulsions du mode fonctionnel, mais alterne la phase de décalage des deux sous-domaines d'horloge pour imiter le mode fonctionnel, grâce à un conditionnement d'horloge (*clock gating*).

Pour le développement de cette nouvelle approche, deux conditions ont été présupposées :

- les deux sous-domaines ont une taille similaire;
- une fois les chaînes de balayage à basse vitesse remplies, une rotation entre en jeu pour atteindre le régime permanent avant que la phase de lancement et capture soit appliquée.

La figure 4.1 montre le chronogramme de la nouvelle technique développée avec un seul domaine d'horloge. Le premier signal F_{clk} représente l'horloge du mode fonctionnel à imiter. Les étiquettes SA= L représentent le niveau d'activité de commutation du circuit fixé au niveau bas tout au long du mode fonctionnel.

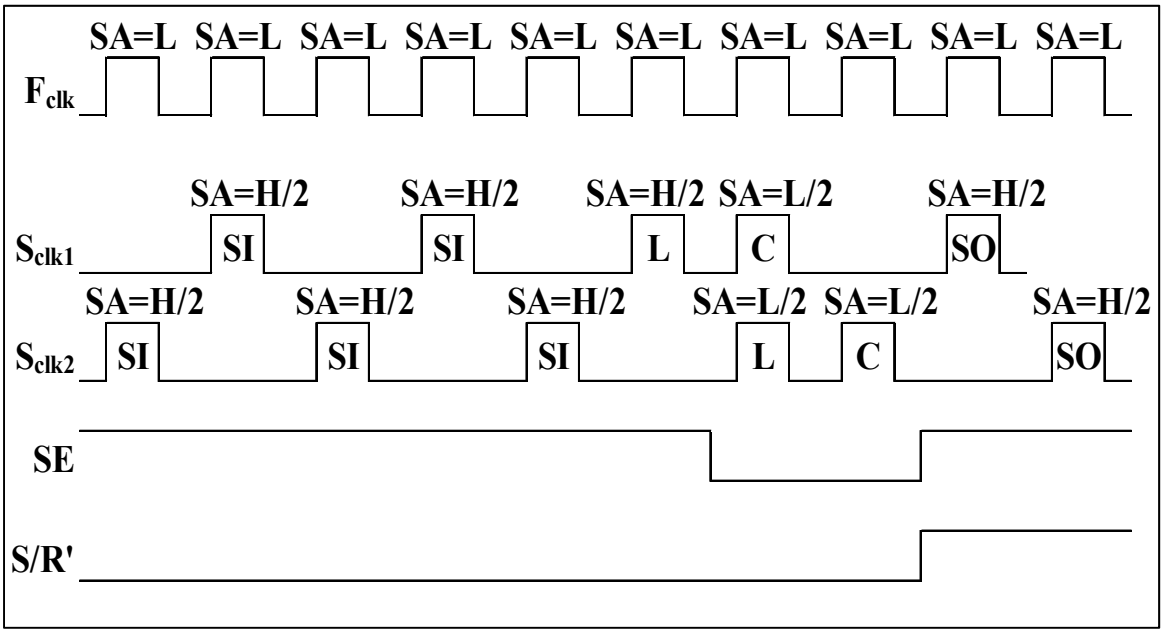

Figure 4.1 Chronogramme de la technique proposée OCAS
Tirée de Thibeault et Louati (2017)

Le deuxième et le troisième signal (S_{clk1} et S_{clk2}) représentent les deux sous-domaines d'horloge de balayage appliqués par la techniques OCAS. Les impulsions d'horloge marquées SI, L, C et SO sont destinées à balayer les vecteurs de test, à lancer les transitions, à capturer les résultats et à analyser les valeurs capturées, respectivement. L'étiquette SA=H/2 indique que l'activité de commutation est à la moitié du niveau haut (H). L'étiquette SA=L/2 indique que l'activité de commutation est à la moitié du niveau bas (L).

Le niveau d'activité de commutation des deux sous-domaines d'horloge est défini comme suit :

- H/2=1,25, qui correspond au niveau haut de l'activité de commutation pendant la phase de décalage et l'impulsion de lancement de la transition de type LOS;
- L/2=0,5, qui correspond au niveau bas de l'activité de commutation pendant le lancement du type LOC et la capture de transition.

Ces niveaux d'activité de commutation ont été définis afin de respecter le rapport $R_{H/L}$ (voir section 2.3.1). De plus, la technique OCAS applique un seul signal de balayage (SE) pour les deux sous-domaines d'horloge. Ce signal (quatrième sur la figure 4.1) est défini de sorte qu'un des deux sous-domaines de l'horloge est en mode LOS tandis que l'autre est en mode LOC.

Le dernier signal S/R' (*Shift/Rotate*) est défini pour faire une rotation dans le cas où les chaînes de balayage ne pourraient pas être remplies rapidement. La phase de décalage peut être complétée à basse vitesse, suivie d'une rotation alternée des chaînes de balayage avant les phases de lancement et de capture. Dans ce cas, la rotation remplace le décalage (SI). La rotation de la chaîne de balayage est utilisée dans (Nadeau-Dostie, Takeshita et Cote, 2008) mais pas d'une façon alternée.

4.3 Résultats de simulation

Des simulations ont été exécutées avec HSPICE dans le but d'estimer les délais de propagation avec la nouvelle technique OCAS. La phase de décalage a été prise en compte pendant les

Rapport-gratuit.com
LE NUMERO 1 MONDIAL DU MÉMOIRES

simulations de la technique OCAS. De plus, les mêmes valeurs de fréquence F_{mm} et les mêmes scénarios simulés avec les autres techniques ont été étudiées.

Deux moments de capture (LC1 et LC2) sont considérés avec la technique OCAS. LC1 représente le moment de capture du premier sous-domaine d'horloge S_{clk1} en mode LOS et LC2 représente le moment de capture du deuxième sous-domaine d'horloge S_{clk2} en mode LOC. Le choix du mode de test des deux sous-domaines d'horloge est arbitraire et ne change pas les résultats si le mode de test (LOC ou LOS) des deux sous-domaines d'horloge est inversé.

Tableau 4.1 $M_{R/Tmm}$ (%) en fonction de la fréquence d'horloge F_{mm} pour la technique OCAS, les deux moments de capture et les 3 scénarios considérés

F_{mm} (MHz)		178	200	213	228	240	265	316	340	400	680
S1	**LC1**	-3,5	-1,0	-0,5	-3,5	1,8	-0,9	4,4	-1,4	5,4	6,5
	LC2	-3,4	-0,9	-0,4	-3,4	1,9	-0,8	4,8	-1,2	5,5	6,5
	Pire cas	-3,5	-1,0	-0,5	-3,5	1,9	-0,9	4,8	-1,4	5,5	6,5
S2	**LC1**	-0,2	-0,4	-0,8	-6,5	3,1	0,5	5,0	2,2	5,7	8,2
	LC2	-0,2	-0,2	-0,6	-6,4	3,2	0,6	5,2	2,3	5,8	8,3
	Pire cas	-0,2	-0,4	-0,8	-6,5	3,2	0,6	5,2	2,3	5,8	8,3
S3	**LC1**	0,3	0,5	-0,03	-2,0	2,7	1,3	5,8	3,2	6,8	10,3
	LC2	0,5	0,7	0,2	-1,9	2,8	1,5	5,9	3,3	6,8	10,5
	Pire cas	0,5	0,7	0,2	-2,0	2,8	1,5	5,9	3,3	6,8	10,5

Le tableau 4.1 présente la métrique de test de la technique OCAS en fonction de la fréquence d'horloge F_{mm}, les deux moments de capture (LC1 et LC2) et les 3 scénarios considérés. De plus, il montre les pires cas de la métrique en fonction des deux moments de capture pour les trois scénarios considérés. Les valeurs des pires cas sont calculées en considérant la valeur de la métrique la plus élevée en valeur absolue.

Une première lecture de ces résultats montre que la différence entre les deux moments de test est minimale et ne dépasse pas 0,2 % pour toutes les fréquences. Cette différence est considérée comme un point fort de la technique OCAS car elle montre que la technique OCAS ne nécessite pas une calibration.

De plus, une comparaison des résultats de chaque scénario montre que pour la plupart des fréquences, OCAS fournit des résultats forts acceptables. Par exemple, à 213 MHz, la valeur de la métrique (LC1) est égale à -0,5 %, -0,8 % et -0,03 % pour le premier, deuxième et troisième scénario, respectivement.

Les résultats du tableau 4.1 montrent, d'une part, qu'OCAS est plus représentatif du mode fonctionnel. En effet, la métrique à certaines fréquences (178, 200, 213 et 265) est proche du cas idéal ($M_{R/Tmm}$ =0). D'autre part, ils montrent qu'OCAS est moins sensible à la variation d'impédance du réseau de distribution d'alimentation.

4.4 Comparaison et analyse des résultats avec les techniques existantes

Cette section présente une comparaison entre les résultats obtenus avec les différentes techniques (SeBoS, BurstMode, PKLPG et OCAS) permettant d'étudier l'impact de la variation d'impédance sur le CUT. Pour les techniques BurstMode, PKLPG et SeBoS, nous avons considéré les meilleurs cas de la métrique de test des trois scénarios lors de la comparaison (tableau 3.3, tableau 3.4 et tableau 3.5) et les pires cas de la technique OCAS.

Le tableau 4.2 expose ces résultats en fonction des trois scénarios considérés et de la fréquence d'horloge F_{mm}. Pour chaque scénario et chaque fréquence d'horloge, le meilleur résultat des quatre techniques est coloré en bleu.

Dans ce tableau, le choix de ne pas comparer les résultats obtenus avec les techniques LOC et LOS s'explique par le fait que ces deux techniques ont été surpassées par SeBoS, BurstMode,

PKLPG et OCAS. De plus, l'un des objectifs de ce mémoire est de montrer une amélioration de la nouvelle technique développée par rapport aux techniques les plus avancées.

Le tableau 4.2 montre que la technique donnant le meilleur résultat varie d'un cas à l'autre selon les scénarios et les valeurs de F_{mm}. Parmi les 30 cas étudiés (3 scénarios et 10 F_{mm}), SeBoS et BurstMode donnent le meilleur résultat 10 fois, suivi par OCAS (7 fois) et PKLPG (3 fois). Cette première comparaison montre que les techniques SeBoS et BurstMode peuvent présenter le meilleur choix.

Tableau 4.2 Comparaison de $M_{R/Tmm}$ (%) entre les différentes techniques de test en fonction de la fréquence d'horloge F_{mm} et les 3 scénarios considérés
Adapté de Thibeault et Louati (2017)

F_{mm} (MHz)		178	200	213	228	240	265	316	340	400	680
S1	**SeBoS**	-0,2	0,8	1,1	-1,9	-1,8	0,5	6,3	16,6	9,8	13,7
	BurstMode	-6,2	-2,4	-3,9	-7,3	0,1	-0,2	-5,7	19	7,3	0,5
	PKLPG	-0,5	0,5	0,8	-2,2	4,0	-0,1	5,6	20	10	13,4
	OCAS	-3,5	-1,0	-0,5	-3,5	1,9	-0,9	4,8	-1,4	5,5	6,5
S2	**SeBoS**	-0,1	0,6	1,6	-1,0	5,7	1,0	1,1	-2,3	-6,1	4,7
	BurstMode	-3,7	-0,7	0,6	-4,3	1,3	-3,7	1,4	-0,6	2,6	2,8
	PKLPG	-0,1	0,4	0,9	-1,2	8,9	0,7	6,0	2,6	5,8	4,4
	OCAS	-0,2	-0,4	-0,8	-6,5	3,2	0,6	5,2	2,3	5,8	8,3
S3	**SeBoS**	0,1	0,5	-0,1	-2,0	1,8	0,6	-0,6	3,3	8,9	-1,3
	BurstMode	-0,7	-0,7	-1,0	-2,4	-0,6	0,4	-0,8	0,1	-8,3	4,9
	PKLPG	0,05	0,6	-0,5	-2,5	2,6	0,9	4,5	2,9	8,7	11,9
	OCAS	0,5	0,7	0,2	-2,0	2,8	1,5	5,9	3,3	6,8	10,5

Cependant, les valeurs de la métrique $M_{R/Tmm}$ colorées en jaune dans le tableau 4.2 montrent qu'OCAS présente le meilleur choix. En effet, la pire valeur parmi les 30 cas étudiés est égale

à 10,5 % pour OCAS (S3 à 680 MHz), suivi par SeBoS (16,6 %), BurstMode (17 %) et PKLPG (20 %).

La figure 4.2 montre un exemple de comparaison de la métrique de test $M_{R/Tmm}$ des différentes techniques, à savoir OCAS, SeBoS, BurstMode et PKLPG, à 400 MHz en fonction des trois scénarios considérés. La comparaison de valeurs de la métrique de test obtenues par les quatre techniques montre une différence importante à chaque fois qu'une nouvelle puce est encapsulée pour SeBoS (cas $F_{mm/2}$ et $F_{mm/4}$) et BurstMode (les 5 burst). À partir de cette figure, nous pouvons voir clairement une variation sévère des valeurs de la métrique avec les techniques SeBoS et BurstMode, à chaque fois que l'option choisie change. De plus, OCAS présente les meilleures valeurs de la métrique de test pour les trois scénarios considérés. En effet, pour les trois scénarios considérés, les valeurs de la métrique de test de la techniques OCAS sont proches et présentent un écart de 1,4 % entre les valeurs minimum et maximum de la métrique. Ceci montre que la technique OCAS est moins sensible à la variation d'impédance du PDN.

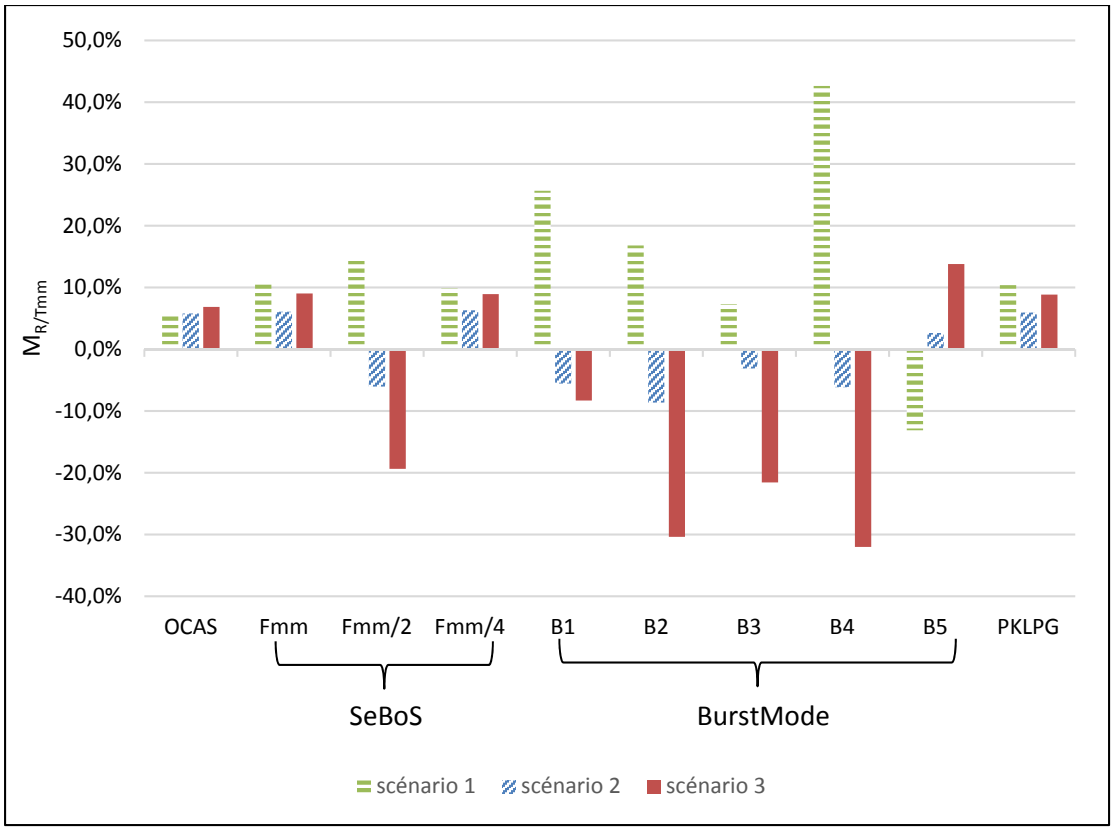

Figure 4.2 $M_{R/Tmm}$ de différentes techniques de test en fonction des 3 scénarios considérés à 400 MHz

Une autre façon d'analyser les résultats est de calculer l'écart entre les valeurs minimum et maximum de $M_{R/Tmm}$ pour chaque valeur de F_{mm} et pour chaque technique. Cet écart représente une bonne mesure pour évaluer la sensibilité de la variation d'impédance du PDN. Les valeurs d'écart sont listées dans le tableau 4.3. OCAS fournit la valeur d'écart la plus basse pour 6 des 10 valeurs de fréquence. La valeur d'écart la plus large pour les quatre techniques apparaît à 340 MHz, soit 4,7, 17, 19 et 20 %, pour OCAS, PKLPG, SeBoS et BurstMode, respectivement. Ceci signifie que la technique OCAS est moins sensible à la variation d'impédance du réseau de distribution d'alimentation. En outre, le calcul de la racine de l'erreur quadratique moyenne RMSE des 10 écarts de chaque technique conduit à des valeurs RMSE de 3,0, 6,7, 8,9 et 9,7 %, respectivement pour OCAS, PKLPG, BurstMode et SeBoS.

Tableau 4.3 Max ($M_{R/Tmm}$) – Min ($M_{R/Tmm}$) (%) en fonction de la fréquence d'horloge F_{mm} et les différentes technique de test
Adapté de Thibeault et Louati (2017)

F_{mm} (MHz)	178	200	213	228	240	265	316	340	400	680
SeBoS	0,3	0,3	1,7	0,9	7,5	0,5	6,9	19	16	15
BurstMode	5,5	1,7	4,5	4,9	1,9	4,1	7,1	20	16	4,4
PKLPG	0,6	0,2	1,4	1,3	6,3	1,0	1,5	17	4,2	9
OCAS	4	1,7	1,0	4,5	1,3	2,4	1,2	4,7	1,3	3,9

Une troisième façon de comparer les résultats de simulation est de calculer la racine de l'erreur quadratique moyenne des différentes techniques en fonction des valeurs F_{mm} et les trois scénarios du tableau 4.2. La figure 4.3 montre qu'OCAS fournit la meilleure valeur de RMSE (4,2 %), suivi par BurstMode (4,9 %), SeBoS (5,1 %), PKLPG (6,2 %), LOC (10,3 %) et LOS (16,4 %).

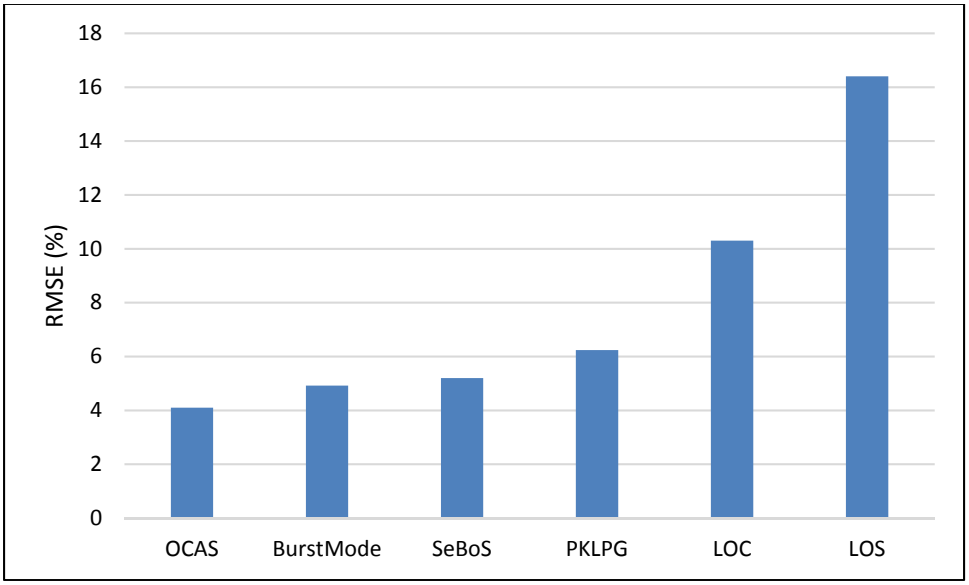

Figure 4.3 Comparaison de RMSE des différentes techniques

Tous ces résultats montrent clairement qu'OCAS surpasse les principales techniques de SBAST. Ils montrent aussi qu'OCAS est moins sensible à la variation d'impédance du réseau de distribution d'alimentation.

Les résultats précédents sont basés sur l'hypothèse selon laquelle les techniques SeBoS, BurstMode et PKLPG peuvent sélectionner la meilleure option, pour chaque cas (scénario, F_{mm}). Ceci signifie qu'une calibration est nécessaire pour le choix de la meilleure option, qui n'est pas le cas pour OCAS. En effet, les résultats montrent qu'une calibration doit être effectuée pour les techniques SeBoS et BurstMode, car pour chaque fréquence de fonctionnement la meilleure option peut différer et l'impact de ne pas sélectionner la meilleure option peut être significatif.

4.5 Conclusion

Le chapitre précédent a montré que la variation d'impédance d'un circuit affecte son comportement en mode test. En effet, pour la plupart des fréquences, la marge de synchronisation de délai varie à chaque fois qu'une nouvelle puce est ajoutée sur le CUT. Ceci nous a conduit à développer la nouvelle technique de test OCAS.

Ce chapitre a décrit, en premier lieu, cette nouvelle technique qui imite de façon proche le mode fonctionnel, et ces résultats de simulation en deuxième lieu. La comparaison entre les principales techniques de test et OCAS a validé le fait que ces techniques peuvent être affectées par la variation d'impédance du PDN. Cette comparaison a aussi montré que la technique OCAS est plus robuste à une telle variation et qu'OCAS ne nécessite pas de calibration ce qui présente un grand avantage de cette technique.

L'impact de la variation d'impédance du PDN sur le comportement du circuit en mode test et fonctionnel a été négligé dans la littérature. Des efforts supplémentaires devront être déployés, dans le cadre de travaux futurs, pour améliorer la qualité de test et pour détecter davantage les défectuosités de fabrication.

Ce chapitre a permis de montrer que la technique OCAS surpasse les principales techniques de SBAST en termes de délai de propagation lors de la variation d'impédance du PDN. Le chapitre suivant présente une nouvelle série de résultats pour comparer la couverture des pannes de transition de la technique OCAS avec celle des techniques existantes. Comme LOS donne toujours une meilleure couverture de pannes que LOC, nous présupposons que BurstMode (même couverture que LOS) donnera la meilleure couverture de pannes, suivi par OCAS, LOC, SeBoS et finalement PKLPG.

Rapport-Gratuit.com

CHAPITRE 5

GÉNÉRATION AUTOMATIQUE DE VECTEURS DE TEST ET COMPARAISON ENTRE LES DIFFÉRENTES TECHNIQUES

5.1 Introduction

L'objectif de ce chapitre est de comparer les différentes techniques de test considérées dans ce mémoire du point de vue de la couverture de pannes de transition. Les différentes étapes nécessaires à l'insertion de chaînes de balayage et à la génération automatique de vecteurs de test sont ainsi présentées à la section 5.2. La section 5.3 explique les étapes de génération de vecteurs de test des techniques LOS et LOC avec les outils ATPG. La section 5.4 décrit les procédures de test développées pour SeBoS et OCAS avec les mêmes outils. La section 5.5 compare et analyse les résultats estimant la couverture des pannes de transition de la technique OCAS et celle des autres techniques considérées dans ce chapitre.

5.2 Conception en vue du test et génération automatique de vecteurs de test

Après avoir montré que la technique OCAS est moins sensible à la variation d'impédance du PDN et qu'elle surpasse les principales techniques de test SBAST, nous avons effectué des nouvelles expérimentations pour comparer la couverture de pannes de transition de cette technique avec celles des autres techniques. Ces expérimentations ont été faites avec les outils ATPG de Mentor Graphics, à savoir DFTAdvisor et FastScan de l'environnement TESSENT. Cette section décrit brièvement ces deux outils et les environnements de configuration utilisés, ainsi que le flux de conception avec DFT permettant de générer les vecteurs de test et d'estimer la couverture de pannes de transition.

Comme mentionné au chapitre 1, l'insertion de registres de balayage est l'une des techniques DFT les plus utilisées. Rappelons que cette technique consiste à remplacer les bascules présentes sur le design par des bascules à balayage permettant une meilleure contrôlabilité et observabilité du circuit sous test, ce qui facilite la génération des vecteurs de test.

Rapport-gratuit.com
LE NUMERO 1 MONDIAL DU MÉMOIRES

En résumé, les étapes de la détermination de la couverture de pannes de transition sont :

- l'insertion des chaines de balayage au circuit pour améliorer la testabilité;
- la génération automatique de vecteurs de test;
- la simulation de pannes de transition à des fins de vérification.

La figure 5.1 montre le flot de conception d'un *ASIC*, de la capture du design jusqu'à l'insertion des chaînes de balayage, la génération de vecteurs de test et leur simulation, inclusivement. La première étape est la capture du design au niveau RTL réalisée en langage HDL. La deuxième étape consiste à effectuer une simulation fonctionnelle avant synthèse pour la vérification de la fonctionnalité du design. La troisième étape est la synthèse logique, qui est le processus de conversion de la représentation RTL en un *netlist* comprenant des portes logiques, des bascules et des interconnections. Dans nos expérimentations, les circuits ont été synthétisés avec l'outil de synthèse DesignVision de Synopsys. Cette étape permet de générer un *netlist* au niveau de portes logiques (Verilog) qui va être considéré comme entrée de l'outil DFTAdvisor. Après la synthèse, les chaînes de balayage sont insérées à l'aide de DFTAdvisor. La cinquième étape est la génération automatique des vecteurs de test faite par Fastscan. L'outil génère des vecteurs de test déterministes pour détecter autant de pannes que possible et produit automatiquement un rapport de statistiques estimant la couverture de pannes. La dernière étape est de vérifier via simulations que le design et les vecteurs générés (*testbench*) fonctionnent correctement selon les informations temporelles appliquées dans la procédure de test.

Pour la synthèse, l'insertion des chaînes de bascules à balayage et la génération automatique de vecteurs de test, une librairie de cellules et des transistors basés sur une technologie CMOS 180 nm a été utilisée. De plus, pour conduire les expérimentations, certains circuits appartenant aux circuits benchmark d'ITC' 99 ont été considérés pour la détermination de la couverture de pannes de transition. Le tableau 5.1 représente les caractéristiques de ces circuits. Ces circuits correspondent à des descriptions de niveau RTL synthétisables de différentes tailles et complexités (Corno, Reorda et Squillero, 2000).

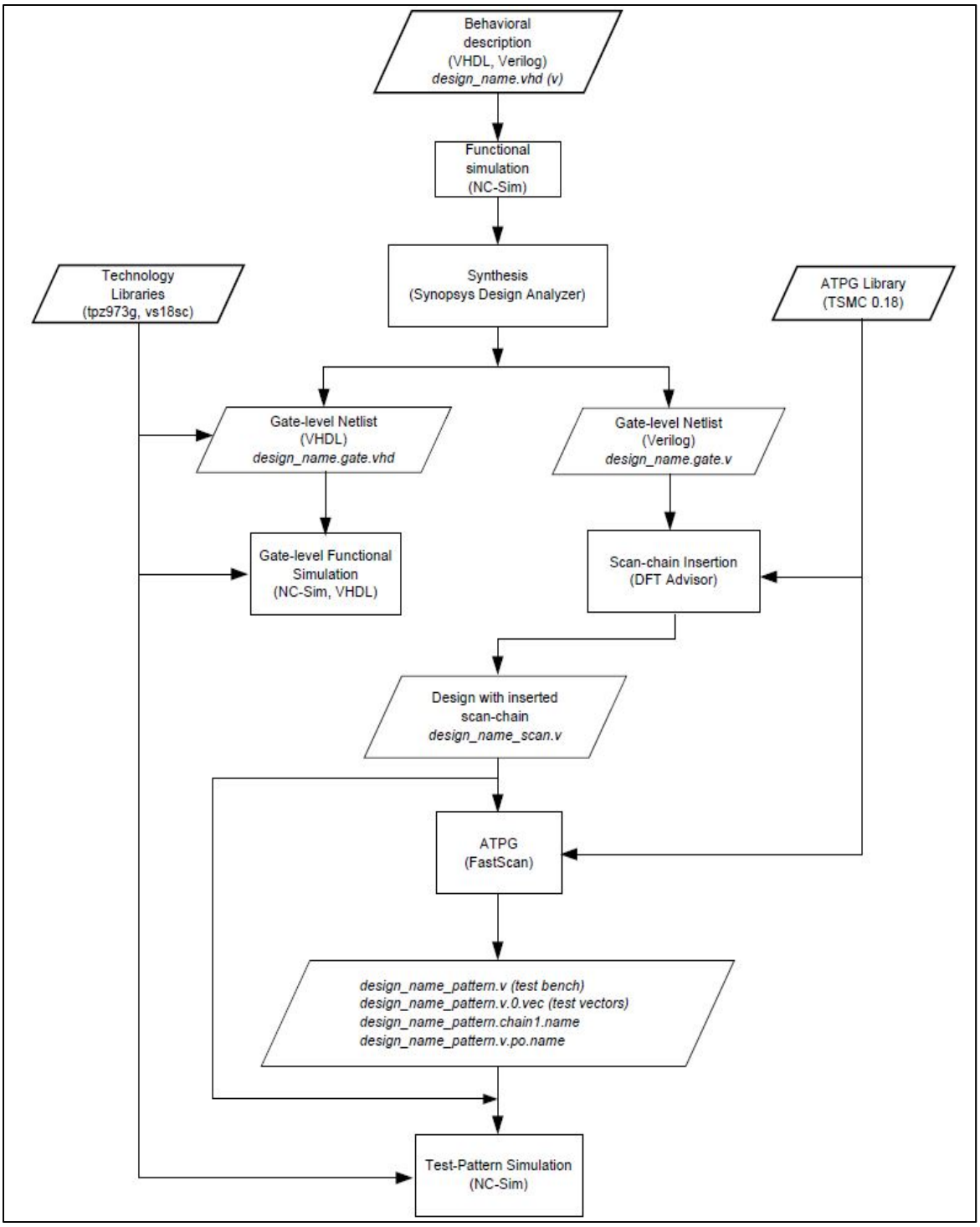

Figure 5.1 Flot de conception, de la capture du design à l'insertion des chaînes de balayage et de génération automatique de vecteurs de test
Tirée de CMCMICROSYSTEMS (2015)

Tableau 5.1 Caractéristiques des circuits benchmark d'ITC 99
Adapté de Corno, Reorda et Squillero (2000)

NOM	Entrées primaires	Sorties primaires	Lignes VHDL	Bascules	Portes logiques
b01	2	2	110	5	46
b02	1	1	70	4	28
b03	4	4	141	30	149
b04	11	8	102	66	597
b06	2	6	128	9	60
b07	1	8	92	49	420
b08	9	4	89	21	167
b09	1	1	103	28	159
b10	11	6	167	17	189
b11	7	6	118	31	481
b12	5	6	569	121	1036
b13	10	10	296	53	339
b14	32	54	509	245	4775
b15	36	70	671	449	8893
b16	M+1	1	68	N	F (N, M)

Dans notre étude, nous avons utilisé deux copies de chaque circuit en parallèle pour pouvoir implémenter les deux sous-domaines d'horloge de notre technique OCAS. Rappelons que la technique OCAS consiste à diviser le domaine d'horloge associé au mode fonctionnel en deux sous-domaines.

5.3 Génération automatique de vecteurs de test pour les techniques LOC, LOS et BurstMode

La figure 5.2 montre le flux de création de test de délai. Comme mentionné au chapitre 1, il existe deux types de test de délai, à savoir le test de chemin et le test de transition. Les outils

ATPG considèrent ces deux types de tests. En effet, après l'insertion de la structure de balayage avec l'outil DFTAdvisor au circuit synthétisé, il faut spécifier le modèle de pannes (test de transition dans notre cas) à l'outil FastScan et définir la procédure de la technique de test visée. La procédure de test est la description du fonctionnement des circuits de balayage dans un design. Le fonctionnement du circuit de balayage est spécifié à l'aide d'horloges de balayage précédemment définies avec DftAdvisor et d'autres signaux de commande. La procédure de test peut être générée automatiquement avec DftAdvisor ou manuellement. Elle décrit essentiellement la procédure de décalage et la procédure de chargement et déchargement des chaînes de balayage. Ces deux procédures définissent comment la conception doit être configurée pour permettre le décalage des données à travers les chaînes de balayage.

Finalement, le flux de création se termine par l'analyse de la couverture et l'estimation de la couverture de test.

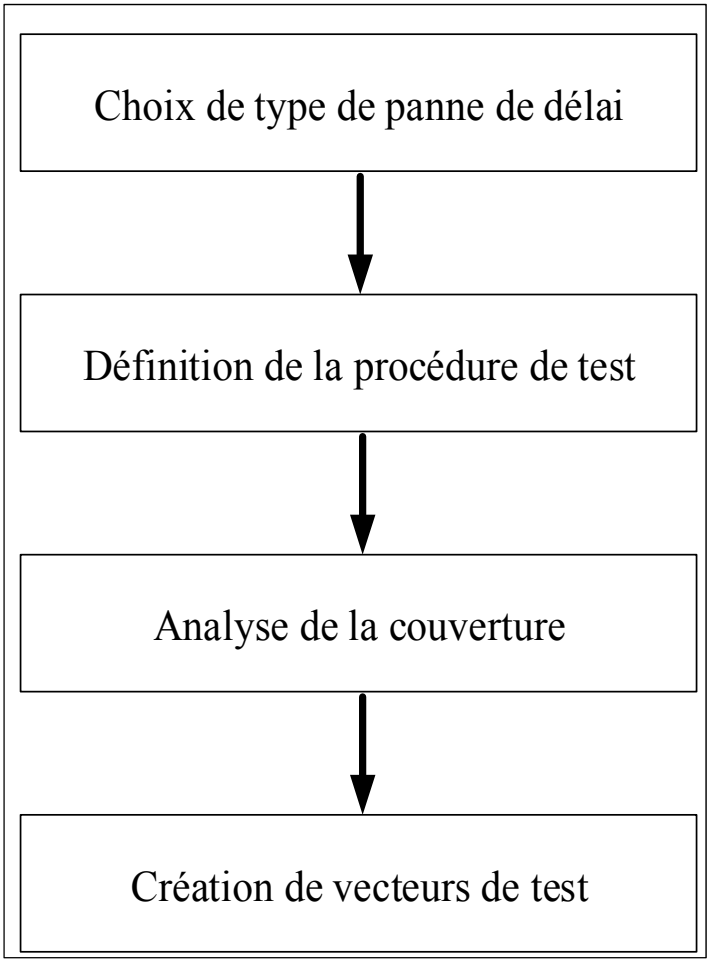

Figure 5.2 Flux de création de test de délai
Adaptée de Tessent (2014)

Dans cette section, nous nous intéressons flux de création appliqué aux techniques de test LOC, LOS et BurstMode.

L'application d'un vecteur de test typique détectant les pannes de transition pour la technique LOC inclut les étapes suivantes (Tessent, 2014) :

- charger les chaînes de balayage;
- forcer les entrées primaires;
- créer une impulsion d'horloge;
- forcer les entrées primaires;
- mesurer les sorties primaires;

- créer une impulsion d'horloge;
- décharger les chaînes de balayage.

Ici, l'outil FastScan génère automatiquement la procédure de test complète pour ce type de vecteurs de test, lorsque la profondeur séquentielle est configurée à deux ou plus.

Les commandes utilisées et leur description pour générer des vecteurs de test avec la technique LOC sont les suivantes :

- *add_input_constraints scan_en -c0* →forcer l'outil pour générer des vecteurs de test de type LOS;
- *set_transition_holdpi on* →garder les valeurs des entrées primaires constantes;
- *set_output_masks on* →masquer les valeurs des sorties primaires;
- *set_fault_type transition -no_shift_launch* →définir le type de pannes (transition) et empêcher la génération automatique de LOS;
- *set_pattern_type -sequential 2* →configurer la profondeur séquentielle selon la conception;
- *create_patterns* →créer les vecteurs de test.

Dans le cas du test de type LOS, la profondeur séquentielle doit être configurée à 0. Les étapes de la génération de vecteurs de test pour cette technique sont les suivantes :

- forcer les entrées primaires;
- charger les chaînes de balayage;
- forcer les entrées primaires;
- mesurer les sorties primaires;
- créer une impulsion d'horloge;
- décharger les chaînes de balayage.

Pour créer des vecteurs de test de transition de type LOS, il faut utiliser les commandes suivantes :

- *set_output_masks on* →masquer les valeurs des sorties primaires;

- *set_fault_type transition* →définir le type de pannes (transition) et générer automatiquement les vecteurs de test LOS;
- *set_pattern_type -sequential 0* →empêcher la génération de LOC;
- *create_patterns* →créer les vecteurs de test.

Dans le cas du LOS, la génération de la procédure de test complète se fait automatiquement. Notons aussi que la génération de vecteurs de test pour la technique BurstMode correspond à celle de LOS. Ceci signifie que ces deux techniques présentent la même couverture de pannes. En effet, l'ajout d'impulsions de décalage à la procédure de test n'affecte pas la couverture de pannes de transition, autrement dit, le choix de *burst* n'affecte pas la couverture de pannes, car les quatre premiers préambules représentent des cycles de décalage.

5.4 Procédure de test développée pour SeBoS et OCAS

Comme nous venons de le mentionner, la génération de la procédure de test complète se fait automatiquement avec l'outil FastScan pour les techniques LOS (BurstMode) et LOC. Il suffit d'utiliser les lignes de commande spécifiées à chaque technique pour la détermination du pourcentage de la couverture de pannes. Par contre, pour les techniques SeBoS et OCAS, la génération de vecteurs de test nécessite le développement (manuel) d'une partie de la procédure de test (capture) qui décrit la technique visée.

5.4.1 Procédure de test développée pour SeBoS

Comme mentionné au chapitre 3, nous avons considéré 3 options pour la technique SeBoS, à savoir 3 fréquences différentes (F_{mm}, $F_{mm/2}$ et $F_{mm/4}$) pour les 4 cycles d'horloge lente, cycles qui sont, rappelons-le, suivis par un cycle de 2 pulses, une pour le lancement et l'autre pour la capture. Quatre cas de figure ont été considérés pour la détermination de la couverture de pannes avec cette technique. La figure 5.3 montre un exemple des quatre cas de figures simulées.

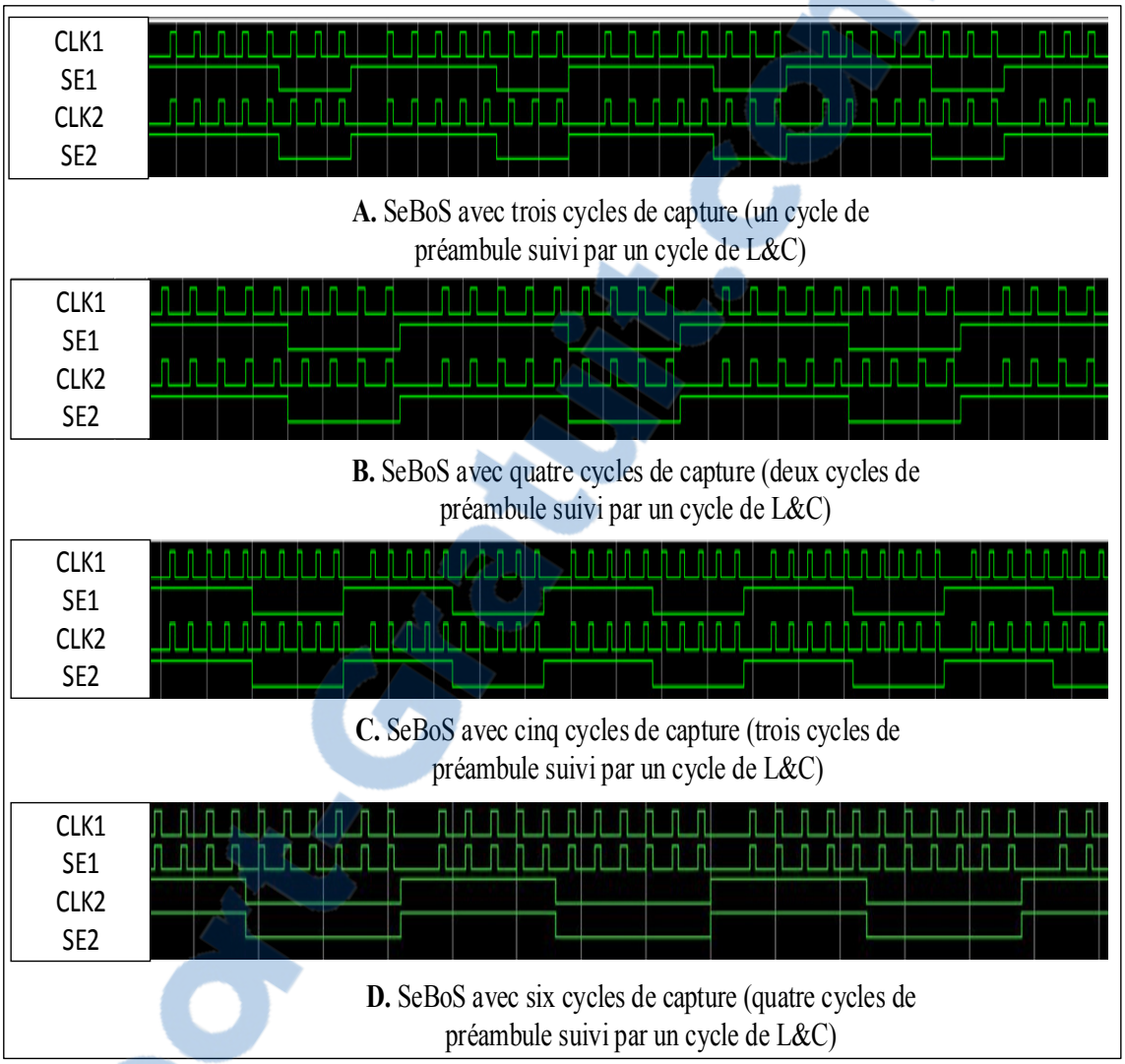

Figure 5.3 Exemples de formes d'onde simulées avec la technique SeBoS

- pour A, les trois cycles de capture correspondent à un cycle (une pulse) de préambule suivi par un cycle (2 pulses) de lancement et de capture;
- pour B, les quatre cycles de capture correspondent à deux cycles (2 pulses) de préambule suivi par un cycle (2 pulses) de lancement et de capture;
- pour C, les cinq cycles de capture correspondent à trois cycles (3 pulses) de préambule suivi par un cycle (2 pulses) de lancement et de capture;
- pour D, les six cycles de capture correspondent à quatre cycles (4 pulses) de préambule suivi par un cycle (2 pulses) de lancement et de capture.

RapportGratuit.com

Les simulations ont donc été faites en variant le nombre total de cycles de capture pour déterminer la manière dont le circuit souffre de la profondeur séquentielle. Rappelons que ce nombre comprend les cycles du préambule ainsi que ceux du lancement et de la capture finale. Ainsi, le dernier cas présenté correspond à celui simulé au chapitre 3. Il faut noter que le ralentissement des cycles du préambule n'affecte pas les résultats de la couverture de pannes de transition. C'est la raison pour laquelle la durée des impulsions a été fixée à la fréquence nominale.

La génération de la procédure de test se fait en 2 temps. Dans un premier temps, une partie de la procédure de test est générée automatiquement par DftAdvisor après l'insertion des chaînes de balayage pour les deux copies en parallèle du circuit b01. La figure 5.4 présente cette partie de procédure de test. Ce qui manque à ce point-ci à la procédure de test pour être complète est la procédure de capture, qui doit être générée manuellement.

```
set time scale 1.000000 ns ;
 timeplate gen_tp1 =
    force_pi 0 ;
    measure_po 10 ;
    pulse clk1 20 10;
    pulse clk2 20 10;
    pulse reset 20 10;
    period 40 ;
 end;

 procedure shift =
    scan_group grp1 ;
    timeplate gen_tp1 ;
    // cycle 1 starts at time 0
    cycle =
        force_sci ;
        measure_sco ;
        pulse clk1 ;
        pulse clk2 ;
    end;
 end;

 procedure load_unload =
    scan_group grp1 ;
    timeplate gen_tp1 ;
    // cycle 1 starts at time 0
    cycle =
        force clk1 0 ;
        force clk2 0 ;
        force reset 0 ;
        force scan_enable1 1 ;
        force scan_enable2 1 ;
    end ;
    apply shift 5;
 end;
```

Figure 5.4 Exemple d'une partie de la procédure de test généré par DftAdvisor avec 2 copies de b01

La figure 5.5 montre à titre d'exemple les chronogrammes de la technique SeBoS B avec 4 impulsions de capture. La présence de deux horloges s'explique par le fait que les circuits simulés sont constitués de deux copies parallèles de circuits Benchmark de ITC' 99. Pour compléter la procédure de test et obtenir les chronogrammes de la figure 5.5, nous avons ajouté à la procédure de test de la figure 5.4 une nouvelle procédure de capture adaptée à SeBoS et qui définit le nombre de cycles utilisé pendant la phase de capture. La figure 5.6 montre la procédure de capture ajoutée (*named procedure capture*). La procédure de capture de la figure 5.6 comporte quatre cycles d'horloges :

- le premier cycle capture les deux premières impulsions C11 et C21 de clk1 et clk2, respectivement;
- le deuxième cycle capture les deux impulsions C12 et C22;
- le troisième cycle lance les deux impulsions C13 et C23;
- le dernier cycle capture les deux impulsions C14 et C24 et mesure les valeurs de sorties primaires.

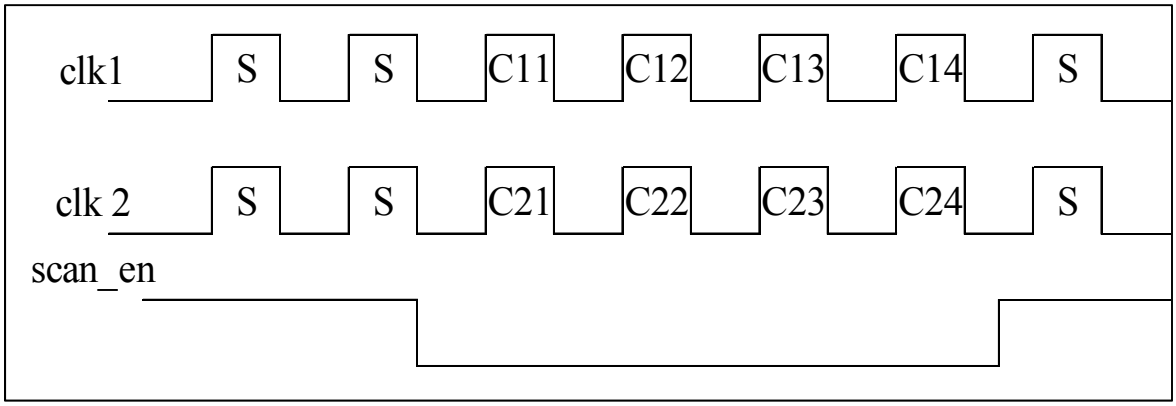

Figure 5.5 Chronogrammes de la technique SeBoS B avec quatre impulsions de capture appliquées à deux copies des circuits Benchmark ITC' 99

Notons que l'abaissement du signal *Scan_en* se fait automatiquement avec l'utilisation de la commande (*set_fault_type transition -no_shift_launch*). Cette commande empêche la génération de LOS et force le signal Scan_en de descendre à 0 juste après la phase de décalage.

Rapport-gratuit.com
LE NUMERO 1 MONDIAL DU MÉMOIRES

```
procedure capture SeBoS_4_captures =
   timeplate gen_tp2 ;
   // cycle 1 starts at time 0
   cycle =
       force_pi ;
       force clk1 0 ;
       force clk2 0 ;
       force reset 0 ;
       pulse clk1 ;  //lancer c11
       pulse clk2 ;  //lancer c21
   end ;
   // cycle 2 starts at time 40
   cycle =
       pulse clk1 ;  //capture c12
       pulse clk2 ;  //capture c12
   end ;
   // cycle 3 starts at time 80
   cycle =
       pulse clk1 ;  //capture c13
       pulse clk2 ;  //capture c23
   end ;
   // cycle 4 starts at time 120
   cycle =
       pulse clk1 ;  //capture c14
       pulse clk2 ;  //capture c24
       measure_po ;  // mesurer les valeurs des sorties primaires
   end;
end;
```

Figure 5.6 Procédure de capture de la technique SeBOS B

5.4.2 Procédure de test développée pour OCAS

Pour la génération de vecteurs de test avec la technique OCAS, une nouvelle procédure de capture a été développée manuellement (figure 5.7). Cette dernière décrit le comportement temporel de la technique OCAS pendant la phase de capture, qui s'ajoute aux procédures de chargement et décalage générées automatiquement par DftAdvisor. La figure 5.8 montre la forme d'onde simulée de la technique OCAS avec l'outil Modelsim après la génération de vecteurs de test. Nous pouvons voir que le premier sous-domaine d'horloge est en mode LOS et que le deuxième sous-domaine est en mode LOC. Nous avons utilisé deux signaux SE séparés pour que l'outil FastScan puisse couvrir autant de pannes que possible, même si dans les faits, on pourrait en utiliser qu'un seul (SE2).

```
procedure capture OCAS_capture_proc =
   timeplate gen_tp3 ;
   cycle =
       force_pi ;
       force clk1 0 ;
       force clk2 0 ;
       force reset 0 ;
       force scan_enable1 0 ; // forcer le signal SE a 0 pour avoir le mode LOS
       force scan_enable2 0 ; // forcer le signal SE a 0 pour avoir le mode LOC
       pulse clk1 ;            // capture de la transition du clk1
       pulse clk2 ;            // lancement de la transition du clk2
   end ;
   cycle =
       force_pi ;
       force scan_enable1 1 ;  // forcer le signal SE a 1 pour avoir le mode LOS
       force scan_enable2 0 ;  // forcer le signal SE a 0 pour avoir le mode LOC
       measure_po ;            // mesurer les sorties primaires
       pulse clk2 ;            // capture de la transition du clk2
   end;
end;
```

Figure 5.7 Procédure de capture de la technique OCAS

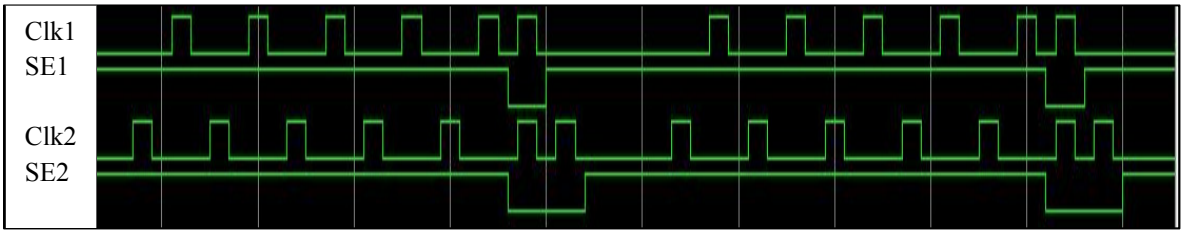

Figure 5.8 Exemple de forme d'onde simulée de la technique OCAS après la génération des vecteurs de test avec deux copies de b01

Malgré l'utilisation de 2 signaux SE, la génération de vecteurs de test avec la technique OCAS a donné une faible couverture de panne de transition pour tous les circuits de Benchmark simulés. Les résultats seront présentés à la section 5.5. La faible valeur des résultats est due à certaines limitations de l'outil FastScan. L'une de ces limitations est que la procédure de capture peut être utilisée pour générer des vecteurs de test de transition de type LOC, mais pas pour générer de vecteurs de test de transition de type LOS (Tessent, 2014). Lors de nos simulations, nous avons remarqué que la couverture de pannes de transition est faible pour clk1 (figure 5.8) et acceptable pour clk2, ce qui veut dire que les vecteurs de test générés pour le sous-domaine d'horloge de type LOC s'appliquent partiellement au sous-domaine d'horloge de type LOS et ne couvrent pas toutes les pannes qui sont y reliées.

Pour pallier à la limitation de l'outil, une nouvelle séquence de test, composée (figure 5.9) des 3 étapes suivantes, a été développée :

- la première étape nommée OCASA consiste à appliquer la procédure de test initialement développée pour OCAS et à extraire les listes des pannes non couvertes au niveau des deux sous-domaines d'horloge;
- la deuxième étape nommée OCASB consiste à appliquer LOS (pour les deux sous-domaines d'horloge) en insérant la liste de pannes non couvertes au niveau de clk1; il faut noter ici que même si la génération des vecteurs est faite comme si les deux sous-domaines d'horloge sont en mode LOS, les vecteurs seront appliqués en utilisant la séquence de signaux de OCAS et en masquant les sorties liées au sous-domaine clk2.
- la troisième étape nommée OCASC consiste à inverser les deux sous-domaines d'horloge initialement définis avec OCASA et à insérer la liste des pannes non couvertes au niveau de clk2 (OCASA) et celle des pannes non couvertes au niveau de clk1 générée par OCASB.

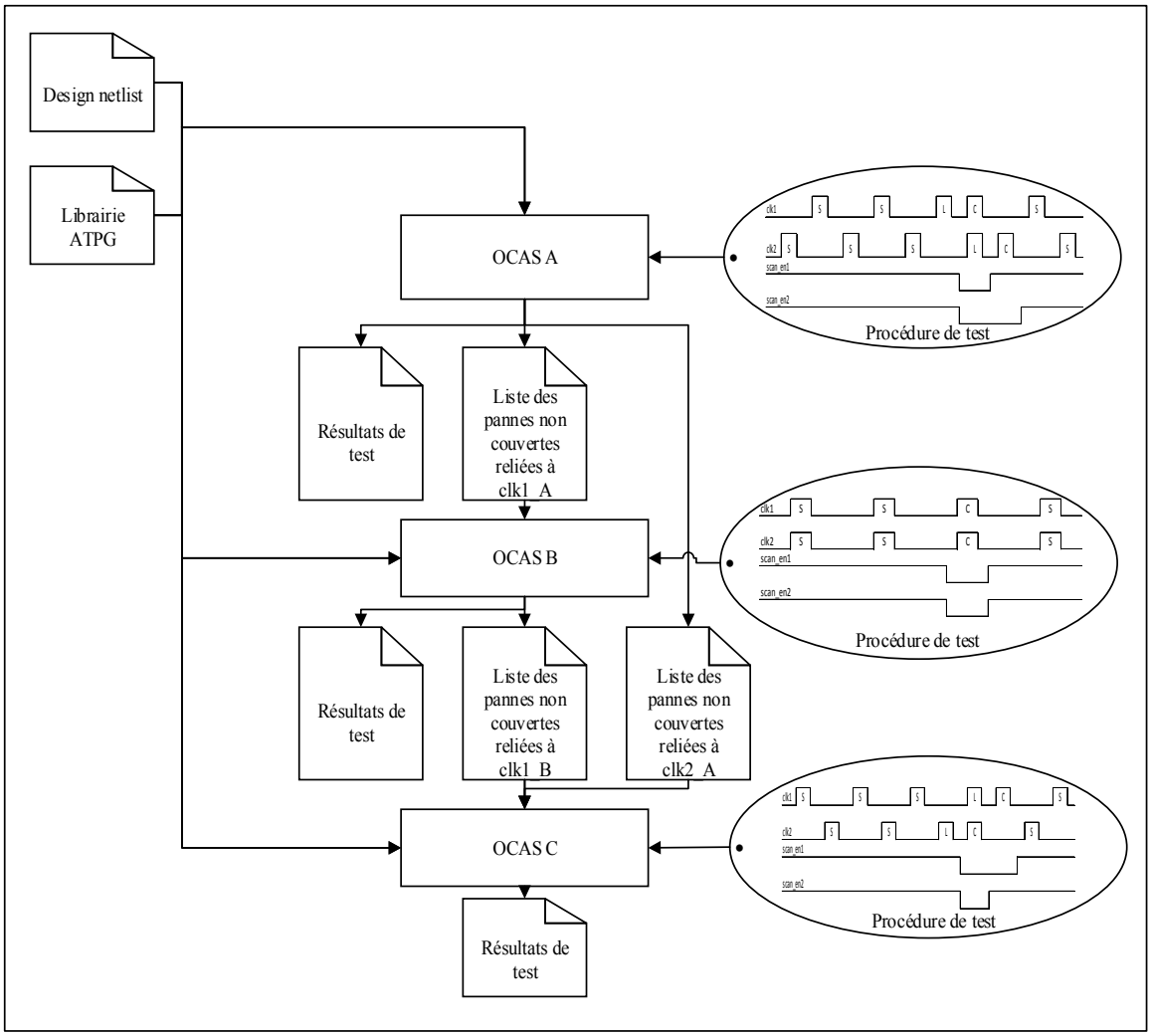

Figure 5.9 Combinaison de tests développée pour OCAS

Le calcul des résultats finaux se fait de façon cumulative. En effet, un rapport de statistiques incluant le nombre de pannes non couvertes, le nombre de vecteurs de test et le pourcentage de la couverture de pannes est généré pour chaque étape. La figure 5.10 montre un exemple de rapport de statistiques généré par FastScan en fonction de l'étape 1 et deux copies du circuit Benchmark b01.

```
            Statistics Report
            Transition Faults
--------------------------------------------
Fault Classes                  #faults
                                (total)
---------------------------  ---------------
  FU (full)                     506
  -------------------------  ---------------
  DS (det_simulation)          298 (58.89%)
  DI (det_implication)         86 (17.00%)
  AU (atpg_untestable)         122 (24.11%)
--------------------------------------------
Coverage
  -------------------------
  test_coverage                  75.89%
  fault_coverage                 75.89%
  atpg_effectiveness            100.00%
--------------------------------------------
#test_patterns                     33
  #basic_patterns                  1
  #clock_sequential_patterns       32
#simulated_patterns                42
CPU_time (secs)                    1.4
--------------------------------------------
```

Figure 5.10 Exemple d'un rapport de statistiques généré par FastScan

Le tableau 5.2 expose les résultats de simulation des trois étapes de test générés par FastScan en fonction de deux copies de b01. Ces résultats vont être utilisés pour le calcul de la couverture de pannes de transition et du nombre de vecteurs obtenus après chacune des 3 étapes.

Tableau 5.2 Résultats de simulation des trois étapes générés par FastScan en fonction de deux copies de b01

Étapes	**Couverture de pannes**	**Vecteurs de test (TP)**	**Pannes totales (PT)**	**Pannes non couvertes (PNC)**
OCAS A	75,89 %	33	506	122
OCAS B	94,44 %	21	108	6
OCAS C	33,33 %	3	12	8

Le tableau 5.3 montre un exemple de résultats de la couverture de pannes après chacune des trois étapes et deux copies du circuit b01. Le nombre de pannes couvertes et le nombre de vecteurs de test ont été obtenus de façon cumulative.

Tableau 5.3 Exemple de calcul de la couverture de pannes de transition avec la combinaison d'OCAS et les deux copies du circuit b01

Étapes	**OCAS A**	**OCAS AB**	**OCAS ABC**
Pannes totales	506	506	506
Pannes couvertes (PC)	384	486	490
Pannes non couvertes	122	20	16
Couverture de test	75,89 %	96,05 %	96,84 %
Vecteurs de test	33	54	57

La couverture de test après l'application des 3 étapes (OCAS ABC) de l'exemple étudié est égale à 96,84 % et le nombre total de vecteurs de test est égal à 57. Nous pouvons voir qu'avec OCAS ABC, la couverture de pannes est très élevée. En revanche, nous remarquons aussi une augmentation du nombre de vecteurs de test de 33 à 57. La comparaison et l'analyse des résultats de simulation de toutes les techniques sont discutées dans la prochaine section.

5.5 Résultats de simulation des différentes techniques de test

Cette section compare la couverture de pannes de transition des différentes techniques de test SBAST, à savoir LOS (BurstMode), LOC, SeBoS, OCAS A, OCAS AB et OCAS ABC. Nous rappelons que la couverture de pannes de la technique BurstMode est égale à celle de la technique LOS et que deux chaînes de balayage ont été insérées pour tous les cas simulés. Le choix de ne pas présenter les résultats de la technique PKLPG s'explique par le fait que les résultats obtenus avec cette technique sont inférieurs à ceux obtenus avec SeBoS. Cette technique souffre le plus de la profondeur séquentielle. De plus, comme mentionné au chapitre

1, PKLPG a été développée pour le modèle de délai de chemin et limitée à un nombre très restreint de chemins couverts (Zhang et Walker, 2014).

Le tableau 5.4 expose les résultats de simulation de pannes de transition en fonction des techniques de test SBAST et de deux copies des circuits de benchmark.

Tableau 5.4 Résultats de simulation du pourcentage de la couverture de test de transition (%) des techniques SBAST en fonction de deux copies des circuits Benchmark

	LOS	LOC	SeBoS A	SeBoS B	SeBoS C	SeBoS D	OCAS A	OCAS AB	OCAS ABC
B01	91,9	71,9	66,4	62,1	62,1	59,3	75,9	96,0	96,8
B02	94,6	79,3	74,2	72,3	71,7	71,6	67,9	90,9	93,1
B03	91,8	86,2	79,7	79,7	79,7	79,7	67,8	90,4	91,4
B04	90,7	66,1	57,7	56,3	52,4	50,6	58,4	88,4	88,4
B06	87,1	70,3	55,0	48,4	45,6	44,8	68,4	88,8	89,7
B07	91,1	80,3	75,1	73,6	73,6	73,2	58,3	87,2	88,5
B08	86,1	80,2	74,1	73,2	73,2	73,1	58,2	86,1	88,1
B09	93,9	87,9	82,4	82,0	81,7	81,2	61,6	91,6	92,1
B10	91,3	70,5	58,2	55,9	55,7	55,3	62,1	89,9	90,4
B11	88,7	70,2	65,5	64,2	63,5	63,3	46,4	79,1	79,7
B12	94,0	84,6	79,6	79,4	79,3	79,3	60,4	91,4	92,1
B13	86,2	65,4	58,6	58,6	58,6	58,5	51,9	77,9	79,0
B14	92,6	88,7	87,5	77,0	62,6	61,5	50,0	91,2	91,3
B15	91,7	85,1	81,1	80,7	80,4	79,8	54,9	89,4	90,3
B16	90,9	85,2	81,4	80,9	80,6	80,0	54,5	88,9	90,0

apport-Gratuit.com

Une première lecture des résultats montre que la couverture de la technique SeBoS est inférieure à celle du LOC et diminue généralement à chaque fois qu'un nouveau cycle de capture est ajouté. Par exemple, dans le cas de B14 la couverture de pannes de transition est égale à 88,71 % pour la technique LOC et diminue à chaque fois qu'une impulsion de capture est ajoutée au schème de la technique SeBoS, ce qui donne des valeurs égales à 87,5, 77, 62,6 et 61,5% pour la technique SeBoS A, SeBoS B, SeBoS C et SeBoS D, respectivement. La perte de la couverture de pannes de transition lors de l'ajout de cycles confirme que la technique SeBoS souffre de la profondeur séquentielle.

Une deuxième lecture des résultats montre que les résultats de simulation de la technique OCAS sont faibles à cause des limitations de l'outil FastScan. En revanche, comme nous avions présupposé, les résultats de simulation pour OCAS AB et OCAS ABC sont fort acceptables dans tous les cas simulés. OCAS AB et OCAS ABC donnent des résultats de couverture supérieurs à LOC dans tous les cas simulés. De plus, pour trois cas particuliers (B01, B06 et B08), OCAS AB et OCAS ABC donne des résultats de couverture supérieurs à ceux de LOS.

Le tableau 5.5 montre le nombre de vecteurs de test des différentes techniques SBAST en fonction de deux copies des circuits de benchmark. En analysant les résultats de ce tableau, nous pouvons voir que le nombre de vecteurs de test de la technique OCAS (A) est acceptable. En revanche, ce nombre augmente avec l'utilisation d'OCAS AB et d'OCAS ABC.

OCAS AB et OCAS ABC permettent donc, d'une part, de pallier les limitations des outils ATPG, et d'autre part d'améliorer la qualité de test de transition. Le tout vient cependant au prix d'une augmentation du nombre de vecteurs de test. Nous offrons ainsi aux ingénieurs de test la possibilité d'avoir une meilleure qualité de test, mais au prix d'un nombre élevé de vecteurs de test.

Tableau 5.5 Nombre de vecteurs de test des techniques SBAST en fonction de deux copies des circuits Benchmark

	LOS	LOC	SeBoS A	SeBoS B	SeBoS C	SeBoS D	OCAS (A)	OCAS AB	OCAS ABC
B01	30	19	12	10	17	9	33	54	57
B02	15	13	12	11	9	11	19	31	35
B03	48	52	55	44	54	53	44	75	83
B04	125	53	49	53	48	23	89	183	183
B06	29	17	8	7	9	9	29	44	49
B07	100	85	84	88	82	82	74	156	165
B08	80	81	72	68	66	63	64	121	143
B09	54	55	63	58	66	63	41	82	88
B10	72	45	70	28	20	19	58	105	112
B11	124	95	84	78	79	73	79	176	195
B12	217	304	384	363	373	382	299	490	533
B13	73	63	69	77	82	83	57	113	122
B14	746	693	711	838	383	371	598	1291	1302
B15	693	615	551	508	460	425	601	1236	1346
B16	711	620	550	510	465	434	591	1229	1336

5.6 Conclusion

Les étapes nécessaires à l'insertion des chaînes de balayage et de génération automatique de vecteurs de test avec les outils ATPG ont été présentées dans la première partie de ce chapitre. Puis, une description des procédures de test développées pour les deux techniques SeBoS et OCAS a été le sujet de la deuxième partie. Dans la même partie, une combinaison de test pour la technique OCAS a été proposée pour pallier les limitations des outils ATPG. Une comparaison et une analyse des résultats de simulations des différentes techniques ont été présentées dans la dernière partie. Il y a été montré que la couverture d'OCAS AB et celle d'OCAS ABC surpassent celle de la technique SeBoS et celle de la technique LOC. Il y a été montré aussi que la combinaison OCAS offre pour quelques cas particuliers une couverture de pannes de transition supérieure à celle de LOS (BurstMode), mais au prix de vecteurs de test additionnels. Il s'agissait ici d'un premier effort afin de développer des vecteurs de test pour OCAS. Des efforts supplémentaires devront être déployés, dans le cadre de travaux futurs, afin de trouver d'autres alternatives afin de pallier aux limitations des outils ATPG.

CONCLUSION

Dans ce travail, nous sommes partis de l'hypothèse selon laquelle la variation d'impédance du réseau de distribution d'alimentation d'un circuit intégré peut avoir un impact significatif sur le comportement du circuit en mode test et en mode fonctionnel. Dans la littérature, plusieurs chercheurs ont étudié l'impact de bruit d'alimentation sur le test de type délai et ont concentré leurs travaux sur le phénomène de la chute de tension. Ils ont développé certaines techniques de test de type SBAST, à savoir SeBoS, BurstMode et PKLPG, pour réduire cette chute de tension. À partir des simulations préliminaires, nous avons pu valider notre hypothèse.

La contribution majeure de ce mémoire est la démonstration d'un nouveau problème négligé par la littérature et la présentation d'une nouvelle technique de test de type SBAST plus robuste à la variation d'impédance du réseau de distribution d'alimentation. La technique développée imite de façon proche le mode fonctionnel pour obtenir des conditions de distribution d'alimentation similaires à celle du mode fonctionnel pour protéger le circuit en mode test contre les variations de Vdd.

Pour réaliser ce projet, nous avons utilisé un modèle existant d'un circuit intégré en 3D comme cas d'étude avec la variation du nombre de puces du circuit comme source de variation d'impédance du PDN. Nous avons considéré trois scénarios différents, à savoir un circuit avec une puce, un circuit avec deux puces et un circuit avec trois puces. Nous avons montré suite à des simulations en mode fonctionnel que la variation d'impédance du PDN a un impact significatif sur le comportement du circuit pendant ce mode. D'autres simulations ont été faites en mode test avec les principales techniques de test de balayage à vitesse nominale. Nous avons montré aussi que la variation d'impédance affecte le comportement du circuit en mode de test structurel. Avec ces résultats nous avons pu valider notre hypothèse qui représentait le premier objectif de ce travail.

La sensibilité à la variation d'impédance était la motivation derrière le développement de la nouvelle technique de test, nommée OCAS. Les résultats de simulation de délai de propagation

de la nouvelle technique ont montré, d'une part, que la technique OCAS est plus représentative du mode fonctionnel, d'autre part, qu'OCAS est moins sensible à la variation d'impédance.

La comparaison entre les résultats obtenus avec les différentes techniques (LOC, LOS, SeBoS, BurstMode, PKLPG et OCAS) a montré que, d'une perspective globale, OCAS a surpassé les autres techniques existantes, révélant que la technique OCAS était moins sensible à ce type de variation d'impédance. De plus, cette comparaison a montré que la technique ne nécessite pas de calibration, ce qui présente un grand avantage de cette technique par rapport à SeBoS, BurstMode et PKLPG, notamment.

Finalement, une troisième série de résultats a été obtenue ayant comme but de comparer la couverture de pannes de cette nouvelle technique avec celle des techniques existantes. Nous sommes partis de notre deuxième hypothèse selon laquelle la couverture de pannes d'OCAS devrait être comprise entre celle de LOS (BurstMode) et celle de LOC suivi par celle de SeBoS et finalement de PKLPG. Nous avons montré, tout d'abord, que la couverture de pannes de la technique SeBoS est inférieure à celle de LOC et diminue à chaque fois qu'un nouveau cycle de capture est ajouté à la technique. Puis, nous avons développé la combinaison OCAS pour pallier les limitations des outils ATPG. La couverture de pannes de la combinaison OCAS a été comprise entre celle de LOS et de LOC pour la plupart des cas simulés. La couverture de la combinaison OCAS a même surpassé la couverture de pannes de la technique LOS (BurstMode) pour trois cas particuliers. Finalement, les résultats obtenus avec la combinaison OCAS sont fort acceptables, mais au prix d'une augmentation du nombre de vecteurs de test.

RECOMMANDATIONS

La comparaison des résultats de simulations obtenus avec la technique OCAS et ceux des techniques existantes a montré que la technique OCAS surpasse les autres techniques et qu'elle est plus robuste à la variation d'impédance du réseau de distribution d'alimentation dans le cas de circuits comportant un seul domaine d'horloge. Des travaux futurs pourraient être faits pour comparer la technique OCAS aux principales techniques de SBAST, dans le contexte de domaines d'horloge multiples.

La comparaison des résultats de la couverture de pannes de transition obtenus avec la technique OCAS et ceux des techniques existantes a montré que la couverture de la technique OCAS surpasse celle de la technique LOC et celle de la technique SeBoS, mais au prix de vecteurs de test supplémentaires. Il serait important de trouver d'autres alternatives afin de pallier aux limitations des outils ATPG.

ANNEXE I

MODÈLE ORIGINAL DU CIRCUIT ÉQUIVALENT CI-3D

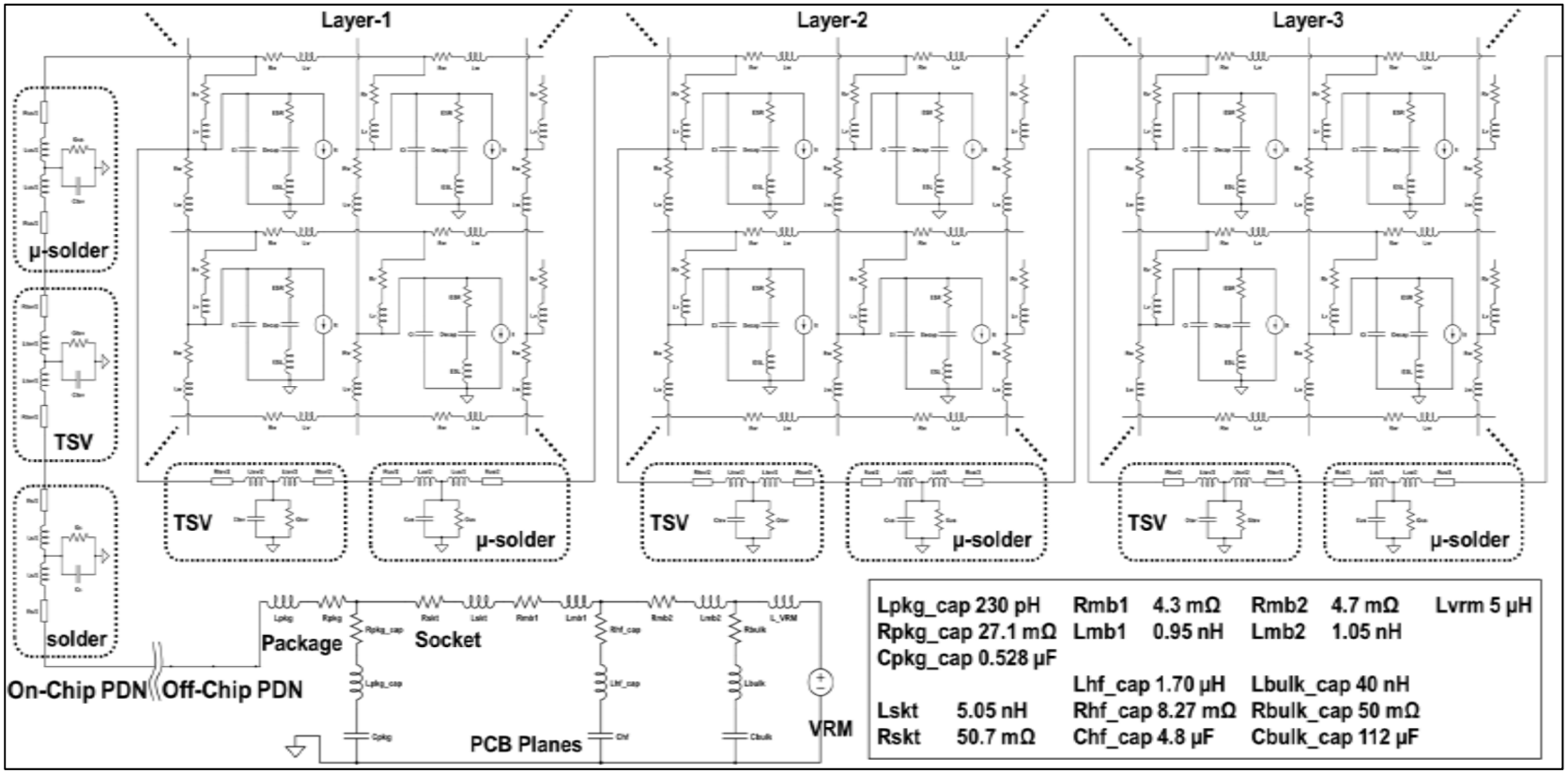

Figure-A I-1 Modèle complet du circuit équivalent d'un CI-3D

ANNEXE II

RÉSULTATS DE MESURE DE DÉLAI DE PROPAGATION DES PRINCIPALES TECHNIQUES DE de SBAST

Tableau-A II-1 Résultats de mesure de délai de propagation avec la technique LOC

F_{mm} (MHz)		178	200	213	228	240	265	316	340	400	680
S1	**Y (ns)**	5,6	5	4,7	4,4	4,2	3,8	3,2	2,9	2,5	1,5
	X (ps)	439,3	124,8	-42,2	-58	165,6	328,6	1017	1166	435,4	-270
S2	**Y (ns)**	5,6	4,8	4,5	4,1	3,7	3,4	2,9	2,6	2,5	1,7
	X (ps)	66,3	349,9	387,3	477,5	598,4	407,4	159,5	127,9	-141	-255
S3	**Y (ns)**	5,4	4,7	4,4	4,1	3,8	3,6	3,1	2,9	2,7	1,7
	X (ps)	318,8	391,1	298,9	245,2	288	68,6	-118	-106	-279	-228

Tableau-A II-2 Résultats de mesure de propagation avec la technique LOS

F_{mm} (MHz)		178	200	213	228	240	265	316	340	400	680
S1	**Y (ns)**	5,296	4,755	4,541	4,232	3,862	3,398	1,939	2,102	1,616	1,09
	X (ps)	-531	-356	-259	-50,0	250,9	574,9	1437	894	21,01	547,4
S2	**Y (ns)**	5,557	4,395	3,885	3,405	3,074	2,808	2,43	2,235	2,31	1,575
	X (ps)	-138	708,2	957,8	913,1	494,6	112,1	-230	-269	-391	-344
S3	**Y (ns)**	5,443	4,525	4,3	4,013	3,747	3,534	3,11	2,916	2,74	1,86
	X (ps)	26,12	104,2	-73,1	-175	-164	-376	-567	-593	-623	-686

Rapport-Gratuit.com

Tableau-A II-3 Résultats de mesure de délai de propagation avec la technique SeBoS (cas $F_{nscc}=F_{mm}$)

F_{mm} (MHz)		178	200	213	228	240	265	316	340	400	680
S1	**Y (ns)**	5,2	4,7	4,5	4,2	3,9	3,6	3,0	2,0	2,4	1,3
	X (ps)	383	279	185	162	281	128	207	992	166	170
S2	**Y (ns)**	5,5	4,8	4,5	4,1	3,7	3,7	3,1	2,8	2,5	1,5
	X (ps)	143	236,9	222,7	359,1	505,8	81,2	66,3	122,1	3,9	-15,2
S3	**Y (ns)**	5,5	4,8	4,6	4,3	4,0	3,7	3,2	2,9	2,5	1,5
	X (ps)	136	202,8	65,7	42,9	151,1	24,5	-32,7	80,7	26,0	40,1

Tableau-A II-4 Résultats de mesure de délai de propagation avec la technique SeBoS (cas $F_{nscc}=F_{mm/2}$)

F_{mm} (MHz)		178	200	213	228	240	265	316	340	400	680
S1	**Y (ns)**	5,2	5,2	4,7	4,5	4,1	3,7	2,9	2,3	2,2	1,2
	X (ps)	310	-266	-337	-122	190	274	472	887	264	-767
S2	**Y (ns)**	5,6	4,8	4,5	4,2	3,8	3,6	2,9	2,6	2,3	1,8
	X (ps)	-2,4	235	216	263	352	137	94,3	139	-300	-236
S3	**Y (ns)**	5,5	4,8	4,5	4,2	3,9	3,6	3,1	2,9	2,9	1,7
	X (ps)	94,4	176	77,3	55,6	158	1,7	-206	-314	-684	-156

Tableau-A II-5 Résultats de mesure de délai de propagation avec la technique SeBoS (cas $F_{nscc}=F_{mm/4}$)

F_{mm} (MHz)		178	200	213	228	240	265	316	340	400	680
S1	**Y (ns)**	5,2	4,8	4,7	4,4	4,1	3,8	2,7	2,4	2,4	1,6
	X (ps)	209	-74	-216	-170	29	248	900	1004	149	-536
S2	**Y (ns)**	5,7	4,9	4,6	4,2	3,8	3,4	3,0	2,7	2,5	1,6
	X (ps)	-98	233	250	312	443	252	-98	-29	10	-238
S3	**Y (ns)**	5,5	4,7	4,5	4,2	3,9	3,7	3,1	2,9	2,5	1,7
	X (ps)	120	248	126	60	107	-120	-207	-221	24	-443

Tableau-A II-6 Résultats de mesure de délai de propagation avec la technique BurstMode (cas B1)

F_{mm} (MHz)		178	200	213	228	240	265	316	340	400	680
S1	**Y (ns)**	5,6	4,9	4,7	4,5	4,1	3,8	3,3	3,3	2,2	1,6
	X (ps)	37	120	-46	-90	107	70	-167	-312	545	-23
S2	**Y (ns)**	5,8	5,0	4,7	4,3	4,7	3,9	3,3	2,9	2,7	1,5
	X (ps)	-203	97	50	113	-555	-162	-80	19	-287	83
S3	**Y (ns)**	5,9	5,1	5,0	4,7	4,3	4,0	3,4	3,2	2,9	1,5
	X (ps)	-272	-132	-332	-300	-123	-226	-294	-268	-407	-65

Rapport-gratuit.com
LE NUMERO 1 MONDIAL DU MÉMOIRES

Tableau-A II-7 Résultats de mesure de délai de propagation avec la technique BurstMode (cas B2)

F_{mm} (MHz)		178	200	213	228	240	265	316	340	400	680
S1	**Y (ns)**	5,2	4,8	4,6	4,4	3,9	3,4	2,7	1,8	2,0	1,1
	X (ps)	-89	-460	-390	-71	354	680	391	959	323	-76
S2	**Y (ns)**	5,8	4,7	4,2	3,7	3,3	3,5	2,8	2,5	1,8	1,9
	X (ps)	-60,3	475	578	609	455	204	198	200	-364	-549
S3	**Y (ns)**	5,5	4,8	4,5	4,4	3,9	3,5	3,2	2,7	2,4	1,8
	X (ps)	6,3	116	33	39	132	-5	-322	-543	-959	-380

Tableau-A II-8 Résultats de mesure de délai de propagation avec la technique BurstMode (cas B3)

F_{mm} (MHz)		178	200	213	228	240	265	316	340	400	680
S1	**Y (ns)**	5,3	4,8	4,6	4,3	3,9	3,6	2,1	1,9	1,6	1,2
	X (ps)	-291	-331	-313	-101	142	444	1322	1237	86	-724
S2	**Y (ns)**	5,8	4,8	4,3	3,8	3,5	3,2	2,7	2,7	2,2	1,6
	X (ps)	-172	452	626	765	646	350	-202	-156	-226	-384
S3	**Y (ns)**	5,6	4,7	4,4	4,1	3,8	3,7	3,1	2,9	2,8	1,5
	X (ps)	74	253	137	17	8	-274	-330	-363	-739	-690

Tableau-A II-9 Résultats de mesure de délai de propagation avec la technique BurstMode (cas B4)

F_{mm} (MHz)		178	200	213	228	240	265	316	340	400	680
S1	**Y (ns)**	5,5	4,6	4,5	4,3	3,9	3,6	3,6	2,4	1,6	1,4
	X (ps)	46	38	-141	-122	55	103	-631	-560	969	199
S2	**Y (ns)**	5,6	4,7	4,4	3,8	3,1	3,1	3,3	0,3	2,5	1,9
	X (ps)	-235	167	169	216	170	-96	-184	-51	-302	-409
S3	**Y (ns)**	5,7	4,8	4,6	4,4	4,2	4,0	3,3	2,9	3,2	1,9
	X (ps)	-153	-59	-213	-285	-212	-284	-212	-13	-1000	-751

Tableau-A II-10 Résultats de mesure de délai de propagation avec la technique BurstMode (cas B5)

F_{mm} (MHz)		178	200	213	228	240	265	316	340	400	680
S1	**Y (ns)**	5,2	4,7	4,5	4,2	3,9	3,6	3,2	2,4	2,4	1,5
	X (ps)	-97	-9	-102	-116	35	20	-170	-340	-424	-68
S2	**Y (ns)**	5,5	4,7	4,4	3,8	3,8	3,7	3,1	2,3	2,7	1,5
	X (ps)	-213	37	-2	-40	-534	-108	-86	-36	-82	-43
S3	**Y (ns)**	5,5	4,9	4,8	4,5	4,2	3,9	3,3	3,0	2,4	1,5
	X (ps)	-250	-127	-241	-243	-124	-197	-224	-218	145	-225

Tableau-A II-11 Résultats de mesure de délai de propagation avec la technique PKLPG (F=15 MHz)

F_{mm} (MHz)		178	200	213	228	240	265	316	340	400	680
S1	**Y (ns)**	5,3	4,7	4,5	4,2	3,9	3,7	3,0	2,0	2,4	1,3
	X (ps)	368	271	180	152	279	114	196	988	163	168
S2	**Y (ns)**	5,5	4,8	4,5	4,1	3,7	3,7	3,1	2,8	2,8	1,5
	X (ps)	144	222	201	351	494	76	62	117	0	-19
S3	**Y (ns)**	5,5	4,8	4,6	4,4	4,0	3,8	3,2	2,9	2,5	1,5
	X (ps)	123	189	55	37	145	20	-40	78	22	39

Tableau-A II-12 Résultats de mesure de délai de propagation avec la technique PKLPG (F=20 MHz)

F_{mm} (MHz)		178	200	213	228	240	265	316	340	400	680
S1	**Y (ns)**	5,3	4,7	4,5	4,2	3,9	3,7	3,0	2,0	2,4	1,3
	X (ps)	366	264	174	144	270	107	186	980	160	166
S2	**Y (ns)**	5,5	4,8	4,5	4,1	3,7	3,7	3,1	2,8	2,2	1,5
	X (ps)	134	210	185	348	487	68	57	113	-2	-19
S3	**Y (ns)**	5,5	4,8	4,6	4,4	4,0	3,8	3,2	2,9	2,5	1,5
	X (ps)	116	180	49	27	142	12	-44	70	18	37

LISTE DE RÉFÉRENCES BIBLIOGRAPHIQUES

Arabi, Karim, Resve Saleh et Xiongfei Meng. 2007. « Power supply noise in SoCs: Metrics, management, and measurement ». *IEEE Design & Test of Computers,* vol. 24, nº 3.

CMCMICROSYSTEMS. 2015. « Design Flow Example for DFTAdvisor and FastScan ». < https://www.cmc.ca/WhatWeOffer/Products/CMC-00000-48577.aspx >.

Corno, Fulvio, Matteo Sonza Reorda et Giovanni Squillero. 2000. « RT-level ITC'99 benchmarks and first ATPG results ». *IEEE Design & Test of computers,* vol. 17, nº 3, p. 44-53.

He, Huanyu. 2015. « Quantitative Analysis and Modeling of 3-D TSV-Based Power Delivery Architectures ». Rensselaer Polytechnic Institute.

He, Huanyu, Xiaoxiong Gu et Jian-Qiang Lu. 2014. « Modeling of switching noise and coupling in multiple chips of 3D TSV-based systems ». In *2014 IEEE 64th Electronic Components and Technology Conference (ECTC)*. p. 548-553. IEEE.

Hobeika, Christelle. 2011. « Méthodologie de vérification automatique basée sur l'utilisation des tests structurels de transition avec insertion de registres à balayage ». École de technologie supérieure.

Intel. 2002. « Intel® Pentium® 4 Processor in the 423 pin package/Intel® 850 Chipset Platform ».

Jairam, Sukumar, Madhusudan Rao, Jithendra Srinivas, Parimala Vishwanath, H Udayakumar et Jagdish C Rao. 2008. « Clock gating for power optimization in ASIC design cycle theory & practice ». In *ISLPED*. p. 307-308.

Jha, Niraj K, et Sandeep Gupta. 2003. *Testing of digital systems*. Cambridge University Press.

Larche, Justine. 2013. « Émulation et comparaison du mode test et du mode fonctionnel des circuits intégrés à horloges multiples ». École de technologie supérieure.

Lin, Yu-Hsiang, Shi-Yu Huang, Kun-Han Tsai, Wu-Tung Cheng, Sedat Sunter, Yung-Fa Chou et Ding-Ming Kwai. 2013. « Parametric delay test of post-bond through-silicon vias in 3-D ICs via variable output thresholding analysis ». *Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on,* vol. 32, nº 5, p. 737-747.

Liu, Hui, Huawei Li, Yu Hu et Xiaowei Li. 2008. « A scan-based delay test method for reduction of overtesting ». In *Electronic Design, Test and Applications, 2008. DELTA 2008. 4th IEEE International Symposium on*. p. 521-526. IEEE.

Marinissen, Erik Jan, et Yervant Zorian. 2009. « Testing 3D chips containing through-silicon vias ». In *Test Conference, 2009. ITC 2009. International*. p. 1-11. IEEE.

Mei, Kenyon CY. 1974. « Bridging and stuck-at faults ». *IEEE Transactions on Computers,* vol. 100, nº 7, p. 720-727.

Mir, Salvador. 2004. « Integrated circuit testing: From microelectronics to microsystems ». In *Fault Detection, Supervision and Safety of Technical Processes 2003 (SAFEPROCESS 2003): A Proceedings Volume from the 5th IFAC Symposium, Washington, DC, USA, 9-11 June 2003*. Vol. 1, p. 13. Elsevier.

Moghaddam, Elham K, Janusz Rajski, Mark Kassab et Sudhakar M Reddy. 2010. « At-speed scan test with low switching activity ». In *VLSI Test Symposium (VTS), 2010 28th*. p. 177-182. IEEE.

Nadeau-Dostie, Benoit, Kiyoshi Takeshita et Jean-Francois Cote. 2008. « Power-aware at-speed scan test methodology for circuits with synchronous clocks ». In *2008 IEEE International Test Conference*. p. 1-10. IEEE.

Pant, Pankaj, et Eric Skeels. 2011. « Hardware hooks for transition scan characterization ». In *Test Conference (ITC), 2011 IEEE International*. p. 1-8. IEEE.

Pant, Pankaj, et Joshua Zelman. 2009. « Understanding power supply droop during at-speed scan testing ». In *2009 27th IEEE VLSI Test Symposium*. p. 227-232. IEEE.

Park, Intaik, et Edward J McCluskey. 2008. « Launch-on-shift-capture transition tests ». In *Test Conference, 2008. ITC 2008. IEEE International*. p. 1-9. IEEE.

Rearick, Jeff. 2001. « Too much delay fault coverage is a bad thing ». In *Test Conference, 2001. Proceedings. International*. p. 624-633. IEEE.

Rearick, Jeff, et Richard Rodgers. 2005. « Calibrating clock stretch during AC scan testing ». In *Test Conference, 2005. Proceedings. ITC 2005. IEEE International*. p. 8 pp.-273. IEEE.

Savir, Jacob, et Srinivas Patil. 1993. « Scan-based transition test ». *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems,* vol. 12, nº 8, p. 1232-1241.

Savir, Jacob, et Srinivas Patil. 1994. « Broad-side delay test ». *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems,* vol. 13, nº 8, p. 1057-1064.

Sharma, Rohit, et Kiyoung Choi. 2014. « 6 Emerging Interconnect Technologies for 3D Networks-on-Chip ». In *Design of 3D Integrated Circuits and Systems*. p. 157-174. CRC Press.

Smith, Gordon L. 1985. « Model for Delay Faults Based Upon Paths ». In *ITC*. p. 342-351. Citeseer.

Tehranipoor, Mohammad, Ke Peng et Krishnendu Chakrabarty. 2011. « Delay Test and Small-Delay Defects ». In *Test and Diagnosis for Small-Delay Defects*. p. 21-36. Springer.

Tessent, Scan and ATPG User's, Manual 2014. *Software Version 2014.1, pp.1-462, March 2014.*

Thibeault, Claude, et Ali Louati. 2017. « A New Delay Testing Signal Scheme Robust to Power Distribution Network Impedance Variation ». In *VLSI Test Symposium (VTS), 2017 IEEE 35th*. p. 1-6. IEEE.

Tremblay, Daniel. 2007. « Optimisation des méthodes de tests des circuits numériques ». École de technologie supérieure.

Vaisband, Inna P, Renatas Jakushokas, Mikhail Popovich, Andrey V Mezhiba, Selçuk Köse et Eby G Friedman. 2016. *On-chip power delivery and management*. Springer.

Waicukauski, John A, Eric Lindbloom, Barry K Rosen et Vijay S Iyengar. 1987. « Transition fault simulation ». *IEEE Design & Test of Computers,* vol. 4, n° 2, p. 32-38.

Wang, Laung-Terng, Cheng-Wen Wu et Xiaoqing Wen. 2006. *VLSI test principles and architectures: design for testability*. Academic Press.

Xu, Gefu, et Adit D Singh. 2006. « Low cost launch-on-shift delay test with slow scan enable ». In *Test Symposium, 2006. ETS'06. Eleventh IEEE European*. p. 9-14. IEEE.

Zhang, Tengteng, et Duncan M Hank Walker. 2013. « Power supply noise control in pseudo functional test ». In *VLSI Test Symposium (VTS), 2013 IEEE 31st*. p. 1-6. IEEE.

Zhang, Tengteng, et Duncan M Hank Walker. 2014. « Improved power supply noise control for pseudo functional test ». In *VLSI Test Symposium (VTS), 2014 IEEE 32nd*. p. 1-6. IEEE.