

## TABLE DES MATIÈRES

RÉSUMÉ .....	i
ABSTRACT .....	iii
REMERCIEMENTS .....	iv
TABLE DES MATIÈRES.....	v
LISTE DES TABLEAUX .....	ix
LISTE DES FIGURES.....	x
CHAPITRE 1 INTRODUCTION GÉNÉRALE .....	1
1.1 CONTEXTE GENERAL .....	1
1.2 PROBLEMATIQUE .....	2
1.3 OBJECTIF.....	7
1.4 METHODOLOGIE .....	8
1.5 STRUCTURE DE LA THESE.....	9
CHAPITRE 2 NOTIONS FONDAMENTALES.....	11
2.1 INTRODUCTION.....	11
2.2 CARACTERISTIQUES PRIMAIRES.....	12
2.2.1 FREQUENCE D'ECHANTILLONNAGE : $f_{\text{sampling}}$ .....	12
2.2.2 RESOLUTION : N.....	12
2.3 PARAMETRES DE PERFORMANCE.....	13
2.3.1 PARAMETRES STATIQUES D'UN CNA.....	13
2.3.1.1 ERREUR DE DECALAGE ET ERREUR DE GAIN .....	14
2.3.1.2 ERREURS DE NON-LINEARITE DIFFERENTIELLE ET INTEGRALE .....	16
2.3.2 PARAMETRES DYNAMIQUES D'UN CNA .....	18
2.3.2.1 RAPPORT SIGNAL SUR BRUIT (SNR) .....	18
2.3.2.2 RAPPORT SIGNAL SUR BRUIT ET DISTORSION (SNDR).....	19
2.3.2.3 DYNAMIQUE DE CODAGE (SFDR).....	19
2.3.2.4 TAUX DE DISTORSION HARMONIQUE (THD).....	20

2.3.2.5	NOMBRE DE BITS EFFECTIFS (ENOB) .....	20
2.3.3	PARAMETRES STATIQUES D'UN CAN .....	20
2.3.3.1	ERREUR DE DECALAGE ET ERREUR DE GAIN.....	20
2.3.3.2	ERREUR DE NON-LINEARITE DIFFERENTIELLE .....	22
2.3.3.3	ERREUR DE NON-LINEARITE INTEGRALE.....	23
2.4	CONCLUSION .....	24
CHAPITRE 3 ARCHITECTURE DE CONVERTISSEURS DE DONNÉES .....		25
3.1	INTRODUCTION.....	25
3.2	ARCHITECTURES DE CONVERTISSEURS NUMERIQUE-ANALOGIQUES.....	25
3.2.1	CONVERTISSEURS CNA DE TYPE NYQUIST .....	26
3.2.1.1	LES CNA PARALLELES .....	26
3.2.1.1.1	CNA PAR PONDERATION DE TENSION .....	26
3.2.1.1.2	CNA PAR PONDERATION DE COURANT.....	28
3.2.1.1.3	CNA A REDISTRIBUTION DE CHARGE.....	30
3.2.1.2	LES CNA PIPELINES .....	31
3.2.2	CONVERTISSEURS CNA A SUR-ECHANTILLONNAGE : SIGMA-DELTA ...	32
3.2.3	AUTRES CONVERTISSEURS CNA.....	32
3.2.4	SYNTHESE DES CNA.....	33
3.3	ARCHITECTURES DE CONVERTISSEURS ANALOGIQUE-NUMERIQUES.....	34
3.3.1	CAN DE TYPE NYQUIST .....	34
3.3.1.1	CAN FLASH.....	35
3.3.1.2	CAN DE TYPE APPROXIMATION SUCCESSIVE .....	36
3.3.1.3	CAN DE TYPE PIPELINE.....	37
3.3.2	CAN A SUR-ÉCHANTILLONNAGE : SIGMA-DELTA.....	38
3.3.3	AUTRES CONVERTISSEURS CAN HAUTES VITESSES ET TECHNIQUES DE CORRECTION .....	39
3.3.3.1	AUTRES CONVERTISSEURS CAN HAUTES VITESSES .....	39
3.3.3.2	TECHNIQUES DE CORRECTION .....	40
3.3.4	CAN DE TYPE FLASH UTILISANT DES INVERSEURS COMME COMPARATEURS .....	40

3.3.5 SYNTHÈSE DES CAN .....	41
3.4 CONCLUSION .....	42
CHAPITRE 4 CONVERTISSEUR NUMÉRIQUE-ANALOGIQUE FLASH BASÉ SUR LES CELLULES NORMALISÉES.....	43
4.1 INTRODUCTION .....	43
4.2 ARCHITECTURE DU CNA PROPOSÉ .....	44
4.3 RELATION ENTRÉE-SORTIE DU CONVERTISSEUR .....	45
4.4 OPTIMISATION DU CNA .....	53
4.5 CONCEPTION DU CNA AU NIVEAU TRANSISTOR.....	57
4.5.1 RÉSULTATS DE SIMULATIONS .....	57
4.5.2 SENSIBILITÉ DU CNA AUX VARIATIONS DE PROCÉDÉ ET AUX MÉSAPPARIEMENTS .....	58
4.6 CONCLUSION .....	60
CHAPITRE 5 CONVERTISSEUR ANALOGIQUE-NUMÉRIQUE FLASH BASÉ SUR LES CELLULES NORMALISÉES.....	61
5.1 INTRODUCTION .....	61
5.2 ARCHITECTURES DE CONVERTISSEURS CAN A 3 BITS PROPOSEES .....	62
5.2.1 PREMIERE APPROCHE DE CONCEPTION DU CAN A 3 BITS .....	62
5.2.1.1 ARCHITECTURE CAN A 3 BITS.....	62
5.2.1.2 AUTRE CONFIGURATION DU CAN A 3 BITS AVEC LINEARITÉ AMELIORÉE.....	66
5.2.1.2.1 OPTIMISATION DE LA NOUVELLE ARCHITECTURE DU CAN .....	69
5.2.1.2.2 SENSIBILITÉ DU CAN AUX VARIATIONS DE PROCÉDÉ, DE TEMPÉRATURE ET D'ALIMENTATION .....	75
5.2.2 DEUXIEME APPROCHE DE CONCEPTION DU CAN A 3 BITS .....	77
5.2.2.1 ARCHITECTURE CAN A 3 BITS.....	77
5.2.2.2 CONCEPTION DU CAN À 3 BITS AU NIVEAU TRANSISTOR .....	79
5.2.3 CONCEPTION DU CAN SUR UNE GRANDE PLAGE DYNAMIQUE .....	82
5.2.3.1 ARCHITECTURE DE CAN PROPOSÉE.....	82
5.2.3.2 ANALYSE THEORIQUE DU CAN PROPOSÉ.....	86
5.2.3.3 RESULTATS DE SIMULATION .....	91

5.3	CONCLUSION .....	92
CHAPITRE 6 ARCHITECTURE ET IMPLÉMENTATION DU CAN FLASH À 4 BITS.....		94
6.1	INTRODUCTION.....	94
6.2	ARCHITECTURE DU CAN A 4 BITS .....	94
6.2.1	RESULTATS DES SIMULATIONS .....	97
6.2.2	COMPARAISON DU CAN PROPOSE AVEC CEUX DE LA LITTERATURE.....	101
6.3	DESSIN DES MASQUES ET IMPLEMENTATION DU CAN A 4 BITS .....	102
6.3.1	TESTS SUR PUCE .....	106
6.3.1.1	ANALYSE STATIQUE.....	106
6.3.1.2	ANALYSE DYNAMIQUE.....	107
6.3.1.3	PLAGES DE VARIATION .....	110
6.3.1.4	RESUME DES PERFORMANCES .....	110
6.4	CONCLUSION .....	111
CHAPITRE 7 APPLICATION DU CNA PROPOSÉ .....		113
7.1	INTRODUCTION.....	113
7.2	APPLICATION DU CNA DANS LA REDUCTION DE LA GIGUE DU FRPS .....	113
7.2.1	BREF APERÇU SUR LE FRPS .....	114
7.2.2	RÉDUCTION DE LA GIGUE CRÊTE-À-CRÊTE SUR LE FRPS .....	117
7.2.2.1	ARCHITECTURE DU SYSTEME DE REDUCTION DE LA GIGUE .....	119
7.2.3	RESULTATS ISSUS DE LA SIMULATION ET DU FPGA .....	122
7.2.3.1	RÉSULTATS DE LA SIMULATION .....	123
7.2.3.2	RESULTATS EXPERIMENTAUX .....	125
7.3	CONCLUSION .....	127
CHAPITRE 8 CONCLUSIONS GÉNÉRALES ET PERSPECTIVES.....		128
BIBLIOGRAPHIE .....		132
ANNEXES .....		144

## LISTE DES TABLEAUX

TABLEAU 3.1 : AVANTAGES ET INCONVÉNIENTS DES CNA .....	33
TABLEAU 3.2 : AVANTAGES ET INCONVÉNIENTS DES CAN .....	42
TABLEAU 5.1 : RELATION ENTRÉE/SORTIE POUR $V_{IN} \leq V_{TH}$ .....	88
TABLEAU 5.2 :RELATION ENTRÉE/SORTIE DU CAN POUR $V_{DD}-V_{TH} \leq V_{IN} < V_{DD}$ .....	90
TABLEAU 5.3 : RELATION ENTRÉE/SORTIE DU CAN POUR $V_{IN} \leq V_{TH}$ .....	91
TABLEAU 5.4 :RELATION ENTRÉE/SORTIE DU CAN POUR $V_{TH} \leq V_{IN} < V_{DD}-V_{TH}$ .....	92
TABLEAU 5.5 :RELATION ENTRÉE/SORTIE DU CAN POUR $V_{DD}-V_{TH} \leq V_{IN} < V_{DD}$ .....	92
TABLEAU 6.1 : COMPARAISON DU CAN PROPOSÉ AVEC CEUX DE LA LITTÉRATURE.....	102
TABLEAU 6.2 : PLAGE DE VARIATION DES PUCES .....	110
TABLEAU 6.3 : RÉSUMÉ DES PERFORMANCES MESURÉES DU CAN .....	111

## LISTE DES FIGURES

FIGURE 2.1 : CHAÎNE DE TRAITEMENT DE DONNÉES .....	11
FIGURE 2.2 : SIGNAL ANALOGIQUE (I), SIGNAL ÉCHANTILLONNÉ(II) ET QUANTIFIÉ (III) ....	12
FIGURE 2.3 : CARACTÉRISTIQUE DE TRANSFERT IDÉAL D'UN CNA À 3 BITS.....	14
FIGURE 2.4 : ERREUR DE DÉCALAGE POUR UN CNA À 3 BITS .....	15
FIGURE 2.5 : ERREUR DE GAIN POUR UN CNA À 3 BITS.....	15
FIGURE 2.6 : DNL POUR UN CNA À 3 BITS .....	16
FIGURE 2.7 : INL POUR UN CNA À 3 BITS.....	18
FIGURE 2.8 : ERREUR DE DÉCALAGE POUR UN CAN À 3 BITS .....	21
FIGURE 2.9 : ERREUR DE GAIN POUR UN CAN À 3 BITS.....	22
FIGURE 2.10 : NON-LINÉARITÉ DIFFÉRENTIELLE D'UN CAN À 3 BITS .....	23
FIGURE 2.11 : NON-LINÉARITÉ INTÉGRALE D'UN CAN À 3 BITS .....	24
FIGURE 3.1 : CNA À RÉSEAU DE RÉSISTANCES PONDÉRÉES .....	27
FIGURE 3.2 : CONVERTISSEUR CNA R-2R .....	28
FIGURE 3.3 : CONVERTISSEUR CNA À SOURCES DE COURANT UNAIRES .....	29
FIGURE 3.4 : CONVERTISSEUR CNA À SOURCES DE COURANT PONDÉRÉES.....	29
FIGURE 3.5 : CONVERTISSEUR CNA À REDISTRIBUTION DE CHARGES .....	30
FIGURE 3.6 : CONVERTISSEUR CNA PIPELINE .....	31
FIGURE 3.7 : ARCHITECTURE D'UN CNA SIGMA-DELTA .....	32
FIGURE 3.8 : ARCHITECTURE DE TYPE FLASH .....	35
FIGURE 3.9 : ARCHITECTURE APPROXIMATION SUCCESSIVE.....	36
FIGURE 3.10 : UN ÉTAGE DU PIPELINE.....	37
FIGURE 3.11 : ARCHITECTURE PIPELINE .....	38
FIGURE 3.12 : ARCHITECTURE SIGMA-DELTA .....	39
FIGURE 4.1 : CNA PROPOSÉ A) AU NIVEAU PORTES LOGIQUES ET B) AU NIVEAU TRANSISTOR .....	45
FIGURE 4.2 : CNA À 2 BITS AU NIVEAU TRANSISTOR A) ENTRÉE QUELCONQUE, B) ENTRÉE "011" ET C) TRANSISTORS EN CONDUCTION.....	46
FIGURE 4.3 : RÉGIONS DE FONCTIONNEMENT DES TRANSISTORS .....	47
FIGURE 4.4 : SORTIES DU CNA IDÉAL ET DU CNA PROPOSÉ.....	49

FIGURE 4.5 : CARRÉS DES ERREURS DU CAN À 3 BITS AVEC 14 SUIVEURS .....	51
FIGURE 4.6 : SORTIE DU CNA OPTIMISÉ VS SORTIE IDÉALE AVEC 14 PORTES .....	52
FIGURE 4.7 : CNA À 3 BITS AVEC 21 SUIVEURS .....	53
FIGURE 4.8 : CARRÉS DES ERREURS DU CAN À 3 BITS AVEC 21 SUIVEURS .....	55
FIGURE 4.9 : SORTIE DU CNA OPTIMISÉ VS SORTIE IDÉALE AVEC 21 PORTES .....	56
FIGURE 4.10 : A) SORTIE DU CNA NON OPTIMISÉ .....	57
FIGURE 4.10 : B) SORTIE DU CNA OPTIMISÉ .....	58
FIGURE 4.11 : SIMULATION MONTE CARLO .....	60
FIGURE 5.1 : CAN À 3 BITS INITIAL .....	63
FIGURE 5.2 : TENSION SEUIL EN FONCTION DE $M$ .....	66
FIGURE 5.3 : ARCHITECTURE DU CAN À 3 BITS AVEC $Q=6$ .....	67
FIGURE 5.4 : SEUILS DES DIFFÉRENTS BLOCS DE PORTES .....	68
FIGURE 5.5 : SOMME DES CARRÉS DE L'ERREUR POUR LE CAN À 3 BITS.....	71
FIGURE 5.6 : SEUILS OPTIMISÉS DES BLOCS DE PORTES .....	72
FIGURE 5.7 : SORTIE DU A) CAN INITIAL ET DU B) CAN OPTIMISÉ.....	73
FIGURE 5.8 : LINÉARITÉS DES CAN PROPOSÉS AVEC UNE ENTRÉE EN RAMPE.....	74
FIGURE 5.9 : COURBES DNL ET INL DU CAN PROPOSÉ .....	75
FIGURE 5.10 : ANALYSE MONTE CARLO .....	76
FIGURE 5.11 : CAN À 3 BITS PAR LA SECONDE TECHNIQUE.....	78
FIGURE 5.12 : TENSIONS SEUILS EN FONCTION DE $M$ A) PAR LA PREMIÈRE MÉTHODE ET B) PAR LA SECONDE MÉTHODE.....	79
FIGURE 5.13 : COURBE DE RÉPONSE DC LIÉE AU CAN À 3 BITS PAR LA SECONDE MÉTHODE .....	80
FIGURE 5.14 : ANALYSE TRANSITOIRE DU CAN À 3 BITS .....	81
FIGURE 5.15 : DNL ET INL DU CAN À 3 BITS .....	82
FIGURE 5.16: ARCHITECTURE PROPOSÉE .....	83
FIGURE 5.17 : CAN DE PLAGE D'ENTRÉE $V_{SS}-V_{TH}$ .....	84
FIGURE 6.1 : ARCHITECTURE DU CAN À 4 BITS.....	96
FIGURE 6.2 : ANALYSE DC DU CAN À 4 BITS .....	98
FIGURE 6.3 : DNL ET INL DU CAN À 4 BITS PROPOSÉ.....	99
FIGURE 6.4 : SIGNAUX D'ENTRÉE ET DE SORTIE DU CAN.....	100

FIGURE 6.5 : ARCHITECTURE DU CAN À 4 BITS UTILISANT DES TRANSISTORS DE TAILLES CLASSIQUES .....	105
FIGURE 6.6 : DESSINS DES MASQUES DE L'ARCHITECTURE DU CAN À 4 BITS.....	105
FIGURE 6.7 : CARACTÉRISTIQUES DE TRANSFERT DU CAN À 4 BITS SUR PUCE .....	106
FIGURE 6.8 : DNL/INL MESURÉS .....	107
FIGURE 6.9 : SPECTRE DE SORTIE MESURÉ POUR $F_{IN}= 1$ KHZ.....	108
FIGURE 6.10 : ENOB ET SINAD VS FRÉQUENCE D'ENTRÉE .....	109
FIGURE 6.11 : SORTIE MÉSURÉE DU CAN .....	109
FIGURE 7.1 : ALLONGEMENT ET RACCOURCISSEMENT DE LA PÉRIODE .....	114
FIGURE 7.2 : DIAGRAMME EN BLOC DU FRPS.....	116
FIGURE 7.3 : PIRE CAS DE GIGUE À LA SORTIE DU FRPS.....	118
FIGURE 7.4 : RÉDUCTION DE LA GIGUE ASSOCIÉE AU FRPS.....	120
FIGURE 7.5 : TRANSITIONS DU A) FRPS CLASSIQUE ET B) FRPS AVEC NOTRE SYSTÈME PROPOSÉ.....	121
FIGURE 7.6 : CNA À 2 BITS.....	121
FIGURE 7.7 : SORTIE DU CNA À 2 BITS PROPOSÉ ET DU CNA IDÉAL.....	122
FIGURE 7.8 : RÉSULTATS DE LA SIMULATION LORSQUE $T_{OSC}= 19$ NS.....	124
FIGURE 7.9 : RÉSULTATS DE LA SIMULATION LORSQUE $T_{OSC}=21$ NS .....	125
FIGURE 7.10 : SIGNAUX DE SORTIE AVANT CALIBRATION.....	126
FIGURE 7.11 : SORTIE DE SORTIE APRÈS CALIBRATION .....	127



# CHAPITRE 1

## INTRODUCTION GÉNÉRALE

### 1.1 CONTEXTE GENERAL

Les convertisseurs de données sont des dispositifs électroniques capables non seulement de transformer les signaux analogiques en signaux numériques, mais aussi de convertir les signaux numériques en signaux analogiques. On distingue ainsi deux grandes catégories : les convertisseurs analogique-numériques (CAN) et les convertisseurs numérique-analogiques (CNA). Ce sont des composants mixtes qui ont des caractéristiques spécifiques dans plusieurs domaines d'application. Par contre, la conception de ces composants est une tâche exigeante car leurs caractéristiques telles les paramètres statiques (vitesse, résolution, etc.) et dynamiques (rapport signal sur bruit, nombre effectif de bits, etc.) sont intimement liées à la nature de l'application [1-7].

De nos jours, les convertisseurs de données continuent de définir de différentes manières les performances de plusieurs circuits et dispositifs numériques en régulant la qualité, la quantité et la vitesse de l'information qui doit passer entre le domaine analogique et numérique. C'est pourquoi la conversion de données joue un rôle crucial dans le succès de plusieurs applications telles la biomédecine, les fonctions audio et vidéo dans les appareils électroniques grand public, les télécommunications, l'instrumentation, etc. [1, 4, 7, 8]. Dans le domaine médical, les convertisseurs de données sont utilisés dans les capteurs biomédicaux alimentés par des batteries pour l'électrocardiogramme, l'électroencéphalogramme, etc. Ainsi la faible consommation d'énergie est un paramètre

critique dans de telles applications. En général la consommation de puissance des convertisseurs flash augmente avec leurs résolutions.

Fort de la prédominance du domaine numérique et de ses avantages (stabilité, robustesse, insensibilité aux bruits), un essor très appréciable envers l'implantation sur puce des convertisseurs de données a été constaté au cours des deux dernières décennies [6, 11, 16, 17, 22, 23]. C'est la complexité des circuits analogiques et leurs coûts qui ont poussé les chercheurs à concevoir des circuits mixtes, où les blocs analogiques et numériques se côtoient sur une seule puce. Cette évolution vers des niveaux d'intégration de plus en plus élevées est surtout motivée par les besoins d'obtenir des systèmes plus performants de tailles réduites et consommant moins de puissance. Cependant, cette miniaturisation entraîne pour conséquence le rapprochement des limites physiques du matériau et une perturbation des parties analogiques par les différents canaux de couplage. Par ailleurs, la réduction des tensions d'alimentation affecte les performances des composants analogiques [7,8]. Cet environnement contraignant pour les circuits mixtes nécessite des solutions adaptées. Par conséquent la conception des convertisseurs de données dédiés aux systèmes sur puce représente tout un défi.

## 1.2 PROBLEMATIQUE

Le champ de recherche concernant la conception des convertisseurs de données adaptés au système sur puce est assez jeune, mais l'intérêt qu'il suscite de plus en plus chez les chercheurs va croissant. Depuis plus d'une décennie, un nombre considérable de chercheurs se sont intéressés à la problématique de l'implantation sur puce des

convertisseurs de données [6,16-23]. Leurs travaux de recherche ont permis de mieux comprendre les critères et les exigences liés à la conception de ces convertisseurs, résumés comme suit :

- Les considérations majeures liées à la conception sur puce des convertisseurs analogique-numériques sont : La faible consommation de puissance, la vitesse élevée et la tension d'alimentation réduite [21, 22].
- Le type de technologie utilisé lors de l'implémentation de ces convertisseurs affecte aussi leurs vitesses [6,7].

De nos jours la tendance des systèmes sur puce est d'intégrer les circuits analogiques sur la même puce que les circuits/composants numériques tels les processeurs et mémoires [17, 19, 23]. Afin d'avoir une vitesse compatible avec celle des processeurs sur puce, les CAN doivent non seulement être rapides, mais aussi être de moindres coûts.

Dans plusieurs applications portables telles les systèmes alimentés par des batteries, la réduction de la consommation de puissance est une préoccupation majeure pour les concepteurs. Ces concepteurs font recours à plusieurs techniques pour prolonger la durée de vie des batteries. Dans la même optique, les architectures de convertisseurs de données (CAN et CNA) doivent être de faible consommation de puissance et/ou intégrer des techniques de réduction de la consommation de puissance.

L'utilisation d'une tension d'alimentation faible dans les systèmes SoC constitue l'un des défis majeurs pour les concepteurs. En effet, la tension d'alimentation minimale des circuits analogiques ne suit pas la réduction de la tension d'alimentation des circuits numériques. Il est important de mentionner que la réduction de la tension d'alimentation

entraîne la réduction de la conductance des transistors, limitant ainsi la bande passante des circuits associés [8,43]. Dues aux tensions seuils relativement élevées des transistors, la conception des convertisseurs de données CAN fonctionnant sous de faibles tensions d'alimentation est un grand défi. Par conséquent, ces convertisseurs sont appelés à fonctionner sur de petites plages de tensions.

Par ailleurs, la vitesse de ces convertisseurs dépend du type de technologie utilisé (bipolaire, CMOS, GaAs) [6, 31,42]. Les technologies bipolaire et GaAs sont complexes et requièrent des coûts élevés comparées à la technologie CMOS standard. C'est pourquoi cette dernière est l'option retenue pour les systèmes sur puce.

De nombreuses recherches ont été effectuées sur la conception des convertisseurs de données de type flash. Les composants utilisés sont pour la plupart des composants analogiques [7]. Avec la course à la miniaturisation, les concepteurs ont tout récemment opté pour des architectures de convertisseurs flash répondant partiellement ou totalement aux exigences des systèmes sur puce :

- Les chercheurs ont proposé une méthode particulière pour intégrer les CANs de type flash sur puce. Cette méthode est appelée la méthode TIQ (*Threshold Inverter Quantization*) [13, 14, 19]. Elle consiste à varier manuellement les largeurs des transistors pour obtenir différentes tensions de seuil. Cette méthode a l'avantage d'utiliser seulement un inverseur comme comparateur de tension analogique. Ce qui contribue à éliminer les comparateurs différentiels de gain élevé généralement utilisés dans la chaîne de conversion de données. Cependant cette technique bien que

nécessitant un travail fastidieux voit les caractéristiques du CAN fortement influencées. Parmi ces caractéristiques, on peut citer la linéarité, la sensibilité aux variations de procédé, de température et tension d'alimentation. De plus la variation des largeurs des transistors a un effet sur la consommation de puissance.

- Par la suite, plusieurs autres techniques ont été proposées par les chercheurs pour améliorer les caractéristiques des CAN de type flash dans les applications de systèmes sur puce : La variation simultanée des longueurs et largeurs des transistors [67], la variation des longueurs des transistors [68]. Par ailleurs, grâce à un quantificateur différentiel, la sensibilité du comparateur de tension aux bruits a été réduite [18]. De plus une technique de réduction de la consommation de puissance a été proposée [66]. Il est important de noter que toutes ces méthodes basées sur le dimensionnement des tailles des transistors sont proposées au niveau transistor. Dans cette thèse, une méthode de conception des CAN basée sur l'utilisation des portes logiques qui constitue en fait un niveau d'abstraction plus élevé est proposée.
- En ce qui concerne les convertisseurs numérique-analogiques, il existe une méthode d'implémentation des CNA de type flash sur puce basée sur le principe de redistribution des charges. On parle alors de convertisseurs à capacités commutées. Cette technique utilise des amplificateurs opérationnels pour assurer le transfert des charges. Cependant ces amplificateurs opérationnels ne sont pas adaptés aux systèmes sur puce car

ils consomment beaucoup d'énergie. Malgré que des techniques aient été proposées pour réduire cette grande consommation d'énergie, cela reste encore une préoccupation pour les chercheurs. De plus, bien que plusieurs méthodes aient été proposées pour améliorer les performances de ces convertisseurs CNA en général, aucun effort à notre connaissance n'ait été fait pour permettre leur implémentation à un niveau d'abstraction plus élevé.

De nos jours, il existe des bibliothèques de cellules normalisées qui permettent la conception au niveau des portes logiques. La conception des circuits en utilisant des cellules normalisées offre plus de simplicité par rapport aux transistors. Ceci est lié au fait que les efforts d'intégration, le temps de conception soient réduits et que l'on puisse aisément passer d'une technologie à l'autre.

En ce qui concerne la conception des convertisseurs de données à base des cellules normalisées, des données scientifiques sur ce sujet étaient jusqu'à très récemment inexistantes. Au meilleur de notre connaissance, cette approche de conception des convertisseurs par les cellules normalisées n'a jamais été faite auparavant. Toutes les recherches proposent des architectures de convertisseurs au niveau transistor qui se situe à un niveau de conception inférieur à celui des portes logiques. D'autres travaux de recherches proposent des conceptions de convertisseurs purement analogiques constitués des composants passifs et actifs. La conception de nouvelles architectures de convertisseurs de données utilisant uniquement des cellules normalisées se présente comme l'objectif principal de cette thèse.

### 1.3 OBJECTIF

L'objectif principal de la présente thèse consiste à proposer de nouvelles architectures de convertisseurs de données utilisant uniquement les cellules normalisées. Les techniques de conception utilisées se veulent encore plus avantageuses comparées aux techniques existantes. De façon plus spécifique, il s'agit :

- de proposer une nouvelle architecture de convertisseur numérique-analogique de type flash conçue à base de cellules normalisées,
- d'utiliser des cellules normalisées pour proposer de nouvelles architectures de convertisseur analogique-numérique ayant une plage d'entrée donnée ( $V_{TH}$  à  $V_{DD} - V_{TH}$ ),
- de proposer une technique de réduction de la consommation de puissance dans un CAN,
- de proposer une nouvelle structure de conversion de données analogique-numérique ayant une plage dynamique complète variant de  $V_{SS}$  à  $V_{DD}$ .
- d'utiliser la nouvelle architecture de convertisseur numérique-analogique pour réduire la gigue dans un générateur d'horloge.

Les résultats ainsi obtenus contribueront à valider les concepts proposés ainsi qu'à la conception d'autres architectures de convertisseurs de données.

## 1.4 METHODOLOGIE

De façon générale, la méthode utilisée pour concevoir ces nouveaux convertisseurs de données se base sur la configuration et la variation des tensions seuils de portes et/ou blocs de portes logiques. L'idée principale dans la conception du convertisseur analogique-numérique consiste à faire varier les courants dans les transistors dans le but d'obtenir des seuils de tension différentes. Dans un premier temps, il a été proposé une architecture de convertisseur CAN à 3 bits uniquement faite de cellules normalisées (section 5.1). Ensuite sa résolution a été augmentée par la conception d'une nouvelle architecture de CAN à 4 bits. Enfin, il a été proposé de contrôler une des entrées du convertisseur analogique-numérique à 4 bits afin de réduire sa consommation de puissance (Section 6.2). Les paramètres statiques et dynamiques des CAN proposés ont été évalués (Section 6.2). L'optimisation des performances du convertisseur CAN à 3 bits a été effectuée grâce à deux principales méthodes (Section 5.2): La méthode de la variation aléatoire des tailles des transistors (RSV) et celle de la variation systématique des tailles des transistors (SSV).

En ce qui concerne le convertisseur numérique-analogique basé sur l'utilisation des inverseurs, il est question de connecter les sorties des inverseurs ensemble; les entrées étant connectés aux signaux numériques (code thermomètre). Le but visé est de faire varier les courants dans les transistors qui constituent ces portes logiques. Des résultats de simulation pour le CNA à 3 bits proposés ont été obtenus (Sections 4.2 et 4.3). Une technique d'optimisation de ce CNA afin de le rendre plus linéaire a été proposée (Section 4.4).

Les simulations sur le convertisseur analogique-numérique proposé seront effectuées dans l'outil CADENCE, de même qu'un dessin des masques du convertisseur



CAN à 4 bits (Section 6.3). La puce contenant ce CAN a été fabriquée et les tests concluants ont permis de valider son fonctionnement. Pour l'implantation physique et la validation expérimentale, un prototype a été réalisé.

## 1.5 STRUCTURE DE LA THESE

Le chapitre 2 est consacré aux notions fondamentales entourant les convertisseurs de données. Ces notions sont essentielles afin de se familiariser avec la terminologie des convertisseurs de données.

Le chapitre 3 présente les différents convertisseurs rencontrés dans la littérature. Basé sur une étude bibliographique, plusieurs architectures de convertisseurs sont présentées de même que leurs avantages, leurs limites et leurs domaines d'applications.

Le chapitre 4 porte sur la nouvelle architecture de CNA faite à base de cellules normalisées.

Le chapitre 5 présente la conception des CAN à 3 et 4 bits tous à base des cellules normalisées.

Le chapitre 6 se consacre à l'architecture et à l'implémentation du CAN flash à 4 bits.

Le chapitre 7 porte sur l'application du CNA. En effet, le CNA proposé est utilisé pour réduire la gigue dans un système de génération d'horloge.

Le chapitre 8 résume le travail présenté dans cette thèse et compare les convertisseurs proposés à ceux existants dans la littérature. Les travaux futurs y sont également présentés.

## CHAPITRE 2

### NOTIONS FONDAMENTALES

#### 2.1 INTRODUCTION

Les convertisseurs de données jouent un rôle crucial dans une chaîne de traitement de données (Figure 2.1). Dans ce chapitre, des notions de base nécessaires à la compréhension et à la conception des convertisseurs de données sont présentées. De façon conceptuelle, un convertisseur de données réalise la transformation (en temps et en amplitude) des signaux continus en signaux discrets et vice-versa [6]. L'opération consistant à convertir dans le temps les signaux continus en signaux discrets s'appelle échantillonnage. L'autre processus qui consiste à convertir l'amplitude d'un signal continu en valeurs discrètes s'appelle la quantification (Figure 2.2). La quantification, qui est liée à la résolution, entraîne inévitablement une perte d'informations appelée par le bruit de quantification. Ainsi, l'échantillonnage et la résolution constituent des caractéristiques primaires des convertisseurs de données.



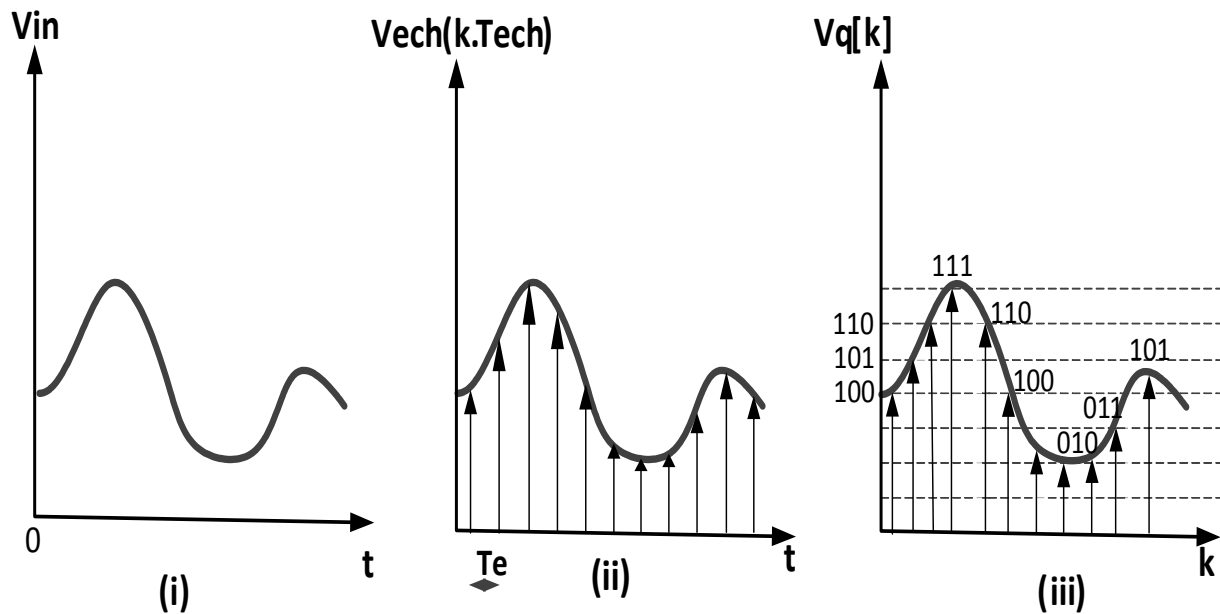
Figure 2.1 : Chaîne de traitement de données



## 2.2 CARACTERISTIQUES PRIMAIRES

### 2.2.1 FREQUENCE D'ECHANTILLONNAGE : $f_{sampling}$

Grâce à un échantillonneur-bloqueur, l'amplitude de l'échantillon prélevé est maintenue constante sur la période d'échantillonnage. Il s'en suit alors une séquence de fonctions delta d'amplitudes égales à celles du signal d'entrée aux différents instants d'échantillonnage (Figure 2.2).



**Figure 2.2 : signal analogique (i), signal échantillonné(ii) et quantifié (iii)**

### 2.2.2 RESOLUTION : $N$

La résolution est le nombre de bits utilisés par un CAN pour représenter son signal d'entrée analogique tandis que c'est le nombre de bits que le CNA reçoit à son entrée pour

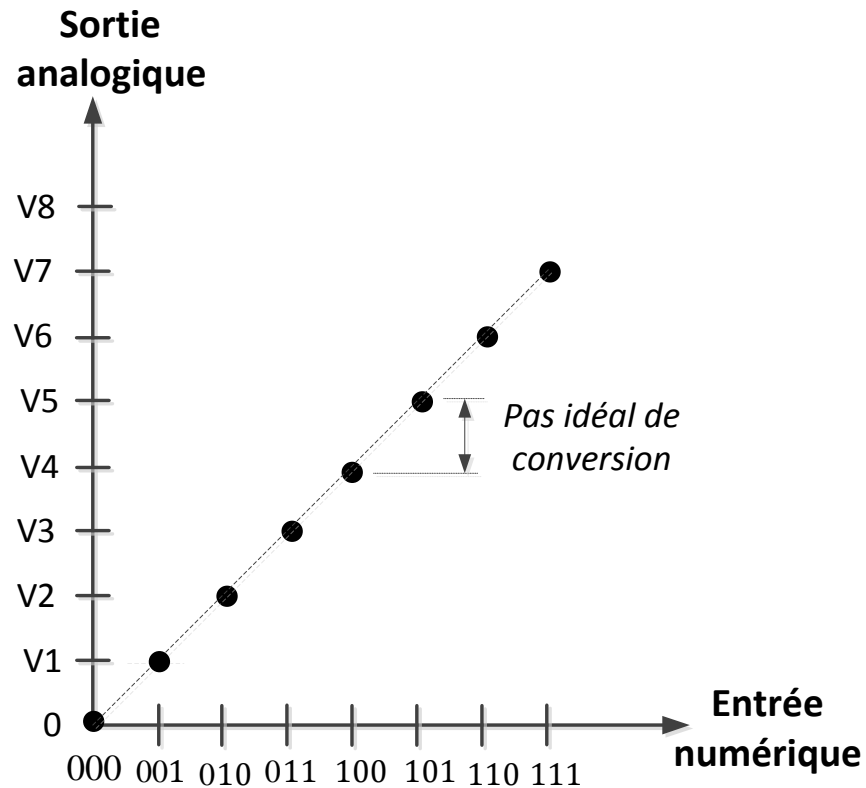
générer une tension analogique de sortie. La résolution permet de définir le pas de quantification qui est la tension minimale détectable par un convertisseur de donnée ou qui peut être générée par un CNA.

### 2.3 PARAMETRES DE PERFORMANCE

Plusieurs paramètres permettent de décrire les performances du convertisseur. Les principaux paramètres d'un convertisseur se distinguent en deux catégories : les paramètres statiques et les paramètres dynamiques [6,8]. Les paramètres statiques sont ceux qui affectent la précision du convertisseur lors de la conversion des signaux continus tandis que les paramètres dynamiques permettent de déterminer l'impact du bruit et des défauts du convertisseur sur sa performance lorsque le signal d'entrée varie.

#### 2.3.1 PARAMETRES STATIQUES D'UN CNA

En général, la caractéristique de transfert entrée-sortie décrit le comportement statique d'un convertisseur. Un exemple de caractéristique de transfert d'un CNA à 3 bit est présenté à la figure suivante. Cette figure présente le processus de conversion d'un CNA idéal, qui pour une entrée numérique associe une valeur analogique de sortie. On y voit également sur cette figure le pas de quantification du convertisseur.



**Figure 2.3 : Caractéristique de transfert idéal d'un CNA à 3 bits**

### 2.3.1.1 ERREUR DE DECALAGE ET ERREUR DE GAIN

L'erreur de décalage est une erreur qui peut affecter les convertisseurs de données. Cette erreur correspond à une translation (verticale ou horizontale) de la caractéristique de transfert [8]. Dans le cas d'un CNA, l'erreur de décalage est définie comme étant le signal analogique généré par le code numérique nul (Figure 2.4).

L'erreur de gain est définie comme étant la variation de la pente de la droite de transfert idéale (Figure 2.5).

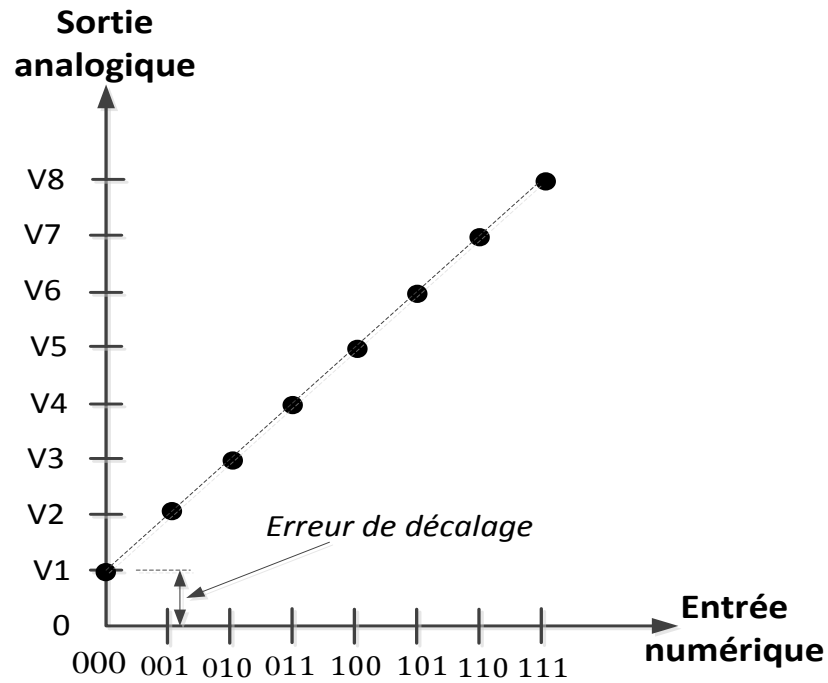


Figure 2.4 : Erreur de décalage pour un CNA à 3 bits

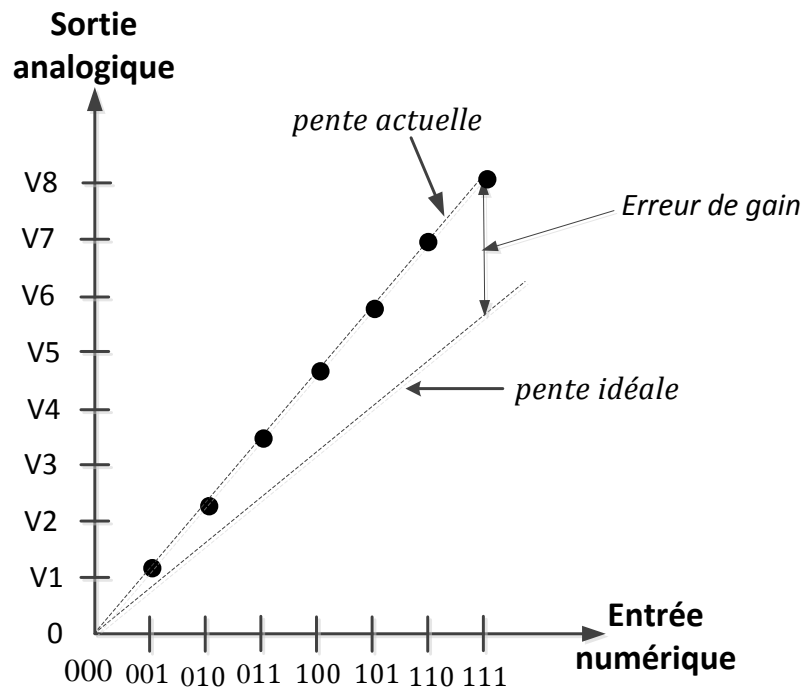
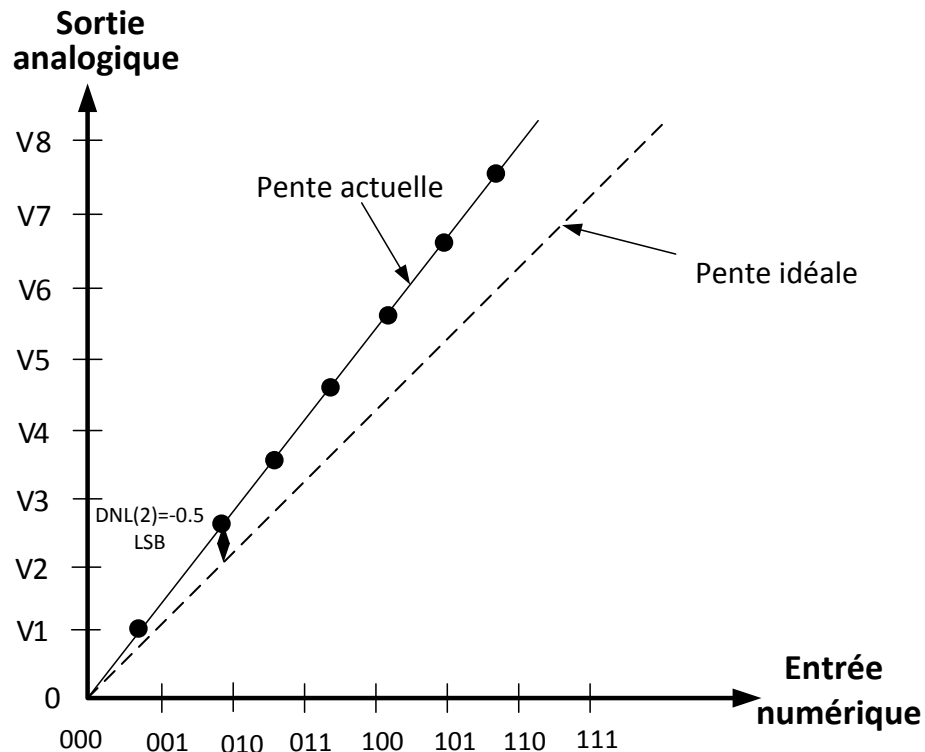


Figure 2.5 : Erreur de gain pour un CNA à 3 bits

### 2.3.1.2 ERREURS DE NON-LINEARITE DIFFERENTIELLE ET INTEGRALE

L'erreur de non-linéarité différentielle caractérise la différence de pas des convertisseurs réel et idéal (Figure 2.6). Cette erreur se calcule pour chaque transition du signal (échantillon) à l'entrée du convertisseur. En réalité, le pas ou hauteur du palier sur la caractéristique de transfert peut varier d'un code à l'autre.



**Figure 2.6 : DNL pour un CNA à 3 bits**

Les erreurs de non-linéarités sont mesurées après annulation des erreurs de décalage et de gain. Par définition, la non-linéarité différentielle (DNL) d'un code  $k$ , exprimée en LSB (Least Significant Bit) est :

$$DNL_k = \frac{h(k)}{h} - 1$$



Où  $h(k)$  et  $h$  sont respectivement la hauteur du palier associée au code  $k$  et la hauteur idéale.

Par ailleurs,  $h(k) = V_{k+1} - V_k$  est la différence entre deux niveaux de tensions adjacentes du convertisseur réel et  $h = \frac{\text{plage dynamique de la tension de sortie}}{2^n} = \frac{V_{max} - V_{min}}{2^n}$ ,

$n$  est le nombre de bits du convertisseur. Généralement la DNL est définie par sa valeur maximale.

La non-linéarité intégrale est la différence entre les valeurs de sortie du CNA et une ligne droite de référence joignant la première et la dernière valeur de sortie (Figure 2.7). Tout comme la DNL, la INL se calcule pour chaque transition du signal à l'entrée du convertisseur. Pour chaque code, cette erreur correspond à la somme des DNL des codes précédents :

$$INL_k = \sum_{i=0}^k DNL_i$$

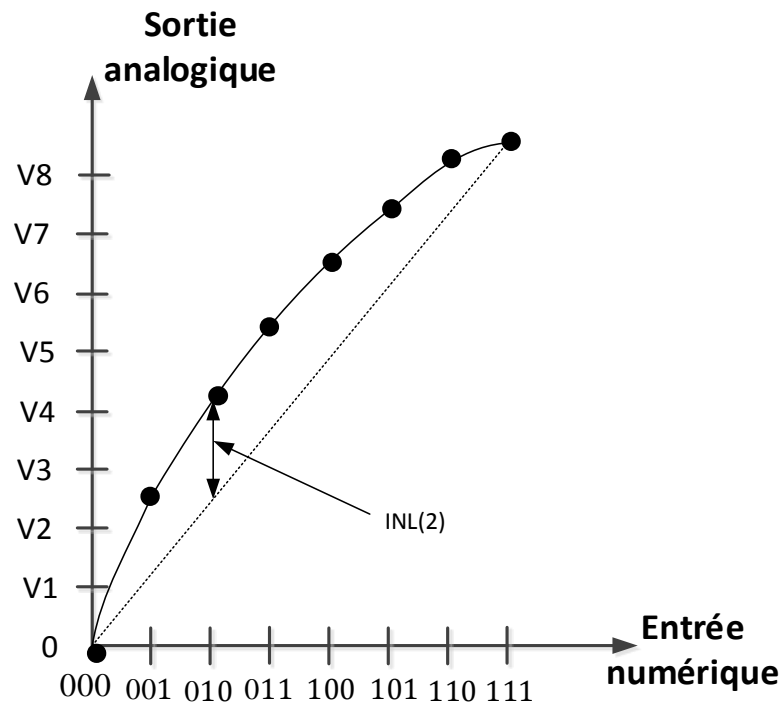


Figure 2.7 : INL pour un CNA à 3 bits

### 2.3.2 PARAMETRES DYNAMIQUES D'UN CNA

En présence d'un signal oscillatoire en entrée, les paramètres dynamiques permettent de déterminer la distorsion subie par le signal numérique d'entrée ainsi que le bruit ajouté à ce signal. De façon plus spécifique, le signal d'entrée est une sinusoïde et il est question de voir la pureté spectrale du signal de sortie. A cause des défauts liés à la conversion, l'analyse spectrale du signal de sortie présente du bruit tel que des harmoniques et parfois des raies à des fréquences non-harmoniques appelées raies parasites ou *spurs* [8,9].

#### 2.3.2.1 RAPPORT SIGNAL SUR BRUIT (SNR)

Le SNR est le rapport entre la puissance d'un signal sinusoïdal à la sortie du CNA et la puissance d'un bruit à la sortie du CNA.

$$SNR = 20 \log_{10} \left( \frac{A_{rms,signal}}{A_{rms,bruit}} \right)$$

Où  $A_{rms,signal}$  et  $A_{rms,bruit}$  sont respectivement les valeurs efficaces des amplitudes du signal et du bruit.

### 2.3.2.2 RAPPORT SIGNAL SUR BRUIT ET DISTORSION (SNDR)

Le rapport signal sur bruit et distorsion est le rapport entre la puissance du signal et la puissance du bruit et des harmoniques à la sortie du convertisseur ; évalué pour un signal d'entrée sinusoïdal. Vu sous l'angle mathématique, ce rapport est défini par :

$$SNDR = 20 \log_{10} \left( \frac{A_{rms,signal}}{A_{rms,bruit+harmoniques}} \right)$$

Où  $A_{rms,signal}$  est la valeur efficace de l'amplitude du signal et  $A_{rms,bruit+harmoniques}$  la valeur efficace liée aux amplitudes du bruit et des harmoniques (éventuellement les *spurs*).

### 2.3.2.3 DYNAMIQUE DE CODAGE (SFDR)

La dynamique de codage est un critère d'évaluation dans les applications où la pureté spectrale est de mise (systèmes de communication). La dynamique de codage est définie comme étant le rapport entre la puissance du signal et la puissance de la plus forte raie parasite (y compris les harmoniques) :

$$SFDR = 20 \log_{10} \left( \frac{A_{rms,signal}}{A_{rms,forte\ harmonique}} \right)$$

$A_{rms,signal}$  est l'amplitude de la raie fondamentale et  $A_{rms,forte\ harmonique}$  est l'amplitude de la plus forte composante spectrale (harmoniques ou spurs) qui peut être la deuxième ou la troisième harmonique.

#### 2.3.2.4 TAUX DE DISTORSION HARMONIQUE (THD)

Le taux de distorsion harmonique caractérise la distorsion introduite par le convertisseur. Il est défini par le rapport entre la puissance des harmoniques les plus significatifs et celle du signal.

$$THD = 20\log_{10}\left(\frac{A_{rms,harmoniques}}{A_{rms,signal}}\right)$$

#### 2.3.2.5 NOMBRE DE BITS EFFECTIFS (ENOB)

Le nombre ENOB est le nombre de bits du convertisseur pour lequel le CNA réel et le CNA idéal ont le même SNDR. Ce nombre est défini par :

$$ENOB = \frac{SNDR - 1.78}{20\log(2)}$$

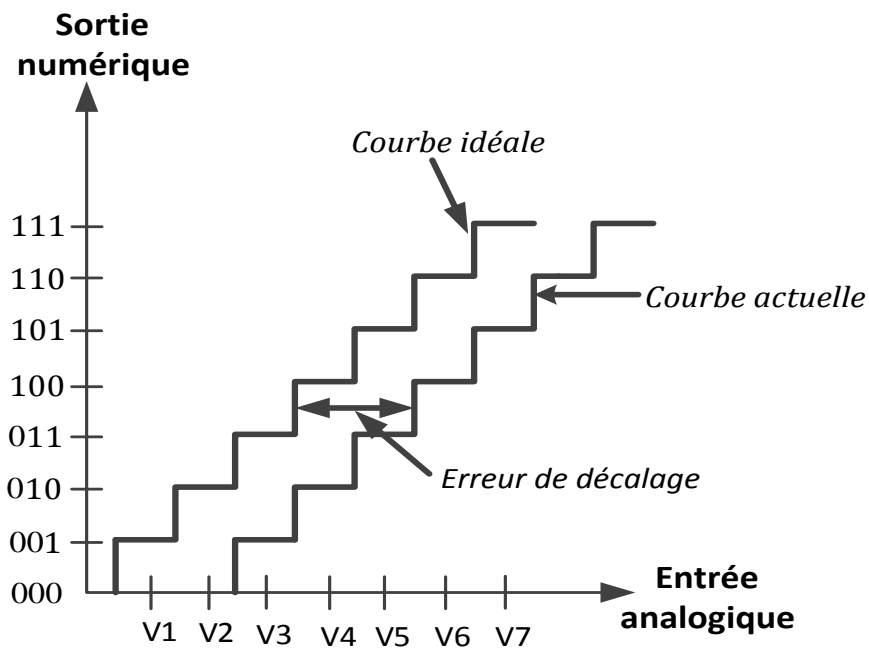
### 2.3.3 PARAMETRES STATIQUES D'UN CAN

Ces paramètres représentent le comportement statique (courbe en escalier) du convertisseur CAN lors de la conversion des signaux continus. Fondamentalement, ces paramètres sont similaires à ceux utilisés pour décrire les CNA.

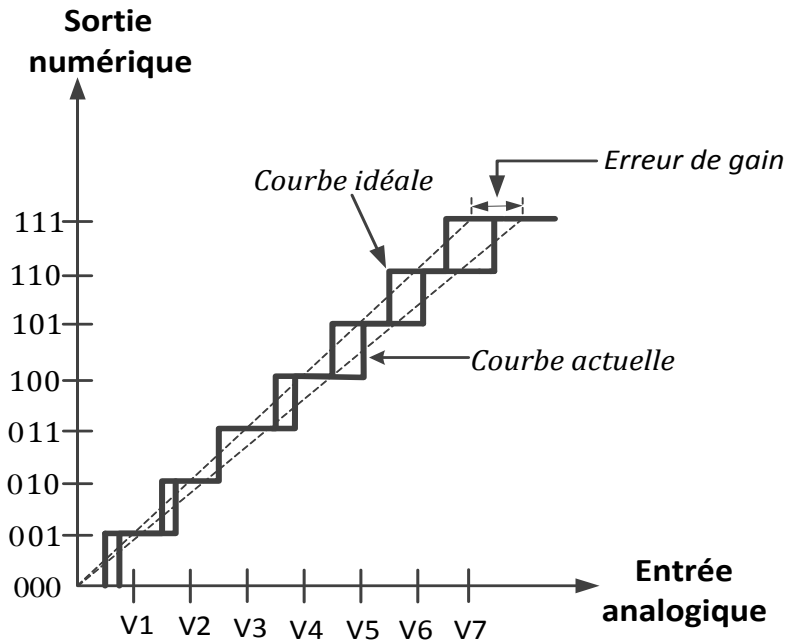
#### 2.3.3.1 ERREUR DE DECALAGE ET ERREUR DE GAIN

Comme pour les CNA, l'erreur de décalage d'un CAN correspond à une translation de la caractéristique de transfert et l'erreur de gain étant la variation de la pente – après

remise à zéro de la tension de décalage – de la droite de transfert idéale. Les Figures 2.8 et 2.9 présentent ces deux types d'erreurs pour le cas d'un CAN à 3 bits. Dans le cas d'un CAN, l'erreur de décalage est le signal analogique d'entrée correspondant à la sortie numérique nulle.



**Figure 2.8 : Erreur de décalage pour un CAN à 3 bits**



**Figure 2.9 : Erreur de gain pour un CAN à 3 bits**

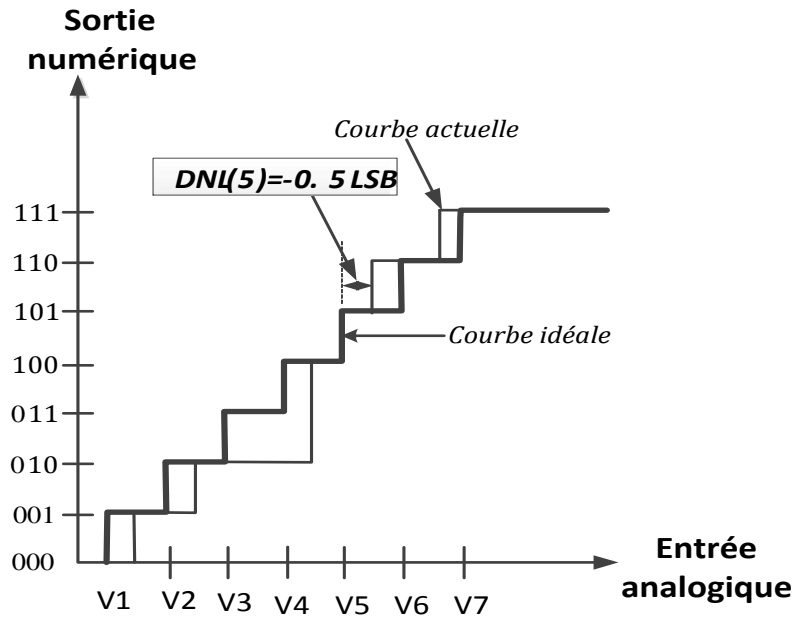
### 2.3.3.2 ERREUR DE NON-LINEARITE DIFFERENTIELLE

L'erreur de non-linéarité différentielle associée au codage  $k$  est la différence (en LSB) de la largeur du palier correspondant par rapport à la valeur idéale de 1 LSB :

$$DNL_k = \frac{V_{k+1} - V_k}{V_{LSB}} - 1$$

Où  $V_{LSB} = \frac{V_{max} - V_{min}}{2^n - 2}$  pour un CAN de type flash,  $n$  est le nombre de bits du convertisseur.

Lorsque la  $DNL = \pm 1$  LSB ou plus, le convertisseur est susceptible d'avoir un code manquant. La Figure 2.10 présente la non-linéarité différentielle d'un CAN à 3 bits. Sur cette figure,  $DNL(2)$  est supérieur à 1, ce qui entraîne pour conséquence l'absence du code de sortie '011'. De même,  $DNL(5) = -0.5$  LSB, ce qui traduit le fait que la largeur associée au code '101' est la moitié de la largeur idéale de 1 LSB.



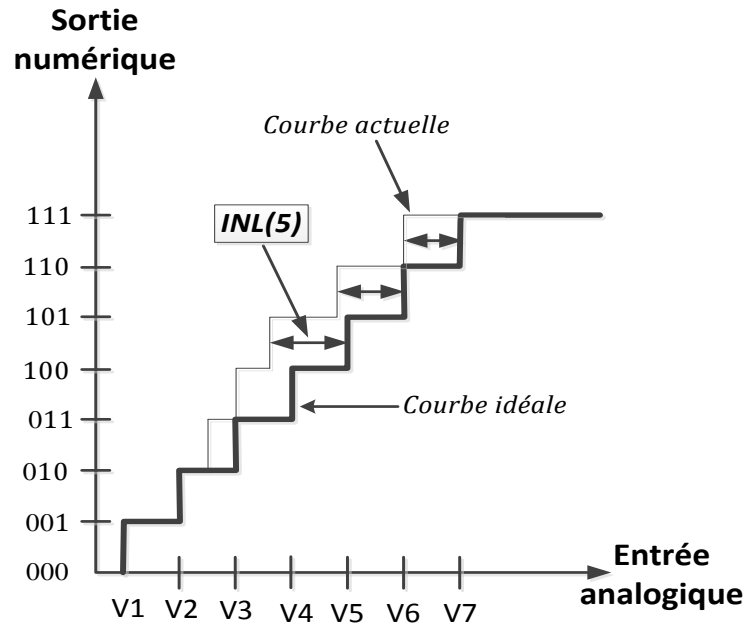
**Figure 2.10 : Non-linéarité différentielle d'un CAN à 3 bits**

### 2.3.3.3 ERREUR DE NON-LINEARITE INTEGRALE

L'erreur de non-linéarité intégrale est la différence entre les tensions réelles et les tensions idéales du convertisseur à tous les points de transition. La Figure 2.11 illustre la non-linéarité intégrale d'un CAN à 3 bits. Mathématiquement cette non-linéarité est définie par :

$$INL_k = \frac{V_k - V_{k,idéale}}{V_{LSB}} = \sum_{j \leq k} DNL_j$$

Où  $V_{LSB}$  est défini précédemment. Il ressort que la non-linéarité intégrale d'un code  $k$  correspond à la somme cumulative des non-linéarités différentielles des codes inférieurs ou égal à  $k$ .



**Figure 2.11 : Non-linéarité intégrale d'un CAN à 3 bits**

## 2.4 CONCLUSION

Ce chapitre a été consacré aux notions fondamentales permettant de mieux comprendre les termes et les concepts associés aux convertisseurs de données. Un accent particulier a été mis sur les paramètres statiques et dynamiques des convertisseurs de données. Ces paramètres permettent en effet d'évaluer les erreurs et les défauts associés lors de la conversion des données. Ils donnent ainsi une idée sur la nature de la conversion. De plus, les paramètres dynamiques du CAN tels le rapport signal sur bruit, le rapport signal sur bruit et distorsion, la dynamique de codage, etc. sont similaires à ceux des CNAs.



## CHAPITRE 3

### ARCHITECTURE DE CONVERTISSEURS DE DONNÉES

#### 3.1 INTRODUCTION

De nos jours, il existe une variété de convertisseurs de données possédant des caractéristiques différentes selon la nature de l'application spécifiée. Un grand nombre de contributions ont été publiées ces dernières années sur ces convertisseurs de données et sur les techniques utilisées par les concepteurs pour améliorer leurs performances et optimiser leurs rendements [3-5, 9, 16, 25-26, 18-24]. Les architectures de convertisseurs de données utilisées dans la littérature se classent en deux grands groupes : les convertisseurs de type Nyquist (conversion directe) et ceux dits sur-échantillonnés possédant une fréquence d'échantillonnage très élevée comparée à la fréquence de Nyquist. Les performances de ces convertisseurs (résolution, consommation de puissance, vitesse) sont étroitement liées à leurs architectures. Après un survol de ces différentes architectures, un accent particulier est mis sur les convertisseurs de données de type flash. Ceci permettra de mieux comprendre le contexte de cette thèse.

#### 3.2 ARCHITECTURES DE CONVERTISSEURS NUMERIQUE-ANALOGIQUES

Différentes techniques de conception des convertisseurs numérique-analogiques sont présentées dans la littérature et classifiées en deux familles [6-8]. La première famille est celle des convertisseurs de type Nyquist dont les plus populaires sont : les CNA parallèles (de type flash) et les CNA pipelines. La seconde famille est essentiellement

constituée des convertisseurs sigma-delta. Un bref aperçu de ces convertisseurs ainsi que leurs limites sont présentés.

### 3.2.1 CONVERTISSEURS CNA DE TYPE NYQUIST

#### 3.2.1.1 LES CNA PARALLELES

Les concepteurs utilisent différentes techniques pour implémenter les CNA parallèles: la pondération de tension, de courant et la redistribution de charges. Parmi les configurations des CNA parallèles, les CNA à redistribution de charges sont les plus utilisées. Les CNA parallèles sont rapides et aussi utilisés dans les applications de faible résolution [8]. En revanche leur consommation de puissance est considérable. Des techniques ont été mises au point pour réduire leur consommation de puissance [6].

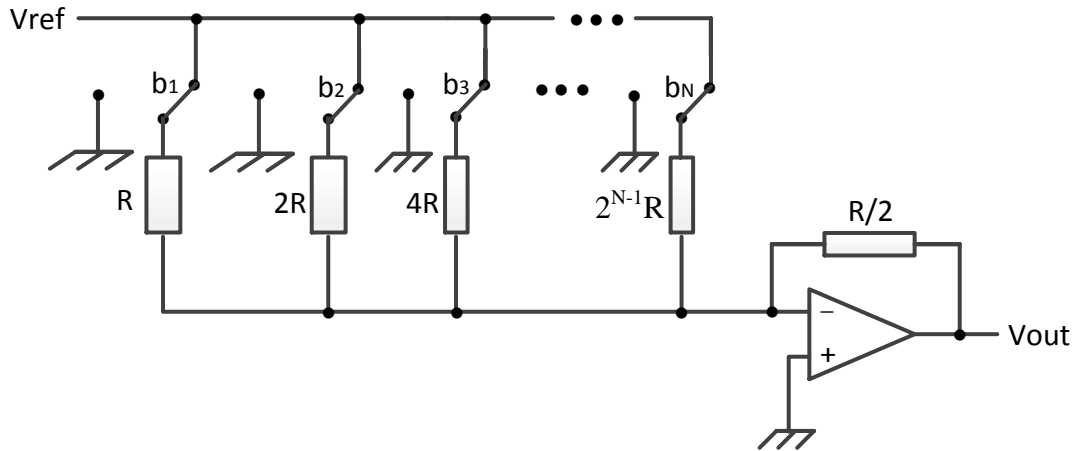
##### 3.2.1.1.1 CNA PAR PONDERATION DE TENSION

Dans les convertisseurs par pondération de tension, le mot binaire en entrée est converti en courant à partir duquel une tension analogique est générée en sortie.

##### A) CNA A RESEAU DE RESISTANCES PONDEREES

La Figure 3.1 montre un circuit constitué de  $N$  résistances pondérées, de  $N$  interrupteurs et d'un amplificateur fonctionnant en additionneur. Le mot binaire d'entrée contrôle les interrupteurs qui peuvent être connectés à la masse ou à l'entrée inverseuse de l'amplificateur opérationnel. Le courant généré est proportionnel au code binaire en opération. Ainsi, la tension analogique générée est déterminée par l'expression suivante:

$$V_{out} = -V_{ref} \left( \frac{b_1}{2^1} + \frac{b_2}{2^2} + \dots + \frac{b_N}{2^N} \right) \quad (3.1)$$



**Figure 3.1 : CNA à réseau de résistances pondérées**

Cependant pour un nombre de bits élevés, la taille des résistances varie énormément (l'impédance du réseau aussi) et il est difficile d'obtenir une précision requise de ces résistances. C'est pourquoi le CNA à échelle ou réseau R-2R a été proposé.

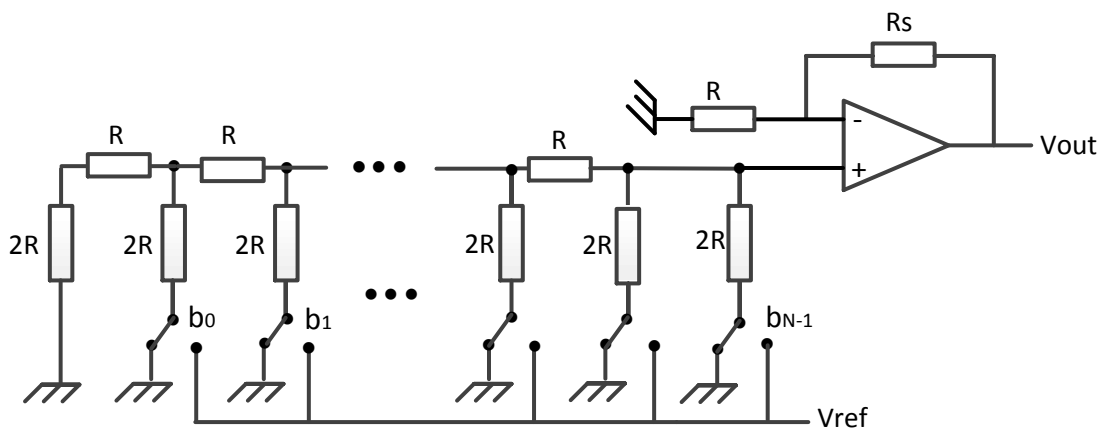
#### B) CNA A ECHELLE R-2R

La Figure 3.2 présente un CNA à échelle. Son principe de fonctionnement est similaire à celui des convertisseurs à réseau de résistances pondérées à la différence que l'impédance du CNA à échelle est  $R$  tout au long du réseau [6, 7]. De façon plus spécifique, les problèmes liés aux résistances élevées se trouvent réduits car la plus grande valeur de résistance dans cette configuration est  $2R$ . Cependant les problèmes associés à l'existence des commutateurs en silicium subsistent (injection de charge, *clock feedthrough*).

La tension analogique de sortie est donc :

$$V_{out} = -R_s \left( \sum_{i=0}^{N-1} b_i \cdot \frac{V_{ref}}{2^{N-i}} \cdot \frac{1}{2R} \right) \quad (3.2)$$

La précision de ce type de CNA tout comme celle des CNA à réseau de résistances pondérées est affectée par les imprécisions dues aux interrupteurs. Pour pallier à ce problème, les concepteurs ont souvent recours aux interrupteurs factices (*dummy switches*) respectant aussi la configuration R-2R [8].



**Figure 3.2 : Convertisseur CNA R-2R**

### 3.2.1.1.2 CNA PAR PONDERATION DE COURANT

Cette configuration est basée sur la génération de courants proportionnellement au code numérique d'entrée. La structure classique des CNA à courant à  $N$ -bits (ou à sources de courant unaires) utilise  $2^N - 1$  sources de courant identiques (Figure 3.3). Un code thermomètre connecte ces sources de courant à la masse ou à la sortie  $i_{out}$ . Les principaux inconvénients de cette structure sont : la complexité, la grande consommation de puissance et la faible vitesse due à l'usage d'un décodeur binaire-thermomètre [10].

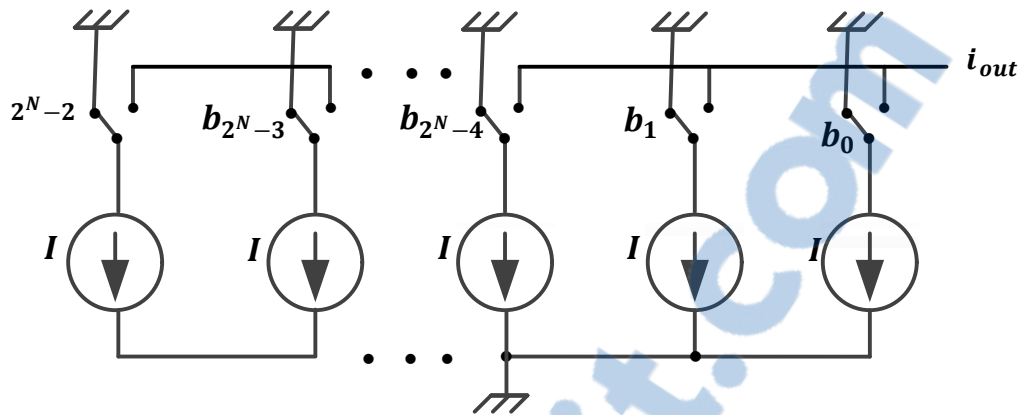


Figure 3.3 : Convertisseur CNA à sources de courant unaires

Une autre architecture utilise  $N$  sources de courant pondérées (Figure 3.4) et nécessite plutôt une entrée binaire pour assurer le contrôle des commutateurs [4]. Ce type de convertisseur est généralement utilisé dans les applications hautes vitesses. Le problème majeur de ces convertisseurs reste les imprécisions causées par les commutateurs (*glitches*); les interrupteurs bidons (« dummy switch ») peuvent alors être utilisés pour corriger certains défauts. Par ailleurs, lorsque le nombre de bits augmente, on observe un très grand écart entre la plus petite et la plus grande source de courant, ce qui est difficile à réaliser en pratique.

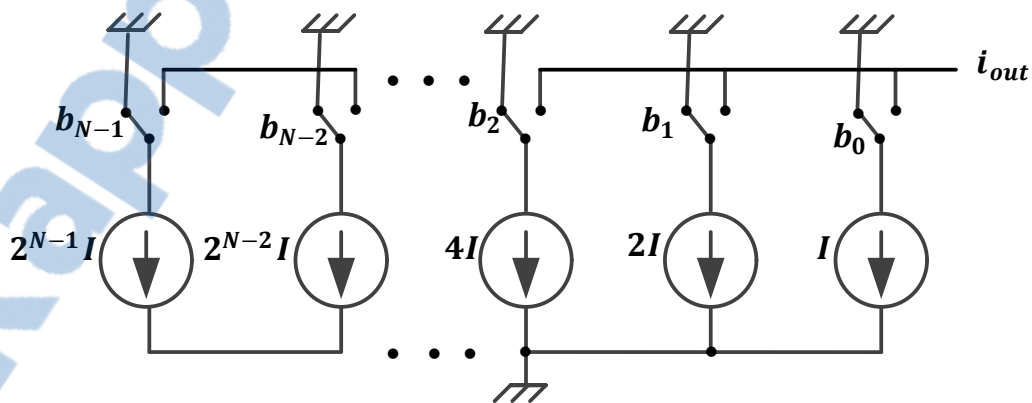
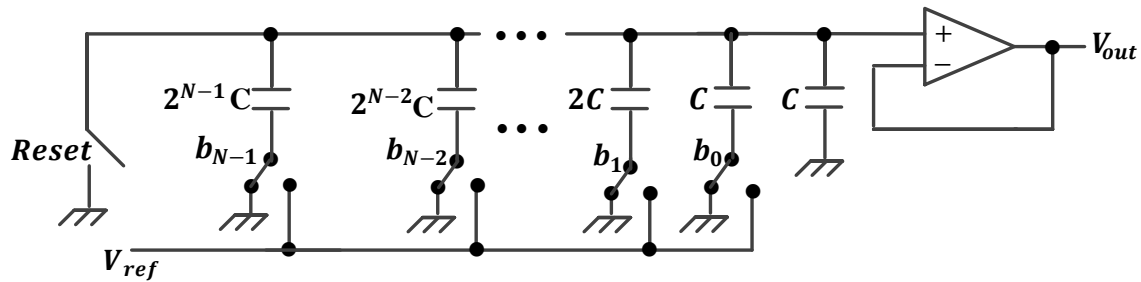


Figure 3.4 : Convertisseur CNA à sources de courant pondérées

### 3.2.1.1.3 CNA A REDISTRIBUTION DE CHARGE

L'architecture des CNA à redistribution de charge est basée sur la division de charge à travers un réseau de capacités. Un CNA à redistribution de charges, de résolution  $N$ , est constitué de  $N$  capacités pondérées, d'une capacité de terminaison telle la capacité totale soit  $2^N C$  et d'un amplificateur opérationnel en mode suiveur (Figure 3.5). La conversion s'effectue en deux phases : Au cours de la première phase, l'interrupteur *Reset* est fermé et les condensateurs sont alors déchargés. A la deuxième phase, l'interrupteur *Reset* est ouvert et le signal numérique d'entrée connecte chaque condensateur à  $V_{ref}$  ou à la masse générant ainsi une tension de sortie qui est fonction de la division de tension entre les condensateurs.



**Figure 3.5 : Convertisseur CNA à redistribution de charges**

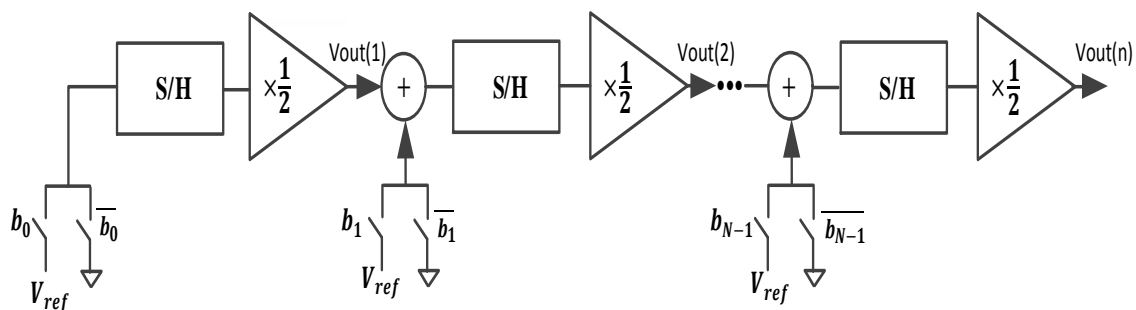
L'expression de cette tension de sortie est :

$$V_{out} = \sum_{i=0}^{N-1} b_i \cdot 2^{i-N} \cdot V_{ref} \quad (3.3)$$

L'inconvénient de cette méthode est que le nombre de capacités croît avec le nombre de bits, ce qui augmente la surface occupée et la puissance consommée par ce convertisseur. La solution proposée par les chercheurs consiste à réduire le nombre de capacités et en introduisant une capacité d'atténuation [6].

### 3.2.1.2 LES CNA PIPELINES

Un CNA pipeline de résolution  $N$  nécessite  $N$  étages de conversion (Figure 3.6). À chaque cycle d'horloge, chaque étage, constitué de commutateurs, d'échantillonneur-bloqueur et d'amplificateur, effectue une conversion de 1 bit [11]. Dépendamment de la valeur du bit d'entrée, la tension  $V_{ref}$  ou 0 (la masse) est ajoutée à la sortie de l'étage précédent. Le résultat ainsi obtenu est envoyé à l'étage suivant.



**Figure 3.6 : Convertisseur CNA pipeline**

La tension de sortie du  $n^{\text{ème}}$  étage s'écrit :

$$V_{out(n)} = \frac{1}{2} [b_{n-1} \cdot V_{ref} + V_{out(n-1)}] \quad (3.4)$$

### 3.2.2 CONVERTISSEURS CNA A SUR-ECHANTILLONNAGE : SIGMA-DELTA

La configuration d'un CNA Sigma-delta est présentée à la Figure 3.7. Cette architecture généralement utilisée dans le traitement des flux audio comporte un filtre à interpolation, un modulateur de traitement de bruit, un CNA  $n$  bit et un filtre passe bas. Le filtre à interpolation a pour but d'accroître la fréquence d'échantillonnage du convertisseur à  $Kf_s$ , où  $K$  est le facteur de sur-échantillonnage. Le modulateur Sigma-delta envoie le bruit vers le domaine des hautes fréquences et fait passer le signal de  $N$  à  $n$  bits. Enfin, le filtrage transforme les impulsions numériques en signal analogique.



Figure 3.7 : Architecture d'un CNA Sigma-delta

### 3.2.3 AUTRES CONVERTISSEURS CNA

La littérature propose d'autres architectures de convertisseurs de données pour des applications de faible consommation de puissance. Il s'agit des convertisseurs séries.

Les convertisseurs séries quant à eux, ont de faibles vitesses et utilisent aussi des capacités et des commutateurs. Ces convertisseurs sont caractérisés par un délai et un temps de conversion proportionnels au nombre de bits [12]. De plus, la principale limitation de ces convertisseurs est le mésappariement entre les capacités. Ces mésappariements sont à



l'origine des distorsions sur le signal. Des techniques ont été proposées pour réduire ou supprimer les effets du mésappariement ainsi que pour réduire le temps de conversion de ces convertisseurs [13-15].

### 3.2.4 SYNTHÈSE DES CNA

Le tableau 3.1 est un récapitulatif des avantages et inconvénients des CNA présentés jusqu'ici :

**Tableau 3.1 : Avantages et inconvénients des CNA**

Type de convertisseurs		Avantages	Inconvénients
<b>Convertisseur Nyquist</b>	Pondération de tension	Simplicité, conversion directe	Manque de précision pour un nombre de bits élevé
	Pondération de courant	Conversion directe	Grande consommation de puissance
	Redistribution de charge	Adapté aux technologies CMOS	Augmentation des capacités avec le nombre de bits
	Pipeline	Résolution et vitesse relativement élevées	Délais, complexité
$\Sigma-\Delta$	$\Sigma-\Delta$	Augmentation de rapport signal sur bruit, grande résolution	Faible vitesse

### 3.3 ARCHITECTURES DE CONVERTISSEURS ANALOGIQUE-NUMERIQUES

La littérature présente plusieurs articles scientifiques qui exposent les différentes techniques utilisées dans la conception des CAN [16-25]. Il est important de noter qu'il existe deux grandes catégories de CAN : type Nyquist et type suréchantillonné. L'objectif principal visé par les chercheurs est de développer des architectures encore plus efficaces et performantes dépendamment de l'application visée. Selon les spécifications de l'application, le choix d'un CAN est intimement lié à sa vitesse et à sa résolution.

Les CAN les plus populaires sont présentés comme suit : les convertisseurs de type flash bien qu'ayant une plus grande vitesse ont une résolution très limitée. Ceux de type sigma-delta ont une grande résolution et une faible vitesse comparée aux autres convertisseurs CAN. Quant aux convertisseurs de types approximation successive et pipeline, leurs vitesses et résolutions se situent entre le sigma-delta et le flash.

Tout d'abord, les différentes catégories de CAN seront abordées ainsi que leurs principes de fonctionnement et leurs limites. Un accent sera par la suite mis sur les autres convertisseurs hautes vitesses rencontrés dans la littérature. Dans un second temps, les convertisseurs flash utilisant des inverseurs comme comparateurs seront présentés.

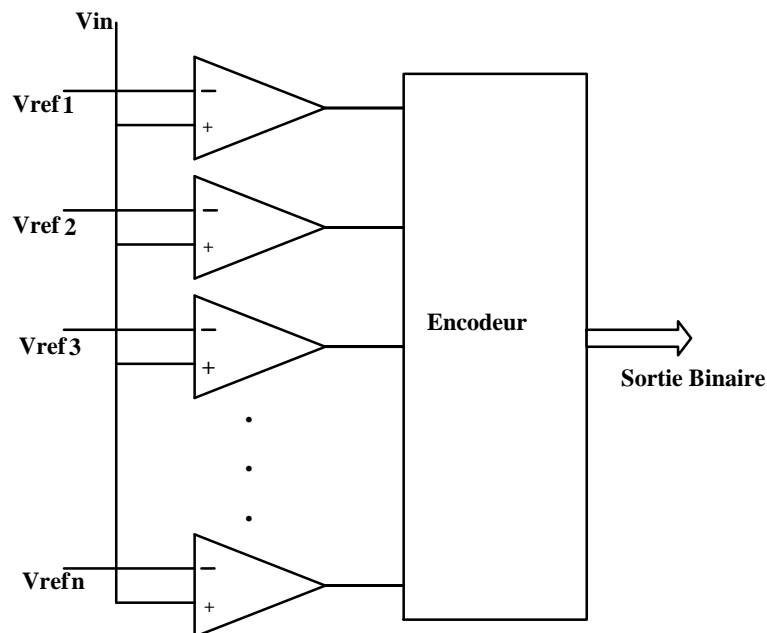
#### 3.3.1 CAN DE TYPE NYQUIST

Les convertisseurs de type Nyquist les plus populaires existent sous diverses architectures : flash, approximation successive, pipeline, etc.

### 3.3.1.1 CAN FLASH

Le type flash (Figure 3.8) est le plus rapide des convertisseurs CAN existant dans la littérature. Il est utilisé dans les applications nécessitant une grande vitesse de conversion, une large bande passante et où la résolution n'est pas de mise [18-21, 26]. Ces applications concernent entre autres les oscilloscopes numériques, les lecteurs de disques haute densité, la détection radar, les communications sans fils, les récepteurs satellite large bande, etc. Ces CAN convertissent le signal d'entrée en un seul cycle d'horloge grâce à la structure parallèle de ses comparateurs. Cette conversion parallèle leur permet d'avoir une vitesse élevée.

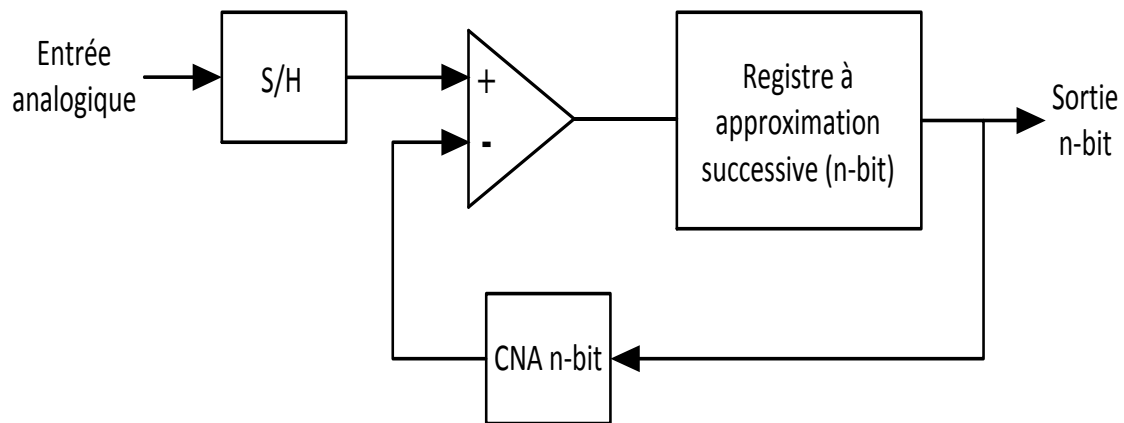
Ayant une vitesse élevée, ce type de CAN occupe souvent une grande surface sur la puce et sa consommation de puissance devient importante lorsque la résolution est élevée. Pour contourner les inconvénients du type flash, l'architecture à deux-étapes a été proposée [27].



**Figure 3.8 : Architecture de type flash**

### 3.3.1.2 CAN DE TYPE APPROXIMATION SUCCESSIVE

Pour effectuer la conversion des données, le type approximation successive (Figure 3.9) utilise un seul comparateur sur plusieurs cycles d'horloges. Ce convertisseur est utilisé dans le contrôle industriel et les applications alimentées par des batteries. Son architecture est constituée d'un comparateur, un CNA et un registre à approximation successive [28, 29].

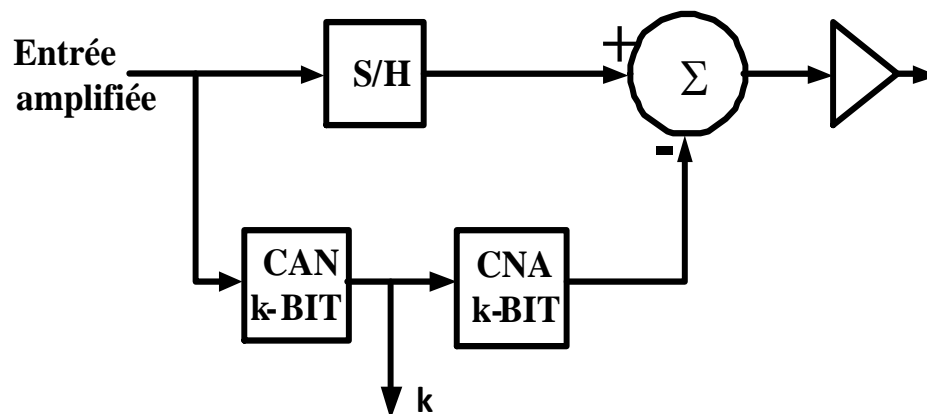


**Figure 3.9 : Architecture Approximation successive**

Son principe est basé sur la comparaison du CNA au signal d'entrée analogique et ce, pour chaque bit. Lorsque le signal d'entrée est plus grand que la sortie du CNA, le bit comparé est validé (mise à « 1 ») et on passe au bit suivant. Dans le cas contraire (c'est-à-dire lorsque le signal d'entrée est plus petit que la sortie du CNA), le bit comparé est mis « 0 » et on compare le bit suivant. La procédure de comparaison continue de cette façon jusqu'à ce qu'on atteigne le bit le moins significatif. C'est donc une méthode itérative basée sur une recherche par dichotomie. Dans cette configuration, le temps de conversion dépend du nombre de bits et de l'horloge utilisée.

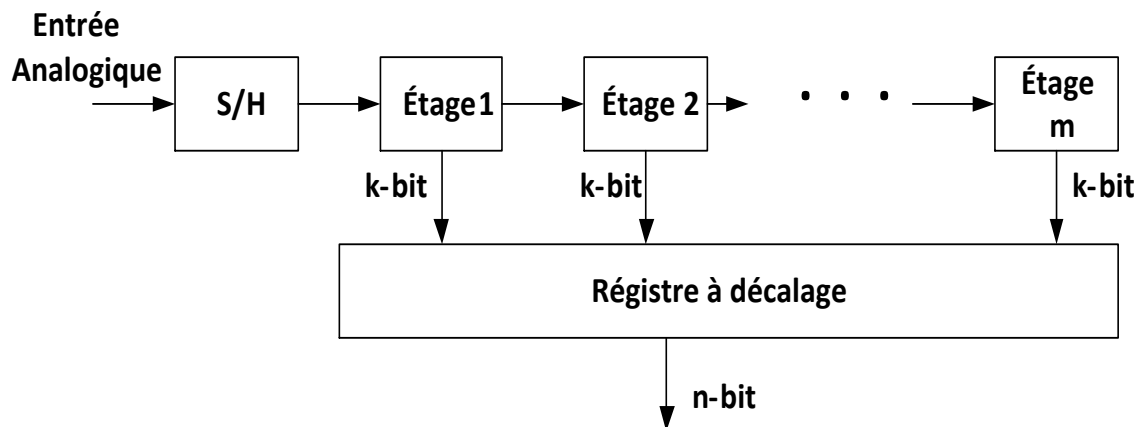
### 3.3.1.3 CAN DE TYPE PIPELINE

Le type pipeline fonctionne de façon séquentielle et utilise plusieurs blocs de convertisseurs flash mis en cascade. Soulignons que chaque bloc traite le même nombre  $k$  bits ( $k \geq 1$ ). Ce convertisseur est aussi caractérisé par la présence d'un échantillonneur bloqueur entre deux étages consécutifs. Dans chaque étage, le premier bloc assure la conversion des bits de poids forts. La valeur numérique obtenue dans chaque bloc est transférée dans un CNA, puis soustrait à sa valeur initiale. Le résidu (sous forme analogique) sera amplifié  $2^k$  fois, puis converti à son tour sur  $k$ -bits dans l'étage suivant. Le processus continue jusqu'à l'obtention des bits de poids faibles. Des registres sont alors connectés aux différentes sorties des étages (blocs) pour stocker les données et ajuster les délais. Une calibration numérique (correction d'erreurs possibles) est généralement utilisée à la fin du processus. La Figure 3.10 présente la composition d'un étage du pipeline [30, 31].



**Figure 3.10 : Un étage du Pipeline**

Le type pipeline permet d'atteindre des résolutions supérieures au type flash. Toutefois le temps de conversion totale dans le pipeline est de plusieurs cycles alors que celui du flash est de 1 cycle. Par ailleurs, soulignons que la vitesse maximale de l'horloge est déterminée par le délai d'un étage (chemin critique). La Figure 3.11 montre l'architecture générale de ce type de convertisseur.



**Figure 3.11 : Architecture Pipeline**

### 3.3.2 CAN A SUR-ÉCHANTILLONNAGE : SIGMA-DELTA

Le convertisseur de type sigma-delta, qui possède une résolution très élevée comparée aux autres convertisseurs, est de loin le CAN à sur-échantillonnage le plus utilisé. Il est utilisé dans les applications nécessitant une faible bande passante et une grande résolution [32-35]. C'est ainsi qu'on retrouve ces convertisseurs dans les applications de mesure de précision. L'architecture sigma-delta (Figure 3.12) est constituée d'un intégrateur, d'un comparateur, d'un CNA et d'un soustracteur. Son principe de fonctionnement est le suivant : La sortie du CNA est soustraite du signal d'entrée, ensuite intégrée et convertie en un mot binaire.

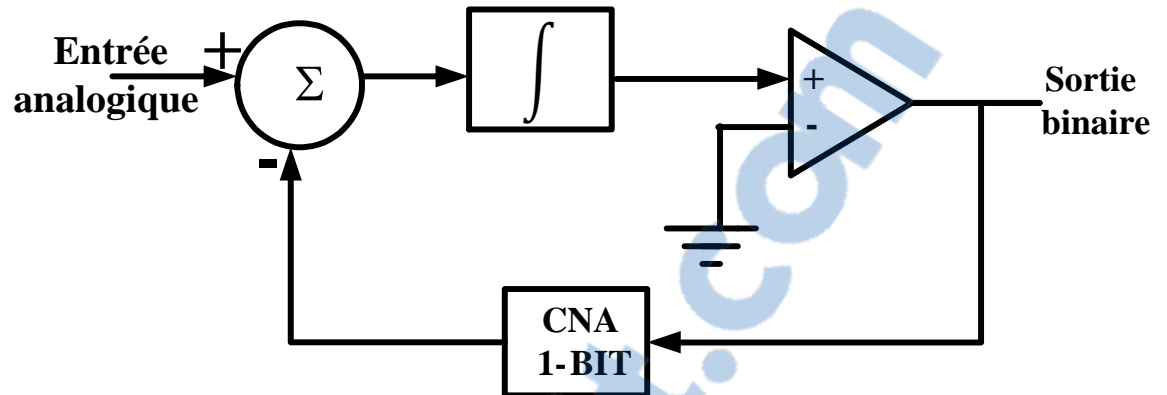


Figure 3.12 : Architecture Sigma-delta

Le sigma-delta utilise le sur-échantillonnage et la technique de mise en forme du bruit afin d'envoyer le bruit de basse fréquence loin de sa bande passante. Cette configuration entraîne une augmentation du rapport signal-bruit du convertisseur.

### 3.3.3 AUTRES CONVERTISSEURS CAN HAUTES VITESSES ET TECHNIQUES DE CORRECTION

#### 3.3.3.1 AUTRES CONVERTISSEURS CAN HAUTES VITESSES

Les limites du convertisseur du type flash ont poussé les chercheurs à proposer de nouvelles structures à l'instar de l'architecture de repliement (*folding*), d'interpolation [36, 37]. Ces architectures ont une vitesse comparable à celle du flash mais utilisent très peu de comparateurs. Ainsi leur consommation de puissance est réduite de même que la surface qu'elles occupent. Ils sont généralement utilisés pour augmenter la bande passante effective du convertisseur. Ces convertisseurs utilisent des paires différentielles à couplage transversal, des résistances appelées résistances d'interpolation. Ces résistances sont à l'origine des distorsions sur le signal.

### 3.3.3.2 TECHNIQUES DE CORRECTION

En supprimant les décalages (*offsets*) de sortie, la technique de la moyenne (*averaging technique*) fut proposée [26-30] dans le but d'améliorer la résolution et l'erreur de non linéarité différentielle.

De même, la technique d'entrelacement temporel (*Time-interleaved*) a été proposée pour augmenter la fréquence d'échantillonnage. Cette technique consiste à disposer de plusieurs CAN en parallèle. Idéalement, le déphasage entre le premier CAN et le  $n^{\text{ième}}$  CAN est  $nT$  ( $n = 0, 1, \dots, N - 1$ ), où  $T$  est la période d'échantillonnage du convertisseur à entrelacement temporel constitué de  $N$  sous-blocs de convertisseurs. Cependant, Il existe plusieurs sources de mésappariement qui influencent les performances du convertisseur. Ceci est lié à l'échantillonnage non-uniforme de l'entrée et au fait que chaque sous-bloc a son propre gain, sa propre tension de décalage. D'où la nécessité d'un système de calibration numérique [38-40].

### 3.3.4 CAN DE TYPE FLASH UTILISANT DES INVERSEURS COMME COMPARATEURS

Dans l'optique de réduire la complexité du CAN avec la réduction à l'échelle, une autre architecture de CAN de type flash fut proposée. Le comparateur utilisé dans cette architecture est basé sur la tension seuil d'un inverseur. Cette tension seuil est utilisée comme tension de référence dans le comparateur. Cette technique de quantification, basée sur le seuil de l'inverseur remplace valablement les comparateurs analogiques conventionnels. Ceci permet d'obtenir une conversion plus rapide et de réduire les



multiples nœuds du comparateur analogique. Cependant, afin d'obtenir différentes tensions de référence, cette approche se base sur la variation de la taille des transistors (notamment leur largeur). C'est une approche *custom design*. Ainsi le manque de flexibilité est un préjudice si l'on désire passer d'une technologie à l'autre.

Rappelons que Segura et Tangel furent les pionniers de cette technique [18-21]. Par la suite, plusieurs chercheurs ont mis à contribution leurs efforts pour optimiser les performances de ce nouveau type de CAN utilisant des inverseurs comme comparateurs [41-45]. Parmi les méthodes utilisées, la littérature présente la variation aléatoire des tailles (RSV) des transistors et leurs variations systématiques (SSV) [43-44] qui sont généralement utilisées pour améliorer les performances statiques du convertisseur. Par ailleurs, la technique de la suppression dynamique du décalage en tension [21] est utilisée pour accroître le SFDR qui est une caractéristique dynamique du CAN.

Comparée aux autres approches de conception des convertisseurs CAN de type flash, celle utilisant les inverseurs possède une vitesse d'échantillonnage assez élevée, une faible consommation de puissance et un encombrement spatial réduit [44,47-49].

### 3.3.5 SYNTHÈSE DES CAN

Le tableau 3.2 présente les avantages et les inconvénients des CAN :

**Tableau 3.2 : Avantages et inconvénients des CAN**

Type de convertisseurs		Avantages	Inconvénients
Convertisseur Nyquist	Flash	Rapidité	Faible résolution, grande consommation de puissance avec un nombre de bits élevé
	Approximation successive	Faible consommation de puissance, grande résolution	Moins rapide
	Pipeline	Résolution et vitesse relativement élevées	Délais, complexité
$\Sigma$ - $\Delta$	$\Sigma$ - $\Delta$	Augmentation de rapport signal sur bruit, grande résolution	Complexité

### 3.4 CONCLUSION

Dans ce chapitre il a été présenté un aperçu des différentes architectures de convertisseurs de données. De plus les principes de fonctionnement de ces convertisseurs, leurs domaines d'applications ont également été présentés ainsi que leurs avantages et leurs limites. Un accent particulier a été mis sur les convertisseurs flash généralement utilisés dans les applications de faible consommation de puissance.

## CHAPITRE 4

### CONVERTISSEUR NUMÉRIQUE-ANALOGIQUE FLASH BASÉ SUR LES CELLULES NORMALISÉES

#### 4.1 INTRODUCTION

Plusieurs travaux de recherche ont été consacrés aux convertisseurs numérique-analogiques. Ces composants dont la principale fonction est d'assurer la conversion des signaux numériques en signaux analogiques, jouent un rôle essentiel dans de nombreuses applications modernes telles les traitements audio et vidéo.

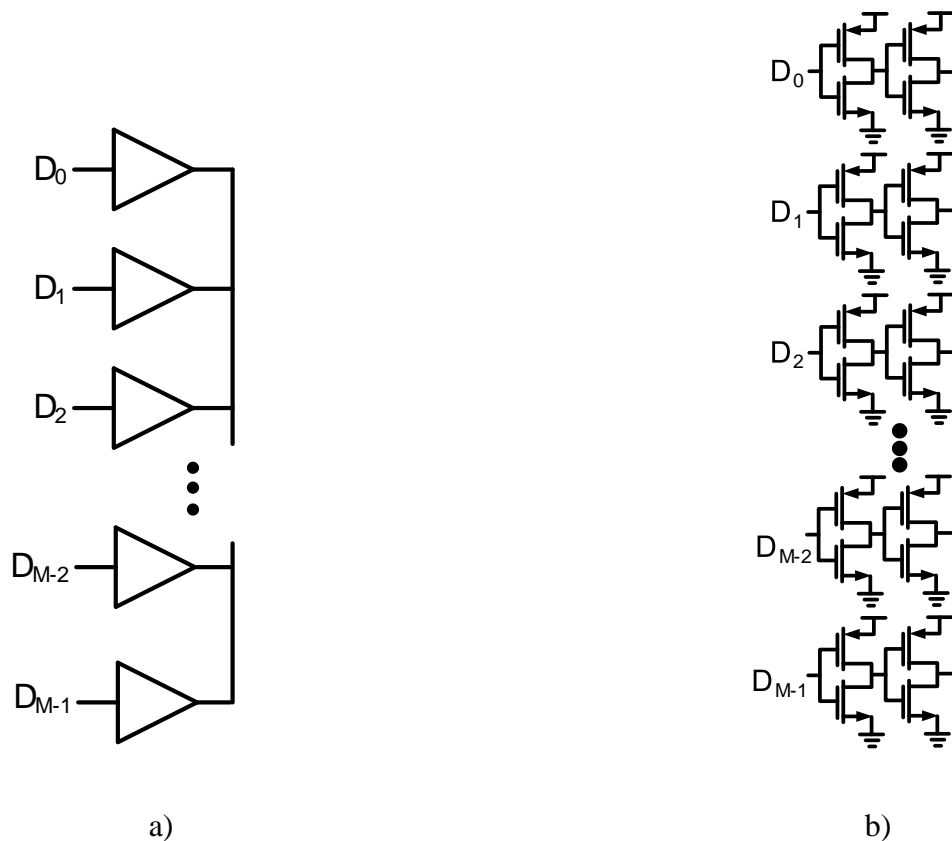
Jusqu'à très récemment les différentes architectures de CNA étaient essentiellement conçues à base de composants passifs et actifs. Alors que diverses techniques ont été proposées pour améliorer la linéarité, la vitesse et la résolution de ces convertisseurs, très peu d'efforts ont été consacrés pour implémenter les CNA en utilisant les cellules normalisées.

Ce chapitre présente explicitement le convertisseur CNA flash proposé qui est conçu à base de cellules normalisées. Cette nouvelle approche de conception, basée sur l'utilisation des portes logiques, a l'avantage d'être simple et facile à intégrer dans le flot de conception numérique. De plus l'utilisation des cellules normalisées [75-77] facilite les tests de l'architecture proposée et permet éventuellement un prototypage rapide sur FPGA, en plus d'améliorer le temps de mise du produit sur le marché.

## 4.2 ARCHITECTURE DU CNA PROPOSÉ

De façon simple, le principe de fonctionnement de ce CNA est décrit comme suit : Lorsque toutes les entrées du CNA sont mises à '0', tous les suiveurs (*buffers*) seront également à '0' et par conséquent, la sortie du CNA sera '0'. De façon similaire, lorsque les signaux à l'entrée du CNA sont tous à '1', la sortie du CNA sera '1'. Par ailleurs, lorsque certaines entrées sont à '0' et que d'autres sont à '1', alors la tension de sortie se situera entre '0' et '1'. Il sera montré par suite que, bien que ce convertisseur ne soit pas linéaire la relation liant sa sortie à son entrée est monotone.

La Figure 4.1 présente aux niveaux portes logiques et transistors l'architecture générale du convertisseur numérique-analogique proposé pour un nombre de bits quelconque. Cette architecture est constituée d'une série de deux inverseurs (suiveurs) dont les sorties sont reliées ensemble et les entrées sont connectées au signal numérique. Puisque l'entrée de ce convertisseur utilise un code thermomètre alors le nombre minimal de suiveurs requis pour une résolution de  $Y$ -bits est  $2^Y - 1$ . Le principe de fonctionnement de ce convertisseur est étroitement lié à la région d'opération des transistors (saturation ou triode) et au nombre de suiveurs conduisant le signal logique. Par ailleurs en utilisant plus de suiveurs que prévu pour  $Y$ -bits et en connectant plusieurs entrées ensemble, il est possible d'améliorer la linéarité de ce convertisseur de données.

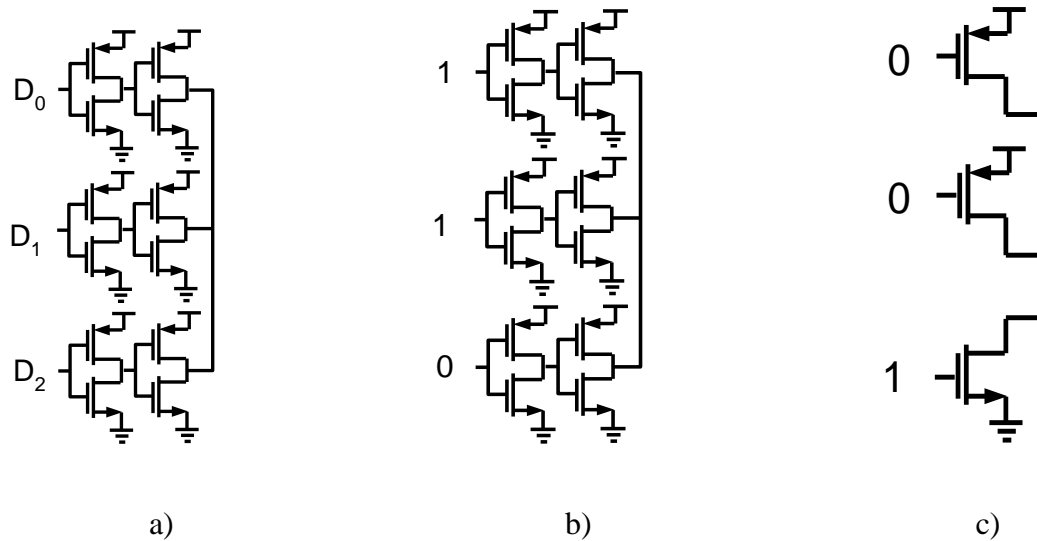


**Figure 4.1 : CNA proposé a) au niveau portes logiques et b) au niveau transistor**

Dépendamment de la valeur du signal à l'entrée de ce convertisseur, certains inverseurs verront leurs transistors PMOS conduire tandis que ce seront les transistors NMOS d'autres inverseurs qui assureront la conduction.

#### 4.3 RELATION ENTRÉE-SORTIE DU CONVERTISSEUR

En vue d'établir la relation entre l'entrée et la sortie du convertisseur proposé, une analyse minutieuse au niveau transistor est effectuée en considérant un CNA à 2 bits (Figure 4.2).

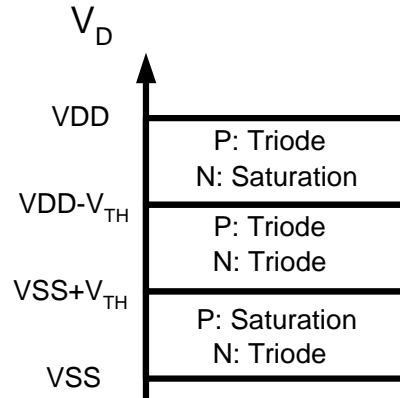


**Figure 4.2 : CNA à 2 bits au niveau transistor a) entrée quelconque, b) entrée “011” et c) transistors en conduction**

Il est important de mentionner que l’analyse de la tension de sortie se résume uniquement à l’analyse des inverseurs connectés à la sortie. En guise d’exemple, lorsque l’entrée est “011” (Figure 4.2 b), les inverseurs connectés en sortie ont pour entrée “001”. La Figure 4.2 c) représente alors les transistors en conduction. Par ailleurs, la détermination de la tension de sortie  $V_D$  est telle que le courant à travers le réseau de transistors P soit égal à celui du réseau N. Cependant le courant de drain est fonction des régions de fonctionnement des transistors en conduction. D’après la Figure 4.2 c), les tensions grille-source ( $V_{GS}$ ) et drain-source ( $V_{DS}$ ) des transistors de type P en conduction sont égales. Ainsi ces transistors PMOS fonctionnent sensiblement dans la même région.

Un raisonnement similaire appliqué au réseau N permet de conclure que tous les NMOS en conduction sont dans la même région de fonctionnement. Parmi les quatre possibilités de fonctionnement des réseaux P et N, le cas saturation-saturation ne pourra se produire car la tension seuil des transistors ( $V_{TH}$ ) est plus petite que la tension

d'alimentation. Il est important de souligner que le cas saturation-saturation ne se produit que si  $V_{TH} > V_{DD}/2$ . Ce qui est rare en pratique. Par ailleurs, en considérant la tension seuil identique pour tous les transistors, il ressort que la région de fonctionnement des transistors dépend de la tension de sortie  $V_D$  (Figure 4.3).



**Figure 4.3 : Régions de fonctionnement des transistors**

En régime permanent, le courant à travers le réseau P est égal à celui qui traverse le réseau N :

$$I_P = I_N \quad (4.1)$$

Où  $I_P$  et  $I_N$  représentent respectivement les courants des réseaux P et N.

Fort de cette relation, il est maintenant possible de déterminer la tension de sortie  $V_D$ . Par exemple lorsque le CNA fonctionne en mode triode-triode, les courants à travers les réseaux P et N sont respectivement :

$$I_P = M \mu_P C_{OX} \frac{W}{L} \left[ (V_{SG} - |V_{TH}|) V_{SD} - \frac{V_{SD}^2}{2} \right] \quad (4.2)$$

$$I_N = (N - M) \mu_N C_{OX} \frac{W}{L} \left[ (V_{GS} - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (4.3)$$

Dans les équations (4.2) et (4.3),  $N$  est le nombre total de suiveurs alors que  $M$  est le nombre de suiveurs dont les sorties sont à '1'. Pour simplifier les notations, il est fixé que  $K = \mu C_{OX}(W/L)$  et il est supposé que  $K$  est identique pour les deux types de transistors. Ainsi, en utilisant les équations (4.2) et (4.3), la relation (4.1) permet d'obtenir l'expression suivante :

$$\begin{aligned} & [(N - M) K_N - MK_P] V_D^2 + 2 [MK_P V_{TH} - (N - M) K_N (V_{DD} - V_{TH})] V_D + \\ & 2MK_P \left( (V_{DD} - V_{TH}) V_{DD} - \frac{V_{DD}^2}{2} \right) = 0 \end{aligned} \quad (4.4)$$

La détermination de la tension de sortie du convertisseur se fait en isolant  $V_D$  de l'équation (4.4). Il est aussi important de vérifier que cette valeur de  $V_D$  obtenue permet aux deux types de transistors d'être en mode triode.

En utilisant la même méthode, les équations suivantes sont aisément déduites lorsque le CNA est respectivement en mode triode-saturation et en mode saturation-triode :

$$\begin{aligned} & MK_P V_D^2 - 2MK_P V_{TH} V_D - 2MK_P \left[ (V_{DD} - V_{TH}) V_{DD} - \frac{V_{DD}^2}{2} \right] + \\ & K_N (N - M) (V_{DD} - V_{TH})^2 = 0 \end{aligned} \quad (4.5)$$

$$(N - M) K_N V_D^2 - 2K_N (N - M) (V_{DD} - V_{TH}) V_D + MK_P (V_{DD} - V_{TH})^2 = 0 \quad (4.6)$$



Afin de valider la fonctionnalité de ce CNA, une analyse dans MATLAB de ce CNA à 3 bits est proposée. Rappelons que la conception d'un convertisseur à 3 bits dont l'entrée utilise un code thermomètre nécessite 7 inverseurs.

Les équations (4.4), (4.5) et (4.6) permettent de déduire la relation entrée-sortie du convertisseur utilisant 7 inverseurs. Les valeurs de  $V_D$  sont calculées et représentées à la Figure 4.4. Cette figure montre également la relation entrée-sortie pour un CNA idéal (courbe en pointillés). La linéarité du CNA est caractérisée en calculant la somme des carrés de l'erreur entre la sortie actuelle et la sortie idéale :

$$Error = \sum_n (V_{nIDEAL} - V_{Dn})^2 = 0.1744 \quad (4.7)$$

Où  $n$  est l'entrée.

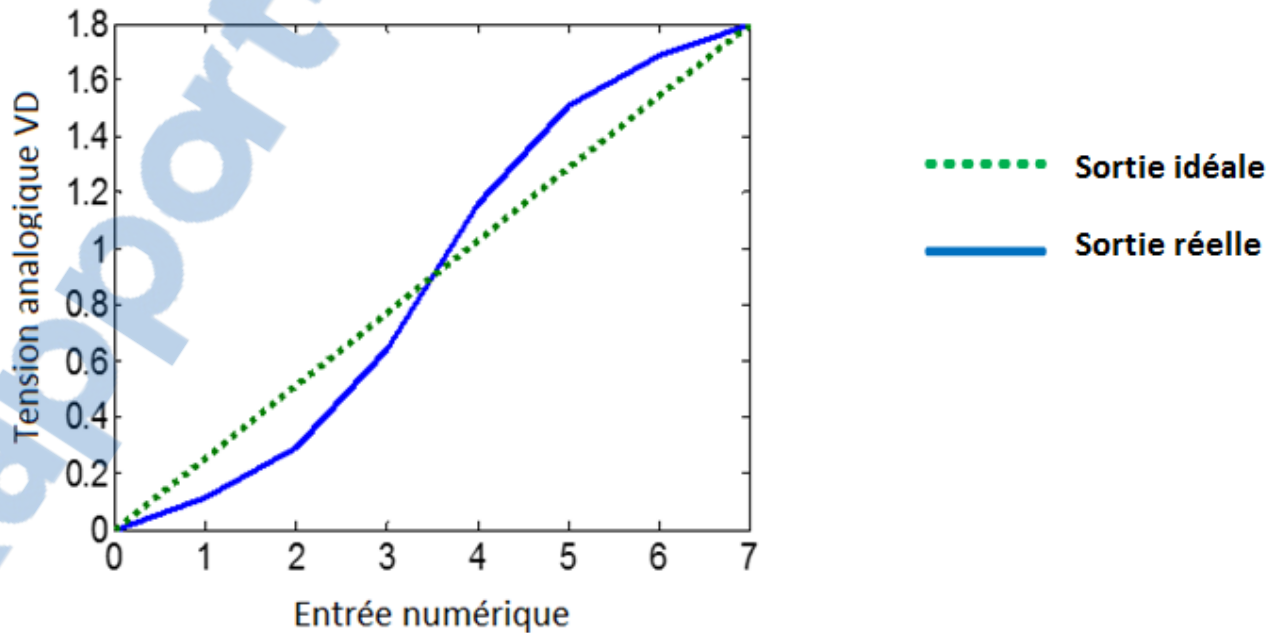
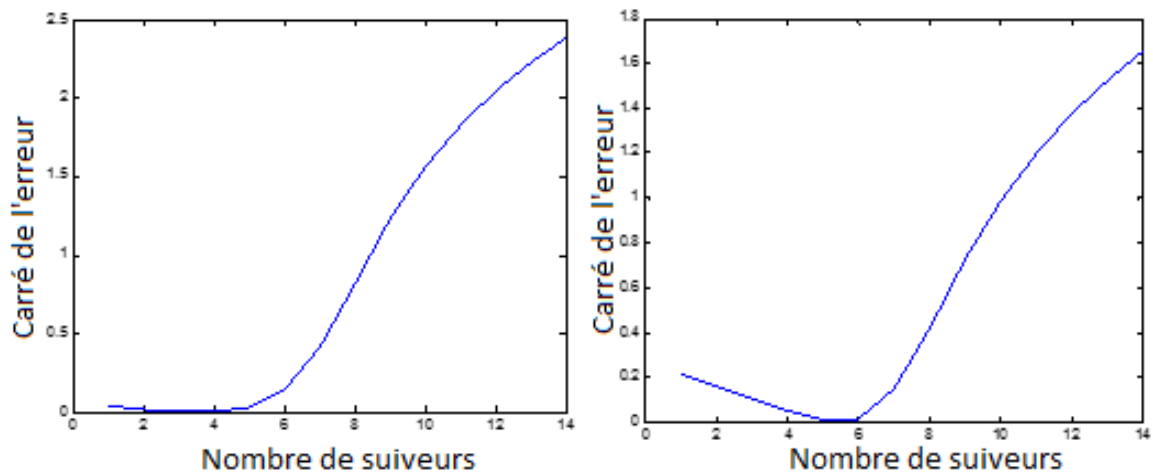


Figure 4.4 : Sorties du CNA idéal et du CNA proposé

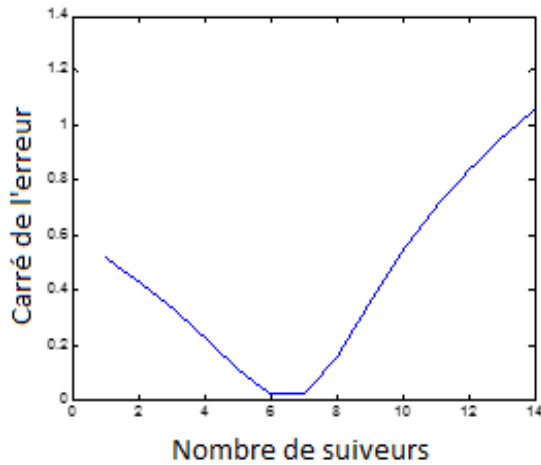
Il ressort que la relation entrée-sortie du CNA proposé est monotone mais non-linéaire. Pour certaines applications, il serait nécessaire d'optimiser ce convertisseur en le rendant linéaire. Pour d'autres applications, comme celle présentée au Chapitre 7, à savoir l'utilisation du CNA dans la réduction de la gigue d'horloge, il n'est pas nécessaire d'être parfaitement linéaire, mais plutôt d'avoir un convertisseur ayant un comportement monotone [74].

Il est également à noter que la fonctionnalité du convertisseur proposé est la même pour un multiple de 7 inverseurs (14, 21, etc.). Ainsi une configuration formée de blocs de deux inverseurs nécessite 14 inverseurs au total tandis que celle constituée de blocs de 3 inverseurs nécessite 21 inverseurs au total. Dans un premier temps, l'analyse a été faite pour la configuration avec 14 inverseurs. L'analyse de la configuration à 21 inverseurs a été faite en second lieu. La Figure 4.5 présente les résultats obtenus pour 14 suiveurs.

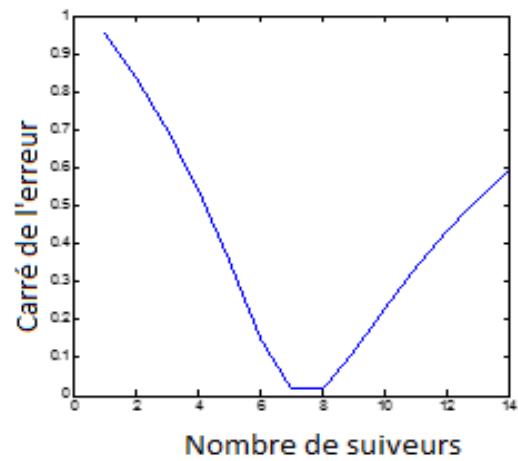


a) Code entrée : 0000001

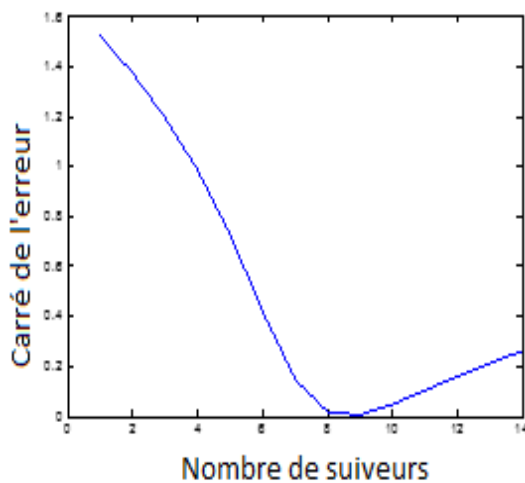
b) Code entrée : 0000011



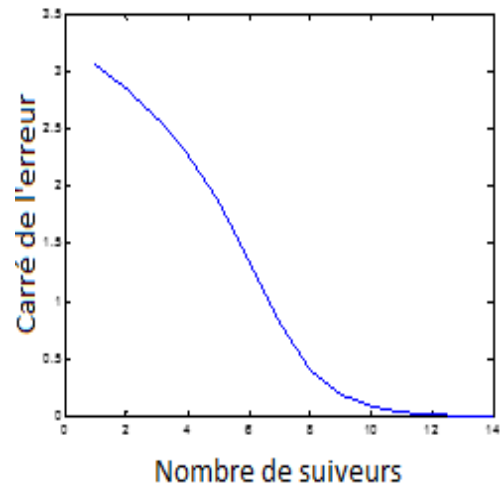
c) Code entrée : 00001111



d) Code entrée : 00011111



e) Code entrée: 00111111

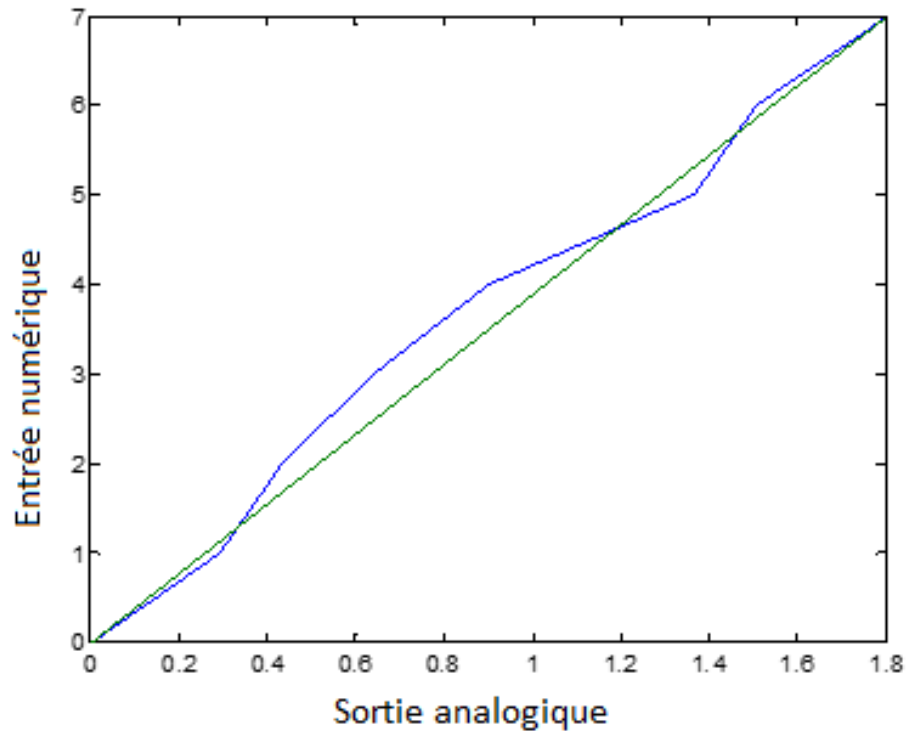


f) Code entrée: 01111111

**Figure 4.5 : Carrés des erreurs du CAN à 3 bits avec 14 suiveurs**

Les courbes de la figure 4.5 montrent comment le carré de l'erreur varie selon le nombre de suiveurs utilisés. Dans le cas de la figure 4.5c par exemple, le graphique montre que, lorsque le code en entrée est 00001111, le nombre de suiveur devrait être de 6 ou de 7 pour minimiser le carré de l'erreur. En se basant sur ces nombres de portes optimaux, une

nouvelle configuration est construite et les résultats qui en découlent sont représentés à la Figure 4.6.



**Figure 4.6 : Sortie du CNA optimisé vs sortie idéale avec 14 portes**

Il ressort de la Figure 4.6 que la configuration à 14 inverseurs reste non linéaire même après son optimisation. Il sera montré au paragraphe suivant que la linéarité obtenue avec la seconde configuration de 21 inverseurs est satisfaisante. En effet, l'augmentation du nombre d'inverseurs au-delà de 21 n'améliore plus la linéarité. C'est pourquoi la seconde configuration est celle qui a été retenue (Figure 4.7).

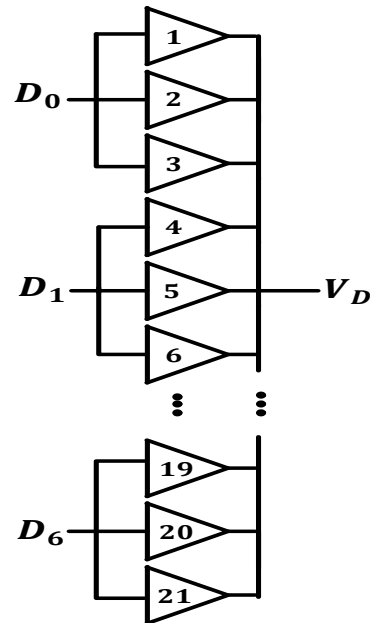


Figure 4.7 : CNA à 3 bits avec 21 suiveurs

#### 4.4 OPTIMISATION DU CNA

Dans l'optique de réduire la non-linéarité du convertisseur proposé, l'optimisation mathématique basée sur le carré des différences entre la sortie actuelle et la sortie idéale est privilégiée. Pour cela, le nombre de suiveurs en conduction est changé de façon itérative jusqu'à ce que la différence entre la sortie actuelle du CNA et sa sortie idéale soit minimale.

Cet algorithme est décrit par le pseudo-code suivant :

NumberNOT (i) = 0  $\forall$  i

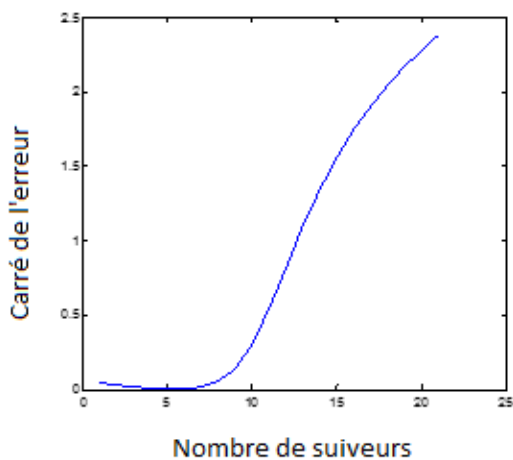
For i=0 to 7

    setNumberNOT(i)  $\in$  [0, 21]

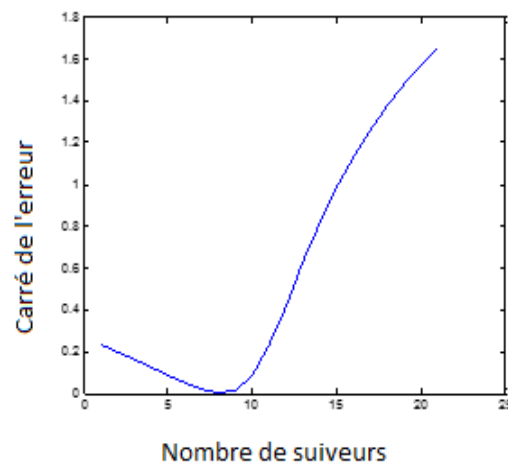
    to minimize (idealth(i) - dacvth(i, NumberNOT))<sup>2</sup>

End

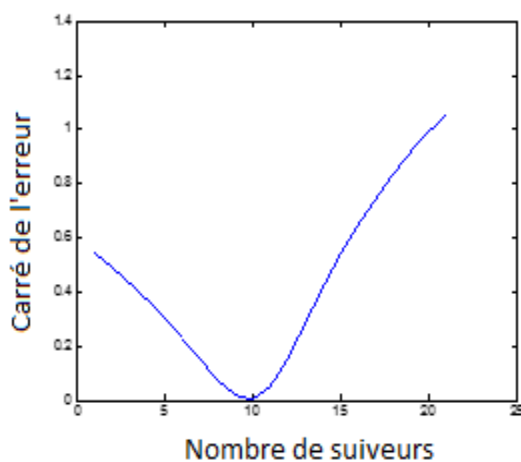
En vue de linéariser le convertisseur de la Figure 4.7, cet algorithme d'optimisation qui permet de mesurer les carrés de l'erreur est utilisé. Les résultats obtenus pour chaque combinaison d'entrée sont présentés à la figure suivante :



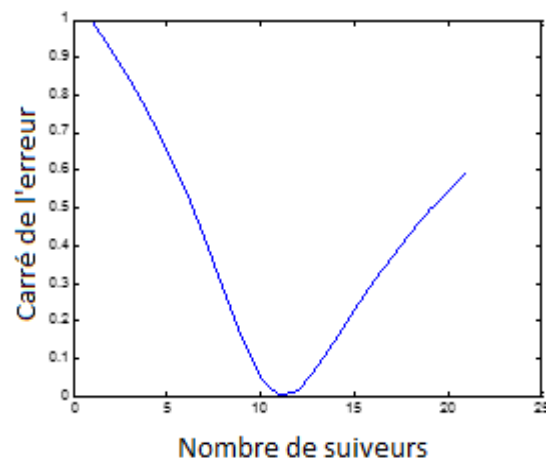
a) Code entrée : 0000001



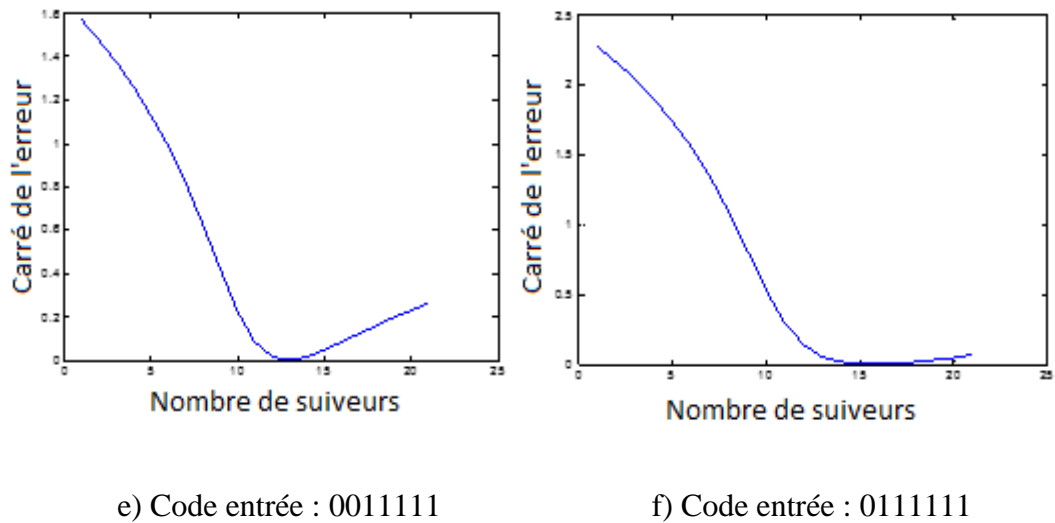
b) Code entrée : 0000011



c) Code entrée : 0000111

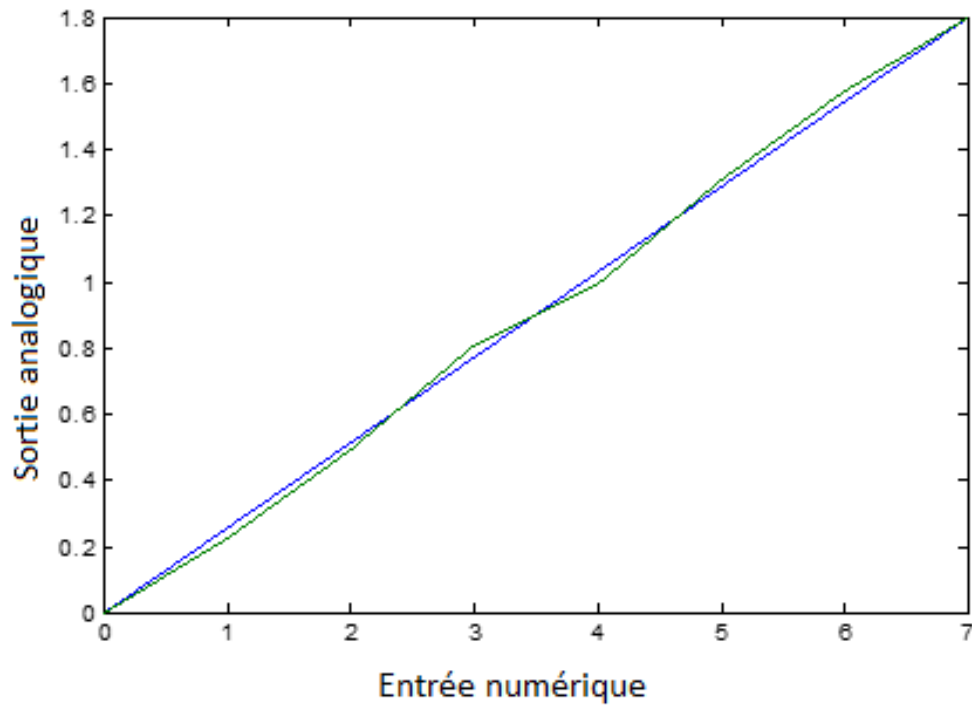


d) Code entrée : 0001111



**Figure 4.8 : Carrés des erreurs du CAN à 3 bits avec 21 suiveurs**

Les différentes courbes de la Figure 4.8 montrent l'évolution des carrés de l'erreur lorsque le nombre de suiveurs en conduction change pour une entrée donnée. Fort de la Figure 4.8, il devient aisé de décider de la manière de connecter les différents suiveurs afin de minimiser l'erreur. En observant la Figure 4.8.a) il ressort que lorsque l'entrée est 0000001, cinq suiveurs sont requis. De même quand l'entrée est 0000011, alors huit suiveurs doivent conduire '1' afin de rendre l'erreur minimale. Les autres graphes de la Figure 4.8 indiquent comment connecter les autres suiveurs du CNA. Utilisant la nouvelle configuration obtenue à l'aide de la Figure 4.8, la tension de sortie du CNA est à nouveau calculée et les résultats sont représentés à la Figure 4.9 qui montre l'existence d'une relation entrée-sortie plus linéaire comparée à la courbe de la Figure 4.6.



**Figure 4.9 : Sortie du CNA optimisé vs sortie idéale avec 21 portes**

L'erreur calculée qui permet de quantifier la linéarité est :

$$Error = \sum_n (V_{nIDEAL} - V_{Dn})^2 = 0.0062$$

Il en ressort que cette optimisation a permis d'améliorer la linéarité du CNA de 96% comparée à l'architecture non optimisée.

Bien que l'optimisation ait été effectuée d'une manière particulière dans cette thèse, il est important de noter que d'autres approches, telle que la méthode de non-linéarité polynomiale, sont également envisageables.



## 4.5 CONCEPTION DU CNA AU NIVEAU TRANSISTOR

### 4.5.1 RÉSULTATS DE SIMULATIONS

Le CNA proposé est conçu en technologie CMOS  $0.18 \mu m$  et est simulé en utilisant l'outil Cadence pour une tension d'entrée variant de 0 à 1.8 V. La simulation dynamique est faite pour les deux configurations : CNA à 3 bits non optimisé et CNA optimisé. Les résultats des simulations sont présentés à la Figure 4.10 où l'on observe les sorties du CNA non optimisé et optimisé. Il ressort de cette figure que le CNA optimisé est plus linéaire que celui non optimisé. Cependant, l'on s'attendait à avoir une situation idéale où les pas ou hauteurs des paliers sont identiques. De plus, à cause du type de transistor choisi et des variations de procédé, il ressort que la simulation dans Cadence est moins linéaire que celle obtenue par Matlab.

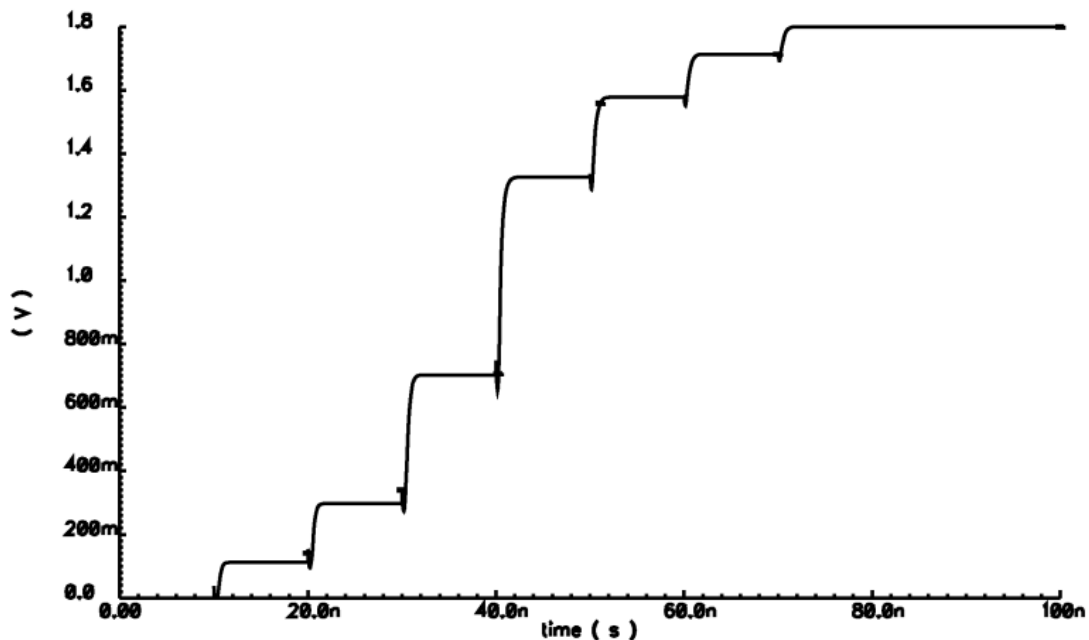


Figure 4.10 : a) Sortie du CNA non optimisé

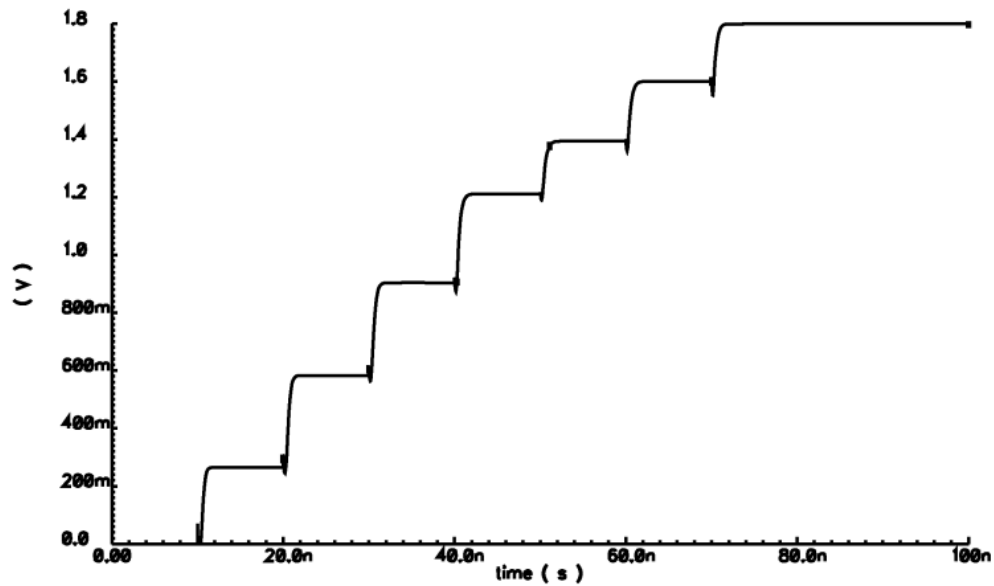
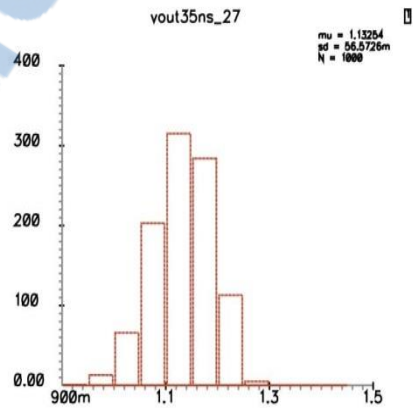
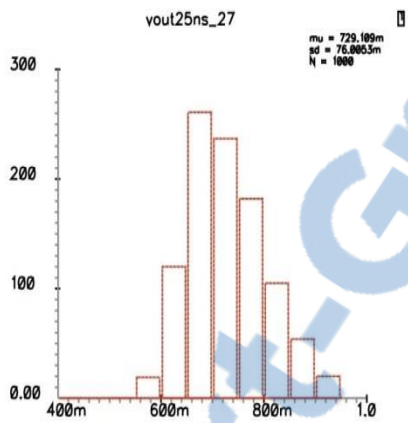
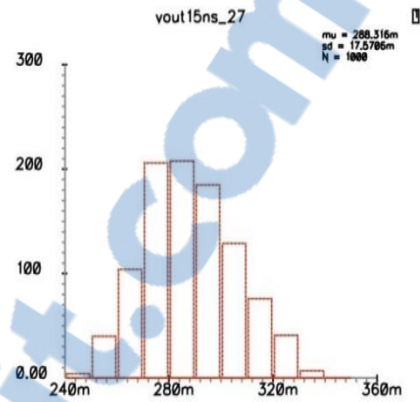
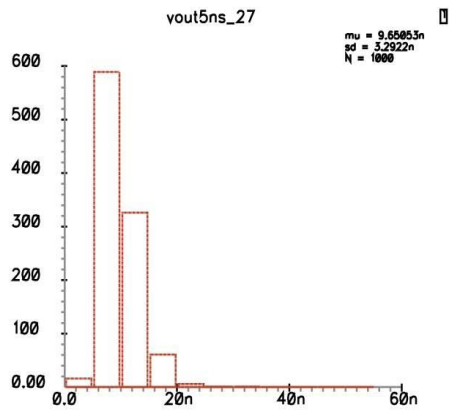


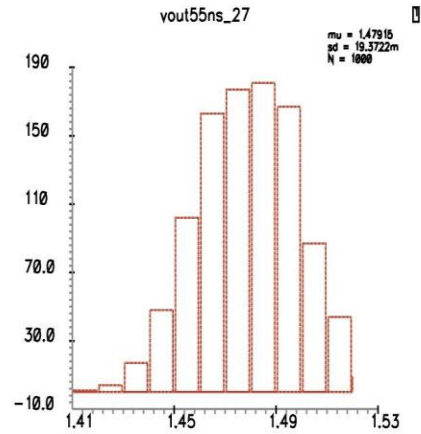
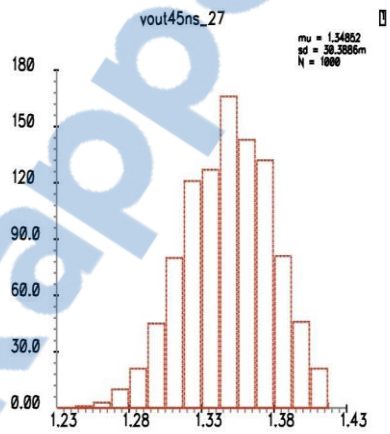
Figure 4.10 : b) Sortie du CNA optimisé

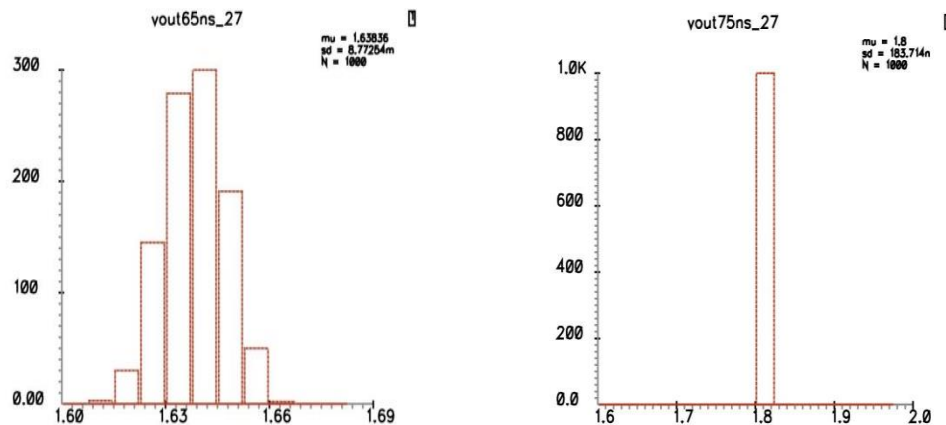
#### 4.5.2 SENSIBILITÉ DU CNA AUX VARIATIONS DE PROCÉDÉ ET AUX MÉSAPPARIEMENTS

Le CNA proposé est aussi simulé en utilisant une analyse Monte Carlo (Figure 4.11) pour 1000 cycles de simulation. Cette analyse permet de déterminer la variabilité de la tension de sortie  $V_D$  en rapport avec les variations de procédé et les mésappariements. Sous ces conditions, la plus grande déviation standard est 78 mV. Il est important de noter que cette large variation se présente lorsque la tension de sortie est proche de  $V_{DD}/2$ . Par ailleurs, pour 1000 cycles de simulation, la variation maximale crête-à-crête observée est juste en dessous de 300 mV qui est légèrement supérieur à 1 LSB. Ainsi les variations de procédé et de mésappariement ont peu de conséquences sur la tension de sortie  $V_D$ . D'où la robustesse de ce convertisseur.



S





**Figure 4.11: Simulation Monte Carlo**

#### 4.6 CONCLUSION

Dans ce chapitre, la topologie d'une nouvelle architecture de convertisseur numérique-analogique basée uniquement sur les cellules normalisées a été abordée. Une analyse pour un cas particulier de ce CNA à 3 bits a été faite. Il en ressort que bien que ce CNA à 3 bits soit monotone, il présente néanmoins un comportement non linéaire. C'est ainsi qu'une optimisation mathématique a été faite dans le but de rendre ce convertisseur plus linéaire. Par ailleurs des simulations ont été réalisées à l'aide du simulateur Spectre de Cadence. Il en ressort que la configuration optimisée de ce convertisseur est plus linéaire que celle non optimisée. De plus la linéarité de cette version optimisée est proche de l'idéale souhaitée. Par ailleurs les résultats de la simulation Monte Carlo ont permis de conclure que, de façon générale, les variations de procédé sont inférieures à 1 LSB et donc, que l'impact est minime.

## CHAPITRE 5

### CONVERTISSEUR ANALOGIQUE-NUMÉRIQUE FLASH BASÉ SUR LES CELLULES NORMALISÉES

#### 5.1 INTRODUCTION

Depuis plusieurs décennies, les convertisseurs de données analogique-numériques de type flash ont attiré l'attention des chercheurs. Cet engouement pour ces composants est surtout dû à son importance dans de nombreuses applications telles que la télécommunication et les systèmes biomédicaux.

De prime abord un CAN est un circuit analogique. De nos jours, la tendance des SoC exige que les circuits analogiques et mixtes soient intégrés sur la même puce que les circuits/composants numériques tels les processeurs et mémoires. C'est dans cette optique que depuis une décennie, les concepteurs proposent de nouvelles architectures basées sur la variation des seuils des inverseurs [16-21]. La méthode de variation de seuils encore appelée la méthode TIQ (*Threshold Inverter Quantization*) consiste à varier manuellement les largeurs des transistors pour obtenir différentes tensions de seuil.

Cependant cette technique bien que nécessitant un travail fastidieux voit les caractéristiques du CAN fortement influencées. Parmi ces caractéristiques, on peut citer la linéarité, la sensibilité aux variations de procédé, de température et tension d'alimentation [75-79]. Par ailleurs, la consommation de puissance n'en est pas épargnée de par l'augmentation des largeurs des transistors pour obtenir certaines tensions seuils. Toutes ces influences et erreurs entraînent des résultats non escomptés.

Vu les contraintes et les limites qu'imposent la méthode TIQ, il serait intéressant, voire même nécessaire, d'élaborer une nouvelle technique qui non seulement pourra facilement être intégrée dans le flot de conception, mais aussi améliorera les caractéristiques et les performances de nos convertisseurs. Cette technique repose essentiellement sur l'utilisation des cellules normalisées. L'utilisation des cellules normalisées offre plus de simplicité par rapport aux transistors. Ceci est lié au fait que les efforts d'intégration, le temps de conception soient réduits et que l'on puisse aisément passer d'une technologie à l'autre.

## 5.2 ARCHITECTURES DE CONVERTISSEURS CAN A 3 BITS PROPOSEES

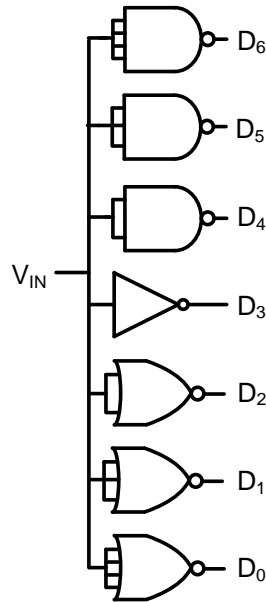
Dans cette section, les architectures des CAN à 3 bits seront présentées de même que leurs principes de fonctionnement. Ces architectures sont essentiellement basées sur deux techniques de conception selon que l'écart entre les seuils des portes (ou blocs de portes logiques) adjacentes est pris en compte ou non.

### 5.2.1 PREMIERE APPROCHE DE CONCEPTION DU CAN A 3 BITS

La première méthode, essentiellement basée sur les seuils des portes logiques ne tient pas compte de l'écart entre les seuils des portes logiques (ou blocs de portes logiques) adjacentes.

#### 5.2.1.1 ARCHITECTURE CAN A 3 BITS

La Figure 5.1 est l'architecture du CAN à 3 bits proposée initialement.



**Figure 5.1: CAN à 3 bits initial**

Le principe de fonctionnement de chaque porte de ce convertisseur est comparable à celui d'un inverseur idéal dont le seuil est  $V_{DD}/2$ . Ainsi lorsque l'entrée d'un inverseur idéal est plus petite que  $V_{DD}/2$ , la sortie est à  $V_{DD}$ . Inversement quand son entrée est plus grande que  $V_{DD}/2$  sa sortie est à  $V_{SS}$ . Par ailleurs les portes NAND et NOR observées à la Figure 5.1 ont des seuils respectivement supérieurs et inférieurs à celui d'un inverseur idéal. En effet, dans une porte NAND, le réseau NMOS est en série tandis que son réseau PMOS est en parallèle. Ainsi pour un même  $V_{GS}$  et un  $V_{TH}$  identique pour les transistors, le réseau PMOS génèrera plus de courants (transistors en parallèle) alors qu'un seul courant traverse le réseau NMOS (transistors en série). Par conséquent pour que le courant dans le réseau P soit égal à celui dans le réseau N, les transistors NMOS doivent voir leur  $V_{GS}$  s'accroître. C'est ce qui explique l'augmentation de la tension seuil dans une porte NAND. Un raisonnement similaire est appliqué à la porte NOR et il en ressort une diminution de sa tension seuil afin d'assurer la condition d'égalité de courant dans les réseaux P et N de

cette porte. Afin de déterminer ces tensions seuils, soulignons que les transistors identiques en série peuvent être remplacés par un transistor unique à canal long tandis que ceux qui sont en parallèles sont remplacés par un seul transistor à canal large.

Dans le but d'analyser cette structure proposée à la Figure 5.1, le nombre de transistors NMOS en parallèle est désigné par  $M$ . Fort du principe de complémentarité, le nombre de transistors en séries du réseau P sera aussi  $M$ . Ainsi les transistors du réseau N sont remplacés par un seul transistor dont la largeur sera  $M$  fois celle d'un transistor initial du réseau. De façon similaire, les transistors du réseau P sont remplacés par un seul transistor dont la longueur sera  $M$  fois celle d'un transistor initial du réseau. Ceci permet de simplifier et de faciliter l'écriture des équations de courant dans les composants du réseau. Toutefois l'écriture de ces équations de courant nécessite la connaissance du mode de fonctionnement des transistors (triode ou saturation).

Puisque le seuil d'une porte est la tension pour laquelle sa sortie est  $V_{DD}/2$ , les conditions de conduction et de saturation des transistors PMOS et NMOS sont respectivement définies par :

$$V_{TH} < V_G < V_{DD} - V_{TH} \quad (5.1)$$

$$\frac{V_{DD}}{2} - V_{TH} < V_G < \frac{V_{DD}}{2} + V_{TH} \quad (5.2)$$

Ces deux équations sont simultanément satisfaites lorsque :

$$\frac{V_{DD}}{2} < 2V_{TH} \quad (5.3)$$



L'équation ( 5.3 ) permet de conclure qu'à la tension seuil d'une porte, tous ses transistors sont en saturation si le quart de la tension d'alimentation est plus faible que le seuil du transistor. Cette condition est respectée dans les technologies qui sont couramment utilisées. Ainsi la condition d'égalité de courant permet d'écrire :

$$(M) \frac{1}{2} \mu C_{ox} \left( \frac{W}{L} \right) (V_{GS} - V_{TH})^2 = \left( \frac{1}{M} \right) \frac{1}{2} \mu C_{ox} \left( \frac{W}{L} \right) (V_{SG} - V_{TH})^2 \quad (5.4)$$

La résolution de cette équation permet de déduire la tension seuil d'une porte comme étant :

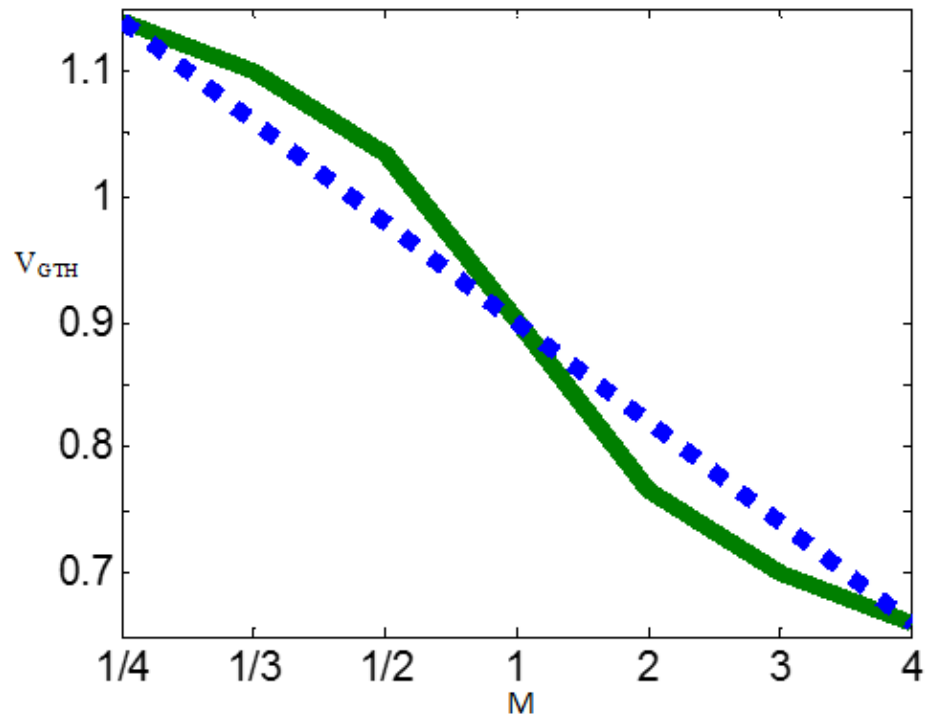
$$V_{GTH} = \frac{V_{DD} - V_{TH} + M \cdot V_{TH}}{M + 1} \quad (5.5)$$

Sachant que  $V_{DD}$  et  $V_{TH}$  peuvent être considérés comme étant constants, cette tension seuil est fonction de  $M$ . Il est important de noter que pour une porte NAND et NOR à  $K$  entrées, la valeur de  $M$  est respectivement  $1/K$  et  $K$ . Ainsi en utilisant une porte NAND avec un nombre élevé d'entrées ( $K$  grand), la valeur de  $M$  devient petite et par conséquent la tension seuil  $V_{GTH}$  tend vers  $V_{DD} - V_{TH}$ . Inversement, pour de grandes valeurs de  $M$  (NOR avec un nombre élevé d'entrées)  $V_{GTH}$  tend vers  $V_{TH}$ . Cependant dues à des contraintes technologiques liées à la surface occupée sur puce et aux capacités parasites, le nombre élevé d'entrées des portes logiques est généralement limitée à 4.

D'après l'équation (5.5), la variation du paramètre  $M$  permet d'obtenir différentes tensions seuils. C'est la raison pour laquelle il est possible de créer plusieurs inverseurs avec des seuils différents pour former la nouvelle architecture de CAN flash proposée.

Par ailleurs, l'équation (5.5) a permis de tracer, grâce à MATLAB, le graphe

représentant la tension seuil en fonction de  $M$  (Figure 5.2). La courbe obtenue, bien qu'étant monotone, est non linéaire. La Figure 5.2 présente aussi en pointillés la relation idéale (linéaire) entre le seuil et  $M$ .



**Figure 5.2: Tension seuil en fonction de  $M$**

Pour quantifier la non linéarité observée, la somme des carrés de l'erreur entre les seuils réel et idéal est calculée comme suit:  $Error = \sum_n (V_{nIDEAL} - V_{nADC})^2 = 8.9 \times 10^{-3}$ .

### 5.2.1.2 AUTRE CONFIGURATION DU CAN A 3 BITS AVEC LINEARITÉ AMÉLIORÉE

La non-linéarité observée dans la structure précédente peut être acceptable dans certaines applications et pas dans d'autres. Néanmoins il a été décidé de proposer une autre architecture avec une linéarité améliorée. Une architecture de CAN à  $N$  bits essentiellement

constituée de portes NAND et NOR à 4 entrées, nécessite  $(2^N-2) \cdot (2^N-1)$  portes.

Afin d'analyser cette structure, le nombre de portes NOR par sortie et respectivement le nombre total de portes par sortie est désigné par  $P$  et respectivement par  $Q$ . Si toutes les portes d'un bloc sont des NOR ( $Q=P$ ) alors la tension seuil de ce bloc de portes est la plus faible. Par contre, si le nombre total de portes est constitué uniquement des NAND ( $P=0$ ) alors la tension seuil du bloc correspondant est la plus grande. Ainsi en changeant progressivement le nombre de NAND et de NOR par bloc, différentes tensions seuils sont ainsi obtenues. Un exemple de l'architecture proposée est montré à la Figure 5.3 avec  $Q=6$ .

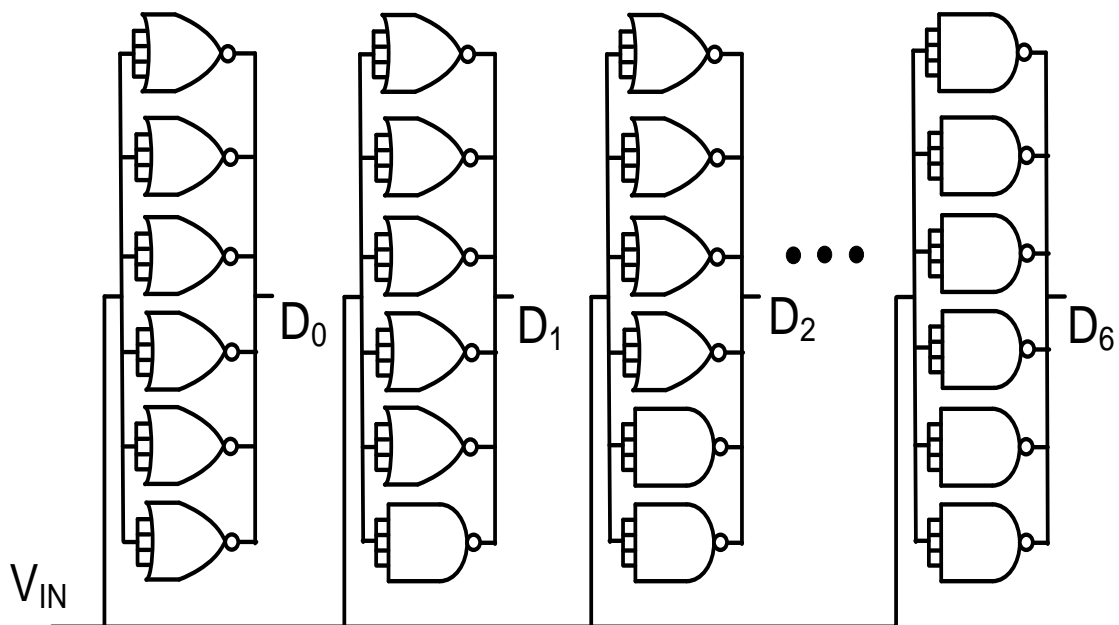


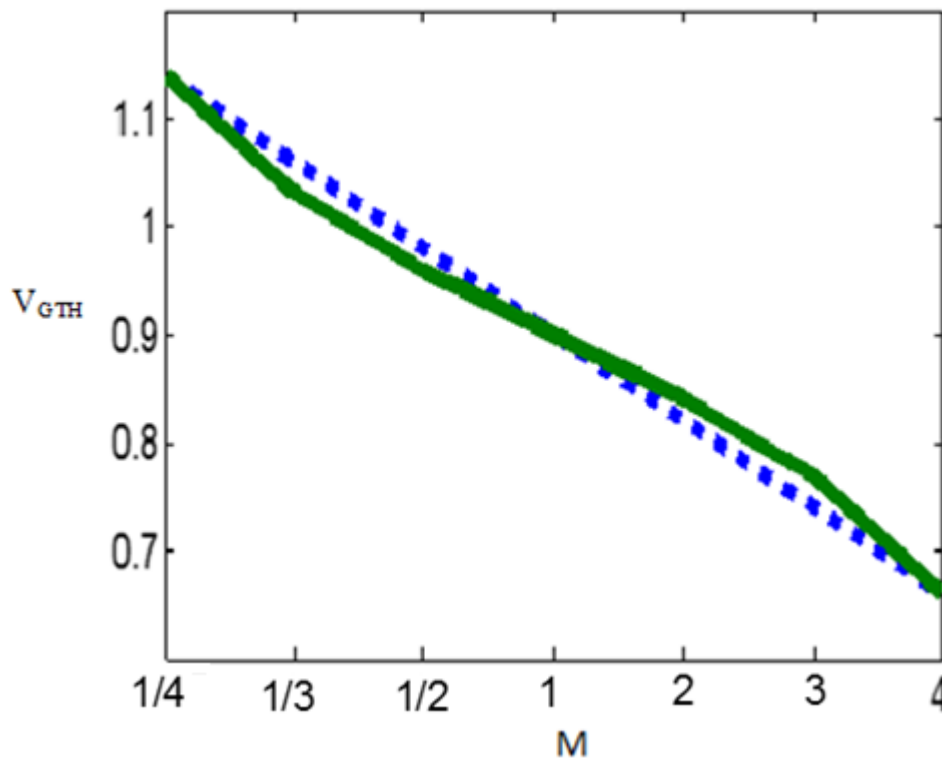
Figure 5.3 : Architecture du CAN à 3 bits avec  $Q=6$

Afin de caractériser la linéarité de cette nouvelle architecture, il est nécessaire de calculer les seuils des différents blocs de portes en évaluant les courants circulant dans les réseaux P et N :

$$I_{DP} = P \frac{1}{2M} \mu C_{OX} \left( \frac{W}{L} \right) (V_{SG} - V_{TH})^2 + (Q - P) \frac{M}{2} \mu C_{OX} \left( \frac{W}{L} \right) (V_{SG} - V_{TH})^2 \quad (5.6)$$

$$I_{DN} = P \frac{M}{2} \mu C_{OX} \left( \frac{W}{L} \right) (V_{GS} - V_{TH})^2 + (Q - P) \frac{1}{2M} \mu C_{OX} \left( \frac{W}{L} \right) (V_{GS} - V_{TH})^2 \quad (5.7)$$

La condition d'égalité des courants ( $I_{DP} = I_{DN}$ ) dans les réseaux P et N a permis de calculer les seuils des portes et de tracer le graphe de la Figure 5.4 qui n'est pas entièrement linéaire. D'où la nécessité d'une optimisation de la linéarité du CAN proposé.



**Figure 5.4 : Seuils des différents blocs de portes**

La somme des carrés de l'erreur calculée est :  $Error = \sum_n (V_{nIDEAL} - V_{nADC})^2 = 2.6 \times 10^{-3}$ .

Ainsi cette nouvelle architecture est 3 fois plus linéaire que l'architecture précédente. Cependant cette amélioration est réalisée aux dépens de la surface occupée et de la consommation de puissance qui augmente.

#### 5.2.1.2.1 OPTIMISATION DE LA NOUVELLE ARCHITECTURE DU CAN

Dans le but d'améliorer la linéarité de la nouvelle architecture de CAN à  $N$  bits, il est possible de choisir  $Q > 2^N - 2$ . En guise d'exemple, en doublant la valeur de  $Q$ , il est possible d'obtenir plus de valeurs de tensions seuils que requis. Ainsi en sélectionnant seulement  $(2^N - 1)$  seuils, il est possible d'améliorer la linéarité de ce convertisseur. Pour cela, l'algorithme utilisé est décrit par ce code :

```
NumberNAND(i) = 0  ∀ i
```

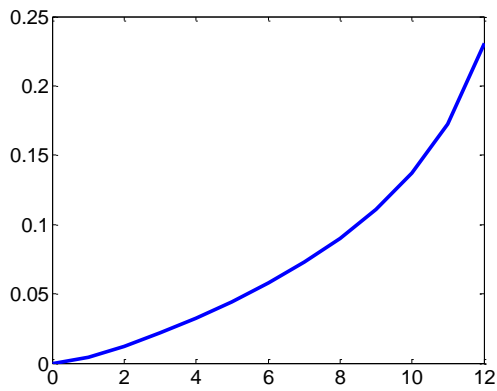
```
For i=0 to 7
```

```
    setNumberNAND(i) ∈ [0, 12]
```

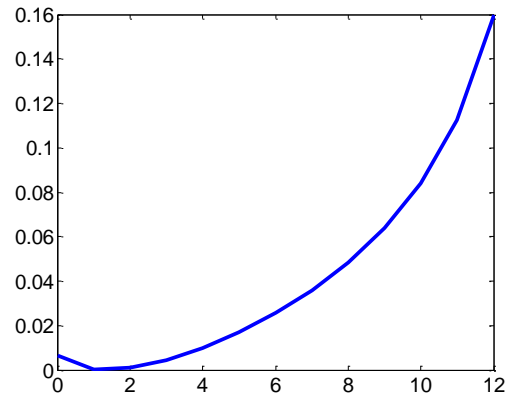
```
    to minimize (idealth(i) - adcvth(i, NumberNAND))^2
```

```
End
```

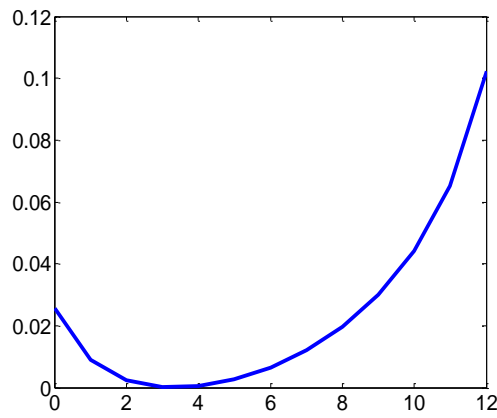
Afin de visualiser l'algorithme, les carrés des erreurs sont calculés et tracés pour chaque bloc de portes correspondant en fonction du nombre de NAND (Figure 5.5). La Figure 5.5 a) montre que pour minimiser l'erreur, le bloc de portes associé à D0 doit contenir zéro porte NAND tandis qu'il faut 1 porte NAND dans le bloc de portes D1 pour minimiser l'erreur (Figure 5.5 b), etc.



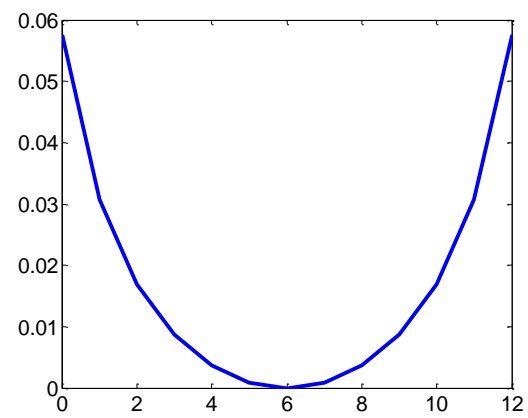
a) BlocD0:0 NAND



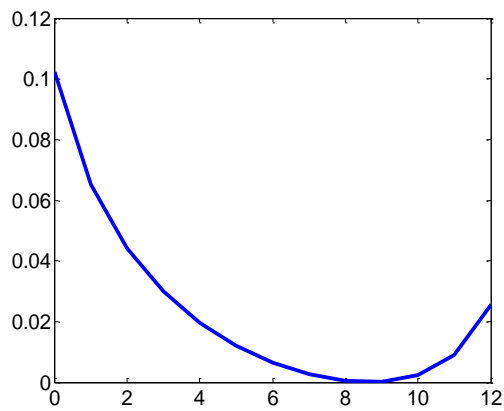
b) BlocD1:1 NAND



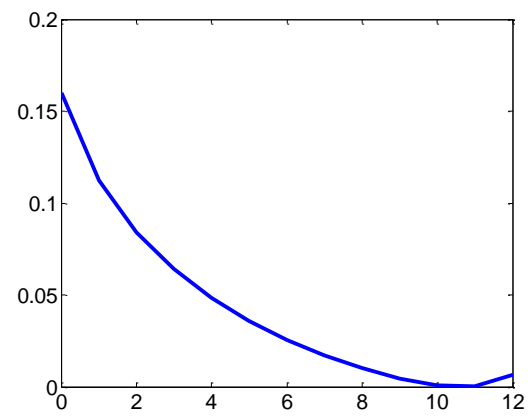
c) Bloc D2: 3 NAND



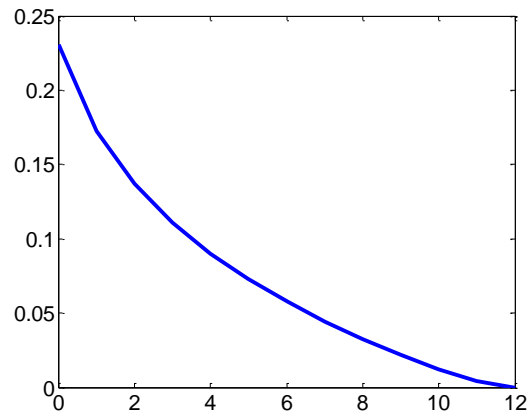
d) BlocD3:6 NAND



e) BlocD4:9 NAND



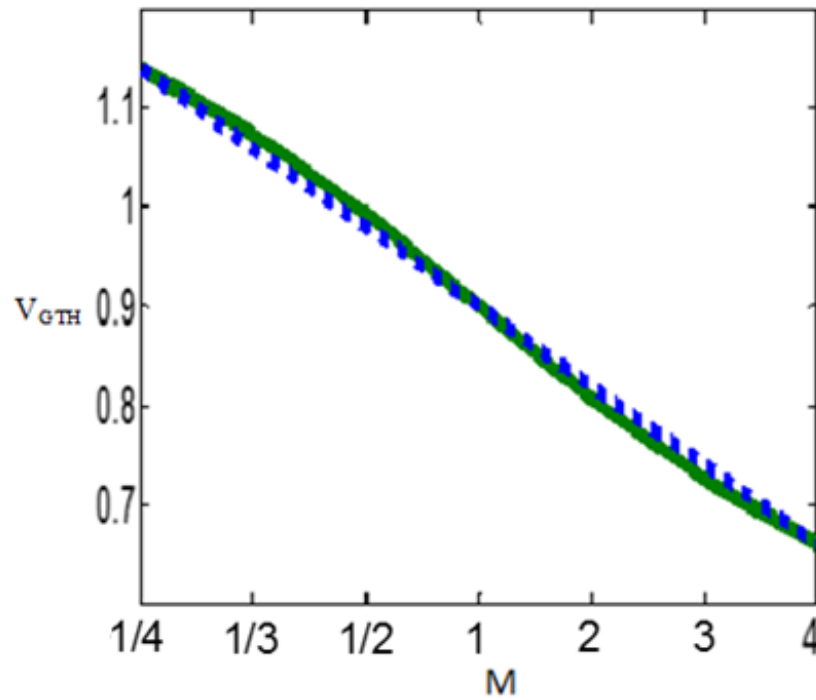
f) Bloc D5:11 NAND



g) Bloc *D6* : 12 NAND

**Figure 5.5 : Somme des carrés de l'erreur pour le CAN à 3 bits**

D'après la Figure 5.5, la somme des carrés de l'erreur change au fur et à mesure que le nombre de portes NAND par bloc change. En utilisant le nombre de portes NAND qui minimise le carré de l'erreur, on obtient un CAN plus linéaire. C'est ainsi qu'une nouvelle configuration est définie grâce à laquelle le calcul des seuils du CAN proposé est rendu possible (Figure 5.6).



**Figure 5.6 : Seuils optimisés des blocs de portes**

La somme des carrés de l'erreur est :  $Error = \sum_n (V_{nIDEAL} - V_{nADC})^2 = 8.1 \times 10^{-4}$ .

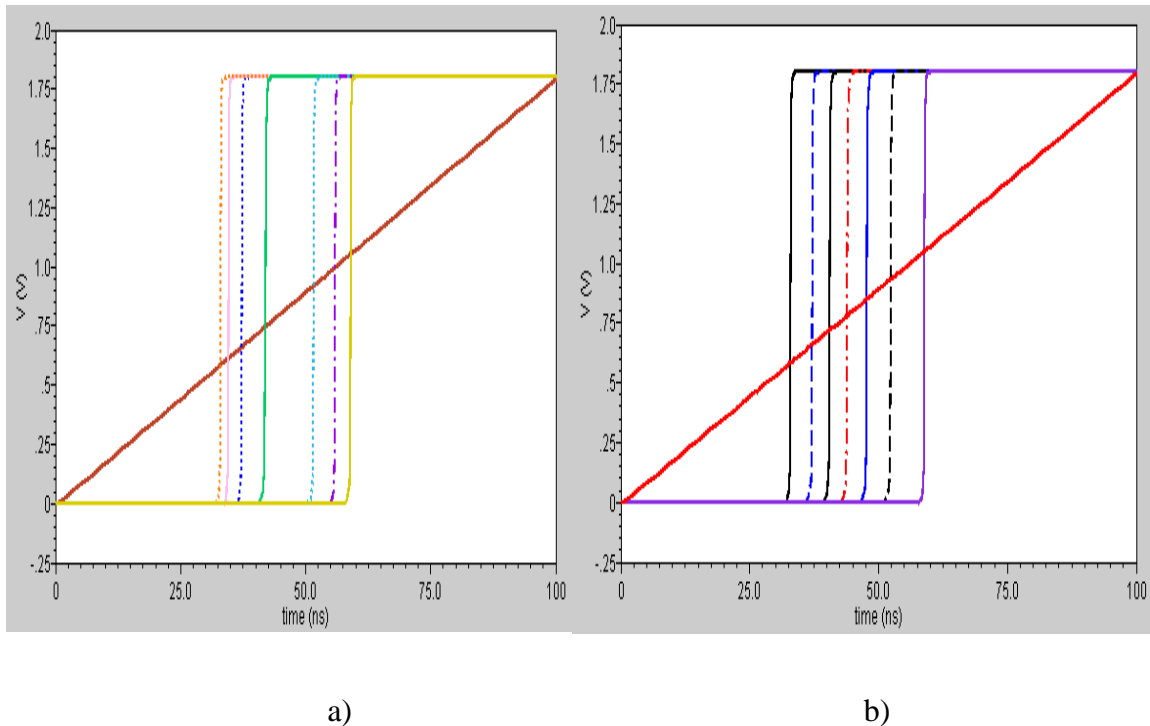
Ceci représente une amélioration de la linéarité de 91% par rapport au CAN initial et 69% par rapport au CAN précédent. Ce qui permet de valider notre approche d'optimisation de la linéarité.

### 5.2.1.3 CONCEPTION DU CAN À 3 BITS AU NIVEAU TRANSISTOR

Afin de tester la fonctionnalité des CAN proposés, ces circuits sont conçus au niveau transistor et simulés grâce à l'outil Spectre de Cadence. La simulation est faite en considérant le CAN de la Figure 5.1 et celui de la Figure 5.3 qui a été optimisé. Les deux



circuits sont évalués en utilisant une rampe comme signal d'entrée et en observant leurs sorties. Les résultats obtenus sont présentés aux Figures 5.7 et 5.8.

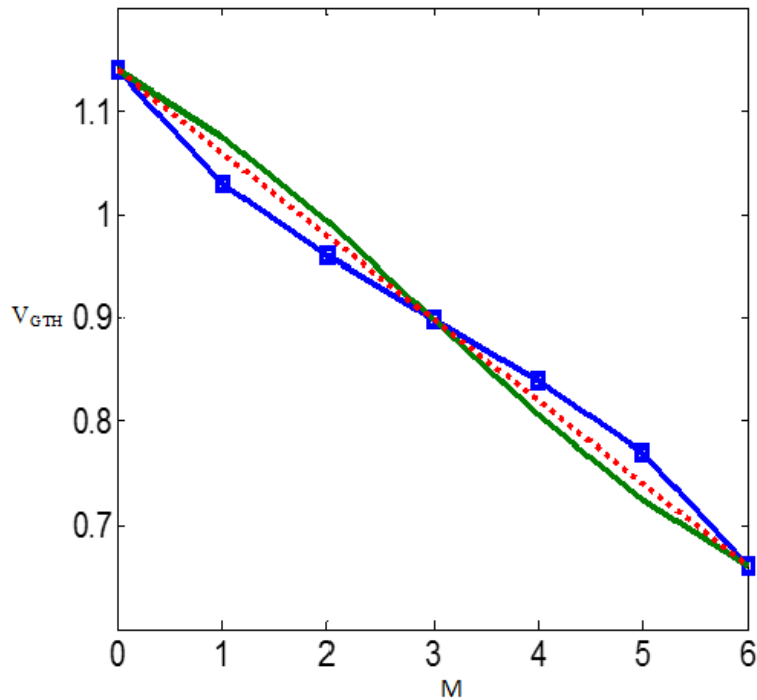


**Figure 5.7 : Sortie du a) CAN initial et du b) CAN optimisé**

La Figure 5.7 montre que au fur et à mesure que la tension d'entrée croît, on observe effectivement différentes transitions aux sorties ( $D_0, \dots, D_6$ ) des convertisseurs. Il ressort aussi de la Figure 5.7 que l'espacement entre les transitions du CAN optimisé est uniforme comparé à celui du CAN initial. Ce qui signifie que l'architecture du CAN optimisée est plus linéaire que celle du CAN initial.

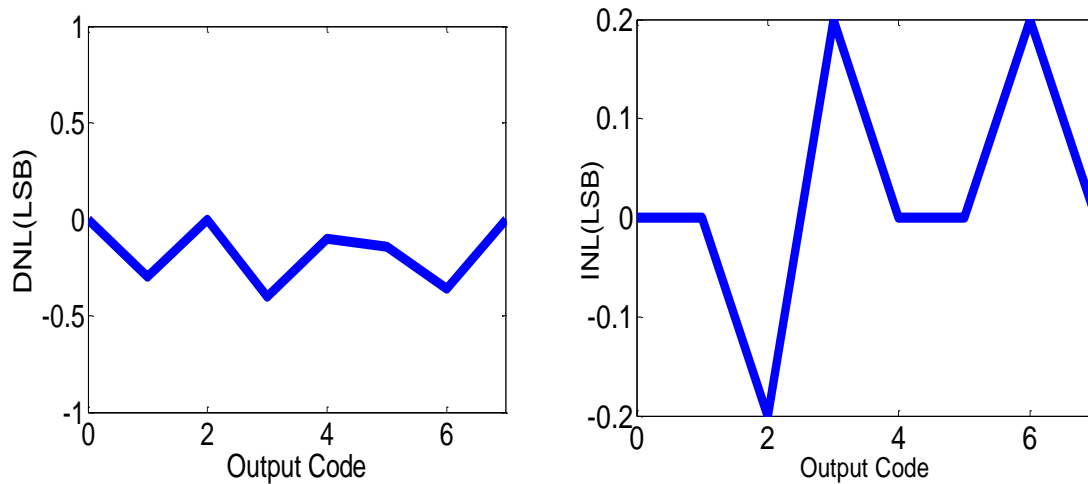
Afin de visualiser la linéarité des circuits au niveau transistor, les tensions seuils obtenus lors de la simulation sont utilisées pour tracer les graphes de la Figure 5.8. Sur cette figure, la courbe en pointillés est la réponse idéale ; la courbe en bleue avec marqueurs

est la réponse liée au CAN initial tandis que la courbe en vert est la réponse associée au CAN optimisé. On observe bien que le CAN optimisé est plus linéaire que le CAN initial. Cependant le décalage observé entre la courbe en vert et la courbe idéale (celle en pointillés) pourrait être attribué aux délais dans les portes logiques.



**Figure 5.8 : Linéarités des CAN proposés avec une entrée en rampe**

Les résultats obtenus du CAN optimisé ont par ailleurs permis de caractériser les paramètres statiques de ce convertisseur tels les DNL et INL (Figure 5.9). La Figure 5.9 montre que le CAN possède un DNL et un INL dont les maximums sont respectivement 0.4 LSB et 0.2 LSB. Puisque ces valeurs sont inférieures à 1 LSB, elles sont satisfaisantes.



**Figure 5.9 : Courbes DNL et INL du CAN proposé**

#### 5.2.1.2.2 SENSIBILITÉ DU CAN AUX VARIATIONS DE PROCÉDÉ, DE TEMPÉRATURE ET D'ALIMENTATION

Afin de vérifier la robustesse du circuit proposé aux variations de procédé, une analyse Monte Carlo est faite pour 1000 cycles de simulations. Le paramètre évalué dans ces simulations est la différence entre les tensions de référence adjacentes. Si cette différence est proche de zéro ou est négative durant les variations de procédé simulées alors on conclut que le circuit n'est pas assez robuste. Idéalement, la différence entre tensions de références adjacentes devrait en moyenne être égale au pas de quantification du convertisseur. Ce qui voudrait dire que les variations de procédé n'ont aucune influence sur les seuils des portes logiques et d'où la robustesse du convertisseur. Les résultats de cette simulation (Figure 5.10) montrent qu'en réponse aux variations de procédé, la déviation standard entre les tensions de référence est en dessous de 5 mV bien que la déviation standard des tensions de référence soit 20 mV. Ceci signifie qu'en présence des variations de procédé, toutes les tensions de références changent typiquement dans la même direction.

Ainsi toute variation de procédé faisant décroître une tension de référence entraîne aussi la décroissance des autres tensions de références. Par conséquent, même en présence des variations de procédé, la différence entre les tensions de référence varie faiblement garantissant ainsi le fonctionnement du circuit dans ces conditions.

Par ailleurs, quelques simulations supplémentaires ont aussi permis de conclure que le CAN proposé est très robuste face aux variations de température et d'alimentation.

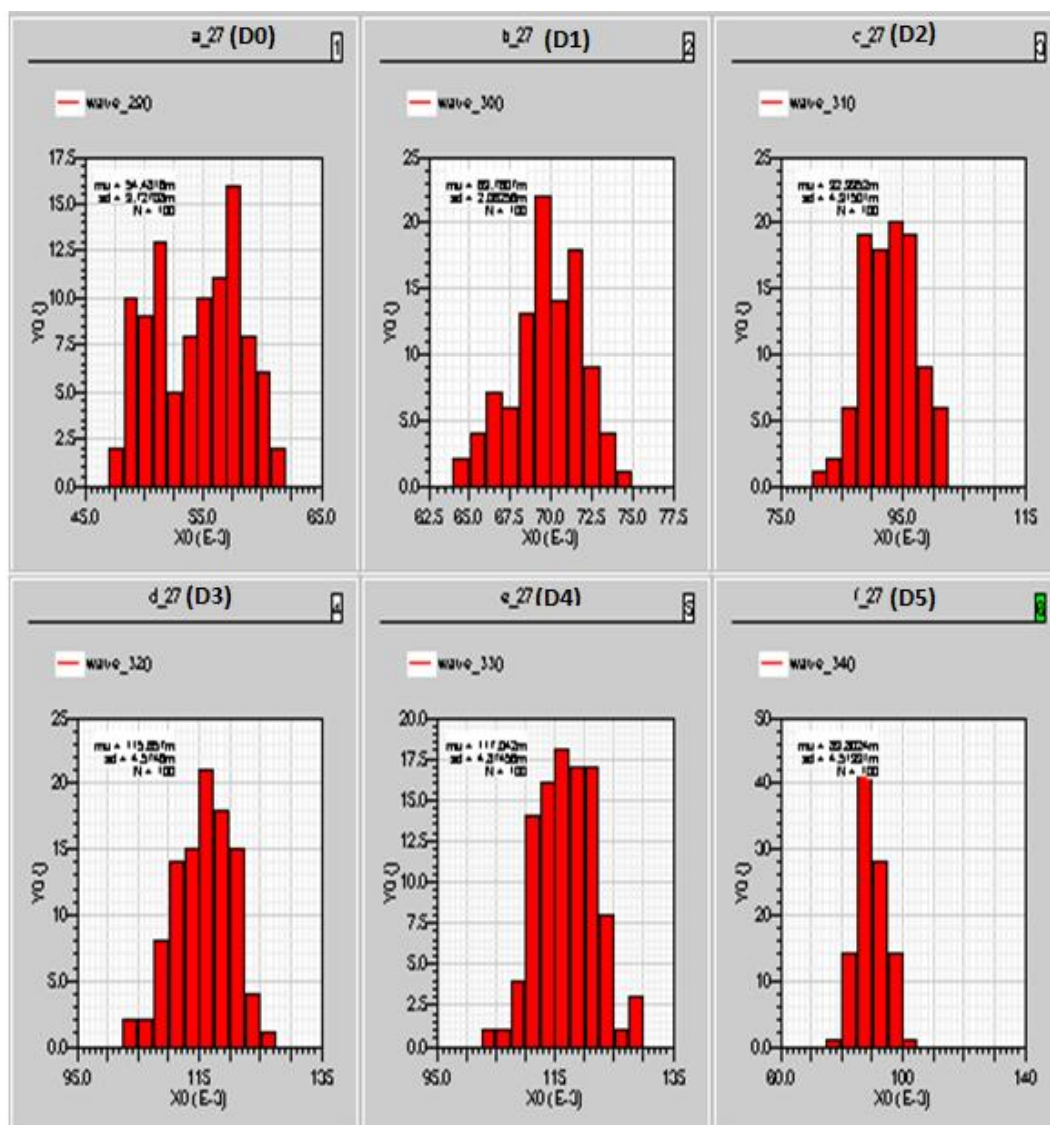


Figure 5.10 : Analyse Monte Carlo

## 5.2.2 DEUXIEME APPROCHE DE CONCEPTION DU CAN A 3 BITS

A la différence de la première technique, cette deuxième approche qui est toujours basée sur les seuils des portes logiques tient compte de l'écart entre les seuils des portes logiques (ou blocs de portes logiques) adjacentes.

### 5.2.2.1 ARCHITECTURE CAN A 3 BITS

L'architecture proposée (Figure 5.11) est constituée de portes logiques de type NAND, NOR et d'un bloc d'inverseurs en série. Les deux inverseurs en cascade à chaque sortie constituent l'étage de gain et permettent d'obtenir des niveaux logiques à  $V_{DD}$  ou  $V_{SS}$  ; Ils permettent ainsi d'ajuster les niveaux des portes logiques. Le signal d'entrée est comparé aux tensions seuils des portes logiques et le convertisseur génère à sa sortie un code thermomètre.

En utilisant un raisonnement similaire à celui de la première approche, la relation entre les tensions seuils et le nombre  $M$  de transistors en parallèle reste la même :

$$V_{GTH} = \frac{V_{DD} - V_{TH} + M \cdot V_{TH}}{M + 1}$$

En utilisant les paramètres associés à la technologie CMOS et grâce à Matlab, cette équation est utilisée pour tracer le graphe de la Figure 5.12 qui est comparé avec celui obtenu par la première méthode. La Figure 5.12 montre que la courbe obtenue par la deuxième méthode est plus linéaire que celle de la première. La relation idéale entre l'entrée et la sortie du CAN étant indiquée sur la figure par des lignes pointillées.

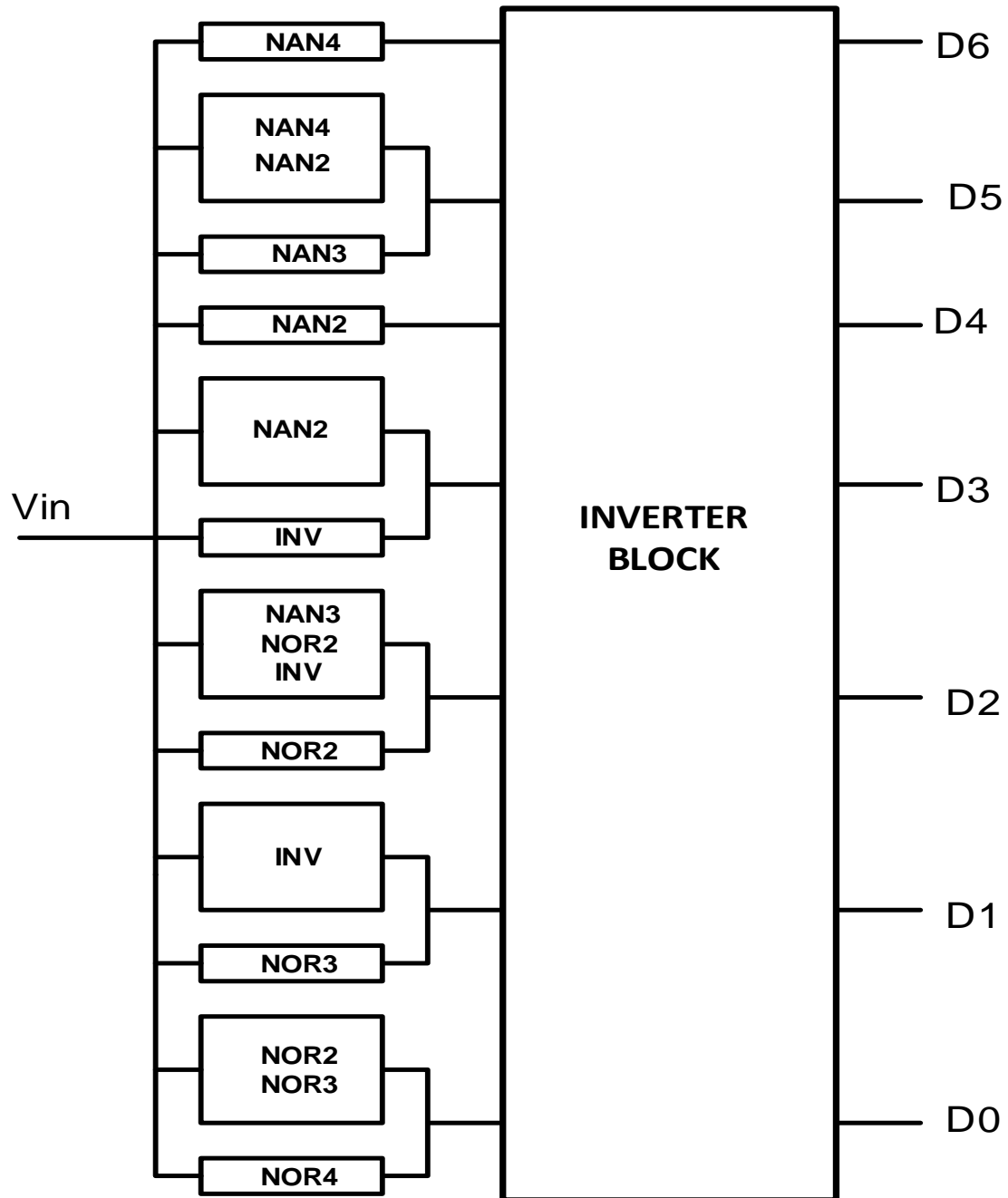
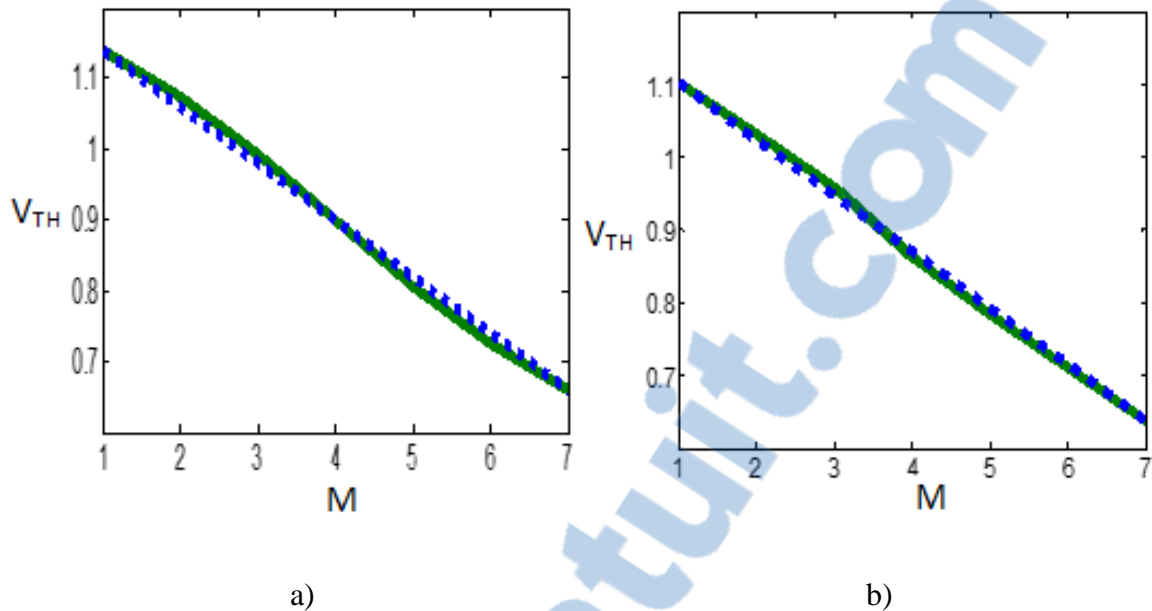


Figure 5.11 : CAN à 3 bits par la seconde technique



**Figure 5.12: Tensions seuils en fonction de  $M$  a) par la première méthode et b) par la seconde méthode**

Pour quantifier la non linéarité observée dans la seconde méthode, la somme des carrés de l'erreur entre les seuils réel et idéal est calculée:

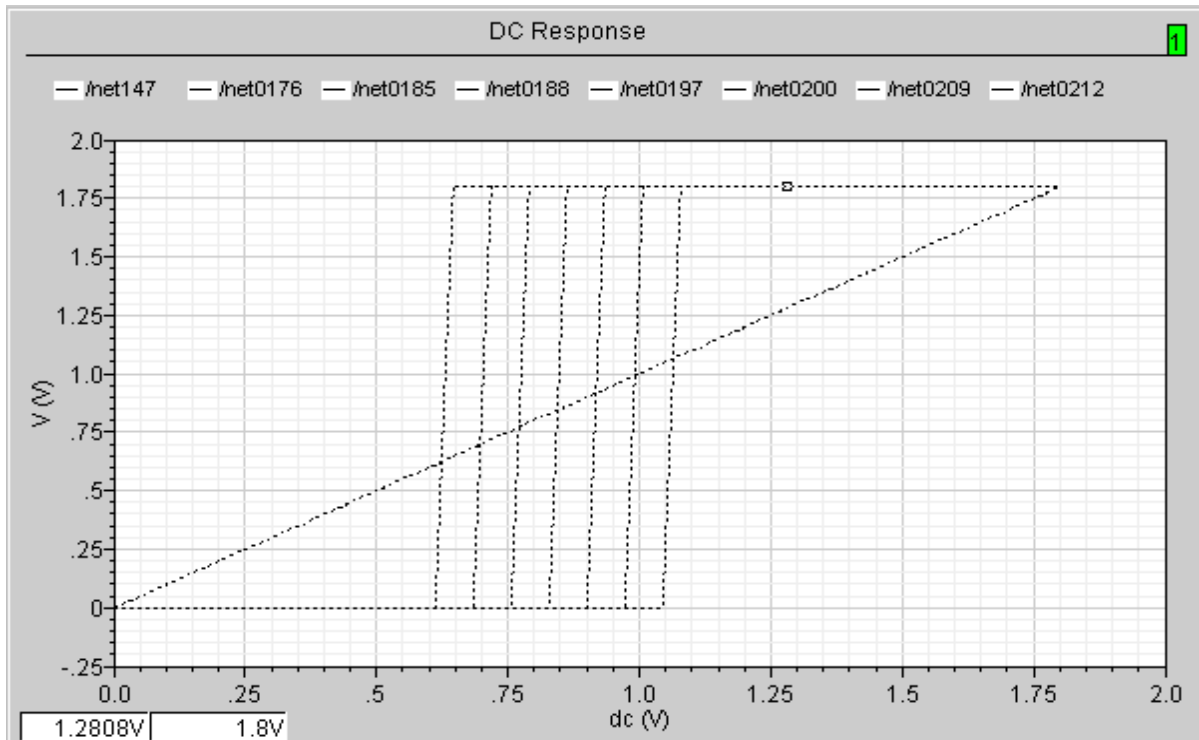
$$Error = \sum_n (V_{nIDEAL} - V_{nADC})^2 = 3,8 \times 10^{-4}$$

Il ressort que l'architecture obtenue avec la seconde méthode est environ 50% plus linéaire que le CAN optimisé obtenu par la première méthode.

### 5.2.2.2 CONCEPTION DU CAN À 3 BITS AU NIVEAU TRANSISTOR

Le circuit proposé avec cette deuxième technique est conçu au niveau transistor et simulé grâce à l'outil Spectre de Cadence. L'analyse DC de ce CAN à 3 bits par la seconde méthode (Figure 5.13) présente 7 niveaux de tensions seuils régulièrement

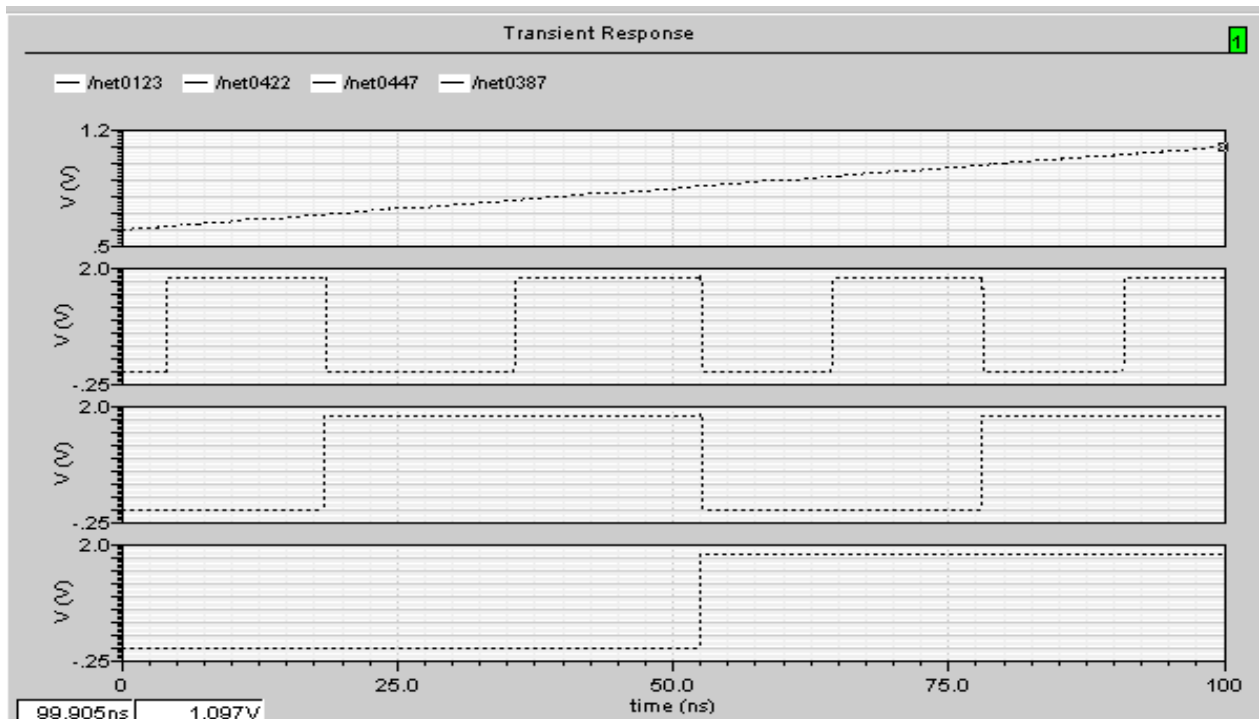
espacés et dont la distance entre chaque niveau correspond au bit le moins significatif ;  
l'entrée du CAN étant une rampe.



**Figure 5.13: Courbe de réponse DC liée au CAN à 3 bits par la seconde méthode**

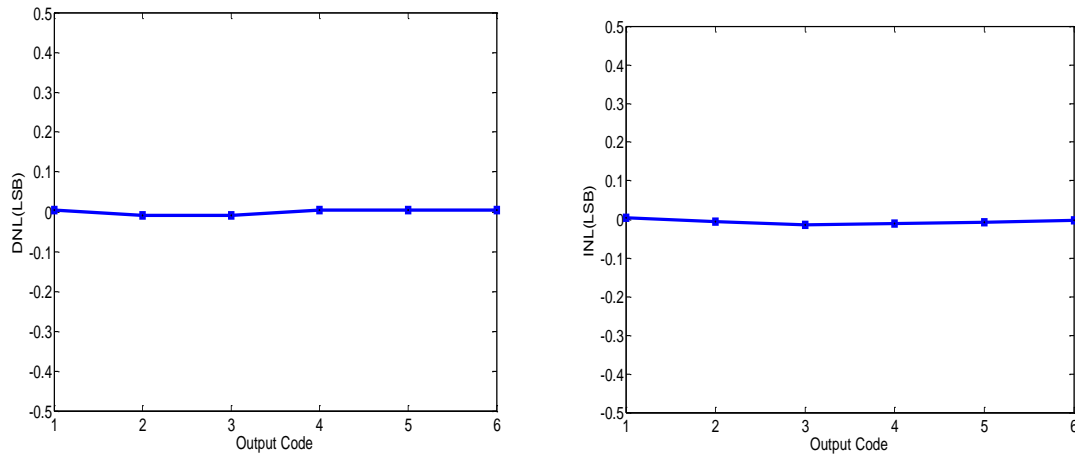
Pour l'analyse transitoire, un signal de type rampe est encore placée à l'entrée du CAN et sa sortie est numérique. On constate aisément que cette sortie numérique sur 3 bits varie de 0 à 7 (Figure 5.14).





**Figure 5.14: Analyse transitoire du CAN à 3 bits**

Afin de vérifier que les erreurs de conversion du CAN proposé se situent dans les limites de spécifications, il est important de réaliser des tests. Dans le cadre de ce travail, l'attention est focalisée sur le DNL et le INL présentés à la Figure 5.15. De cette figure, il ressort que toute déviation de la valeur idéale considérée est très petite (de l'ordre de 0,01 LSB).



**Figure 5.15: DNL et INL du CAN à 3 bits**

### 5.2.3 CONCEPTION DU CAN SUR UNE GRANDE PLAGE DYNAMIQUE

L'une des difficultés avec l'architecture de CAN à 3 bits proposée précédemment est la restriction de sa plage de variation ( $V_{TH}$  et  $V_{DD} - V_{TH}$ ) qui peut être problématique pour certaines applications. Pour pallier à cette situation, il est présenté dans cette section une structure de convertisseur de données fonctionnant sur une plage de tension complète de 0 à  $V_{DD}$ .

#### 5.2.3.1 ARCHITECTURE DE CAN PROPOSÉE

L'architecture proposée est une combinaison de trois blocs (U1, U2 et U3) fonctionnant sous différentes plages de tension d'entrée (Figure 5.16): Le premier bloc (U1) fonctionne sous la plage  $V_{SS} - V_{TH}$ ; La plage du second bloc (U2) est de  $V_{TH}$  à  $V_{DD} - V_{TH}$  et le troisième bloc (U3) a une plage qui varie de  $V_{DD} - V_{TH}$  à  $V_{DD}$ . Il est à noter que les périodes des horloges *Clk1* et *Clk2* choisies sont respectivement 2.5 ns et 20 ns afin d'assurer la fonctionnalité du système au complet. Par ailleurs, la décharge des condensateurs C1 et C2

se fait à travers des commutateurs qui n'ont pas été représentés ici pour alléger la figure.

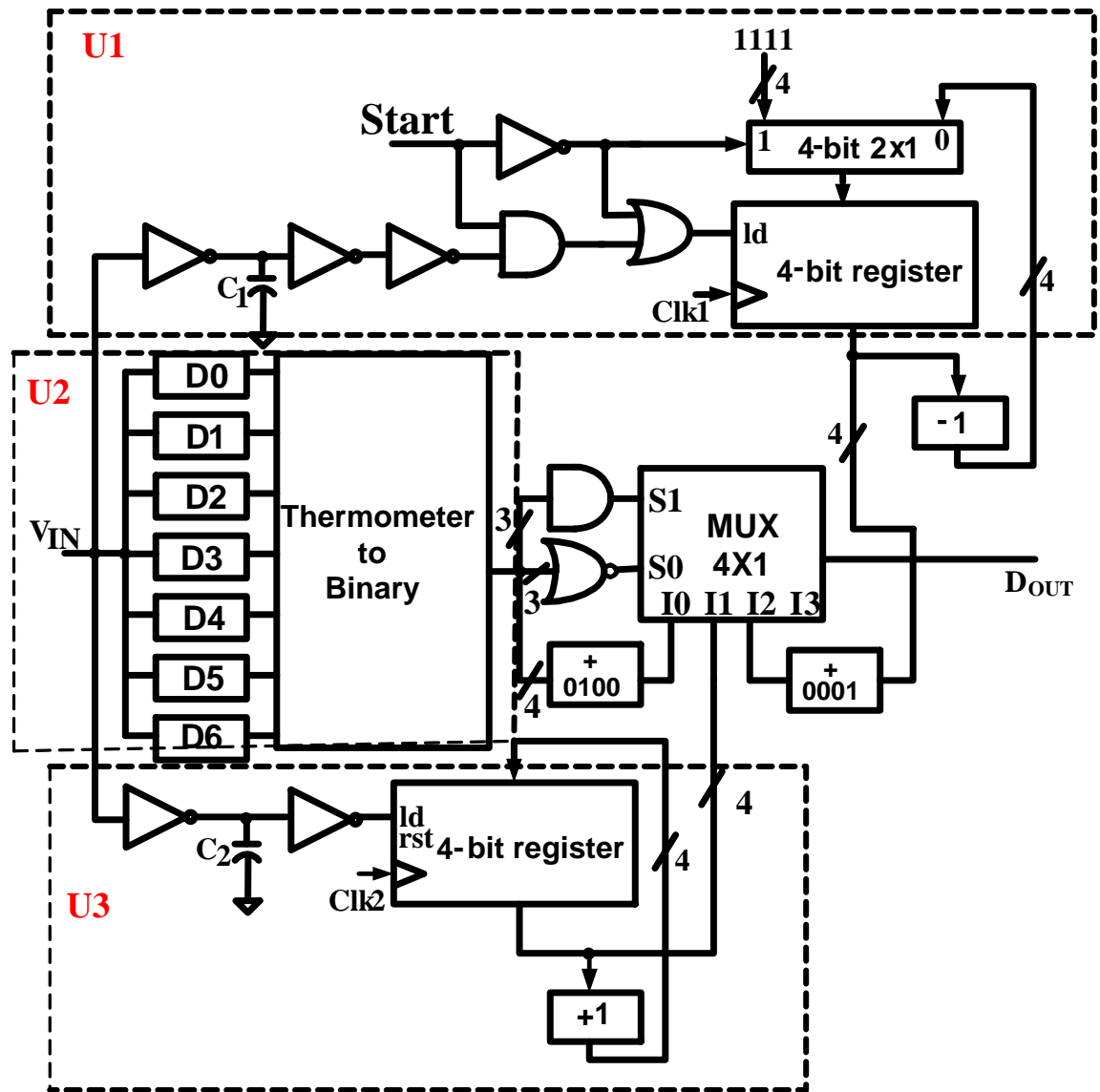
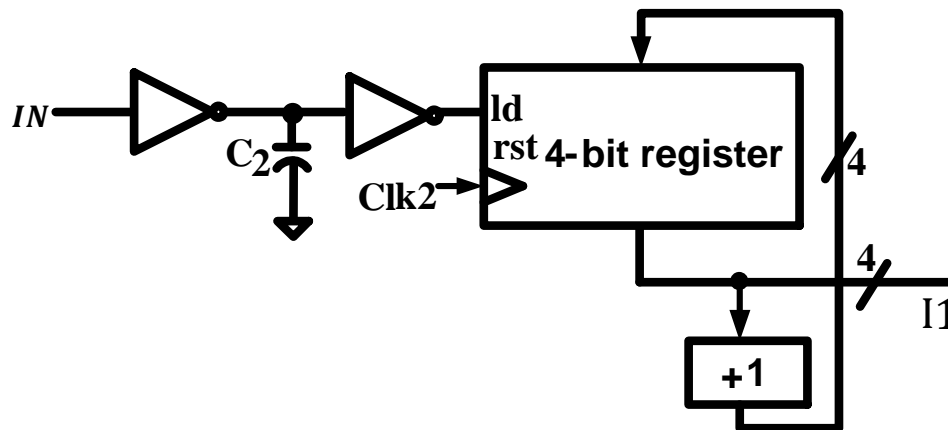


Figure 5.16: Architecture proposée

Il est à noter que le second bloc de cette architecture (U2) est le CAN présenté précédemment et qui est représenté à la Figure 5.16 par les sous-blocs D0 à D6. La sortie

de ce second bloc est convertie en binaire grâce au décodeur et transférée au multiplexeur. Les deux autres blocs (U1 et U3) constitués d'inverseurs, de condensateurs céramiques et compteurs fonctionnent de façon similaire. Pour illustrer cela, le convertisseur dont la tension d'entrée est inférieure à  $V_{TH}$  ( $V_{IN} \leq V_{TH}$ ) est présenté à la Figure 5.17. Il s'en suit alors le chargement de la capacité  $C_2$  à travers le transistor PMOS associé à l'inverseur. En effet durant cette phase, le PMOS de cet inverseur est en conduction tandis que son NMOS est bloqué ; la tension initiale sur  $C_2$  étant 0 V.



**Figure 5.17 : CAN de plage d'entrée  $V_{SS}-V_{TH}$**

La vitesse avec laquelle le PMOS charge  $C_2$  dépend de la tension d'entrée. Quand la tension d'entrée est  $V_{SS}$ , un courant de grande intensité traverse ce transistor. Ce qui se traduit par un chargement rapide de  $C_2$ . Par ailleurs un courant de plus faible intensité traverse le transistor PMOS lorsque l'entrée est à  $V_{TH}$ . Ce qui signifie que le condensateur se charge lentement.

Pendant la charge du condensateur  $C_2$ , un compteur est déclenché. Ce compteur est arrêté lorsque la tension aux bornes du condensateur atteint la tension seuil de l'inverseur le suivant ( $V_{DD}/2$ ). Par conséquent, la valeur finale du compteur dépend de la vitesse de chargement du compteur qui, à son tour, dépend de la tension d'entrée. Une sortie numérique qui dépend de la tension d'entrée est ainsi obtenue: C'est le principe de base de ce convertisseur qui convertit la tension d'entrée  $V_{IN} \leq V_{TH}$ .

L'entrée *rst* qui est nécessaire pour la remise à zéro du compteur avant son déclenchement doit être maintenue à '1' lors du fonctionnement normal de ce dernier. Le deuxième inverseur après la capacité  $C_2$  est utilisé comme un comparateur numérique dont la sortie est HAUT jusqu'à ce que son entrée atteigne le seuil  $V_{DD}/2$ . Lorsque le signal de sélection *ld* est '1', le contenu du registre est incrémenté tandis que *ld*='0' maintient le contenu du registre.

Un raisonnement similaire peut être appliqué au troisième bloc de l'architecture proposée. Le principe de fonctionnement de ce bloc est basé sur la décharge de la capacité  $C_1$  à travers le NMOS lorsque la tension d'entrée  $V_{IN} \geq V_{DD} - V_{TH}$ . La différence principale dans ce bloc est que le compteur décrémente son contenu à partir sa valeur maximale "1111". Par ailleurs quand la tension d'entrée est  $V_{DD}$ , la décharge de  $C_1$  est rapide et le compteur affiche une grande valeur. Par contre lorsque la tension d'entrée est  $V_{DD} - V_{TH}$ , la décharge du condensateur est plus lente et le contenu du compteur a la plus petite valeur.

Finalement, le multiplexeur 4x1 sélectionne la sortie adéquate dépendamment de la plage de tension d'entrée. De plus, dans le but de permettre à ce convertisseur constitué

de trois blocs de générer une sortie cohérente, les sorties des deuxièmes et troisièmes blocs sont ajustées en conséquence afin d'éviter tout chevauchement entre les trois plages de sortie de ces différents blocs. Ceci est fait en ajoutant les nombres "0100" et "0001" respectivement aux sorties des deuxièmes et troisièmes blocs.

### 5.2.3.2 ANALYSE THEORIQUE DU CAN PROPOSÉ

Dans le but de mieux comprendre ce convertisseur, des relations mathématiques décrivant le fonctionnement de son premier et de son troisième bloc ont été établies ; le fonctionnement du second bloc ayant déjà été présenté précédemment.

Pour cela, notre attention est focalisée sur le temps de conversion qui est le temps nécessaire à chacun de ces deux blocs pour générer une sortie correcte. Comme mentionné précédemment, le premier et le troisième bloc utilisent respectivement le principe de charge et de décharge d'une grande capacité. Ces blocs évaluent respectivement le temps requis pour charger et décharger cette capacité à  $V_{DD}/2$ . Ce temps requis dépend non seulement de la tension d'entrée  $V_{IN}$  mais aussi de la région de fonctionnement des transistors.

Considérons d'abord le premier bloc du convertisseur proposé ( $V_{IN} \leq V_{TH}$ ) et déterminons le temps de conversion en fonction de la région de fonctionnement du transistor PMOS (saturation ou triode). Lorsque ce transistor est en mode saturation ( $V_D \leq V_{IN} + V_{TH}$ ), le temps de conversion associé est déterminé par la formule suivante:

$$t_c = \frac{C_2(V_{IN} + V_{TH})}{\frac{1}{2} \mu_p C_{OX} \frac{W}{L} (V_{DD} - V_{IN} - V_{TH})^2} \quad (5.8)$$

En particulier lorsque  $\frac{V_{DD}}{2} - V_{TH} < V_{IN} \leq V_{TH}$  et puisque le compteur est arrêté

quand la tension aux bornes du condensateur  $C_2$  est  $V_{DD}/2$ , alors le temps de conversion lié à la saturation du transistor est:

$$t_c = \frac{C_2 V_{DD} / 2}{\frac{1}{2} \mu_p C_{ox} \frac{W}{L} (V_{DD} - V_{IN} - V_{TH})^2} \quad (5.9)$$

Lorsque le transistor fonctionne en mode triode ( $V_D \geq V_{IN} + V_{TH}$ ), le temps de conversion est obtenu en utilisant l'équation suivante:

$$\int_0^{t_c} i_{DP} dt = C_2 \int_{V_{IN} + V_{TH}}^{V_{DD}/2} dV_D \quad (5.10)$$

De cette équation, le temps de conversion en mode triode est déduit:

$$t_c = \frac{C_2}{\mu_p C_{ox} \frac{W}{L} (V_{DD} - V_{IN} - V_{TH})} \ln \left( \frac{V_{DD} - V_{IN} - V_{TH}}{V_{DD}/2} \right) \quad (5.11)$$

Il est possible que le transistor PMOS change de région de fonctionnement lors de la charge du condensateur de 0 à  $V_{DD}/2$ . Cette situation se présente lorsque  $0 \leq V_{IN} < \frac{V_{DD}}{2} - V_{TH}$ . Dans ce cas, le temps de conversion total est la somme des temps de conversion en mode saturation et triode :

$$t_c = \frac{C_2 (V_{IN} + V_{TH})}{\frac{1}{2} \mu_p C_{ox} \frac{W}{L} (V_{DD} - V_{IN} - V_{TH})^2} + \frac{C_2}{\mu_p C_{ox} \frac{W}{L} (V_{DD} - V_{IN} - V_{TH})} \ln \left( \frac{V_{DD} - V_{IN} - V_{TH}}{V_{DD}/2} \right) \quad (5.12)$$

Pendant la charge/décharge du condensateur, un compteur est

incrémenté/décémenté. Lorsque  $V_D = V_{DD}/2$ , le compteur est arrêté et son contenu est examiné. Ainsi la valeur numérique de la tension analogique d'entrée correspondante est :

$$N_d = \left\lfloor \frac{t_c}{T_{clock}} \right\rfloor \quad (5.13)$$

Où  $T_{clock}$  est la période de l'horloge associée au compteur.

Fort des équations (5.9), (5.12) et (5.13), il est possible de calculer les valeurs numériques escomptées. Les résultats obtenus sont présentés dans le tableau 5.1 suivant :

**Tableau 5.1 : Relation entrée/sortie pour  $V_{IN} \leq V_{TH}$**

Entrée analogique ( $V_{IN}$ )	Sortie numérique ( $N_d$ )
0.1 V	0010
0.2 V	0010
0.3 V	0011
0.4 V	0100
0.5 V	0101

Ces valeurs sont obtenues pour  $T_{clock} = 20 \text{ ns}$ ,  $V_{TH} = 0.5 \text{ V}$ ,  $V_{DD} = 1.8 \text{ V}$ ,  $\mu C_{ox} \frac{W}{L} = 0.0003$  et  $C_2 = 10 \text{ pF}$ .

Par ailleurs il est important d'évaluer la résolution  $N$  de ce convertisseur. Pour cela, la relation entre le pas de quantification d'un convertisseur, son entrée et sa plage dynamique  $V_{TH}$  est :

$$\frac{N_d}{2^N} = \frac{V_{IN}}{V_{TH}} \quad (5.14)$$



En particulier la résolution est précise lorsque le temps de conversion est maximal. Ce cas se présente quand la tension d'entrée atteint la valeur de  $V_{TH}$ . Ainsi en utilisant (5.13), l'équation (5.14) permet d'écrire :

$$N = \left\lfloor \frac{1}{\ln 2} \ln \left[ \frac{C_2 V_{DD}}{\mu_p C_{ox} \frac{W}{L} T_{clock} (V_{DD} - 2V_{TH})^2} \right] \right\rfloor \quad (5.15)$$

Considérons maintenant la décharge de la capacité  $C_1$  du troisième bloc du nouveau convertisseur lorsque l'entrée varie de  $V_{DD} - V_{TH}$  à  $V_{DD}$ . La vitesse de conversion dépend de la vitesse du bloc et de la valeur de la tension d'entrée. Dans le but de permettre le décompte avant l'arrivée du signal d'arrêt de ce troisième bloc, la tension initiale aux bornes du condensateur a été fixée à une valeur différente de  $V_{DD}$ . Soit  $V_{ic} = 1.1 V$  cette valeur initiale de tension aux bornes de  $C_1$ . Le temps de conversion est le temps nécessaire à la sortie  $V_D$  pour passer  $V_{ic}$  à  $\frac{V_{DD}}{2}$ . Pour la conversion avec ce troisième bloc, trois cas de figures se présentent:

- Lorsque la tension d'entrée  $V_{DD} - V_{TH} < V_{IN} \leq \frac{V_{DD}}{2} + V_{TH}$ , le transistor NMOS est toujours en mode saturation ( $V_D \geq V_{IN} - V_{TH}$ ). Le temps de conversion associé est :

$$t_c = \frac{C_1 \left( V_{ic} - \frac{V_{DD}}{2} \right)}{\frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{IN} - V_{TH})^2} \quad (5.16)$$

- Si  $\frac{V_{DD}}{2} + V_{TH} < V_{IN} < V_{ic} + V_{TH}$  le transistor fonctionne à la fois en mode

triode et en mode saturation pendant la décharge du condensateur  $C_1$  de  $V_{ic}$  à  $V_{DD}/2$ . Le temps de conversion correspondant à cette situation est :

$$t_c = \frac{C_1 (V_{ic} - V_{IN} + V_{TH})}{\frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{IN} - V_{TH})^2} + \frac{C_1}{\mu_n C_{ox} \frac{W}{L} (V_{IN} - V_{TH})} \ln \left( \frac{V_{IN} - V_{TH}}{V_{DD}/2} \right) \quad (5.17)$$

➤ Enfin lorsque  $V_{ic} + V_{TH} \leq V_{IN} \leq V_{DD}$ , le transistor est en mode triode en permanence ( $V_D \leq V_{IN} - V_{TH}$ ). Dans ce cas, le temps de conversion est donné par la formule suivante :

$$t_c = \frac{C_1}{\mu_n C_{ox} \frac{W}{L} (V_{IN} - V_{TH})} \ln \left( \frac{V_{ic}}{V_{DD}/2} \right) \quad (5.18)$$

Comme précédemment, les valeurs numériques escomptées sont déduites en utilisant les équations (5.16), (5.17) et (5.18) avec  $T_{clock} = 2.5 \text{ ns}$  et  $\mu C_{ox} \frac{W}{L} = 0.00035$ ; les autres paramètres restant inchangés. Les résultats obtenus sont présentés dans le tableau suivant :

**Tableau 5.2 : Relation entrée/sortie du CAN pour  $V_{DD} - V_{TH} \leq V_{IN} < V_{DD}$**

Entrée analogique ( $V_{IN}$ )	Sortie numérique ( $N_d$ )
1.3 V	1010
1.4 V	1010
1.5 V	1100
1.6 V	1101
1.7 V	1110
1.8 V	1111

Par ailleurs la résolution de ce troisième bloc de convertisseur est obtenue lorsque

le temps de conversion est minimal. Cette situation se présente quand la tension d'entrée est  $V_{DD} - V_{TH}$ .

Fort des équations (5.14) et (5.16), le nombre de bits de ce convertisseur est déduit comme suit :

$$N = \left\lceil \frac{1}{\ln 2} \ln \left[ \frac{2C_1 V_{TH} (V_{ic} - V_{DD}/2)}{\mu C_{ox} \frac{W}{L} T_{clock} (V_{DD} - V_{TH})(V_{DD} - 2V_{TH})^2} \right] \right\rceil \quad (5.19)$$

### 5.2.3.3 RESULTATS DE SIMULATION

Dans le cadre de la simulation à l'aide de l'outil Spectre de Cadence, les valeurs des paramètres utilisées sont identiques à celles employées dans l'analyse théorique précédente.

Lorsque l'entrée varie de 0 à  $V_{TH}$ , les résultats suivants sont obtenus :

**Tableau 5.3 : Relation entrée/sortie du CAN pour  $V_{IN} \leq V_{TH}$**

Entrée analogique ( $V_{IN}$ )	Sortie numérique ( $N_d$ )
0.1 V	0001
0.2 V	0010
0.3 V	0011
0.4 V	0100
0.5 V	0101

Le tableau suivant est obtenue lorsque le signal d'entrée varie de 0.6 V à 1.2 V :

**Tableau 5.4 : Relation entrée/sortie du CAN pour  $V_{TH} \leq V_{IN} < V_{DD} - V_{TH}$** 

Entrée analogique ( $V_{IN}$ )	Sortie numérique ( $N_d$ )
0.6 V	0101
0.7 V	0111
0.8 V	1000
0.9 V	1001
1.0 V	1010
1.1 V	1011
1.2 V	1011

Pour le troisième bloc, lorsque l'entrée varie de 1.3 V à  $V_{DD}$ , les sorties sont:

**Tableau 5.5 : Relation entrée/sortie du CAN pour  $V_{DD} - V_{TH} \leq V_{IN} < V_{DD}$** 

Entrée analogique ( $V_{IN}$ )	Sortie numérique ( $N_d$ )
1.3 V	1011
1.4 V	1100
1.5 V	1101
1.6 V	1110
1.7 V	1110
1.8 V	1111

### 5.3 CONCLUSION

Il a été exposé dans ce chapitre de nouvelles architectures de convertisseurs de données analogique-numériques utilisant uniquement des cellules normalisées. Dans un premier temps, des architectures dont la plage des tensions d'entrée varie entre  $V_{TH}$  et  $V_{DD} - V_{TH}$  ont été présentées. Dans un second, une autre structure dont la plage dynamique est complète et varie de  $V_{SS}$  à  $V_{DD}$  a été présentée. Cette nouvelle architecture est rendue possible grâce à l'implémentation des condensateurs et l'utilisation des

compteurs. La fonctionnalité de ces architectures a été démontrée. La linéarité de ces convertisseurs de données a également été discutée dans ce chapitre. Ainsi des techniques d'optimisation ont été présentées en vue de rendre linéaire des architectures non linéaires. De plus des simulations à l'aide de Cadence ont été effectuées afin de valider nos résultats.

## CHAPITRE 6

### ARCHITECTURE ET IMPLÉMENTATION DU CAN FLASH À 4 BITS

#### 6.1 INTRODUCTION

Après avoir présenté les convertisseurs flash à 3 bits dans le chapitre précédent, ce nouveau chapitre repose essentiellement sur une architecture de CAN à 4 bits et son implémentation sur puce. Cette architecture qui est basée uniquement sur les cellules normalisées est constituée de plusieurs portes logiques. Une technique permettant de réduire la consommation de puissance de ce CAN à 4 bits est également présentée. En plus de sa rapidité, ce convertisseur flash apparaît comme étant un candidat idéal pour des applications de faible résolution.

La première partie de ce chapitre est consacrée à l'architecture de ce CAN à 4 bits, son principe de fonctionnement et à la présentation des résultats de simulation. La seconde partie, quant à elle, repose sur les techniques d'implémentation de ce convertisseur sur puce (dessin des masques ou *layout*) et les tests sur les puces fabriquées en technologie CMOS 0.18  $\mu\text{m}$ .

#### 6.2 ARCHITECTURE DU CAN A 4 BITS

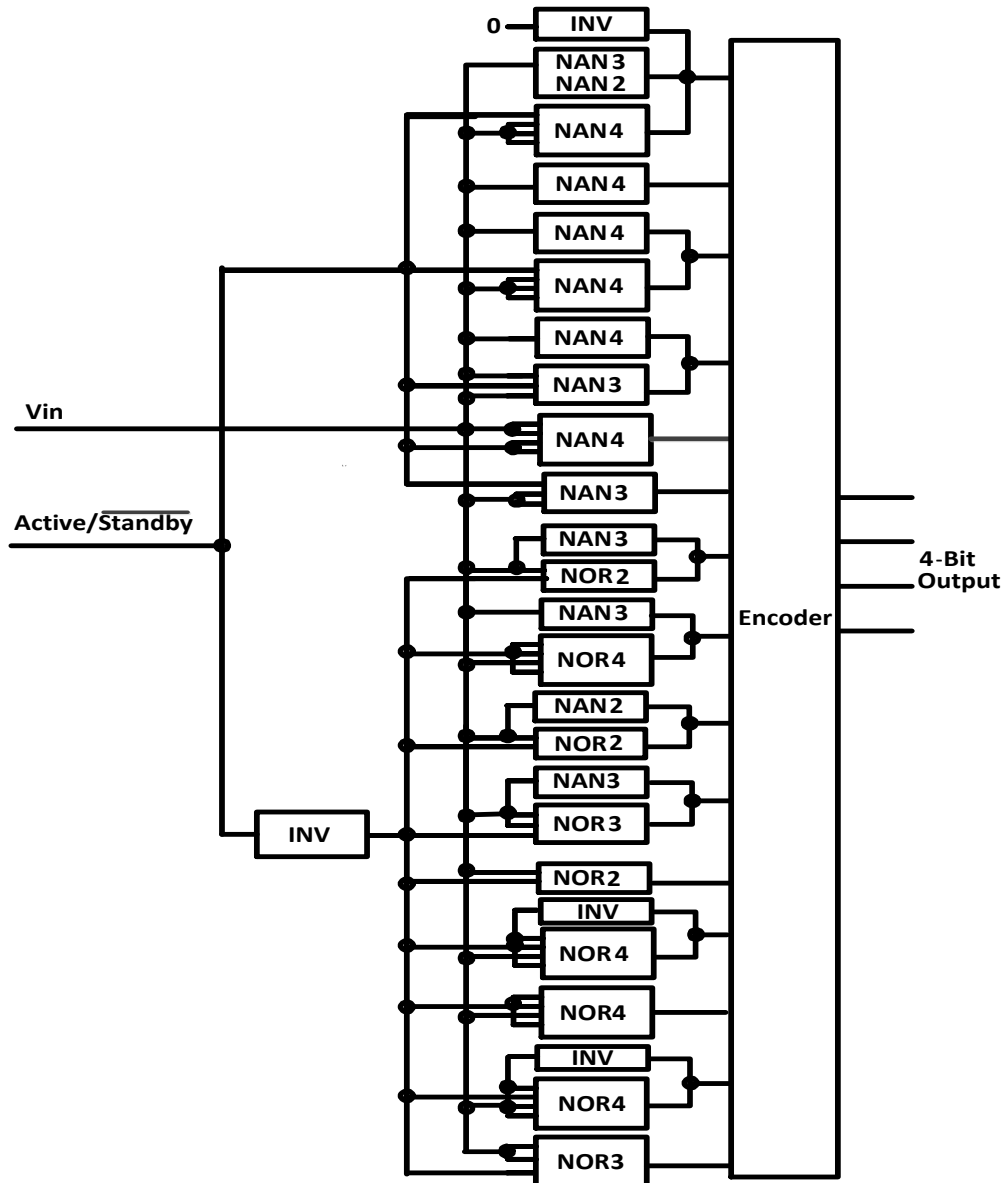
L'architecture proposée utilise une méthode essentiellement basée sur les seuils des portes logiques (Figure 6.1). Son principe de fonctionnement est le suivant : Constitué de plusieurs portes logiques ayant une entrée commune, ce type de convertisseur génère à sa sortie un code thermomètre dépendamment de la tension à son entrée et des seuils de ses portes. En effet, les comparateurs (portes ou blocs de portes) dont les seuils sont supérieurs

à la tension d'entrée auront des '0' à leurs sorties tandis que ceux possédant des seuils inférieurs à l'entrée généreront des '1'. Par ailleurs, le CAN proposé utilise aussi un encodeur pour convertir le code thermomètre en code binaire. Afin d'optimiser la vitesse, la littérature propose d'utiliser un encodeur de type *Fat-tree* [50, 51] car il est le plus rapide des encodeurs.

Dans le but de mieux comprendre ce principe de fonctionnement, considérons une porte logique NAND à  $K$  entrées ( $K=2, 3, 4$ ) et dont les entrées sont connectées ensemble. Dans une telle configuration, la porte fonctionne comme un inverseur mais son seuil est inférieur à celui d'un inverseur. De plus, le nombre d'entrées affecte aussi la valeur du seuil résultant. En effet, un NAND à 4 entrées aura un seuil plus faible d'un NAND à 2 entrées. Par ailleurs, en connectant une porte en parallèle à une porte considérée, l'on peut aisément augmenter ou réduire son seuil par essais-erreurs. Mathématiquement le seuil d'une porte est calculé comme suit :

$$V_{GTH} = \frac{V_{DD} - V_{TH} + M \cdot V_{TH}}{M + 1} \quad (6.1)$$

$M$  est le nombre de NMOS connecté en parallèle,  $V_{TH}$  le seuil des transistors et  $V_{DD}$  la tension d'alimentation. Toutefois en utilisant cette technique, la plage de tension d'entrée est limitée. Elle est comprise entre  $V_{TH}$  et  $V_{DD} - V_{TH}$ .



**Figure 6.1 : Architecture du CAN à 4 bits**

Dans l'architecture proposée, il existe une entrée de contrôle permettant aux portes logiques de fonctionner en stand-by ou en mode actif. En mode actif, les entrées de contrôle des portes NOR sont placées à '0' tandis que ceux des portes NAND sont à '1'. Il est aussi



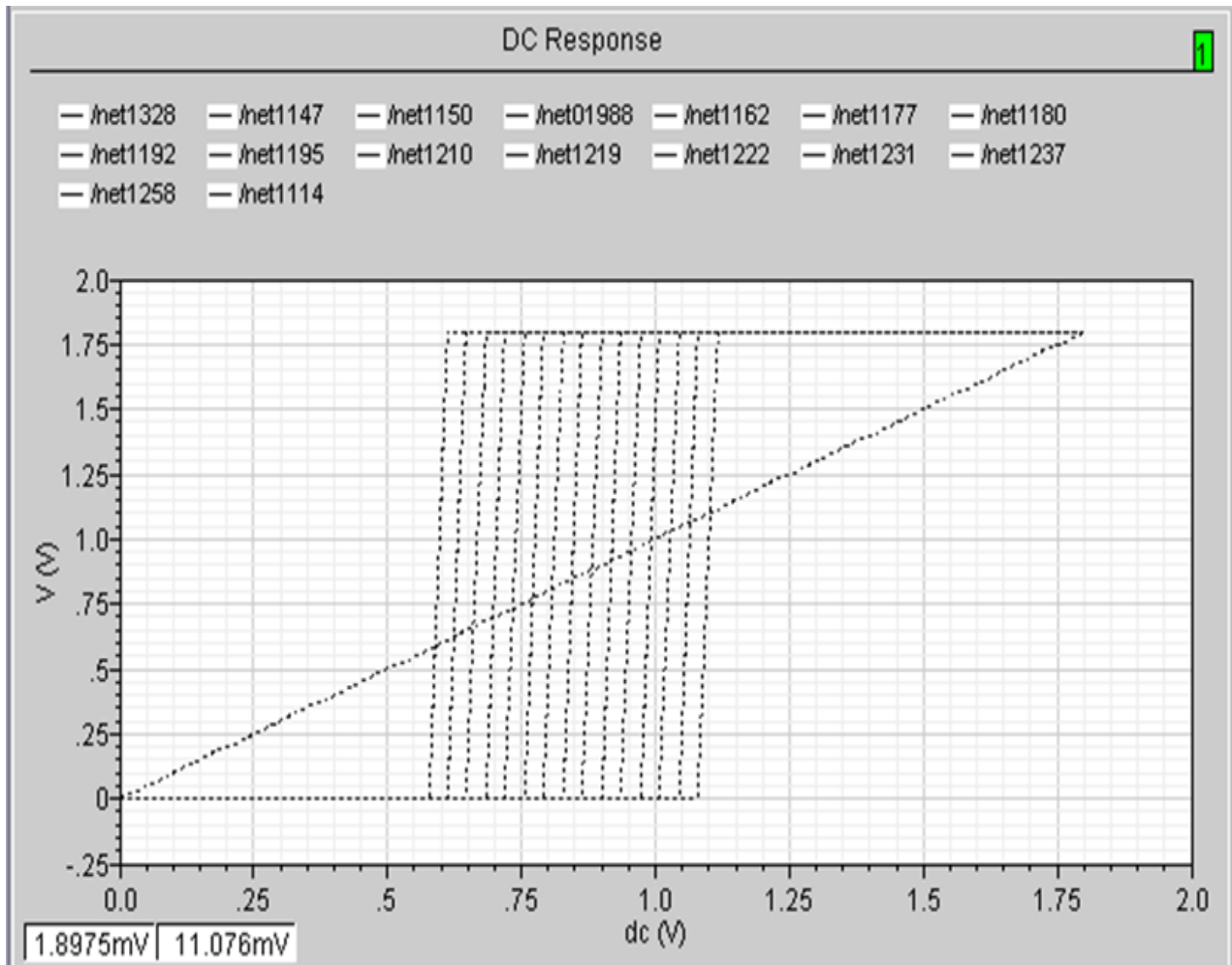
important de mentionner que l'inverseur en haut de la figure est mis à '0'. Ceci permet d'augmenter le seuil de ce comparateur.

En mode stand-by, les entrées de contrôle des portes NOR sont à '1' et ceux des portes NAND sont à '0'. Dans ce cas, les sorties des NAND et NOR sont respectivement à '1' et à '0' pour toute valeur du signal d'entrée. Ceci permet une réduction de la consommation de puissance au cas où l'entrée n'est ni à  $V_{DD}$  ni à  $V_{SS}$  et le convertisseur n'est pas en fonctionnement. Quand le comparateur est constitué de NAND et d'un NOR, ce type de connexion conduit à un court-circuit. Toutefois les tests montrent que ce courant de court-circuit dissipe moins de puissance que la puissance sauvegardée en mode stand-by.

## 6.2.1 RESULTATS DES SIMULATIONS

### A. PARAMETRES STATIQUES DU CAN : DNL ET INL

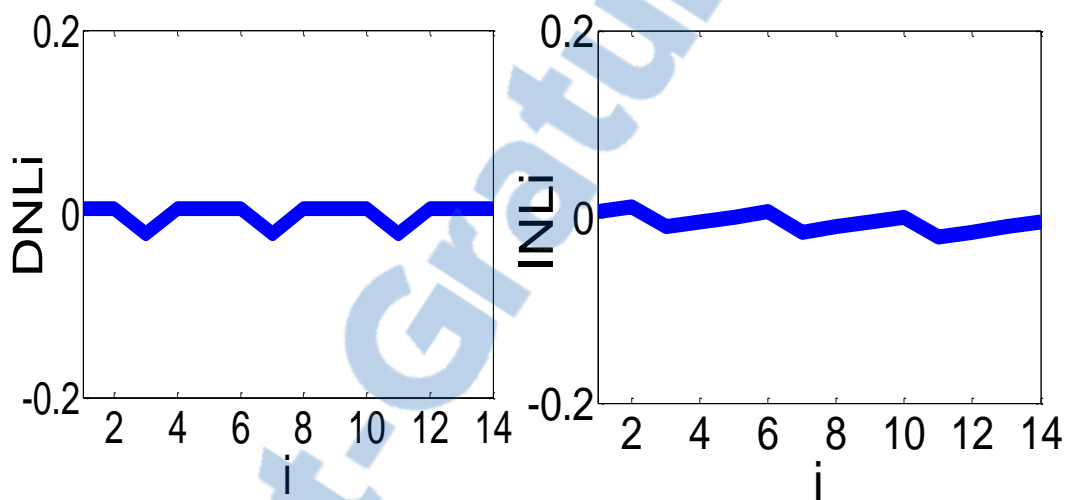
Afin de s'assurer de la fonctionnalité du CAN proposé, une analyse DC a été effectuée (Figure 6.2). Sur la Figure 6.2 obtenue, l'on observe 15 niveaux de tensions seuils du CAN lorsqu'un signal rampe est placé à son entrée. Il ressort également de la Figure 6.2 que l'espacement entre les comparateurs adjacents est identique. Ceci réduit les risques d'avoir des codes manquants ou des sauts de niveaux.



**Figure 6.2 : Analyse DC du CAN à 4 bits**

La Figure 6.2 permet de constater que la plage du signal d'entrée est limitée entre  $V_{TH}$  et  $V_{DD}-V_{TH}$ . Considérant la technologie CMOS  $0.18 \mu\text{m}$ , ceci correspond respectivement à une tension minimale et maximale de 0.587 V et 1.102V. Ainsi l'espacement entre deux bits consécutifs est 36.7mV.

Afin de vérifier que les erreurs de conversion du CAN proposé se situent dans les limites de spécifications, il est important de réaliser des tests. Dans le cadre de ce travail, l'attention est focalisée sur les paramètres statiques (DNL et INL) présentés à la Figure 6.3. De cette figure, il est aisé de conclure que toute déviation de la valeur idéale considérée est très petite. En l'absence de mésappariement, cette erreur est bornée dans l'intervalle  $\pm 0.005$  LSB.

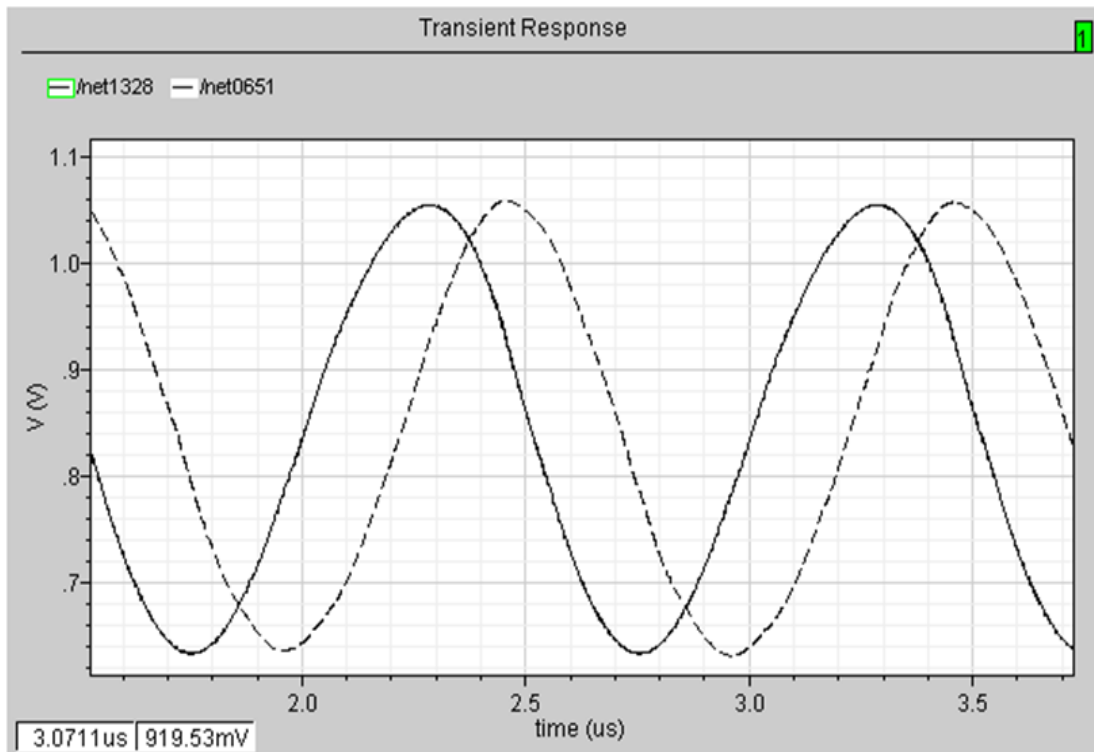


**Figure 6.3 : DNL et INL du CAN à 4 bits proposé**

#### B. PARAMETRE DYNAMIQUE DU CAN A 4 BITS : SFDR

Dans cette section l'intérêt est maintenant porté sur paramètres dynamiques du convertisseur proposé. Dans les tests réalisés, un signal sinusoïdal de 1 MHz a été utilisé à l'entrée. La sortie du CAN est un signal numérique. Afin de mieux comparer les signaux d'entrée et de sortie, la sortie du CAN est reconvertie en signal analogique grâce à un CNA idéal et un filtre passe-bas dont la fréquence de coupure est de 1,2 MHz. Les résultats issus de ce test sont présentés à la Figure 6.4. Il est à noter que le signal d'entrée est la courbe en

continu tandis que le signal de sortie est la courbe en interrompue. Les paramètres dynamiques mesurés du CAN tels le rapport signal sur bruit et le SFDR sont respectivement 22.89 dB et 30.77 dB. Ces valeurs sont jugées acceptables d'après la littérature [52].



**Figure 6.4 : Signaux d'entrée et de sortie du CAN**

### C. SENSIBILITE AUX VARIATIONS DE PROCEDE, DE TEMPERATURE ET D'ALIMENTATION

Des simulations supplémentaires ont été effectuées dans le but de tester la robustesse du CAN aux variations de procédé, de température et d'alimentation. Les résultats de ce test permettent de conclure que ce CAN est monotone et très linéaire. En

considérant les variations PVT, les non linéarités différentielles restent dans une plage acceptable jusqu'à ce que la température atteigne 85°C, la tension d'alimentation dépasse 1.89 V et lorsque le procédé de fabrication considéré est FAST-FAST. Ceci permet de conclure que l'architecture proposée est sensible aux variations de procédés, de température et d'alimentation. Afin de réduire les effets de variation d'alimentation sur le fonctionnement du CAN, il est possible d'utiliser des techniques d'isolation du substrat ou le filtrage de l'alimentation.

## 6.2.2 COMPARAISON DU CAN PROPOSE AVEC CEUX DE LA LITTERATURE

La comparaison des performances du CAN proposé avec ceux rencontrés dans la littérature sont présentés au tableau 6. Les résultats présentés dans ce tableau sont issus des simulations. En termes de consommation de puissance et de vitesse de conversion, notre architecture a une meilleure performance. De façon spécifique, l'architecture proposée consomme 66% et 44% moins de puissance comparée à celles décrites respectivement dans [53] et [54]. La seule architecture consommant moins de puissance que la nôtre est celle proposée en [55]. Cependant, cette architecture à une faible résolution comparée à la nôtre et opère à une faible vitesse. En plus d'avoir une faible consommation de puissance comparée aux autres architectures, la structure proposée ici est portable. Il est à noter que certains convertisseurs utilisant des oscillateurs commandés en tension (VCO) semblent posséder une consommation d'énergie plus faible que le CAN proposé. Cependant, le VCO est un élément analogique et donc, ces convertisseurs n'ont pas été présenté ici puisque ce travail de recherche vise la conception des convertisseurs de données par les cellules normalisées.

**Tableau 6.1 : Comparaison du CAN proposé avec ceux de la littérature**

Caractéristique	Ce travail	[53]	[54]	[55]
Technologie ( $\mu\text{m}$ )	0.18	0.18	0.35	0.8
Résolution	4	4	4	3
Plage de tension d'entrée(V)	0.587 ~ 1.102		0.5~1.9	
DNL(LSB)	0.0016	0.4	0.2/-0.9	0.33
INL(LSB)	0.024	1.1	0.2/-0.5	0.22
Consommation de puissance	6.9 mW	20 mW	12.4 mW	4.86 mW
Vitesse d'échantillonnage	415 MHz	400 MHz	200 MHz	300 MHz
Portabilité	Oui	Non	Non	Non

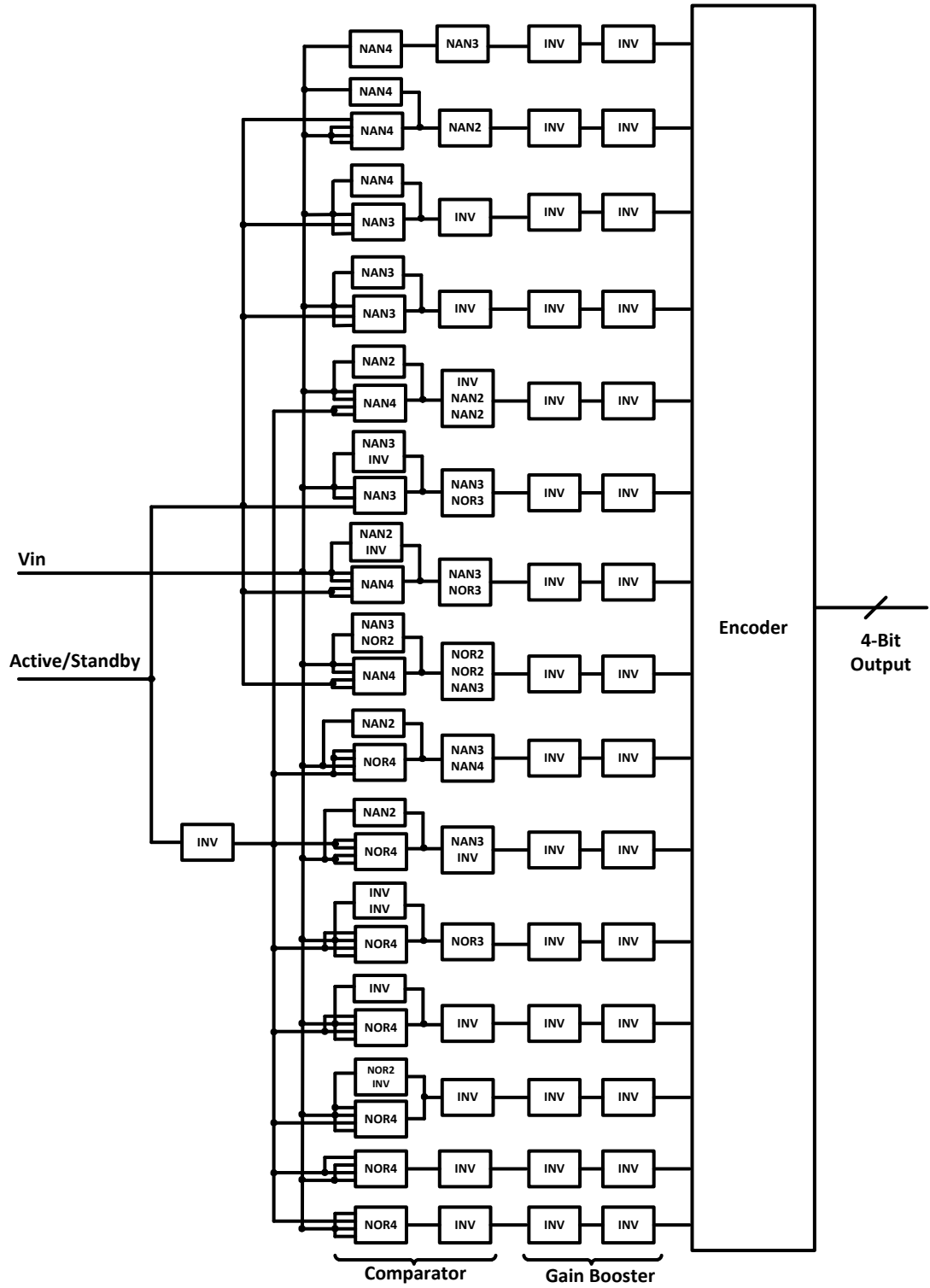
### 6.3 DESSIN DES MASQUES ET IMPLEMENTATION DU CAN A 4 BITS

Dans cette section, l'architecture du convertisseur à 4 bits qui a été implémentée sur puce est exposée. Cette version est légèrement différente de l'architecture de la Figure 6.1 qui utilise des blocs de composants déjà préconçus dans Cadence et ayant une force de signal assez élevée. Son principe de fonctionnement est similaire à celui décrit à la section

précédente. Cette nouvelle architecture qui utilise des transistors de dimensions classiques ( $W=500\text{nm}$ ,  $L=180\text{nm}$ ) liées à la technologie CMOS P18 est présentée à la Figure 6.5. Elle est constituée d'un bloc comparateur, d'un étage de gain et d'un encodeur. Le comparateur est formé de deux blocs en série : Le premier bloc est utilisé pour la quantification tandis que le second bloc est utilisé pour la mise en forme des signaux et pour l'ajustement des délais entre les différents niveaux afin que ces derniers soient égaux. En effet, le seuil d'une porte NOR/NAND à 4 entrées (NOR4/NAND4) est différente d'une NOR3/NAND3 qui a aussi un seuil différent d'une NOR2/NAND2 et d'un inverseur. Fort de cela, une combinaison de ces portes a permis d'obtenir le seuil souhaité pour chaque niveau de conversion.

L'étage de gain permet d'obtenir une transition plus rapide et l'encodeur est utile pour la conversion du code thermomètre en binaire.

Toutefois la création d'un dessin des masques avec l'outil Cadence (Virtuoso) nécessite le respect de certaines règles de conception. Afin de vérifier que le dessin des masques est sans erreur, une vérification de type DRC (*Design Rule Ckecking*) est nécessaire. Enfin l'extraction de la topologie consiste en la transformation des structures formées par les différentes couches en circuit électrique.





### Figure 6.5 : Architecture du CAN à 4 bits utilisant des transistors de tailles classiques

Tandis que le schématique est idéal pour la conceptualisation du circuit, la topologie (*layout*) quant à elle est un indicateur qui renseigne la fonderie sur la façon de fabriquer la puce considérée. La Figure 6.6 présente notre ADC qui a été envoyé pour fabrication à l'issue de laquelle des tests ont été réalisés. Ce dessin de masque est constitué du bloc comparateur et de l'étage de gain.

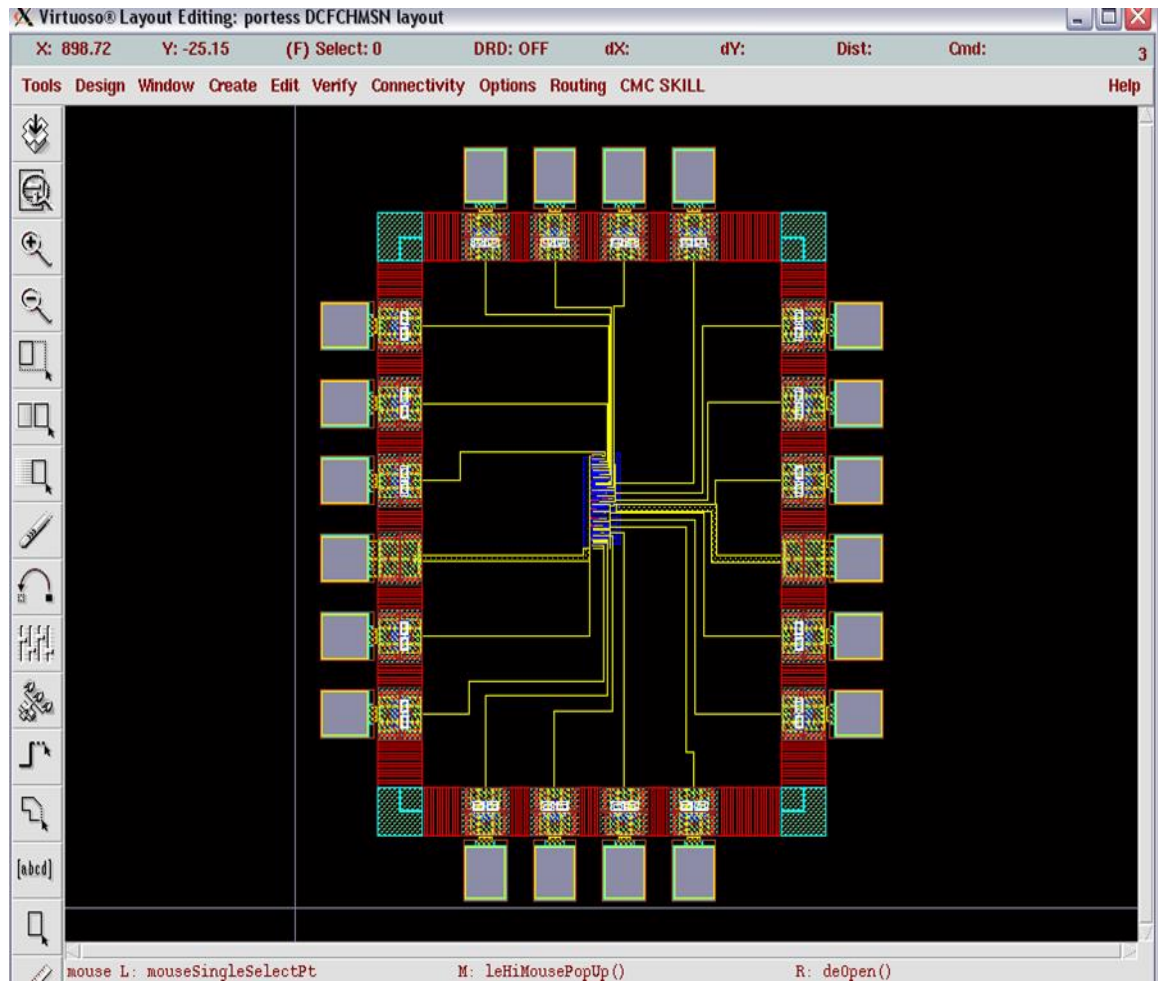


Figure 6.6: Dessins des masques de l'architecture du CAN à 4 bits

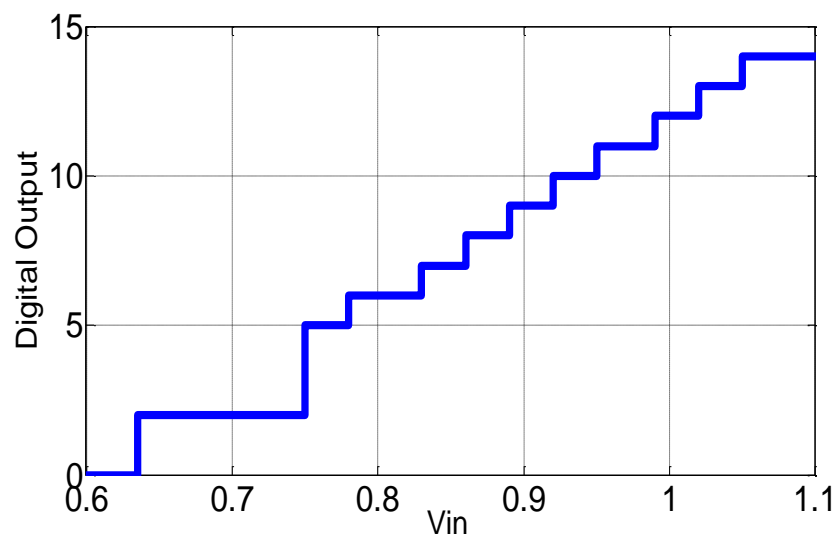
Puisque les règles de dessin fixent des limites garantissant uniquement la faisabilité du procédé, il est donc important de réaliser des tests afin de s'assurer du bon fonctionnement du CAN conçu.

### 6.3.1 TESTS SUR PUCE

Le convertisseur proposé a été conçu et fabriqué en technologie CMOSP18. Pendant les tests, les signaux DC et AC ont été respectivement utilisés afin de déterminer les caractéristiques sur puce de ce CAN à 4 bits. L'analyse des paramètres statiques et dynamiques est présentée dans cette section.

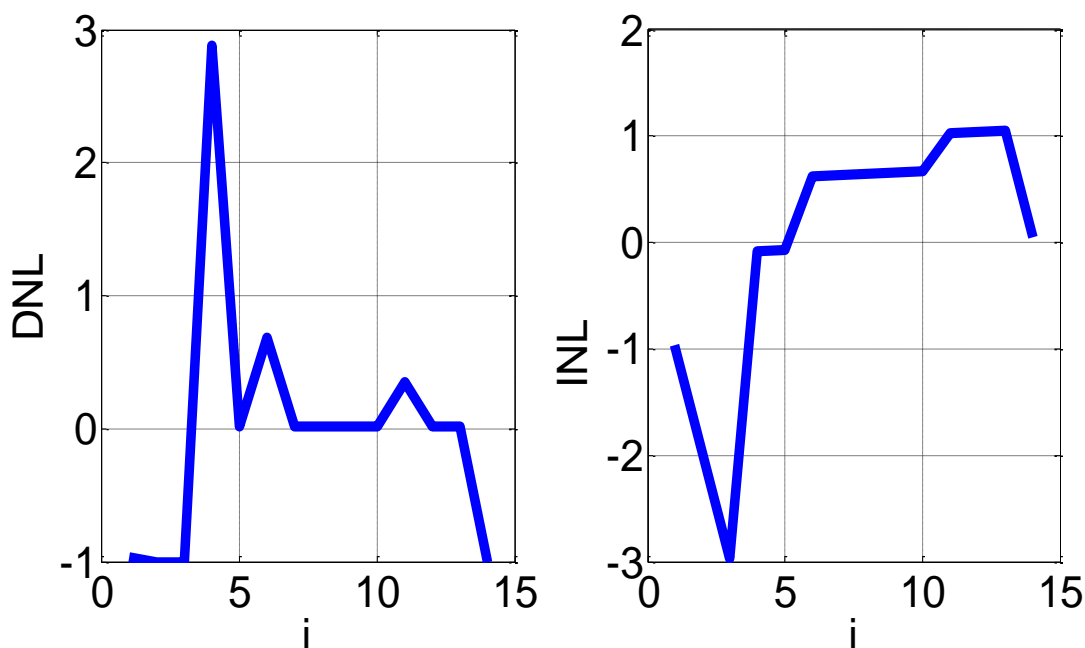
#### 6.3.1.1 ANALYSE STATIQUE

Les tests réalisés sur puce ont permis de tracer la caractéristique de transfert de ce convertisseur de données (Figure 6.7). De cette figure, il ressort que le CAN n'est pas sensible à cette plage de tensions d'entrées ( $0,64 V \leq V_{in} \leq 0,76 V$ ). Ceci pourrait être attribuable aux défauts de fabrication.



**Figure 6.7: Caractéristiques de transfert du CAN à 4 bits sur puce**

De plus les paramètres statiques (DNL et INL) sont représentés à la Figure 6.8. Il ressort de cette figure que le DNL varie de -1 à 2.88 LSB tandis que le INL est compris entre -2.96 et 1.05 LSB. Ceci indique l'existence des codes manquants dans le CAN sur puce. D'autres tests ont permis de constater que le nombre total de codes manquants est de quatre.

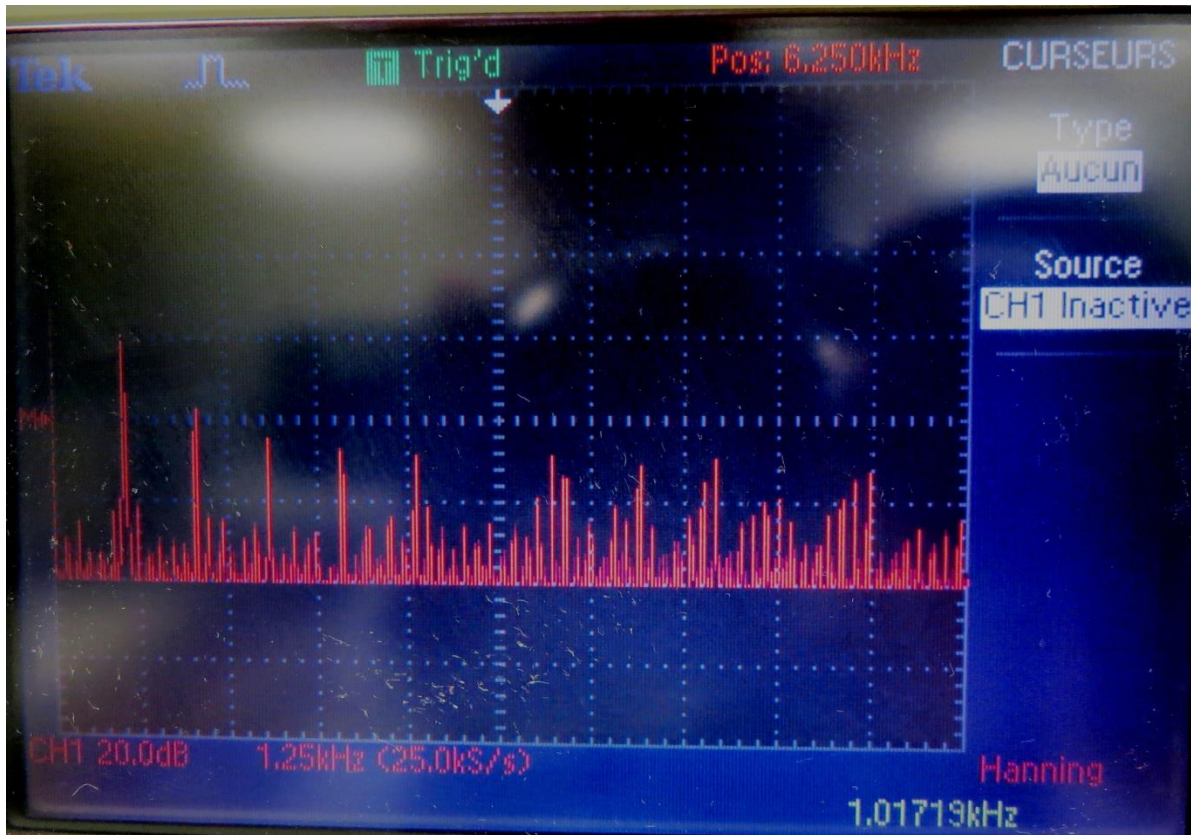


**Figure 6.8 : DNL/INL mesurés**

### 6.3.1.2 ANALYSE DYNAMIQUE

Les performances dynamiques du CAN flash sur puce sont mesurées à l'aide de la transformée de Fourier rapide. La Figure 6.9 montre le spectre de sortie de ce convertisseur lorsque l'entrée et la fréquence d'échantillonnage sont respectivement à 1 KHz et 400 MHz. Ainsi le rapport SINAD et le SFDR sont respectivement de 18.51 dB et 32 dBc. De ces

résultats, il en découle que le nombre de bits effectifs est de 2.78 bits. Ainsi dans la réalité, il y a une perte de résolution du CAN à 4 bits et ce dernier fonctionnerait comme un convertisseur à 3 bits.



**Figure 6.9 : Spectre de sortie mesuré pour  $f_{in} = 1$  KHz**

Par ailleurs la figure suivante montre les courbes d'évolution du nombre effectif de bits (ENOB) et du rapport signal sur bruit (SINAD) en fonction de la fréquence d'entrée. La forme du signal de sortie du convertisseur est présentée à la Figure 6.11. Cette figure montre 11 niveaux de quantification lorsque l'entrée du CAN reçoit un signal sinusoïdal. La figure montre l'existence de 4 codes manquants. Ce signal de sortie est obtenu en utilisant un CNA idéal.

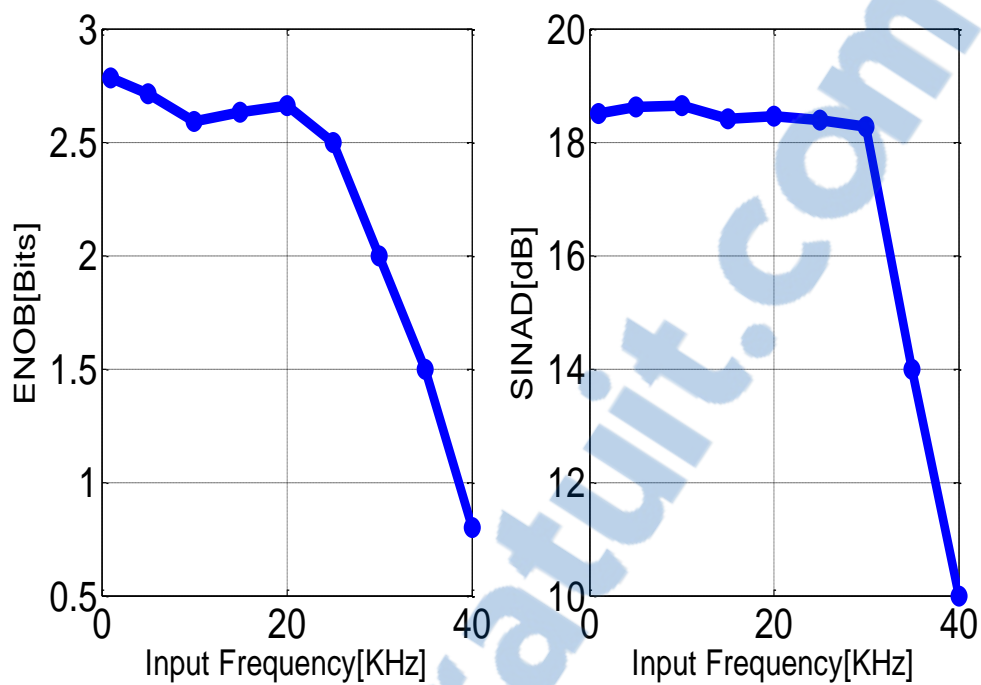


Figure 6.10 : ENOB et SINAD vs Fréquence d'entrée

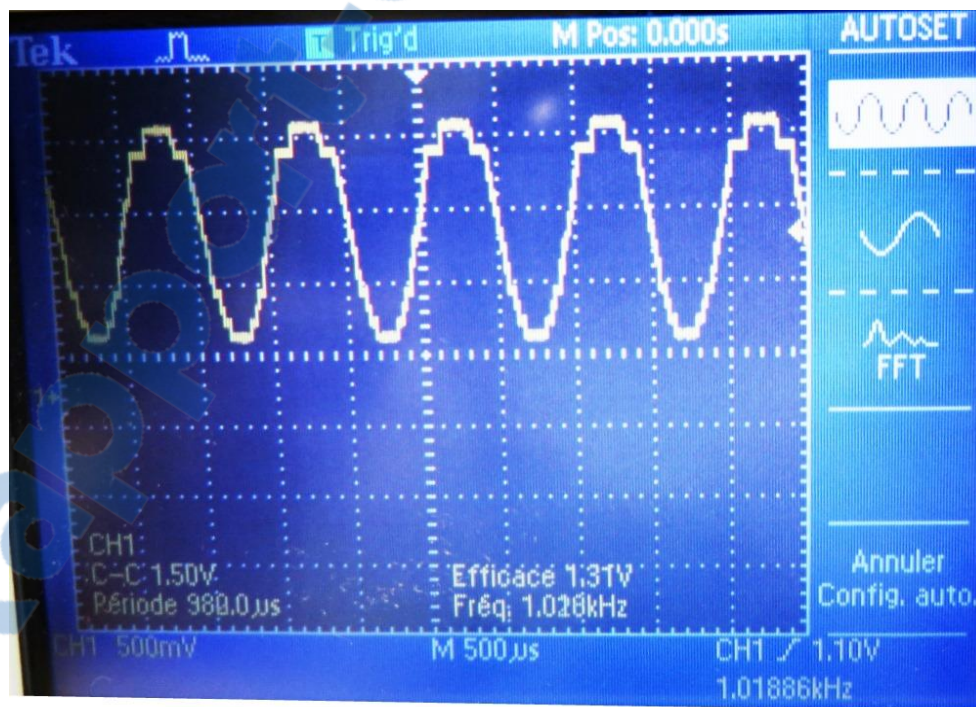


Figure 6.11 : Sortie mesurée du CAN

### 6.3.1.3 PLAGES DE VARIATION

Les tests sur quatre puces fabriquées ont permis d'obtenir les plages de variations suivantes (Tableau 6.2) et de faire la comparaison avec les résultats de simulation. Il en ressort de cette comparaison que les résultats des tests sur puce se rapprochent de ceux de la simulation. On observe tout de même une légère variation sur les valeurs des plages de variations et du pas du convertisseur pour différents tests. Ceci peut être attribué aux variations de procédé, d'alimentation ou de température dont la contribution semble être relativement faible.

**Tableau 6.2 : Plage de variation des puces**

	<b>Vmin(V)</b>	<b>Vmax(V)</b>	<b>VFSR (plage variation, V)</b>	<b>VLSB(V)</b>
T1	0.58	1.063	0.483	0.0345
T2	0.571	1.072	0.501	0.0358
T3	0.578	1.076	0.498	0.0356
T4	0.571	1.086	0.515	0.0367
<b>Simulation cadence</b>	<b>0.587</b>	<b>1.102</b>	<b>0.515</b>	<b>0.0367</b>

### 6.3.1.4 RESUME DES PERFORMANCES

Les performances de ce convertisseur sont résumées dans le Tableau 6.3 ci-dessous.

**Tableau 6.3 : Résumé des performances mesurées du CAN**

Technology	180 nm CMOS
Supply Voltage	1.8V
Resolution	4 Bit
Sampling Rate	400 MS/s
Input Range	550 mVpp
SINAD ( $f_{in}=1$ KHz)	18.51 dB
SFDR ( $f_{in}=1$ KHz)	32 dBc
Power Consumption	10.54mW

#### 6.4 CONCLUSION

L'accent a été particulièrement mis dans ce chapitre sur la nouvelle architecture de CAN flash à 4 bits et son implémentation. Grâce à des combinaisons parallèles d'inverseurs, des portes NOR et NAND, il a été possible de réaliser des comparateurs avec différentes tensions seuils. Pour tester la fonctionnalité de ce convertisseur, des simulations au niveau transistor ont été faites à l'aide du simulateur Spectre de Cadence. Il en ressort que ce CAN possède d'excellentes caractéristiques comparées à celles existant dans la littérature.

Les performances de ce convertisseur permettent de conclure qu'il est un bon candidat pour les systèmes sur puce. Dans cette logique et toujours grâce à l'outil Cadence,

un dessin des masques de ce convertisseur a été réalisé. Quatre puces contenant ce CAN ont aussi été fabriquées. Des tests concluants sur ces puces ont permis de valider la conception de cette nouvelle structure de convertisseur analogique-numérique.



## CHAPITRE 7

### APPLICATION DU CNA PROPOSÉ

#### 7.1 INTRODUCTION

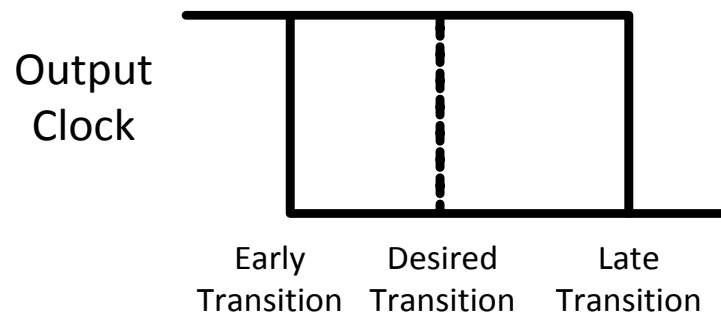
Les convertisseurs de données peuvent être exploités dans plusieurs domaines d'applications tels les circuits de génération d'horloge, les capteurs biomédicaux, etc. Cette thèse se limitera à l'application du CNA proposé dans le domaine de la génération d'horloge. De nos jours, plusieurs systèmes numériques nécessitent des horloges précises pour la synchronisation de ses opérations. A l'instar de la télévision numérique, l'horloge générée doit être précise et avoir une faible gigue [70, 71, 80]. C'est dans cette optique qu'il a été convenu d'utiliser le CNA fait de cellules normalisées pour réduire la gigue de sortie sur un signal issu d'un circuit de génération d'horloge : le FRPS (*Free-Running Period Synthesizer*).

#### 7.2 APPLICATION DU CNA DANS LA REDUCTION DE LA GIGUE DU FRPS

Plusieurs domaines d'applications à l'instar de la télévision numérique nécessitent des circuits capables de générer des signaux d'horloges précis et de hautes fréquences. Les circuits de génération d'horloge sont généralement sujets à la gigue. La gigue est l'un des paramètres cruciaux associés à la qualité d'un signal d'horloge. C'est une variable qui, de façon générale, ne peut être prédite avec précision. Dans plusieurs applications, elle est causée par des facteurs incontrôlables et imprévisibles. La gigue aléatoire et la gigue déterministe sont les composantes de la gigue totale. La gigue aléatoire est illimitée dans sa plage de valeur et est décrite comme un bruit de phase des signaux oscillants tandis que

la gigue déterministe dispose d'une plage limitée de valeurs et ne peut être décrite par le bruit de phase. La gigue présente sur les signaux se définit de plusieurs manières :

- Elle est définie comme les variations des moments de transitions d'une horloge réelle par rapport aux positions idéales en temps. Elle est caractérisée par un allongement ou raccourcissement intermittent de la période (Figure 7.1)
- On distingue également [56,57] la gigue sur une période (*one period jitter*) et la gigue de la période (*period jitter*). La gigue sur une période est la variation de la période d'une horloge. La gigue de la période est liée aux variations de la durée d'un nombre donné de périodes de l'horloge. La gigue de période crête à crête est la plus grande différence entre deux périodes.



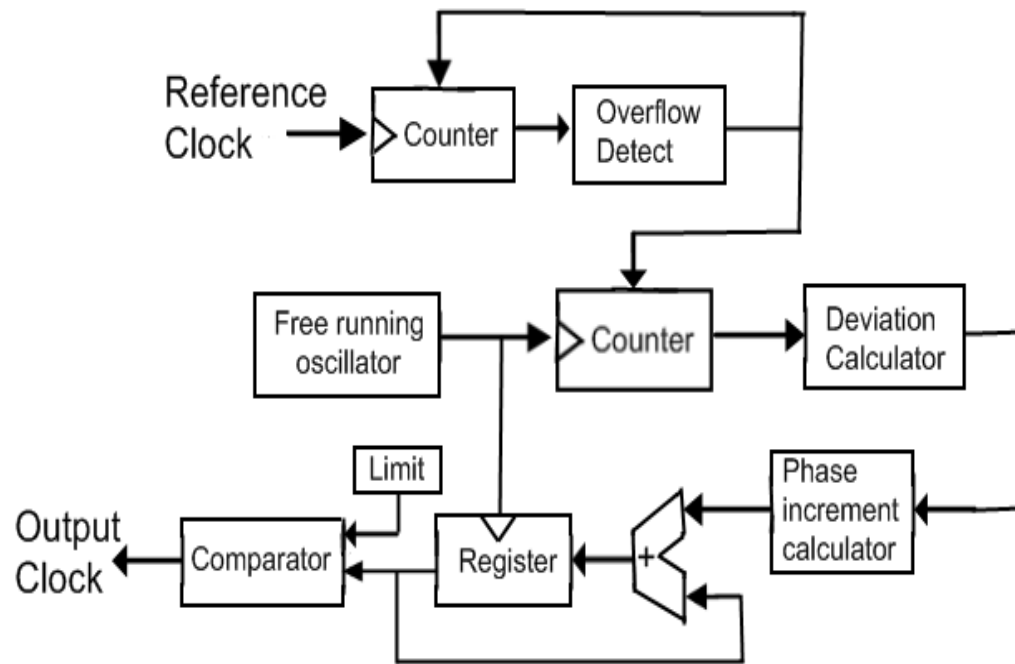
**Figure 7.1 : Allongement et raccourcissement de la période**

### 7.2.1 BREF APERÇU SUR LE FRPS

La littérature présente plusieurs techniques de génération d'horloge [72] : La boucle à verrouillage de phase (PLL), la boucle à retard de phase (DLL) et la synthèse directe

d'horloge (DDS) qui utilise essentiellement des composants numériques. La technique utilisant la DDS est la plus populaire. Cependant sa vitesse est limitée car elle utilise un oscillateur de cristal comme horloge d'entrée. Pour générer des horloges de hautes fréquences, les concepteurs utilisent les oscillateurs non synchronisés (*free-running*). Bien que ces oscillateurs soient rapides, ils sont très sensibles aux conditions environnementales qui les rendent ainsi moins fiables pour les applications spécifiées. Pour résoudre ce problème, une méthode de calibration a été proposée [73]. Après cette calibration, les résultats de mesure montrent que la moyenne de l'horloge de sortie donne la fréquence désirée avec une gigue égale à la période de l'oscillateur non-asservi. Il serait donc important de réduire cette gigue pour des applications qui sont sensibles à celle-ci.

L'architecture du FRPS, similaire à celle de la DDS, est constituée d'une entrée d'horloge, d'un accumulateur et d'un comparateur. Le FRPS nécessite deux horloges : Un oscillateur *free-running* et un oscillateur à cristal (Figure 7.2).



**Figure 7.2: Diagramme en bloc du FRPS**

La technique utilisée pour déterminer la fréquence de l'oscillateur free-running consiste à utiliser deux compteurs contrôlés séparément par un oscillateur à cristal (précis) et l'oscillateur free-running. Lorsque le compteur associé à l'oscillateur à cristal a atteint une valeur prédéfinie (*Countref*), les deux compteurs sont arrêtés. À ce moment, le contenu du compteur (*MeasuredCount*) contrôlé par l'oscillateur free-running est utilisé pour calculer la fréquence réelle de cet oscillateur comme suit :

$$T_{osc} = \frac{T_{ref} \cdot Countref}{Measuredcount} \quad (7.1)$$

Où  $T_{osc}$  et  $T_{ref}$  sont respectivement les périodes de l'oscillateur free-running et de l'oscillateur en cristal.

De plus, à chaque cycle d'horloge de l'oscillateur free-running, la valeur de l'accumulateur est incrémentée jusqu'à ce qu'une limite prédéfinie soit atteinte. A cette limite, on observe un dépassement (mise à jour) dans l'accumulateur et le signal de sortie change d'état. Cependant le signal obtenu à la sortie de ce circuit n'a pas la fréquence désirée; l'oscillateur free-running qui contrôle l'accumulateur étant très sensible aux variations de procédés et de température.

Par ailleurs, afin de limiter l'influence de la variation de l'oscillateur free-running sur le signal de sortie généré, une nouvelle valeur de l'incrément de phase de l'accumulateur (Figure 7.2) est calculée en utilisant l'équation suivante :

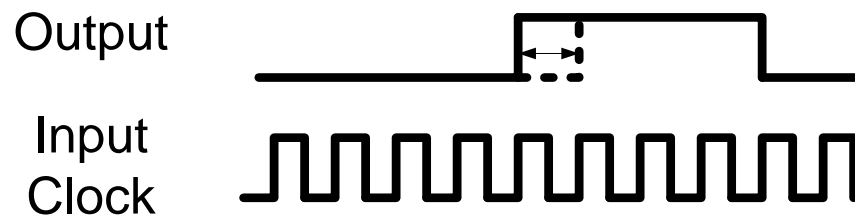
$$NewIncrement = \frac{Expectedcount.Increment}{Measuredcount} \quad (7.2)$$

Où *Measuredcount* est la valeur du compteur associé à l'oscillateur free-running en présence de fluctuations et *Expectedcount* est sa valeur sans fluctuations.

### 7.2.2 RÉDUCTION DE LA GIGUE CRÊTE-À-CRÊTE SUR LE FRPS

A l'instar de tous les autres circuits numériques de génération d'horloge utilisant un accumulateur, le FRPS a une gigue de sortie égale à la période de l'horloge d'entrée. Ceci est lié au fait que pour générer un signal de sortie dont la période n'est pas un multiple entier de celle du signal d'entrée, ces circuits génèrent des sorties dont les périodes sont parfois longues ou courtes comparées à la période de sortie désirée. Dans ce cas, la différence entre la longue et la courte période est égale à la période de l'horloge d'entrée (Figure 7.3). D'où la source de gigue observée. Sur la Figure 7.3, l'on observe à la sortie le

pire cas de gigue qui correspond au cas où la gigue sur le signal de sortie atteint la période du signal d'entrée.



**Figure 7.3: Pire cas de gigue à la sortie du FRPS**

Dans le but de réduire cette gigue, quelques options se présentent : La première consiste à accroître la fréquence de l'horloge d'entrée. Toutefois on ne pourrait augmenter indéfiniment cette fréquence d'entrée au risque de contraindre le circuit numérique contrôlé à ne plus fonctionner. Par ailleurs l'utilisation d'un modulateur delta-sigma réduit les parasites (*spurs*) sans améliorer la gigue cycle-à-cycle qui est l'un des objectifs de notre application.

Dans cette thèse, le CNA fait de cellules normalisées pour réduire la gigue du FRPS a été utilisé. Puisque cette gigue est causée par la variation de la période de l'horloge, le principe de base est d'anticiper sur la présence d'une plus longue période (par rapport à la période désirée) du système et de générer une tension analogique à l'aide de notre CNA conçu avec des cellules normalisées. La technique utilisée réduit la gigue par un facteur allant jusqu'à  $2^N$ , où  $N$  est le nombre de bits du CNA.

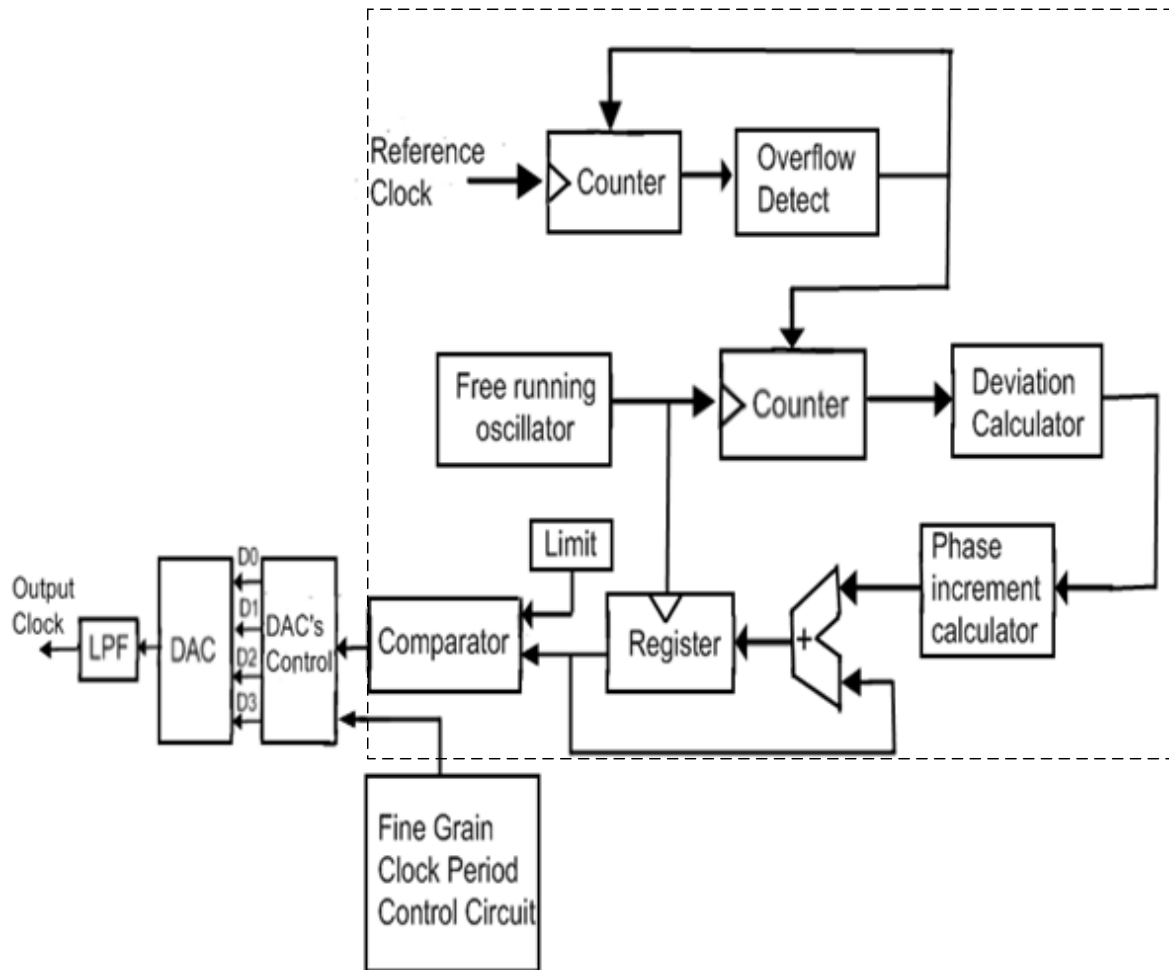
### 7.2.2.1 ARCHITECTURE DU SYSTEME DE REDUCTION DE LA GIGUE

Le module de réduction de la gigue est constitué d'un circuit de contrôle de la période de l'horloge, d'un circuit de contrôle associé au CNA à 2 bits et d'un filtre passe bas (Figure 7.4).

La technique utilisée pour réduire la gigue déterministe obtenue après calibration du FRPS consiste à utiliser un CNA  $N$  bits pour générer une tension entre VDD et VSS lorsque la période de sortie change. Cette tension intermédiaire qui vaut  $A/2^N$  ( $0 \leq A \leq 2^N - 1$ ), une fois filtré, crée un déphasage permettant ainsi de réduire la gigue de sortie. Le calcul de l'effet de ces tensions intermédiaires sur le déphasage a été développé en utilisant les séries de Fourier [74]. Il en ressort que

$$\varphi = \frac{\pi}{2} - \frac{\sin\left(\frac{2\pi}{M}\right)}{2} + \frac{\sin\left(\frac{2\pi}{M}\right)FRAC}{2} \quad (7.3)$$

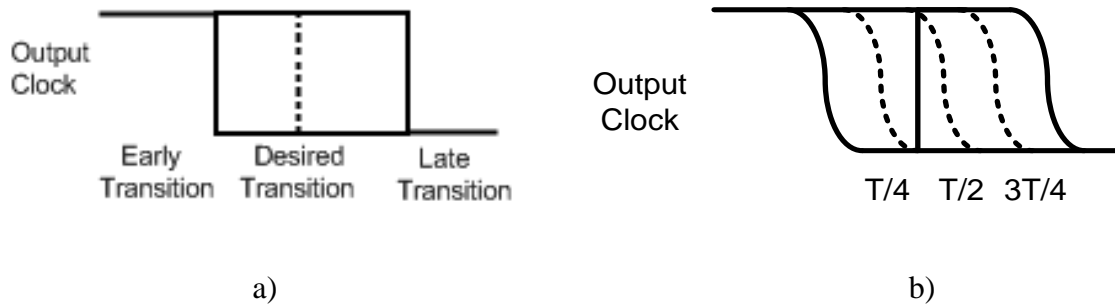
Où  $M$  est le nombre de cycles de l'horloge de sortie et  $FRAC$  est la tension intermédiaire qui représente la fraction de la tension d'alimentation.



**Figure 7.4: Réduction de la gigue associée au FRPS**

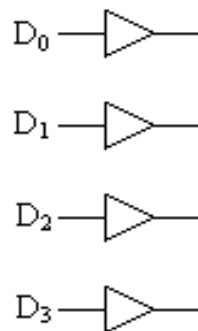
L'équation (7.3) montre que pour une grande valeur de  $M$ , le déphasage est une fonction linéaire de  $\text{FRAC}$ . Par exemple, en utilisant un CNA à 2 bits, il est possible d'obtenir 4 valeurs différentes de  $\text{FRAC}$  ( $0/4$ ,  $1/4$ ,  $2/4$  et  $3/4$ ) qui, une fois filtrées donnent des déphasages ( $0/4$ ,  $T/4$ ,  $2T/4$  et  $3T/4$ ), où  $T$  est la période de l'horloge rapide. Ces transitions sont illustrées à la Figure 7.5





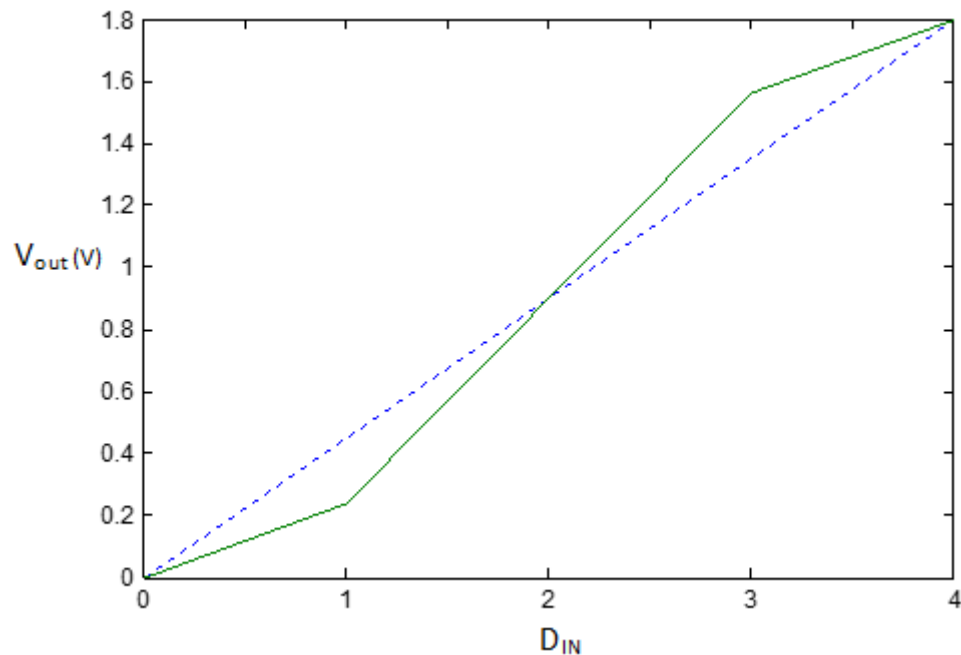
**Figure 7.5 : Transitions du a) FRPS classique et b) FRPS avec notre système proposé**

L'architecture du CNA à 2 bits utilisé dans cette réduction de gigue est présentée à la Figure 7.6. Le principe de fonctionnement de CNA a été décrit au chapitre 4 de cette thèse.



**Figure 7.6 : CNA à 2 bits**

La Figure 7.7 montre la sortie de ce CNA qui dépend de son entrée. Bien que cette sortie ne soit pas linéaire, ce CNA est adaptée à notre application car il est monotone.



**Figure 7.7 : Sortie du CNA à 2 bits proposé et du CNA idéal**

Avant toute utilisation, le signal de sortie du FRPS doit être filtré grâce à un filtre passe-bas dont la fréquence de coupure doit être choisie adéquatement afin de ne pas affecter la fondamentale.

### 7.2.3 RESULTATS ISSUS DE LA SIMULATION ET DU FPGA

Afin de valider notre approche, les différents concepts présentés dans ce chapitre ont été codés en VHDL et implémentés sur FPGA: Le premier concept est basé sur le FRPS classique tandis que le second est constitué du FRPS et du module de réduction de gigue. Le FPGA utilisé ici est Cyclone II d'Altera incorporé sur une plaque DE2. Les résultats de simulation et expérimentaux sont présentés dans les sous-sections suivantes.

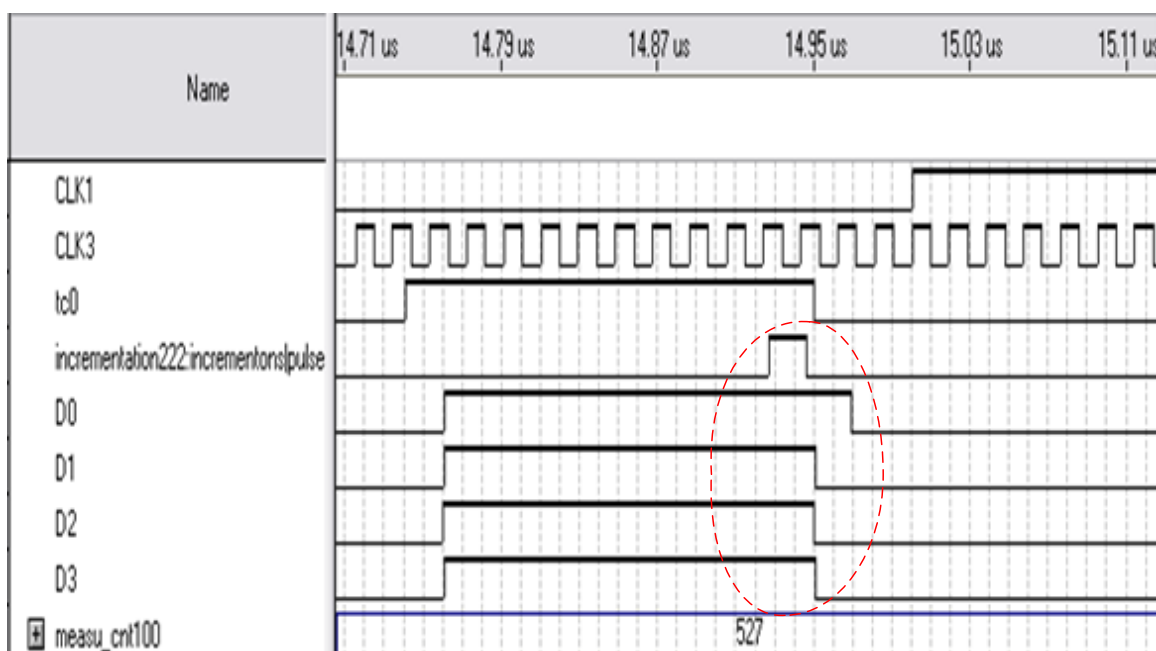
### 7.2.3.1 RÉSULTATS DE LA SIMULATION

Un code VHDL associé au système étudié est proposé et simulé dans Quartus II. La fréquence de l'oscillateur free-running a été fixée à 50 MHz (20 ns). Avec cette fréquence nominale à l'entrée, les valeurs de la fréquence de sortie et de *ExpectedCount* requises sont respectivement 2.5 MHz et 500. Dans l'optique de simuler les variations de température et de procédé, la fréquence de l'oscillateur free-running a été modifiée et les résultats issus de la simulation sont présentés aux Figures 7.8 et 7.9.

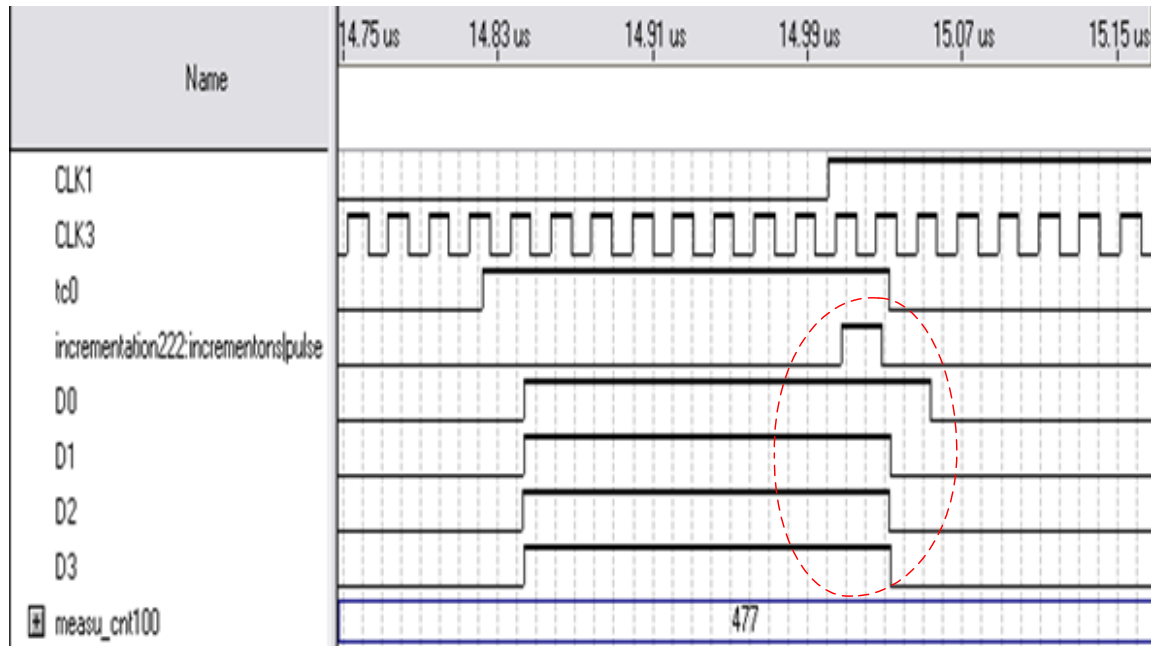
A la Figure 7.8, la période de l'oscillateur free-running a été réduite de 20 ns à 19 ns. La fréquence de sortie ( $tc0$ ) est passée de 2.5 MHz à 2.63 MHz. Puisque *MeasuredCount* était supérieur à *ExpectedCount*, le module de calibration a réduit la valeur de *Increment* afin d'obtenir la même fréquence de sortie escomptée (2.5 MHz). La seconde simulation est effectuée lorsque la période de l'oscillateur free-running a été modifiée de 2.5 MHz à 2.38 MHz. Dans ce cas-ci, le contenu *MeasuredCount* obtenu était inférieur à *ExpectedCount*. Ainsi, fort de l'équation (7.2), *Increment* voit sa valeur augmenter. Ceci permet d'ajuster la fréquence de sortie à la valeur désirée. Après calibration, cette fréquence de sortie a une valeur moyenne autour de 2.5 MHz. Ainsi, il devient trivial de conclure que le processus de calibration du FRPS fonctionne parfaitement.

Il est important de mentionner qu'aux Figures 7.8 et 7.9, le premier signal représente l'oscillateur à cristal, le second signal est celui du l'oscillateur non-synchronisé. Le troisième signal représente l'horloge de sortie et le quatrième signal est un signal d'impulsion qui indique le changement dans la durée de cette horloge de sortie. Cette impulsion est utilisée comme signal d'activation du CNA afin de générer les tensions

analogiques requises pour réduire la gigue. Ainsi les signaux  $D0$ ,  $D1$ ,  $D2$  et  $D3$  observés sur ces figures sont utilisés pour contrôler le CNA. Lorsque ces quatre signaux sont à '0', la sortie est à 0 V et quand ils sont à '1', la sortie est à  $V_{DD}$ . Ces figures permettent de constater que quand le signal d'impulsion est généré, les signaux contrôlant le CNA passent de '1111' à '1000' au prochain cycle de l'horloge rapide. Ceci montre que l'horloge de sortie génère une tension intermédiaire avant d'aller à '0'.



**Figure 7.8 : Résultats de la simulation lorsque  $T_{osc} = 19 \text{ ns}$**



**Figure 7.9 : Résultats de la simulation lorsque  $T_{osc}=21\text{ ns}$**

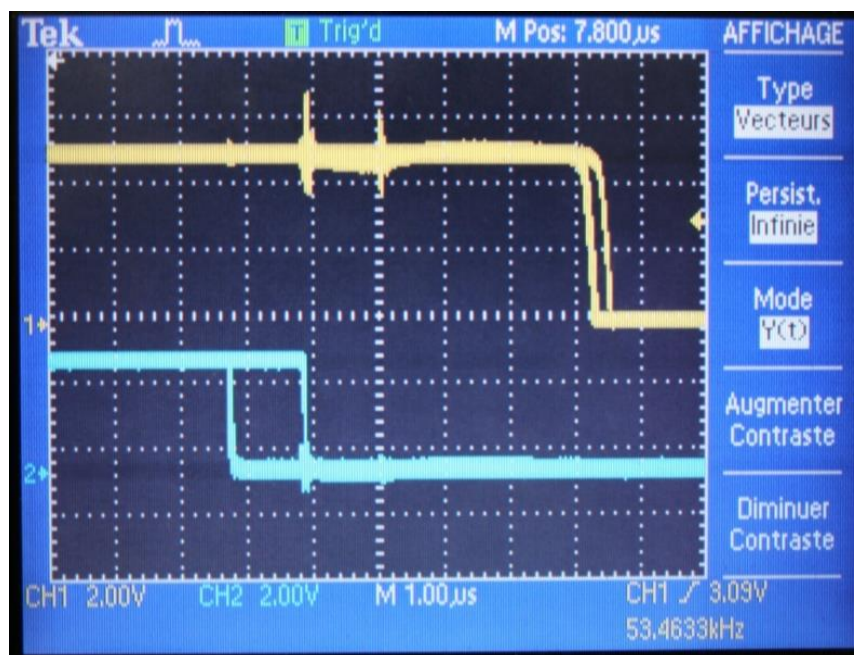
### 7.2.3.2 RESULTATS EXPERIMENTAUX

Pour des fins d'implémentation et en vue de valider le principe de fonctionnement de notre circuit, deux générateurs de fréquences respectivement de 20 kHz (oscillateur à cristal) et de 1 MHz (oscillateur non-synchronisé) sont utilisés. Ainsi la fréquence désirée de l'horloge de sortie est de 50 kHz. Soulignons que le choix d'utiliser des basses fréquences est motivé par le souci d'utiliser les équipements de laboratoire en notre possession. En réalité, la vitesse visée par notre circuit est beaucoup plus élevée. Par ailleurs des transistors sont utilisés pour implémenter le CNA à 2 bits et un filtre passe bas a également été utilisé.

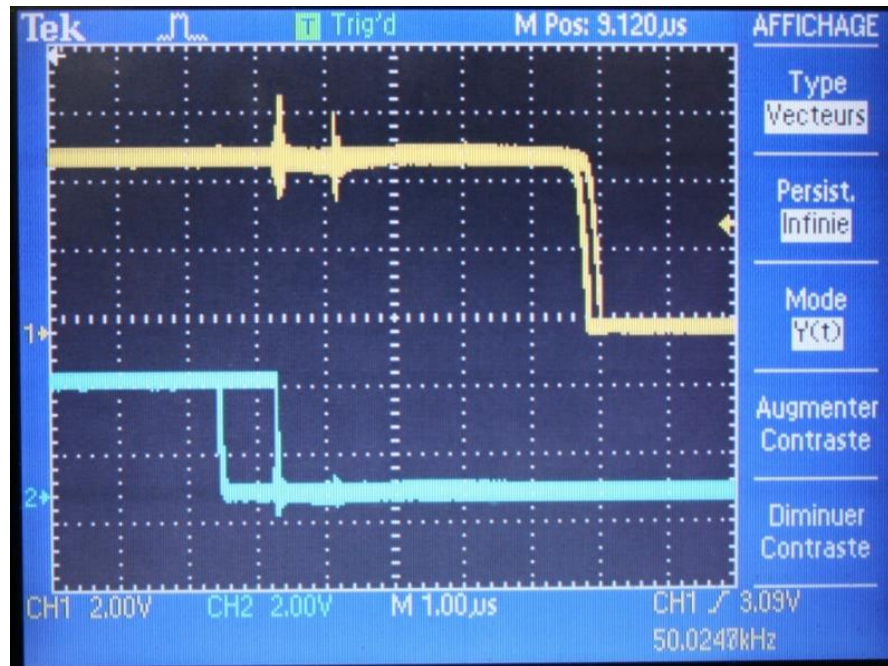
Dans le but de simuler les variations de vitesse de l'oscillateur non synchronisé dues aux variations de procédé et à la température, la fréquence du générateur est variée

manuellement de 1 MHz à 1.40 MHz. Par conséquent, la sortie du FRPS fortement affectée par cette variation devient 53.46 kHz. Cette valeur est bien indiquée à la Figure 7.10. Il ressort de cette figure que le premier signal en jaune est le signal de la combinaison FRPS et module de réduction de gigue proposé tandis que le second signal en bleu est celui issu du FRPS classique.

La Figure 7.11 présente la sortie de notre système (premier signal) après la calibration. La fréquence de ce signal de sortie, 50.02 kHz est très proche de la valeur désirée. De façon plus spécifique la fréquence de sortie variait entre 49,99 kHz et 50,02 kHz. De plus la gigue obtenue après calibration est le quart de la gigue initiale (1 $\mu$ s). Ainsi, on peut aisément dire que notre module de réduction de gigue fonctionne parfaitement.



**Figure 7.10: Signaux de sortie avant calibration**



**Figure 7.11: Sortie de sortie après calibration**

### 7.3 CONCLUSION

Ce chapitre a permis de mettre en exergue le rôle des convertisseurs de données proposés dans la réduction de la gigue du FRPS. De façon plus spécifique, un module de réduction de gigue dans lequel se trouve un CNA à 2 bits fait de cellules normalisées a également été proposé. Les résultats de la simulation et ceux obtenus expérimentalement ont été satisfaisants.

## CHAPITRE 8

### CONCLUSIONS GÉNÉRALES ET PERSPECTIVES

Ce travail de recherche visait à montrer l'intérêt de l'utilisation des cellules normalisées dans la conception des convertisseurs de données. Les bibliothèques de cellules normalisées permettent la conception au niveau des portes logiques. De plus, elles offrent plus de simplicité et une réduction du coût de production par rapport à la conception au niveau transistor. L'utilisation des cellules normalisées permet non seulement de réduire les efforts d'intégration et le temps de conception, mais aussi permet aisément de passer d'une technologie à l'autre. Enfin les cellules normalisées permettent de faciliter les tests sur les architectures proposées, de s'arrimer avec l'avancement de la technologie et d'être compatible avec le flot de conception numérique.

Pour mener à bien ce travail de recherche, des notions de base essentielles à la compréhension de cette thèse ont été présentées dans un premier temps. Par la suite, différentes architectures de convertisseurs existant dans la littérature ont été exposées ainsi que leurs principes de fonctionnement, avantages et limites selon l'application spécifiée. Un accent particulier a été mis sur les convertisseurs flash adaptés aux systèmes sur puce.

Le chapitre quatre de cette thèse a été consacré à la conception des CNA utilisant une série d'inverseurs dont les sorties sont reliées ensemble et les entrées sont connectées à un code thermomètre. Les résultats obtenus dans un premier temps montrent que ce CNA est monotone et non linéaire. L'erreur obtenue pour ce CNA non optimisé est 0.1744. Par la suite une optimisation mathématique basée sur le carré des différences entre sa sortie actuelle et sa sortie idéale a été effectuée et l'erreur obtenue est maintenant 0.0062 ; soit



une amélioration de la linéarité de 96%. Les simulations grâce à l'outil Spectre de Cadence du CNA optimisé ont permis de conclure que ce dernier est plus linéaire que le CNA non optimisé. Par ailleurs, une analyse Monte Carlo a permis de déterminer la variabilité de la tension de sortie  $V_D$  en rapport avec les variations de procédé et les mésappariements.

La conception de nouvelles architectures de CAN basées sur les cellules normalisées (portes logiques) a fait l'objet du chapitre cinq. Deux techniques de conception basées sur les seuils de ces portes ont été présentées : La première ne tenait pas compte de l'écart entre les seuils des portes logiques ou blocs de portes logiques adjacentes alors que la deuxième technique en tenait compte. Fort de la première technique de conception, un CAN initial à 3 bits ainsi qu'une version optimisée ont été proposés. Il ressort de cette optimisation une amélioration de la linéarité de 91% par rapport au CAN initial. Les maximums des DNL et INL sont respectivement 0.4 LSB et 0.2 LSB. Afin de vérifier la robustesse de ce convertisseur face aux variations de procédé, de température et d'alimentation, une analyse monte Carlo a été réalisée. Cette analyse a permis de conclure que même en présence des variations de procédé, les tensions seuils variaient faiblement garantissant ainsi le bon fonctionnement de ce CAN dans ces conditions. De plus, quelques simulations supplémentaires ont aussi permis de conclure que le CAN proposé est très robuste face aux variations de température et d'alimentation.

La deuxième technique de conception qui tenait compte de l'écart entre les seuils de portes adjacentes a permis de proposer un nouveau CAN à 3 bits. Les résultats obtenus issus de l'analyse Matlab montrent qu'avec la deuxième technique il y a une amélioration de linéarité de 53% comparée à la première technique. De plus de par le nombre de portes

utilisées, la taille de l'architecture de la deuxième technique se trouve réduite par rapport à la première technique.

Les CAN proposés jusqu'à présent utilisaient une plage de tension d'entrée variant de  $V_{TH}$  à  $V_{DD}-V_{TH}$ . Pour pallier à cela, une autre architecture de CAN utilisant une plage d'entrée variant de  $V_{SS}$  à  $V_{DD}$  a été exposée au chapitre cinq. Des simulations à l'aide de Cadence ont été réalisées pour ce nouveau CAN et les résultats obtenus sont en accord avec ceux escomptés.

Dans le souci d'améliorer la résolution de nos CAN, l'architecture et l'implémentation d'un CAN flash à 4 bits ont été présentées au chapitre six. Cette nouvelle architecture toujours basée sur les cellules normalisées a été munie d'une méthode de réduction de sa consommation de puissance. Il est à noter que l'architecture proposée consomme 66% et 44% moins de puissance comparée à celles décrites respectivement dans [53] et [54]. En l'absence de mésappariement, les erreurs statiques (DNL et INL) étaient minimales et bornées dans l'intervalle  $\pm 0.005$  LSB. De plus le rapport SNR et le SFDR étaient respectivement de 22.89 dB et 30.77 dB. Ces valeurs sont jugées acceptables selon la littérature. Par ailleurs, des analyses à l'aide de Cadence en vue d'évaluer la robustesse de ce CAN ont permis de conclure que l'architecture proposée était sensible aux variations de procédés, de température et d'alimentation. D'où la nécessité d'une isolation du substrat ou d'un filtrage de l'alimentation. La seconde partie de ce chapitre s'est attardée sur les dessins des masques de ce convertisseur à l'aide de l'outil Virtuoso de Spectre et sur les tests des puces qui ont été fabriquées en technologie CMOSP18 par CMC Microsystems. À cause des variations de procédé, de température et d'alimentation, les tests sur quatre puces ont montré que les seuils des portes dans ces différentes puces sont légèrement

décalés des valeurs idéales. De plus les tracés des courbes de DNL et INL ont montré que ces valeurs étaient supérieures à 1 dans certaines puces. Ceci a permis de souligner le risque des sauts de niveau dans les puces concernées. Ce phénomène est une fois de plus attribué aux variations de procédé, de température et d'alimentation. Une solution possible serait de calibrer ces puces avec des inverseurs trois-états dont le rôle sera d'ajuster les seuils des portes logiques incluses dans ces puces.

Finalement la dernière partie de cette thèse a été consacrée à l'application du CNA proposé notamment dans la réduction de la gigue dans un système de génération d'horloge: le FRPS. Les résultats de la simulation et ceux issus de l'expérimentation ont permis de conclure que le module de réduction de gigue proposé fonctionnait parfaitement.

Parmi les perspectives à donner à ce travail, il serait important de :

- introduire un système de calibration dans le CAN à 4 bits pour faire face aux variations de procédé, de température et d'alimentation. La calibration consiste à relier les entrées et les sorties des portes logiques par des inverseurs à 3 états. L'activation d'un de ces inverseurs aura pour effet de fournir du courant et donc d'augmenter le seuil de la porte concernée.
- optimiser le CNA en augmentant sa résolution et de faire une analyse de ses paramètres dynamiques. Pour cela, il serait intéressant d'utiliser différents types de portes logiques et de connecter leurs sorties ensemble.

**BIBLIOGRAPHIE**

- [1] K. Uyttenhove and M. S. J. Steyaert, "A 1.2-V 6-bit 1.2-GHz Flash ADC in 0.25- $\mu$ m CMOS," *IEEE Journal of Solid-State Circuits*, Vol. 38, No.7, July 2003, p.1115–1122.
- [2] J. Chung, H. Yu, S. Oh, K. Yoon, "A 3.3V 10-bit current-mode folding and interpolation CMOS ADC using an arithmetic functionality," *43rd IEEE Midwest Symposium on Circuits and Systems*, Lansing MI, Aug. 2000.
- [3] C.-H. Lin and K. Bult, "A 10-b 500-MSamples/s CMOS DAC in 0.6mm<sup>2</sup>," *IEEE J. Solid-State Circuits*, vol. 3, Dec. 1998, p. 1948–1958.
- [4] J. Deveugele and M. Steyaert, "A 10b 250MS/s binary-weighted current-steering DAC", *IEEE Int. Solid-State Circuits Dig. Tech. Papers*, Feb. 2004, p. 362–532.
- [5] Santanu Sarkar, Ravi sankar Prasad, Sanjoy Kumar Dey, Vinay Belde and Swapna Banerjee, "An 8-bit 1.8 V 500 MS/s CMOS DAC with a novel four-stage current steering architecture," *IEEE International Symposium on Circuits and Systems*, 2008, p. 149–152.
- [6] F. Maloberti, *Data Converters*, New-York, Springer-Verlag, 2007.
- [7] R. Jacob Baker, *CMOS: Circuit Design, Layout, and Simulation, Third Edition*, IEEE Press, 2010.
- [8] B. Razavi, *Principles of Data Conversion System Design*, Piscataway, NJ, IEEE Press, 1995.

- [9] J. Vandebussche, G. Gielen, M. Steyaert, *Systematic Design of Analog IP Block*, Boston: Kluwer, 2003.
- [10] Santanu Sarkar and Swapna Banerjee, “An 8-bit 1.8 V 500 MSPS CMOS Segmented Current Steering DAC,” *IEEE Computer Society Annual Symposium on VLSI*, 2009, p. 268–273.
- [11] F.-J. Wang, G. C. Temes, and S. Law, “A quasi-passive CMOS pipeline D/A converter,” *IEEE J. Solid-State Circuits*, vol. 24, no. 6, Dec. 1989, p. 1752–1755.
- [12] R. E. Suarez, P. R. Gray, and D. A. Hodges, “All-MOS charge distribution analog-to-digital conversion techniques—Part II,” *IEEE J. Solid-State Circuits*, vol. SSC-10, no. 6, Dec. 1975, p. 379–385.
- [13] P. Rombouts, L. Weyten, J. Raman, and S. Audenaert, “Capacitor mismatch compensation for quasi-passive switched-capacitor DAC,” *IEEE Trans. Circuits Syst. I, Fundam. Theory Appl.*, vol. 45, no. 1, Jan. 1998, p. 68–71.
- [14] J. Steensgaard, U.-K. Moon, and G. C. Temes, “Mismatch-shaping serial digital-to-analog converter,” *IEEE Int. Symp. Circuits Syst.*, 1999, p. 5–8.
- [15] L. Weyten and S. Audenaert, “Two-capacitor DAC with compensative switching,” *Electron. Lett.*, vol. 31, no. 17, Aug. 1995, p. 1435–1437.
- [16] J. Yoo, K. Choi, and A. Tangel, “A 1-GSPS CMOS Flash A/D Converter for System-on-Chip Applications,” *IEEE CS Annual Workshop on VLSI*, 2001, p. 135–139.

- [17] A. Tangel, "VLSI Implementation of the Threshold Inverter Quantization (TIQ) Technique for CMOS Flash A/D Converter Applications," *PhD Dissertation*, The Pennsylvania State University, Aug. 1999.
- [18] J. Yoo, K. Choi, and J. Ghaznavi, "Quantum Voltage Comparator for 0.07  $\mu\text{m}$  CMOS Flash A/D Converters," *IEEE Computer Society Annual Symposium on VLSI*, April 2003, p. 135–139.
- [19] J. Yoo, "A TIQ Based CMOS Flash A/D Converter for System-on-Chip Applications," *Ph.D. Dissertation*, The Pennsylvania State University, May 2003.
- [20] Umberto Gatti, Cristiano Calligaro, Evgeny Pikhay and Yakov Roizin, "Radiation-hardened techniques for CMOS flash ADC," *IEEE International Conference on Circuits and Systems*, 2014, p. 1–4.
- [21] M. Wang and C. H. Chen, "A High Spurious-Free Dynamic Range 4-bit ADC with Nyquist Signal Bandwidth for Wideband Communication," *Proceedings of IEEE Instrumentation and Measurement Technology Conference*, Warsaw, Poland, May 2007.
- [22] M. Wang and C. H. Chen, "Architecture and Design Synthesis of 2.5 Gsamples/s 4-b Pipelined Flash ADC in SoC Application," *Proceedings of the 31st Annual Conference of IEEE Industrial Electronics Society*, Raleigh, North Carolina, USA, Nov. 2005, p. 2224–2230.
- [23] M. Wang and C. H. Chen, "Design Synthesis and Performance Measurement of Pipeline Flash ADC for SoC Applications," *Proceedings of the 2005 IEEE Instrumentation and Measurement Technology Conference*, Ottawa, Ontario, May 2005, p. 19–24

- [24] K. Sushihara, H. Klmura, Y. Okamoto, K. Nishimura, and A. Matsuzawa, "A 6-b 800 MSample/s CMOS A/D Converter," *IEEE International Solid-State Circuits Conference 2000*, p. 428–429.
- [25] Abdelghani Dendouga, N. Bouguechal, M.L. Hafian, S. Oussalah, S. Barra, S. Kouda, "Design for Testability of 10 bits Continuous Time Sigma Delta ADC Measurement," *In Press, Accepted Manuscript*, Available online 26 April 2013
- [26] Zhiheng Cao, Shouli Yan, "A 52 mW 10b 210 MS/s Two-Step ADC for Digital-IF Receivers in 130 nm CMOS," *IEEE Custom Integrated Circuits Conference*, 2008, p. 309–311.
- [27] Khosrov Dabbagh-Sadeghipour, Khayrollah Hadidi, Abdollah Khoei, "A new successive approximation architecture for high-speed low-power ADCs," *AEU - International Journal of Electronics and Communications*, vol. 60, Issue 3, March 2006, p. 217–223.
- [28] Taimur Gibran Rabuske, Cesar Ramos Rodrigues, Saeid Nooshabadi, "A 5 MSps 13.25 $\mu$ W 8-bit SAR ADC with single-ended or differential input," *Microelectronics Journal*, Volume 43, Issue 10, October 2012, p. 680–686.
- [29] D. Meganathan, Amrith Sukumaran, M.M. Dinesh Babu, S. Moorthi, R. Deepalakshmi, "A systematic design approach for low-power 10-bit 100 MS/s pipelined ADC," *Microelectronics Journal*, Volume 40, Issue 10, October 2009, p. 1417–1435.
- [30] Hua-yu JIA, Gui-can CHEN, Hong ZHANG "A new structure of substage in pipelined analog-to-digital converters," *The Journal of China Universities of Posts and Telecommunications*, Volume 16, Issue 1, February 2009, p. 86-90.

- [31] Sangil Park, "Principles of Sigma-Delta Modulation for Analog-to-Digital Converters," *Motorola Digital Signal Processors*, Rev. 1, 2008.
- [32] Christian Bäumer, Michael Gnade, Armin Kemna, Roger Steadman, Gereon Vogtmeier, Dirk Weiler, "Design and test of an integrated Sigma-Delta analog-to-digital converter for X-ray Computed Tomography," *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, Volume 576, Issue 1, June 2007, p.123-127.
- [33] Yuyu Liu, Jun Gao, Xiaodong Yang, "24-bit Low-Power Low-Cost Digital Audio Sigma-Delta DAC," *Tsinghua Science & Technology*, Volume 16, Issue 1, February 2011, p. 74–82.
- [34] M. Choe, B. Song, K. Bacrania, "An 8-b 100-Msample/s CMOS pipelined folding ADC," *IEEE Journal of Solid-State Circuits*, vol.36, Feb 2001, p.184–194.
- [35] J. Chung, H. Yu, S. Oh, K. Yoon, "A 3.3V 10-bit current-mode folding and interpolation CMOS ADC using an arithmetic functionality," *43rd IEEE Midwest Symposium on Circuits and Systems*, Lansing MI, Aug. 2000.
- [36] K. Uyttenhove and M. S. J. Steyaert, "A 1.8-V 6-bit 1.3-GHz Flash ADC in 0.25- $\mu\text{m}$  CMOS," *IEEE Journal of Solid-State Circuits*, Vol. 38, No.7, July 2003, p. 1115–1122.
- [37] R. Taft et al., "A 1.8 V 1.6GS/s 8b Self-Calibrating Folding ADC with 7.26 ENOB at Nyquist Frequency," *Proc. of ISSCC*, 2004.
- [38] Liu, M. ; Zhu, Z. ; Yang, Y., " A High-SFDR 14-bit 500 MS/s Current-Steering D/A Converter in 0.18  $\mu\text{m}$  CMOS," *IEEE Transactions on Very Large Scale*



- Integration (VLSI) Systems*, DOI: 10.1109/TVLSI.2014.2386332, Issue: 99, 2015, p.1–5
- [39] Childs C, *Maintaining body temperature*. In: Brooker C, Nicol M (eds) Alexander's Nursing Practice. Oxford: Elsevier, 2011.
- [40] B. Pontikakis, F.-R. Boyer, Y. Savaria, H. T. Bui, "Precise Free-Running Period Synthesizer (FRPS) with Process and Temperature compensation" Midwest Symposium on Circuits and Systems, August 2007, p.1118-1121.
- [41] M. Wang, C. H. Chen, and S. Radhakrishnan, "Low-power 4-b 2.5 GSPS Pipelined Flash Analog-to-Digital Converter in 130 nanometer CMOS," *IEEE Transactions on Instrumentation and Measurement*, vol. 56, no. 3, June 2007. p. 1064–1073.
- [42] K. Sushihara, H. Klmura, Y. Okamoto, K. Nishimura, and A. Matsuzawa, "A 6-b 800 MSample/s CMOS A/D Converter," *IEEE International Solid-State Circuits Conference*, 2000, p. 428–429.
- [43] G. Geelen, "A 6b 1.1 GSsample/s CMOS A/D Converter," *IEEE International Solid-State Circuits Conference*, 2001, p. 436–438.
- [44] C. Sander, M. Clara, A. Santner, T. Hartig and F. Kuttner, "A 6-bit 1.2-GS/s Low-Power Flash-ADC in 0.13- $\mu$ m Digital CMOS," *IEEE Journal of Solid-Sate Circuits*, Vol. 40, No. 7, July 2005, p. 1499–1505.
- [45] Marcel Siadjine Njinowa, Hung Tien Bui, François-Raymond Boyer, "Novel Threshold-Based Standard-Cell Flash ADC," *Circuits and Systems*, Vol. 3, No.1, 2012, DOI: 10.4236/cs.2012.31005, p. 29–34.

- [46] L. Daegy, Y. Jincheol, C. Kyusun, and J. Ghaznavi, "Fat tree encoder design for ultra-high speed flash A/D converters," in *Circuits and Systems, the 45th Midwest Symposium on*, 2002, p. 87–90.
- [47] B. V. Hieu, S. Choi, J. Seon, Y. Oh, C. Park, J. Park, H. Kim and T. Jeong, "A New Approach to Thermometer-to-Binary Encoder of Flash ADCs-Bubble Error Detection Circuit," *IEEE 54th International Midwest Symposium on Circuits and Systems (MWSCAS)*, 2011.
- [48] D. J. Foley and M. P. Flynn, "A low-power 8-PAM serial transceiver in 0.5  $\mu\text{m}$  digital CMOS," *IEEE Journal of Solid-State Circuits*, vol. 37, March 2002, p. 310–316.
- [49] S. Banik, D. Gangopadhyay, T.K. Bhattacharyya, "A Low Power 1.8 V 4-Bit 400 MHz Flash ADC in 0.18  $\mu\text{m}$  Digital CMOS," *International Conference on Embedded Systems and Design*, 2006
- [50] S. S. Chauhan, S. Manabala, S. C. Bose, R. Chandel, "A New Approach To Design Low Power CMOS Flash A/D Converter," *International Journal of VLSI design & Communication Systems*, June 2011
- [51] P. Iyappan, P. Jamuna, and S. Vijayasamundiswary, "Design of analog to digital converter using CMOS logic," *International Conference on Advances in Recent Technologies in Communication and Computing*, 2009
- [52] B. Drakhlis, Calculate Oscillator Jitter by using Phase Noise Analysis-part1, *Microwave & RF Journal*, vol.40, no.1, January 2001, p. 82–90 and 157
- [53] B. Drakhlis, Calculate Oscillator Jitter by using Phase Noise Analysis-part2, *Microwave&RF Journal*, vol.40,no.2, January 2001, p 109–119.

- [54] S. Weaver, B.Hershberg, and Un-Ku Moon, "Digitally Synthesized Stochastic Flash ADC Using Only Standard Digital Cells", *IEEE Transactions on Circuits and Systems*, vol. 61, no.1, Jan 2014
- [55] R. H. Fox, A. J. Solman: "A new technique for monitoring the deep body temperature in man from the intact skin surface," *Journal of physiology*, 1971.
- [56] R. H. Fox, A. J. Solman, R. Isaacs, A. J. Ferry, I. C. Mac Donald: "A new method for monitoring deep body temperature from the skin surface," *Clinical science*, 1972.
- [57] H. Pan and A. A. Abidi, "Spectral Spurs due to Quantization in Nyquist ADCs," *IEEE Transactions on Circuits and Systems*, vol. 51, No. 8, August 2004, p. 1422–1439.
- [58] S. Sheikhaei, S. Mirabbasi, and A. Ivanov, "A 4-Bit 5GS/s Flash A/D Converter in 0.18  $\mu\text{m}$  CMOS," *IEEE International Symposium on Circuits and Systems (ISCAS)*, May 2005, p. 6138–6141.
- [59] A. Chlipala, et al., "Deluge: Data Dissemination for Network Reprogramming at Scale," *Proc. of 2<sup>nd</sup> Inter. Conf. on Embedded Networked Sensor Systems*, 2004, p. 81–94.
- [60] Hong Ge Li; Xin Yu Yin; Zhi Yu Zhang, "High Precision Mixed Modulation DAC for an 8-Bit AMOLED Driver IC," *Display Technology, IEEE Journal of*, DOI: 10.1109/JDT.2015.2406774, vol.11, Issue 5, 2015, p.423–429
- [61] Askhedkar, A.A.; Agrawal, G.H.; Gudgunti, M., "Implementation of 4-bit Direct Charge Transfer Switched Capacitor DAC with mismatch shaping technique,"

*International Conference on Pervasive Computing (ICPC)*,

DOI: 10.1109/PERVASIVE.2015.7086968, 2015, p.1–4

- [62] Nazir, L. ; Mir, R.N. ; Hakim, N.-U.-D., “ A 4 GS/s, 1.8 V multiplexer encoder based flash ADC using TIQ technique,” *International Conference on Signal Processing and Integrated Networks (SPIN)*, DOI: 10.1109/SPIN.2014.6776997, 2014, p.458–463
- [63] Gupta, Y. ; Garg, L. ; Khandelwal, S. ; Gupta, S. ; Jain, S. ; Saini, S., “ A 4-bit, 3.2 GSPS flash analog to digital converter with a new multiplexer based encoder ,” *International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON)*, DOI: 10.1109/ECTICon.2014.6839721, 2014, p.1–6
- [64] Basu, Dhruvajyoti ; Mukherjee, Sagar ; Saha, Dipankar ; Chatterjee, Sayan ; Sarkar, C.K., “ An optimized analog layout for a Low Power 3-bit flash type ADC modified with the CMOS inverter based comparator designs ,” *International Conference on Circuits, Power and Computing Technologies (ICCPCT)*, DOI: 10.1109/ICCPCT.2013.6528939, 2013, p.307–311.
- [65] Kunal Desai, Rajasekhar Nagulapalli, Vijay Krishna, Rajkumar Palwai, Pravin Kumar Venkatesan and Vijay Khawshe, “High Speed Clock and Data Recovery Circuit with Novel Jitter ReductionTechnique,” *International Conference on VLSI Design*, 2010, p. 300–305.
- [66] Jinchel Yoo, Daegy Lee, Kyushun Choi, Jongsoo Kin “A Power and Resolution Adaptive Flash Analog-to-Digital Converter CMOS Flash ADC Analog-to-Digital

Converter”, *In Proceedings of the International Symposium on Low Power Electronic and Design*, 2002, p. 233–236.

- [67] J. Yoo, K. Choi, D. Lee., “Comparator generation and selection for highly linear CMOS flash analog to digital converter,” *Journal of Analog Integrated Circuits and Signal Processing*, vol. 2, no. 35, 2003, p. 179–187.
- [68] N. Verma and A. Chandrakasan, “A 25  $\mu$ W 100ks/s 12b adc for wireless micro-sensor applications,” *Proc. Digest of Technical Papers. IEEE International Solid-State Circuits Conference*, 2006, p. 822–831.
- [69] A. Al and al., “Design of a low-power flash analog-to-digital converter chip for temperature sensors in 0.18  $\mu$ m CMOS process,” *Acta Scientiarum Technology*, vol.37, no. 1, 2015, p. 33–40.
- [70] AES5-1984, “AES recommended practice for Professional Digital Audio Applications employing PCM - preferred sampling frequencies” *Audio Engineering society*, New York, NY, USA (1984).
- [71] ANSI-SMPTE 125M-1992, “SMPTE standard” *The society of Motion Pictures and Television Engineering*, New York. NY, USA (1992).
- [72] H.-G. Ryu, Y.-Y. Kim, H.-M. Yu, S.-B. Ryu, “Design Of DDFS-Driven PLL Frequency Synthesizer with Reduced Complexity,” *IEEE Transactions on Consumer Electronics*, Vol. 47, No. 1, Feb. 2001, p.194–198.

- [73] B. Pontikakis, F. -R. Boyer, Y. Savaria, H. T. Bui, “Precise Free-Running Period Synthesizer(FRPS) with Process and Temperature compensation” *Midwest Symposium on Circuits and Systems*, August 2007, p. 1118–1121.
- [74] Njinowa, M. S., Hung Tien Bui, Boyer, F.-R., “Peak-to-Peak Jitter Reduction Technique for the Free-Running Period Synthesizer (FRPS),” *IEEE International Symposium on Circuits and Systems*, 2010, p. 1312–1315.
- [75] K. N. Hosur, Dariyappa, Shivanand, Vijay, Nagesha, Girish V. Attimarad, Harish M. Kittur, “Design of 4-bit flash ADC using TMCC & NOR ROM encoder in 90nm CMOS technology,” *Trends in Automation Communications and Computing Technology (I-TACT-15) International Conference on*, Vol. 01, 2015, p. 1–6.
- [76] S. M. Mayur, R. K. Siddharth, Y. B. Nithin Kumar, M. H. Vasantha, “Design of Low Power 5-Bit Hybrid Flash ADC,” *VLSI (ISVLSI) 2016 IEEE Computer Society Annual Symposium on*, 2016, pp. 343–348.
- [77] Vardhan and al., “Design and Implementation of 5-Bit Low Power Dynamic Thermometer Encoder for Flash ADC,” *International Journal of Advanced Technology and Innovative Research*, Vol. 8, October 2016.
- [78] Mayur and al., “Design of Low Power 5-bit Hybrid Flash ADC,” *IEEE Computer Society Annual Symposium on VLSI*, 2016.
- [79] Vishnu and al., “Mixed-Signal Design Using Digital CAD,” *IEEE Computer Society Annual Symposium on VLSI*, 2016.

- [80] Mahmoud Mahlouji, "Adaptive Jitter Reduction in All Digital Symbol Timing Recovery Loops," *International Journal of Computer Science Issues*, Vol.12, Issue 2, Mars 2015.

## ANNEXES

## A.1 Liste des symboles

$C$	Capacité du condensateur
$C_{ox}$	Capacité de grille du transistor par unité de stockage
dB	Décibel
$I_P$	Courant dans le réseau de transistors PMOS
$I_N$	Courant dans le réseau de transistors NMOS
L	Largeur du transistor MOS
N	Nombre de bits
$N_d$	Sortie numérique du convertisseur
$t_c$	Temps de conversion
$T_S$	Sampling period
VDD, VCC	Tension d'alimentation
$V_{IN}$	Tension d'entrée analogique
$V_D$	Tension de sortie au drain
$V_{TH}$	Tension de seuil du transistor
$V_{GTH}$	Tension de seuil d'une porte logique
VGS	Tension grille-source d'un transistor MOS
VDS	Tension drain-source d'un transistor MOS
Vref	Tension de référence



$V_{ic}$	Tension initiale du condensateur
$W$	Longueur du transistor MOS

## A.2 Acronymes

AC	Alternative Courant
ADC	Analog to Digital Converter
CMOS	Complemented Metal Oxide Semiconductor
DAC	Digital to Analog Converter
DC	Direct Courant : Courant continu
DNL	Differential Non Linearity
ENOB	Effective Number Of Bits
FPGA	Field Gate Programmable Array
FSR	Full Scale Range: Pleine Echelle $V_{PE}$
INL	Integral Non Linearity
LSB	Least Significant Bit
MOS	Metal Oxide Semiconductor
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
MSB	Most Significant Bit
MS/s	Megasample per second
PVT	Process, Voltage, Temperature

RSV	Random Size Variation
RMS	Root Mean Square
RSV	Random Size Variation
SAR	Successive Approximation Register
S/H	Sample and Hold
SSV	Systematic Size Variation
SFDR	Spurious Free Dynamic Range
SNR	Signal to Noise Ratio
SNDR	Signal to Noise and Distorsion Ratio
SoC	System On Chip
THB	Total Harmonic Distorsion
TIQ	Threshold Inverter Quantization
WLAN	Wireless Local Area Network