

## TABLE DES MATIÈRES

	Page
INTRODUCTION .....	1
CHAPITRE 1 INTRODUCTION AUX TRANSMETTEURS.....	3
1.1 Introduction .....	3
1.2 Problématique des amplificateurs de puissance .....	3
1.2.1 La linéarité .....	3
1.2.2 Les effets de la non-linéarité.....	7
1.2.3 L'efficacité.....	7
1.3 La technique EE&R .....	8
1.4 La technique Doherty.....	9
1.5 La technique feedback.....	10
1.6 La technique Feedforward.....	13
1.7 La technique de prédistorsion.....	14
1.8 Étude d'un transmetteur LINC : Architecture et performances .....	16
1.8.1 Architecture générale d'un transmetteur LINC .....	16
1.8.2 Le débalancement entre les deux branches .....	21
1.8.3 Les techniques de correction.....	22
1.9 Étude du transmetteur LINC existant et architectures proposées .....	24
1.9.1 Banc d'expérimentation actuel du système LINC et problèmes associés ....	24
1.9.2 Architectures proposées du transmetteur LINC .....	27
1.10 Conclusion.....	32
CHAPITRE 2 SECTION BANDE DE BASE/IF DU TRANSMETTEUR LINC.....	33
2.1 Introduction .....	33
2.2 Spécifications de la section bande de base/IF du transmetteur .....	33
2.3 Architecture de la section bande de base/IF du transmetteur .....	34
2.3.1 Le générateur pseudo aléatoire de la séquence binaire.....	37
2.3.2 Le modulateur des données numérique .....	39
2.3.3 Le filtre de mise en forme .....	42
2.3.4 La décomposition du signal .....	45
2.3.5 La modulation I/Q numérique .....	49
2.3.6 L'interpolation des données.....	51
2.4 Conception et implémentation de la section numérique .....	52
2.4.1 FPGA Vs. DSP .....	52
2.4.2 Description de la plateforme matérielle et logicielle.....	54
2.4.3 Implémentation du générateur pseudo aléatoire de la séquence binaire.....	60
2.4.4 Implémentation du modulateur des données numérique .....	62
2.4.5 Implémentation du filtre de mise en forme.....	65
2.4.6 Implémentation du bloc SCS .....	74
2.4.7 Implémentation du bloc modulateur I/Q numérique .....	76
2.4.8 Le diviseur d'horloge.....	80

2.5	Tests et résultats de la section numérique .....	84
2.5.1	Utilisation des ressources FPGA .....	84
2.5.2	Impact de la décomposition sur le bilan énergétique .....	85
2.5.3	Simulation des signaux à enveloppe constante .....	86
2.5.4	Tests et résultats expérimentaux .....	88
2.6	Conclusion .....	100
CHAPITRE 3 SECTION RF FRONT-END DU TRANSMETTEUR LINC .....		101
3.1	Introduction .....	101
3.2	Spécifications de la section RF .....	102
3.3	Architecture de la section RF .....	103
3.3.1	Architecture des chaînes directes de la section analogique .....	103
3.3.2	Architecture de la chaîne de retour de la section analogique .....	108
3.4	Conception de la carte RF front-end .....	109
3.4.1	Le filtre de reconstitution .....	113
3.4.2	Le modulateur I/Q analogique .....	114
3.4.3	L'oscillateur local .....	115
3.4.4	L'amplificateur à gain variable .....	118
3.4.5	L'atténuateur variable .....	119
3.4.6	Le mélangeur .....	120
3.4.7	Le contrôleur automatique de gain .....	121
3.5	Tests et résultats de la carte RF .....	122
3.5.1	Le CPLD .....	125
3.5.2	Le générateur et distributeur d'horloge .....	125
3.5.3	Les oscillateurs locaux (LO) .....	125
3.5.4	Les modulateurs I/Q .....	126
3.5.5	Recommandations .....	128
3.6	Conclusion .....	130
CONCLUSION .....		131
RECOMMANDATIONS .....		133
ANNEXE I	ARCHITECTURE DE LA CARTE FPGA DE LYRTECH .....	135
ANNEXE II	LE FICHIER DES COEFFICIENTS DU FILTRE FIR .....	136
ANNEXE III	TABLE DE CORRESPONDANCE (LUT) DU SCS .....	137
ANNEXE IV	BOUCLE DE VERROUILLAGE DE PHASE .....	138
ANNEXE V	ADISimPLL .....	140
ANNEXE VI	PCB DE LA CARTE RF FRONT-END DU TRANSMETTEUR LINC .....	142
BIBLIOGRAPHIE .....		143

## LISTE DES TABLEAUX

	Page	
Tableau 2.1	Nombre de bits par symbole associé à chaque type de modulation .....	40
Tableau 2.2	Caractéristiques du FPGA Vs. DSP .....	54
Tableau 2.3	Caractéristiques de la carte CNA Lyrtech et celle du LACIME .....	57
Tableau 2.4	Les ressources du FPGA Xilinx XC4VSX55 .....	58
Tableau 2.5	Espace mémoire LUT requis pour chaque type de modulation .....	63
Tableau 2.6	Codage des données pour la modulation BPSK.....	64
Tableau 2.7	Codage des données pour la modulation QPSK.....	65
Tableau 2.8	Description des différents signaux de contrôle du filtre FIR .....	72
Tableau 2.9	Niveaux de quantification des différents signaux du filtre FIR .....	74
Tableau 2.10	Description des différents signaux de contrôle du bloc DDS .....	79
Tableau 2.11	Fréquences d'échantillonnage des différents blocs du transmetteur.....	83
Tableau 2.12	Capacité de génération de débit binaire pour chaque modulation.....	83
Tableau 2.13	Ressources consommées au sein du FPGA.....	84
Tableau 2.14	Comparaison de la consommation entre l'implémentation sans décomposition et celle avec décomposition.....	86

## LISTE DES FIGURES

	Page
Figure 1.1	Compression du gain en puissance d'un amplificateur non linéaire.....
Figure 1.2	Spectre de sortie d'un amplificateur non linéaire pour un test à deux porteuses.....
Figure 1.3	Schéma du principe de la technique EE&R .....
Figure 1.4	Architecture d'un transmetteur Doherty.....
Figure 1.5	La technique Envelope Feedback appliquée sur le transmetteur .....
Figure 1.6	La technique Envelope Feedback appliquée sur l'amplificateur de puissance .....
Figure 1.7	La technique Polar loop Feedback.....
Figure 1.8	La technique Cartesian Feedback .....
Figure 1.9	La technique Feedforward.....
Figure 1.10	Principe de la technique de prédistorsion .....
Figure 1.11	Principe de la correction par prédistorsion .....
Figure 1.12	La technique de prédistortion numérique.....
Figure 1.13	Principe de la technique LINC. ....
Figure 1.14	Représentation vectorielle de la décomposition dans la technique LINC.
Figure 1.15	Architecture générale d'un transmetteur LINC. ....
Figure 1.16	Principe de la correction numérique du débalance.....
Figure 1.17	Banc d'expérimentation LINC du Laboratoire LACIME. ....
Figure 1.18	Architecture d'un transmetteur LINC à conversion directe. ....
Figure 1.19	Architecture d'un transmetteur LINC super hétérodyne.....
Figure 2.1	Architecture globale de la section numérique du transmetteur LINC. ....
Figure 2.2	Implémentation d'un LFSR de type Galois. ....

Figure 2.3	Implémentation d'un LFSR de type Fibonacci.....	39
Figure 2.4	Principe d'un modulateur numérique en bande de base.....	39
Figure 2.5	Constellation de la modulation BPSK.....	40
Figure 2.6	Constellation de la modulation QPSK.....	41
Figure 2.7	Constellation de la modulation 16QAM.....	41
Figure 2.8	Constellation de la modulation 64QAM.....	42
Figure 2.9	Réponse fréquentielle d'un filtre de cosinus surélevé.....	44
Figure 2.10	Structure d'un filtre de mise en forme.....	45
Figure 2.11	Bloc SCS par LUT.....	46
Figure 2.12	Bloc SCS par méthode polaire.....	47
Figure 2.13	Architecture d'un modulateur I/Q numérique.....	50
Figure 2.14	Processus fondamental d'un DDS.....	50
Figure 2.15	Principe d'interpolation.....	52
Figure 2.16	Photographie de la carte FPGA de Lyrtech.....	55
Figure 2.17	Processus de développement d'une application sur un circuit FPGA de la famille Xilinx.....	60
Figure 2.18	Architecture du LFSR implémenté.....	61
Figure 2.19	Architecture du modulateur des données numérique.....	62
Figure 2.20	Les blocs "Constellation mapper" et les différents signaux associés.....	64
Figure 2.21	Architecture d'un filtre FIR.....	66
Figure 2.22	Interface de FIR Compiler.....	68
Figure 2.23	Réponse fréquentielle du filtre RRC avec un roll-off de 0.35.....	69
Figure 2.24	Réponse impulsionnelle du filtre RRC avec un roll-off de 0.35.....	70
Figure 2.25	Architecture FIR de type Systolic Multiply-Accumulate.....	71
Figure 2.26	Le bloc FIR filter et les différents signaux associés.....	72

Figure 2.27	Architecture du bloc SCS.....	75
Figure 2.28	Architecture du bloc modulateur I/Q numérique.....	77
Figure 2.29	Shéma bloc du DDS.....	78
Figure 2.30	Le bloc DDS avec les différents signaux associés. ....	79
Figure 2.31	Le bloc diviseur d'horloge.....	81
Figure 2.32	Constellation du signal S1.....	87
Figure 2.33	Constellation du signal S2.....	87
Figure 2.34	Interface logicielle de Lyrtech.....	88
Figure 2.35	Plateforme des tests numériques. ....	89
Figure 2.36	Schéma de test numérique des différents signaux.....	90
Figure 2.37	Spectre du signal S pour un taux de symboles de 1.25 MHz.....	91
Figure 2.38	Spectre du signal S1+S2 pour un taux de symboles de 1.25 MHz.....	91
Figure 2.39	Spectre du signal S1+S2 pour un taux de symboles de 2.5 MHz.....	92
Figure 2.40	Constellation de la modulation QPSK. ....	93
Figure 2.41	Constellation de la modulation 16QAM. ....	94
Figure 2.42	Spectre du signal S1 (ou S2) pour un taux de symboles de 1.25 MHz (span = 10 MHz).....	95
Figure 2.43	Spectre du signal S1 (ou S2) pour un taux de symboles de 1.25 MHz (span = 20 MHz).....	95
Figure 2.44	Constellation QPSK du signal S1 (ou S2) pour un taux de symboles de 1.25 MHz.....	97
Figure 2.45	Constellation 16QAM du signal S1 (ou S2) pour un taux de symboles de 1.25 MHz.....	97
Figure 2.46	Spectre du signal après recombinaison analogique de S1 et S2.....	98
Figure 2.47	Constellation QPSK du signal après recombinaison de S1 et S2.....	99
Figure 2.48	Constellation 16QAM du signal après recombinaison de S1 et S2.....	99

Figure 3.1	Architecture de la section RF du transmetteur LINC super hétérodyne..	104
Figure 3.2	Architecture de la section RF du transmetteur LINC à conversion directe.....	107
Figure 3.3	Architecture de la boucle de retour de correction du transmetteur LINC .....	108
Figure 3.4	Architecture globale du transmetteur LINC.....	110
Figure 3.5	Flot de conception de la carte électronique.....	112
Figure 3.6	Reconstitution du signal à la sortie du CNA. ....	113
Figure 3.7	Photographie de la carte RF du transmetteur LINC. ....	124
Figure 3.8	Plateforme de test des chaines directes de la carte de la carte RF.....	127
Figure 3.9	Circuit modulateur réalisé. ....	128

## **LISTE DES ABRÉVIATIONS, SIGLES ET ACRONYMES**

ACI	Adjacent Channel Interference
ADC	Analog to Digital Converter
AGC	Automatic Gain Controller
AM-AM	Amplitude to Amplitude distortion
AM-PM	Amplitude to Phase distortion
BER	Bit Error Rate
BPSK	Binary Phase Shift Keying
CAN	Convertisseur Analogique Numérique
CAO	Conception Assistée par Ordinateur
CDMA	Code Division Multiple Access
CLB	Configurable Logic Block
CNA	Convertisseur Numérique Analogique
CORDIC	Coordinate Rotation Digital Computer
CPLD	Complex Programmable Logic Device
DAC	Digital to Analog Converter
DC	Direct Current
DCM	Digital Clock Manager
DDS	Direct Digital Synthesizer
DIF	Digital Intermediate Frequency
DPM	Digital Phase Modulation
DSP	Digital Signal Processing
EVM	Error Vector Magnitude
FIR	Finite Impulse Response
FPDP	Front Panel Data Port
FPGA	Field Programmable Gate Array
GUI	Graphical User Interface
HF	High Frequency
IF	Intermediate Frequency

IIP3	Third Order Intercept point
IMD	Inter-Modulation Distortion
IOB	Input Output Block
ISI	Inter Symbol Interference
LACIME	LAboratoire de Communication et d'Intégration de la Micro-Electronique
LED	Light Emitting Diode
LFSR	Linear Feedback Shift Register
LINC	LInear amplification with Non linear Components
LO	Local Oscillator
LPF	Low Pass Filter
LUT	Look-Up table
MAC	Multiplie Accumulate unit
MILC	Modified Implementation of the Linc Concept
MMAC	Million Multiplie Accumulate unit
MSPS	Mega-Samples Per Second
OCXO	Oven Controlled Crystal Oscillator
OFDM	Orthogonal Frequency Division Multiplexing
PA	Power Amplifier
PAE	Power Added Efficiency
PC	Personal Computer
PCB	Printed Circuit Board
PCI	Peripheral Component Interconnect
PLL	Phase Locked Loop
PMCD	Phase Matched Clock Divider
PRBS	Pseudo Random Binary Sequence
QAM	Quadrature Amplitude Modulation
QFP	Quad Flat Package
QPSK	Quadrature Phase Shift Keying
RAM	Random Access Memory
RF	Radio frequency

ROM	Read Only Memory
RPC	Real to Polar Converter
RRC	Root Raised Cosine
SCS	Signal Component Separator
SDRAM	Synchronous Dynamic Random Access Memory
SRRC	Square Root Raised Cosine
UAL	Unité Arithmétique Logique
VCO	Voltage Controlled Oscillator
VGA	Variable Gain Amplifier
VHF	Very High Frequency
VSWR	Voltage Standing Wave Ration
WCDMA	Wideband Code Division Multiple Access

## INTRODUCTION

La forte croissance du nombre d'utilisateurs des réseaux de communication sans fil a constraint les acteurs de ce marché d'augmenter leur capacité et de diversifier leurs services. Afin d'atteindre ces objectifs et vu la rareté des ressources spectrales, un recours à des modulations ayant de meilleures efficacités spectrales a été inévitable. Ces modulations, telles que les modulations QAM (*Quadrature Amplitude Modulation*) ou OFDM (*Orthogonal Frequency Division Multiplexing*), transportent l'information à la fois dans la phase et dans l'amplitude. Cependant, la variation d'enveloppe dans ce type de modulations peut causer des sévères contraintes sur le transmetteur et plus particulièrement sur l'amplificateur de puissance qui est l'élément clé en ce qui concerne la linéarité et la consommation énergétique dans une chaîne de communication sans fil. En effet, l'amplificateur de puissance RF (*Radio frequency*) sert à amplifier un signal RF à son entrée à l'aide d'une puissance DC d'alimentation. Cette amplification s'accompagne par une perte d'énergie qui réduit sensiblement son efficacité énergétique. De plus, comme tout composant actif, il présente un comportement non linéaire causant des distorsions sur les signaux à enveloppe variable et nuisant en conséquence à la qualité de la réception. Ainsi, le développement des amplificateurs à la fois linéaires et efficaces représente un défi technique considérable. Plusieurs techniques d'amplification ont été proposées dans l'objectif d'améliorer ces paramètres. L'une des techniques les plus utilisées dans ce cadre, est la technique LINC (*LInear amplification with Non linear Components*) qui repose sur un principe de décomposition de signal modulé en amplitude et en phase en deux signaux à enveloppe constante. Cette décomposition intelligente permet d'opérer une paire d'amplificateurs dans leur point de saturation où l'efficacité énergétique est maximale. La recombinaison des signaux de sortie des amplificateurs permet de générer le signal d'origine amplifié.

Même si cette technique permet en théorie d'avoir une parfaite linéarité, ceci est loin d'être le cas dans la pratique. En effet, des problèmes de débalancement entre les deux branches sont inévitables à cause de l'ensemble des imperfections du système (asymétrie du combinateur, vieillissement des transistors, désynchronisation des signaux...). Ainsi, une attention

particulière doit être portée au niveau de la décomposition du signal qui doit aboutir à une parfaite synchronisation entre les deux signaux à enveloppe constante en termes d'amplitude et de phase afin de réduire les sources de non-linéarité du système. C'est dans ce cadre que s'inscrit ce travail. L'objectif est de développer une plateforme matérielle permettant d'implémenter la technique de décomposition des signaux et servira comme un générateur de signaux synchrones dans un système LINC global. Ce mémoire est divisé, alors, en trois parties.

Le premier chapitre présente d'une façon générale les amplificateurs de puissance et les enjeux liés à leur utilisation. On y décrit quelques techniques d'amplification proposées dans la littérature. Ensuite, une étude détaillée de la technique LINC faisant l'objet de notre travail. La fin de ce premier chapitre est consacrée à la présentation de l'état actuel et les solutions proposées en conséquence.

Le deuxième chapitre concerne la section numérique de la plateforme à développer au cours de ce travail. Cette section permet la génération et la décomposition du signal en bande de base ou autour d'une fréquence IF (*Intermediate Frequency*). On y présente alors l'architecture de l'ensemble des blocs et l'aspect lié à l'implémentation sur un FPGA (*Field Programmable Gate Array*). Enfin, on termine ce chapitre par les tests et la validation de la section numérique du transmetteur LINC.

Le troisième chapitre concerne la section analogique ou RF de notre transmetteur où nous allons étudier les deux architectures possibles pour la conception de cette partie et justifier notre choix d'une architecture par rapport à une autre. Cette partie est conçue sur une carte électronique dont on va présenter les différents composants associés et justifier le choix de chaque circuit. Enfin, on va parler de l'étape de tests de cette section et les difficultés rencontrées et suggérer en conséquence un ensemble de recommandations.

# CHAPITRE 1

## INTRODUCTION AUX TRANSMETTEURS

### 1.1 Introduction

Dans le but d'améliorer l'efficacité énergétique de l'amplificateur de puissance dans la chaîne de communication sans fil, plusieurs techniques d'amplification ont été introduites (Cripps, 2006; Raab *et al.*, 2003) dont les techniques de décomposition des signaux et en particulier la technique LINC (Cox, 1974; Cripps, 2006) qui fait l'objet de ce travail. Dans ce chapitre, nous présentons une étude sur la problématique de l'amplificateur de puissance ainsi que quelques techniques d'amplification tirées de la littérature. Ensuite, nous étudions le concept de la technique LINC fondé sur la décomposition des signaux, ainsi que les problèmes associés. Nous terminons en présentant le contexte actuel du présent travail et en proposant les architectures générales d'un transmetteur LINC.

### 1.2 Problématique des amplificateurs de puissance

#### 1.2.1 La linéarité

L'amplificateur de puissance permet d'amplifier le niveau de signal d'entrée afin d'assurer sa transmission vers le destinataire. Cette amplification peut s'accompagner par des distorsions causées par le comportement non linéaire de l'amplificateur qui modifie l'amplitude et la phase du signal d'entrée. On distingue alors deux types de distorsions : une distorsion d'amplitude et une distorsion de phase.

##### **La distorsion d'amplitude :**

Pour une tension d'entrée  $V_{in}(t)$ , le signal de sortie  $V_{out}(t)$  d'un amplificateur non linéaire peut être présenté mathématiquement comme suit :

$$V_{out}(t) = k_1 V_{in}(t) + k_2 V_{in}^2(t) + k_3 V_{in}^3(t) + \dots \quad (1.1)$$

avec les  $k_i$  ( $i \in \mathbb{N}$ ) des coefficients réels.

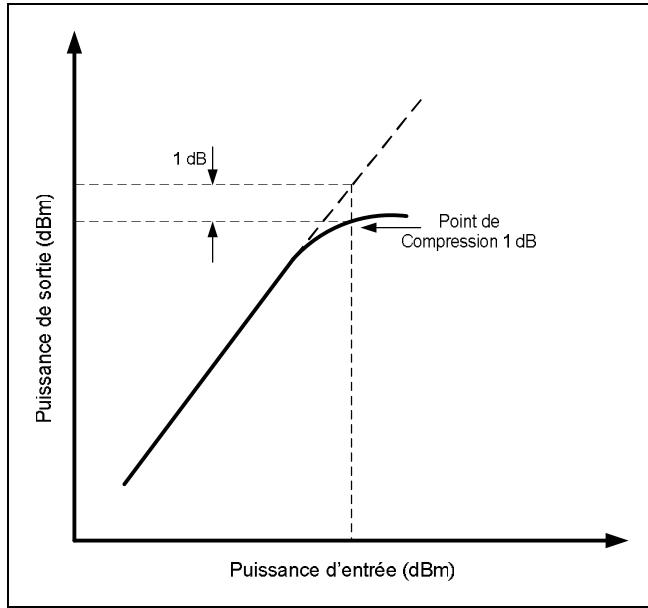
En considérant un signal d'entrée sinusoïdal  $V_{in}(t) = A \cos(wt)$ , avec les termes  $\cos(wt)^n$  linéarisés, on obtient :

$$V_{out}(t) = \frac{1}{2} k_1 A^2 + (k_1 A + \frac{3}{4} k_3 A^3) \cos(wt) + \frac{1}{2} k_1 A^2 \cos(2wt) + \frac{1}{4} k_3 A^3 \cos(3wt) + \dots \quad (1.2)$$

Le premier terme est la composante DC. Le deuxième terme est la composante fondamentale et les autres termes représentent les harmoniques indésirables. En observant la composante fondamentale, et en négligeant les ordres  $\geq 5$ , le gain du système s'écrit :

$$G = k_1 + \frac{3}{4} k_3 A^2 \quad (1.3)$$

Remarquons que ce gain peut être compressif ou expansif dépendamment des signes des coefficients  $k_1$  et  $k_3$ . Cependant, l'amplificateur présente souvent un gain compressif impliquant un  $k_1$  positif et un  $k_3$  négatif. La mesure standard de la caractéristique en gain d'un amplificateur de puissance non linéaire est le point de compression à 1dB qui représente le point où la puissance de sortie de l'amplificateur est à 1 dB au dessous de la valeur linéaire idéale. La figure 1.1 représente la compression typique du gain en puissance d'un amplificateur non linéaire.



**Figure 1.1 Compression du gain en puissance d'un amplificateur non linéaire.**

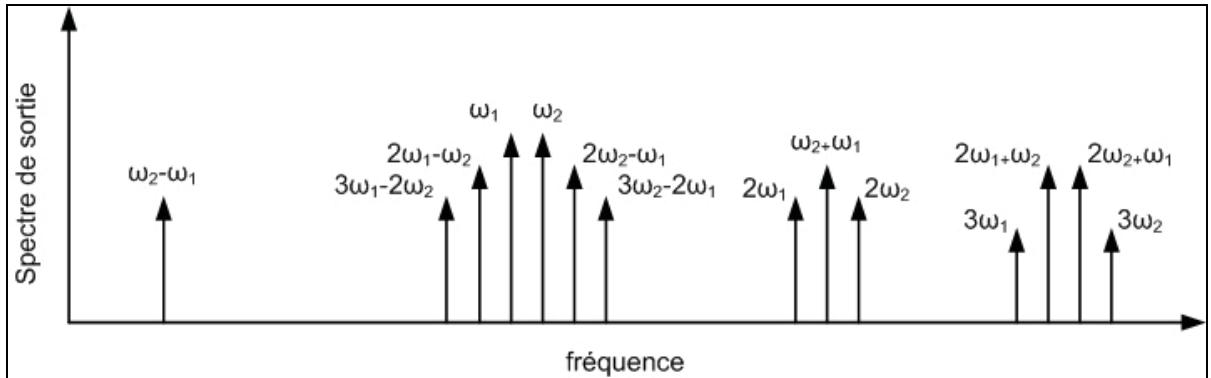
Pour mesurer la distorsion causée par les produits d'intermodulation, on utilise un signal à deux porteuses de même amplitude et de fréquences différentes :

$$V_{in}(t) = A \cos(\omega_1 t) + A \cos(\omega_2 t) \quad (1.4)$$

On obtient, après linéarisation des termes  $\cos(\omega_1 t)^n$ ,  $\cos(\omega_2 t)^m$ ,  $\cos(\omega_1 t)^n \cos(\omega_2 t)^m \dots$  ( $n$  et  $m \in \mathbb{N}$ ) :

$$\begin{aligned}
 V_{out}(t) = & k_2 A^2 + k_2 A^2 \cos(\omega_2 - \omega_1)t + (k_1 A + \frac{9}{4} k_3 A^3) \cos(\omega_1 t) + (k_1 A + \frac{9}{4} k_3 A^3) \cos(\omega_2 t) \\
 & + \frac{3}{4} k_3 A^3 \cos(2\omega_1 - \omega_2)t + \frac{3}{4} k_3 A^3 \cos(2\omega_2 - \omega_1)t + k_2 A^2 \cos(\omega_1 + \omega_2)t \\
 & + \frac{1}{2} k_2 A^2 \cos(2\omega_1 t) + \frac{1}{2} k_2 A^2 \cos(2\omega_2 t) \\
 & + \frac{3}{4} k_3 A^3 \cos(2\omega_1 + \omega_2)t + \frac{3}{4} k_3 A^3 \cos(2\omega_2 + \omega_1)t \\
 & + \frac{1}{4} k_3 A^3 \cos(3\omega_1 t) + \frac{1}{4} k_3 A^3 \cos(3\omega_2 t) + \dots
 \end{aligned} \quad (1.5)$$

La figure 1.2 représente le spectre de sortie d'un amplificateur non linéaire pour un test à deux porteuses.



**Figure 1.2 Spectre de sortie d'un amplificateur non linéaire pour un test à deux porteuses.**

Les harmoniques associées aux fréquences  $\omega_1$  et  $\omega_2$ , ainsi que les composantes fréquentielles  $n\omega_1+m\omega_2$  ( $n$  et  $m$  positifs) sont situées loin des fréquences d'intérêt et peuvent être éliminées par filtrage. Cependant, les produits d'inter-modulation à l'intérieur de la bande ( $2\omega_1-\omega_2$ ,  $2\omega_2-\omega_1$ ,  $3\omega_1-\omega_2$ ,  $3\omega_2-\omega_1$ ) ne peuvent pas, en général, être supprimés par filtrage et causent, par conséquent, des distorsions sur l'amplitude du signal qu'on appelle distorsion AM-AM (*Amplitude to Amplitude distortion*).

### Distorsion de phase :

D'une manière plus générale, les coefficients mis en jeu dans l'équation (1.1) peuvent être complexes. Ainsi, la phase du signal de sortie est distordue causant davantage de non-linéarité. On observe alors une modulation de phase indésirable sur le signal de sortie ou ce qu'on appelle distorsion de phase. Cette distorsion est connue communément sous le nom distorsion AM-PM (*Amplitude to Phase distortion*).

### 1.2.2 Les effets de la non-linéarité

Une partie du signal modulé à l'entrée de l'amplificateur de puissance non linéaire sera exposée au point de saturation de ce dernier causant des distorsions. Il est donc nécessaire d'appliquer un certain recul par rapport à la zone de saturation. Le niveau de recul dépend souvent du type de la modulation, du taux d'échantillonnage, ainsi que le coefficient de filtrage (*Roll-off*). Dans le domaine spectral, la non-linéarité de l'amplificateur cause des interférences dans les canaux adjacents du spectre du signal de sortie. Plusieurs facteurs permettent de quantifier cette non-linéarité. Les plus utilisés sont l'ACI (*Adjacent Channel Interference*) qui représente le rapport entre la puissance du signal dans le canal utile et celle dans les canaux adjacents et l'EVM (*Error Vector Magnitude*) qui représente l'erreur quadratique moyenne entre la constellation du signal reçu et la constellation idéale.

Un autre effet de la non-linéarité s'implique au niveau de la démodulation. En effet, la non-linéarité rend difficile la détection des symboles au niveau du récepteur ce qui mène à des difficultés de distinction d'un symbole par rapport à l'autre et augmente par la suite le BER (*Bit Error Rate*). C'est pourquoi les modulations d'ordre supérieur sont plus sensibles à la non-linéarité que celle d'ordre inférieur (Cripps, 2006).

### 1.2.3 L'efficacité

Il existe plusieurs définitions de l'efficacité dans un amplificateur de puissance. La première est une mesure de la conversion de la puissance d'alimentation  $P_{dc}$  en puissance de sortie  $P_{RF_{out}}$ . Elle est appelée efficacité de drain ou de collecteur et notée  $\eta$ . Son expression est la suivante :

$$\eta = \frac{P_{RF_{out}}}{P_{dc}} \quad (1.6)$$

Remarquons que cette efficacité néglige la puissance d'entrée RF. En effet, cette hypothèse est valable pour un grand niveau de gain d'amplification. Cependant, dans le cas d'un petit gain en puissance, il est nécessaire d'inclure la puissance d'entrée  $P_{RF_{in}}$  dans le bilan énergétique. Ainsi, une meilleure façon de définir l'efficacité est la *Power Added Efficiency* (PAE) qui tient compte du gain d'amplification. Elle est définie par :

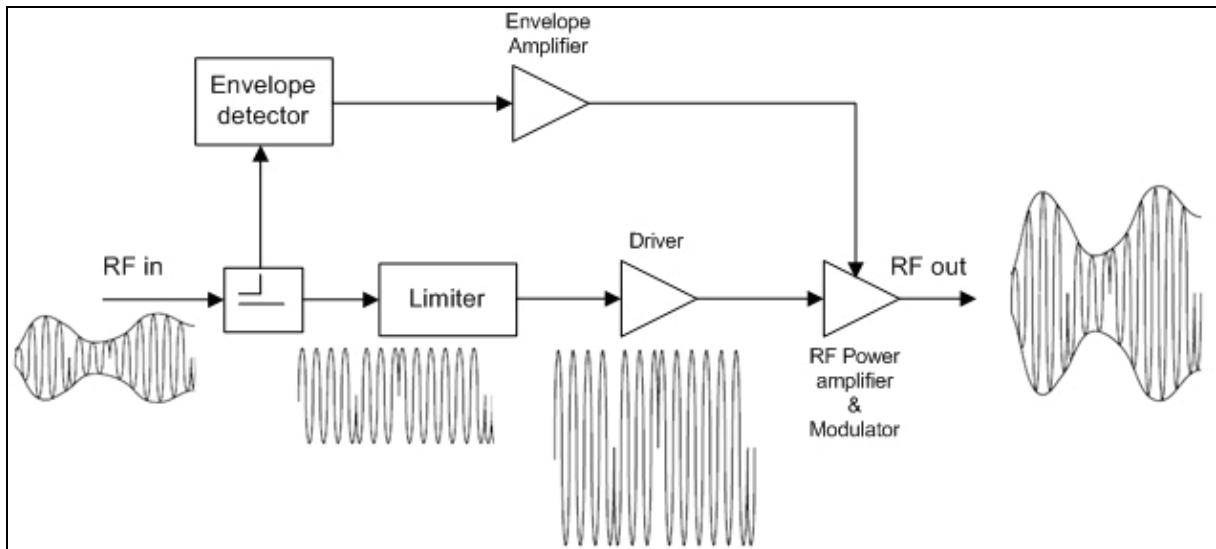
$$PAE = \frac{P_{RF_{out}} - P_{RF_{in}}}{P_{dc}} \quad (1.7)$$

Dans un transmetteur sans fil, l'étage d'amplification représente l'étage le plus consommateur de la puissance d'alimentation. Augmenter l'efficacité de l'amplificateur, ou d'une manière équivalente, augmenter la puissance RF transmise pour une même puissance DC, permettra de diminuer la consommation en puissance d'un transmetteur sans fil. Cependant, ceci implique l'opération de l'amplificateur dans son point de saturation où son comportement est fortement non linéaire. Par conséquent, il est toujours souhaitable de trouver un compromis entre ces deux grandeurs et la conception d'un tel amplificateur, à la fois linéaire et efficace, reste un défi à relever dans les systèmes de communications sans fil. Des techniques d'amplification ont été introduites afin d'améliorer ces grandeurs. Nous présentons dans les sections suivantes quelques-unes de ces techniques et nous mettons l'emphase sur la technique LINC.

### 1.3 La technique EE&R

La technique EE&R (*Enveloppe Elimination and Restoration*) ou "Khan" est la combinaison d'un amplificateur non linéaire à grande efficacité avec un amplificateur d'enveloppe pour aboutir à une amplification linéaire et très efficace. Le principe de cette technique est illustré dans la figure 1.3. Le signal d'entrée à enveloppe variable est divisé en deux parties. Une partie est injectée à l'entrée d'un limiteur pour éliminer l'enveloppe. Le signal à enveloppe constante obtenu est amplifié par la suite par un amplificateur très efficace. Un étage

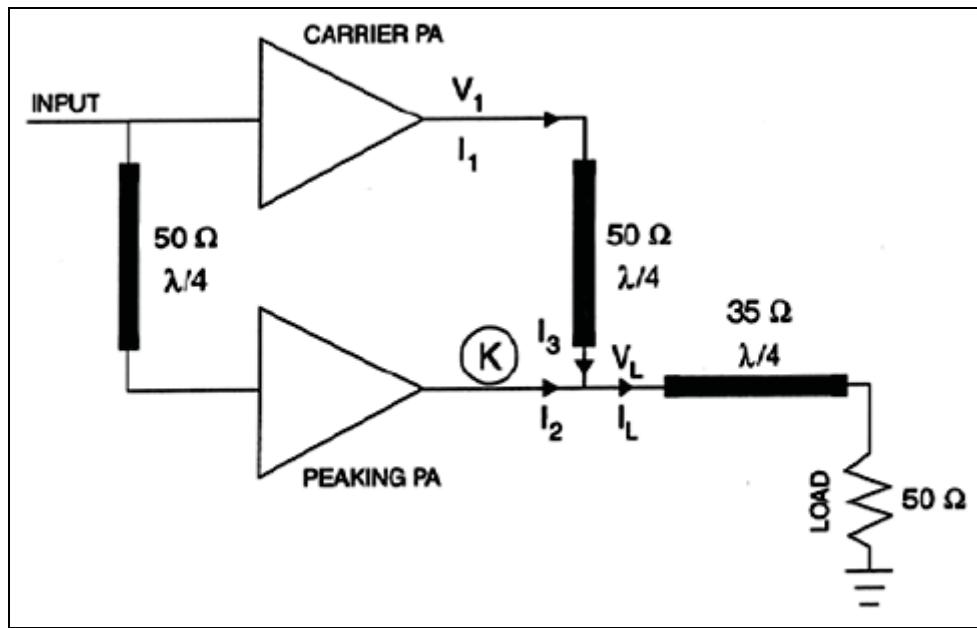
d'amplification final à modulation d'amplitude permet de reconstruire le signal d'entrée amplifié (Legarda, 2006).



**Figure 1.3 Schéma du principe de la technique EE&R.**  
Adaptée de Legarda (2006, p. 89)

#### 1.4 La technique Doherty

La technique "Doherty" est une technique d'amélioration de l'efficacité. Elle consiste à la combinaison de deux amplificateurs à travers des lignes de longueur  $\lambda/4$ . La figure 1.4 montre le principe. L'amplificateur principal (*Carrier*) fonctionne en classe AB ou B, le second est un auxiliaire (*Peaking*) qui fonctionne en classe C. Le fonctionnement du système s'effectue en deux modes : le premier est à faible puissance, où l'amplitude du signal d'entrée n'atteint pas le seuil de l'amplificateur auxiliaire qui fonctionne en classe C. On aura donc un amplificateur principal actif et un auxiliaire en circuit ouvert. Quand l'amplitude du signal d'entrée atteint la région de la puissance moyenne, l'amplificateur principal sera en mode saturation fonctionnant comme source de tension, alors que l'auxiliaire sera actif. Dans ce cas, les deux amplificateurs contribuent à la puissance de sortie.



**Figure 1.4   Architecture d'un transmetteur Doherty.**

Tirée de Raab (2003, p. 46)

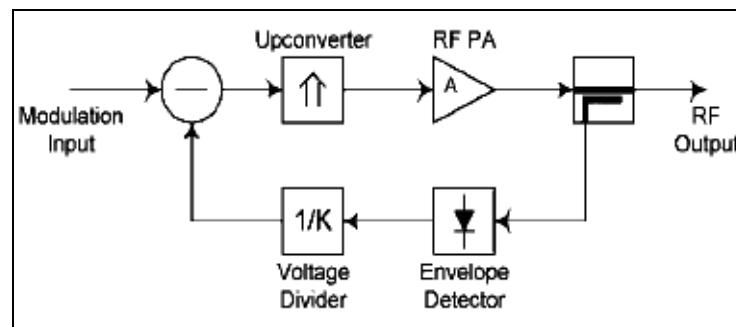
Afin d'aboutir à une meilleure linéarité, des techniques numériques peuvent être utilisées permettant un meilleur contrôle sur les amplificateurs ainsi que plusieurs étages d'amplification pour maintenir une bonne efficacité (Legarda, 2006).

## 1.5      La technique feedback

La technique de linéarisation feedback peut être appliquée soit directement sur l'amplificateur de puissance (*RF feedback*), soit indirectement sur le signal d'entrée modulé (sur l'enveloppe, sur la phase ou sur les composantes I et Q).

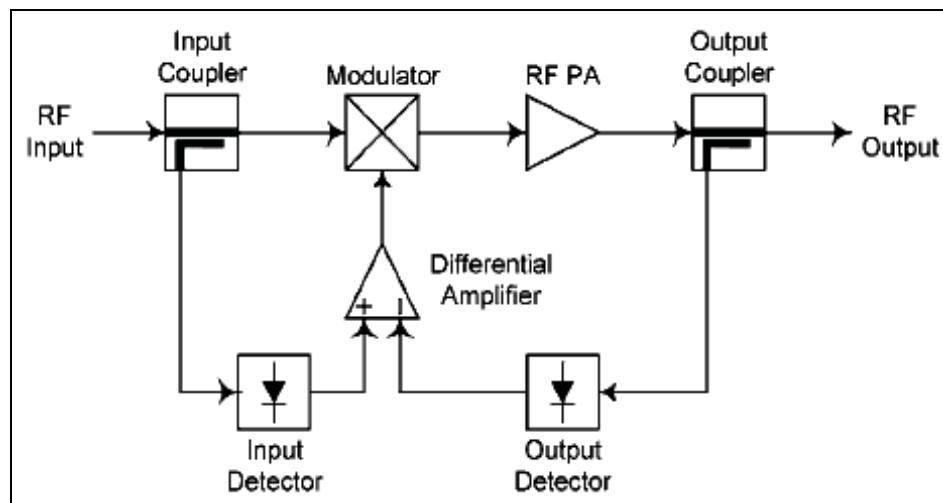
Le principe de la technique *RF Feedback* est appliqué autour de l'amplificateur de puissance : un échantillon du signal de sortie est soustrait du signal d'entrée pour être réinjecté à l'entrée de l'amplificateur. Le délai de la boucle doit être petit afin d'assurer la stabilité du système. Cette technique est généralement restreinte dans l'utilisation pour des fréquences HF et VHF à cause de la perte sur le gain d'amplification qui est significative à très haute fréquence (Raab *et al.*, 2003).

La technique *Envelope Feedback* est plus utilisée grâce à sa capacité de surmonter le problème de délai de la *RF feedback*. En effet, dans cette technique, l'enveloppe du signal de sortie est utilisée comme paramètre dans la boucle de retour pour agir sur l'enveloppe du signal à l'entrée de l'amplificateur de puissance. La technique peut être appliquée soit sur le transmetteur au complet (figure 1.5), soit uniquement sur l'amplificateur de puissance (figure 1.6).



**Figure 1.5 La technique Envelope Feedback appliquée sur le transmetteur.**

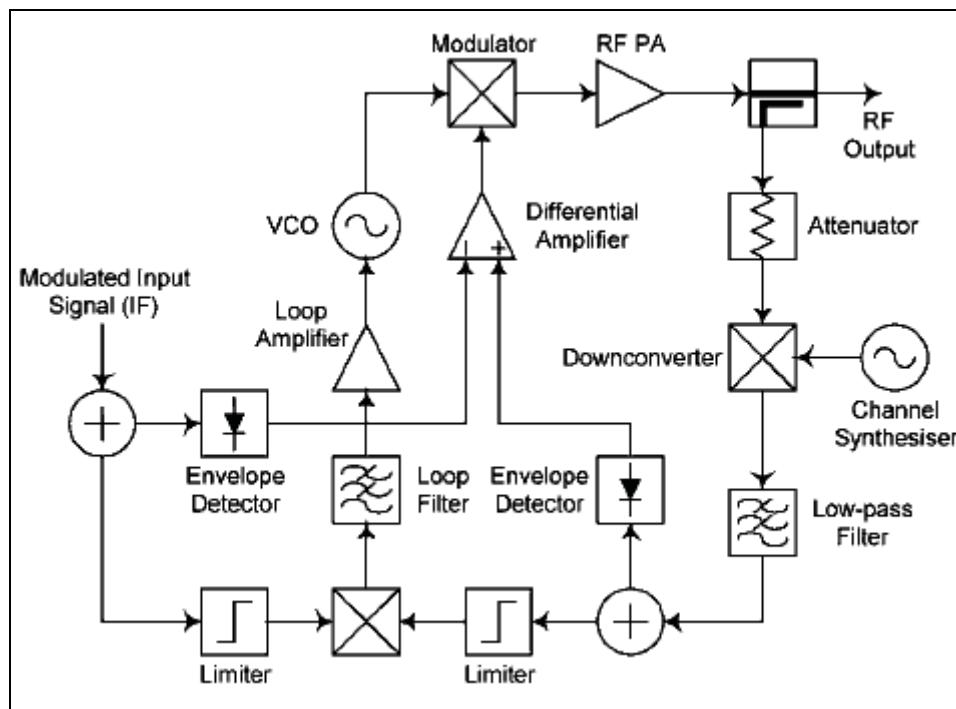
Tirée de Raab (2003, p. 38)



**Figure 1.6 La technique Envelope Feedback appliquée sur l'amplificateur de puissance.**

Tirée de Raab (2003, p. 40)

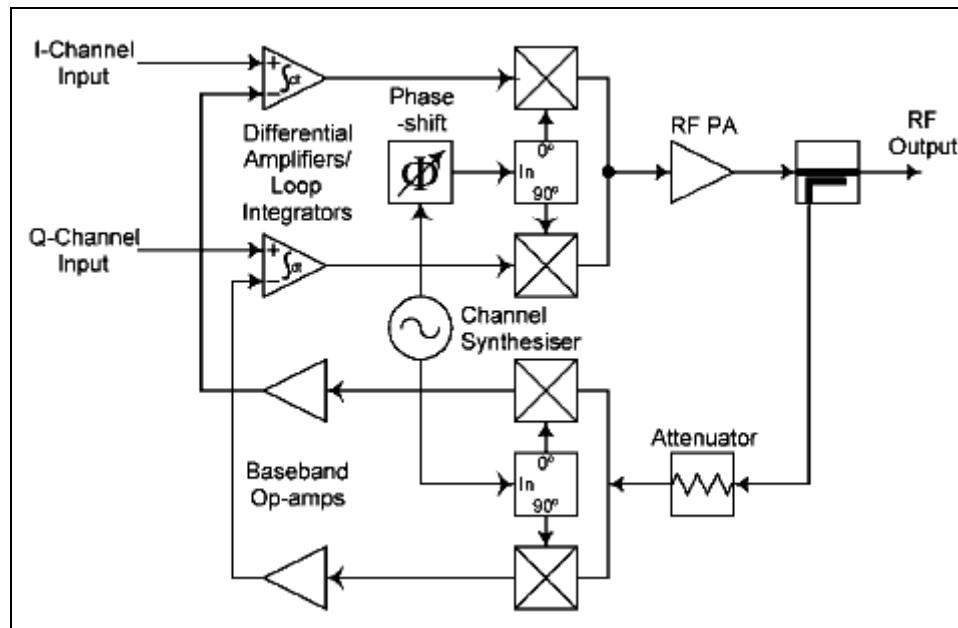
La technique *Polar-Loop feedback* capable de surmonter le problème de la technique *Envelope feedback* qui est incapable de corriger les distorsions AM-PM. Pour cela le principe repose sur l'ajout d'une boucle à verrouillage de phase (*Phase-locked loop*). Les deux boucles d'enveloppe et de phase fonctionnent d'une manière séparée. La figure 1.7 représente le principe de la technique. Cette technique souffre des problèmes liés à la différence entre les largeurs de bande des deux boucles d'amplitude et de phase (Legarda, 2006).



**Figure 1.7 La technique Polar loop Feedback.**

Tirée de Raab (2003, p. 40)

La technique *Cartesian Feedback* vient pour surmonter les problèmes liés à la largeur de bande de la boucle de phase en appliquant le retour sur les composantes cartésiennes I et Q. Le principe est illustré dans la figure 1.8.



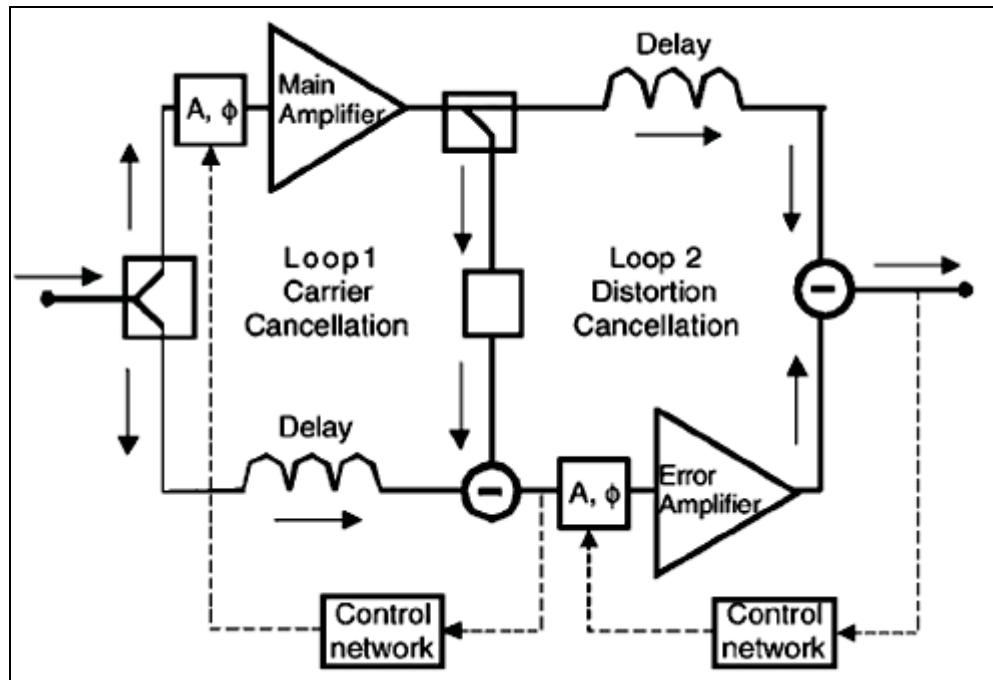
**Figure 1.8 La technique Cartesian Feedback.**  
Tirée de Raab (2003, p. 40)

## 1.6 La technique Feedforward

La figure 1.9 représente le principe de la technique *Feedforward*. Cette technique est souvent utilisée pour des applications à large bande et ultra-linéaires (Legarda, 2006). Elle comprend deux amplificateurs : un amplificateur principal (*Main amplifier*) et un amplificateur d'erreur (*Error amplifier*), des coupleurs, des lignes de délai, et des boucles de contrôle.

Le signal d'entrée est décomposé sur deux chemins. Le premier attaque l'amplificateur principal, le second passe à travers la ligne de délai. On obtient alors à la sortie de l'amplificateur le signal désiré avec une distorsion. Ce signal est échantillonné et atténué puis recombiné avec le signal d'entrée à la sortie de la ligne de délai. On obtient alors le signal d'erreur ou la distorsion du signal d'entrée vu à la sortie de l'amplificateur principal. Le signal d'erreur est amplifié ensuite par un amplificateur très linéaire à faible puissance et recombiné avec le signal de sortie de l'amplificateur principal passé à travers une ligne de délai. On obtient alors le signal d'entrée amplifié sans effets de distorsion. La boucle de contrôle sert à

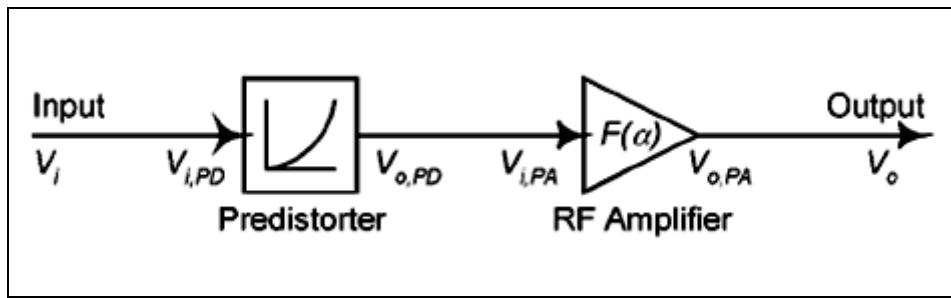
ajuster le gain et la phase du signal pour aboutir à une meilleure linéarité à la sortie du système.



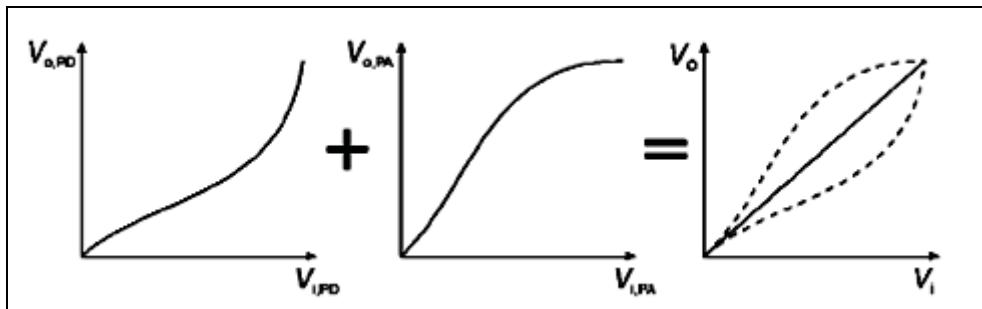
**Figure 1.9 La technique Feedforward.**  
Tirée de Raab (2003, p. 42)

### 1.7 La technique de prédistorsion

Le concept de base de la technique est présenté dans la figure 1.10. Une fonction non linéaire est insérée avant l'amplificateur de puissance afin de compenser la non-linéarité de ce dernier. Elle repose sur les réponses AM-AM et AM-PM de l'amplificateur. Le principe est illustré dans la figure 1.11.



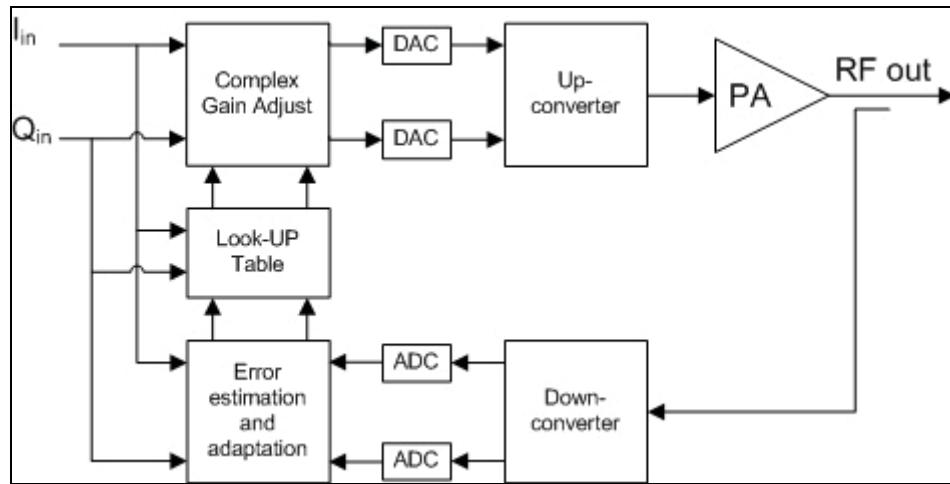
**Figure 1.10 Principe de la technique de prédistorsion.**  
Tirée de Raab (2003, p. 44)



**Figure 1.11 Principe de la correction par prédistorsion.**  
Tirée de Raab (2003, p. 44)

La technique de prédistorsion peut être appliquée en RF ou en bande de base. En RF, la fonction de prédistorsion utilisée à l'entrée de l'amplificateur est la différence entre une caractéristique non linéaire et une autre linéaire image du signal d'entrée. En bande de base, la prédistorsion numérique présente des meilleures performances en utilisant des circuits numériques (DSP, FPGA...) afin d'implémenter la fonction de prédistorsion (Legarda, 2006). Son principe est illustré dans la figure 1.12. Dans ce cas, un échantillon du signal de sortie est partiellement démodulé pour retrouver les deux composantes I et Q. On calcule par la suite l'erreur associée et on agit par une table de correspondance (LUT) sur les composantes I et Q du signal d'entrée de l'amplificateur. Pour cela, deux types de tables de correspondance peuvent être implémentés. La première est à deux dimensions I et Q. Elle consomme trop d'espace mémoire rendant le système ainsi lentement convergent. La deuxième est une table à une seule dimension adressée par l'enveloppe du signal, ce qui permet d'augmenter les

performances du système tout en diminuant son temps de convergence et l'espace mémoire requis (Raab *et al.*, 2003).



**Figure 1.12 La technique de prédistortion numérique.**

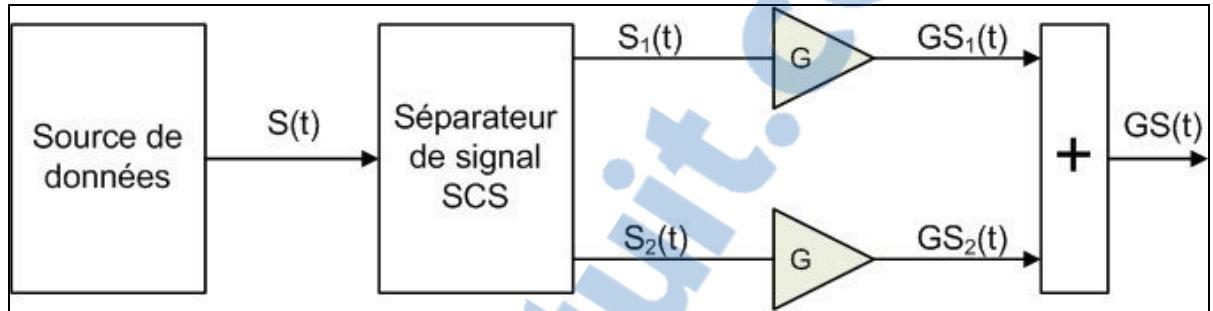
La technique de prédistorsion est très utilisée dans des nombreux systèmes de communication sans fil grâce à ses très bonnes performances et sa simplicité d'implémentation (Legarda, 2006). Une autre technique de linéarisation très répondué grâce à sa simplicité et son efficacité est la technique LINC faisant l'objet de ce travail.

## 1.8 Étude d'un transmetteur LINC : Architecture et performances

### 1.8.1 Architecture générale d'un transmetteur LINC

La technique LINC « *LInear amplification with Nonlinear Components* » est dérivée de la technique "outphasing" développée en 1935 par H.Chireix (Chireix, 1935). Elle était introduite par Donald Cox en 1974 (Cox, 1974). Le principe consiste à décomposer un signal modulé en amplitude et en phase en deux signaux modulés en phase et à enveloppe constante. Ces deux signaux sont amplifiés par des amplificateurs non linéaires et très efficaces et recombinés par la suite pour retrouver le signal d'entrée amplifié à une fréquence

RF. Le principe est illustré à la figure 1.13. On arrive ainsi à éliminer les distorsions causées par les amplificateurs non linéaires en amplifiant des signaux à enveloppe constante.



**Figure 1.13 Principe de la technique LINC.**

La décomposition du signal par le séparateur de signal SCS (*Signal Component Separator*) et la recombinaison sont deux opérations délicates. En effet, plusieurs ouvrages ont été publiés sur la technique LINC et ses performances notamment sur la décomposition et la recombinaison du signal.

#### La décomposition du signal sous la forme polaire :

Le bloc SCS permet de décomposer un signal modulé en amplitude et en phase en deux signaux modulés en phase à enveloppe constante. En effet, le signal d'entrée peut être écrit en bande de base sous la forme (Hetzell, Bateman et McGeehan, 1991):

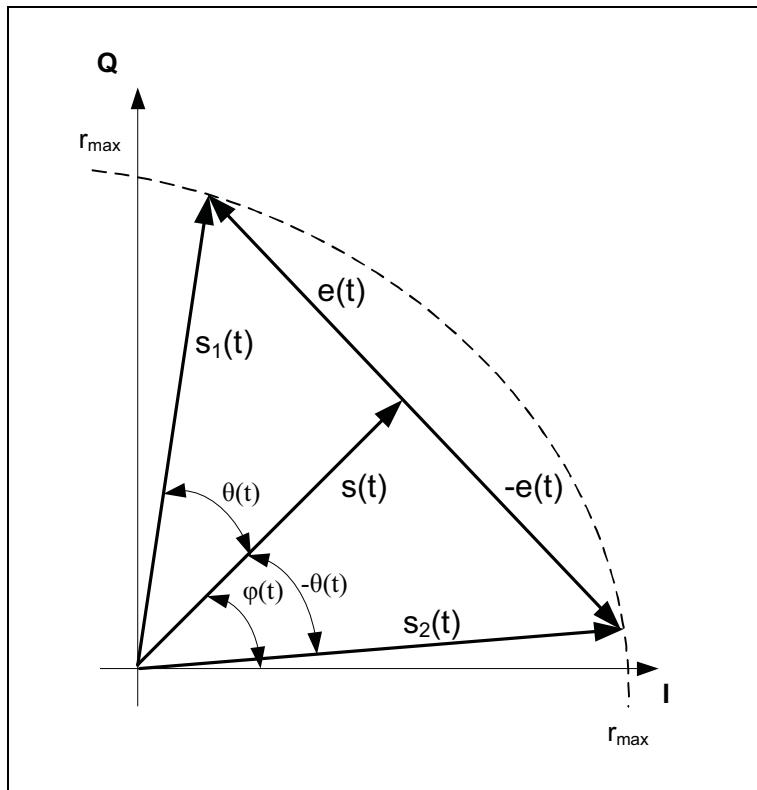
$$S(t) = r(t)e^{j\varphi(t)} \quad (1.8)$$

Ce signal d'entrée d'amplitude  $r(t)$ , avec  $0 \leq r(t) \leq r_{\max}$ , et de phase instantanée  $\varphi(t)$  est décomposé en deux signaux  $S_1(t)$  et  $S_2(t)$  modulés en phase :

$$2S(t) = S_1(t) + S_2(t) \quad (1.9)$$

où  $|S_1(t)| = |S_2(t)| = r_{\max}$  représente l'amplitude maximale du signal.

Les deux vecteurs  $S_1(t)$  et  $S_2(t)$  sont obtenus en sommant  $S(t)$  avec une composante en quadrature de phase  $e(t)$  (Hetzell, Bateman et McGeehan, 1991; Poitau et Kouki, 2006; Shi et Sundstrom, 2000). Le principe est illustré géométriquement sur la figure 1.14.



**Figure 1.14 Représentation vectorielle de la décomposition dans la technique LINC.**

Les deux vecteurs  $S_1(t)$  et  $S_2(t)$  s'écrivent alors sous une forme polaire :

$$S_1(t) = S(t) + e(t) = r_{\max} e^{j[\varphi(t) + \theta(t)]} \quad (1.10)$$

$$S_2(t) = S(t) - e(t) = r_{\max} e^{j[\varphi(t) - \theta(t)]} \quad (1.11)$$

où  $\theta(t)$  est l'angle entre le signal d'origine et celui décomposé qui s'écrit :

$$\theta(t) = \cos^{-1} \left( \frac{r(t)}{r_{\max}} \right) \quad (1.12)$$

$r_{\max}$  représente la valeur maximale de  $r(t)$ ,  $e(t)$  est un signal en quadrature par rapport à  $S(t)$  dont l'expression est :

$$e(t) = jS(t) \sqrt{\frac{r_{\max}^2}{r(t)^2} - 1} \quad (1.13)$$

La composante  $e(t)$  est additionnée et soustraite du signal source  $S(t)$  pour générer les deux signaux à enveloppe constante  $S_1(t)$  et  $S_2(t)$ . Après amplification, ces deux signaux sont recombinés pour annuler ainsi la composante  $e(t)$  et retrouver le signal d'origine  $S(t)$  amplifié.

### La décomposition du signal sous la forme cartésienne :

La décomposition de signal peut être écrite sous une forme cartésienne. En effet, le signal  $S(t)$  peut être écrit :

$$S(t) = I(t) + jQ(t) \quad (1.14)$$

Ce signal est décomposé en deux signaux à enveloppe constante  $S_1(t)$  et  $S_2(t)$  qui s'écrivent sous une forme cartésienne de composante en phase  $I_1, I_2$  et en quadrature  $Q_1, Q_2$  :

$$S_1(t) = I_1(t) + jQ_1(t) \quad (1.15)$$

$$S_2(t) = I_2(t) + jQ_2(t) \quad (1.16)$$

Le signal  $S(t)$  s'écrit alors en fonction des composantes  $I_1, I_2, Q_1$  et  $Q_2$  sous la forme :

$$S(t) = I(t) + jQ(t) = [I_1(t) + jQ_1(t)] + [I_2(t) + jQ_2(t)] \quad (1.17)$$

Les composantes en phase  $I_1$ ,  $I_2$  et en quadrature  $Q_1$ ,  $Q_2$  peuvent être écrites en fonction des composantes  $I$  et  $Q$  du signal d'entrée  $S(t)$  (Poitau et Kouki, 2006; Tian, 2005) :

$$I_1(t) = I(t) - Q(t) \sqrt{\frac{r_{\max}^2}{I(t)^2 + Q(t)^2} - 1} \quad (1.18)$$

$$Q_1(t) = Q(t) + I(t) \sqrt{\frac{r_{\max}^2}{I(t)^2 + Q(t)^2} - 1} \quad (1.19)$$

$$I_2(t) = I(t) + Q(t) \sqrt{\frac{r_{\max}^2}{I(t)^2 + Q(t)^2} - 1} \quad (1.20)$$

$$Q_2(t) = Q(t) - I(t) \sqrt{\frac{r_{\max}^2}{I(t)^2 + Q(t)^2} - 1} \quad (1.21)$$

Remarquons que ces composantes dépendent d'un terme commun qu'on notera  $C(t)$  calculé aussi en fonction des composantes  $I(t)$  et  $Q(t)$  ou autrement de l'amplitude  $r(t)$  du signal d'entrée  $S(t)$ . Ce terme s'écrit :

$$C(t) = \sqrt{\frac{r_{\max}^2}{r(t)^2} - 1} = \sqrt{\frac{r_{\max}^2}{I(t)^2 + Q(t)^2} - 1} \quad (1.22)$$

Dans l'implémentation de la technique de la décomposition des signaux sous sa forme cartésienne, la constante  $C(t)$  est calculée une seule fois et sauvegardée pour servir par la suite au calcul des signaux  $S_1(t)$  et  $S_2(t)$  ( $I_1$ ,  $I_2$ ,  $Q_1$  et  $Q_2$ ) à partir du signal d'entrée  $S(t)$ .

Les deux formes, polaire et cartésienne, peuvent être utilisées dans l'implémentation de la technique. Dans le premier cas, on doit calculer l'angle  $\theta$  à ajouter et à retrancher de la phase du signal d'origine par un calcul de la fonction  $\cos^{-1}$ . Pour cela, une extraction de la phase et de l'amplitude du signal d'origine est nécessaire pour l'ensemble de calcul. Contrairement à la deuxième forme, où on utilise directement les composantes en phase et en quadrature de phase du signal d'origine pour calculer la constante  $C(t)$  et retrouver par des opérations

mathématiques simples les composantes en phase et en quadrature des signaux décomposés. Nous avons utilisé alors, au cours de ce travail, cette dernière alternative afin de concevoir la partie décomposition du signal du transmetteur LINC (Hetzell, Bateman et McGeehan, 1991; Tian, 2005). En effet, avec les moyens d'implémentation numériques qui existent aujourd'hui (DSP, FPGA...), ce principe est simple à implémenter dans un transmetteur LINC. Cependant, plusieurs sources de distorsion peuvent être à l'origine de dégradation de la linéarité. Le débalancement entre les deux branches constitue le problème principal de la technique (Ampem-Darko et Al-Raweshidy, 1998; Conradi, 2000; Garcia *et al.*, 2005; Helaoui *et al.*, 2004; Sundstrom, 1995; Xuejun *et al.*, 2001).

### 1.8.2 Le débalancement entre les deux branches

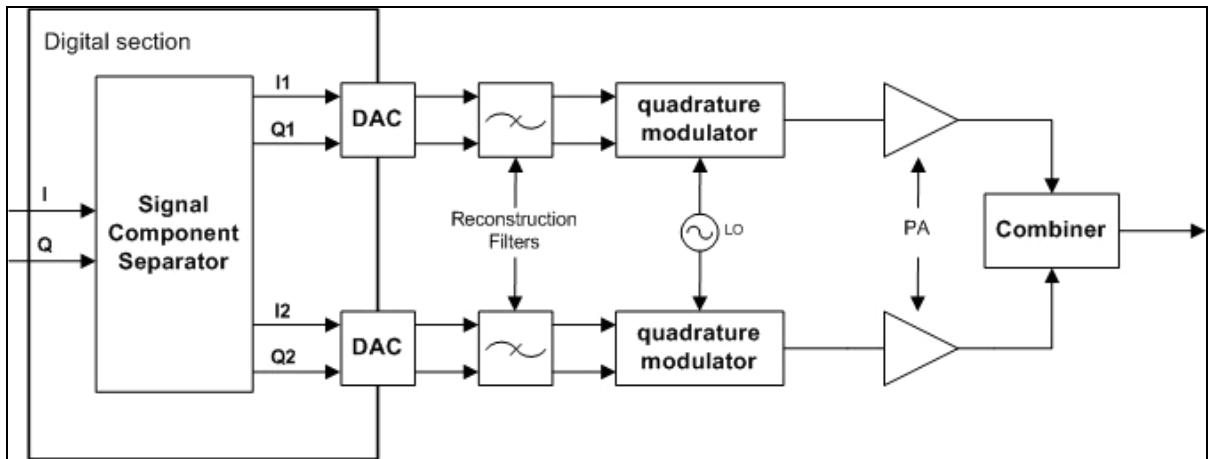
Plusieurs sources peuvent être à l'origine de dégradation des performances d'un transmetteur LINC (Conradi, 2000) . Ces sources peuvent apparaître à plusieurs niveaux de l'architecture présentée dans la figure 1.15. Elles sont à l'origine de la génération des distorsions sur le signal de sortie. En effet, ces performances peuvent être affectées par :

- La décomposition non parfaite du signal : la quantification numérique des signaux et les contraintes matérielles associées (taux d'échantillonnage, espace mémoire...).
- Le déséquilibre entre les différents éléments de l'étage RF qui sert à la transposition à la fréquence RF (les filtres de reconstitution, les modulateurs I/Q...).
- Le débalancement de gain et/ou de phase entre les deux branches qui peut être causé par une différence de gain et/ou de phase entre les deux branches.
- La recombinaison non parfaite des deux signaux entre les deux branches (imperfections du combinateur utilisé).

Tous ces phénomènes peuvent nuire à la linéarité du système. Cependant, le débalancement de gain et de phase entre les deux branches représente le facteur le plus influant sur les performances d'un transmetteur LINC. Ce dernier peut être causé initialement par :

- Un déséquilibre entre les composants d'amplification non linéaire entre les deux branches.

- Une légère différence de délai de propagation des signaux entre les deux branches (exemple : la différence entre les longueurs des deux branches).



**Figure 1.15** Architecture générale d'un transmetteur LINC.

Pour surmonter ce phénomène indésirable, des techniques de correction ont été proposées afin de corriger l'erreur résultante. Dans la section suivante, nous allons présenter quelques techniques apparaissant dans la littérature.

### 1.8.3 Les techniques de correction

Plusieurs systèmes de correction ont été introduits afin d'améliorer les performances du système LINC notamment les problèmes de débalancements de gain et de phase entre les deux branches. Ces techniques se basent généralement sur des boucles de retour du signal de sortie après sa recombinaison pour la correction. Nous allons présenter par la suite un aperçu général sur ces techniques, leurs principes et leurs limites.

La technique présentée par (Conradi et McRory, 2002) est une combinaison de la technique LINC avec la technique de prédistorsion numérique. En effet, la correction se fait par l'application d'une fonction de prédistorsion sur le signal de l'entrée avant sa décomposition en bande de base. Pour se faire, l'erreur ou la distorsion est calculée par comparaison entre le

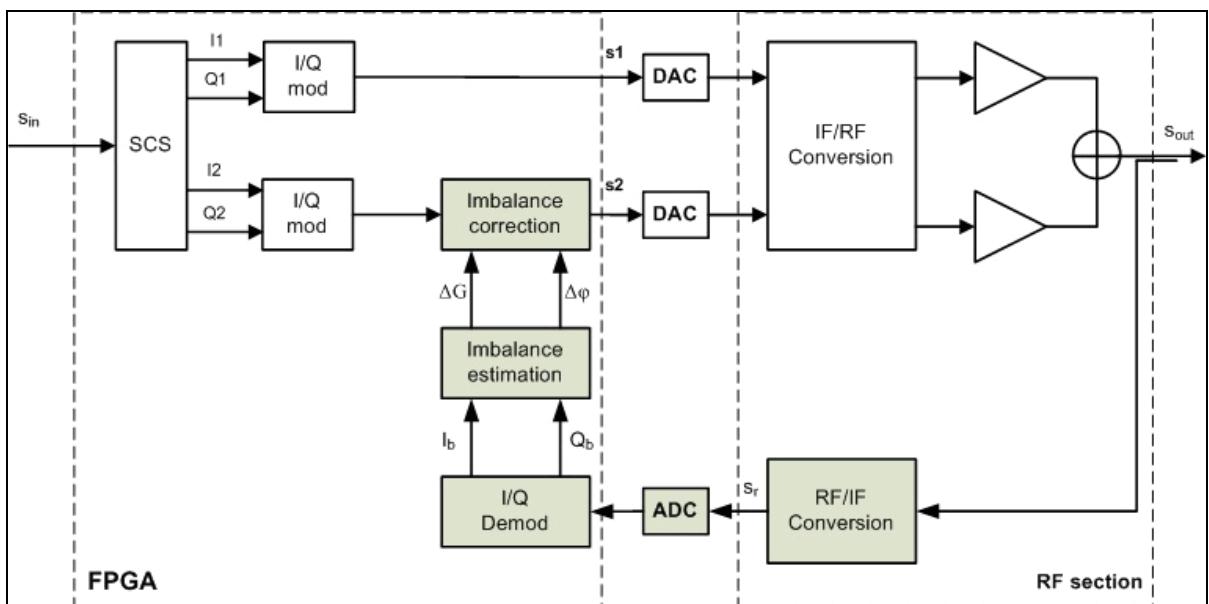
signal d'entrée linéaire et le signal de sortie, ensuite, cette erreur va adresser une LUT pour retrouver la fonction de prédistorsion qui va être appliquée sur le signal d'entrée avant décomposition. Cette technique est très efficace pour des faibles valeurs de débalancement de gain et de phase, cependant, elle présente des limitations pour des valeurs importantes de débalancement (Helaoui *et al.*, 2004).

Une technique qui repose sur l'ajustement de gain et de phase d'un seul signal à enveloppe constante a été présentée par (Sundstrom, 1995). En effet, le principe est de mesurer l'ACI du signal de sortie et d'ajuster en conséquence le gain et la phase d'une des deux branches en bande de base en utilisant un algorithme de recherche par la technique Simplex. La méthode a abouti à des bons résultats par simulation. Cependant, les inconvénients se présentent au niveau de l'algorithme qui nécessite une longue séquence de données et donc un long temps de calcul de l'ordre de 1 à 2 secondes (Xuejun *et al.*, 2001).

Une technique qui présente l'avantage de la rapidité de convergence de son algorithme de correction a été proposée par (Ampem-Darko et Al-Raweshidy, 1998). Cette technique utilise le signal de sortie et celui de référence pour calculer l'erreur résultante. Ensuite, à l'aide d'un algorithme de recherche, cette erreur est utilisée pour corriger principalement la différence de gain entre les deux branches et l'erreur de phase résultante. L'inconvénient de cette technique est qu'elle ne corrige pas les débalancements de phases dues aux différences des longueurs électriques entre les deux branches.

La technique proposée par (Xuejun *et al.*, 2001) repose sur un algorithme de calibration qui fonctionne en transparence par rapport à la chaîne directe (*Background*). Le signal de sortie est couplé et transposé vers une basse fréquence grâce à un mélangeur de fréquence dont le signal de l'oscillateur local contrôlé aussi par le DSP. L'erreur est extraite alors dans le DSP afin de faire la correction. Un échange des deux signaux S1 et S2 entre les deux branches est effectué afin d'optimiser le contrôle sur la boucle de retour. Cette technique a abouti à des bons résultats pratiques pour des signaux CDMA.

La technique proposée par (Helaoui *et al.*, 2004) repose sur l'implémentation d'un bloc d'estimation du débalancement de gain et de phase à partir du signal de sortie démodulé en deux composantes I et Q et corriger par la suite une seule branche. La méthode est simple et présente un temps de convergence minimal par rapport aux autres techniques. Le principe général de cette technique est présenté à la figure 1.16.



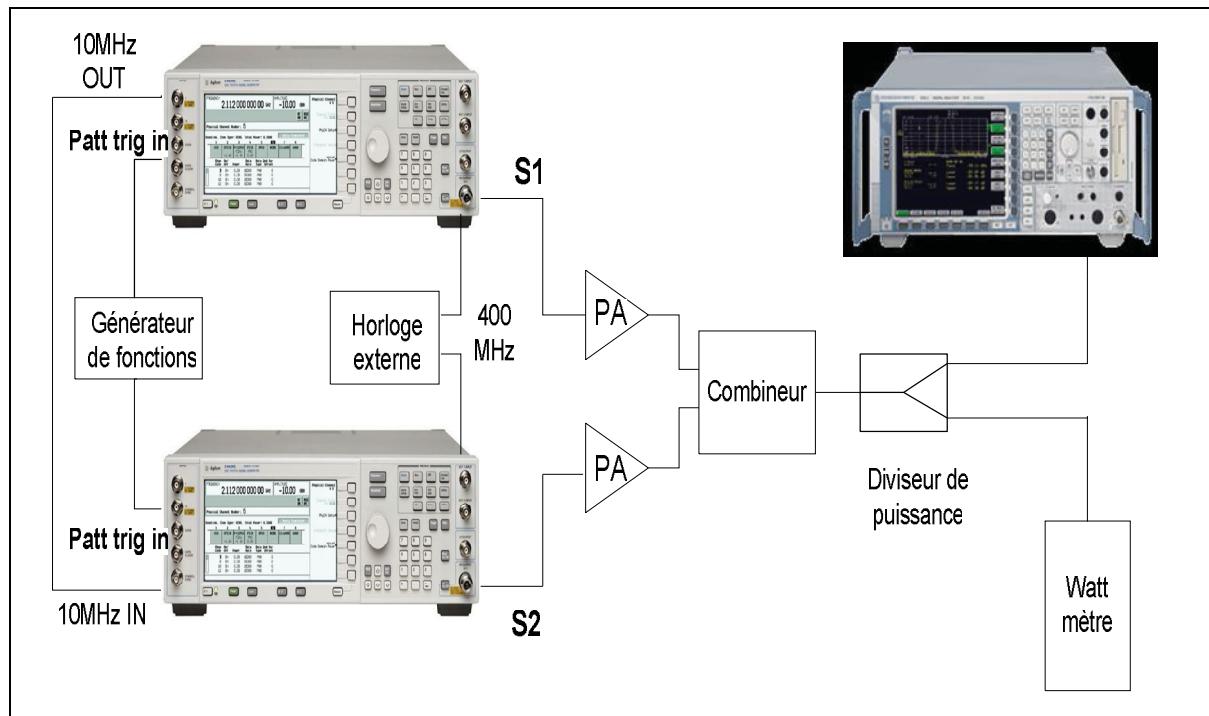
**Figure 1.16 Principe de la correction numérique du débalancement.**  
Adaptée de Helaoui (2004, p. 691)

## 1.9 Étude du transmetteur LINC existant et architectures proposées

### 1.9.1 Banc d'expérimentation actuel du système LINC et problèmes associés

La mise en place d'une plateforme de test d'un système LINC et en particulier la génération des deux signaux S1 et S2 d'une manière synchrone est l'une des problématiques de la technique en question. En effet, avec l'absence d'un outil capable de générer les deux signaux S1 et S2 synchrones et à enveloppe constante, une solution consiste à utiliser deux générateurs de signaux séparés et synchronisés par une horloge externe. Le banc de test

actuel utilisé dans le laboratoire LACIME repose sur cette solution. Il est présenté à la figure 1.17.



**Figure 1.17 Banc d'expérimentation LINC du Laboratoire LACIME.**

L'un des problèmes de cette solution est qu'elle est très compliquée et très coûteuse en termes de ressources matérielles utilisées. En effet, le banc présenté dans la figure 1.17 est composé de :

- Deux générateurs de signaux de type Agilent E4438C identiques, qui vont générer séparément les signaux S1 et S2. Ces générateurs offrent la possibilité d'importer des signaux obtenus avec un outil de simulation tels que Matlab ou ADS et de les générer autour d'une fréquence RF désirée.
- Un générateur de fonctions utilisé pour assurer un alignement des signaux en bande de base des générateurs.
- Une horloge externe qui sert comme référence assurant la synchronisation des deux générateurs.

- Un combineur de signaux qui permet de sommer les deux signaux S1 et S2 autour de la fréquence RF pour retrouver le signal de base modulé en amplitude et en phase.
- Un diviseur de puissance utilisé pour faire les mesures nécessaires permettant d'acheminer une partie du signal vers le wattmètre et une autre partie vers l'analyseur de signal.
- Un wattmètre qui sert à mesurer les puissances des signaux.
- Une paire d'amplificateurs de puissance permettant d'amplifier les deux signaux S1 et S2.
- Un analyseur de signaux vectoriels permettant de démoduler les signaux reçus et mesurer la qualité du signal transmis.

En plus de sa complexité en termes de ressources matérielles, le banc d'expérimentation utilisé nécessite des efforts supplémentaires et une concentration particulière afin de satisfaire au mieux la synchronisation entre S1 et S2. En effet, avant de passer à l'étape d'expérimentation, nous devons toujours commencer par balancer les deux branches du système par les deux générateurs utilisés, afin d'éliminer, au mieux, tout déséquilibre de phase et/ou de gain pouvant introduire les erreurs au niveau des mesures. Ceci rend le système très sensible aux effets de débordements entre les deux branches en raison de l'utilisation de deux sources de signaux séparées. Notons aussi la nécessité de générer les signaux à enveloppe constante par un outil tel que Matlab ou ADS afin de les implémenter dans les générateurs des signaux. Tous ces problèmes justifient le besoin aujourd'hui d'une plateforme unique moins coûteuse, plus performante et plus simple à utiliser capable de générer elle-même le signal d'origine modulé en amplitude et en phase et de le décomposer en deux signaux S1 et S2 à enveloppe constante. Deux types d'architectures d'un tel système peuvent être introduits. Ces architectures seront présentées dans la section qui suit.

### 1.9.2 Architectures proposées du transmetteur LINC

L'architecture d'un transmetteur LINC se décompose essentiellement en deux parties :

1. Une partie numérique dont le rôle est de générer le signal modulé en bande de base sous forme de ses deux composantes cartésiennes I et Q et de décomposer ce signal en deux signaux à enveloppe constante. Les signaux obtenus sont soit en bande de base, soit à une fréquence IF.
2. Une partie analogique dont le rôle est de convertir les signaux en bande de base/IF à une fréquence RF avant d'être amplifiés et recombinés.

Typiquement, deux architectures pour un transmetteur LINC peuvent être envisagées. La première est une architecture à conversion directe (*Direct Conversion*) où les modulateurs I/Q sont implémentés en analogique. La conversion est alors directe de la bande de base vers la fréquence RF dans ce type d'architecture. La deuxième est une architecture de type hétérodyne (*Super Heterodyne*) où les modulateurs I/Q sont implémentés dans la partie numérique afin de moduler les signaux à une fréquence IF donnée avant de les convertir vers la fréquence RF.

#### Architecture à conversion directe :

L'architecture à conversion directe (*Direct-Conversion*) consiste en une conversion d'un signal en bande de base sous forme complexe en un signal réel de fréquence RF en utilisant une modulation I/Q analogique. Le principe appliqué à un transmetteur LINC est présenté à la figure 1.18. À la sortie des CNAs (Convertisseur Numérique/Analogique), seulement des filtres de reconstruction et des modulateurs I/Q sont utilisés. Ainsi, les avantages de cette architecture résident surtout dans sa simplicité et son faible coût. En effet, contrairement à une architecture hétérodyne, cette architecture minimise les contraintes sur les filtres RF utilisés pour filtrer les fréquences images à l'issue de l'opération de modulation en terme de leur largeur de bande passante.

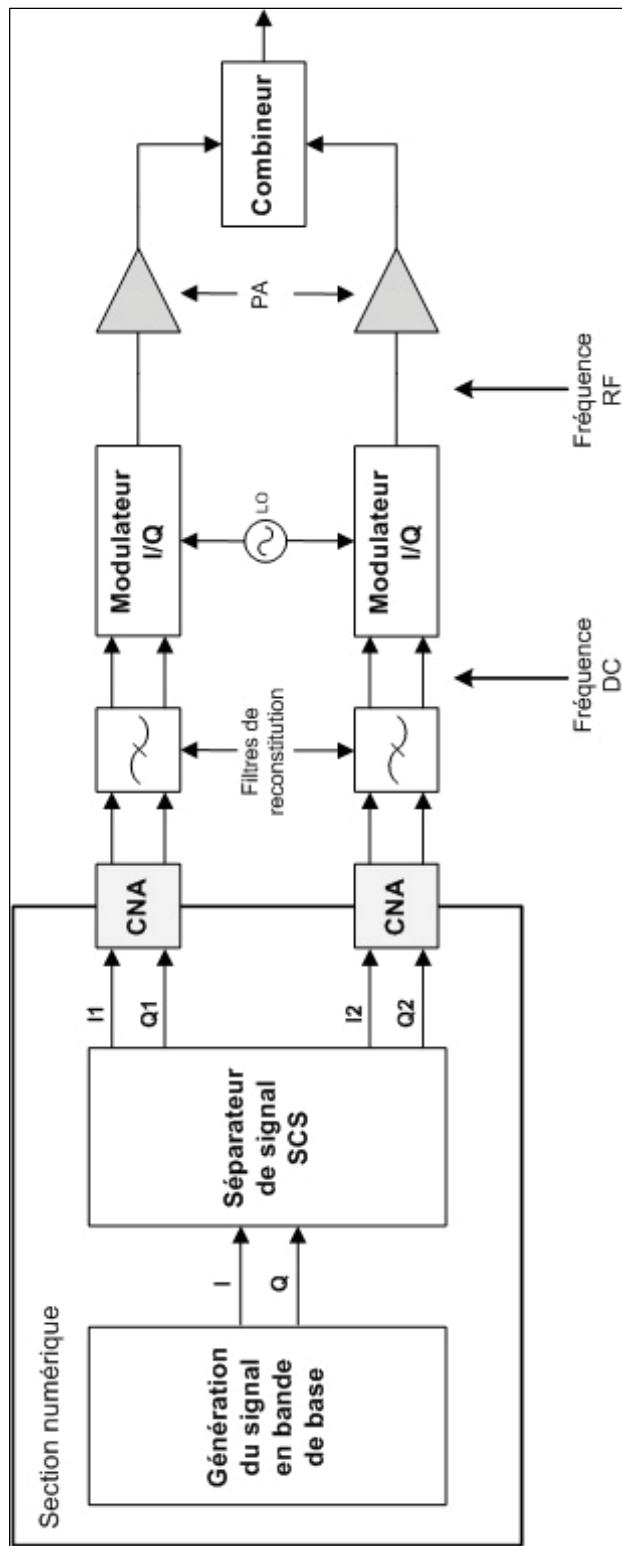


Figure 1.18 Architecture d'un transmetteur LINC à conversion directe.

Ainsi, ce type d'architecture paraît très efficace pour les applications à large bande. Cependant, trois sources d'erreurs peuvent apparaître dans cette architecture (Brandon, Crook et Gentile, 2009) et peuvent par la suite affecter la linéarité du système :

1. Débalancement des composantes DC (*DC offset*) entre I et Q des signaux en bande de base aux entrées des modulateurs I/Q. Ceci peut être causé par un décalage de voltage entre les convertisseurs N/A et se traduit au niveau du spectre par une présence du signal LO au milieu de la bande du signal modulé "*LO Leakage*".
2. Un débalancement de gain et/ou un déphasage entre I et Q au niveau du modulateur qui peut être causé par une séparation non parfaite entre le sinus et le cosinus au niveau du LO.
3. Perturbation du signal LO par les signaux des sorties des amplificateurs de puissance (*LO Pulling*) en générant des effets similaires à celles du *DC offset*. Ceci est causé par la coïncidence entre la fréquence du signal modulé à la sortie des amplificateurs de puissance et celle du LO.

Ces sources d'erreurs peuvent affecter la linéarité du système en générant des produits d'intermodulation au niveau du signal de sortie. Pratiquement, les valeurs typiques sont de l'ordre de 2° à 3° pour un déphasage entre I et Q, de 2 à 3% pour un débalancement de gain, et de 2 à 3% pour l'erreur de « *DC offset* » (Conradi, 2000).

Malgré ces inconvénients, ce type d'architecture est très utilisé grâce à la simplicité et aux bonnes performances des modulateurs I/Q. En effet, des méthodes de correction peuvent être ajoutées afin de permettre de surmonter les erreurs (Brandon, Crook et Gentile, 2009) en ajoutant par exemple des modules de compensation « *offset* » au niveau des CNAs pour surmonter les erreurs dues au « *DC offset* » et des modules d'ajustements de gain et de phase pour surmonter les erreurs dues aux débalancements de gain et aux déphasages. Concernant les erreurs de « *LO pulling* », elles peuvent être compensées par des méthodes d'isolation.

### Architecture super hétérodyne :

Le deuxième type d'architectures typiques est l'architecture super hétérodyne (*super heterodyne*). Elle consiste à une conversion des signaux en bande de base, sous leur forme complexe, en des signaux réels à une fréquence intermédiaire IF avant leur transposition à la fréquence RF. Ainsi, les modulateurs I/Q servent à convertir les signaux à une fréquence IF, ce qui permet d'améliorer leur performance dynamique. Des mélangeurs sont utilisés, par la suite, afin d'effectuer la conversion vers la fréquence RF. Cette architecture est décrite dans la figure 1.19.

Cette architecture présente l'avantage de l'absence du problème de "*LO Pulling*" vu précédemment dans le cas d'une architecture à conversion directe. En effet, les signaux modulés aux sorties des amplificateurs de puissance sont loin du signal de LO. D'autre part, l'implémentation des modulateurs I/Q est réalisée en numérique afin de surmonter les erreurs dues aux modulateurs I/Q analogiques notamment ceux causés par le débalancement entre I et Q. Cependant, cette architecture n'est pas la meilleure pour des applications à large bande. En effet, les contraintes sur les filtres RF (filtres passe-bande), utilisés pour la rejet d'image à l'issu de l'opération de la transposition vers la fréquence RF, sont très exigeantes à cause de la conversion IF/RF, ce qui rend difficile de trouver les filtres adéquats sur une large bande de fréquence. Ainsi, ce type d'architecture est plus compliqué et plus coûteux à concevoir (Brandon, Crook et Gentile, 2009).

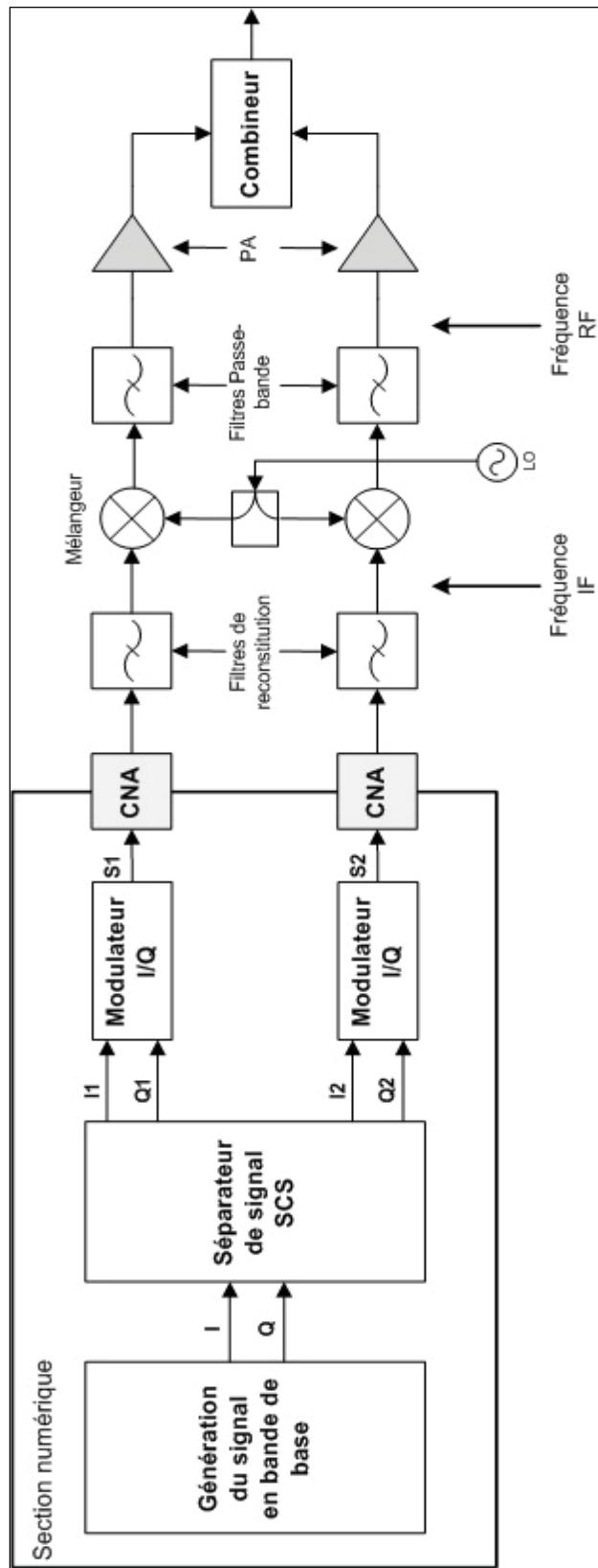


Figure 1.19 Architecture d'un transmetteur LINC super hétérodyne.

## 1.10 Conclusion

Nous avons présenté dans ce premier chapitre les problématiques liées à l'amplificateur de puissance et ses caractéristiques de linéarité et efficacité. Nous avons montré la nécessité de trouver un compromis entre ces deux paramètres afin d'éviter les distorsions sur le signal transmis. Quelques techniques d'amplification rassemblées d'une revue de littérature ont été alors introduites permettant l'amélioration de l'un ou des deux paramètres en question. Une de ces techniques est la technique LINC faisant l'objet du présent travail. Nous avons introduit l'architecture d'un transmetteur LINC en citant le fondement de base de la technique qui repose sur la décomposition du signal d'entrée modulé en deux signaux à enveloppe constante avant d'être amplifié puis recombiné pour retrouver une version amplifiée du signal d'entrée. Nous avons présenté, par la suite, les problèmes liés à l'utilisation de cette technique dus essentiellement aux débalancements entre les deux branches qui peuvent introduire des effets de non-linéarité sur le signal de sortie. Ainsi, une technique de correction peut être utilisée en complément pour atteindre des meilleures performances. À la fin, nous avons présenté le contexte actuel du travail et les limites associées. Nous avons proposé, en conséquence, deux types d'architectures d'un système LINC qui peuvent être développées. Une architecture à conversion directe et une architecture super hétérodyne. Chacune d'entre elles présente des avantages et des inconvénients. Le choix de l'architecture dépend essentiellement des ressources disponibles et des objectifs fixés.

## CHAPITRE 2

### SECTION BANDE DE BASE/IF DU TRANSMETTEUR LINC

#### 2.1 Introduction

Les deux architectures proposées au premier chapitre se décomposent en deux parties. La première est une partie numérique qui s'intéresse à l'implémentation de la génération du signal modulé en bande de base et sa décomposition en deux signaux à enveloppe constante. Notons que ces deux signaux peuvent être convertis à une fréquence IF dans le cas d'une architecture super hétérodyne. La deuxième section est une partie analogique qui concerne, d'une part, la conversion bande de base/RF des signaux générés et, d'autre part, la conversion RF/bande de base de la boucle de retour pour la correction. Nous présentons dans ce chapitre la première partie de ce travail concernant l'implémentation numérique de la section bande base/IF du transmetteur LINC.

#### 2.2 Spécifications de la section bande de base/IF du transmetteur

Le transmetteur LINC à concevoir doit satisfaire un ensemble de contraintes et certaines exigences fixées dès le début de ce travail afin de répondre d'une manière flexible aux besoins de l'utilisateur. Pour cela, nous nous sommes inspirés des générateurs des signaux se trouvant sur le marché, en particulier celui de Agilent "Vector Signal Generator" disponible au laboratoire LACIME. Ce type de système permet la génération d'un signal modulé dont la fréquence peut atteindre les 6 GHz et permettant ainsi de satisfaire plusieurs standards de communication en intégrant plusieurs fonctionnalités sur une large bande de fréquence. Ainsi, nous avons tiré un ensemble de critères à satisfaire lors de la conception de la section numérique de notre transmetteur. Ces critères se résument comme suit :

- Un débit binaire (mesuré en bits/seconde) ou un taux de symboles (mesuré en symboles/seconde) flexible. L'utilisateur devrait être capable de choisir soit le débit binaire soit le taux de symboles à transmettre selon ses besoins spécifiques.

- Plusieurs niveaux de modulation. L'utilisateur devrait être capable de choisir le type de la modulation désirée: BPSK, QPSK, 16QAM et 64QAM. Nous avons choisi ces types de modulations parce qu'elles sont les plus répandues dans les chaînes de communication sans fil (Hanzo, Webb et Keller, 2000).
- Une fréquence IF modifiable selon les caractéristiques des convertisseurs numérique/analogique utilisés.
- Assurer une bonne performance de système par rapport à la plateforme existante au sein du laboratoire qui est présentée dans la section 1.9.1 et qui se base sur deux sources distinctes. Ceci permet de s'assurer de minimiser les imperfections qui peuvent être dues à la section numérique du transmetteur. La performance est mesurée par l'EVM du signal reçu après démodulation. En effet, le banc de test présenté à la figure 1.17 permet d'atteindre un EVM de l'ordre de 0,4% pour des signaux MQAM dans le cas idéal, c'est à dire avec une synchronisation adéquate entre les deux sources. L'objectif est d'atteindre alors d'au moins ce niveau de performance pour notre transmetteur.

Ainsi, notre transmetteur doit être programmable de manière à permettre l'implémentation de plusieurs standards de communication selon le choix de l'utilisateur. L'implémentation doit être réalisée sur un même circuit (FPGA, DSP...) afin d'optimiser le coût et faciliter le développement. À la lumière de ces spécifications, une architecture a été adoptée en vue d'une implémentation sur FPGA. Cette architecture est développée dans ce qui suit.

### 2.3        Architecture de la section bande de base/IF du transmetteur

La section bande de base/IF assure la génération du signal modulé d'entrée en bande de base, sa décomposition en deux signaux à enveloppe constante, ainsi que la conversion à une fréquence IF par des blocs modulateurs I/Q numériques tout en respectant les différentes spécifications de l'application. L'architecture générale de la section bande de base/IF du transmetteur LINC est présentée dans la figure 2.1.

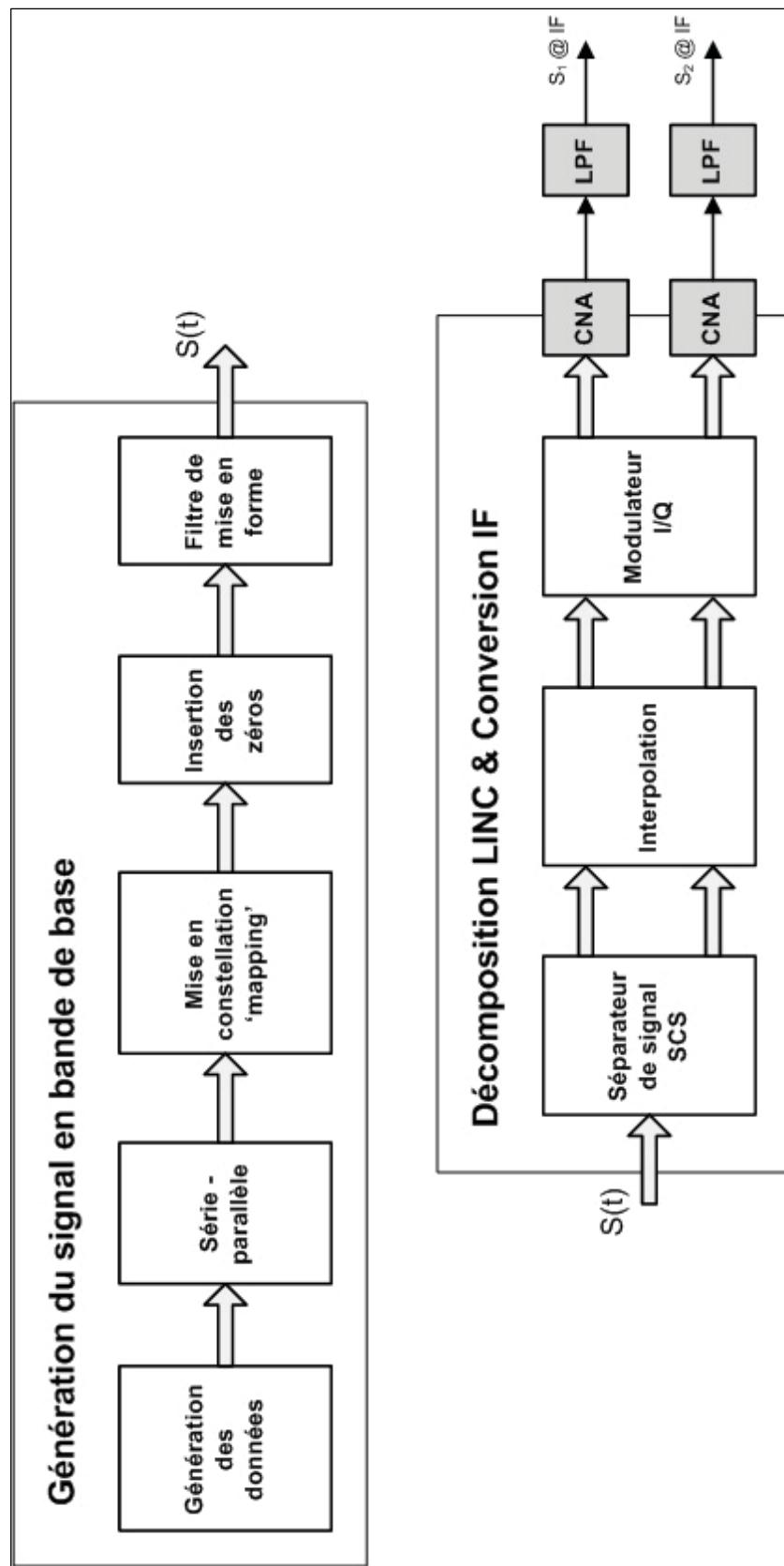


Figure 2.1 Architecture globale de la section numérique du transmetteur LINC.

La génération des signaux à enveloppe constante à une fréquence IF se décompose essentiellement en trois étapes :

1. Génération du signal d'entrée modulé en amplitude et en phase en bande de base.
2. Décomposition du signal d'entrée en deux signaux à enveloppe constante en se basant sur les équations de décomposition.
3. Conversion des signaux décomposés à une fréquence IF (*Up-conversion*) par l'intermédiaire de modulateurs en quadrature I/Q numériques (*Quadrature modulator*).

La génération du signal modulé en bande de base est réalisée en plusieurs blocs en cascade. Le premier bloc est un générateur pseudoaléatoire de données sous forme binaire. Son rôle consiste à générer des bits d'une façon aléatoire sous forme séquentielle. Les données générées attaquent un modulateur numérique qui les transforme en des symboles. L'opération de modulation consiste essentiellement en deux sous opérations. La première est une transformation série/parallèle dont le rôle est de transformer les bits séries en ensemble de bits en parallèle qui constituent les symboles désirés. La deuxième est un codage de données sous forme de deux composantes en phase et en quadrature de phase (Mise en constellation ou *mapping*) qui assure le codage de l'information binaire dans le plan I/Q. Le signal modulé en amplitude et en phase subit par la suite une opération d'insertion de zéros entre les points de constellation dont le rôle est de suréchantillonner le signal par un facteur de 8 ou de 16 fois le taux de symbole. Le signal suréchantillonné attaque un filtre de mise en forme de type cosinus surélevé (*Square-root raised cosine filter*) qui met en forme le signal modulé et limite ainsi sa largeur de bande. Le signal obtenu sera décomposé par la suite par le bloc SCS (*Signal Component Separator*) sous forme de deux signaux à enveloppe constante. Les signaux à enveloppe constante en bande de base générés à la sortie du bloc SCS peuvent être convertis à une fréquence IF par des modulateurs I/Q numériques. Des convertisseurs numériques/analogiques (CNA) sont nécessaires pour convertir en analogique les signaux I1, Q1, I2 et Q2 dans le cas de l'architecture à conversion directe, ou bien les signaux S1 et S2 autour de leur fréquence IF dans le cas d'une architecture hétérodyne.

### 2.3.1 Le générateur pseudo aléatoire de la séquence binaire

La génération pseudo aléatoire de la séquence binaire PRBS (*Pseudorandom binary sequence*) (Wikipedia, 2010) est une technique très utilisée dans les systèmes de communication sans fil. En effet, plusieurs applications se basent sur cette méthode pour générer d'une façon aléatoire une séquence de bits dont, par exemple, la génération du bruit, la cryptographie, la technique CDMA... La génération est « pseudo aléatoire » puisque la séquence est aléatoire, mais elle se répète après un cycle donné.

La technique la plus utilisée pour la génération d'une séquence pseudo aléatoire est celle du registre à décalage à rétroaction linéaire LFSR (*Linear Feedback Shift Register*) (Nguyen, 2005). Cette technique génère des bits d'une façon pseudo aléatoire. La séquence des bits est aléatoire, mais se répète au cours de temps. Ceci dépend de la longueur du LFSR, c'est-à-dire du nombre de bascules utilisées. En effet, un LFSR consiste en un ensemble de bascules en cascade (registre) et des retours d'un ensemble de sorties de ces bascules sur des portes ou exclusives (XOR ou XNOR) vers la première bascule. Si on pose  $N$  le nombre des bascules utilisées, le nombre d'états ou séquences possibles sera  $2^N-1$ . Ainsi, à chaque coup d'horloge, la séquence est décalée d'un bit à droite. D'ailleurs, le signal d'horloge est le seul signal responsable de la génération des bits. On obtient ainsi à chaque coup d'horloge une nouvelle séquence binaire.

Un LFSR est caractérisé par :

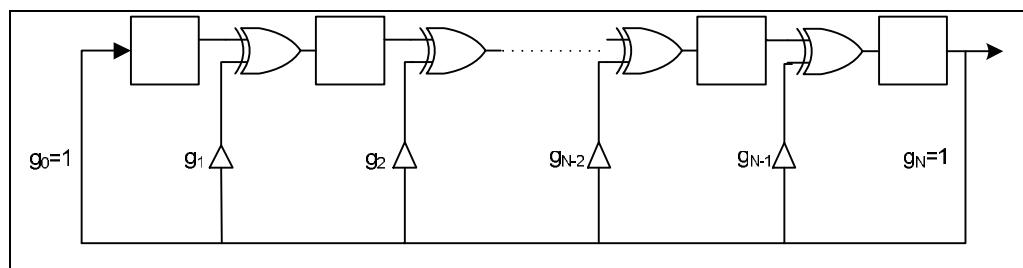
- Le nombre de bascules  $N$  : il représente le degré du registre à décalage, ce qui définit le nombre de séquences possibles  $2^N-1$  qui caractérise la période de la génération des séquences avant répétition.
- Le nombre des retours à partir des sorties des bascules et leurs positions dans le registre. Ceci est caractérisé par un polynôme générateur d'ordre  $N$  défini par

$$G(x) = g_N x^N + g_{N-1} x^{N-1} + \dots + g_1 x^1 + 1 \quad (2.1)$$

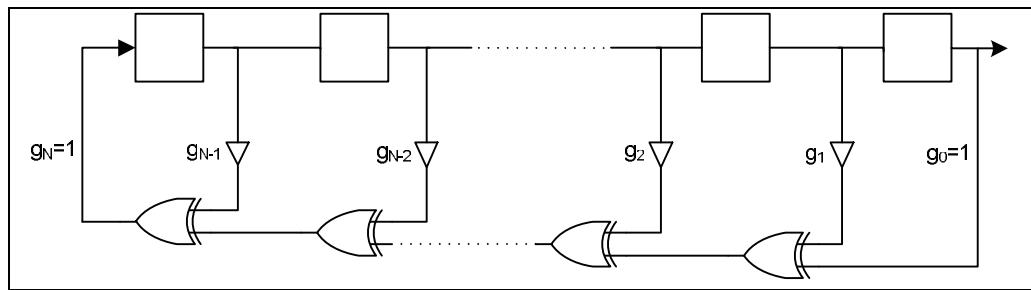
Le coefficient  $g_i$ , avec  $i$  allant de 0 à  $N$ , correspond à la bascule  $i$  dans le registre. Ce coefficient définit le « *tap* ». Il est égal à 1 pour les sorties qui retournent aux entrées des portes XOR, et à 0 si non. Le dernier « *tap* » est un 1. Il est toujours présent dans le polynôme et représente la sortie de la dernière bascule. La génération d'un nombre maximal  $2^N-1$  de séquences possibles dépend du choix de ce polynôme qui est approprié au nombre d'étages utilisés dans le registre.

- La condition initiale : c'est la séquence des bits à partir de quelle le registre commence le décalage. La séquence où tous les bits sont à 1 est interdite dans le cas de l'utilisation des XNOR, alors que la séquence où tous les bits sont à 0 est interdite dans le cas de l'utilisation des XOR. En effet, ceci cause le blocage du registre dans son état initial.

Dans l'implémentation, deux architectures sont possibles : Galois et Fibonacci (Nguyen, 2005). La figure 2.2 décrit l'implémentation par la technique Galois. Le chemin du retour est de la droite vers la gauche avec des portes XOR insérées entre les bascules. L'implémentation par la technique Fibonacci est présentée à la figure 2.3. Dans ce cas, les portes XOR sont introduites dans la boucle de retour. Toutefois, l'implémentation de la technique Galois est plus efficace grâce à la simplicité des portes XOR utilisées (un seul retour de la sortie sur toutes les portes).



**Figure 2.2** Implémentation d'un LFSR de type Galois.

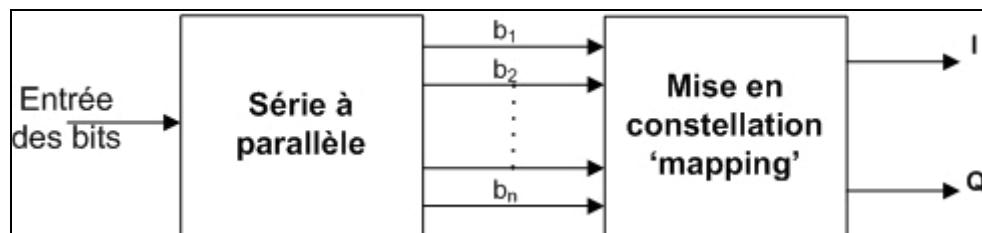


**Figure 2.3    Implémentation d'un LFSR de type Fibonacci.**

### 2.3.2    Le modulateur des données numériques

Dans les standards de communication sans fil, plusieurs techniques de modulation peuvent être employées. Parmi les techniques les plus utilisées en communication radio, on trouve la BPSK, la QPSK, la 16 QAM et la 64QAM. Ces techniques sont facilement réalisables dans les circuits numériques. Le principe de ces modulations repose sur un codage de données binaires sous forme de deux composantes en phase et en quadrature de phase I et Q. ceci définit une constellation propre à chaque type de modulation qui consiste à insérer des symboles dans le plan I/Q en utilisant un codage binaire bien défini.

Le modulateur numérique est composé essentiellement de deux blocs : un bloc de conversion des données série en parallèle pilotant un bloc de mise en constellation (*mapping*). La figure 2.4 représente le principe d'un modulateur numérique.



**Figure 2.4    Principe d'un modulateur numérique en bande de base.**

Le rôle du bloc "série à parallèle" est de transformer les bits à l'entrée en série à un ensemble de bits en parallèle. Le nombre des bits en parallèle est le nombre des bits utilisé pour le

codage des données nécessaire à la formation des symboles de la modulation. Il dépend de l'indice de modulation, c'est-à-dire du nombre de symboles requis pour la modulation. Si on note  $n$  le nombre de bits en parallèle utilisés pour chaque symbole, le nombre de symboles nécessaire est  $2^n$ . Le tableau 2.1 définit le nombre des bits pour chaque type de modulation.

Tableau 2.1 Nombre de bits par symbole associé à chaque type de modulation

Type de modulation	Nombre de bits/symbole
BPSK	1
QPSK	2
16QAM	4
64QAM	6

Le second bloc "*Mise en constellation*" a pour rôle de mapper les données reçus sur les différents points de constellation en leurs assignant des valeurs dans le plan I/Q. On parle alors des symboles de la modulation. Chaque symbole nécessite  $\log_2(M)$  bits,  $M$  étant l'indice de modulation (*MPSK* ou *MQAM*). Les figures 2.5, 2.6, 2.7 et 2.8 représentent les constellations respectives des modulations BPSK, QPSK, 16QAM et 64QAM. Le codage utilisé pour représenter les données est celui du code GRAY (Nguyen, 2005) qui permet le changement d'un seul bit entre deux symboles.

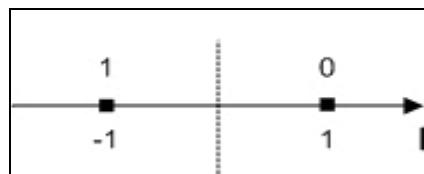
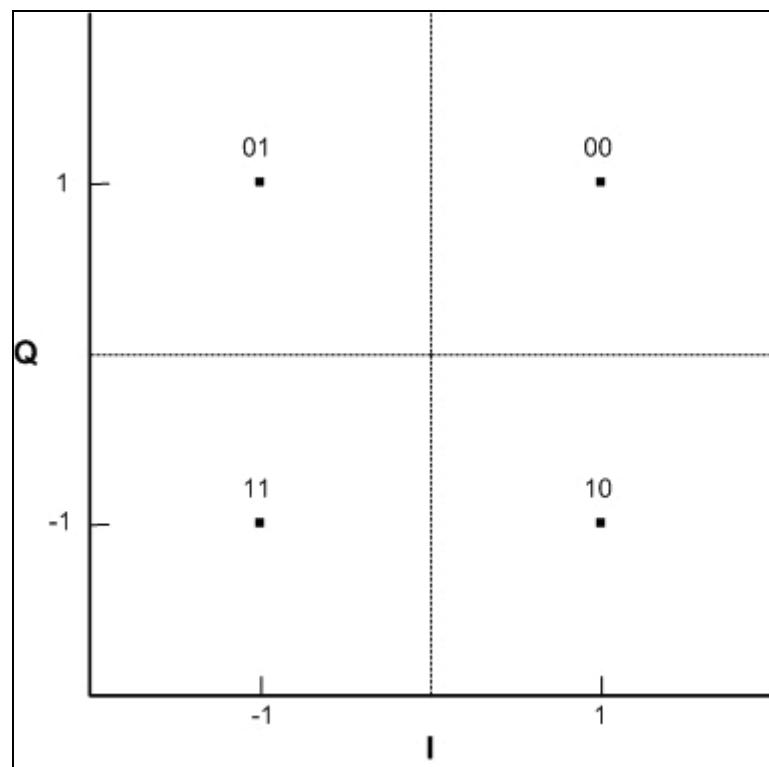
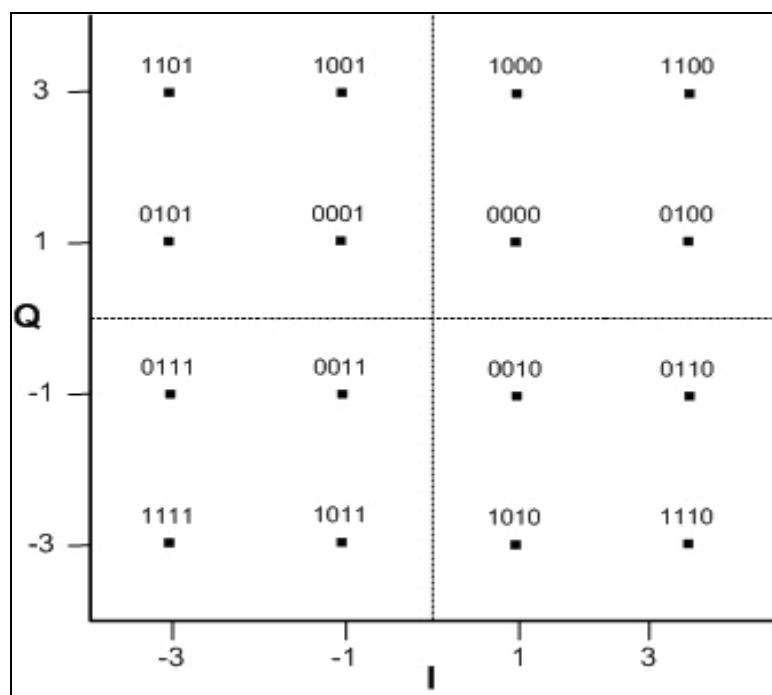


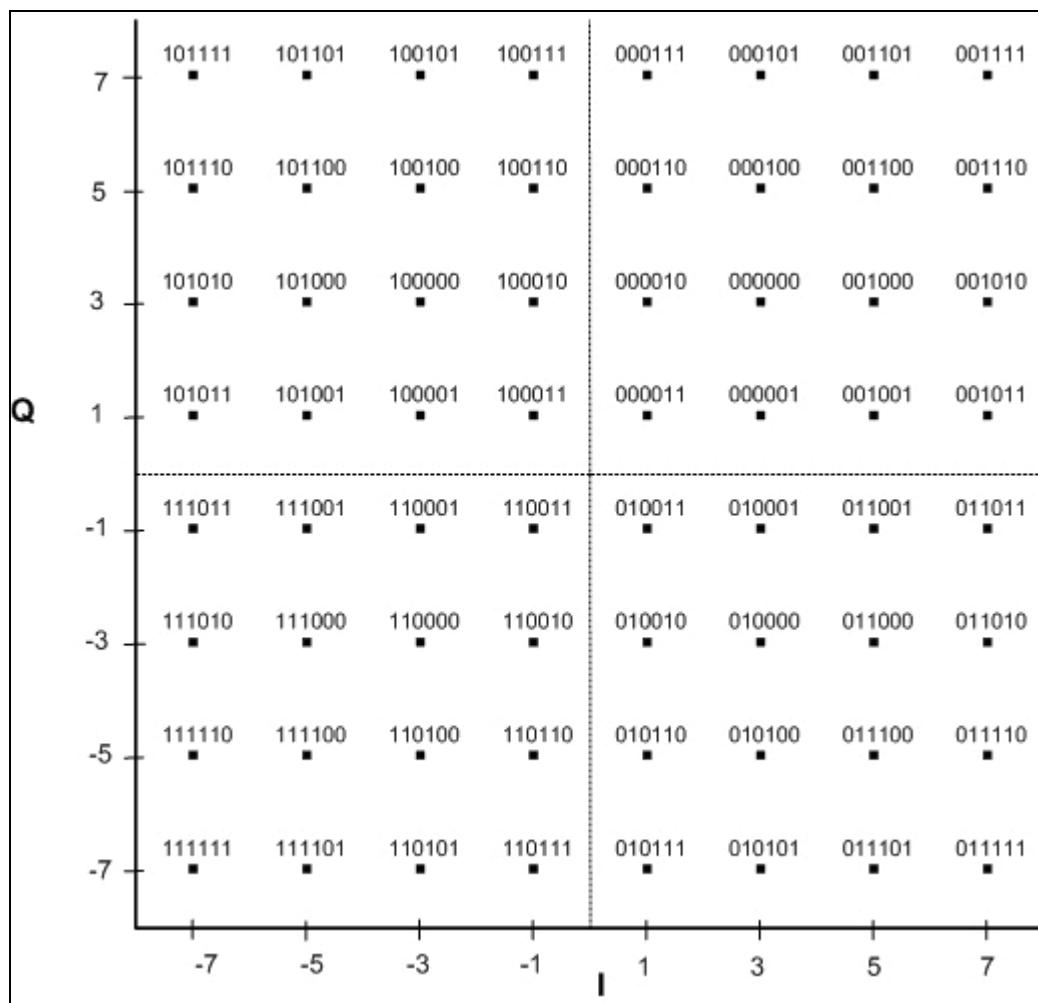
Figure 2.5 Constellation de la modulation BPSK.



**Figure 2.6** Constellation de la modulation QPSK.



**Figure 2.7** Constellation de la modulation 16QAM.



**Figure 2.8 Constellation de la modulation 64QAM.**

### 2.3.3 Le filtre de mise en forme

#### 1) Principe et définition

La largeur de bande de fréquence du signal à transmettre est limitée par les caractéristiques du support de transmission et les contraintes de la largeur de bande associée. En effet, les données binaires à transmettre doivent être converties à une forme d'onde supportée par le canal de transmission tout en respectant les contraintes associées en termes de largeur de bande. Ainsi, dans un système de communication, nous avons intérêt à réduire la largeur de

bande le plus possible afin d'augmenter le nombre d'utilisateurs servis. Cependant, réduire la largeur de bande du spectre du signal à transmettre risque de produire des interférences entre les symboles ISI (*Intersymbol Interference*) qui rendent difficile la détection des symboles au niveau de la réception. Pour surmonter ceci, un signal doit satisfaire théoriquement le critère de Nyquist qui annonce que la largeur de bande minimale pour détecter  $R_s$  symboles sans ISI est  $R_s/2$  Hz.  $R_s/2$  est appelée alors la bande de Nyquist et le filtre qui répond à cette condition est appelé filtre de Nyquist (Hanzo, Webb et Keller, 2000). Cependant, ce filtre n'est pas réalisable dans la pratique, car sa réponse impulsionnelle est infinie dans le temps.

L'un des filtres réalisables pratiquement et qui répond au critère de Nyquist est le filtre de cosinus surélevé "*Raised Cosine Filter*". Sa réponse fréquentielle est définie par

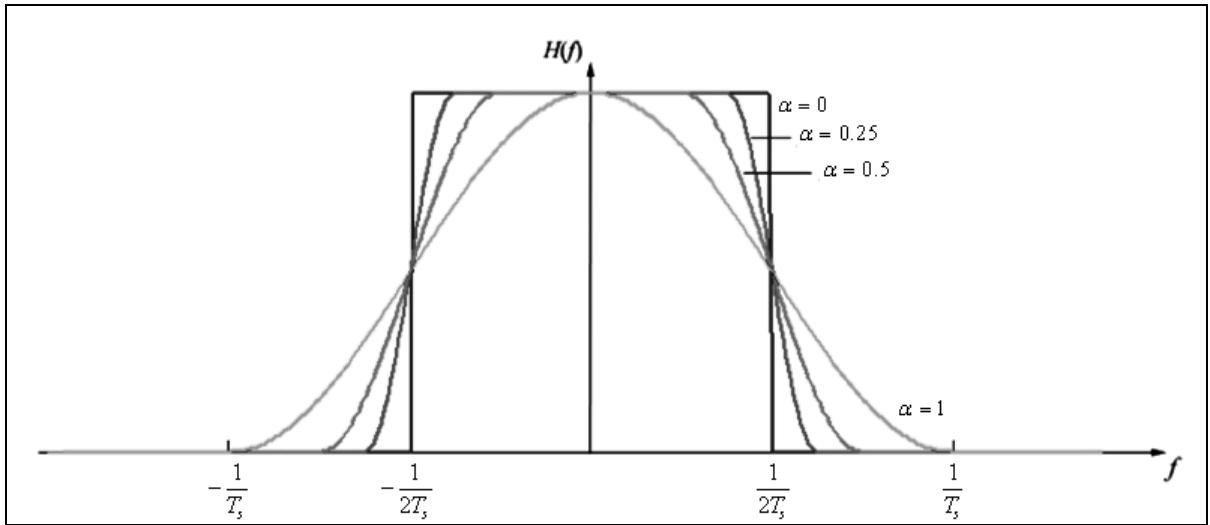
$$H(f) = \begin{cases} T_s & 0 \leq |f| \leq \frac{1-\alpha}{2T_s} \\ \frac{T_s}{2} \left[ 1 + \cos \left[ \frac{\pi T_s}{\alpha} \left( |f| - \frac{1-\alpha}{2T_s} \right) \right] \right] & \frac{1-\alpha}{2T_s} \leq |f| \leq \frac{1+\alpha}{2T_s} \\ 0 & \text{ailleurs} \end{cases} \quad (2.2)$$

avec  $\alpha$  est le facteur de mise en forme (*roll-off factor*) qui est un paramètre compris entre 0 et 1, et  $T_s$  est la période d'un symbole qui est égale à  $1/R_s$ .

La réponse fréquentielle d'un filtre de cosinus surélevé est présentée dans la figure 2.9. Le coefficient  $\alpha$  est un facteur qui modifie la forme du signal et agit en conséquence sur sa largeur de bande. Cette dernière est définie par

$$B = (1 + \alpha) \cdot R_s \quad (2.3)$$

avec  $B$  la largeur de bande en fréquence du signal filtré,  $\alpha$  est le facteur de mise en forme entre 0 et 1 et  $R_s$  est le taux de symboles.



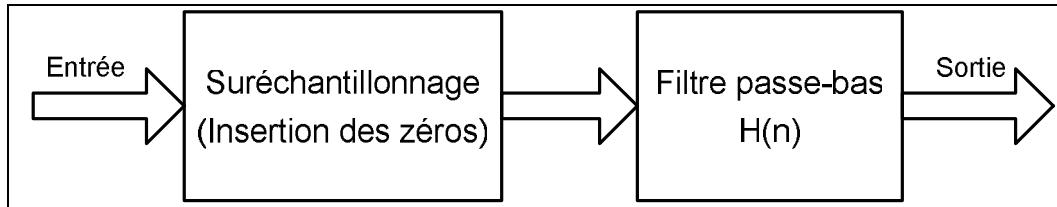
**Figure 2.9 Réponse fréquentielle d'un filtre de cosinus surélevé.**

Le filtre de cosinus surélevé est très utilisé dans les chaînes de communication pour la mise en forme et l'adaptation du signal à transmettre par rapport au support de transmission tout en respectant le critère de Nyquist. En pratique, dans une chaîne de communication, ce filtre doit être reparti entre l'émission et la réception afin de minimiser la probabilité d'erreur, c'est ce qu'on appelle le filtrage adapté (*Matching filtering*). Pour cela, on utilise des filtres de module  $\sqrt{|H(f)|}$  d'où le nom RRCF (*Root-Raised-Cosine filter*).

## 2) Le suréchantillonnage

La réponse du filtre numérique est échantillonnée sous forme d'une fonction à valeurs discrètes  $H(n)$  qui définit l'ensemble des coefficients du filtre. Ces coefficients sont calculés et sauvegardés en mémoire. Cependant, la fréquence d'échantillonnage du filtre doit être adaptée au taux de symboles  $R_s$  afin de satisfaire au moins le critère de Nyquist. En effet, théoriquement, pour détecter  $R_s$  symboles/seconde sans ISI, la bande passante minimale du filtre doit être égale à  $R_s/2$ . En pratique, pour ne pas avoir des distorsions lors de l'opération de filtrage, la fréquence d'échantillonnage du filtre  $f_s$  doit être égale à  $N \times R_s$ , avec  $N$  le nombre d'échantillons par symbole. Nous avons intérêt alors d'augmenter le nombre d'échantillons par symbole  $N$ . Ceci est réalisé grâce à un processus de suréchantillonnage à

l'entrée du filtre (*Up-sample*). La structure de base d'un filtre de mise en forme est présentée dans la figure 2.10. Elle est composée d'un bloc de suréchantillonnage et d'un filtre passe-bas.



**Figure 2.10 Structure d'un filtre de mise en forme.**

Le suréchantillonnage ou « *Up-sample* » est le processus d'augmentation du taux d'échantillonnage d'un signal. Dans la pratique, il correspond à l'insertion de zéros entre les échantillons. Si on note  $L$  le facteur de suréchantillonnage (*Up-sampling factor*), le processus correspond à insérer  $L-1$  zéros entre deux symboles (Ifeachor et Jervis, 2002). Dans notre cas,  $f_s$  étant la fréquence d'échantillonnage du filtre et  $R_s$  la fréquence des échantillons à son entrée définissant le taux de symboles/seconde. Si ce filtre nécessite  $N$  échantillons par symbole, alors  $N$  est égale à  $f_s/R_s$ . Ce qui implique la nécessité d'utiliser un processus de suréchantillonnage par un facteur de  $N$  à l'entrée du filtre. Ce processus correspond à l'insertion de  $N-1$  zéros. Par exemple, si le filtre nécessite 8 échantillons par symbole ( $N = 8$ ), le nombre de zéros à insérer est  $N-1 = 7$ , ce qui correspond à l'insertion de 7 zéros entre chaque 2 échantillons avant le filtrage des données.

### 2.3.4 La décomposition du signal

Le séparateur du signal (*Signal Component Separator*) a pour rôle de séparer le signal d'entrée à enveloppe variable en deux signaux à enveloppe constante. Pour son implémentation, deux options se présentent : soit la méthode polaire ou bien la méthode cartésienne (section 1.8.1). Cette dernière consiste à calculer le vecteur  $e(t)$  en fonction des composantes  $I(t)$  et  $Q(t)$  du signal  $S(t)$  avec  $S(t)=I(t)+jQ(t)$ , et à le sauvegarder dans une table de correspondance (*Look-Up Table*) à deux dimensions adressable en fonction de  $I$  et  $Q$ .

(Hetzell, Bateman et McGeehan, 1991; Shi et Sundstrom, 2000; Sundstrom, 1996). Le vecteur  $e(t)$  s'écrit alors :

$$e(t) = j S(t) \cdot \sqrt{\frac{r^2_{\max}}{r(t)^2} - 1} = -Q(t) \sqrt{\frac{r^2_{\max}}{I(t)^2 + Q(t)^2} - 1} + j I(t) \sqrt{\frac{r^2_{\max}}{I(t)^2 + Q(t)^2} - 1} \quad (2.4)$$

Ce signal est respectivement additionné et soustrait du signal d'entrée  $S(t)$ , pour former les deux signaux  $S_I(t)$  et  $S_Q(t)$  modulés en phase et à enveloppe constante (équations 1.10 et 1.11). La figure 2.11 décrit le concept de l'implémentation par LUT.

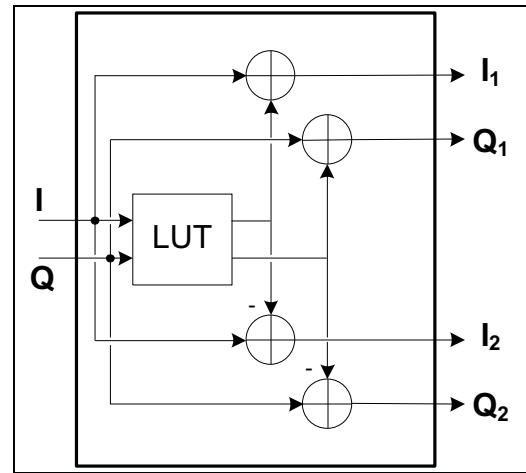


Figure 2.11 Bloc SCS par LUT.

Les calculs de la division et de la racine carrée sont des opérations difficiles à implémenter en numérique parce qu'elles demandent beaucoup de temps de calcul et consomment trop de ressources matérielles. Pour cette raison, l'utilisation d'une LUT permettant d'éviter les calculs nécessaires est favorisée.

La deuxième alternative qui repose sur la méthode polaire est plus complexe en implémentation compte tenu des difficultés liées à la réalisation de la fonction  $\cos^{-1}$  (ou  $\sin^{-1}$ ). Le principe de cette méthode est décrit à la figure 2.12. Elle consiste à calculer l'amplitude et la phase du signal d'entrée  $S(t)$  à partir des ses composantes cartésiennes "Real to Polar

"Conversion (RPC)" en appliquant par exemple l'algorithme de CORDIC (*Coordinate Rotation Digital Computer*) (Jheng *et al.*, 2006). L'enveloppe est adaptée et normalisée ("scaling"). On calcule par la suite l'angle  $\theta(t)$  à ajouter et à retrancher de  $S(t)$  par le calcul de l'inverse de la fonction cosinus (équation 1.12). On applique enfin une opération de modulation numérique de phase "*Digital Phase Modulator (DPM)*" en utilisant un synthétiseur numérique direct "*Direct Digital Synthesizer (DDS)*" pour aboutir aux deux signaux  $S_1(t)$  et  $S_2(t)$  à une fréquence IF. Cette méthode surmonte les problèmes de la consommation de mémoire de la méthode LUT. Cependant, elle demande plus d'effort au niveau des techniques d'implémentation et d'optimisation des algorithmes utilisés qui nécessitent beaucoup de temps de calcul.

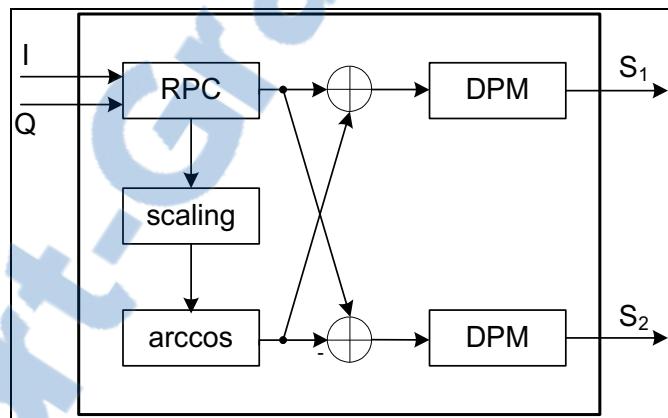


Figure 2.12 Bloc SCS par méthode polaire.

L'implémentation par la méthode LUT reste préférable grâce à sa simplicité et son délai de calcul minimal. Cependant, l'inconvénient de cette méthode est qu'elle consomme trop d'espace mémoire requis pour la LUT à deux dimensions qui est adressable par les deux composantes en phase et en quadrature de phase de  $S(t)$  (Shi et Sundstrom, 2000; Sundstrom, 1996). En effet, on aura besoin d'implémenter toutes les valeurs possibles de  $I$  et  $Q$ . L'espace mémoire sera, donc, en fonction du niveau de quantification (nombre de bits) de ces deux composantes. Si par exemple, on utilise 12 bits pour quantifier les échantillons de  $I$  et  $Q$ , l'espace mémoire minimal requis est  $2.12.2^{12+12}=403$  Mbits. Ainsi, la minimisation du niveau de quantification c'est-à-dire du nombre de bits utilisé permet de minimiser l'espace mémoire

requis. En contrepartie, ceci engendre des pertes sur la précision, ce qui augmentera l'ACI du signal de sortie telle qu'expliquée par (Sundstrom, 1996).

Une méthode de réduction de l'espace mémoire requis consiste en implémentation d'une LUT à une seule dimension adressable par la puissance du signal d'entrée  $r(t)^2$  (Conradi, 2000). Dans ce cas, le nombre des entrées de la table est limité par le niveau de la puissance. Les valeurs sauvegardées dans la table sont calculées en fonction du niveau de la puissance maximale de l'entrée de la table de telle sorte à obtenir une amplitude plus petite ou égale à  $r_{\max}$  pour les deux signaux à enveloppe constante. Dans ce cas, l'espace mémoire requis sera réduit de la moitié par rapport à la LUT à deux dimensions. Deux aspects doivent être considérés lors de l'implémentation de la LUT :

1. Les valeurs sauvegardées doivent être bien précises en termes de nombre de bits utilisés pour la quantification.
2. La taille de la table doit couvrir toutes les valeurs possibles en termes de la plage d'adressage.

En effet, ces deux facteurs sont les plus influents dans la génération de l'amplitude constante du signal sans une variation dans le temps afin d'assurer une bonne linéarité au niveau du signal de sortie.

Au cours de notre travail, nous avons utilisé la méthode de la LUT à une seule dimension afin d'implémenter le séparateur du signal (SCS) de notre transmetteur. Ainsi, la LUT implémentée est adressable par  $I(n)^2 + Q(n)^2$ , où  $n$  est l'instant de l'échantillonnage. Cette

table sauvegarde les différentes valeurs de la fonction  $\sqrt{\frac{r_{\max}^2}{I(n)^2 + Q(n)^2} - 1}$ . L'adresse

minimale  $I(n)^2 + Q(n)^2$  contient la valeur maximale de la fonction qui dépend du nombre d'entrées de la table. L'adresse maximale, quant à elle, contient la valeur zéro. Les différentes valeurs sont calculées et sauvegardées dans la table. On calcule par la suite, à partir de ces valeurs, les composantes en phase et en quadrature de phase des signaux à enveloppe constante  $I_1(n)$ ,  $Q_1(n)$ ,  $I_2(n)$  et  $Q_2(n)$  en utilisant les équations (1.18), (1.19), (1.20)

et (1.21). Deux choix sont possibles à ce niveau : les signaux générés seront convertis directement en analogique à travers les CNAs pour une conversion directe à la fréquence RF, ou bien convertis à une fréquence *IF* en utilisant des modulateurs I/Q numériques pour obtenir les deux signaux  $S_1$  et  $S_2$  avant la conversion numérique/analogique.

### 2.3.5 La modulation I/Q numérique

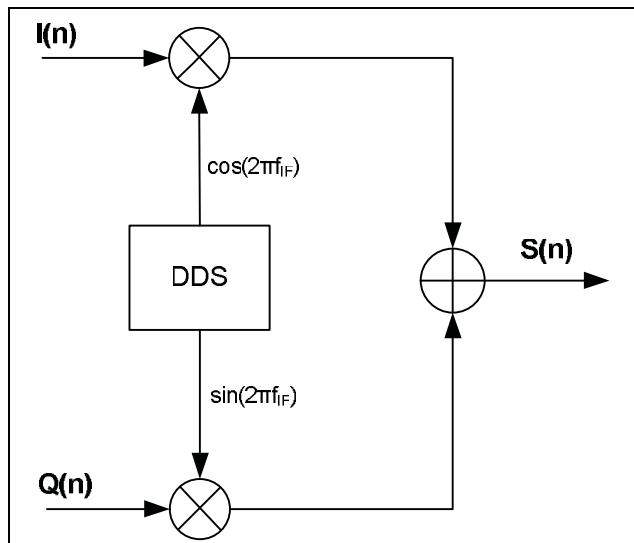
Les signaux en bande de base obtenus à la sortie du bloc de la décomposition du signal sont sous forme cartésienne présentée en deux composantes en phase et en quadrature de phase, *I* et *Q*. afin d'obtenir deux signaux réels à une fréquence *IF* à la sortie des CNAs, une opération de modulation I/Q (*quadrature modulator*) est nécessaire. Cette opération consiste à translater les signaux en bande de base de fréquence DC vers une fréquence *IF* afin de les convertir par la suite à une fréquence *RF*. Ces deux signaux seront amplifiés ensuite par les amplificateurs de puissance.

L'architecture d'un modulateur I/Q numérique est présentée à la figure 2.13. Ce modulateur est composé essentiellement de trois types de blocs : deux multiplicateurs, un additionneur et un synthétiseur de fréquence numérique (DDS). Ce dernier permet de générer les deux signaux cosinus et sinus à une fréquence  $f_{IF}$  contrôlable. Ces deux signaux sont multipliés par les composantes *I* et *Q* du signal d'entrée et sont sommés par la suite pour former le signal de sortie modulé à une fréquence  $f_{IF}$ .

Ce type de modulateur est reconnu sous le nom "*Single sideband modulator*" dont l'avantage est d'éliminer une des deux composantes de fréquence qui sont obtenues normalement à la sortie d'un modulateur de type "*Double sideband modulator*". Le signal modulé s'écrit dans ce cas sous la forme :

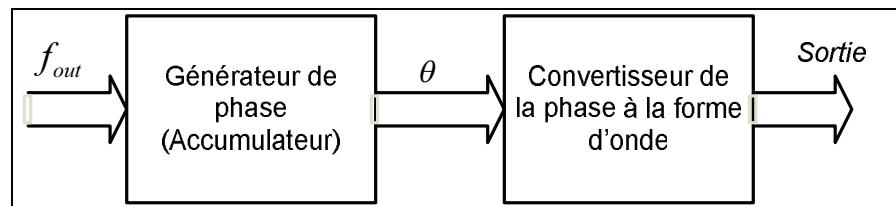
$$S(n) = I(n) \cos(2\pi f_{IF} nT) + Q(n) \sin(2\pi f_{IF} nT) \quad (2.5)$$

avec  $nT$  l'instant d'échantillonnage.



**Figure 2.13** Architecture d'un modulateur I/Q numérique.

Le bloc DDS dont le rôle est de générer les deux formes d'ondes sinus et cosinus à une fréquence  $f_{IF}$  consiste en fait en deux opérations en cascade. La première est une opération de génération et d'accumulation de phase à partir de la fréquence désirée. La deuxième est une conversion de la phase à la forme d'onde désirée (sinus ou cosinus). La figure 2.14 décrit le processus fondamental d'un DDS.



**Figure 2.14** Processus fondamental d'un DDS.

La fréquence  $f_{out}$  de la forme d'onde désirée à la sortie est calculée à partir de la fréquence d'échantillonnage  $f_s$  du générateur de phase, de sa résolution N (nombre des bits utilisé) et de la valeur de l'incrément  $\Delta\theta$  (incrément de la phase). Elle s'écrit, donc :

$$f_{out} = \frac{f_s}{2^N} \Delta\theta \quad (2.6)$$

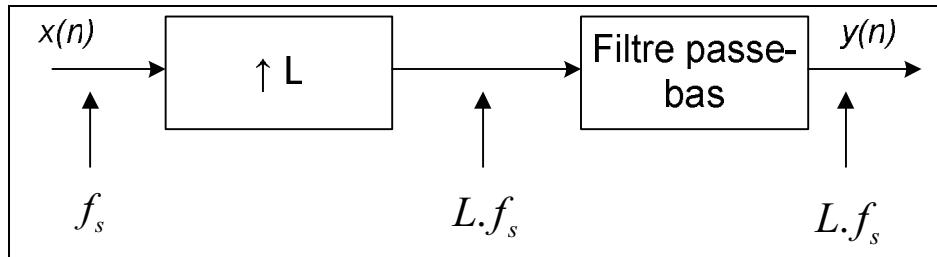
La fréquence  $f_{out}$  maximale à générer est égale à  $\frac{f_s}{2}$  selon le théorème de Nyquist (Ifeachor et Jervis, 2002).

Les formes d'ondes à la sortie du bloc DDS sont générées à une fréquence d'échantillonnage généralement supérieure à celle des données I et Q du signal à moduler à l'entrée. Ainsi, pour synchroniser les fréquences, on utilise généralement un processus d'interpolation des données.

### 2.3.6 L'interpolation des données

Le principe de l'interpolation des données est très utilisé dans les chaînes de communication numériques afin de convertir les fréquences d'échantillonnage d'une fréquence  $f_{s1}$  vers une fréquence  $f_{s2}$ , avec  $f_{s1} < f_{s2}$ , tout en gardant la même allure du signal que celle de l'entrée. Si  $f_{s1} > f_{s2}$ , le processus correspondant à l'opération inverse de l'interpolation est appelé décimation.

D'un point de vue pratique, un filtre interpolateur permet de faire l'affaire. Le principe repose sur un suréchantillonnage (insertion de zéros) à l'entrée d'un filtre passe-bas, le même décrit précédemment pour le filtre de mise en forme (paragraphe 2.3.3). Si on pose  $L$  le facteur d'interpolation,  $L-1$  zéros doivent être insérés entre chaque deux échantillons avant d'être filtrés par un filtre passe-bas afin d'éliminer les fréquences images. Si, par exemple, l'entrée  $x(n)$  est échantillonnée à une fréquence  $f_{s1} = f_s$ , la sortie  $y(n)$  est obtenue à une fréquence  $f_{s2} = L \cdot f_s$  grâce à un processus d'interpolation. Le principe est décrit dans la figure 2.15.



**Figure 2.15** Principe d'interpolation.

## 2.4 Conception et implémentation de la section numérique

Dans la section précédente, nous avons présenté les aspects théoriques liés aux différents blocs de l'architecture de la partie numérique du transmetteur LINC. Dans cette section, nous détaillons les aspects de la conception des différents blocs de l'architecture pour une implémentation sur circuit numérique. Nous commençons par une discussion des choix du matériel pour ensuite passer aux détails de l'implémentation des différents blocs.

### 2.4.1 FPGA Vs. DSP

Lors de la conception de la section génération et décomposition du signal du transmetteur LINC, nous étions face au choix d'une solution adéquate offrant un compromis entre le coût et les performances désirées pour l'implémentation numérique de la technique. En effet, il fallait choisir entre un processeur DSP (*Digital Signal Processing*) et un FPGA (*Field-Programmable Gate Array*). Ces deux plateformes sont les plus utilisées de nos jours dans les solutions des applications embarquées pour le traitement numérique des signaux. Ainsi, nous devons satisfaire un compromis entre les coûts et les performances en effectuant notre choix tout en répondant aux spécifications requises de notre application.

Le DSP présente l'avantage d'être plus simple à programmer. En effet, il vient souvent avec son environnement de programmation spécifique, incluant des bibliothèques prédéveloppées prêtes à être utilisées, ce qui le rend plus facile à programmer et à utiliser qu'un FPGA. En plus, plusieurs familles de DSP sont conçues aujourd'hui pour des applications spécifiques.

Ceci les rend plus rentables en terme de coûts/performances si l'application n'est pas trop gourmande en nombre des blocs MAC (*Multiple Accumulate unit*) nécessaires (généralement inférieure à 1000 MMAC "*Million Multiply Accumulate Operations*") (Ifeachor et Jervis, 2002). Cependant, les DSPs ne sont pas le meilleur choix pour plusieurs applications. En effet, leur architecture est non flexible. Elle est souvent limitée par le nombre des blocs MAC, l'espace mémoire et la largeur des bus de données (16 ou 32 bits). De plus, la puissance consommée est proportionnelle à la fréquence d'horloge utilisée. Pour cette raison, cette dernière est limitée afin de minimiser la consommation en puissance.

Ceci nous amène à considérer l'utilisation d'un FPGA pour répondre aux spécifications de notre application. En effet, ce circuit offre une solution plus flexible avec sa conception matérielle basée sur la logique programmable, ce qui en fait une plateforme largement utilisée pour les applications très gourmandes en termes de ressources matérielles utilisées. En effet, il est maintenant possible d'implémenter plusieurs composants (processeur, mémoire, UAL (Unité arithmétique logique), etc.) dans un même circuit FPGA tout en traitant les données d'une façon parallèle. De plus, les FPGAs offrent plus de flexibilité, d'une part, au niveau des largeurs des données traitées et donc plus de précision au niveau des calculs effectués, et, d'autre part, au niveau de la fréquence d'horloge qui peut être configurable selon la spécification de l'application. De telles caractéristiques nécessitent l'utilisation de plusieurs DSPs pour répondre aux mêmes spécifications engendrant en conséquence un coût plus élevé. Le tableau 2.2 résume les avantages et les inconvénients de chaque solution.

Tous ces facteurs nous ont amené à opter pour une plateforme à base d'un FPGA pour l'implémentation de notre application. En effet, une flexibilité au niveau des bus de données est nécessaire pour aboutir à des meilleures performances au niveau de la précision des calculs effectués, notamment au niveau de la décomposition du signal. La fréquence d'horloge doit être aussi flexible afin de répondre aux spécifications requises.

Tableau 2.2 Caractéristiques du FPGA Vs. DSP

	FPGA	DSP
<b>Avantages</b>	<ul style="list-style-type: none"> <li>-Programmation plus flexible.</li> <li>-Bus de données plus flexible.</li> <li>-Fréquence d'horloge plus flexible.</li> <li>-Destiné pour des applications à hautes performances (plus gourmandes en ressources).</li> </ul>	<ul style="list-style-type: none"> <li>-Simple à programmer.</li> <li>-Moins couteux pour des applications à faible performance.</li> <li>-Destiné pour des applications spécifiques (exemple : vidéo).</li> </ul>
<b>Inconvénients</b>	<ul style="list-style-type: none"> <li>-Plus complexe à programmer.</li> <li>-Plus couteux pour des applications à faible performance.</li> </ul>	<ul style="list-style-type: none"> <li>-Architecture non flexible.</li> <li>-Espace mémoire faible.</li> <li>-Largeur de bus de données fixe.</li> <li>-Fréquence d'horloge fixe.</li> </ul>

#### 2.4.2 Description de la plateforme matérielle et logicielle

##### 1) Caractéristiques de la carte Lyrtech

Au cours de ce travail, nous avons utilisé une carte Lyrtech à base d'un FPGA pour implémenter notre application. Une photographie de cette carte est montrée dans la figure 2.16. Elle possède des ressources matérielles et logicielles qui en font une solution simple et efficace pour différents systèmes embarqués. Elle est équipée de (Lyrtech, 2007) :

- Un FPGA de la famille Xilinx Virtex-4 XC4VSX55.
- 8 canaux d'acquisition de données à base de CANs à 14 bits format signé opérant à une fréquence maximale de 105 MSPS avec des gains programmables.
- 128 MB de mémoire SDRAM.
- Un CPLD.
- 64 MB de mémoire Flash pour sauvegarder le "*bitstream*" à charger dans le FPGA.

- Un port d'extension à 8 canaux pour l'ajout de 8 canaux d'acquisition à base de CAN, de 8 canaux d'émission à base de CNA, ou une carte à mémoire SDRAM.
- Plusieurs protocoles de communication avec des interfaces externes (*Serial Digital Intermediate Frequency DIF*, *General Purpose Input/Output GPIO*, *Parallel RapidCHANNEL*, *Front Panel Data Port FPDP*, *Inter-Integrated Circuit I2C*).
- Un environnement logiciel permettant l'interfaçage avec l'utilisateur.



**Figure 2.16 Photographie de la carte FPGA de Lyrtech.**

La carte Lyrtech nous offre encore la possibilité de choisir entre plusieurs sources d'horloges internes ou externes. En effet, cette horloge peut être :

- Interne, fixe à 104 MHz (peut être divisée par 2).
- Externe, fournie sur l'entrée CLK de la carte.
- Reçue à partir de l'interface FPDP (Front Panel Data Port).
- Reçue à partir de l'interface DIF (Digital Intermediate Frequency).
- Reçue à partir de l'interface RapidCHANNEL.

- Générée à partir du FPGA.

Ces caractéristiques permettent à la carte Lyrtech d'être la plateforme adéquate pour les applications multicanaux à fréquence bande de base/IF. L'architecture interne de la carte est présentée dans l'annexe I.

## 2) La carte de conversion numérique/analogique

Afin de convertir les signaux numériques générés à partir du FPGA en des signaux analogiques, nous aurons besoin d'une carte à convertisseurs N/A (CNA) extensible sur le port d'extension de la carte Lyrtech. Pour cela deux options se présentent. La première est d'utiliser la carte CNA de chez Lyrtech qui est déjà compatible avec le produit. La deuxième est d'utiliser une carte CNA fabriquée déjà par l'un des étudiants au LACIME dans le même objectif (Lacasse, 2009). Malgré que les deux cartes se révèlent les mêmes de point de vue fonctionnel, chacune d'elles présente ses propres caractéristiques (voir tableau 2.3).

Le choix d'une carte par rapport à l'autre dépend essentiellement des résultats obtenus lors de l'étape de tests et validation selon les objectifs fixés. En effet, la carte CNA du LACIME permet plus de performance au niveau de la précision, cependant, elle nécessite plus d'effort au niveau de la programmation et l'intégration.

Tableau 2.3 Caractéristiques de la carte CNA Lyrtech et celle du LACIME

Caractéristique	Carte CNA de Lyrtech	Carte CNA du LACIME
Nombre des canaux disponibles	8 canaux	6 canaux
Résolution	14 bits	16 bits
Fréquence d'échantillonnage maximale à l'entrée	125 MSPS	160 MSPS
Fréquence des données maximale à la sortie	125 MSPS	400 MSPS
Gain programmable du canal et ajustement de l'offset	Non	Oui
Nécessité d'alimentation externe	Non	Oui
Nécessité d'une horloge externe	Non	Oui
Facilité de la programmation et d'intégration	Oui	Non

### 3) Le FPGA Virtex-4

La carte de Lyrtech est une carte à base d'un FPGA de la famille Xilinx Virtex-4 XC4VSX55. Cette famille offre des solutions à hautes performances pour les applications de traitement numérique des signaux. Elle inclut plusieurs éléments configurables et des *ip-cores* embarqués et optimisés pour des diverses applications.

La famille Virtex-4 est caractérisée par (Xilinx, 2007) :

- des blocs I/O (IOBs) qui représentent l'interface entre les pins du circuit et les blocs logiques internes,
- des Blocs logiques configurables (CLBs). Ce sont les éléments de base des FPGAs Xilinx produisant des blocs logiques combinatoires et synchrones qui sont configurables en fonction de l'application désirée,

- des blocs de mémoire RAMs flexibles de 18kbits en cascade,
- des DSPs embarqués "XtremeDSPs slices" 18bits x 18bits destinées pour réaliser des multiplicateurs, des additionneurs et des accumulateurs à 48 bits d'une manière optimisée,
- des blocs pour la gestion numérique d'horloge "Digital Clock Manager" ou *DCM* offrant des solutions numériques pour la distribution d'horloge, la compensation des délais, la multiplication/division et le déphasage d'horloge,
- une fréquence qui peut aller jusqu'à 500 MHz.

Un aperçu sur l'ensemble des ressources disponibles dans la famille XC4VSX55 est présenté dans le tableau 2.4.

Tableau 2.4 Les ressources du FPGA Xilinx XC4VSX55

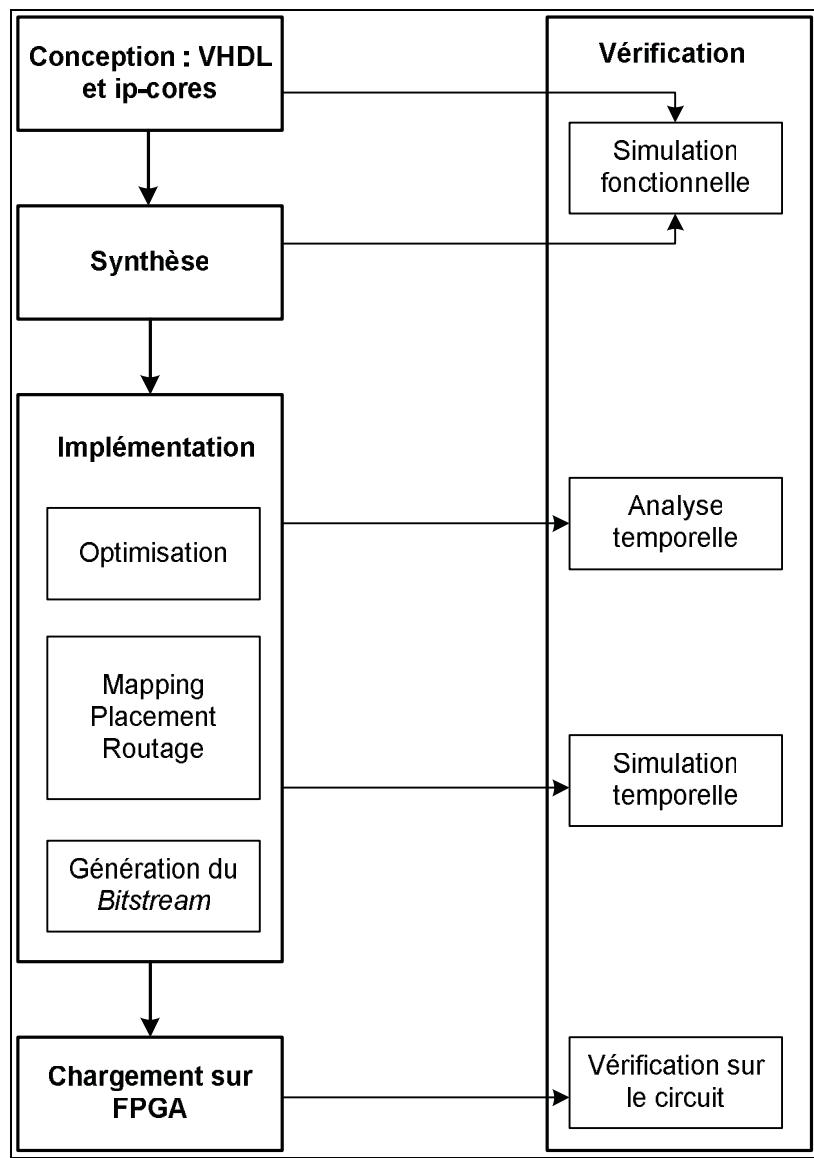
<b>Configurable Logic Blocks (CLBs)</b>	<b>Array Row x Col</b>	128 x 48
	<b>Logic Cells</b>	55296
	<b>Slices</b>	24576
	<b>Max Distributed RAM (Kb)</b>	384
<b>Block RAM</b>	<b>18 Kb Blocks</b>	320
	<b>Max Block RAM (Kb)</b>	5760
	<b>DCMs</b>	8
	<b>PMCDs</b>	4
	<b>Total I/O Banks</b>	13
	<b>Max User I/O</b>	640
	<b>XtremeDSP Slices</b>	512

Ainsi, grâce à ses larges performances, la carte Lyrtech à base du FPGA Xilinx-Virtex4 constitue une plateforme adéquate pour l'implémentation de notre application.

#### 4) La plateforme logicielle

L'implémentation du système est codée en langage de description matérielle VHDL et en utilisant des *ip-cores* propriété de Xilinx. Nous avons utilisé l'environnement ISE de Xilinx pour la synthèse, le placement et le routage. Pour les simulations pré et post-synthèse, nous avons fait recours à l'outil ModelSim.

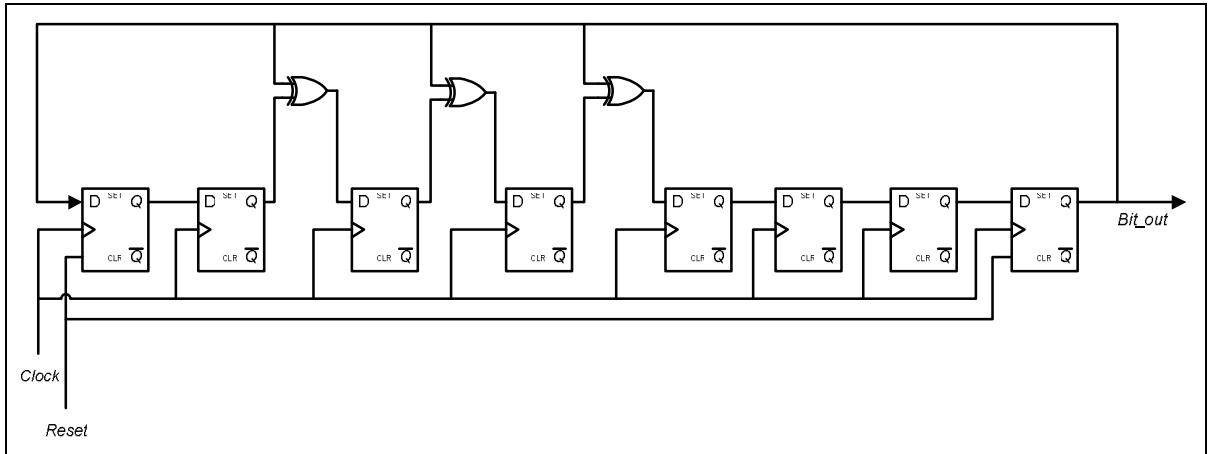
Le développement de l'application est effectué d'une manière structurale. En effet, chaque bloc du système est conçu à part, et ce, soit codé en VHDL, soit en utilisant un *ip-core*, simulé par la suite en utilisant l'outil ModelSim, puis synthétisé par l'outil XST de Xilinx. Une analyse temporelle est effectuée à fur est à mesure sur les différents blocs afin d'assurer la satisfaction des contraintes temporelles et ainsi, le bon fonctionnement du système. Une fois les différents blocs validés, nous avons procédé à l'implémentation du système global sur le FPGA à travers l'interface logicielle de Lyrtech. Les différentes étapes de la conception et la mise en œuvre d'une application sur un environnement Xilinx sont décrites dans la figure 2.17.



**Figure 2.17 Processus de développement d'une application sur un circuit FPGA de la famille Xilinx.**

#### 2.4.3 Implémentation du générateur pseudo aléatoire de la séquence binaire

Le générateur pseudo aléatoire de la séquence binaire est implémenté par une structure de type LFSR. Dans notre cas nous avons utilisé une architecture de type Galois. Nous avons choisi d'implémenter un LFSR à 8 étages permettant de générer 255 séquences possibles. Cette structure est présentée dans la figure 2.18.



**Figure 2.18** Architecture du LFSR implémenté.

Ainsi, le "tap" utilisé dans ce cas est "1, 2, 3, 7". Le polynôme générateur s'écrit alors :

$$G(x) = x^7 + x^3 + x^2 + x^1 + 1 \quad (2.7)$$

Les signaux de contrôle sont *Clock* et *Reset*. Le signal de sortie *Bit\_out* représente les bits générés en série d'une façon aléatoire. Le système génère un bit à chaque coup d'horloge. Ainsi, le taux de transmission binaire de notre transmetteur ou le débit binaire va dépendre initialement de la fréquence d'horloge utilisée. En effet, si on note  $R_b$  le taux de transmission binaire représenté par le nombre de bits par seconde et  $T_{clock}$  la période d'horloge,  $R_b$  s'écrit :

$$R_b = \frac{1}{T_{clock}} \text{ (bits / seconde)} \quad (2.8)$$

Notons que ce taux de transmission est égal en fait à la fréquence d'horloge utilisée au niveau du LFSR. Cette horloge est générée d'une façon flexible à partir de l'horloge du système grâce à un diviseur d'horloge permettant ainsi un contrôle sur le débit binaire du transmetteur.

Les bits générés aléatoirement par le LFSR vont attaquer le modulateur d'une façon séquentielle afin d'obtenir un signal modulé en bande de base sous forme de deux composantes en phase et en quadrature de phase.

#### 2.4.4 Implémentation du modulateur des données numériques

Le modulateur des données en bande de base se forme en deux blocs : le Convertisseur série-parallèle et le bloc de mise en constellation (*mapper*). Ce dernier consiste à l'implémentation d'une table de correspondance LUT (*Look-Up Table*) qui va contenir l'ensemble des valeurs de  $I$  et  $Q$  et adressée par les données provenant du bloc "série-parallèle". La figure 2.19 décrit le principe d'implémentation numérique d'un modulateur de données en bande de base.

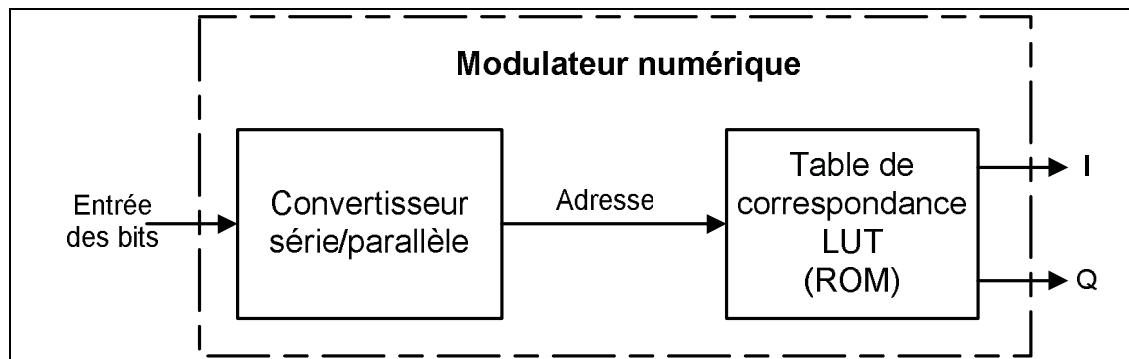


Figure 2.19 Architecture du modulateur des données numériques.

Les bits arrivent en série à l'entrée du convertisseur série/parallèle, transformés sous forme d'un ensemble de bits en parallèle. Le nombre des bits en parallèle dépend de l'indice de modulation. Ces bits vont adresser une table (LUT) à deux sorties contenant les différentes valeurs de  $I$  et  $Q$  dont la grandeur (longueur et largeur) va dépendre du nombre de bits utilisé pour l'adressage donc, du type de la modulation (tableau 2.5).

Tableau 2.5 Espace mémoire LUT requis pour chaque type de modulation

Modulation	Espace mémoire de la LUT
BPSK	$2^1 = 2$ bits
QPSK	$2^2 = 4$ bits
16QAM	$2^4 = 16$ bits
64QAM	$2^6 = 64$ bits

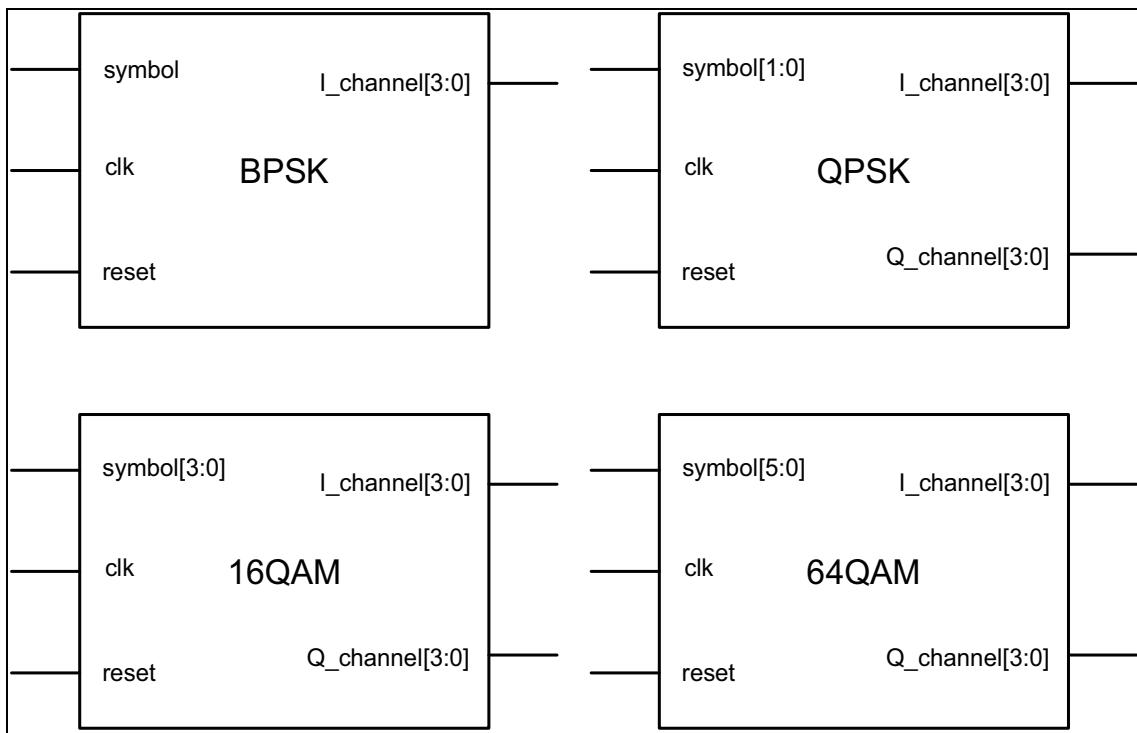
Les données à la sortie du modulateur sont sous la forme de deux composantes cartésiennes  $I$  et  $Q$  formant ainsi des données binaires modulées en amplitude et en phase. Nous parlons à ce niveau des symboles de la modulation caractérisée par le taux de transmission des symboles. Ce taux est une fonction de débit binaire reçu et de l'indice de modulation. En effet, si on note  $R_s$  le taux de transmission des symboles, il s'écrit sous la forme :

$$R_s = \frac{R_b}{\log_2(M)} (\text{symboles / seconde}) \quad (2.9)$$

avec  $R_b$  est le taux de transmission binaire,  $M$  est l'indice de modulation (MPSK ou MQAM).

### La quantification des signaux :

Nous avons choisi un format complément à deux pour la quantification des valeurs des composantes  $I$  et  $Q$ . La figure 2.20 représente les blocs "*constellation mapper*" pour les modulations BPSK, QPSK, 16 QAM, et 64 QAM avec les différents signaux de contrôle utilisés dans l'implémentation. La largeur de l'entrée *symbol* qui représente l'ensemble des bits utilisés pour former un symbole dépend du type de modulation. Ce signal est codé sur 1 bit, 2 bits, 4 bits et 6 bits pour les modulations respectives BPSK, QPSK, 16QAM et 64QAM.



**Figure 2.20** Les blocs "Constellation mapper" et les différents signaux associés.

Nous avons choisi le même nombre de bits à savoir, 4 bits, pour le codage des sorties I et Q qui représente le format minimal pour le codage de la modulation 64QAM. Ceci permet de faciliter l'implémentation et de minimiser les ressources matérielles utilisées. Les exemples de codage pour les modulations BPSK et QPSK sont donnés dans les tableaux 2.6 et 2.7. Le codage utilisé est celui de GRAY.

Tableau 2.6 Codage des données pour la modulation BPSK

	Entrée	0	1
<b>I</b>	<b>Représentation en décimal</b>	1	-1
	<b>Représentation en complément à 2</b>	0001	1111

Tableau 2.7 Codage des données pour la modulation QPSK

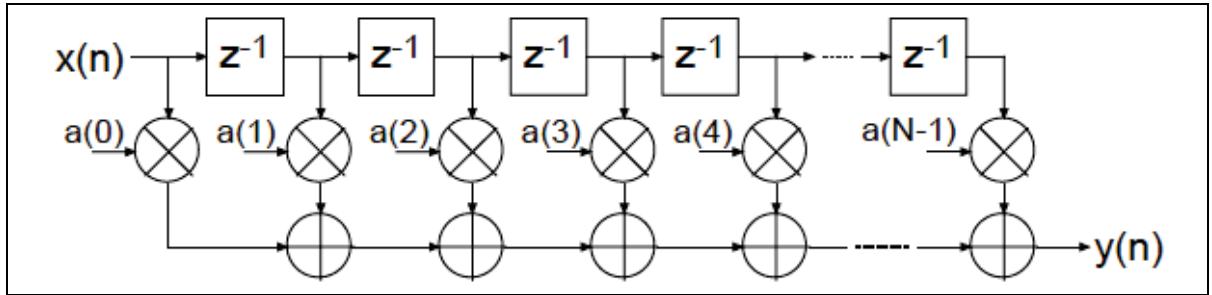
	Entrée	00	01	10	11
I	<b>Représentation en décimal</b>	1	-1	1	-1
	<b>Représentation en complément à 2</b>	0001	1111	0001	1111
Q	<b>Représentation en décimal</b>	1	1	-1	-1
	<b>Représentation en complément à 2</b>	0001	0001	1111	1111

#### 2.4.5 Implémentation du filtre de mise en forme

##### 1) Architecture d'un filtre FIR

Le filtre utilisé après la modulation numérique en bande de base est un filtre de type RRC dont l'objectif est de mettre en forme le signal tout en respectant le critère de Nyquist (Ifeachor et Jervis, 2002). Ce filtre est appliqué de la même manière sur les deux composantes  $I$  et  $Q$ .

Pour implémenter ce filtre, nous avons eu recours à un filtre numérique à réponse impulsionnelle finie FIR (*finite impulse response*). En effet, ce type de filtre est très utilisé dans l'implémentation numérique des filtres grâce à sa réponse impulsionnelle finie qui s'annule après un certain nombre fini d'échantillons. La forme directe de l'architecture d'un filtre FIR est présentée dans la figure 2.21. Le  $z^{-1}$  représente une unité de délais (bascule), les  $a(n)$  sont les coefficients du filtre,  $x(n)$  sont les échantillons du signal d'entrée et  $y(n)$  est la sortie correspondant à l'échantillon  $n$ .



**Figure 2.21 Architecture d'un filtre FIR.**

Tirée de Xilinx (2008, p. 2)

Cette structure est l'implantation de l'équation standard d'un filtre FIR, en notant N l'ordre du filtre ou le nombre des coefficients du filtre, l'équation s'écrit :

$$y(n) = \sum_{k=0}^{N-1} a(k)x(n-k) \quad (2.10)$$

L'implémentation d'un filtre FIR est formée en trois blocs : unité de délai (registre), multiplicateur, et additionneur. Le nombre de ressources utilisées dépend de l'ordre du filtre. La multiplication représente le bloc le plus consommateur en termes de ressources matérielles. Par conséquent, des optimisations sur l'architecture peuvent être envisagées selon les objectifs cherchés en termes de surface ou de vitesse.

## 2) Compilateur du filtre FIR

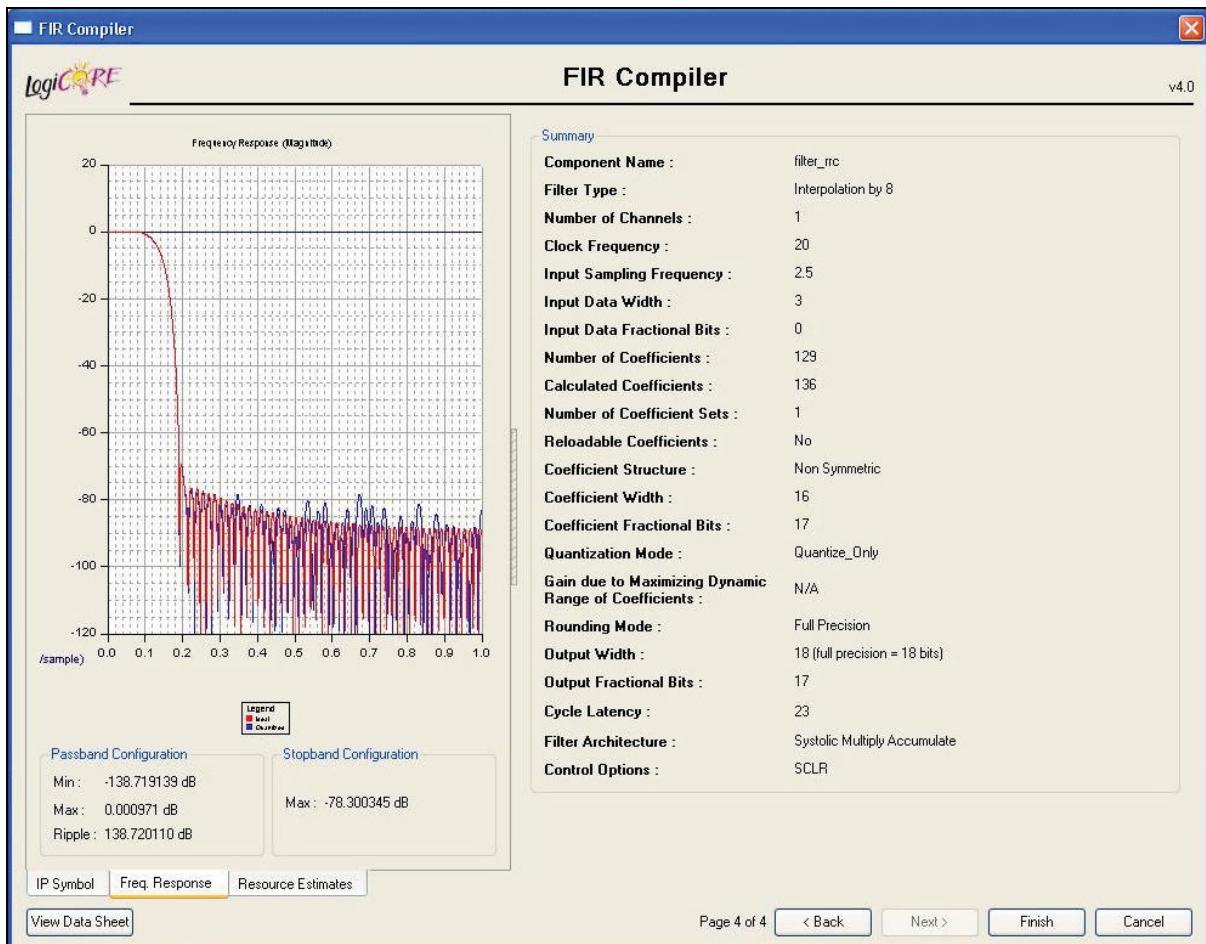
Dans notre travail, nous avons eu recours à un *ip-core* de chez Xilinx "FIR Compiler" qui permet la conception et l'implémentation de la structure FIR d'une manière optimisée en termes de ressources utilisées (Xilinx, 2008). Cet *ip-core* permet à l'utilisateur de configurer le filtre grâce à une interface graphique (GUI) de Xilinx CORE Generator software. En effet, à travers cette interface, l'utilisateur peut saisir les spécifications de configuration. Ces spécifications se résument dans les points suivants :

- Charger le fichier des coefficients en un format COE (COEfficients) contenant tous les coefficients du filtre sous forme réelle ou quantifiée (sous forme binaire, hexadécimale...).
- Choisir le type du filtre à implémenter entre : *Single rate filter* (La fréquence d'échantillonnage d'entrée est égale à celle de sortie), *Interpolation filter* (à un facteur d'interpolation P), *Decimation filter* (à un facteur de décimation Q), *Interpolated filter* (à un *zero-packing factor*, insertion de k-1 zéros entre les coefficients) et *Polyphase filter*.
- Choisir la fréquence d'échantillonnage du filtre et sa fréquence d'horloge.

L'utilisateur peut aussi spécifier les options liées à l'implémentation de la structure du filtre :

- L'architecture désirée (Mutiply-Accumulate MAC, Distributed arithmetic...).
- Les signaux de contrôle désirés (reset, Clock Enable...).
- Le type des coefficients (signés ou non signés) ainsi que leur niveau de quantification.
- Le type des données à l'entrée (signés ou non signés) et leur niveau de quantification.
- L'objectif de l'optimisation désirée (vitesse ou surface).
- Les options sur l'architecture de la mémoire utilisée (automatique, bloc, ou distribuée) et sur les blocs DSPs.
- Choisir le nombre des trajets souhaités. Ceci permet de partager le même filtre entre plusieurs trajets en termes de coefficients et des signaux de contrôle. Et ça permet, donc, de gagner en termes de ressources utilisées.

L'interface nous permet aussi de visualiser la réponse fréquentielle du filtre, les spécifications de sa bande passante (*Passband*) et de sa bande de coupure (*stopband*) en *dB*. Un aperçu de l'interface est présenté dans la figure 2.22.



**Figure 2.22 Interface de FIR Compiler.**

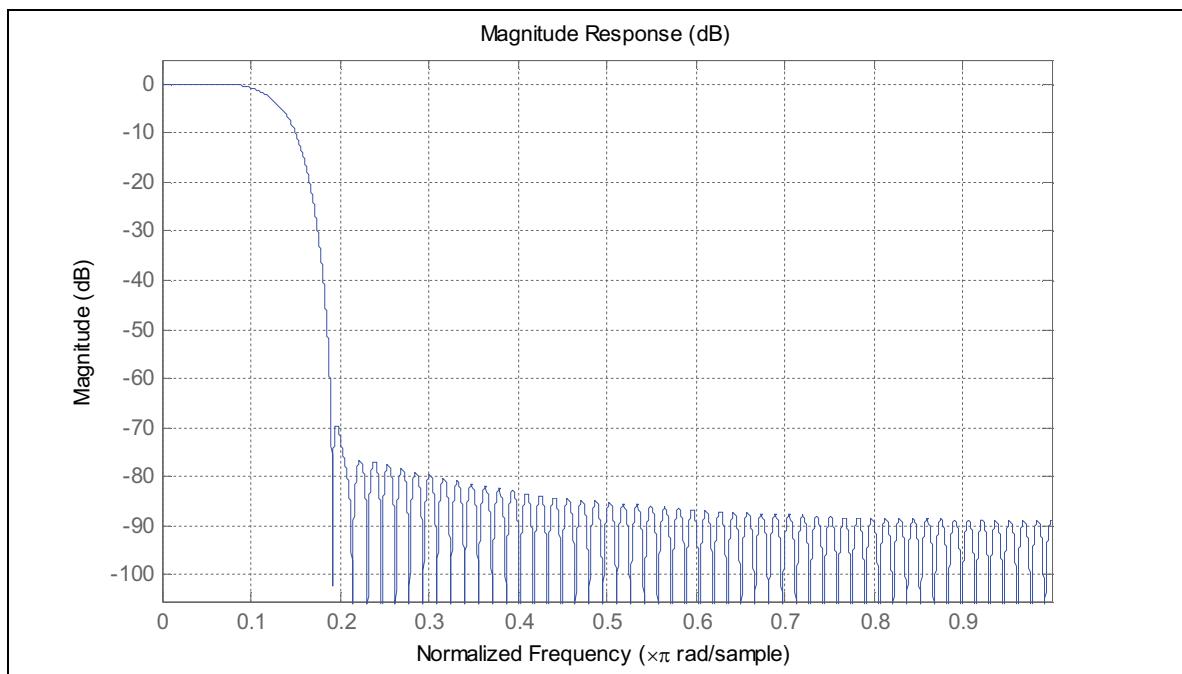
Une fois que les différents paramètres sont spécifiés, le corps est généré. On obtient ainsi un module synthétisé prêt à être instancié dans notre projet.

### 3) Conception et implémentation

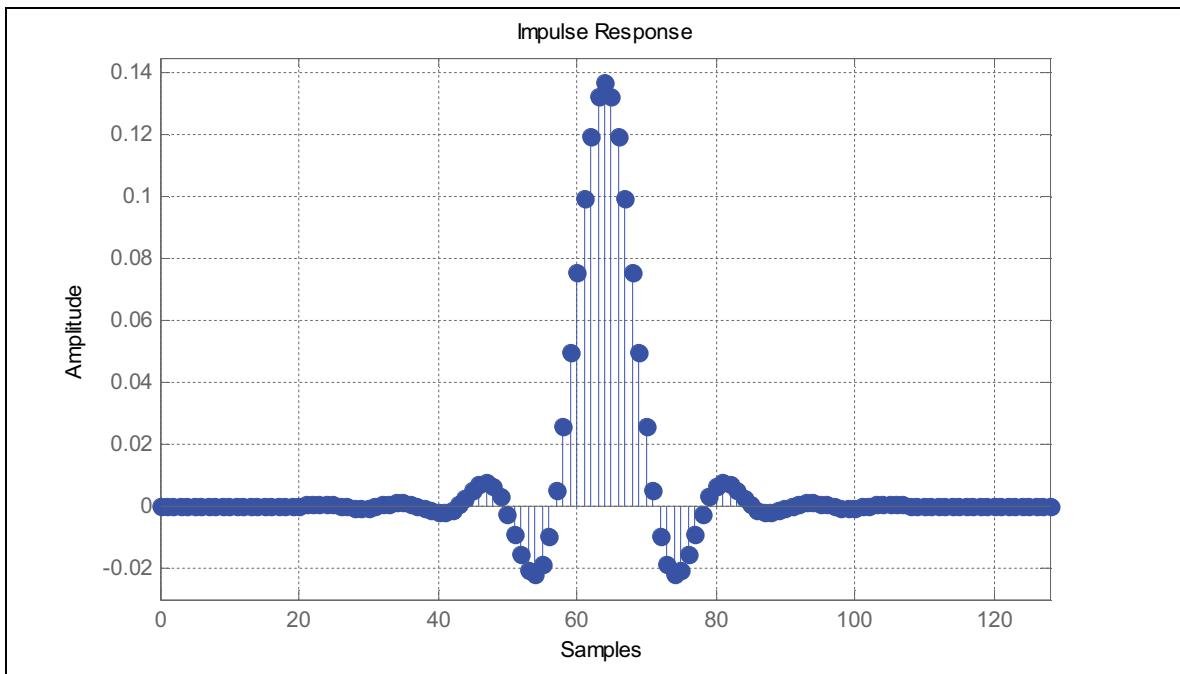
Pour l'implémentation de notre filtre, nous avons commencé par générer ses coefficients et analyser sa réponse fréquentielle à partir d'un programme MATLAB selon les spécifications suivantes :

- La structure est de type FIR.
- Le filtre est de type *Square Root Raised Cosine Filter*.
- La fréquence d'échantillonnage est de 8 échantillons/symbole.
- L'ordre est 128 (correspond à 129 coefficients).
- Le facteur de filtrage roll-off est entre 0 et 1, typiquement entre 0.2 et 0.5.

Les réponses fréquentielle et impulsionale du filtre conçu sont présentées respectivement sur les figures 2.23 et 2.24.



**Figure 2.23 Réponse fréquentielle du filtre RRC avec un roll-off de 0.35.**



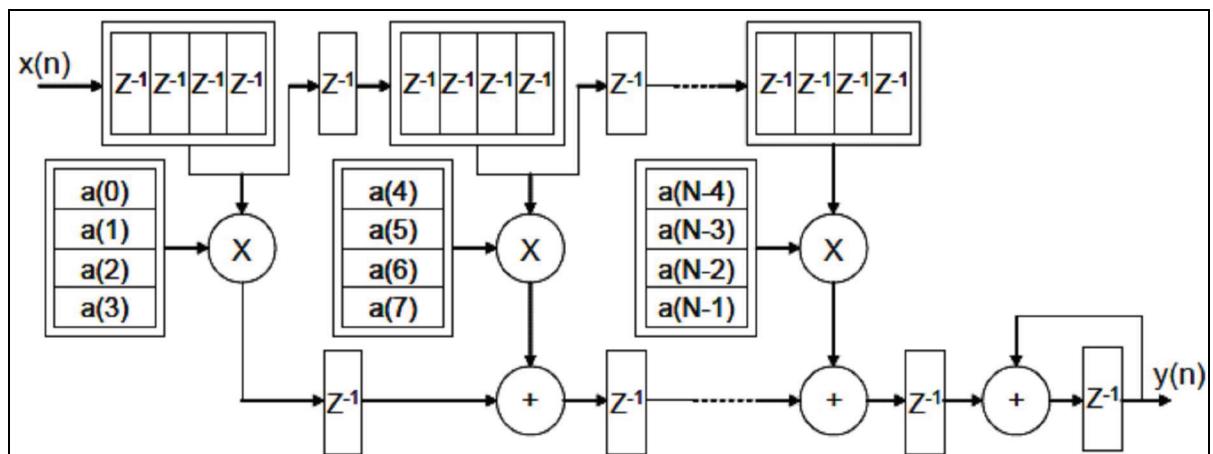
**Figure 2.24 Réponse impulsionale du filtre RRC avec un roll-off de 0.35.**

Une fois les coefficients calculés, nous avons crée un fichier de format COE contenant tous les coefficients correspondants sous forme réelle (*voir Annexe II*). Ce fichier est chargé par la suite dans *FIR Compiler* afin de les sauvegarder dans une mémoire RAM interne. Nous allons alors utiliser *FIR compiler* afin de paramétriser le filtre. Les paramètres configurés sont :

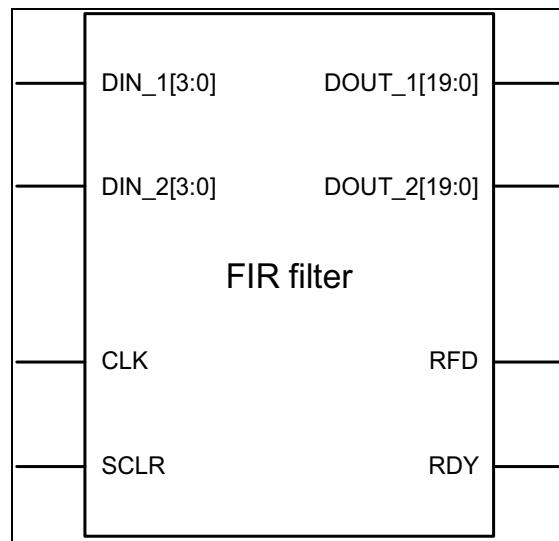
- Le FIR est un filtre d'interpolation qui permet un suréchantillonnage à un facteur d'interpolation égale à 8.
- La fréquence d'horloge doit être égale à 8 fois la fréquence d'échantillonnage. En effet, un échantillon nécessite 8 cycles d'horloge (un suréchantillonnage à un facteur de 8).
- L'architecture utilisée est de type "*Systolic Multiply-Accumulate*", dans laquelle on utilise des "*DSP Slices*" qui assurent les multiplications et accumulations. En effet, à ce niveau d'implémentation, nous n'avons aucune contrainte matérielle sur les ressources à utiliser en termes de "*DSP Slices*" ainsi que sur la latence consommée. Ainsi nous avons choisi une architecture de type "*Systolic Multiply-Accumulate*" qui utilise des "*DSP slices*" afin d'implémenter des unités de multiplication/accumulation tout en exploitant la symétrie sur les coefficients permettant des hautes performances en termes

de gain sur les ressources consommées. La figure 2.25 présente l'architecture utilisée incluant plusieurs unités de type "DSP slices".

- Deux trajets à implémenter en parallèle qui correspondent aux deux composantes  $I(t)$  et  $Q(t)$  du signal d'entrée  $S(t)$ . Ainsi, nous aurons deux signaux sur l'entrée DIN\_1 et DIN\_2 et deux signaux de sorties DOUT\_1 et DOUT\_2. Ces signaux vont subir le même traitement en parallèle d'une façon synchrone permettant ainsi de partager les ressources matérielles entre les deux branches de la même manière. Les différents signaux d'entrée/sortie ainsi que ceux de contrôle sont présentés sur le bloc *FIR filter* de la figure 2.26. Ils sont décrits également d'une manière détaillée dans le tableau 2.8.
- L'objectif de l'optimisation lors de la synthèse est par vitesse. Ce choix est porté à cause de deux raisons :
  1. Nous n'avons aucune contrainte sur la surface. En effet, les ressources matérielles disponibles sont largement suffisantes pour l'implémentation de l'application au moins à ce stade de conception.
  2. Généralement dans ce genre d'application de communication, nous optons pour une optimisation de vitesse qui permet de diminuer les délais et les temps de traitement correspondants.



**Figure 2.25** Architecture FIR de type Systolic Multiply-Accumulate.  
Tirée de Xilinx (2008, p. 18)



**Figure 2.26** Le bloc FIR filter et les différents signaux associés.

Tableau 2.8 Description des différents signaux de contrôle du filtre FIR

Nom	Direction	Description
DIN_1 DIN_2	entrée	Les deux signaux d'entrée parallèles qui vont être instanciés par les signaux I et Q, composantes en phase et en quadrature de phase du signal modulé en bande de base.
DOUT_1 DOUT_2	sortie	Les deux signaux de sortie parallèles qui correspondent à I et Q.
CLK	entrée	CLOCK du système qui représente la fréquence des données à la sortie du filtre.
SCLR	entrée	SYNCHRONOUS CLEAR, c'est le reset du système fonctionnant d'une manière synchrone par rapport à l'horloge. Notant que le reset n'affecte pas la mémoire des coefficients.
RFD	sortie	READY FOR DATA, ce signal indique que le module est près à recevoir un nouvel échantillon à l'entrée.
RDY	sortie	READY, ce signal indique qu'un nouvel échantillon est disponible sur les sorties DOUT.

#### 4) La quantification des signaux

Nous avons besoin de définir les critères et les niveaux de quantification des différents signaux d'entrée, ainsi que des coefficients à travers l'interface de FIR Compiler en termes de type de données (signée ou non signée), nombre de bits total de quantification, ainsi que le nombre de bits à utiliser pour la partie fractionnaire. Le niveau de quantification pour les signaux des sorties est généré automatiquement par le module en fonction des données d'entrée. Nous pouvons observer aussi à travers l'interface le nombre de bits total généré pour les signaux de sortie ainsi que celui de leur partie fractionnaire.

Pour définir le nombre de bits nécessaire pour quantifier les coefficients du filtre, il faut regarder la plage et le format des coefficients qui sont générés sur MATLAB tout en pensant à réduire les ressources nécessaires le plus possible en termes de nombre de blocs "*DSP slices*" à utiliser. Les coefficients possèdent les caractéristiques suivantes :

- Les nombres sont de type réel.
- Leur plage est comprise toujours entre -0.9999... et 0.9999....
- Leur précision est jusqu'à 15 chiffres après la virgule.

Ainsi, sachant qu'on travaille en format signé en complément à deux, on peut fixer le nombre de bits nécessaire. En effet, selon la plage de calcul, nous n'aurons pas besoin de bits pour la partie entière, les bits de quantification seront juste ceux du signe et de la partie fractionnaire. Par conséquent, pour améliorer la précision de la représentation, nous avons choisi un format de 16 bits pour quantifier ces nombres fractionnaires signés en complément à deux.

Le niveau de quantification des signaux de sortie est calculé automatiquement par une opération de sommation entre le niveau de quantification de l'entrée et celui des coefficients qui correspond à l'opération de la multiplication de ces deux signaux. Les différents niveaux de quantification sont présentés dans le tableau 2.9.

Tableau 2.9 Niveaux de quantification des différents signaux du filtre FIR

Nom	type	Nombre de bits total	Nombre de bits de la partie fractionnaire
DIN_1 DIN_2	signé	4	0
Coefficients	signé	16	16
DOUT_1 DOUT_2	signé	20	16

Une fois que le module *FIR filter* est généré, nous aurons un module synthétisé prêt à être importé dans notre projet. Ainsi, les signaux modulés en bande de base sous forme de deux composantes I et Q sont instancié dans ce module afin de générer un signal modulé filtré en bande de base qui subira l'opération de décomposition.

#### 2.4.6 Implémentation du bloc SCS

Le signal  $S(n)$  est obtenu en bande de base à la sortie du filtre de mise en forme sous la forme de deux composantes cartésiennes  $I(n)$  et  $Q(n)$ . Ce signal doit être décomposé en deux signaux  $S_1(n)$  et  $S_2(n)$  à enveloppe constante générés sous forme de leurs composantes cartésiennes  $I_1(n)/Q_1(n)$  et  $I_2(n)/Q_2(n)$ . C'est le rôle du bloc séparateur de signal (*Signal Component Separator ou SCS*). Ce bloc performe l'implémentation des équations (1.18), (1.19), (1.20), et (1.21) qui calculent les composantes  $I_1(n)$ ,  $Q_1(n)$ ,  $I_2(n)$ ,  $Q_2(n)$  en fonction de  $I(n)$  et  $Q(n)$ . Le principe repose sur une LUT qui sauvegarde les valeurs de la constante

$\sqrt{\frac{r_{\max}^2}{I(n)^2 + Q(n)^2} - 1}$  à adresser par les valeurs de  $I(n)^2 + Q(n)^2$  qui représentent la puissance du signal d'entrée.

L'architecture de ce bloc est présentée à la figure 2.27. Les deux signaux d'entrée sont  $I(n)$  et  $Q(n)$ , composantes cartésiennes du signal d'entrée modulé en bande de base quantifiées sous

format [18 16] (18 bits pour la longueur totale et 16 bits pour la partie fractionnaire). Chacun de ces deux signaux est multiplié par lui-même pour obtenir le carré. Cette opération est réalisée par des multiplicateurs 18 bits x 18 bits. Une opération d'addition est réalisée ensuite afin d'obtenir la somme des carrés ( $I(n)^2 + Q(n)^2$ ). Ce signal, qui adressera une LUT à une seule dimension, est tronqué en format [12 10] (12 bits pour la longueur totale et 10 bits pour la partie fractionnaire). Cette LUT est de longueur 4096 bits contenant toutes les valeurs possibles de  $I(n)^2 + Q(n)^2$ , elle génère la valeur de la constante

$$\sqrt{\frac{r_{\max}^2}{I(n)^2 + Q(n)^2} - 1}$$

tronquée sous format [18 12] qui sera multipliée par les entrées  $I(n)$  et  $Q(n)$  en utilisant des multiplicateurs 18 bits x 18 bits. Des opérations d'addition et de soustraction sont réalisées ensuite afin d'aboutir aux quatre signaux  $I_1(n)$ ,  $Q_1(n)$ ,  $I_2(n)$ ,  $Q_2(n)$  en format [36 28].

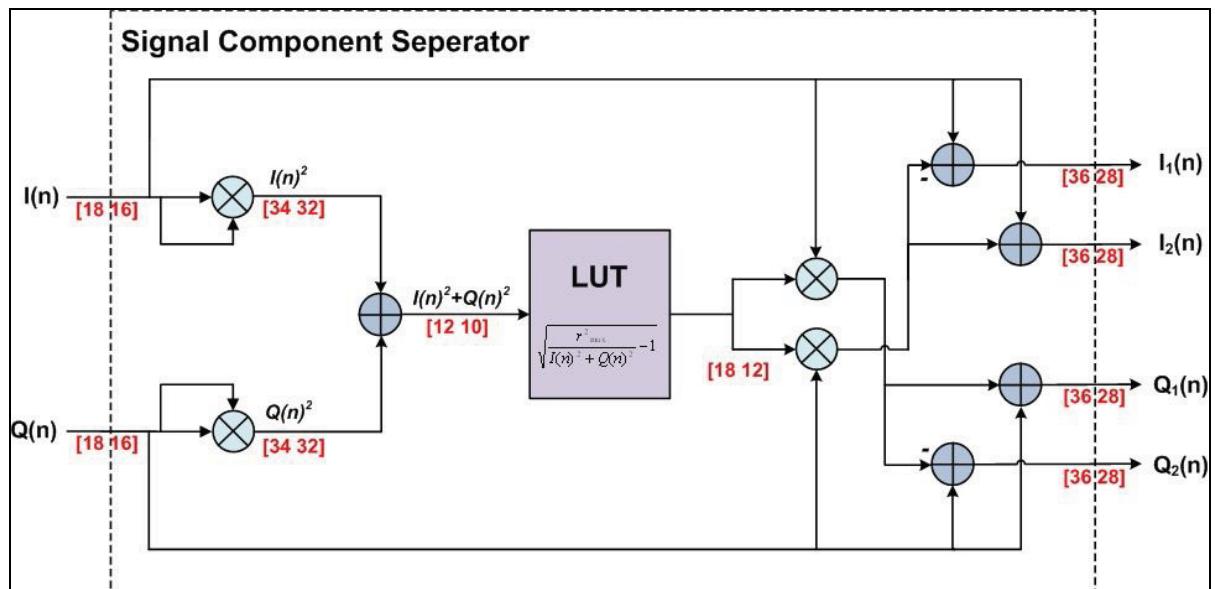


Figure 2.27 Architecture du bloc SCS.

Les valeurs à sauvegarder dans la LUT sont calculées à l'aide d'un programme MATLAB (*Voir annexe III*). La dernière adresse  $2^{12}-1$  qui correspond à  $r_{\max}^2$  contient la valeur zéro

tandis que la première adresse contient la valeur  $\sqrt{\frac{4096}{1} - 1}$ . Ces valeurs sont sous format non

signé tronquées en format [18 12] pour couvrir toute la plage des valeurs possibles avec une précision acceptable de l'ordre de  $2^{-12}$ .

Les multiplicateurs implémentés performent la multiplication de deux nombres signés en format complément à deux de longueur 18 bits chacun. Ce choix est porté en fonction des caractéristiques matérielles de notre environnement de travail. En effet, les opérations de multiplication sont réalisées à l'aide de blocs Xtreme DSP slices (ou DSP48). Chacun de ces blocs peut implémenter un multiplicateur 18 bits x 18 bits en format signé complément à deux. Toute fois, nous pouvons augmenter le nombre de bits afin d'améliorer la précision moyennant un coût plus élevé en terme de blocs "*DSP slices*", donc plus de surface FPGA consommée.

#### 2.4.7     Implémentation du bloc modulateur I/Q numérique

L'architecture du bloc modulateur I/Q numérique implémenté pour les deux signaux à enveloppe constante est présentée dans la figure 2.28.

Les signaux à enveloppe constante  $I_1(n)/Q_1(n)$  et  $I_2(n)/Q_2(n)$  obtenus à la sortie du SCS sont modulés à la fréquence  $f_{IF}$  pour obtenir les deux signaux  $S_1(n)$  et  $S_2(n)$  qui vont subir une conversion numérique-analogique par l'intermédiaire des CNAs. La modulation consiste à multiplier la composante en phase de chaque signal par  $\cos(2\pi f_{IF}nT)$  et de la composante en quadrature par  $\sin(2\pi f_{IF}nT)$ . Une opération de sommation est appliquée par la suite entre les deux composantes pour aboutir aux signaux  $S_1(n)$  et  $S_2(n)$  qui s'écrivent donc sous la forme :

$$S_1(n) = I_1(n)\cos(2\pi f_{IF}nT) + Q_1(n)\sin(2\pi f_{IF}nT) \quad (2.11)$$

$$S_2(n) = I_2(n)\cos(2\pi f_{IF}nT) + Q_2(n)\sin(2\pi f_{IF}nT) \quad (2.12)$$

où  $nT$  est l'instant d'échantillonnage.

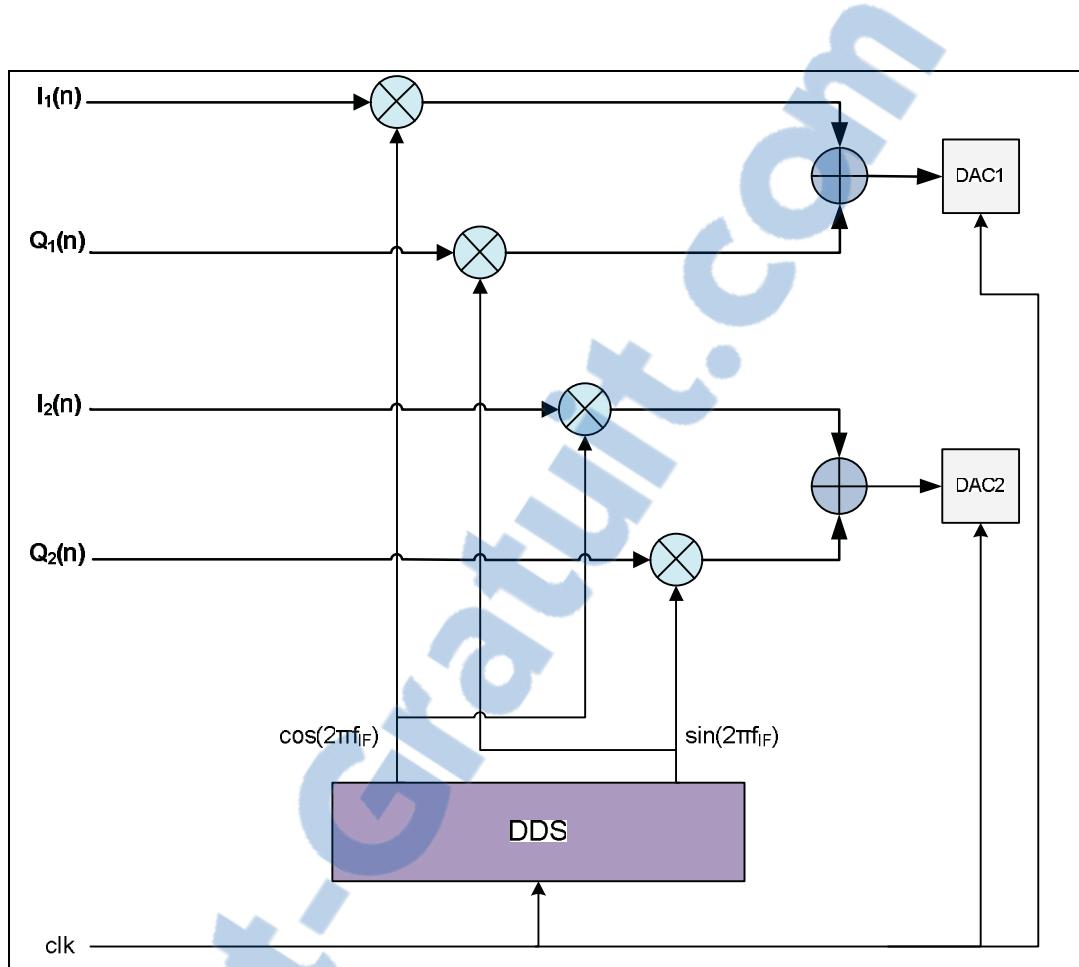


Figure 2.28 Architecture du bloc modulateur I/Q numérique.

La génération des composantes  $\cos(2\pi f_{IF})$  et  $\sin(2\pi f_{IF})$  est réalisée grâce au bloc DDS. Dans la pratique, ce bloc consiste à l'implémentation d'une LUT contenant les différents échantillons de la fonction sinus (ou cosinus). Cette LUT est adressable par l'incrémentation de la phase qui correspond à l'amplitude de la valeur désirée. Le schéma bloc du principe est décrit à la figure 2.29. Le système est contrôlé par l'incrément de phase  $\Delta\theta$  ( $\theta$  est la phase) et l'horloge. Un accumulateur de phase (A1 et D1) permet de calculer la valeur de la phase pour adresser la LUT (T1). Le quantificateur Q1 tronque la phase  $\theta(n)$  à  $\Theta(n)$  qui va adresser la LUT pour générer l'amplitude correspondante à la forme d'onde désirée (sinus ou cosinus) (Xilinx, 2005).

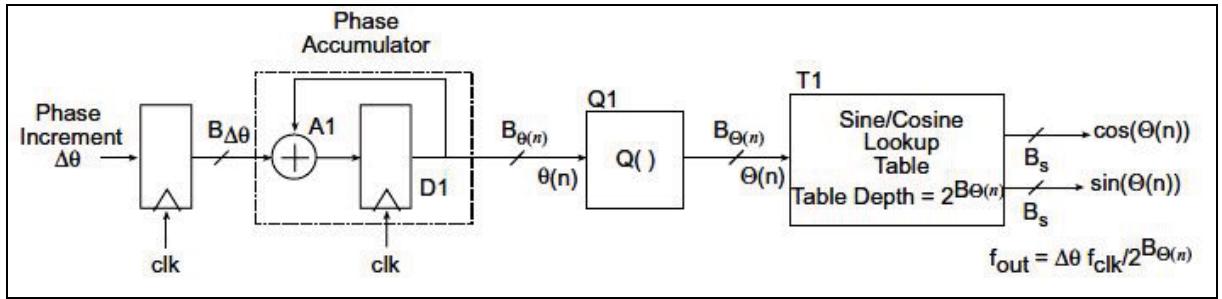


Figure 2.29 Schéma bloc du DDS.

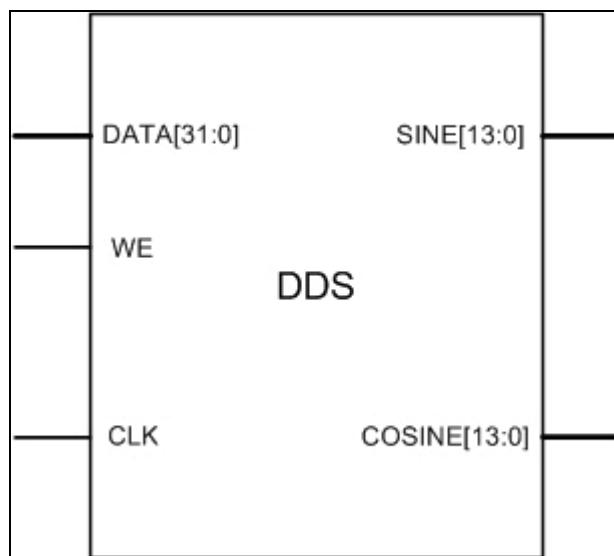
Tirée de Xilinx (2005, p. 1)

Le signal de sortie du bloc DDS est affecté par le degré de quantification des valeurs de l'amplitude sauvegardée dans la table ainsi que celui de l'adressage qui représente le degré de précision de l'incrément de phase, autrement du nombre des échantillons  $N = 2^{B_{\theta(n)}}$  sauvegardés dans la table.

La fréquence de sortie  $f_{out}$  du bloc DDS correspond à la fréquence  $f_{IF}$  de la modulation. Elle dépend de la fréquence d'horloge  $f_{clk}$  à utiliser, de la valeur l'incrément de phase  $\Delta\theta$ , et de la taille de la LUT, soit le nombre de bits  $B_{\theta(n)}$  (Xilinx, 2005). La fréquence à la sortie en Hz s'écrit alors :

$$f_{out} = \frac{f_{clk} \Delta\theta}{2^{B_{\theta(n)}}} \quad (2.13)$$

Pour l'implémentation du bloc DDS, nous avons fait recours à l'*ip-core* DDS de Xilinx qui permet une conception flexible par une simple instanciation de ce composant dans notre projet. En effet, ce composant permet de générer les deux signaux  $\cos(2\pi f_{IF})$  et  $\sin(2\pi f_{IF})$  d'une façon programmable. Nous aurons juste à définir la fréquence d'horloge (clk), la résolution en fréquence ( $\Delta f$ ), les différents signaux de contrôle (Reset, Clock Enable...) et les différents paramètres liés à l'implémentation (pipeline, latence de l'accumulateur, type de mémoire...). Le bloc DDS avec ses différents signaux d'entrée/sortie est présenté à la figure 2.30, ainsi que leurs descriptions dans le tableau 2.10.



**Figure 2.30** Le bloc DDS avec les différents signaux associés.

Tableau 2.10 Description des différents signaux de contrôle du bloc DDS

Nom	Direction	Description
DATA	entrée	Ce signal est codé sur 32 bits en format non signé. Il représente la valeur de l'incrément de la phase $\Delta\theta$ qui peut être fixe ou programmable. Cette valeur définit la fréquence $f_{out}$ des signaux sinusoïdaux SINE et COSINE à la sortie du bloc (équation 2.13).
WE	entrée	WRITE ENABLE pour activer la donnée DATA à l'entrée.
CLK	entrée	CLOCK représente l'horloge du système qui définit la fréquence de génération des échantillons des signaux de sortie.
SINE COSINE	sortie	Ces signaux sont codés sur 14 bits en format signé complément à deux. Ils représentent les signaux sinus et cosinus générés à la fréquence $f_{out}$ .

La fréquence de sortie  $f_{out}$  définit la fréquence  $f_{IF}$  de notre système. Cette fréquence est programmable en fonction de la valeur de l'incrément de la phase  $\Delta\theta$ . Dans notre cas, nous avons dû calculer la valeur de l'incrément de la phase  $\Delta\theta$  en fonction de la fréquence désirée à la sortie. Cette dernière est définie en fonction des spécifications de l'application et des contraintes matérielles liées essentiellement à la fréquence d'horloge des CNAs. En effet, selon le critère de Nyquist, la fréquence  $f_{out}$  des signaux à générer à la sortie doit être inférieure ou égale à 1/2 la fréquence d'échantillonnage, autrement la fréquence d'horloge  $f_{clk}$  du bloc DDS et des CNAs. En pratique, cette fréquence ne doit pas dépasser les 40% de la fréquence d'échantillonnage (Ifeachor et Jervis, 2002). Par exemple, si on choisit  $f_{IF} = 30$  MHz ( $f_{out} = 30$  MHz), avec une fréquence d'horloge  $f_{clk} = 100$  MHz et le nombre des bits de l'accumulateur  $B_{\theta(n)} = 32$  bits, on peut à partir de l'équation (2.13) déduire la valeur de l'incrément de phase  $\Delta\theta$  nécessaire pour générer une fréquence  $f_{out}$  désirée, nous aurons donc :

$$\Delta\theta = \frac{f_{out} 2^{B_{\theta(n)}}}{f_{clk}} = \frac{30 \times 2^{32}}{100} = 1288490189 \quad (2.14)$$

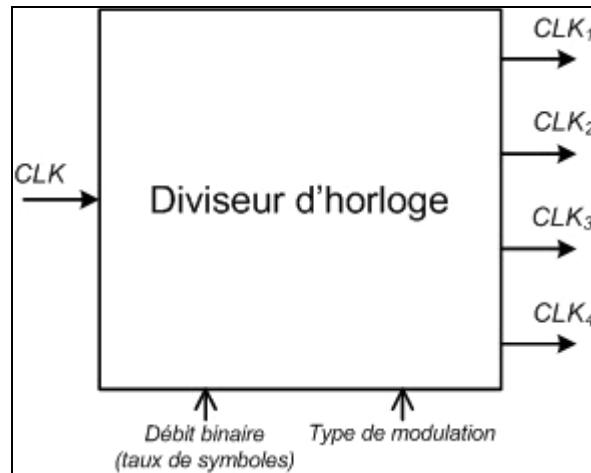
Cette valeur représente la valeur à programmer à l'entrée DATA du module DDS afin de générer une fréquence  $f_{out}$  égale à 30 MHz.

#### 2.4.8 Le diviseur d'horloge

Dans notre système, les données binaires à l'entrée sont générées à une faible fréquence qui correspond au débit binaire désiré et se retrouvent à la sortie à la fréquence d'échantillonnage des convertisseurs numérique/analogique qui correspond à la fréquence globale du système.

Plusieurs fréquences sont nécessaires à l'intérieur du système pour le fonctionnement des différents blocs. Ceci est réalisé grâce à un diviseur d'horloge, qui permet, en utilisant la fréquence globale du système, de générer les différentes fréquences de fonctionnement pour

les différents blocs. Ces fréquences sont ajustables en fonction du débit binaire désiré à l'entrée du système et du type de la modulation choisi. La figure 2.31 montre le bloc diviseur d'horloge et les différentes horloges générées à sa sortie.



**Figure 2.31 Le bloc diviseur d'horloge.**

Les différentes horloges générées sont calculées de la manière suivante :

- $CLK$  représente l'horloge globale du système, c'est la fréquence du FPGA et des convertisseurs N/A. Elle est égale à 100 MHz dans le cas d'une acquisition externe et à 104 MHz dans le cas d'une acquisition interne (horloge interne de la carte Lyrtech).
- $CLK_1$  est la fréquence de la génération des données binaires. Elle représente la fréquence de travail du LFSR :

$$CLK_1 = \frac{CLK}{k} \quad (2.15)$$

avec  $k \in \mathbb{N}$  un facteur tel que :

$$k = \frac{CLK}{taux\ binaire\ (bits\ / s)} \quad (2.16)$$

- $CLK_2$  est la fréquence fournie au bloc modulateur numérique "*Mapping Constellation*". Elle représente le taux de symboles et elle est en fonction du type de modulation choisi :

$$CLK_2 = \frac{CLK}{k \cdot \log_2(M)} \quad (2.17)$$

avec  $M$  l'indice de modulation (2 pour BPSK, 4 pour QPSK, 16 pour 16QAM, 64 pour 64QAM).

- $CLK_3$  est la fréquence fournie au filtre RRC et au bloc de décomposition du signal. Elle est en fonction du facteur de sur échantillonnage "*Up-sampling factor*" :

$$CLK_3 = \frac{N \cdot CLK}{k \cdot \log_2(M)} \quad (2.18)$$

avec  $N = 8$  le facteur de sur échantillonnage.

- $CLK_4$  représente la fréquence de fonctionnement des filtres d'interpolation ainsi que le bloc DDS. Cette fréquence doit être la même que celle des convertisseurs N/A afin de permettre la synchronisation des fréquences d'échantillonnage. On obtient alors  $CLK_4 = CLK$ .

Ainsi, les différentes horloges générées définissent les différentes fréquences d'échantillonnage pour les différents blocs du transmetteur. Ceci est résumé dans le tableau 2.11.

Tableau 2.11 Fréquences d'échantillonnage des différents blocs du transmetteur

	PRBS	Modulateur ( <i>Mapping</i> )	Filtre RRC	SCS	Modulateur I/Q
Fréquence d'échantillonnage à la sortie	$\log_2(M) \times R_s$	$R_s$	$8 \times R_s$	$8 \times R_s$	$8 \times L \times R_s$

où  $R_s$  est le taux de symboles,  $M$  est l'indice de modulation,  $L$  est le facteur d'interpolation.

La fréquence d'échantillonnage des CNAs ainsi que les différentes horloges générées pour les différents blocs de la section numérique définissent le taux de symboles maximal pour notre transmetteur en tenant compte des ressources matérielles utilisées. En effet, le taux de suréchantillonnage choisi est égal à 8. Ceci définit la fréquence d'échantillonnage des CNAs qui doit être supérieure ou égale au moins à 8 fois le taux de symboles à transmettre. Par exemple, si on utilise une horloge de l'ordre de 100 MHz, le taux de symboles maximal à générer est égal à 12.5 MSymboles/seconde. Ceci définit encore le débit binaire maximal pour chaque type de modulation en tenant compte de l'équation 2.9. Le tableau 2.12 présente la capacité de génération de débit binaire pour chaque type de modulation.

Tableau 2.12 Capacité de génération de débit binaire pour chaque modulation

Modulation	Débit binaire maximal (Mbits/s)
BPSK	12.5
QPSK	25
16QAM	50
64QAM	75

## 2.5 Tests et résultats de la section numérique

### 2.5.1 Utilisation des ressources FPGA

Le tableau 2.13 présente le pourcentage des ressources utilisées au sein du FPGA lors de l'implémentation de notre application.

Tableau 2.13 Ressources consommées au sein du FPGA

Ressource	Nombre des unités utilisées	Pourcentage consommé
Blocs registres	8224	16%
LUT à 4 entrées	11878	24%
Blocs logiques	8722	35%
Blocs I/O	369	57%
BUFG/BUFGCTRL	18	56%
RAMB 16s	3	1 %
DSP48	370	72%
DCM ADV	5	62%

Remarquons que les ressources les plus consommées sont les unités DSP48 (72%), qui sont largement utilisées dans notre application pour tout ce qui est calcul des opérations mathématiques. Les DCMs (Digital Clock Manager) sont aussi largement utilisés (62%) à cause de l'utilisation au sein du diviseur d'horloge. En général, les ressources disponibles sont largement suffisantes pour l'implémentation de notre application à cause des hautes performances du FPGA Virtex-4.

### 2.5.2 Impact de la décomposition sur le bilan énergétique

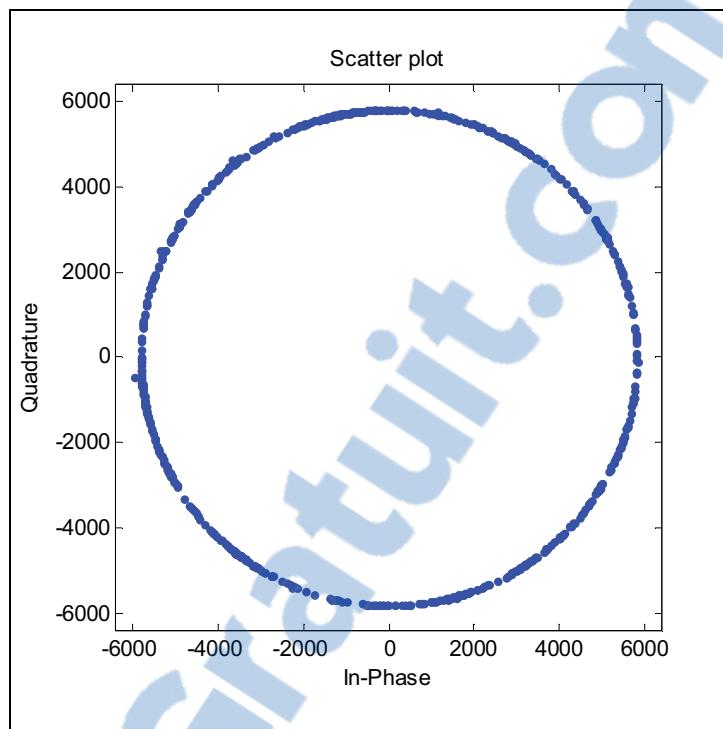
L'amélioration de l'efficacité énergétique est un objectif primordial dans les architectures d'amplification de puissance. Ainsi, les études sur l'architecture à deux branches s'intéressent aussi à la quantification de l'énergie consommée dans le système. Dans ce contexte, il est intéressant de quantifier l'impact de la décomposition du signal sur le bilan énergétique. Dans la pratique, au niveau système, on se propose de quantifier l'impact des blocs issus de la décomposition du signal (SCS et conversion IF de S1 et S2) sur la consommation d'énergie au sein du FPGA. Pour cela, nous avons calculé, en utilisant l'environnement ISE, la puissance consommée par le FPGA sans décomposition du signal, puis celle pour le système en totalité (avec décomposition du signal). Indépendamment de la modulation et du taux de symboles choisis, cette puissance est de l'ordre de 1.43 W sans décomposition et de l'ordre de 1.69 W avec décomposition. En conclusion, on peut déduire que l'impact de la décomposition sur la consommation globale du système est de l'ordre de 15%. Cette augmentation est due à la consommation de plus de ressources au sein du FPGA en ajoutant les blocs de décomposition. Le tableau 2.14 présente une comparaison entre les deux cas (sans et avec décomposition) en termes de ressources consommées. Ceci nous permet, dans un stade plus avancé, d'observer l'impact de la technique sur le bilan énergétique dans toute la chaîne d'amplification. En effet, la puissance consommée augmente au moins de 15% en utilisant la technique LINC par rapport à l'utilisation d'une seule branche d'amplification.

Tableau 2.14 Comparaison de la consommation entre l'implémentation sans décomposition et celle avec décomposition

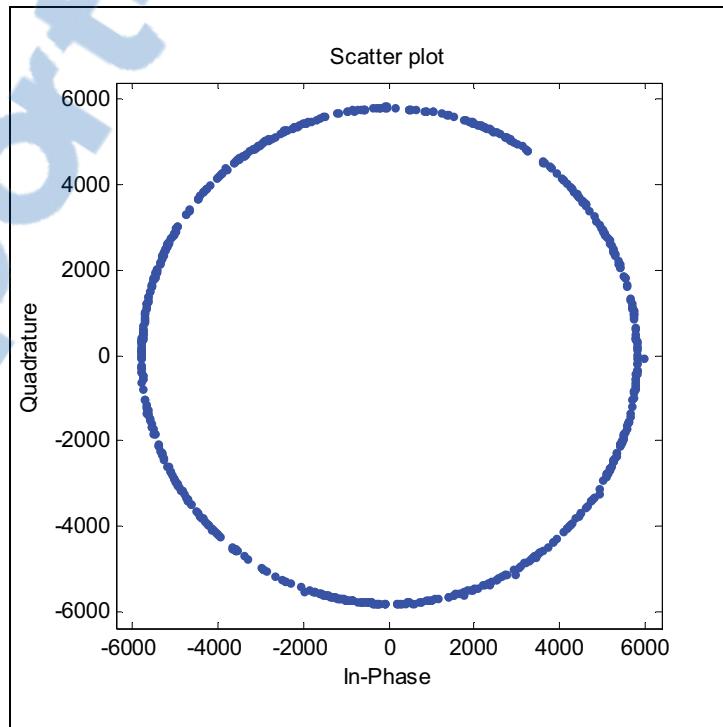
Ressource	Pourcentage consommé sans décomposition	Pourcentage consommé avec décomposition
Blocs registres	9%	16%
LUT à 4 entrées	13%	24%
Blocs logiques	21%	35%
Blocs I/O	57%	57%
BUFG/BUFGCTRL	56%	56 %
RAMB 16s	1%	1 %
DSP48	32%	72%
DCM ADV	62%	62%
<b>Puissance consommée</b>	<b>1.43 W</b>	<b>1.69 W</b>

### 2.5.3 Simulation des signaux à enveloppe constante

Afin de valider les signaux à enveloppe constante générés dans la partie numérique, nous avons procédé par simulation avant de passer à la validation expérimentale. Pour ceci, l'outil Modelsim utilisé pour la simulation des différents signaux logiques nous a permis de transposer des échantillons des deux signaux à enveloppe constante dans des fichiers afin de les analyser sur MATLAB et de nous assurer de l'enveloppe constante de nos signaux. Nous avons pu alors observer les constellations des deux signaux S1 et S2. Les figures 2.32 et 2.33 montrent que les constellations respectives de S1 et S2 définissent des cercles à diamètre fixe qui représentent l'enveloppe constante des signaux.



**Figure 2.32** Constellation du signal S1.



**Figure 2.33** Constellation du signal S2.

### 2.5.4 Tests et résultats expérimentaux

Une fois que les résultats sont validés par simulation, nous avons procédé à la génération du fichier .bit servant à l'implémentation et test sur FPGA. Pour ceci, nous avons fait recours à l'interface logicielle de Lyrtech fournie avec la carte qui permet de choisir le type d'horloge à utiliser (interne, externe...), de transférer le fichier sur le FPGA de la carte et d'écrire/lire dans les registres internes du FPGA. Un aperçu de l'interface est présenté dans la figure 2.34.

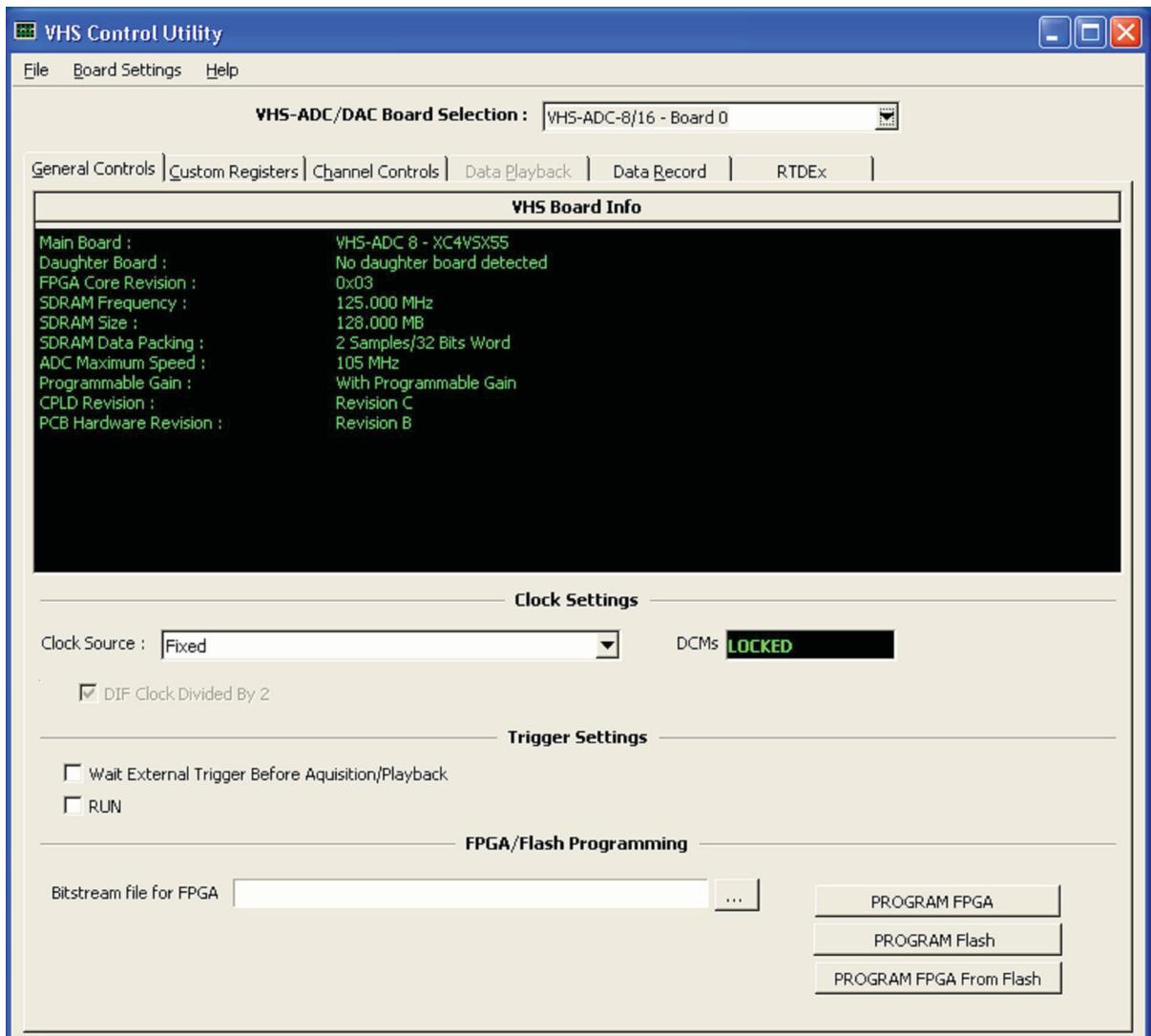
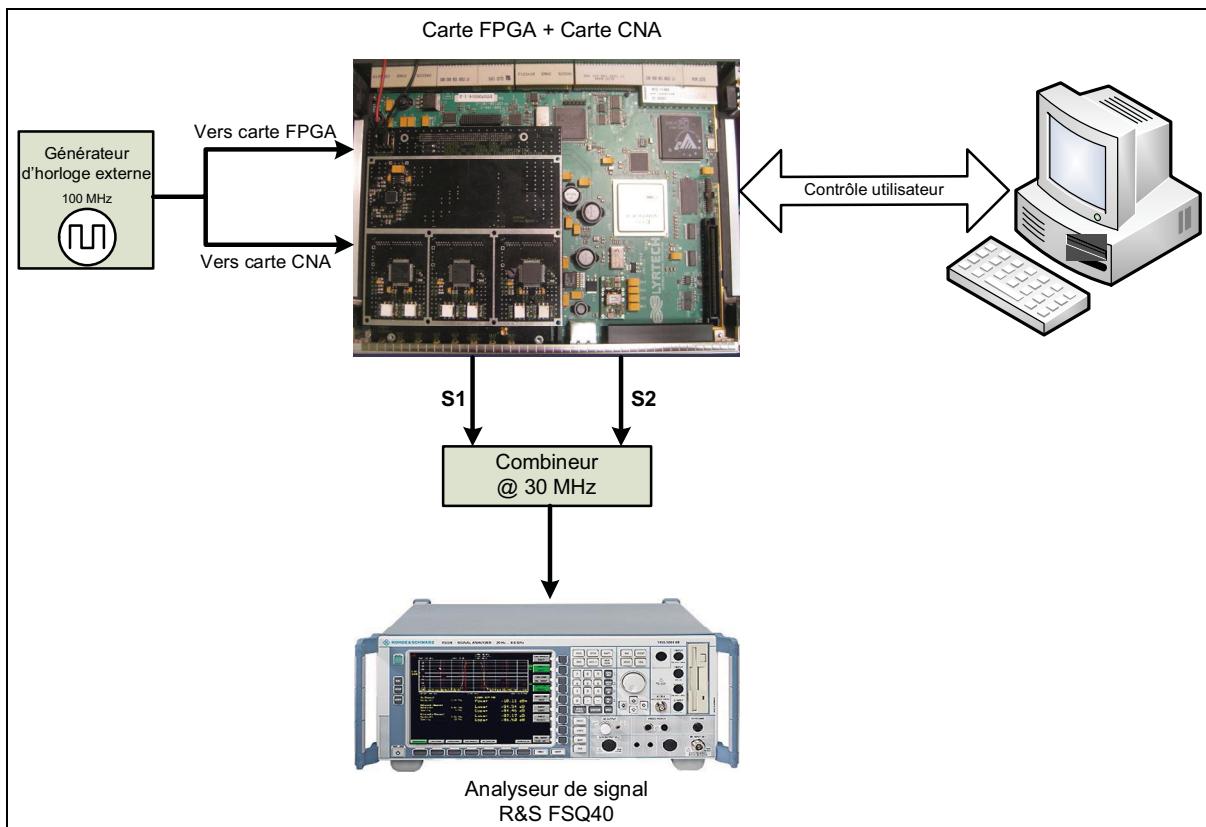


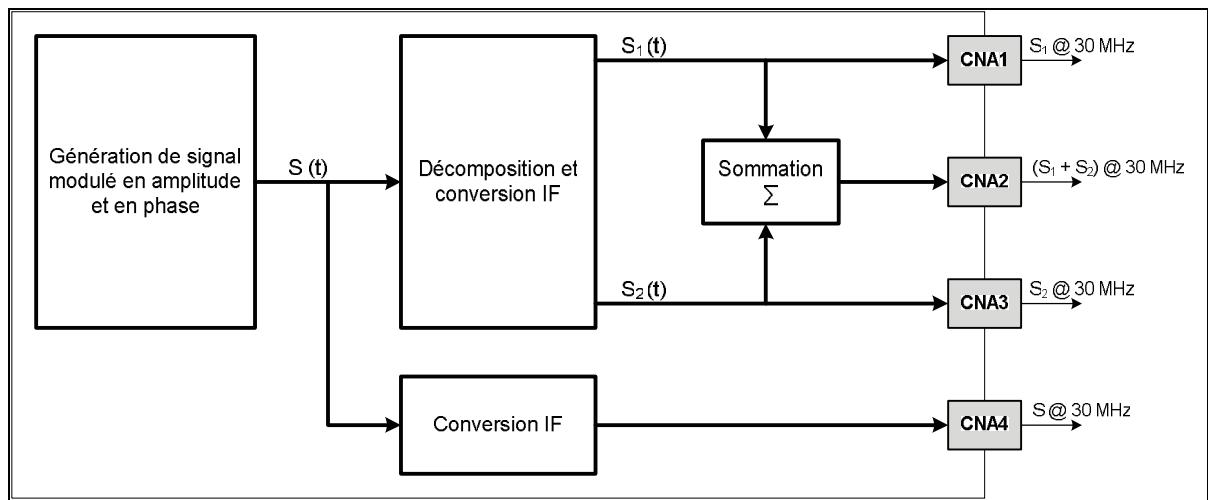
Figure 2.34 Interface logicielle de Lyrtech.

Le fichier .bit était implémenté avec succès sur le FPGA. Nous avons alors utilisé les registres internes de ce dernier afin de sélectionner les différents paramètres de contrôle de la partie numérique (type de modulation, taux de symboles). Un générateur d'horloge externe permet de fournir l'horloge 100 MHz nécessaire à la carte FPGA et à la carte CNA. Un analyseur de spectre est utilisé aux sorties de la carte CNA afin d'observer les spectres et les constellations des différents signaux. La figure 2.35 représente l'ensemble de la plateforme de tests utilisée.



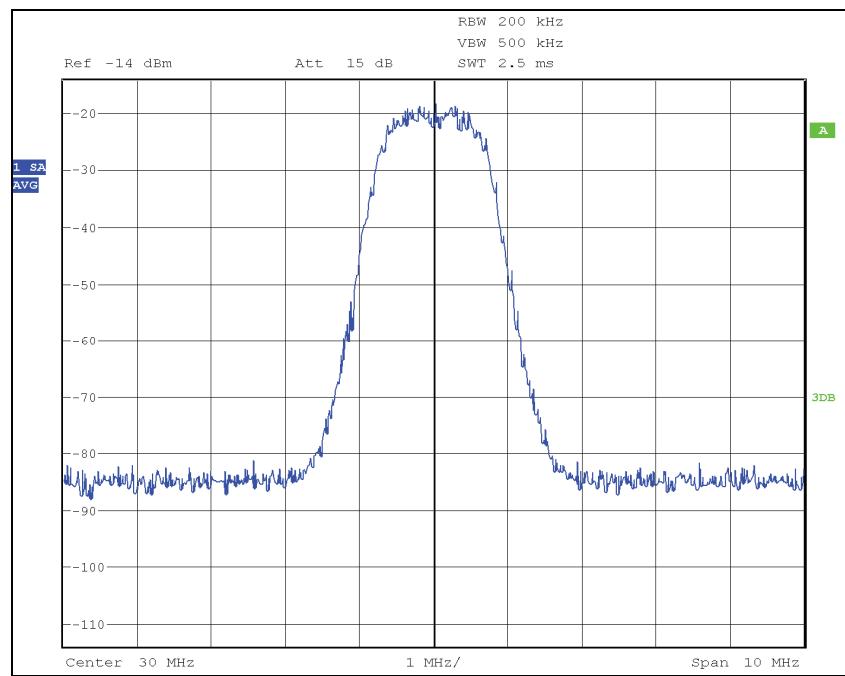
**Figure 2.35 Plateforme des tests numériques.**

Afin de valider la décomposition du signal, nous avons procédé d'une manière parallèle en exploitant les différents signaux à la fois. Pour ceci, nous avons adapté notre architecture numérique de manière à acheminer les différents signaux désirés vers les différents canaux numériques/analogiques disponibles afin d'être exploité par la suite par l'analyseur spectral. La figure 2.36 présente le schéma de test élaboré.

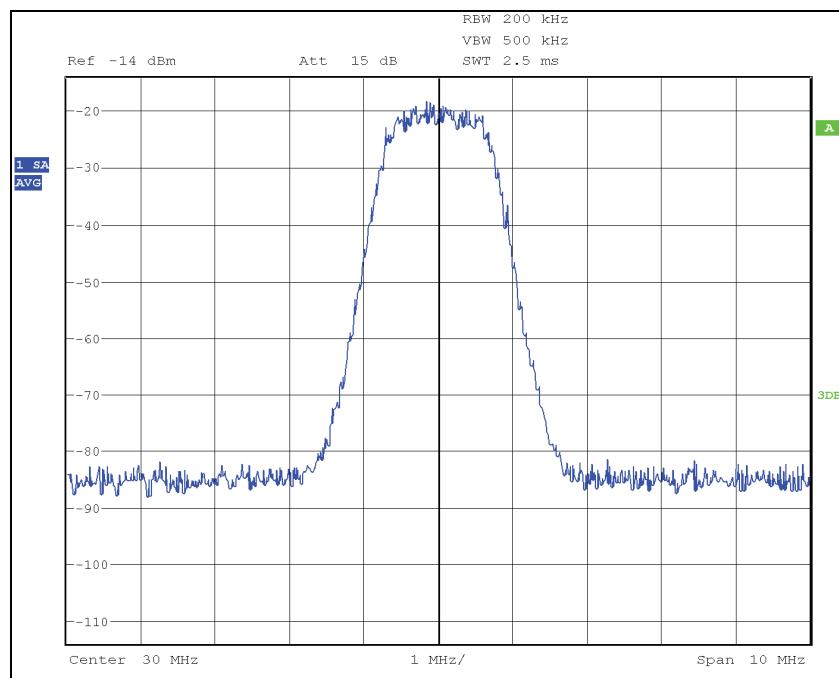


**Figure 2.36 Schéma de test numérique des différents signaux.**

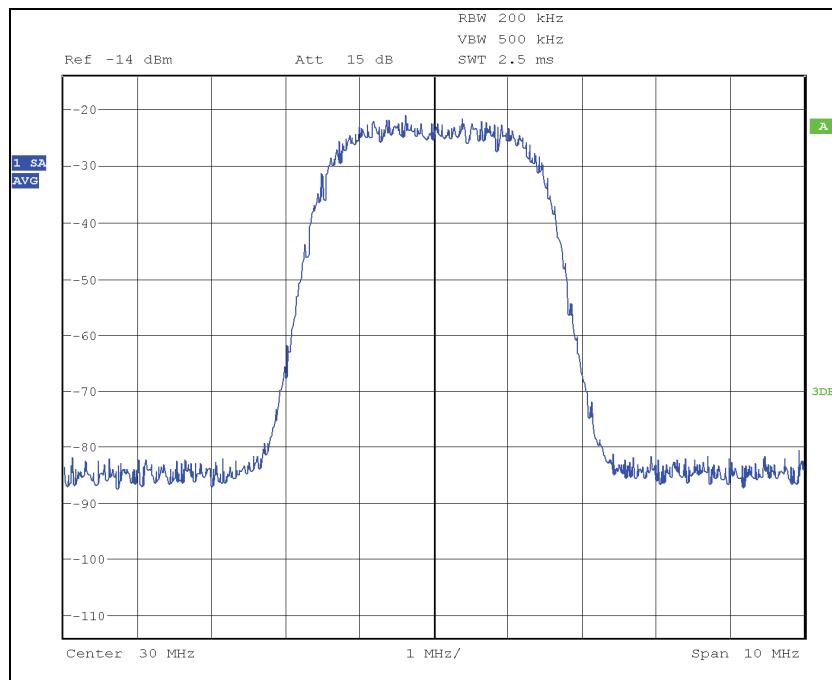
Pour l'ensemble des tests effectués, nous avons choisi un coefficient de filtrage  $\alpha$  égal à 0.35 pour le filtre RRC. Dans un premier temps, nous avons pu observer le spectre du signal d'origine  $S$  avant décomposition autour d'une fréquence IF égale à 30 MHz et celui après recombinaison numérique des deux signaux  $S_1$  et  $S_2$  ( $S_1 + S_2$ ). Les figures 2.37 et 2.38 présentent respectivement le spectre du signal d'origine  $S$  et celui après recombinaison ( $S_1 + S_2$ ) pour un taux de symboles égal à 1.25 MHz. La figure 2.39 montre le spectre pour un taux de symboles égal à 2.5 MHz. Nous avons pu alors observer la même forme spectrale pour les deux signaux  $S$  et  $(S_1 + S_2)$  et conclure ainsi sur la validité de la décomposition du signal.



**Figure 2.37 Spectre du signal S pour un taux de symboles de 1.25 MHz.**



**Figure 2.38 Spectre du signal S1+S2 pour un taux de symboles de 1.25 MHz.**



**Figure 2.39 Spectre du signal S1+S2 pour un taux de symboles de 2.5 MHz.**

Nous avons pu aussi évaluer la performance du système en observant l'EVM du signal démodulé par l'analyseur. Ainsi, en changeant le type de modulation, nous avons pu observer les différentes constellations des signaux après recombinaison. Les figures 2.40 et 2.41 présentent respectivement le cas QPSK et 16QAM. L'EVM obtenu est de l'ordre de 0.3% dans les deux cas. Ce résultat nous permet de conclure que notre système offre une meilleure performance comparativement au banc de test existant présenté dans la figure 1.17. Ce dernier présente un EVM de l'ordre de 0.4% pour les mêmes caractéristiques des signaux mis en œuvre (Hamdane, 2010). Ainsi, à ce stade de conception, la section numérique de notre transmetteur répond aux spécifications requises permettant de minimiser les imperfections qui peuvent être dues aux aspects numériques en offrant plus de simplicité d'utilisation et de contrôle. Toute fois, dans la pratique, l'objectif à atteindre, en termes de performance mesurée par l'EVM ou l'ACI, sera en fonction des spécifications du standard à mettre en œuvre pour l'ensemble du système. Ainsi, on pourra même atteindre des meilleures performances au niveau de la section numérique moyennant une plus grande surface consommée au sein du FPGA.

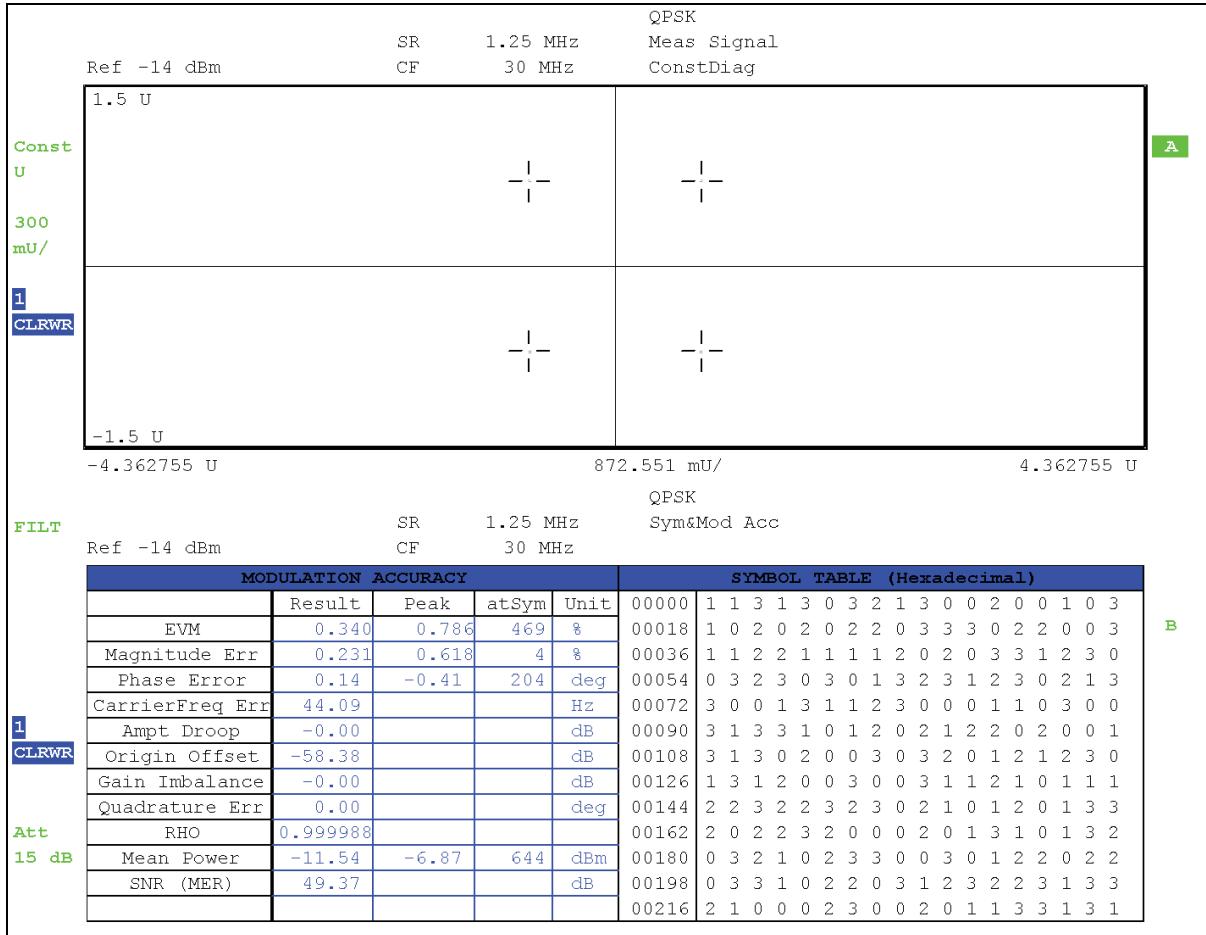


Figure 2.40 Constellation de la modulation QPSK.

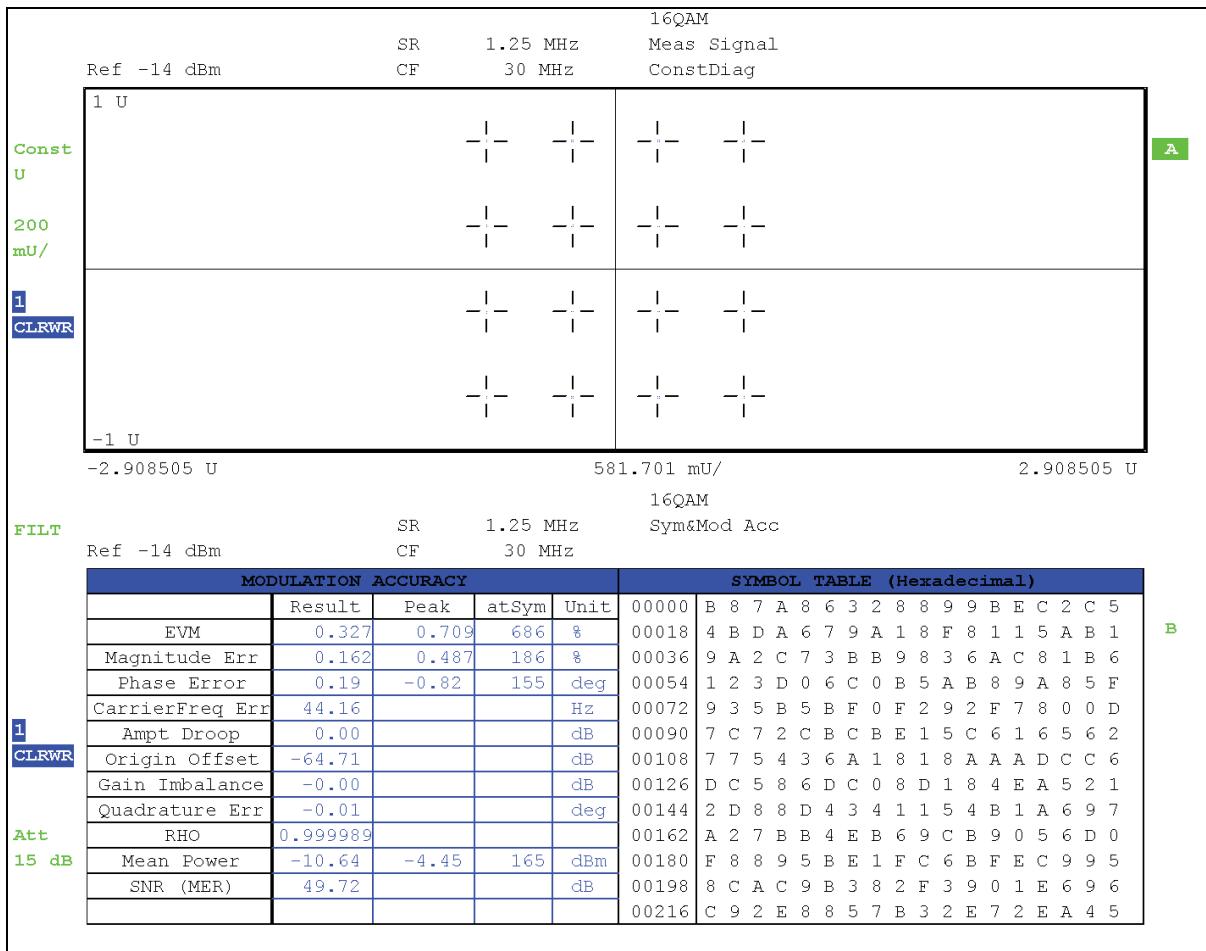
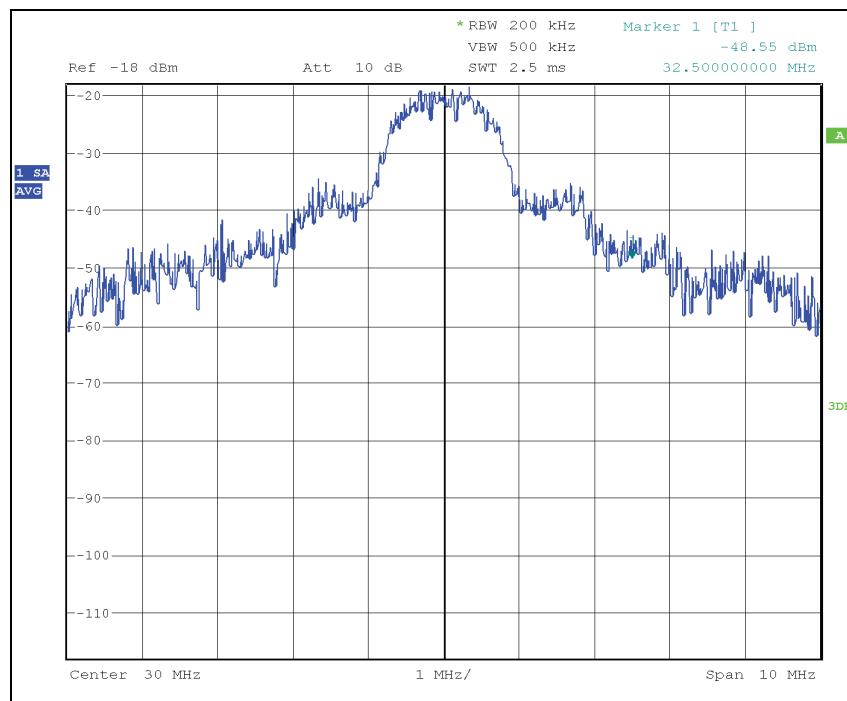


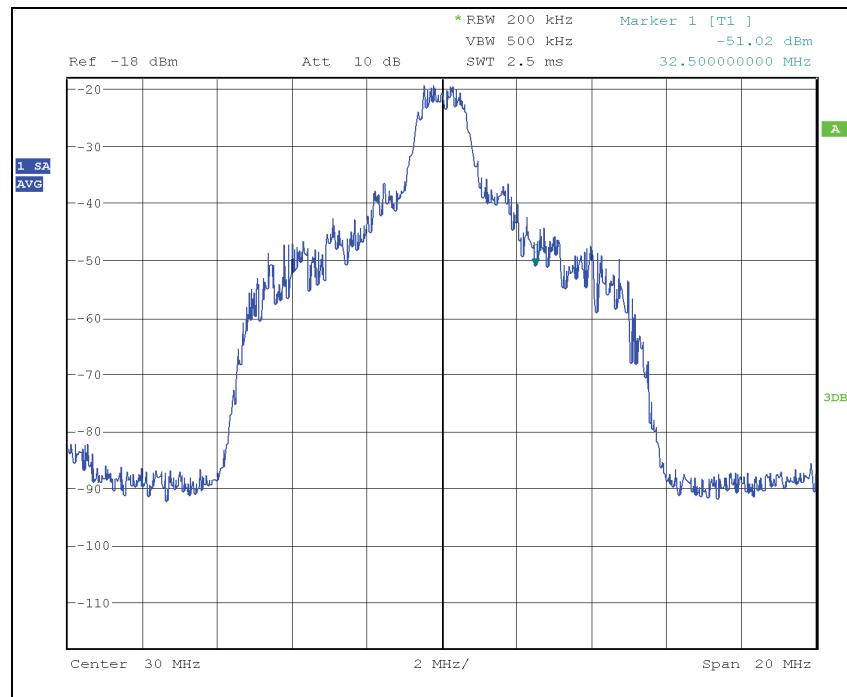
Figure 2.41 Constellation de la modulation 16QAM.

### Validation des signaux à enveloppe constante :

Les signaux dont on a besoin réellement sont les signaux à enveloppe constante S1 et S2 convertis en analogique. Ainsi, nous avons observé l'occupation spectrale de ces deux signaux autour de la fréquence 30 MHz afin de voir l'impact de l'enveloppe constante sur le spectre. La figure 2.42 représente un exemple du spectre du signal S1 (ou S2) obtenu pour un signal QPSK et un taux de symboles de l'ordre de 1.25 MHz. Nous avons augmenté le « span » par rapport au spectre du signal d'origine S vu précédemment afin d'observer toute la bande spectrale occupée par le signal. Ceci est présenté dans la figure 2.43. On peut bien remarquer l'étalement spectral dû à l'enveloppe constante de notre signal.



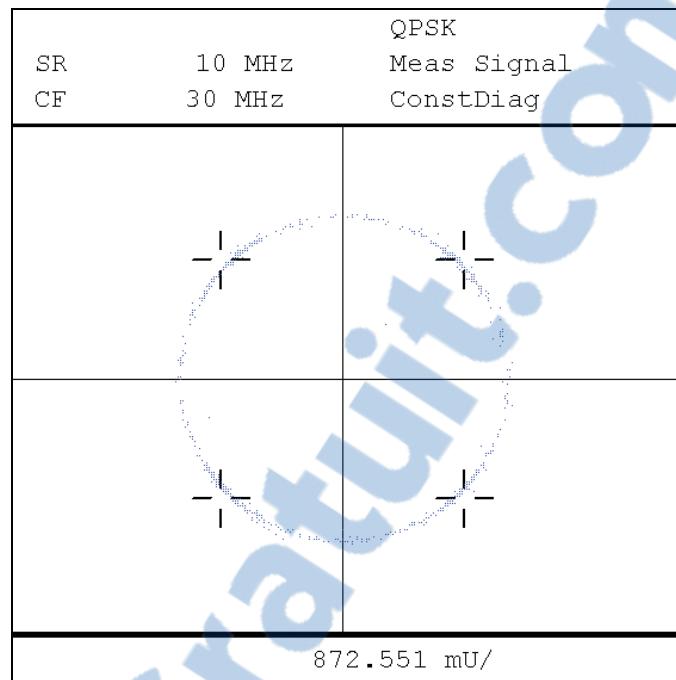
**Figure 2.42 Spectre du signal S1 (ou S2) pour un taux de symboles de 1.25 MHz (span = 10 MHz).**



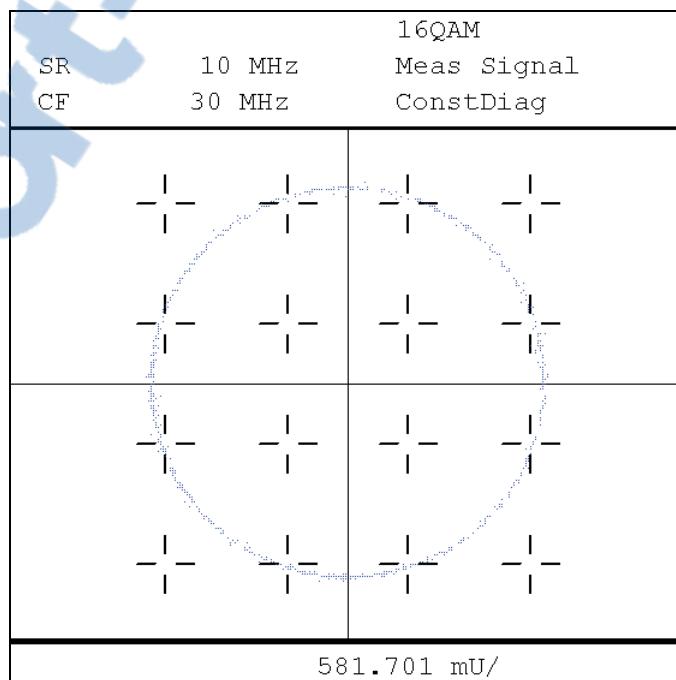
**Figure 2.43 Spectre du signal S1 (ou S2) pour un taux de symboles de 1.25 MHz (span = 20 MHz).**

D'une manière équivalente, nous avons essayé aussi de regarder la constellation des signaux à enveloppe constante. Au début, il s'est avéré difficile de démoduler ces signaux au niveau de l'analyseur de spectre. En effet, nous avons besoin de configurer ce dernier sur le même taux de symboles que l'émetteur afin de les synchroniser sur une même fréquence d'échantillonnage (taux de symboles), alors que théoriquement un signal à enveloppe constante obtenu à l'issu de l'opération de décomposition perd la notion de taux de symboles.

Nous avons essayé alors d'augmenter progressivement la fréquence d'échantillonnage au niveau de l'analyseur de manière à suréchantillonner notre signal reçu à une fréquence multiple de celle d'émission (taux de symboles). Ceci en se basant sur le fait qu'en réalité, les symboles au niveau d'un signal à enveloppe constante constituent un cercle de diamètre fixe et varient d'une manière plus rapide, alors si on échantillonne à une fréquence plus rapide, on arrivera à synchroniser le récepteur par rapport à l'émetteur et à traquer ainsi les symboles (l'enveloppe constante) du signal. Nous avons réussi alors d'observer cette enveloppe constante à une fréquence d'échantillonnage multiple. Les figures 2.44 et 2.45 représentent les constellations obtenues pour les signaux à modulations QPSK et 16QAM à un taux de symboles égal à 1.25 MHz. Le meilleur résultat observé était pour une fréquence d'échantillonnage égale à 8 fois le taux de symboles, soit une fréquence égale à 10 MHz.



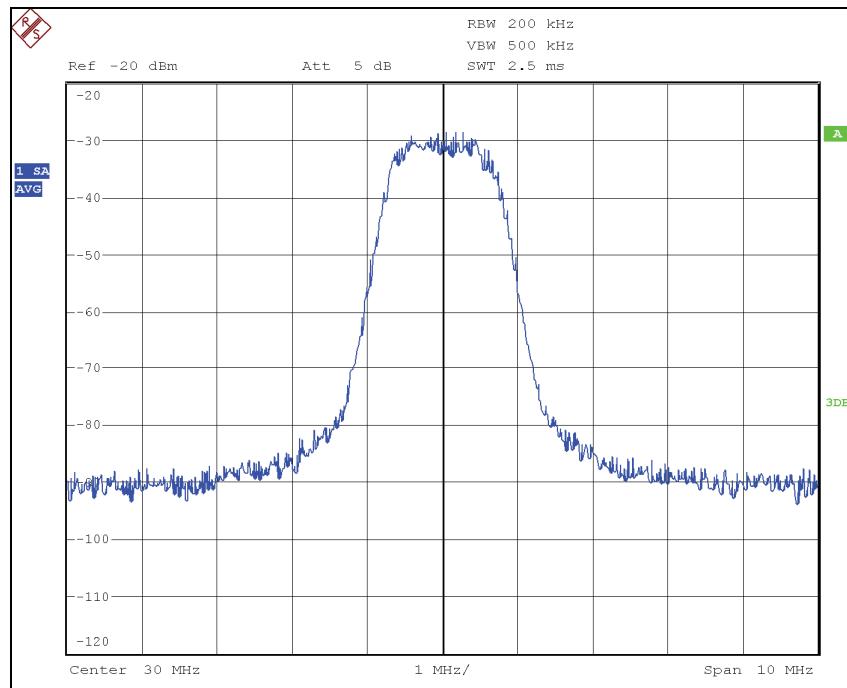
**Figure 2.44** Constellation QPSK du signal S1 (ou S2) pour un taux de symboles de 1.25 MHz.



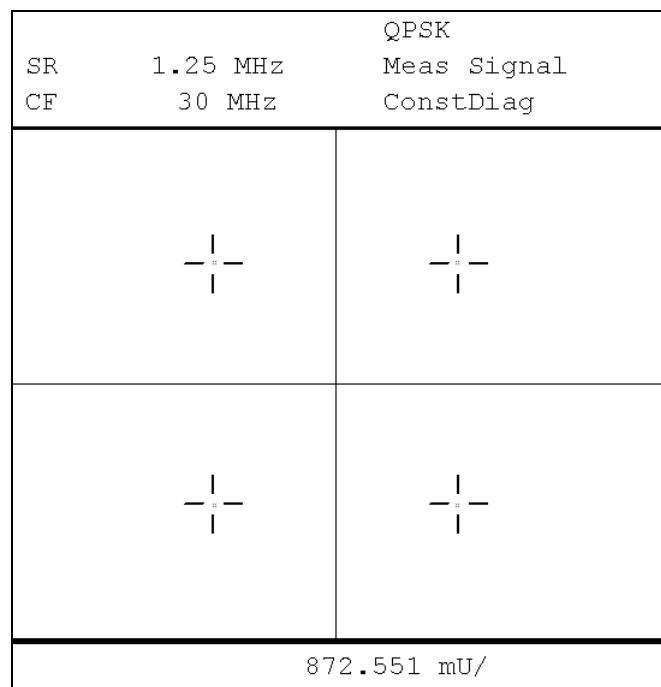
**Figure 2.45** Constellation 16QAM du signal S1 (ou S2) pour un taux de symboles de 1.25 MHz.

### Validation de la combinaison analogique :

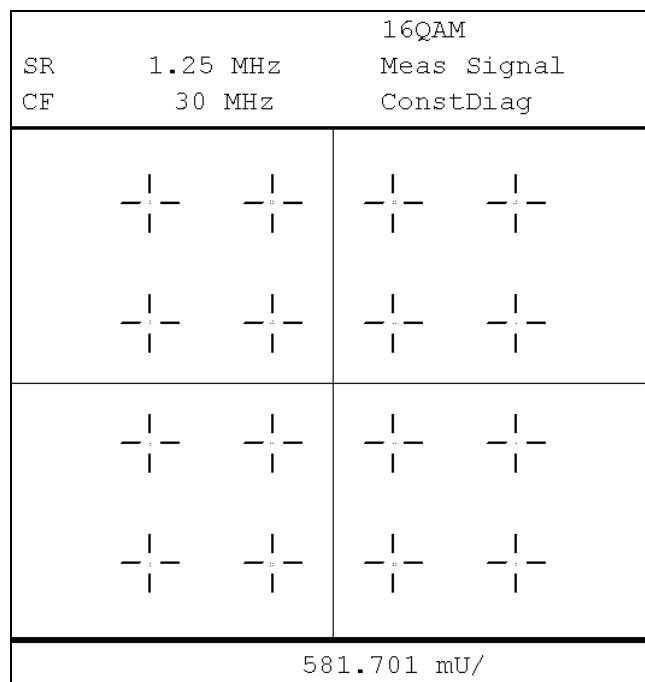
Les deux signaux analogiques S1 et S2 sont combinés à 30 MHz à l'aide d'un combinateur hybride. Nous avons pu alors retrouver le signal d'origine S en observant le spectre ainsi que la constellation du signal à la sortie du combinateur. La figure 2.46 représente le spectre obtenu dans le cas d'un taux de symboles égal à 1.25 MHz. Les figures 2.47 et 2.48 représentent la constellation respective pour une modulation QPSK et 16QAM. L'EVM obtenu est de l'ordre de 0.3 %. Ainsi, les spécifications sont bien assurées aussi avec le test par combinaison analogique.



**Figure 2.46 Spectre du signal après recombinaison analogique de S1 et S2.**



**Figure 2.47 Constellation QPSK du signal après recombinaison de S1 et S2.**



**Figure 2.48 Constellation 16QAM du signal après recombinaison de S1 et S2.**

## 2.6 Conclusion

La partie numérique de notre transmetteur LINC permet de générer un signal modulé en amplitude et en phase tout en spécifiant le taux de symbole et le type de modulation permettant ainsi de couvrir une large gamme de standards. Ce signal est décomposé à l'aide du bloc SCS implémenté par la méthode LUT à une seule dimension, nous permet ainsi de retrouver à sa sortie deux signaux à enveloppe constante sous forme complexe. Deux choix sont possibles à ce niveau soit les convertir directement à une fréquence RF dans la partie analogique, soit, les convertir à une fréquence IF en numérique avant de les transformer à la section analogique pour être convertis en RF. Pour ceci, les blocs modulateurs I/Q numériques assurent, par l'intermédiaire d'un DDS, la transposition à la fréquence IF. Nous avons pu valider les résultats, par MATLAB, en observant les deux signaux à enveloppe constante, et par test expérimental, en observant les spectres et les constellations des signaux obtenus. L'étage RF front-end assure, par la suite, la transposition à la fréquence RF désirée. La conception et la mise en œuvre de cette partie sont une opération critique qui nécessite une grande investigation afin de minimiser les erreurs possibles et de répondre au mieux aux spécifications du système. Elle fait l'objet du chapitre suivant.

## CHAPITRE 3

### SECTION RF FRONT-END DU TRANSMETTEUR LINC

#### 3.1 Introduction

Après avoir conçu la section bande de base/IF du transmetteur LINC qui permet de générer les signaux décomposés S1 et S2, nous passerons à la conception de la section analogique du système. Cette section permettra d'implémenter trois chaînes de conversion de fréquence : Deux chaînes directes pour les deux branches du transmetteur LINC et une chaîne de retour pour la correction. Le premier volet concerne alors les deux chaînes directes pour la transposition vers la fréquence RF. En effet, les signaux obtenus seront convertis en analogique à l'aide de CNAs avant d'être transposés à une fréquence RF désirée selon les spécifications de l'utilisateur pour être amplifiés par la suite par les amplificateurs de puissance. Toutefois, comme nous l'avons mentionné dans le premier chapitre, deux options se révèlent possibles à ce niveau. La première est une conversion directe et ça consiste à convertir directement les signaux en bande de base en des signaux réels à la fréquence RF sans passer par une fréquence IF intermédiaire. La deuxième est une conversion hétérodyne et ça consiste à convertir les signaux obtenus à la fréquence IF vers la fréquence RF.

Le deuxième volet de la partie analogique concerne la chaîne de retour de correction de notre transmetteur. En effet, un échantillon du signal de sortie amplifié à une fréquence RF sera récupéré afin d'être abaissé à une fréquence IF puis converti en numérique à l'aide d'un CAN. Le signal récupéré servira à effectuer les corrections nécessaires. Ainsi, le choix de l'architecture de la partie analogique de notre transmetteur pour les chaînes directes et pour la chaîne de retour sera défini essentiellement en fonction des spécifications et des contraintes matérielles.

Nous présenterons dans ce chapitre les spécifications de la partie analogique qui seront fondées essentiellement sur les besoins et les contraintes matérielles. Ensuite, nous

proposerons une architecture détaillée pour l'ensemble. Enfin, nous présenterons la conception et l'implémentation des têtes RF de la partie analogique du transmetteur LINC.

### 3.2 Spécifications de la section RF

L'étage RF des deux chaînes directes doit nous permettre d'obtenir les deux signaux décomposés à enveloppe constante à une fréquence RF donnée. D'autre part, nous avons déjà vu dans le premier chapitre qu'un transmetteur LINC est très sensible aux débordements de gain et de phase entre les deux branches, ce qui affecte la linéarité du système. Pour ceci, en se basant sur la technique de correction proposée par (Helaoui *et al.*, 2004), on se propose de concevoir aussi dans la partie analogique de notre transmetteur une boucle de retour pour la correction. Ainsi, nous avons fixé un ensemble de spécifications selon les besoins requis et les ressources disponibles avant de passer à la conception de la carte analogique de notre transmetteur. Ces spécifications se résument dans les points suivants:

- Une plage de fréquence RF programmable entre 2 et 4 GHz extensible jusqu'à 6 GHz.
- Un gain en puissance variable et contrôlable sur les deux chaînes directes. Une plage de variation de l'ordre de 20 à 30 dB permettra un large contrôle sur les signaux aux entrées des amplificateurs de puissance.
- Une synchronisation parfaite entre les deux chaînes. Les mêmes dimensionnements doivent être établis lors de la conception.
- Une fréquence IF à la réception dans la boucle de retour de l'ordre de 20 MHz. Ce choix est porté afin de localiser le signal dans la première bande de Nyquist entre DC et  $\frac{f_s}{2}$  (Ifeachor et Jervis, 2002). Avec  $f_s$  la fréquence d'échantillonnage du CAN de la carte FPGA.
- Une atténuation de puissance variable et contrôlable sur le signal reçu. D'après les spécifications actuelles du banc de tests utilisé, une plage de variation de 30 à 50 dB est largement suffisante pour atténuer la puissance de signal reçu amplifié et l'adapter par rapport à la plage dynamique du CAN de la chaîne de réception.

- Un contrôle automatique sur le gain du signal reçu à la fréquence IF afin de l'adapter par rapport à la plage dynamique du CAN. Une plage de contrôle de 10 à 20 dB est largement suffisante sur la puissance du signal reçu déjà atténué.
- Les dimensions de la carte doivent être de l'ordre de 165x233mm qui sont les mêmes que la carte FPGA. La carte est connectable sur le port PCI de la plateforme. Ce dernier servira à son alimentation.

### 3.3 Architecture de la section RF

Une fois que les spécifications de la section RF de notre transmetteur ont été définies en fonction des besoins et des contraintes imposées, nous aurons à mettre en place l'architecture matérielle pour les deux chaînes directes et celle de la boucle de retour de correction. Le principe consiste à choisir globalement les différents modules et composants nécessaires afin de répondre aux besoins tout en respectant au mieux les spécifications données. Pour cela, nous avons divisé l'ensemble de la section RF en deux parties, une architecture pour les chaînes directes et une autre pour la chaîne de retour.

#### 3.3.1 Architecture des chaînes directes de la section analogique

##### 1ère architecture : Architecture super hétérodyne

Pour les deux chaînes directes de notre transmetteur LINC, l'architecture proposée était conçue en deux étapes. Dans un premier temps, nous avons pensé à concevoir une architecture de type super hétérodyne dont les modulateurs I/Q sont implémentés en numérique. Cette architecture est proposée dans la figure 3.1.

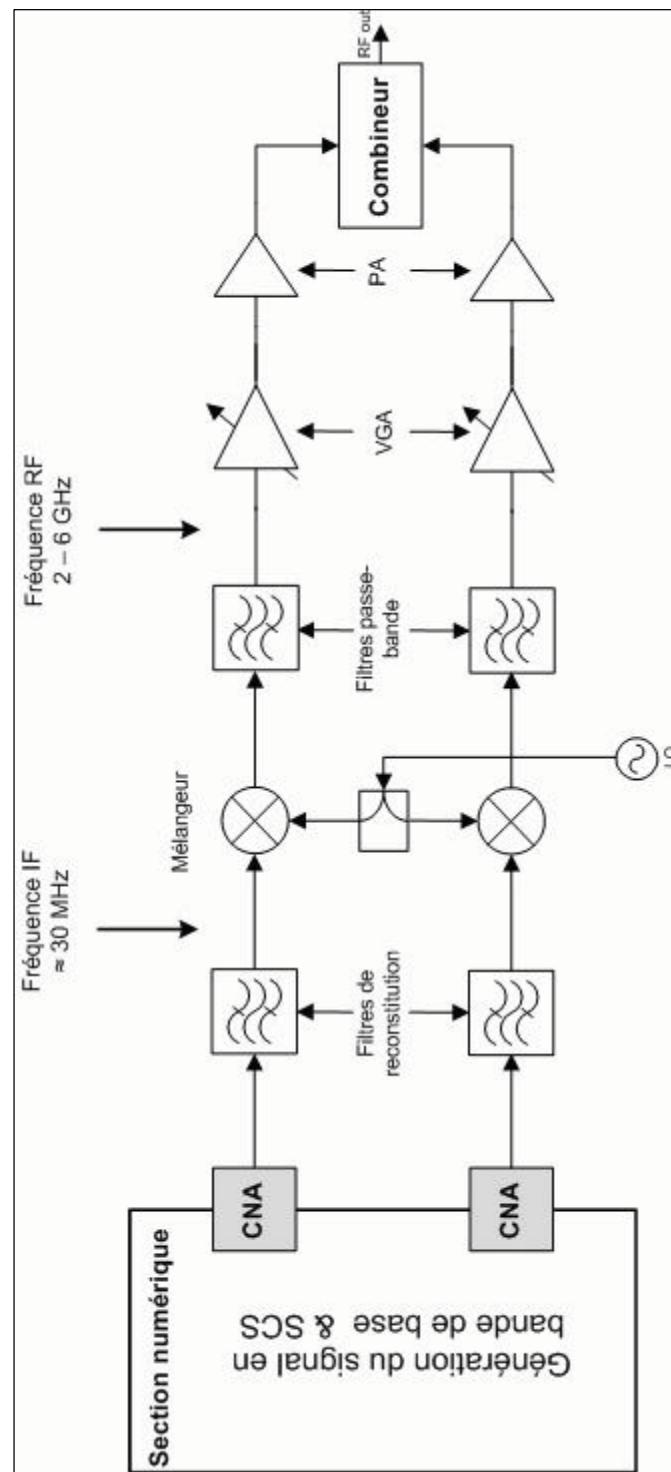


Figure 3.1 Architecture de la section RF du transmetteur LINC super hétérodyne.

Les signaux à enveloppe constante obtenus en numérique sont générés à une fréquence IF de l'ordre de 30 MHz. L'implémentation des modulateurs I/Q en numérique permet de surmonter les problèmes de l'aspect analogiques (voir section 1.9.2). Ainsi, les deux signaux S1 et S2 seront convertis en analogique par l'intermédiaire des deux CNAs. Ces deux signaux doivent être filtrés à l'issu de l'opération de conversion numérique/analogique par des filtres de reconstitution de type passe-bas afin d'éliminer les composantes images générées par les CNAs. Une opération de conversion de fréquence est nécessaire ensuite pour convertir le signal obtenu de sa fréquence IF de l'ordre de 30 MHz vers une fréquence RF définie entre 2 et 6 GHz. Cette opération est réalisée grâce aux mélangeurs de fréquence et un oscillateur local (LO) dont le rôle est de générer une fréquence RF programmable entre 2 et 6 GHz selon la fréquence RF désirée à la sortie. À l'issue de cette opération, une opération de filtrage passe-bande est nécessaire afin d'atténuer la fréquence image et les harmoniques générées par les mélangeurs. La fréquence centrale ainsi que la largeur de bande du filtre RF dépendent de la fréquence IF et RF désirée à la sortie. Les signaux obtenus ainsi sont à une fréquence RF. Ils seront amplifiés (ou atténués) par des amplificateurs à gain variable (VGA) dont le rôle est de contrôler le gain ou l'atténuation des deux signaux à amplifier par les amplificateurs de puissance.

Malgré ses avantages, cette architecture impose des contraintes sur les filtres RF en termes de la sélection de la bande passante de ces derniers qui sont difficiles à satisfaire sur la large bande de fréquence (entre 2 et 6 GHz) de notre transmetteur LINC. Ainsi, la sélection des filtres RF adéquats sera une opération assez délicate pour ce type d'architecture. Ceci nous a amenés à envisager le deuxième type d'architecture.

## **2<sup>ème</sup> architecture : Architecture à conversion directe**

Cette architecture est présentée à la figure 3.2. Le principe consiste à générer directement les deux signaux à enveloppe constante sous leur forme complexe I1, Q1 et I2, Q2 sans passer par une fréquence IF. Ainsi, ces signaux générés en bande de base seront convertis en analogique par quatre CNAs et filtrés par la suite par des filtres de reconstitution de type

pas de filtre passe-bas pour éliminer les fréquences images générées par les CNAs. Les signaux obtenus subiront directement une opération de transposition de fréquence par l'intermédiaire des modulateurs I/Q contrôlés par un LO. Ce dernier génère la fréquence RF désirée à la sortie dans la bande 2 – 6 GHz. Des amplificateurs à gain variable (VGA) sont utilisés ensuite afin de contrôler le gain ou l'atténuation sur les signaux obtenus avant de les injecter dans les amplificateurs de puissance.

L'avantage de l'architecture à conversion directe par rapport à celle à deux étages est qu'elle permet de minimiser la complexité et donc les coûts en utilisant moins de composants. En effet, cette architecture ne nécessite même pas des filtres RF à la sortie des modulateurs I/Q puisque ces derniers génèrent seulement un signal à une fréquence RF autour de la fréquence porteuse générée par le LO sans la présence d'une fréquence image (cas de l'architecture à fréquence IF). Ainsi, dans notre cas, cette architecture sera un meilleur choix étant donné les besoins et les spécifications fixés lors de ce travail. En effet, notre transmetteur doit être à large bande, ce qui nous oblige à opter pour une architecture permettant de minimiser ou d'éliminer les contraintes sur les filtres RF et faciliter ainsi le choix ou la conception de ces derniers. Malgré les inconvénients qui peuvent se présenter dans ce type d'architecture, dont le plus important est les débalancements entre I et Q d'un même signal (section 1.9.2).

Pour surmonter les problèmes liés aux débalancements entre I et Q dans chacune des deux branches, une façon de faire consiste à contrôler une des deux branches I ou Q en numérique et d'ajuster ainsi le gain et/ou la phase de l'une des deux composantes selon les valeurs recherchées. En effet, l'avantage dans cette architecture est que nous avons un contrôle total sur I et Q de chaque branche dans la section numérique, ce qui facilite la tâche de correction. Un module de correction de gain et de phase ainsi à implémenter en numérique permettra de faire l'affaire.

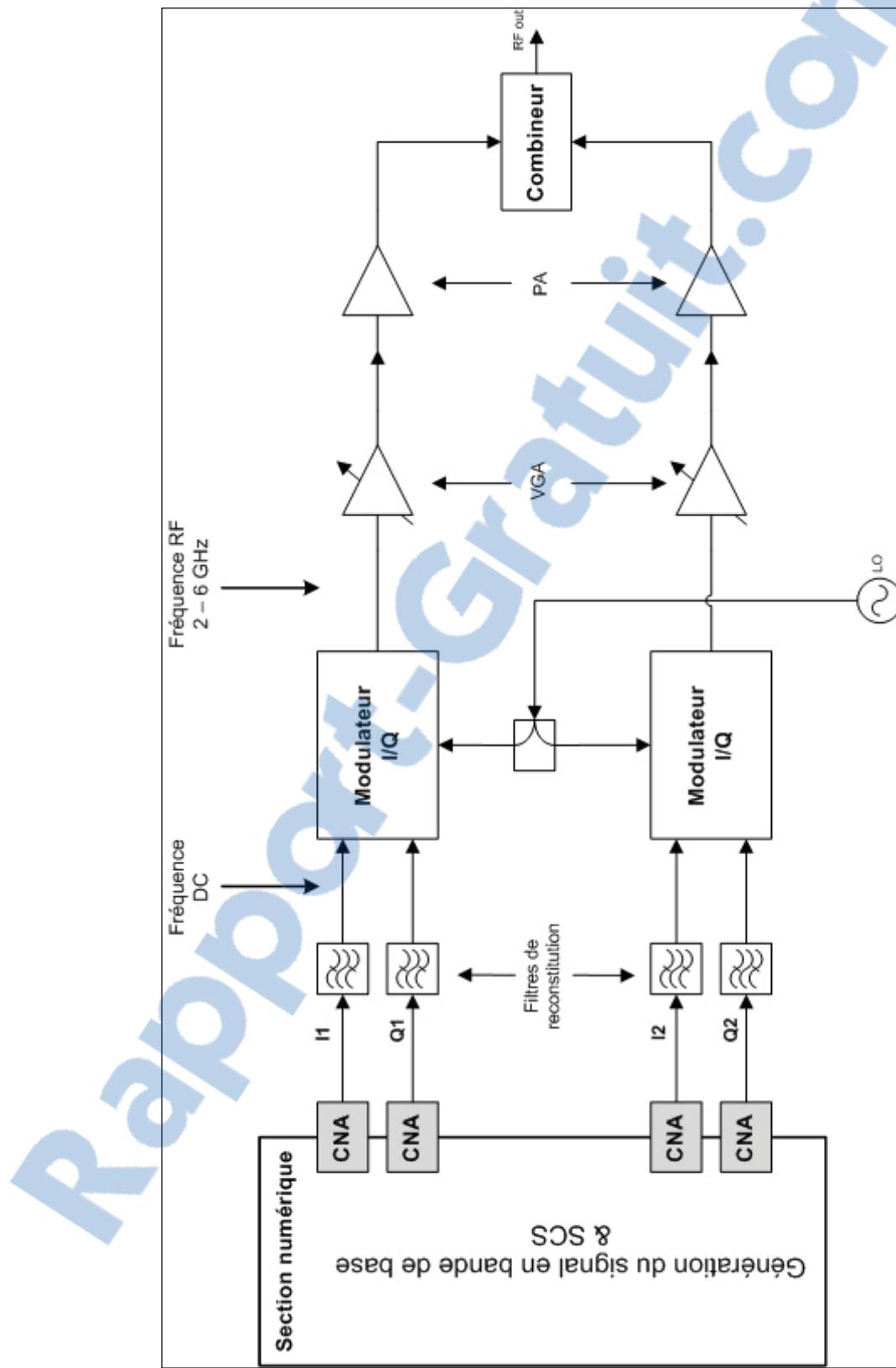
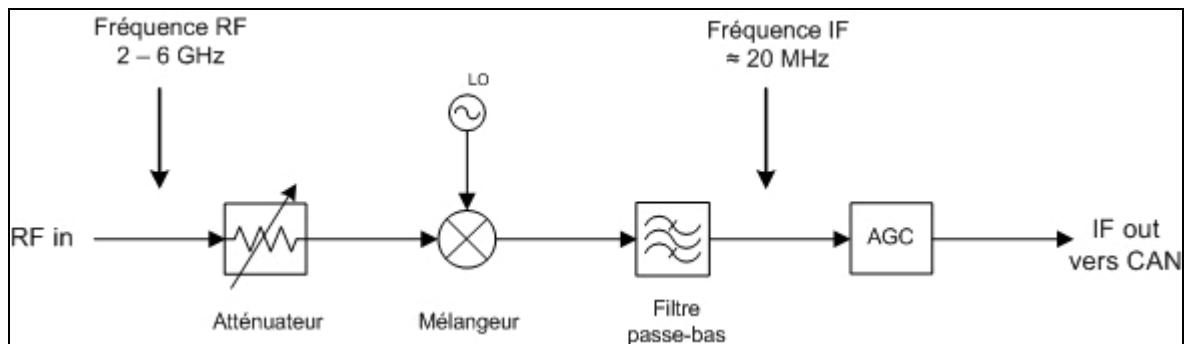


Figure 3.2 Architecture de la section RF du transmetteur LINC à conversion directe.

### 3.3.2 Architecture de la chaîne de retour de la section analogique

La section analogique de la correction repose sur une boucle de retour pour la réception du signal à une fréquence RF et sa conversion à une fréquence IF (*down-converter*) avant d'être converti en numérique à l'aide d'un CAN. La correction se fait alors en numérique en calculant l'erreur correspondante et en agissant en conséquence sur l'une des deux branches S1 ou S2, ou autrement sur les composantes I1, Q1 ou sur I2, Q2. Nous nous intéressons alors dans cette partie à l'architecture de la section analogique de la boucle de retour de correction. Cette architecture est présentée dans la figure 3.3.



**Figure 3.3** Architecture de la boucle de retour de correction du transmetteur LINC.

Le signal de retour reçu à la sortie du système, après la recombinaison des deux signaux amplifiés, est à la fréquence RF définie dans la bande 2 à 6 GHz selon la fréquence RF du signal à émettre. Ce signal subira une opération d'atténuation de puissance par l'intermédiaire d'un atténuateur variable, puis une opération d'abaissement de fréquence (*down-converter*) à l'aide d'un mélangeur de fréquence contrôlé par un oscillateur local (LO) dont la fréquence générée doit être variable afin de couvrir toute la plage de fréquence RF. Le rôle de ce dernier est de fournir la fréquence nécessaire pour générer la fréquence IF de l'ordre de 20 MHz. Un filtre de type passe-bas est nécessaire à la sortie du mélangeur pour atténuer la composante à la fréquence image de la bande latérale supérieure et garder celle à la fréquence IF désirée. Un contrôleur automatique de gain (AGC) est placé à la fin pour ajuster d'une façon automatique le gain du signal reçu à l'entrée du CAN de manière à le garder dans

la plage dynamique de ce dernier. Le signal obtenu après conversion analogique numérique peut-être utilisé pour l'ajustement du gain et de phase de l'un des deux signaux à enveloppe constante afin de corriger un débancement entre les deux branches du transmetteur.

### 3.4 Conception de la carte RF front-end

L'architecture de la section RF de notre transmetteur a été mise en place. La figure 3.4 représente le système global incluant la boucle de retour.

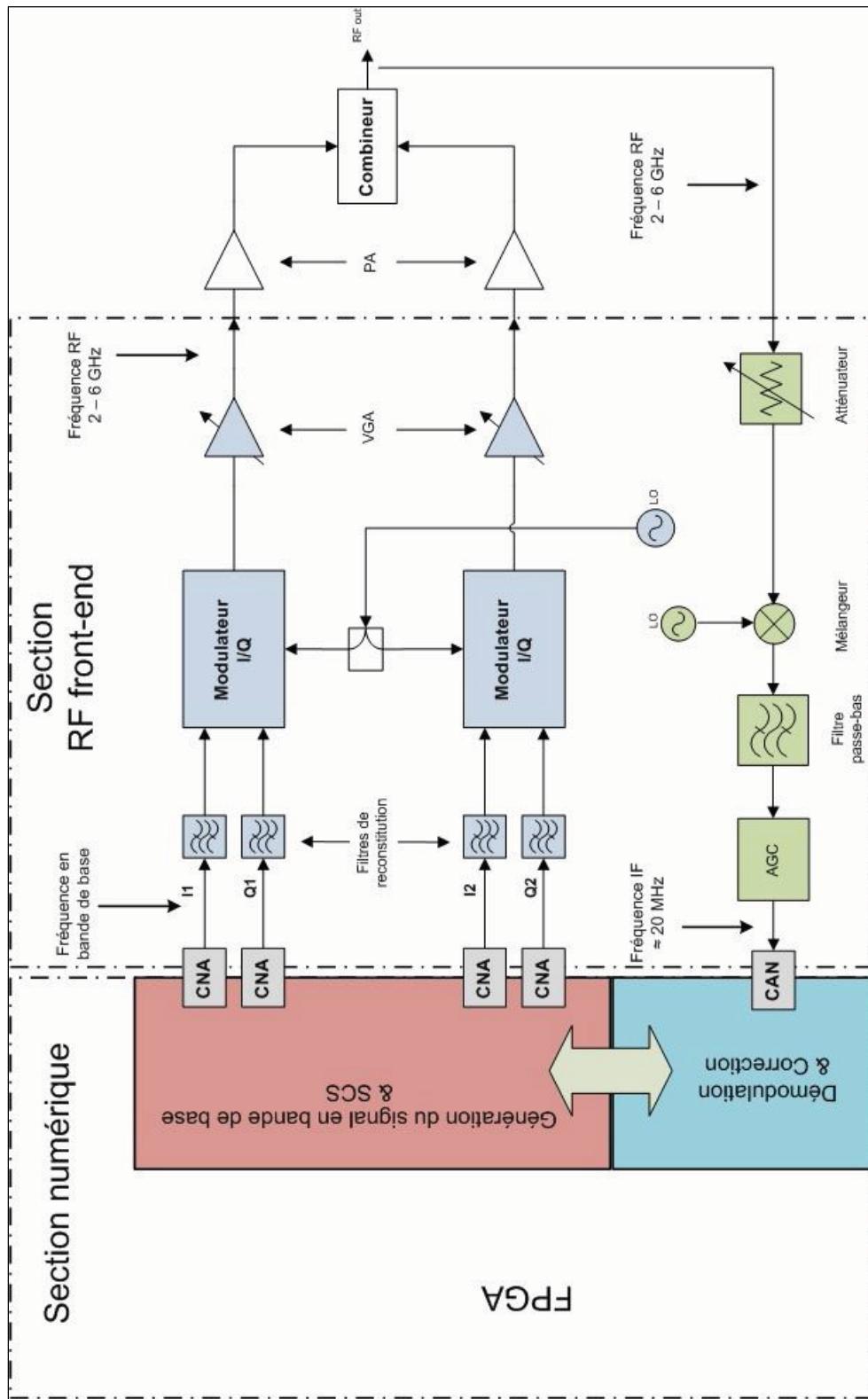
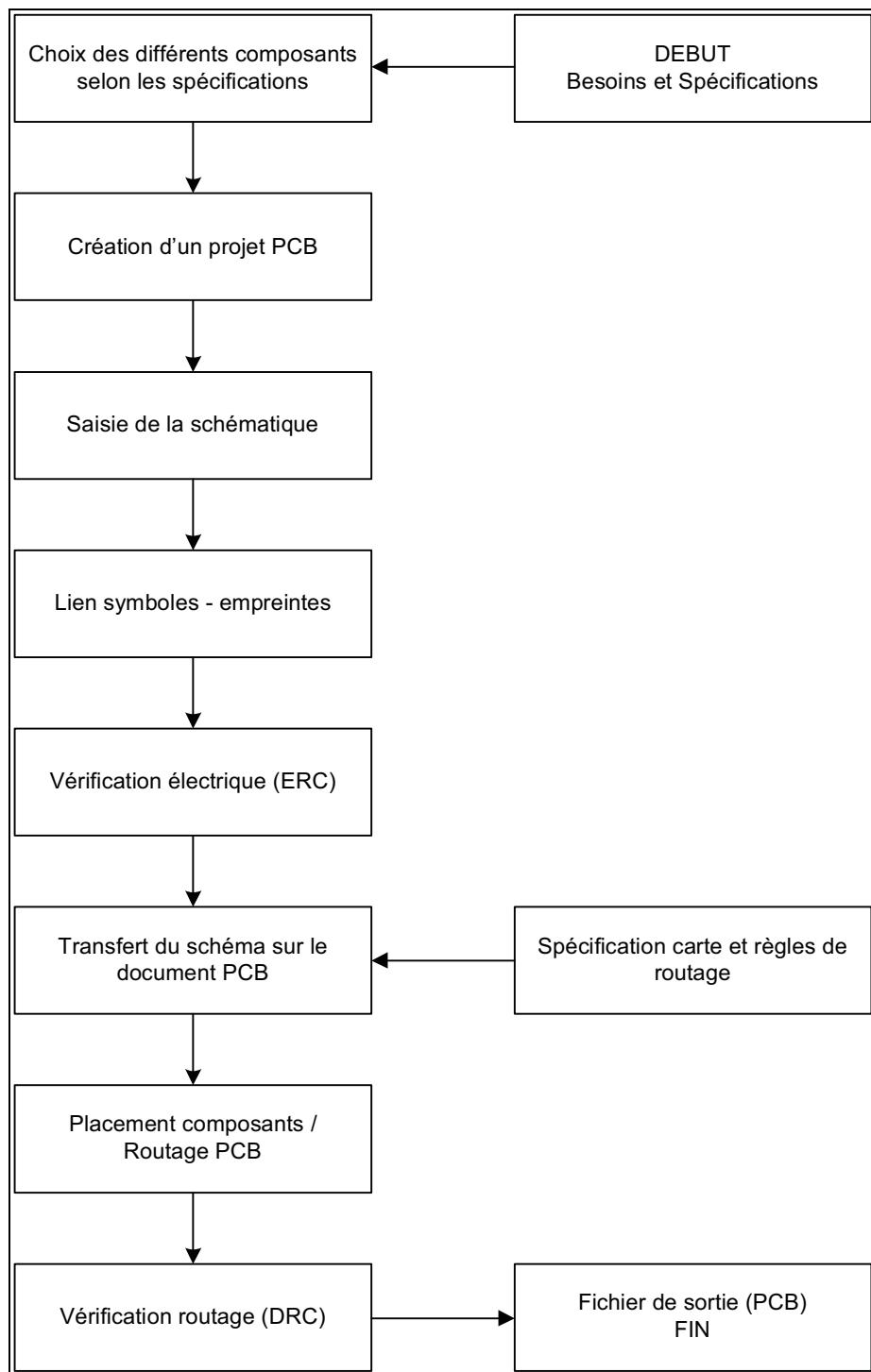


Figure 3.4 Architecture globale du transmetteur LINC.

Nous aurons, donc, à choisir et sélectionner les différents composants nécessaires pour concevoir la carte électronique de la section analogique de notre transmetteur LINC selon les spécifications requises. L'étape suivante consiste à concevoir la carte et le PCB (*Printed Circuit Board*) correspondant à l'aide d'un outil de CAO. Pour cela, nous avons utilisé l'outil *Altium Designer* qui permet à partir de la définition d'un schéma électrique du circuit de créer un document PCB prêt pour le placement et le routage et de vérifier les différentes règles de routage correspondantes. Le choix est porté sur cet outil de CAO puisqu'il est déjà disponible dans le laboratoire LACIME. En plus, il est largement utilisé ailleurs à cause de sa simplicité et la large bibliothèque de composants qu'il offre. Le flot de conception de la carte électronique suivi lors de ce projet est décrit dans la figure 3.5.

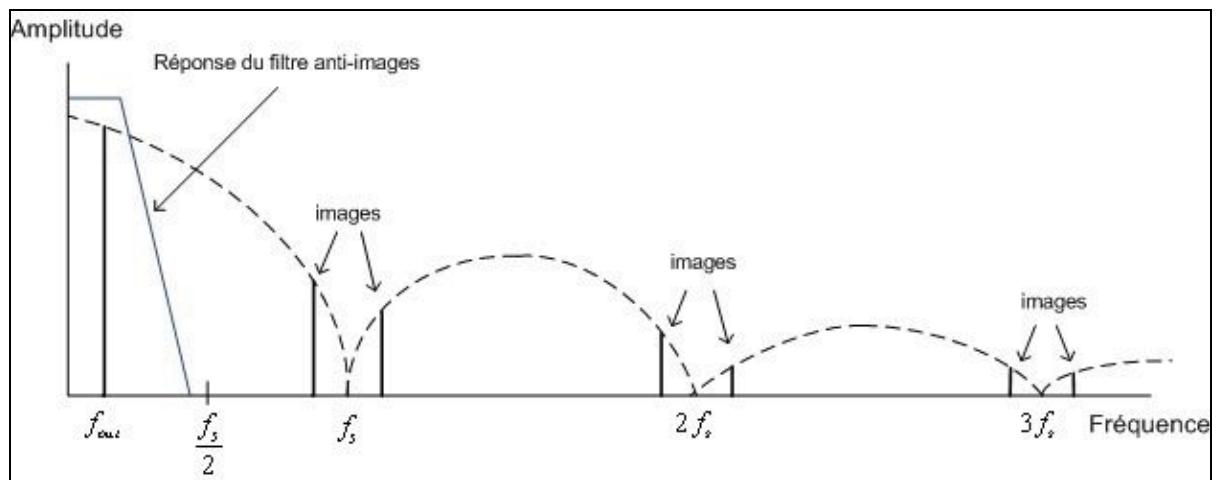
Le choix et la sélection des composants adéquats est une phase cruciale dans notre travail de conception. En effet, la conception de l'étage RF front-end de notre transmetteur LINC nécessite un bon choix sur l'ensemble des composants pour les deux chaînes directes ainsi que la chaîne de retour de correction qui doivent répondre au mieux aux spécifications désirées et à l'architecture mise en place. Nous présentons à la fin de ce mémoire un aperçu sur l'architecture de la carte RF de notre transmetteur LINC aux niveaux composants. Dans ce qui suit, nous allons détailler et justifier le choix de chaque composant de la carte.



**Figure 3.5** Flot de conception de la carte électronique.

### 3.4.1 Le filtre de reconstitution

Les convertisseurs numérique-analogique utilisés lors de ce projet sont ceux fournis avec la carte FPGA de Lyrtech ou ceux de la carte LACIME. Dans les deux cas, ces convertisseurs opèrent à la même fréquence d'horloge que la carte FPGA soit 100 MHz fournie par une source externe. Cette fréquence représente leur fréquence d'échantillonnage  $f_s$ . Ainsi, la reconstitution des signaux à la sortie des convertisseurs va générer des images autour des fréquences  $Nf_s \pm f_{out}$ , avec  $N=1, 2, 3\dots$  et  $f_{out}$  est la fréquence du signal à la sortie des convertisseurs N/A, avec une atténuation de la forme  $\sin(x)/x$  (Ifeachor et Jervis, 2002). La forme du spectre du signal reconstitué à la sortie d'un CNA est présentée dans la figure 3.6.



**Figure 3.6 Reconstitution du signal à la sortie du CNA.**

Dans notre cas, les convertisseurs N/A permettent de convertir directement les signaux numériques I1/Q1 et I2/Q2 en bande de base en des signaux analogiques autour de la fréquence DC. Ainsi, le spectre de sortie de chaque CNA va contenir une composante principale autour de la fréquence DC ainsi que des images autour de  $Nf_s$  dues au processus d'échantillonnage. Ce qui nécessite l'utilisation d'un filtre de reconstitution ou filtre anti-image de type passe-bas à la sortie de chaque CNA permettant de reconstruire les images

dans la bande de Nyquist entre DC et  $\frac{f_s}{2}$ . On peut observer la forme de la réponse en fréquence du filtre de reconstitution dans la figure 3.6.

Pour notre carte, nous avons besoin, donc, de quatre filtres de type passe-bas dont la fréquence de coupure entre DC et 50 MHz permettant ainsi de garder la composante autour de DC et rejeter les images. Ces filtres doivent avoir une bonne atténuation sur la bande de coupure.

Le filtre passe-bas choisi pour notre carte RF est le SCLF-21.4+ de Mini-circuits possédant une très bonne rejection et respectant au mieux nos spécifications. Les caractéristiques de ce filtre sont les suivantes (Mini-circuits, 2008c):

- Bande passante : DC-22 MHz avec une atténuation inférieure à 1 dB.
- Fréquence de coupure à 3 dB de l'ordre de 24.5 MHz.
- Atténuation dans la bande de coupure: > 20 dB entre 32 et 41 MHz, et >40 dB entre 41 et 200 MHz ( $\approx 76$  dB à 100 MHz).

### 3.4.2 Le modulateur I/Q analogique

Un modulateur I/Q est utilisé dans chaque branche afin de transposer directement le signal filtré à la sortie des CNAs autour de la fréquence DC vers une fréquence RF entre 2 et 6 GHz. Cette dernière sera fournie par un oscillateur local (LO) à l'entrée du modulateur.

Lors de la conception de notre carte, nous avons choisi le composant ADL5375 de Analog Devices. Ce circuit est un modulateur I/Q (*Quadrature modulator*) qui possède deux entrées différentielles en bande de base pour I et Q et une entrée différentielle ou non (*single-ended*) pour l'oscillateur local. Il permet de générer une seule sortie non différentielle. Il contient à l'intérieur un diviseur en quadrature permettant d'accepter en entrée le signal de l'oscillateur local et de fournir deux signaux en phase (I) et en quadrature de phase (Q) séparés par  $90^\circ$ . Ces deux signaux pilotent deux mélangeurs séparés qui acceptent aussi en entrée les deux

signaux en bande de base I et Q. Les deux sorties des mélangeurs sont sommées, pour produire un signal unique autour de la fréquence RF.

Le circuit ADL5375 présente les caractéristiques suivantes (Analog-Devices, 2008a):

- Bande de fréquence de sortie: entre 400 MHz et 6 GHz.
- Puissance d'entrée du LO: entre -6 et +7 dBm, typiquement à 0 dBm.
- Puissance de sortie: entre 0.87 et 2.4 dBm pour une puissance de LO à 0 dBm.
- Compression de sortie à 1 dB:  $\geq 9.4$  dBm entre 450 MHz et 4 GHz.

Les entrées en bande de base I et Q de l'ADL5375 doivent fournir une tension de polarisation de 500 mV en mode différentiel. Ainsi, nous avons eu recours aux circuits amplificateurs différentiels AD8132 de Analog devices afin de transformer les signaux d'entrée I et Q en bande de base de leur liaison asynchrone (ou single-ended) vers une liaison de type synchrone (différentielle) et fournir au modulateur sa tension de polarisation (500 mV).

### 3.4.3 L'oscillateur local

Ce composant est l'élément responsable de la génération de la porteuse autour de la fréquence RF de transmission. Il sert à piloter les circuits modulateurs (ADL5375) par un signal de fréquence synthétisable afin de le mélanger aux signaux I et Q d'entrée en bande de base et aboutir à un signal autour de la fréquence RF désirée. L'oscillateur local ou LO (*Local oscillator*) est formé généralement d'un synthétiseur de fréquence ou boucle de verrouillage de phase PLL (*Phase-Locked Loop*) qui alimente un oscillateur contrôlé en tension VCO (*Voltage-Controlled Oscillator*) par un asservissement entre la fréquence de sortie et celle de la référence. Le VCO quant à lui sert à fournir la fréquence de sortie par le contrôle d'une tension à l'entrée délivrée par le PLL. Plus de détails sur la théorie sont présentés dans l'annexe IV.

Nous avons utilisé le circuit ADF4350 de Analog Devices intégrant un synthétiseur de fréquence avec un VCO interne. Ce circuit permet à l'aide d'une fréquence de référence et

d'un filtre externe de fonctionner comme une boucle à verrouillage de phase avec un synthétiseur de fréquence. Ces caractéristiques principales sont les suivantes (Analog-Devices, 2008c) :

- Une fréquence de sortie programmable à partir de 137.5 MHz jusqu'à 4.4 GHz.
- Un choix entre un synthétiseur à N entier ou fractionnaire (*Fractional-N* ou *Integer-N*).
- Un bruit de phase du VCO : -89 dBc/Hz pour une offset de 10 KHz, -114 dBc/Hz pour une offset de 100 KHz, -134 dBc/Hz pour une offset de 1 MHz, à partir de 2.2 GHz.
- Un niveau de puissance de sortie programmable entre -4, -1, +2 et +5 dBm.
- Une fréquence de référence entre 10 et 105 MHz.
- Une détection de verrouillage analogique ou numérique.

Le circuit ADF4350 est programmable d'une façon série à l'aide de 6 registres internes de 32 bits qui permettent selon la combinaison des différents bits de programmer les différentes fonctionnalités (exemples : la fréquence désirée, le niveau de puissance...).

Deux éléments indispensables dans la conception et la mise en œuvre de la boucle à verrouillage de phase :

1. Le premier est le choix de la fréquence de référence qui doit présenter une très bonne qualité avec un minimum de bruit de phase. Nous avons intérêt à maximiser cette fréquence pour maximiser la fréquence à l'entrée de détecteur de phase et diminuer en conséquence le temps de verrouillage nécessaire (Fox, 2002). Nous avons choisi pour cela un oscillateur à quartz de type OCXO (**Oven Controlled X-Crystal Oscillator**) qui permet une très bonne stabilité en fréquence avec une robustesse aux changements de la température. L'OCXO choisi permet de générer une fréquence de l'ordre de 100 MHz qui sera injectée à l'entrée d'un distributeur d'horloge. Ce dernier permet de générer, à partir d'une fréquence d'entrée, plusieurs fréquences de sortie pour des différents circuits sur la carte et de fournir aussi une horloge externe (qui peut servir par exemple pour la carte FPGA). Le circuit choisi pour ceci est l'AD9512 de Analog Devices. Ce dernier est un circuit programmable en série par des diviseurs internes afin de générer

cinq horloges différentes à des fréquences variables à partir d'une entrée unique à fréquence fixe.

2. Le deuxième élément indispensable est le filtre de boucle qui va servir à l'entrée du VCO. Le choix et la conception de ce filtre dépendent des caractéristiques du synthétiseur de fréquence (exemples : la plage de fréquence, la résolution en fréquence, la fréquence de référence, etc.). Pour cela, nous avons eu recours à l'outil ADISimPLL de Analog Devices qui nous a permis de concevoir notre PLL et le filtre correspondant selon les caractéristiques désirées. Cet outil est disponible gratuitement sur le site de Analog Devices. Des détails de la conception sur cet outil sont présentés à l'annexe V.

Dans notre cas, nous avons besoin de deux oscillateurs locaux sur notre carte. Le premier est pour fournir la fréquence nécessaire aux modulateurs I/Q des deux chemins directs du transmetteur pour la transposition de la fréquence en bande de base vers la fréquence RF. Tandis que le deuxième sert à fournir la fréquence IF nécessaire pour le mélangeur de la boucle de retour afin d'abaisser la fréquence RF reçue vers une fréquence IF désirée (20 MHz dans notre cas). Pour les deux cas, nous avons utilisé deux circuits de type ADF4350 présentant les mêmes caractéristiques et conçus de la même façon, notamment en utilisant la même fréquence de référence et le même type de filtre de boucle.

Le distributeur d'horloge utilisé permet de fournir les fréquences de référence à savoir 100MHz pour les deux circuits ADF4350. Ces derniers permettent de générer les signaux nécessaires autour des fréquences désirées (jusqu'à 4.4 GHz) à l'aide d'une sortie différentielle principale et une deuxième différentielle auxiliaire. Selon la programmation du circuit, ces sorties peuvent être actives ou non simultanément.

Les deux sorties de type différentiel de chaque circuit ADF4350 sont injectées aux entrées d'un transformateur d'impédances (*Balun*) afin de transformer la sortie différentielle à deux lignes à une sortie unique à une seule ligne (*single-ended*). Le composant utilisé pour ceci est un produit de synergie qui couvre une plage de fréquence entre 800 MHz et 4 GHz. Ce qui

limite la plage de fréquence de notre oscillateur local à la fréquence 4 GHz. Nous avons utilisé, alors, à la sortie de chaque synthétiseur de fréquence un interrupteur programmable (*switch*) permettant de choisir, comme oscillateur local, entre le circuit ADF4350 propre à la carte et un oscillateur externe dans le cas d'une fréquence supérieure à 4 GHz. Toutefois, la fréquence fournie par l'oscillateur local doit être inférieure à 6 GHz, selon les spécifications matérielles de la carte.

Le premier circuit ADF4350 utilisé pour les deux chaînes directes doit piloter les deux circuits modulateurs ADL5375. Ainsi, nous avons eu besoin aussi d'un diviseur de puissance afin de fournir à partir du signal de sortie de l'oscillateur local deux signaux de mêmes caractéristiques. Pour cela, le diviseur utilisé est un produit de Synergie fonctionnant sur une large bande, entre 1 et 8 GHz, et permettant ainsi de couvrir toute la plage de fréquence nécessaire de notre transmetteur.

### 3.4.4 L'amplificateur à gain variable

L'amplificateur à gain variable ou VGA (*Variable Gain Amplifier*) permet de contrôler le gain en puissance du signal à la sortie de chaque modulateur I/Q. Le choix de ce composant repose essentiellement sur les spécifications de la plage de fréquence à couvrir (entre 2 et 6 GHz), la plage de variation de puissance et la facilité de l'intégration sur la carte (circuit de type « *surface mount* »). Pour cela, nous avons utilisé deux circuits HMC625LP5(E) de chez Hittite (un pour chaque branche). Ce circuit est un composant numérique programmable dont les principales caractéristiques sont les suivantes (Hittite, 2008a):

- Plage de fréquence: de DC jusqu'à 6 GHz.
- Un gain de -13.5 dB jusqu'à +18 dB avec un pas de 0.5 dB (une atténuation de +13.5 dB jusqu'à un gain de +18 dB).
- IP3 à la sortie: +33 dBm.
- Compression de sortie à 1 dB: typiquement +19 dBm entre DC et 3GHz, +16 dBm entre 3 et 6 GHz.
- Programmable soit en série, soit en parallèle par un mot de 6 bits.

Les signaux obtenus à la sortie des deux amplificateurs à gain variable représentent S1 et S2 générés à la sortie du transmetteur à une fréquence RF. Ainsi, ces deux signaux qui sont à enveloppe constante doivent être parfaitement synchrones afin d'éviter un débancement qui peut être causé par une différence de la longueur électrique entre les deux branches de notre transmetteur. Pour se faire, on doit s'assurer lors de la conception de la carte RF, notamment dans la phase de placement et routage, de la conformité des deux chaînes et de l'exactitude des lignes à router entre elles. Pour ceci, notre outil de conception *Altium Designer* utilisé lors de ce projet permet de concevoir des chambres (*room*) qui nous permettent de créer un ensemble de composants liés fictivement entre eux. Par la suite, on peut élaborer des règles pour le placement et le routage de ces chambres. Ainsi, pour notre cas par exemple, nous avons créé des chambres semblables contenant l'ensemble des composants de chaque branche. Ensuite, nous avons entré, parmi les règles de placement et routage, une règle permettant d'appliquer automatiquement de la même façon les mêmes opérations sur les chambres des deux chaînes. Ceci permet d'avoir deux chaînes placées et routées de la même manière. Des opérations de vérification par mesure manuelle sont nécessaires par la suite afin de s'assurer de l'exactitude des deux branches.

### 3.4.5 L'atténuateur variable

L'atténuateur variable permet d'atténuer la puissance du signal reçu à l'entrée de la boucle de retour de correction afin de l'adapter à l'entrée du mélangeur. La sélection de ce composant repose essentiellement sur la plage de fréquence qu'il doit la couvrir (entre 2 et 6 GHz) et la plage d'atténuation désirée qui doit être maximale afin d'avoir plus de contrôle sur la puissance du signal reçu. Pour cela, nous avons choisi le composant HMC629LP4(E) de chez Hittite qui permet de contrôler l'atténuation d'une façon programmable. Les caractéristiques principales de ce composant sont les suivantes (Hittite, 2008b):

- Plage de fréquence: DC à 6 GHz.
- Atténuation: jusqu'à 45 dB avec un pas de 3 dB.
- Insertion loss: 2.5 dB sur toute la plage de fréquence.
- Return loss: 17 dB sur toute la plage de fréquence.

- Programmable en série ou en parallèle par un mot de 4 bits.

Le signal reçu atténué va donc subir une opération de translation d'une haute fréquence (RF) vers une basse fréquence (IF) ou « *down conversion* » par l'intermédiaire d'un mélangeur de fréquence.

### 3.4.6 Le mélangeur

Le mélangeur permet de translater la fréquence RF reçue entre 2 et 6 GHz à une fréquence IF de l'ordre de quelques MHz. Cette fréquence IF dépend essentiellement des caractéristiques du CAN utilisé, à savoir celui de la carte FPGA Lyrtech. Ce dernier fonctionne à une fréquence de l'ordre de 100 MHz. Donc, nous avons choisi une fréquence IF égale à 20 MHz afin de localiser notre signal dans la première zone de Nyquist entre DC et 50 MHz, et faciliter ainsi l'opération de conversion A/N et celle du filtrage IF (Ifeachor et Jervis, 2002). En effet, le filtre utilisé dans ce cas sera un simple passe bas qui laissera passer juste notre IF autour de 20 MHz et atténuer les alias correspondants.

Le mélangeur est un composant à 3 ports RF, LO et IF qui accepte sur ses entrées le signal à la fréquence RF et celui de l'oscillateur local LO et délivre à sa sortie IF la somme et la différence de ces deux fréquences. On obtient alors  $f_{IF} = f_{RF} - f_{LO}$  (si  $f_{RF} > f_{LO}$ ) ou  $f_{IF} = f_{LO} - f_{RF}$  (si  $f_{LO} > f_{RF}$ ) et une composante image  $f_{RF} + f_{LO}$  qui doit être fortement atténuee par le filtre IF à la sortie. D'autres composantes apparaissent aussi à la sortie (des bruits, la fondamentale du LO et les harmoniques). Ces composantes peuvent être aussi fortement atténuees par le filtre IF. Le mélangeur est caractérisé aussi par plusieurs paramètres : Gain en conversion (*Conversion loss*), le point IIP3 (*Input Intercept Point*), l'isolation entre les différents ports, etc. dont on doit tenir compte lors de la sélection de ce composant.

Dans notre travail, nous avons opté pour un composant de Mini-Circuits : MACA-63H+ dont les caractéristiques sont les suivantes (Mini-circuits, 2008a) :

- Fréquence LO/RF: entre 2 et 6 GHz.
- Fréquence IF: DC jusqu'à 1 GHz.
- Conversion loss: 6.9 dB à 30 MHz IF.
- Puissance LO: 0 dBm typ.
- Isolation IF-RF: 16 dB entre 2 et 3.5 GHz, 8 dB entre 3.5 et 6 GHz.
- Isolation LO-IF: 35 dB sur toute la plage.
- IP3 dans la bande centrale: 20 dB entre 2 et 3.5 GHz, 19 dB entre 3.5 et 6 GHz.

Un filtre passe-bas doit assurer une haute atténuation des composantes indésirables (bruits, composantes images, les harmoniques, etc.) en gardant que la composante autour de la fréquence IF désirée (*lower sideband*). Sa fréquence de coupure dépend de la fréquence IF désirée. En fait, nous avons besoin de 20 MHz à la sortie du mélangeur. Ainsi, notre filtre doit avoir une fréquence de coupure supérieure à 20 MHz et une haute atténuation dans sa bande de coupure. Pour ceci, nous avons choisi le RLP-30+ de chez Mini-Circuits possédant les caractéristiques suivantes (Mini-circuits, 2008b) :

- Bande passante: de DC à 30 MHz avec une atténuation inférieure à 2dB.
- Fréquence de coupure à 3 dB: 37 MHz.
- Atténuation dans la bande de réjection: >20 dB entre 47 et 53 MHz, >40 dB entre 53 et 3000 MHz.
- VSWR: 1.15 dans la bande passante, et 20 dans la bande de réjection.

Le signal filtré obtenu à la fréquence IF sera injecté à l'entrée d'un contrôleur automatique de gain afin d'adapter son niveau de puissance par rapport à la plage dynamique du CAN.

### 3.4.7 Le contrôleur automatique de gain

L'amplitude du signal reçu à l'entrée du CAN peut varier au cours du temps. En conséquence, elle peut se situer en dehors de sa plage dynamique. Pour ceci, le contrôleur automatique de gain ou en anglais AGC (*Automatic Gain Control*) placé en amont du CAN

permettra de garder une sorte de linéarité sur le système en comparant le signal détecté à son entrée par rapport à une référence interne et en agissant en conséquence par une boucle de retour sur un amplificateur à gain variable (VGA) par réduction ou augmentation du gain correspondant.

Dans notre cas, nous avons essayé de trouver un composant permettant de minimiser les ressources nécessaires en termes de circuits utilisés et de faciliter, en conséquence, la conception de l'AGC. Pour ceci, nous avons choisi l'AD8368 de Analog devices. Ce composant est un VGA intégrant un détecteur AGC interne et fonctionnant sur une large bande de fréquence (jusqu'à 800 MHz). Ces caractéristiques sont les suivantes (Analog-Devices, 2008b) :

- Plage du gain variable : -12 dB jusqu'à +22 dB.
- Échelle linéaire en dB : 37.5 dB/V.

Ce circuit contient un détecteur rms (*root mean square*) qui lui permet de fonctionner comme un AGC en calculant la différence des carrées entre le « rms » du signal à l'entrée et une référence interne égale à 63 mV rms. Il agit en conséquence par une boucle de retour sur le VGA. Un diviseur de tension externe s'avère utile afin de permettre de modifier la valeur de la référence (63 mV par défaut). Pour ceci, nous avons eu recours à un potentiomètre variable programmable qui nous permettra de sélectionner la valeur de la référence désirée par rapport à notre plage dynamique.

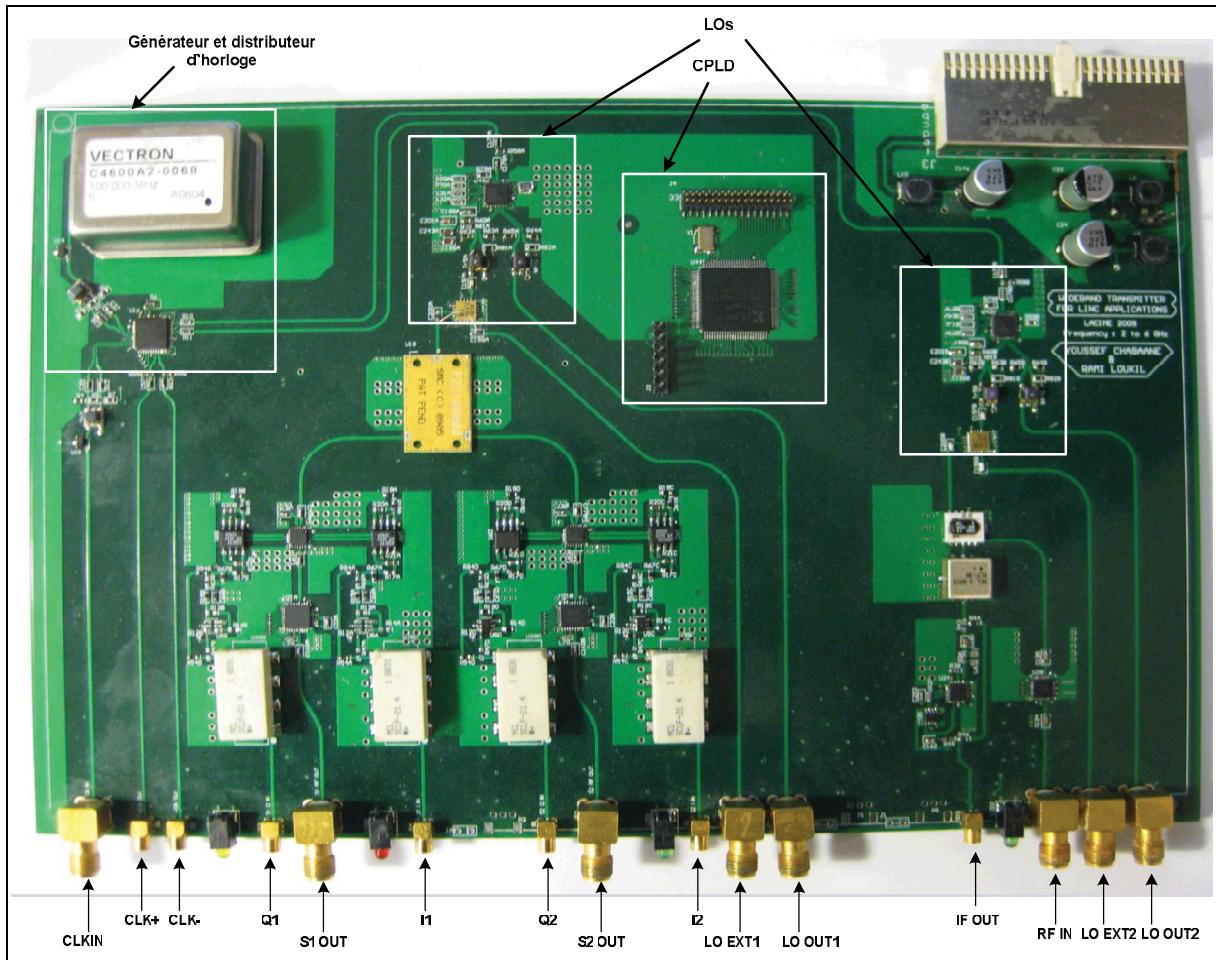
### 3.5 Tests et résultats de la carte RF

Une fois que le choix et la sélection des composants adéquats étaient faits, nous avons utilisé Altium Designer pour concevoir le PCB de la carte (*Voir Annexe VI*). Cette dernière est conçue sur 4 couches afin de permettre de placer et router tous les composants. La première couche (*Top Level*) est destinée pour les blocs de base et les différentes lignes et connections RF. La dernière couche (*Bottom Level*) est destinée pour les circuits d'alimentation des différents blocs (les régulateurs et les capacités de découplage) afin de faciliter la gestion des

différentes alimentations des circuits. La première couche intermédiaire est une couche de masse pour faciliter les connexions entre les différents points de masse de la carte. Et enfin, la deuxième couche intermédiaire est destinée pour router les signaux numériques de la programmation et commande des différents circuits. En effet, nous avons incorporé sur la carte un CPLD permettant, à l'aide d'un programme écrit en langage de description matérielle VHDL, de programmer les différents circuits de la carte (le distributeur d'horloge, les PLLs, les interrupteurs, les VGAs et l'AGC). Le CPLD utilisé est le XC2C256 CoolRunner-II de Xilinx.

La photographie de la carte RF réalisée est présentée dans la figure 3.7. Elle est conçue d'une manière à permettre une compatibilité au port PCI de la plateforme numérique pour faciliter son intégration et son interfaçage. Pour ceci, un port PCI est incorporé afin de permettre l'alimentation électrique des différents circuits sur la carte (+12V, -12V et +5V). Les différents connecteurs d'entrées/sorties et de contrôle sont incorporés du même côté sur la carte pour permettre l'interfaçage externe. Les fonctionnalités de ces connecteurs sont :

- $I_1$ ,  $Q_1$ ,  $I_2$  et  $Q_2$  : 4 entrées pour l'acquisition des signaux en bande de base à partir des CNAs de la carte FPGA.
- $S_1$  et  $S_2$  : les deux sorties des signaux à enveloppe constante à la fréquence RF.
- CLK- et CLK+ : sorties différentielles de l'horloge à 100 MHz.
- CLKIN : une entrée pour l'acquisition d'une horloge externe au lieu de celle de la carte.
- LO EXT : deux entrées permettant l'acquisition des LOs externes au lieu de ceux de la carte.
- LO OUT : une sortie pour chacun des deux LOs de la carte (pour les chaînes directes et celle de retour).
- RF IN : une entrée pour l'acquisition du signal S pour la chaîne de retour de correction.
- IF OUT : sortie IF de la chaîne de retour vers le CAN de la carte FPGA.



**Figure 3.7 Photographie de la carte RF du transmetteur LINC.**

Dans la phase des tests, nous avons procédé successivement en testant chaque composant et son alimentation correspondante. L'étape de test a nécessité beaucoup de temps afin de cerner et résoudre l'ensemble des problèmes correspondants. En effet, nous avons eu, durant les tests, toutes sortes de problèmes. D'une part, d'aspect électronique lié aux alimentations, à la soudure, ou au mauvais fonctionnement d'un composant. Et d'autre part, d'aspect RF lié au routage des lignes RF ou à une mauvaise adaptation des impédances. Nous présenterons par la suite quelques tests effectués et les problèmes rencontrés lors de la mise en œuvre de la carte RF du transmetteur.

### 3.5.1 Le CPLD

Dans un premier temps, nous avons commencé par le test du bloc CPLD indispensable pour la programmation des différents circuits de la carte. Nous l'avons connecté alors par l'intermédiaire du connecteur JTAG installé sur la carte au port parallèle du PC. Par un programme écrit en VHDL, nous avons réussi à le programmer en utilisant l'environnement ISE de Xilinx. Pour tester son bon fonctionnement, nous avons utilisé les diodes LED incorporées sur la carte. Ces diodes sont utilisées pour valider le bon fonctionnement des différents circuits. Nous avons réussi alors par un simple programme VHDL à allumer et éteindre les diodes LED, ce qui nous a assuré le bon fonctionnement de ce bloc.

### 3.5.2 Le générateur et distributeur d'horloge

Le composant responsable de fournir l'horloge nécessaire au fonctionnement des circuits PLLs est le générateur d'horloge (OCXO). Alors, pour valider son bon fonctionnement, nous avons commencé à programmer son distributeur d'horloge par l'intermédiaire du CPLD afin de distribuer l'horloge fournie à 100 MHz aux deux LOs de la carte ainsi qu'aux deux sorties différentielles CLK- et CLK+. Ce même circuit peut aussi nous permettre de choisir entre l'horloge fournie par l'OCXO de la carte ou une autre externe fournie sur l'entrée CLKIN. Nous avons pu alors valider son bon fonctionnement en observant les sorties générées sur CLK- et CLK+.

### 3.5.3 Les oscillateurs locaux (LO)

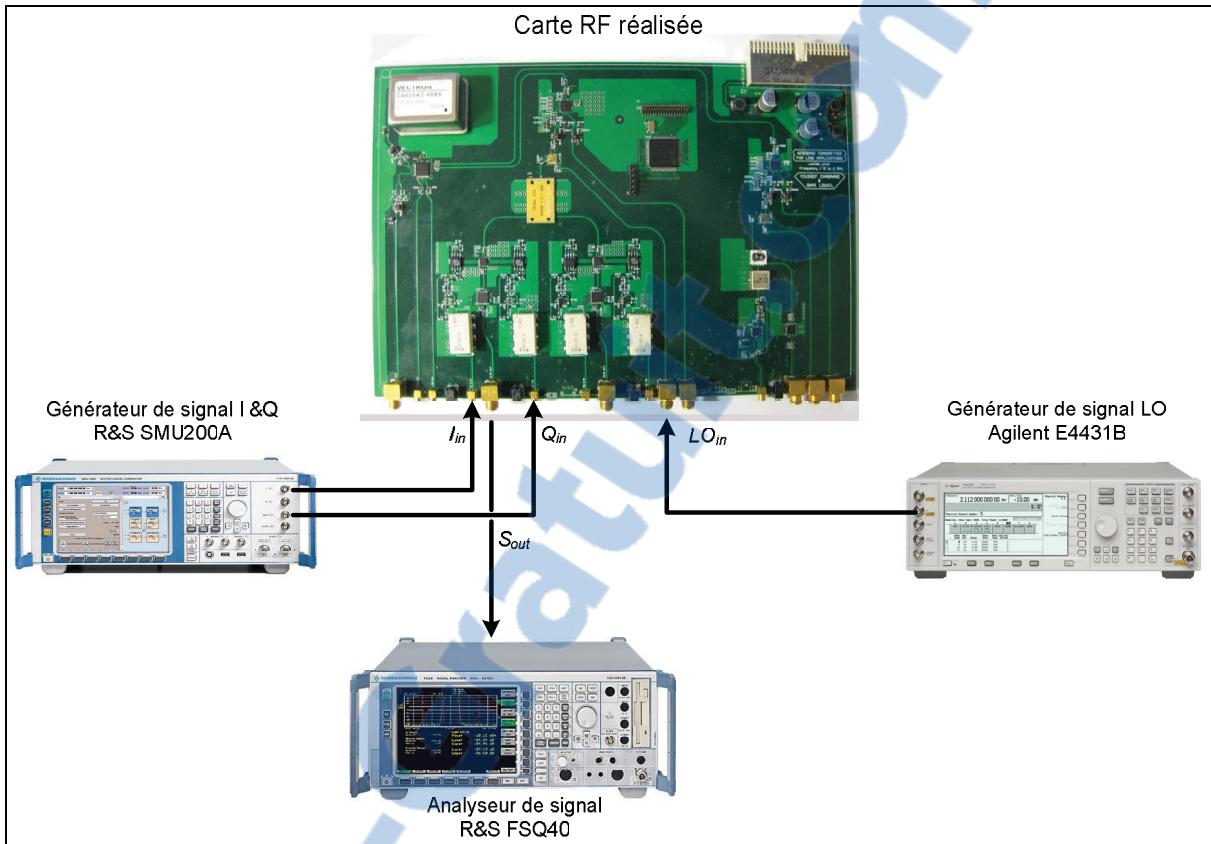
Les circuits ADF4350 sont les responsables de la génération de la fréquence LO pour le fonctionnement des modulateurs sur la carte. Ces composants sont les plus compliqués à programmer à cause de nombre des registres internes qui se présentent (6 registres à 32 bits). Nous avons réussi à mettre en place le programme sur le CPLD permettant d'opérer le circuit à une fréquence donnée en recourant à l'outil ADISimPLL qui nous permet de calculer les différents paramètres à programmer sur une fréquence donnée. Le bon fonctionnement de

notre programme a été validé par l'intermédiaire d'un analyseur logique en observant les différents mots binaires envoyés à l'entrée du circuit ADF4350. Ainsi, nous avons connecté un analyseur de spectre à la sortie du LO disponible sur la carte afin d'observer le spectre autour de la fréquence choisie. Malheureusement, nous n'avons pas obtenu le signal désiré à la sortie. En effet, nous avons obtenu une composante atténuée en puissance décalée de la fréquence d'intérêt, ainsi que plusieurs autres harmoniques y compris celles de l'horloge de référence. En plus, les deux LOs de la carte (de la chaîne directe et du retour) ne se comportent pas de la même manière, ce qui nous a compliqué plus la tâche de validation de ces composants.

Les tests et validations de ces composants ont nécessité beaucoup de temps d'investigation. Alors, nous avons pensé à utiliser un LO externe afin de tester le reste de nos circuits sur la carte, et dans un premier temps, ceux des deux chaînes directes de notre transmetteur.

### 3.5.4 Les modulateurs I/Q

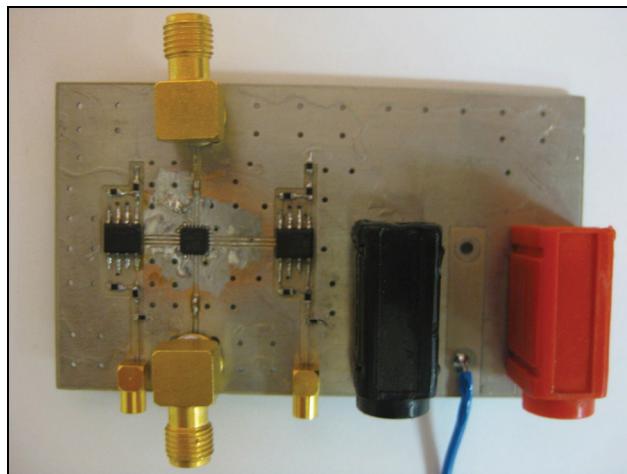
Afin de valider le fonctionnement des deux chaînes directes, nous avons utilisé un générateur de signal "Vector signal generator" de Agilent permettant de fournir un signal autour de 2 GHz sur l'entrée de LO externe de la carte. Pour ceci, le commutateur utilisé pour choisir entre le LO interne et le LO externe est programmé sur la position LO externe afin d'isoler le LO interne de la carte et permettre le passage du signal externe vers le diviseur de puissance. Ce dernier divisera le signal LO vers les deux modulateurs ADL5375 des deux chaînes. Pour les signaux I et Q en bande de base, nous avons utilisé un générateur de signaux de Rohde & schwarz permettant de générer deux signaux I et Q en bande base tout en choisissant le taux de symbole désiré ainsi que le type de modulation et le filtrage correspondant. La figure 3.8 présente un aperçu sur la plateforme de test des deux chaines directes. Les deux signaux sont fournis sur les deux entrées I et Q de chaque branche en question.



**Figure 3.8 Plateforme de test des chaines directes de la carte de la carte RF.**

Nous avons pu, dans un premier temps, valider le bon fonctionnement du diviseur de puissance. En effet, les signaux obtenus à ses sorties sont atténués de 3 dB par rapport à la puissance du signal d'entrée. À l'aide d'un oscilloscope, nous avons pu observer les formes d'onde aux entrées I et Q différentielles des circuits ADL5375 autour de la tension de polarisation fournie (500 mV). Pour visualiser les sorties des deux modulateurs, nous avons dû programmer les circuits VGA dans les deux branches sur un niveau d'atténuation et nous avons branché sur les sorties l'analyseur de spectre pour analyser les signaux de sortie autour de la fréquence 2 GHz. Les signaux obtenus étaient très atténués en puissance de l'ordre de -40 ou -50 dB avec la présence du signal LO au milieu de la bande et ils étaient aléatoires sur les deux chaînes.

Malgré le bon temps d'investigation consacré pour cette étape, nous n'avons pas vraiment pu mettre la main sur les problèmes afin de trouver, en conséquence, les solutions requises. En effet, les problèmes observés étaient très aléatoires, ainsi que les signaux obtenus aux sorties étaient très sensibles aux perturbations environnementales autour de la carte. Pour investiguer d'avantage, un circuit dédié a été fabriqué afin d'isoler le circuit modulateur et valider à part son fonctionnement. Une photographie de ce circuit est présentée dans la figure 3.9. Le même banc de test était utilisé, nous avons observé la même forme du signal à la sortie. Nous avons pu conclure alors sur les problématiques liées au circuit modulateur de notre carte. En effet, la conception de ce dernier était assez compliquée due à la nécessité des signaux I et Q sous forme différentielle à ses entrées et à une tension de polarisation (500 mV). Ceci a requis l'utilisation de circuits externes, ce qui a rendu la validation du bon fonctionnement de l'ensemble une tâche assez difficile.



**Figure 3.9 Circuit modulateur réalisé.**

### **3.5.5 Recommendations**

L'étape de test de la carte RF a nécessité beaucoup d'effort dans le but de trouver et cerner l'ensemble des problèmes et les corriger. Malheureusement, nous n'avons pas pu vraiment trouver les solutions nécessaires à cause de la complexité du circuit électronique et du manque des ressources matérielles pour la soudure des circuits intégrés miniature de type

QFP (*Quad Flat Package*). On était donc dans l'impossibilité d'assurer le bon fonctionnement de ces derniers. En effet, nous n'avons pas détecté des problèmes liés à la conception ou au mauvais choix des composants. Les problèmes observés sont très aléatoires liés essentiellement à l'aspect électronique (alimentation, soudure, etc.) et à l'aspect RF (désadaptation des impédances, perturbations électromagnétiques, etc.). Notant aussi, le fort réchauffement des circuits intégrés sur la carte qui peut aussi nuire à son bon fonctionnement. Nous avons dégagé, par conséquent, un ensemble de recommandations qui peuvent être mises en œuvre lors d'une deuxième itération de conception. Ces recommandations se résument dans les points suivants :

- Concevoir les blocs, dans un premier temps, dans un aspect modulaire en testant et validant chaque bloc à part. Ceci va nous faciliter la tâche des tests en s'assurant que chacun des blocs fonctionne correctement avant la mise en cascade de l'ensemble.
- Concevoir les lignes RF en technologie coplanaire au lieu de la technologie micro-ruban (*microstrip*). En effet, les lignes coplanaires présentent moins de dispersions sur les signaux (P-NDesigns.Inc., 2006).
- S'assurer de la bonne adaptation d'impédance entre les différents blocs et lignes de transmission et ajouter des circuits supplémentaires pour l'adaptation.
- Intégrer des points de tests sur la carte entre les différents blocs. En effet, les points de tests sont indispensables dans un tel circuit complexe et vont permettre de faciliter la tâche de détection des problèmes pour les différents circuits électroniques.
- Trouver des nouveaux procédés pour assurer une bonne soudure et un bon fonctionnement des circuits intégrés de type QFP. En effet, ces circuits miniatures sont de type "*surface mount*" et présentent souvent des pattes au dessous du circuit qui sont très dures à souder avec les procédés classiques.

### **3.6 Conclusion**

La partie RF front-end de notre transmetteur a été conçue sur une carte électronique à quatre couches. Elle utilise l'architecture à conversion directe qui permet de minimiser les coûts et de répondre au mieux aux spécifications du système. Une sélection appropriée des composants a été effectuée afin de respecter ces spécifications, et surtout de trouver les composants adéquats permettant de couvrir toute la bande de fréquence (entre 2 et 4 GHz). L'étape de tests et validation de la carte conçue n'a pas vraiment abouti à cause de la complexité de l'application. Des recommandations ont été alors proposées afin de remédier aux problèmes trouvés lors d'une deuxième itération de conception.

## CONCLUSION

Au cours de ce travail, nous avons pu développer une plateforme matérielle permettant d'implémenter la technique de décomposition des signaux pour les architectures des amplificateurs à deux branches de type LINC. Pour ceci, nous avons commencé par une revue de littérature sur les techniques d'amplification et une étude sur la théorie de la technique LINC faisant l'objet de ce travail. Notre travail a été divisé alors en deux parties.

La première section concerne la partie numérique du transmetteur implémentée sur une carte à base d'un FPGA Virtex-4. Cette partie s'intéresse à la génération du signal de base modulé en amplitude et en phase et à sa décomposition en deux signaux à enveloppe constante par l'intermédiaire du SCS. L'implémentation de ce dernier a été réalisée par la méthode LUT à une seule dimension permettant de minimiser les ressources requises. Par la suite, des blocs modulateurs I/Q numériques ont été implémentés afin de passer à la fréquence IF de l'ordre de 30 MHz. Les signaux à enveloppe constante S1 et S2 obtenus ont été validés par simulation et par différents tests expérimentaux.

La deuxième section, présentée dans le deuxième chapitre, s'est intéressée à la partie RF de notre transmetteur dont le rôle est de convertir les deux signaux numériques S1 et S2 à une fréquence RF entre 2 et 6 GHz pour permettre de couvrir une large bande de fréquence. Pour ceci, nous avons étudié deux types d'architectures. La première architecture est à conversion directe, où les signaux sont convertis directement de leur bande de base vers la fréquence RF. La deuxième architecture est super hétérodyne permet de passer par la fréquence IF en numérique. Chacune de ces deux architectures présente ses avantages et ses inconvénients. Notre choix est porté alors sur celle à conversion directe qui permet de répondre au mieux aux spécifications de notre système, soit de couvrir une large bande de fréquence et de minimiser les coûts associés. Cette partie a été conçue alors sur une carte électronique à quatre couches en passant par une sélection appropriée des composants, une conception sur l'outil Altium Design permettant de générer le PCB correspondant, et des tests et validations de l'ensemble. Cette dernière étape n'a pas vraiment abouti aux résultats souhaités malgré les

efforts investis à cause de la complexité de l'application. En effet, des problèmes ont été rencontrés qui peuvent être de nature électronique (mauvaise soudure, mauvais circuit...) ou de nature RF (désadaptation des impédances...). Suite à ça, plusieurs recommandations ont été proposées afin de remédier aux problèmes dans une deuxième itération de conception.

La mise en œuvre d'une plateforme permettant de générer différents signaux MQAM, de les filtrer, de les décomposer selon le concept LINC et de les moduler autour d'une fréquence RF allant de 2 à 6 GHz est un travail complexe à cause de la coexistence d'une partie numérique et d'une partie analogique à très large bande qui rendait la tâche très difficile. Nous avons réussi à faire fonctionner correctement la partie numérique de la plateforme et la valider à travers différents tests. Nous avons eu moins de succès avec la partie RF. Cependant, cette première version de la plateforme peut être améliorée au fur et à mesure pour répondre au mieux aux besoins des applications pour les techniques d'amplification à deux branches.

## RECOMMANDATIONS

Plusieurs recommandations peuvent être proposées à la suite de ce travail. En effet, la première version développée au cours de ce projet peut être largement améliorée pour aboutir à une plateforme plus interactive qui répond au mieux aux besoins. Les recommandations concernent les deux parties numérique et analogique. Pour la partie numérique, on peut penser à inclure d'autres types de modulation plus complexe (CDMA, OFDM, etc.) afin de couvrir une plus large gamme des standards de communication. Concernant la partie décomposition du signal, nous avons implémenté seulement le concept de base de la technique reposant sur le principe LINC. On peut alors envisager de développer d'autres algorithmes de décomposition notamment le concept MILC (*Modified Implementation of the Linc Concept*) (Poitau et Kouki, 2006) qu'on peut intégrer facilement dans notre plateforme. Dans un stade plus avancé, le développement d'une interface graphique permettant de faciliter les tâches et de rendre le système plus interactif est recommandé. Cette interface devrait communiquer avec la carte FPGA via le port PCI et permettre de contrôler plusieurs paramètres du transmetteur par exemple le taux de symboles (ou le débit binaire), le type de modulation, le coefficient du filtrage, le type de décomposition (LINC ou MILC) et les paramètres associés, etc.

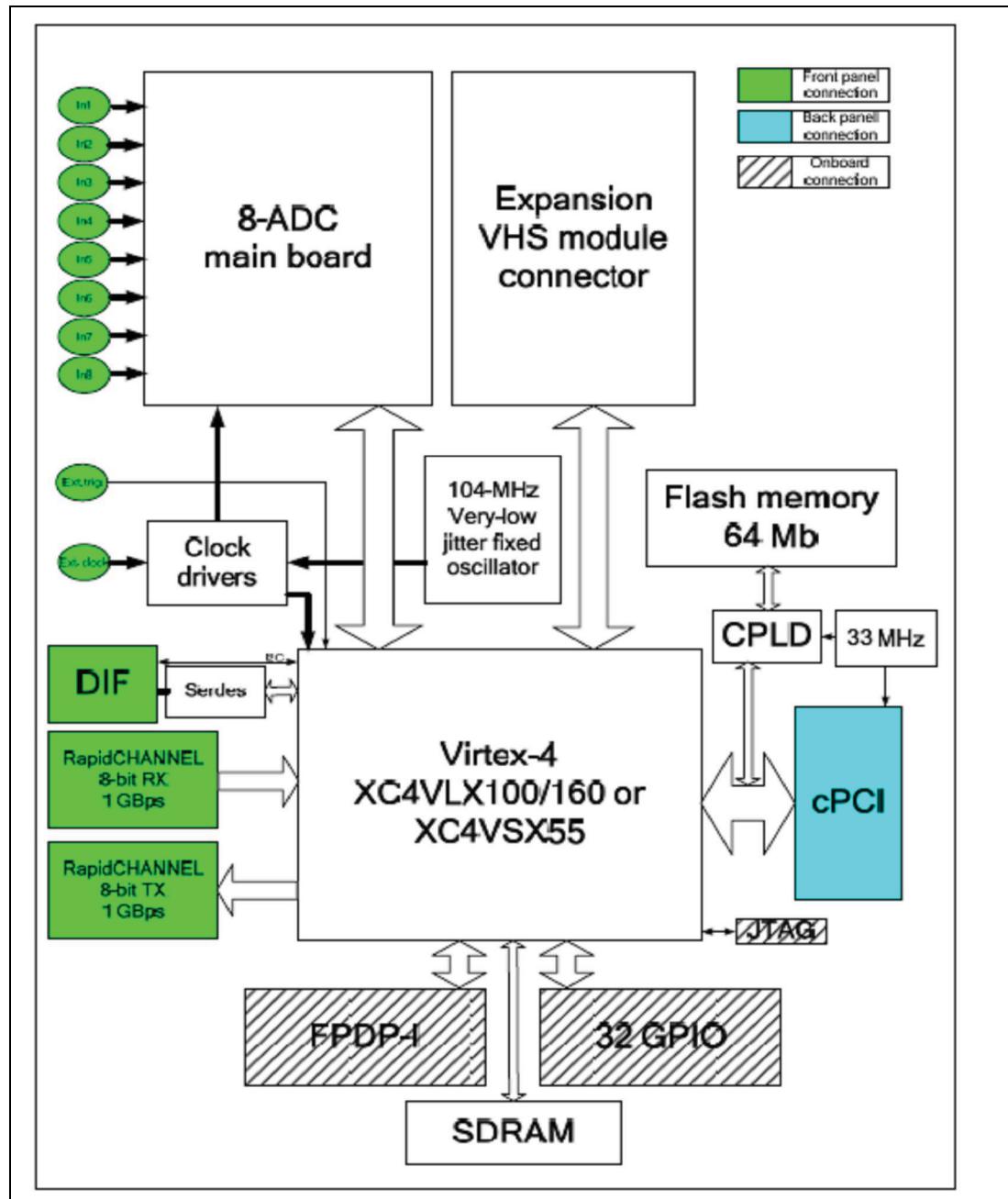
Le deuxième volet des améliorations concerne la partie analogique. En effet, cette partie a rencontré beaucoup de problèmes qu'on ne pouvait pas corriger malgré le temps de travail consacré. En plus des recommandations proposées à la fin du chapitre 3, d'autres améliorations peuvent être apportées au niveau de l'interaction avec la section numérique et dans un stade plus avancé avec l'interface de contrôle. En effet, le choix de la fréquence RF et le gain ou l'atténuation désirée peuvent être contrôlés par une interface graphique en passant par le FPGA et le CPLD.

Le troisième volet des recommandations concerne la boucle de retour de correction. En effet, on s'est limité dans notre travail à la conception de la section analogique de cette boucle. Il est donc important d'implémenter une unité numérique pour la correction. Le signal reçu

donc à l'entrée du CAN sera démodulé suite à l'opération de la conversion en numérique, l'erreur sera calculée et la correction sera établie en conséquence (correction sur l'amplitude et/ou la phase) sur l'une des deux branches. La figure 1.16 présentée dans le premier chapitre montre ce principe.

En conclusion, plusieurs améliorations peuvent être apportées afin d'arriver à mettre en place une plateforme stable qui répond au mieux à l'ensemble des besoins de l'utilisateur. Le test et la validation sur des amplificateurs de puissance sont une étape primordiale qui permettra d'observer l'impact du système en temps réel et sa contribution par rapport aux plateformes existantes utilisant deux générateurs des signaux synchronisés par une circuiterie externe.

**ANNEXE I**  
**ARCHITECTURE DE LA CARTE FPGA DE LYRTECH**



**Figure-A I-1 Architecture de la carte FPGA Lyrtech.**  
Tirée de Lyrtech (2007, p. 3)

## ANNEXE II

### LE FICHIER DES COEFFICIENTS DU FILTRE FIR

<pre>Radix = 10; Coefficient_Width = 16; CoefData =</pre>	<pre> 0.000030851220062, 0.000016147423816, -0.000004186656738, -0.000025831349655, -0.000043499850729, -0.000051894733217, -0.000047012023099, -0.000027583771258, 0.000003751478861, 0.000040076659541, 0.000071082051090, 0.000085375225569, 0.000073904632017, 0.000033661488783, -0.000029553630545, -0.00010553090574, -0.000157216092257, -0.000175984171230, -0.000139346397020, -0.000043294399857, 0.000097781008241, 0.000251041234818, 0.000371211902090, 0.000412129591153, 0.000341337695008, 0.000153671582702, -0.000120811184597, -0.000418393982985, -0.000654372838876, -0.000745237558526, -0.000635384194650, -0.000320875622536, 0.000137903116232, 0.000621112439624, 0.000974190521706, 0.001049167935790, 0.000753515419589, 0.000093266744392, -0.000803949902396, -0.001697442235976, -0.002278213211885,</pre>	<pre> -0.002245140171063, -0.001397808825986, 0.000276510736488, 0.002547290472353, 0.004938816452868, 0.006794354198810, 0.007404099971295, 0.006177946451945, 0.002829478209294, -0.002470989566274, -0.009016157839064, -0.015585707064437, -0.020586725937171, -0.022298403679894, -0.019184196109291, -0.010215600138488, 0.004857033783923, 0.025346702106370, 0.049627228297622, 0.075300205777581, 0.099512659904539, 0.119375740179559, 0.132412491451791, 0.136954230082163, 0.132412491451791, 0.119375740179559, 0.099512659904539, 0.075300205777581, 0.049627228297622, 0.025346702106370, 0.004857033783923, -0.010215600138488, -0.019184196109291, -0.022298403679894, -0.020586725937171, -0.015585707064437, -0.009016157839064, -0.002470989566274, 0.002829478209294, 0.006177946451945, 0.007404099971295, 0.006794354198810, 0.004938816452868, 0.002547290472353, 0.000276510736488,</pre>
---	--	--

### ANNEXE III

#### TABLE DE CORRESPONDANCE (LUT) DU SCS

La LUT conçu pour l'implémentation du bloc SCS est adressée par les valeurs de puissance du signal d'entrée et contient les valeurs de la fonction  $\sqrt{\frac{r_{\max}^2}{I^2+Q^2}-1}$ , avec  $r_{\max}^2$  est le maximum de la puissance  $I^2+Q^2$ . Ces valeurs sont calculées à l'aide d'un petit programme MATLAB afin de générer toutes les valeurs possibles et les sauvegarder dans la structure ROM. L'adresse est quantifiée en format [12 10], tandis que les valeurs en format [18 12]. Des échantillons des valeurs sauvegardées sous format binaire sont présentés dans le tableau-A III-1.

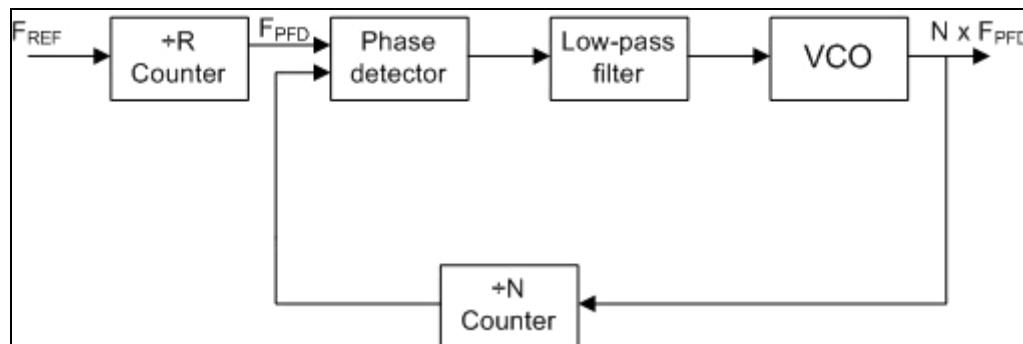
Tableau-A III-1 Aperçu de la LUT du SCS

Adresse	valeur
0	11111111111111111111
1	111111111101111111
2	101101001111001111
3	100100111011101010
4	011111111101011111
5	011100100110011100
6	011010000110110000
7	011000001010101000
8	010110100110100100
9	010101010011101010
10	010100001101100001
11	010011010001001011
.	.
.	.
.	.
4084	00000000011010100
4085	00000000011001010
4086	00000000011000000
4087	000000000010110101
4088	000000000010101001
4089	000000000010011100
4090	000000000010001111
4091	000000000010000000
4092	000000000001101110
4093	000000000001011010
4094	000000000001000000
4095	00000000000000000000

## ANNEXE IV

### BOUCLE DE VERROUILLAGE DE PHASE

Le synthétiseur de fréquence permet de générer une fréquence variable à la sortie dans une plage définie à partir d'une seule fréquence de référence. Il se base sur une boucle à verrouillage de phase, où un détecteur de phase ou de fréquence compare par une boucle de retour la fréquence de sortie par rapport à une version divisée de la fréquence de référence. Le courant de sortie du comparateur sera filtré et intégré pour générer une tension de commande pour un oscillateur contrôlé en tension VCO (*Voltage-Controlled oscillator*). Ce dernier balaye la fréquence de sortie afin de tendre la fréquence de sortie du comparateur vers la valeur nulle. Le principe est illustré dans la figure-A IV-1.



**Figure-A IV-1** Diagramme bloc d'une boucle à verrouillage de phase.

Le compteur R à l'entrée est utilisé afin de diminuer la fréquence de référence ( $F_{PFD} = \frac{F_{REF}}{R}$ ),

tandis que celui de la boucle N est utilisé afin de diminuer la fréquence de sortie pour la comparaison avec la référence. A l'équilibre les deux fréquences sont égales et la fréquence de sortie égale à  $N \cdot F_{PFD}$ . N peut être un entier ou un fractionnaire (integer-N PLL et fractionnal-N PLL). Le synthétiseur à N fractionnaire permet une plus grande précision sur la résolution de la fréquence de sortie (Fox, 2002).

Les trois paramètres à considérer lors de la conception d'un synthétiseur de fréquence sont: le bruit de phase (*Phase noise*), les éperons de référence (*Reference spurs*), et le délai de verrouillage (*Lock time*).

- Le bruit de phase: C'est les fluctuations sur la phase du signal. Pour une puissance et fréquence données, le bruit de phase est le rapport entre la puissance de la porteuse et la puissance mesurée dans une largeur de bande de 1 Hz à une fréquence de décalage. Il est exprimé en dBc/Hz. Ce bruit doit être maintenir minimale dans un transmetteur pour minimiser les erreurs sur la phase. C'est pourquoi le bruit de phase représente la spécification la plus cruciale dans une boucle à verrouillage de phase.

- Les éperons de référence: Ils sont générés à des fréquences de décalage à cause des compteurs internes et le pompe de charge qui opèrent à la fréquence PFD. Ils doivent être limités pour minimiser les interférences.
- Le temps de verrouillage: C'est le temps mis par la boucle pour sauter d'une fréquence vers une autre. Ce temps est minimisé par l'augmentation de la fréquence PDF, ce qui nécessite un large bande de filtrage sur le filtre de boucle et une augmentation en conséquence du bruit de phase. Il existe un compromis donc à satisfaire entre le temps de verrouillage et le bruit de phase désiré.

Ainsi, lors de la conception d'une boucle à verrouillage de phase, trois éléments à considérer en plus de la plage de fréquence désirée à la sortie, ces éléments sont:

1. La fréquence de référence qui doit assurer une bonne qualité avec un minimum de bruit de phase pour minimiser le bruit sur le signal de sortie. On utilise souvent un cristal pour générer cette fréquence (TCXO, OCXO...).
2. L'oscillateur contrôlé en tension (VCO) qui convertit la tension de contrôle à une fréquence. Il est caractérisé par la sensibilité  $K_v$  exprimé en Hz/V.
3. Le filtre de boucle (Loop filter) qui sert à filtrer le bruit du VCO. Plusieurs types de filtre peuvent être utilisés. Le plus utilisé est l'intégrateur de troisième ordre présenté dans la figure ci-contre. Il est caractérisé par sa largeur de bande qui varie en fonction de la sensibilité  $K_v$  du VCO. Cette largeur doit être choisie de manière à satisfaire un compromis entre le bruit de phase et le temps de verrouillage. En effet, En augmentant la largeur de bande, on diminue le temps de verrouillage. Cependant, une très large bande augmente les produits des éperons (spurious products) et le bruit de phase correspondant et peut causer une instabilité (Fox, 2002).

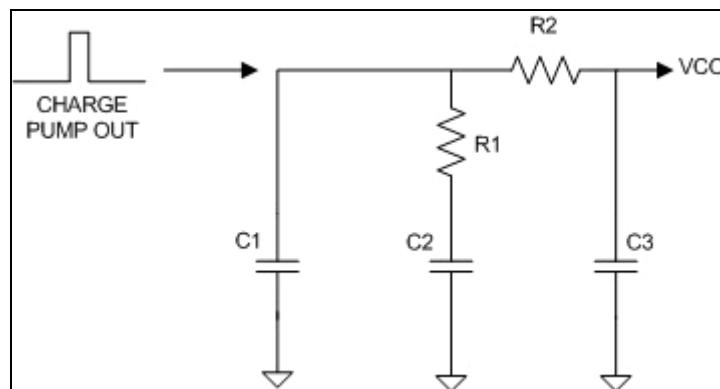


Figure-A IV-2 Filtre passe-bas de troisième ordre.

## ANNEXE V

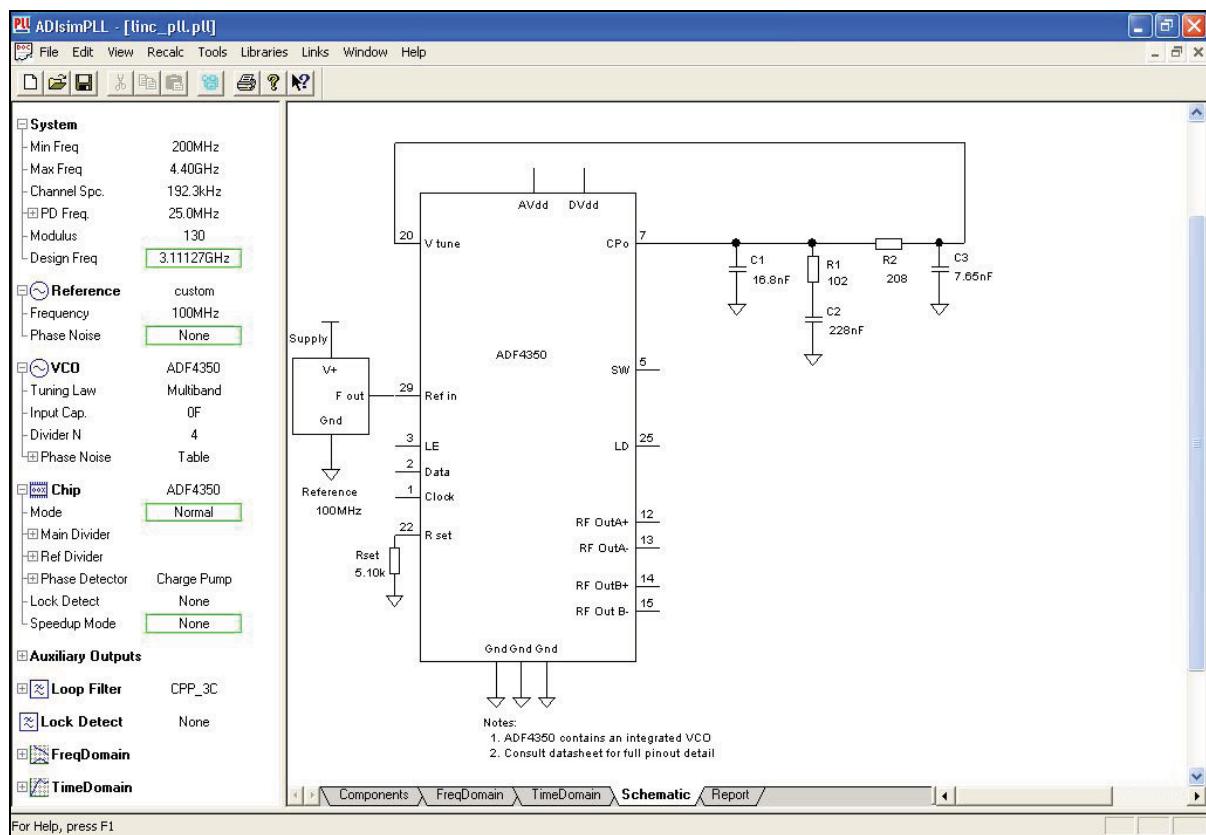
### ADISIMPLL

L'outil ADISimPLL de Analog Devices permet de concevoir notre PLL en choisissant le circuit correspondant (ADF4350), le filtre, les différentes fréquences et d'autres paramètres. Il permet ainsi de fournir à l'utilisateur une idée générale sur l'ensemble (les composants, les réponses temporelles et fréquentielles) et surtout les composants et les valeurs pour la conception du filtre. Un aperçu de l'interface de l'outil est présentée à la figure-A V-1.

Dans notre cas, les paramètres choisis lors de la conception sont :

- La référence du circuit à utiliser (ADF4350).
- La fréquence de référence: 100 MHz à fournir par l'OCXO et le distributeur d'horloge.
- La fréquence à l'entrée du détecteur de phase/de fréquence (PFD): 25 MHz (avec un maximum de 32 MHz pour le circuit ADF4350).
- Le type de la boucle désirée (integer-N PLL ou fractional-N PLL): fractional-N PLL pour notre cas qui va nous permettre une meilleure précision sur le balayage de la fréquence de sortie.
- Le type de filtre à utiliser (Actif ou passif) ainsi que son ordre: Nous avons choisi un filtre passif standard de 3<sup>ème</sup> ordre (voir annexe IV). Ce type de filtre est le plus utilisé dans les applications PLL.

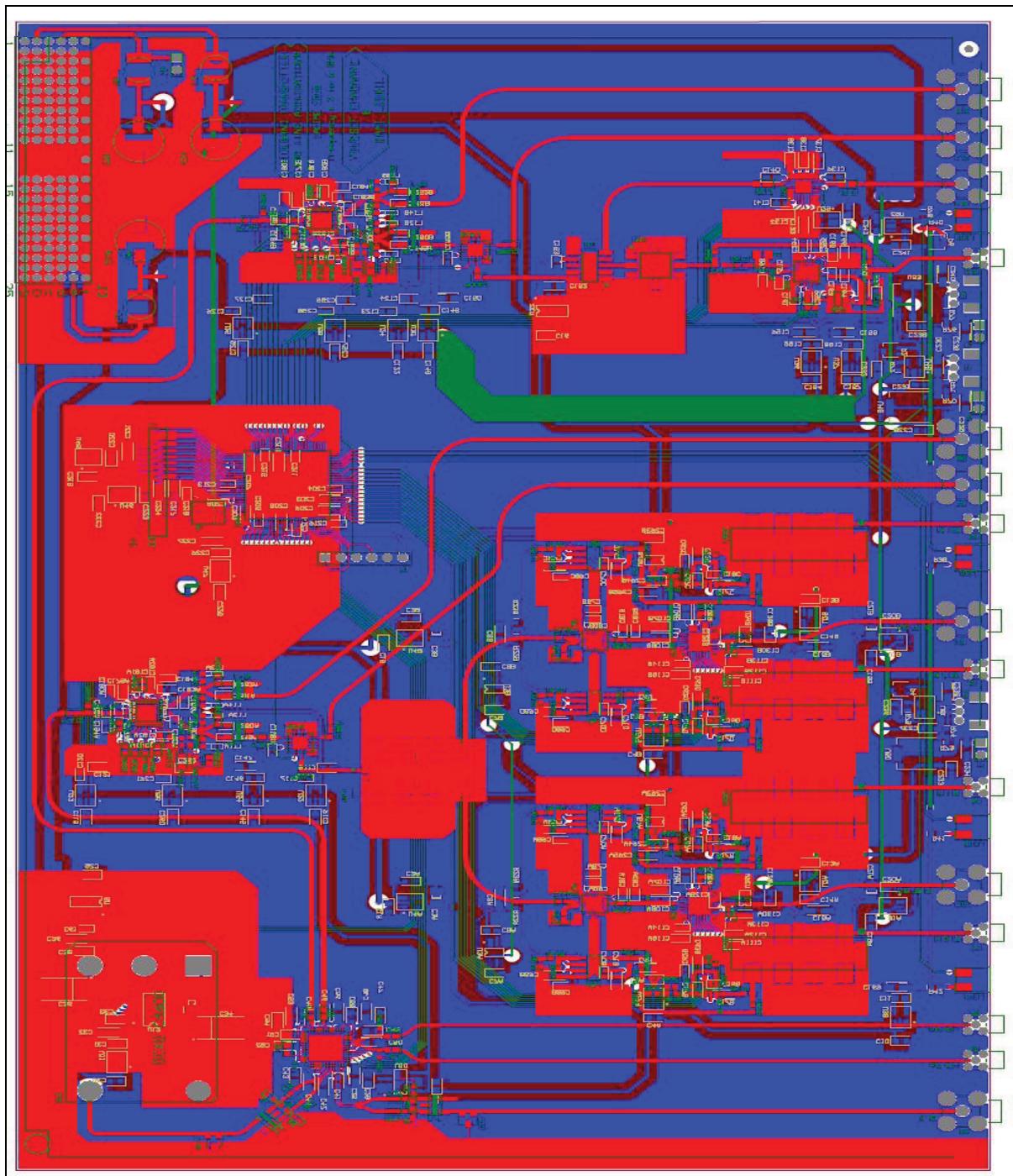
Ainsi, en fonction des paramètres saisis, l'outil ADISimPLL permettra, de générer la structure et les différentes valeurs nécessaires pour concevoir le filtre de boucle de la PLL, de visualiser les différentes réponses temporelles et fréquentielles (ex: le bruit de phase...), et de nous fournir les différents paramètres nécessaires pour la programmation du circuit selon la valeur de la fréquence désirée à la sortie.



**Figure-A V-1**      **Interface de ADISimPLL.**

## ANNEXE VI

### PCB DE LA CARTE RF FRONT-END DU TRANSMETTEUR LINC



## BIBLIOGRAPHIE

- Ampem-Darko, S., et H. S. Al-Raweshidy. 1998. « Gain/phase imbalance cancellation technique in LINC transmitters ». *Electronics Letters*, vol. 34, n° 22, p. 2093-2094.
- Analog-Devices. 2008a. « 400 MHz to 6 GHz Broadband Quadrature Modulator ». En ligne. <[http://www.analog.com/static/imported-files/data\\_sheets/ADL5375.pdf](http://www.analog.com/static/imported-files/data_sheets/ADL5375.pdf)>. Consulté le 5 avril 2009.
- Analog-Devices. 2008b. « 800 MHz, Linear-in-dB VGA with AGC Detector ». En ligne. <[http://www.analog.com/static/imported-files/data\\_sheets/AD8368.pdf](http://www.analog.com/static/imported-files/data_sheets/AD8368.pdf)>. Consulté le 6 avril 2009.
- Analog-Devices. 2008c. « Wideband Synthesizer with Integrated VCO ». En ligne. <[http://www.analog.com/static/imported-files/data\\_sheets/ADF4350.pdf](http://www.analog.com/static/imported-files/data_sheets/ADF4350.pdf)>. Consulté le 5 avril 2009.
- Brandon, David, David Crook et Ken Gentile. 2009. « The Advantages of Using a Quadrature Digital Upconverter (QDUC) in Point-to-Point Microwave Transmit Systems ». En ligne. <[www.analog.com/static/imported-files/application\\_notes/AN-0996.pdf](http://www.analog.com/static/imported-files/application_notes/AN-0996.pdf)>. Consulté le 2 fevrier 2009.
- Chireix, H. 1935. « High power outphasing modulation ». *Institute of Radio Engineers Proceedings*, vol. 23, n° 11, p. 1370-1392.
- Conradi, C. P., et J. G. McRory. 2002. « Predistorted LINC transmitter ». *Electronics Letters*, vol. 38, n° 7, p. 301-302.
- Conradi, Carl Peter. 2000. « LINC transmitter linearization techniques ». M.Sc., Canada, University of Calgary (Canada), 104 p.
- Cox, D. C. 1974. « Linear amplification with nonlinear components ». *IEEE Transactions on Communications*, vol. CM-22, n° 12, p. 1942-5.
- Cripps, Steve. 2006. *RF Power amplifiers for wireless communications*, 2nd ed. Coll. « Microwave library ». London: Artech house, 456 p.
- Fox, Adrian. 2002. « PLL Synthesizers ». En ligne. <<http://www.analog.com/library/analogDialogue/archives/36-03/pll/pll.pdf>>. Consulté le 19 septembre 2009.

- Hamdane, W. 2010. « Etude et developpement d'architectures d'amplification a deux branches pour les systemes de communication sans fil ». NR64389, Canada, Ecole de Technologie Superieure (Canada), 221 p.  
[<http://proquest.umi.com/pqdweb?did=2108994251&Fmt=7&clientId=46962&RQT=309&VName=PQD>](http://proquest.umi.com/pqdweb?did=2108994251&Fmt=7&clientId=46962&RQT=309&VName=PQD)
- Hanzo, Lajos, William Webb et Thomas Keller. 2000. *Single and Multicarrier Quadrature Amplitude Modulation: principles and applications for personal communications, WLANs and broadcasting*, 2nd ed. New York: J.Wiley and Sons, 739 p.
- Helaoui, M., S. Boumaiza, A. Ghazel et F. M. Ghannouchi. 2004. « Digital compensation of branches imbalance effects in LINC transmitters ». In *16th International Conference on Microelectronics, ICM 2004, December 6, 2004 - December 8, 2004*. p. 688-691. Tunis, Tunisia: Institute of Electrical and Electronics Engineers Inc.
- Hetzell, S. A., A. Bateman et J. P. McGeehan. 1991. « A LINC transmitter ». In *41st IEEE Vehicular Technology Conference, May 19, 1991 - May 22, 1991*. p. 133-137. St. Louis, MO, USA: IEEE.
- Hittite. 2008a. « 0.5 dB LSB GaAs MMIC 6-BIT DIGITAL VARIABLE GAIN AMPLIFIER, DC - 6 GHz ». En ligne.  
[<http://www.hittite.com/content/documents/data\\_sheet/hmc625lp5.pdf>](http://www.hittite.com/content/documents/data_sheet/hmc625lp5.pdf). Consulté le 7 avril 2009.
- Hittite. 2008b. « 3 dB LSB GaAs MMIC 4-BIT DIGITAL ATTENUATOR, DC - 6 GHz ». En ligne. [<http://www.hittite.com/content/documents/data\\_sheet/hmc629lp4.pdf>](http://www.hittite.com/content/documents/data_sheet/hmc629lp4.pdf). Consulté le 7 avril 2009.
- Ifeachor, Emmanuel C., et Barrie W. Jervis. 2002. *Digital signal processing: a practical approach*, 2nd ed. Harlow, Angleterre: Prentice-Hall, 933 p.
- Jheng, Kai-Yuan, Yi-Chiuan Wang, An-Yeu Wu et Hen-Wai Tsao. 2006. « DSP engine design for LINC wireless transmitter systems ». In *ISCAS 2006: 2006 IEEE International Symposium on Circuits and Systems, May 21, 2006 - May 24, 2006*. p. 2593-2596. Kos, Greece: Institute of Electrical and Electronics Engineers Inc.
- Lacasse, David. 2009. « Emulation temps reel de signaux de navigation satellite ». Memoire de maitrise en genie, Montreal, Ecole de technologie superieure, 115 p. In *ProQuest Dissertations and Theses*. ProQuest LLC.  
[<http://proquest.umi.com/pqdweb?did=1697567891&sid=1&Fmt=2&clientId=46962&RQT=309&VName=PQD>](http://proquest.umi.com/pqdweb?did=1697567891&sid=1&Fmt=2&clientId=46962&RQT=309&VName=PQD). Consulté le 04 juillet 2010.
- Legarda, Jon. 2006. « Linearization techniques ». In *Feedforward amplifiers for wideband communication systems*. p. 75-95. Dordrecht, Netherlands: Springer.

- Lyrtech. 2007. « VHS-ADC/DAC User's Guide ». En ligne. <<http://www.lyrtech.com/>>. Consulté le 2 mars 2008.
- Mini-circuits. 2008a. « Ceramic Active Mixer Level 0 (LO Power 0 dBm) 2000 to 6000 MHz ». En ligne. <<http://www.minicircuits.com/pdfs/MACA-63H+.pdf>>. Consulté le 14 avril 2009.
- Mini-circuits. 2008b. « Metal Shield Low Pass Filter DC to 30 MHz ». En ligne. <<http://www.minicircuits.com/pdfs/RLP-30+.pdf>>. Consulté le 14 avril 2009.
- Mini-circuits. 2008c. « Surface Mount Low Pass Filter ». En ligne. <<http://www.minicircuits.com/pdfs/SCLF-21.4.pdf>>. Consulté le 3 avril 2009.
- Nguyen, Minh-Quang. 2005. « FPGA implementation of a digital communication chain ». M.Sc., Canada, Universite Laval (Canada), 111 p.
- P-NDesigns.Inc. 2006. « Coplanar waveguide ». In *Microwave Encyclopedia*. En ligne. <<http://www.microwaves101.com/encyclopedia/coplanarwaveguide.cfm>>. Consulté le 12 avril 2010.
- Poitau, Gwenael, et Ammar Kouki. 2006. « MILC: Modified implementation of the LINC concept ». In *2006 IEEE MTT-S International Microwave Symposium Digest, June 11, 2006 - June 16, 2006*. p. 1883-1886. San Francisco, CA, United states: Institute of Electrical and Electronics Engineers Inc.
- Raab, Frederick H., Peter Asbeck, Steve Cripps, Peter B. Kenington, Zoya B. Popovich, Nick Pothecary, John F. Sevic et Nathan O. Sokal. 2003. « RF and microwave power amplifier and transmitter technologies - Part 4 ». En ligne. <[http://www.hfhighfrequencyelectronics.com/Archives/Nov03/HFE1103\\_RaabPart4.pdf](http://www.hfhighfrequencyelectronics.com/Archives/Nov03/HFE1103_RaabPart4.pdf)>. Consulté le 4 decembre 2008.
- Shi, B., et L. Sundstrom. 2000. « A LINC transmitter using a new signal component separator architecture ». In *2000 IEEE 51st Vehicular Technology Conference. Proceedings. VTC2000-Springer, 15-18 May 2000*. En ligne. Vol. vol.3, p. 1909-13. Piscataway, NJ, USA: IEEE.
- Sundstrom, L. 1995. « Automatic adjustment of gain and phase imbalances in LINC transmitters ». *Electronics Letters*, vol. 31, n° 3, p. 155-6.
- Sundstrom, L. 1996. « The effect of quantization in a digital signal component separator for LINC transmitters ». *IEEE Transactions on Vehicular Technology*, vol. 45, n° 2, p. 346-52.
- Tian, Ying. 2005. « LINC transmitter for linear amplification systems ». M.Sc.A., Canada, Ecole Polytechnique, Montreal (Canada), 92 p.

- Wikipedia. 2010. « Pseudorandom binary sequence ». In *wikipedia*. En ligne. <[http://en.wikipedia.org/wiki/Pseudorandom\\_binary\\_sequence](http://en.wikipedia.org/wiki/Pseudorandom_binary_sequence)>. Consulté le 04 avril 2010.
- Xilinx. 2005. « DDS v5.0 ». En ligne. <[http://www.xilinx.com/support/documentation/ip\\_documentation/dds.pdf](http://www.xilinx.com/support/documentation/ip_documentation/dds.pdf)>. Consulté le 13 mars 2009.
- Xilinx. 2007. « Virtex-4 Family Overview ». En ligne. <[http://www.xilinx.com/support/documentation/data\\_sheets/ds112.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds112.pdf)>. Consulté le 20 mars 2008.
- Xilinx. 2008. « FIR Compiler ». En ligne. <[http://www.xilinx.com/support/documentation/ip\\_documentation/fir\\_compiler\\_ds534.pdf](http://www.xilinx.com/support/documentation/ip_documentation/fir_compiler_ds534.pdf)>. Consulté le 16 Fevrier 2009.
- Xuejun, Zhang, P. Nanawa, L. E. Larson et P. M. Asbeck. 2001. « A gain/phase imbalance minimization technique for LINC transmitter ». In *2001 IEEE MTT-S International Microwave Symposium Digest, 20-25 May 2001*. Vol. vol.2, p. 801-4. Piscataway, NJ, USA: IEEE.