

**ECOLE POLYTECHNIQUE
UNIVERSITAIRE
DE MONTPELLIER**

**Représentation et Synthèse
des
Systèmes Logiques**

Exercices

Logique combinatoire

Algèbre de Boole

Simplifier l'expression : $a'b'(ac+b')+(a+b)(a+b'+c')(a'+b+c)$

Transformer en somme de produit : $a'b' + ac + bc'$

Transformer en NAND2, NOR2 : $a'b' + ac + bc'$

Exprimer dans le champs de galois : $a'b' + ac + bc'$

Démontrer le théorème de De Morgan généralisé $(x_0+x_1+\dots+x_n)' = x_0' \cdot x_1' \dots \cdot x_n'$

Distributivité : les égalités suivantes sont elle vraies ou fausses

$$a.(b+c) = a.b + a.c$$

$$a+(b.c) = (a+b).(a+c)$$

$$a.(b \oplus c) = a.b \oplus a.c$$

$$a \oplus (b.c) = (a \oplus b).(a \oplus c)$$

$$a+(b \oplus c) = (a+b) \oplus (a+c)$$

$$a \oplus (b+c) = (a \oplus b) + (a \oplus c)$$

Montrer que les opérateurs Nor et Nand ne sont pas associatifs

En utilisant les théorèmes de l'algèbre de Boole, montrer que:

$$ab + ac + bc = (a+b).(a+c).b+c) \quad (\text{Expression autoduale})$$

$$(a+b').(b+c').(c+a') = (a'+b).(b'+c).(c'+a)$$

$$(a+b).(b+c).(a+c) = [(a'+b').(b'+c').(a'+c)']'$$

Représentation de fonctions

Représenter la fonction $F = ab + ac + bc$ sous les formes suivantes :

Table de vérité

Table de Karnaugh

Image caractéristique

Image décimale

Hypercube

Logigramme

Représenter la fonction $F = a \oplus b \oplus c \oplus d$ dans une table de Karnaugh (préciser les caractéristiques de cette fonction)

Déterminer un code adjacent cyclique de 10 combinaisons

Système détecteur / correcteur d'erreurs

Théorème de Shannon

Montrer que:

$$\begin{aligned} ab + ac + bc &= a(b+c) + a'(bc) \\ &= b(a+c) + b'(ac) \\ &= c(a+b) + c'(ab) \\ &= (bc+a).(b+c+a') \\ &= (ac+b).(a+c+b') \\ &= (ab+c).(a+b+c') \end{aligned}$$

Donner les 1^{ère} et 2^{ème} formes canoniques de la fonction $F_{dcba} = R1(0,2,3,5,7,8,9,11)$

Donner la forme de Reed-Muller de la fonction $F_{cba} = R1(0,1,5,6,7)$

Réaliser la fonction multiplexeur (Opérateur MUX)

Montrer que l'opérateur MUX est un opérateur complet

Réaliser la fonction $F_{dcba} = R1(0,2,3,5,7,8,9,11)$ à l'aide d'opérateurs MUX

Donner les différentes méthodes permettant de savoir si 2 fonctions sont identiques.

$$\text{Application : } \begin{aligned} F1 &= ab + b'c + a'c' \\ F2 &= a'b' + bc' + ac \end{aligned}$$

Fonctions caractéristiques

Montrer que la fonction suivante est linéaire.

$$f(X) = x.y.z + x.y.z + x.y.z + x.y.z$$

Montrer que la fonction suivante est paire.

$$f(X) = x.y + y.z + x.z$$

Montrer que la fonction suivante est impaire.

$$f(X) = x.y + y.z + x.z$$

Déterminer d'autres fonctions paires et d'autres fonctions impaires.

Combien existe t'il de fonctions paires et de fonction impaires de n variables.

Réaliser une fonction indiquant si le nombre de 1 d'un mot binaire est pair ou impair

Mise en équation

Réaliser la fonction "égalité" de 2 nombres de 4 bits (f=1 si A=B)

Réaliser la fonction "supériorité" de 2 nombres de 4 bits (f=1 si A>B)

Réaliser la fonction "complément à 2" d'un nombre de 4 bits (B=C2(A)) (avec algorithme)

Minimisation de fonctions logiques

Minimisation de fonctions logiques simples:

Soit la fonction logique F de 4 variables a,b,c,d définies par:

$$I_d(F) = R_1(0,5,6,7,10,11,12,15) + R_x(2,8,9)$$

1: Déterminer la base première de la fonction F par les méthodes suivantes:

- Karnaugh,
- Mc Cluskey
- Consensus

2: Déterminer une base minimale de la fonction F par les méthodes suivantes:

- Table de choix (préciser les critères de choix)
- Résolution algébrique
- Arbres de décision binaires

Minimisation de fonctions multiples:

Exercice 1: Soient deux fonctions logiques de 4 variables a,b,c,d définies par:

$$I_d(F_1) = R_1(3,7,12,13,14,15)$$

$$I_d(F_2) = R_1(2,3,6,7,10,14)$$

1: Déterminer la base première de la fonction multiple par les méthodes suivantes:

- Karnaugh,
- Mc Cluskey
- Consensus

2: Déterminer une base minimale de la fonction multiple par la table de choix

Exercice 2: Soient trois fonctions logiques de 4 variables a,b,c,d définies par:

$$I_d(F_1) = R_1(3,9,10,11,12,13,14,15)$$

$$I_d(F_2) = R_1(1,3,5,9,10,13,15)$$

$$I_d(F_3) = R_1(1,3,5,6,12,14)$$

1: Déterminer la base première de la fonction multiple par les méthodes suivantes:

- Karnaugh,
- Mc Cluskey

2: Déterminer une base minimale de la fonction multiple par les méthodes suivantes:

- Table de choix
- Arbres de décision binaires

Minimisation de fonctions multiples ϕ -booléennes:

Soient trois fonctions logiques de 4 variables a,b,c,d définies par:

$$I_d(F_1) = R_1(1,5,8) + R_x(9,10,11,13,14,15)$$

$$I_d(F_2) = R_1(2,4,6,8,10,11,12,13,15)$$

$$I_d(F_3) = R_1(0,7,10,11,12,15) + R_x(2,8,9)$$

Déterminer la base première et une base minimale de la fonction multiple précédente.

Circuits de Codage

Codage en complément à 2

Le complément à 2 d'un nombre binaire peut être obtenu en passant par le complément à 1 :

$$C_2(N) = C_1(N) + 1$$

$$C_2(100101) = 011011$$

Si l'on observe l'influence de l'addition d'un 1 sur le complément à 1 (propagation de la retenue), on peut remarquer que le complément à deux d'un nombre peut également être obtenu directement en suivant la procédure suivante:

- *Scruter le nombre à partir de la droite*
- *Tant que les bits rencontrés sont à 0, les conserver*
- Conserver le premier 1
- Inverser tous les bits suivants

Etablir le circuit logique permettant de réaliser cette procédure.

Cryptage d'information

On désire réaliser un circuit de codage d'information en utilisant l'algorithme suivant:

Scruter le mot binaire à partir de la droite

1: Conserver les bits jusqu'au premier 1 inclus

2: Inverser les bits jusqu'au 1 suivant inclus

3: Conserver les bits jusqu'au 1 suivant inclus

Tant qu'il y a encore des bits à traiter répéter à partir de l'opération 2:

Etablir le circuit logique permettant de réaliser cette procédure.

Etablir l'algorithme de décodage permettant de retrouver l'information initiale

Etablir le circuit logique permettant de réaliser la procédure de décodage

Détecteur de puissance de 2

On désire réaliser un circuit qui détecte si un nombre A ($a_{n-1} a_{n-2} \dots a_0$) est une puissance de 2 ou pas.

Correction d'erreurs de transmission

Il s'agit de transmettre un message de 3 bits (a,b,c) sur une ligne susceptible d'être perturbée (inversion d'un bit).

A l'émission on réalise les fonctions parité p1, p2 et p3 et on transmet le message (a,b,c,p1,p2,p3).

$$p1 = p(a,b)$$

$$p2 = p(a,c)$$

$$p3 = p(b,c)$$

A la réception on récupère le message (a',b',c',p1',p2',p3') et on réalise les fonctions parité p1'', p2'' et p3''

$$p1'' = p(a',b',p1')$$

$$p2'' = p(a',c',p2')$$

$$p3'' = p(b',c',p3')$$

En utilisant p1'', p2'' et p3'', montrer que l'on peut localiser et corriger une erreur éventuelle. Etablir le circuit logique correspondant.

Opérateurs arithmétiques

Opérateurs de comparaison

Déterminer la structure des circuits réalisant les fonctions suivantes entre 2 nombre A et B de 4 bits

1 : F = 1 si A = B

2 : F = 1 si A > B

Opérateurs arithmétiques

Déterminer la structure du circuit réalisant les fonctions suivantes entre 2 nombres A et B de 4 bits codés en binaires naturel.

1 : S = A + B

2 : S = A - B

3 : En déduire la structure de l'incrémenteur (S = A+1) et du décrémenteur (S = A-1)

Additionneur/soustracteur algébrique

1. Réaliser un additionneur de deux nombres algébriques A et B codés sur 5 bits sous la forme Signe + Valeur absolue (en binaire naturel). Le résultat S doit également être codé sous la forme Signe + Valeur absolue.

$$A = S_a a_3 a_2 a_1 a_0 \quad B = S_b b_3 b_2 b_1 b_0 \quad S = S_s s_3 s_2 s_1 s_0.$$

2. Réaliser un additionneur/soustracteur de deux nombres algébriques A et B codés sur 5 bits sous la forme Signe + Valeur absolue (en binaire naturel). Le résultat S doit également être codé sous la forme Signe + Valeur absolue. Le mode addition ou soustraction est commandé par une commande C

$$A = S_a a_3 a_2 a_1 a_0 \quad B = S_b b_3 b_2 b_1 b_0 \quad S = S_s s_3 s_2 s_1 s_0.$$

Unité arithmétique

1. Déterminer la structure d'un circuit réalisant l'addition (A+B,) ou la soustraction (A-B) en fonction d'une commande C de deux nombres codés en complément à 2. Le résultat R est également codés en code complément à 2.
2. Déterminer la structure d'un circuit réalisant les fonctions A+B, A-B, B-A et A+1 en fonction de 2 commandes C1 et C2. A, B et le résultat R sont codés en code complément à 2.

Bit de dépassement

Soit l'opération d'addition entre 2 nombres A et B de n bits.

$$A = (a_{n-1} a_{n-2} \dots a_0) \quad B = (b_{n-1} b_{n-2} \dots b_0) \quad S = (s_{n-1} s_{n-2} \dots s_0)$$

A et B sont codés en complément à 2 lorsqu'ils sont négatifs. a_{n-1} représente le signe de A, b_{n-1} le signe de B et s_{n-1} le signe de S

$$\begin{array}{r} a_{n-1} \quad a_{n-2} \quad \dots \quad a_0 \\ + \quad b_{n-1} \quad b_{n-2} \quad \dots \quad b_0 \\ \hline = \quad s_{n-1} \quad s_{n-2} \quad \dots \quad s_0 \end{array}$$

1. Dans l'addition arithmétique signée, il y a débordement si et seulement si les deux opérandes A et B sont de même signe et le résultat S est de signe différents. Donner l'équation du bit de débordement "d".
2. Le bit de signe du résultat s_{n-1} est donné par la relation suivante :

$$s_{n-1} = a_{n-1} - b_{n-1} - r_{n-1} \quad (r_{n-1} \text{ représente la retenue de l'étage précédent})$$

$$\text{En déduire que } d = a_{n-1} \cdot b_{n-1} \cdot r_{n-1} + a_{n-1} \cdot b_{n-1} \cdot r_{n-1}$$

3. Le bit de retenue r_n du dernier étage de l'additionneur est donné par la relation:

$$r_n = (a_{n-1} - b_{n-1})r_{n-1} + a_{n-1} \cdot b_{n-1}$$

En déduire que $d = r_n - r_{n-1}$

Additionneur DCB et Excess3

1. Dans l'addition de 2 chiffres A et B codés en DCB, deux cas peuvent se produire:

$A + B < 10 \Rightarrow$ le résultat binaire est aussi le résultat DCB

$A + B > 9 \Rightarrow$ le résultat binaire diffère du résultat DCB

Pour obtenir le résultat en DCB, il faut dans ce cas ajouter 6 au résultat binaire (6 est le complément à la base 16). Réaliser cet additionneur DCB.

2. Soit A et B deux chiffres binaires (ou DCB). Soit A3 et B3 les mêmes chiffres codés en Excess3 ($A3=A+3$, $B3=B+3$). Le code excess3 est un code autocomplémentaire.

Considérons la somme $S = A3 + B3 = A + B + 6$

- Si $A + B > 9$, alors S est codé en DCB. Pour l'avoir en Excess3, il faut lui ajouter 3 (notons qu'il y a un report).

- Si $A + B < 10$, il n'y a pas de report (retenue), S est codé en binaire (<16). Pour obtenir S en Excess 3, il faut soit retrancher 3, soit ajouter 13 (Complément à 16 de 3).

Réaliser cet additionneur Excess3

Additionneur à carry anticipée

Dans un additionneur à carry anticipée on évalue en même temps la retenue de chaque étage à partir des quantités P_i et G_i suivantes:

$P_i = A_i \oplus B_i$ (propagation d'une retenue)

$G_i = A_i B_i$ (génération d'une retenue)

La retenue entrante à l'ordre i vaut 1 si :

- soit l'étage i-1 a généré la retenue ($G_{i-1} = 1$)

- soit l'étage i-1 a propagé la retenue générée à l'étage i-2 ($P_{i-1}=1$ et $G_{i-2}=1$)

.....

Réaliser un tel additionneur

Multiplieur

Le processus général de multiplication binaire est le suivant (sur 4 bits):

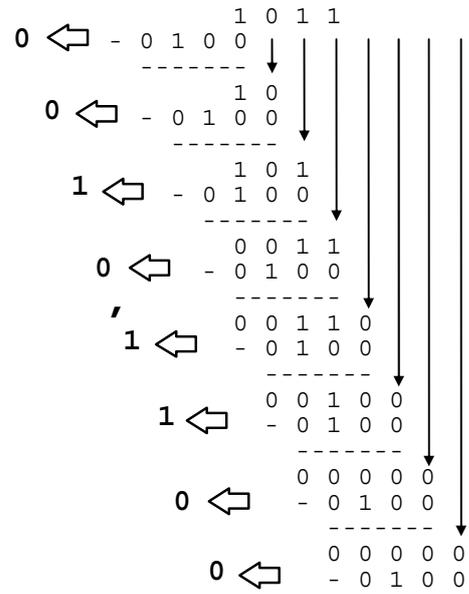
| | | | | | | | |
|-------|------|------|------|------|-----------------|----|----|
| A3 | A2 | A1 | A0 | | Multiplicande | | |
| B3 | B2 | B1 | B0 | | Multiplieur | | |
| ----- | | | | | | | |
| | A3B0 | A2B0 | A1B0 | A0B0 | Produit partiel | | |
| | A3B1 | A2B1 | A1B1 | A0B1 | Produit partiel | | |
| | A3B2 | A2B2 | A1B2 | A0B2 | Produit partiel | | |
| | A3B3 | A2B3 | A1B3 | A0B3 | Produit partiel | | |
| ----- | | | | | | | |
| P7 | P6 | P5 | P4 | P3 | P2 | P1 | P0 |

Cette opération se résume à une somme de produits partiels. Elle peut être réalisée par une structure combinatoire cascasant des additionneurs. Réaliser le circuit correspondant.

Diviseur

Le processus général de division binaire est illustré sur l'exemple suivant (sur 4 bits). Réaliser le circuit correspondant.

Si $R > B$ Alors $Q=1$ et $R=B$
 Sinon $Q=0$ et R



Systèmes à base de bascules, registres et compteurs

Bascules et registres et compteurs

- 1- En partant de la bascule RS, donner la démarche permettant de réaliser une bascule D (ainsi que les schémas des structures intermédiaires si nécessaire).
- 2- Donner la structure à porte d'une bascule D possédant des signaux de "Clear" et "Preset" asynchrones
- 3- Présenter les contraintes temporelles associées aux signaux d'entrée/sortie d'une telle bascule.
- 4- Déterminer une structure de bascule D possédant des signaux de "Clear" et "Preset" synchrones
- 5- Déterminer une structure de bascule D possédant un signal d'inhibition (mémoire quoi qu'il se passe sur l'horloge)
- 6- A l'aide de bascules D et de portes, construire une bascule T et une bascule JK.
- 7- A l'aide de bascules D et de portes, réaliser un registre 4 bits, muni d'une commande C permettant de configurer le registre en mode chargement parallèle ($C=1$) ou inhibition ($C=0$).
- 8- En utilisant des bascules D réaliser un compteur/décompteur "synchrone" par 7 possédant une entrées de contrôle "Select" qui permet de sélectionner le mode comptage ou le mode décomptage.

Nota: Le compteur doit être entièrement synchrone et en particulier, la commutation de l'entrée de sélection ne doit pas entraîner de modification directe des sorties du compteur/décompteur. En d'autres termes, toute modification des sorties du compteurs ne peut être engendrée que par une transition active du signal d'horloge (front descendant ou front montant). De plus, on s'interdit toute logique sur le signal d'horloge.

Opérateur séquentiels

1. Concevoir un circuit réalisant le complément à 2 d'un nombre A arrivant en série (poids faible en tête) à la fréquence d'une horloge H.
2. Concevoir un circuit réalisant l'addition de deux nombre A et B de 4 bits arrivant en série (poids faible en tête) à la fréquence d'une horloge H
3. Concevoir un circuit indiquant si un nombre A arrivant en série à la fréquence d'une horloge H est une puissance de 2.

Mémoire

Construire une mémoire de 2 mots de 4 bits contenus dans 2 registres R1 et R2. Cette mémoire doit posséder 3 modes de fonctionnement disjoints

- un mode d'écriture d'un mot d'entrée "E" dans R1 ou R2,
- un mode de lecture de R1 ou R2 dans un registre de sortie "RS",
- un mode qui préserve le contenu de R1 et R2 quand il n'est pas demandé de lecture ou d'écriture.

Cette mémoire doit aussi posséder un système d'adressage permettant de sélectionner le registre R1 ou R2 que l'on veut lire (transfert dans RS) ou dans lequel on veut écrire le mot d'entrée E. Tous les transferts entre registres seront opérés en //.

Registre à tassement

Dans le cadre de l'étude de la régulation de trafic urbain on est amené à simuler la dynamique d'une file de voitures sur une voie quand un feu passe à rouge. Un tronçon de voie AB est simulé par un registre à décalage de 8 bits, chaque bit représentant la présence ou l'absence d'une voiture. L'état initial de la file est simulé par le chargement parallèle du registre.

Construire ce registre dans deux configurations:

- Les extrémités A et B sont verrouillées; le registre doit alors se bloquer quand toutes les voitures sont tassées à droite. Dans ce cas, on désire connaître le nombre de top d'horloge nécessaire au tassement.

- Seule l'extrémité B est verrouillée; le registre peut alors être rempli par A de façon aléatoire. Il doit se bloquer quand il est plein. Dans ce cas, on désire connaître le nombre de top d'horloge nécessaire au remplissage.

Train de 12 impulsions

Construire un dispositif fournissant un train de 12 impulsions, à partir d'un générateur, déclenché par un signal logique : "DEP".

Commande de feux de carrefour

L'objectif est de réaliser un système électronique permettant de commander les feux tricolores d'un carrefour. Les deux voies A et B sont supposées identiques. La durée de chacun des états d'un feu doit donc être la même pour les 2 voies:

$$(1) \quad \begin{aligned} t(R_A) &= t(R_B) = t(R) \\ t(J_A) &= t(J_B) = t(J) \\ t(V_A) &= t(V_B) = t(V) \end{aligned}$$

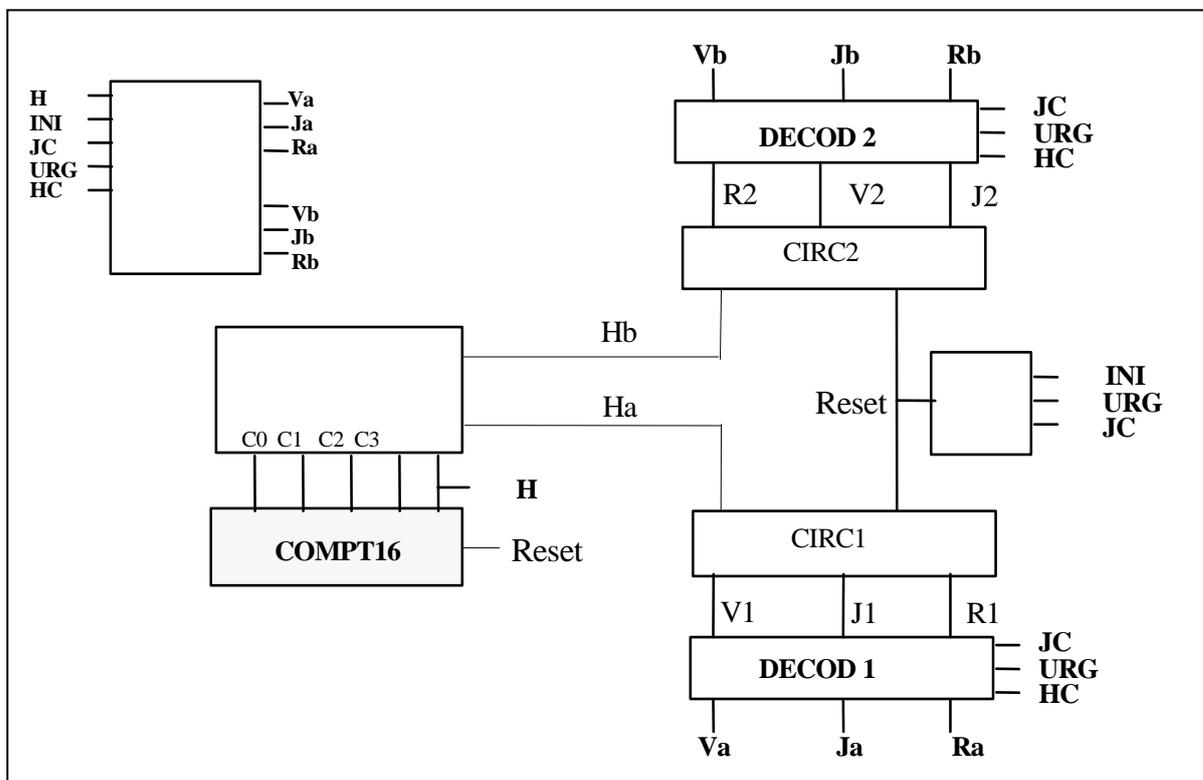
Pendant un cycle normal de N unités de temps, on doit avoir, pour des raisons de sécurité :

$$(2) \quad \begin{aligned} t(J_A) &= t(J_B) = 1 \text{ unité} \\ t(R_A \cdot R_B) &= 2 \text{ unités} \end{aligned}$$

1. A partir des relations (1) et (2), trouver $t(R)$ et $t(V)$ en fonction de N.
Application numérique : $N = 16$.
2. Construire le diagramme temporel des signaux actifs des voies A et B.
3. Sachant que l'on dispose d'une horloge générale H, déduire du diagramme précédent, le diagramme temporel des signaux d'horloge H_A et H_B qui doivent commander les décalages de A et B. Construire H_A et H_B à partir de H.
4. Pour être complet, le système de commande doit aussi comporter :
 - une commande "INI" qui positionne les 2 registres dans l'état de départ $V_A R_B$,
 - une commande "URG" qui doit forcer le système dans l'état $R_A R_B$ en cas d'urgence,
 - une commande "JC" qui doit positionner les feux en mode jaune clignotant,

Architecture proposée

Le système de commande des feux de carrefour est conçu autour de 2 registres à recirculation (CIRC1 et CIRC2), contenant un "1 baladeur" et dont les sorties commandent les ampoules R, J, V à travers un étage de décodage du mode de fonctionnement.



Synthèse de systèmes séquentiels synchrones

Détecteur de séquence

1. Concevoir un système séquentiel synchrone détectant les séquences « 010 ». La sortie S de ce système doit prendre la valeur 1 lorsqu'une telle séquence apparaît sur son entrée e et repasser à 0 sur le bit suivant.

Réaliser ce système sous forme de:

- Machine de Moore avec bascules JK
- Machine de Moore avec bascules D
- Machine de Mealey avec bascules JK

On mettra en évidence la nécessité de préciser le cahier des charges pour en établir le graphe.

2. Concevoir un système séquentiel synchrone permettant de commander l'ouverture d'une porte lorsqu'une séquence « 00,01,00,10 » se produit sur ses deux entrées e1 et e2. La sortie S de ce système doit prendre la valeur 1 lorsqu'une telle séquence apparaît sur ses entrées et repasser à 0 sur la combinaison d'entrée suivante.

Analyse de mots binaires

1. Concevoir un système séquentiel synchrone qui détecte si les mots de 4 bits arrivant en série sur son entrée « e » (poids faible en tête) composent des chiffres décimaux (nombres inférieurs à 10).
2. Concevoir un système séquentiel synchrone détectant la parité de mots de 4 bits arrivant en série sur son entrée « e ». La sortie « S » de ce système doit prendre la valeur 1 si le nombre de 1 dans un mot est impair (et repasser à 0 sur le bit suivant).
3. Concevoir un système séquentiel synchrone qui détecte les nombres premiers parmi des mots de 4 bits arrivant en série.
4. Concevoir un système séquentiel synchrone qui reçoit sur son entrée « e » des mots de 4 bits arrivant en série et qui fournit en série sur sa sortie « S » le complément à 2 de ces mots (poids faible en tête).

Comparateur de mots binaires

1. Concevoir un système séquentiel synchrone qui compare deux entrées série e1 et e2 et qui donne une sortie S égale à 1 chaque fois que 2 groupes quelconques de 4 bits d'une même séquence coïncident exactement.
2. Concevoir un système séquentiel synchrone qui compare deux à deux des nombres de 3 bits (E1 et E2) arrivant en série sur ses entrées e1 et e2. Les sorties s1, s2 de cette machine doivent être telles que:

$s_1s_2 = 00$ tant que E1 et E2 ne sont pas connus

$s_1s_2 = 11$ si et seulement si $E1 = E2$

$s_1s_2 = 10$ si et seulement si $E1 > E2$

$s_1s_2 = 01$ si et seulement si $E1 < E2$

Transmission codée

Des informations logiques (0,1) sont transmises en série sur une ligne L (Figure 1). La sécurisation de la transmission est réalisée par un système de codage comprenant un codeur (C) et un décodeur (D). Le codage de l'information est basé sur l'algorithme suivant :

- 1 : Inverser tous les bits jusqu'au 1^{er} « 1 » (y compris le premier « 1 »)
 - 2 : Conserver tous les bits jusqu'au 1^{er} « 1 » suivant (y compris ce premier « 1 »)
- Réitérer le processus d'inversion/conservation

Exemple (algorithme appliqué à partir de la droite) :

Information : 0101001100100010

Information codée : 1100111011100001

1. Faire la synthèse du circuit de codage (C)
2. Déterminer l'algorithme de décodage
3. Faire la synthèse du circuit de décodage (D)



Figure 1 : Transmission codée

Accumulateur

On désire réaliser un accumulateur synchrone à 2 entrées x_1 , x_2 et deux sorties z_1 , z_2 . L'état interne de ce système (appelé contenu de l'accumulateur), représente un nombre Y codé en binaire par 3 bits y_3 , y_2 , y_1 . Ce nombre est modifié à chaque top d'horloge suivant les combinaisons qui se présentent à l'entrée :

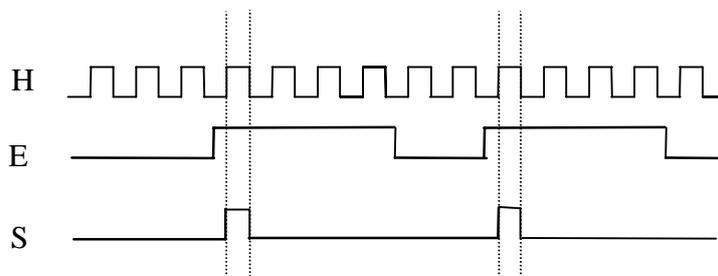
- quand $x_1 = 1$, Y est augmenté de 4 unités
- quand $x_2 = 1$, Y est diminué de 1 unité
- la combinaison $x_1x_2 = 11$ ne se présente jamais
- la combinaison $x_1x_2 = 00$ ne modifie pas Y

Cas de dépassement de capacité :

- Y ne peut pas être négatif (si l'éventualité se présente, Y reste à 0)
- Y ne peut pas dépasser 7 (si l'éventualité se présente, Y reste à 7)
- $z_1 = 1$ quand Y devrait être négatif
- $z_2 = 1$ quand Y devrait être supérieur à 7

Single shot

Concevoir un système séquentiel synchrone qui fourni sur sa sortie S une impulsion positive (de durée égale à la demi-période d'horloge) chaque fois que son entrée E passe de 0 à 1.

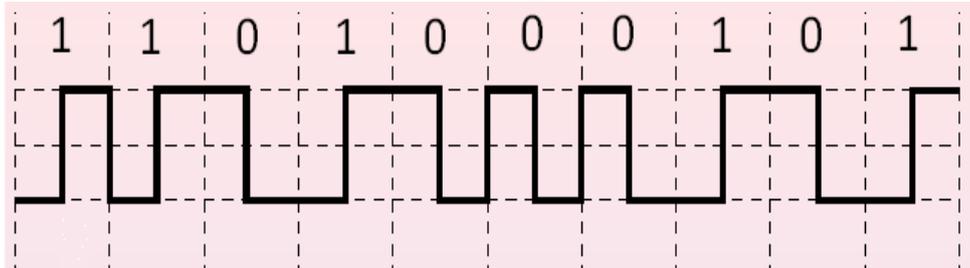


Codage Manchester

L'idée de principe du codage Manchester est de coder l'information de telle manière que l'horloge de l'émetteur puisse se déduire du signal lui-même. On appelle ces codes "des codes autoporteurs d'horloge".

Règles de codage Manchester

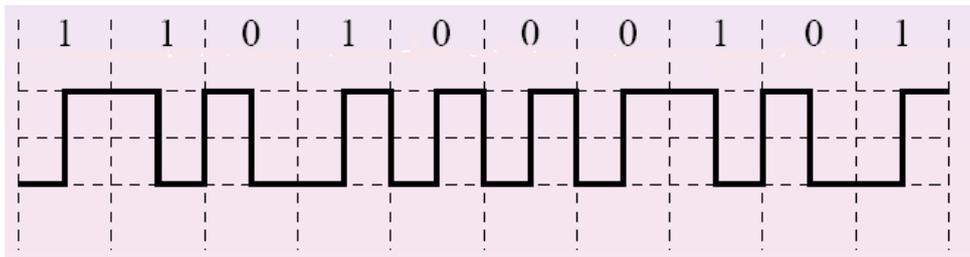
- le niveau "1" sera représenté par une transition montante du signal au milieu du temps bit
- le niveau "0" sera représenté par une transition descendante du signal au milieu du temps bit



Règles de codage Manchester différentiel

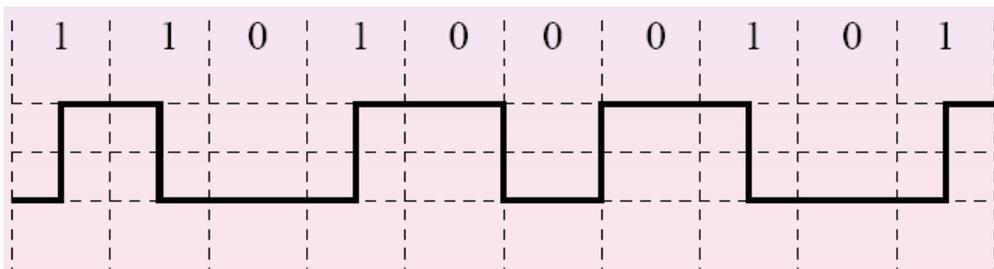
On se place au tout début de chaque temps de bit :

- Le niveau "1" du signal est codé par une transition (montante ou descendante) en début du temps de bit.
- Le niveau "0" du signal est codé par l'absence de transition en début du temps de bit.
- Pour pouvoir effectuer ces transitions, le signal devra de plus revenir au niveau haut ou bas (selon les cas) au milieu de chaque temps de bit.



Codage de Miller

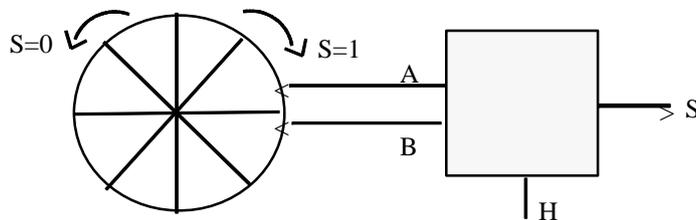
- Le niveau "1" est codé par une transition en milieu de temps horloge et le "0" par une absence de transition.
- Les longues suites de 0 posant toujours le problème de la synchronisation, si un bit 0 est suivi d'un autre 0 une transition est rajoutée à la fin du temps horloge.



Détecteur de sens de rotation

Il s'agit de réaliser un détecteur de sens de rotation d'un disque magnétique. Ce dispositif est constitué par un disque présentant alternativement des secteurs isolants et conducteurs balayés par 2 frotteurs A et B servant d'entrées au système à réaliser.

Nous noterons que l'espace entre les 2 frotteurs est inférieur à l'arc d'un secteur et que l'horloge est suffisamment rapide pour assurer que chaque fois qu'il y a une modification de valeur sur les entrées de la machine, il y a au moins un coup d'horloge.



Réaliser ce système sous forme de machine de Moore.

En déduire le graphe de la machine de Mealy

Réaliser la machine de Mealey.

Résolution d'un pb de logique

En assimilant le problème à la synthèse d'un système séquentiel, répondre à la lettre suivante (On donnera le graphe permettant de modéliser le problème posé par cette lettre).

Cher ami,

Il y a quelques temps, j'ai acheté cette vieille maison, mais je me suis aperçu qu'elle était hantée par deux bruits d'outre tombe; un chant grivois et un rire sardonique. Elle est donc pratiquement inhabitable. J'ai cependant quelque espoir, car, l'expérience m'a montré que leur comportement obéissait à certaines lois, obscures mais infaillibles et que je pouvais le modifier en jouant de l'orgue ou en brûlant de l'encens.

Chaque minute, chaque bruit est présent ou absent. Ce que chacun d'eux fera au cours de la minute suivante dépend, de la manière suivante, de ce qui s'est passé pendant la minute précédente :

Le chant conservera le même état (présent ou absent) sauf si, pendant la minute présente, l'orgue jouait sans que le rire se fasse entendre, auquel cas le chant prendra l'état opposé.

Quant au rire, si l'encens ne brûlait pas, il se fera entendre ou non selon que le chant résonnait ou non (de sorte que le rire imite le chant avec une minute de retard). Toutefois, si l'encens brûlait, le rire fera le contraire de ce que faisait le chant.

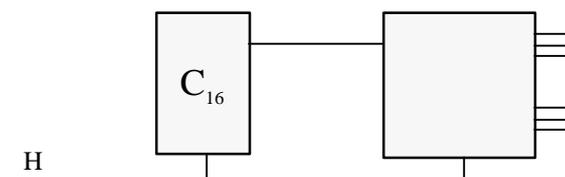
A la minute où j'écris, j'entends à la fois le rire et le chant. Vous m'obligeriez en m'indiquant à quelles manipulations d'orgue et d'encens je dois me livrer pour rétablir le calme définitivement.

Partitionnement : Feux de carrefour

On veut réaliser un système de commande de feux de carrefour sur 2 voies A et B. Le cycle des feux est le suivant :

AB -> VR(6 unités), OR(1), RR(1), RV(6), RO(1), RR(1)

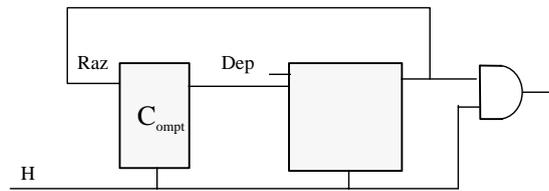
Réaliser cette machine en la partitionnant en 2 machines ; un compteur et une machine d'état spécifique.



Partitionnement : Train d'impulsions

On veut réaliser un dispositif fournissant un train de 12 impulsions déclenché par un signal logique : "DEP".

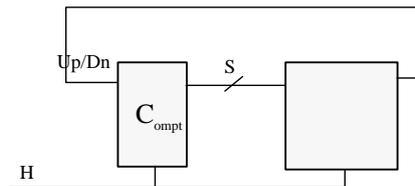
Réaliser cette machine en la partitionnant en 2 machines ; un compteur et une machine d'état spécifique.



Partitionnement : Séquenceurs

On veut réaliser un dispositif produisant la séquence suivante : 0, 1, 2, 3, ..., n-1, n, n-1, n-2, ..., 3, 2, 1, 0, 1, 2, 3, ...

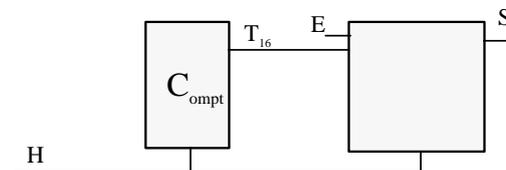
Réaliser cette machine en la partitionnant en 2 machines ; un compteur et une machine d'état spécifique.



Partitionnement : Analyse de mots binaires

On veut réaliser un dispositif détectant la parité de mots de 16 bits arrivant en série sur son entrée E. La sortie S de ce système doit prendre la valeur 1 si le nombre de 1 dans un mot est impair (ceci, uniquement sur le 16^{ème} bit et repasser à 0 sur le bit suivant).

Réaliser cette machine en la partitionnant en 2 machines ; un compteur et une machine d'état spécifique.



Partitionnement : Analyse de commutations

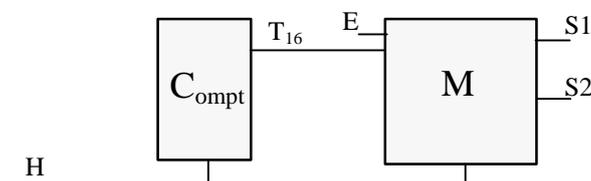
Un circuit logique synchronisé par une horloge H, possède une entrée E et deux sorties S1 et S2. Ce circuit doit analyser la structure de mots de 16 bits arrivant en série sur son entrée E. Lorsqu'un des 15 premiers bits d'un mot est présent sur l'entrée E, on doit avoir S1=S2=0. Lorsque le 16^{ème} bit est présent sur l'entrée E on doit avoir S2=1 et S1=0 ou 1 en fonction du nombre de transitions générées sur l'entrée E par le mot reçu (S1=0 si le nombre de transitions est inférieur ou égal à 1, S1=1 si le nombre de transition est supérieur à 1).

Exemple : 0111 1111 1111 1111 => 1 seule transition => S1=0

0101 1111 1111 0000 => 4 transitions => S2 = 1

Concevoir ce dispositif sachant qu'il peut être partitionné en 2 machines ; un compteur par 16 et une machine d'état M spécifique. Le compteur par 16 génère une sortie T₁₆ prenant la valeur « 1 » uniquement sur la 16^{ème} combinaison (ou en d'autres termes lorsque le 16^{ème} bit du mot d'entrée E est présent sur la machine M).

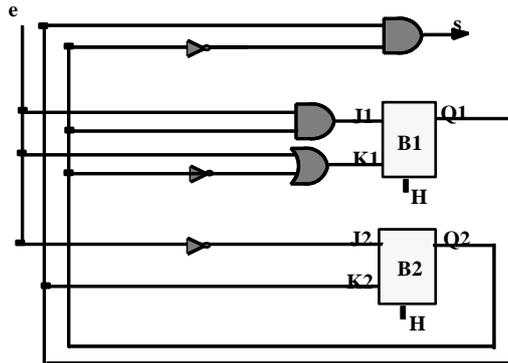
La structure du compteur étant supposée connue, on ne réalisera que la machine M. Le choix du type de machine (Moore ou Mealy) est libre mais on tentera d'optimiser au mieux la structure (d'un point de vue nombre de bascules).



Analyse d'un système séquentiel synchrone

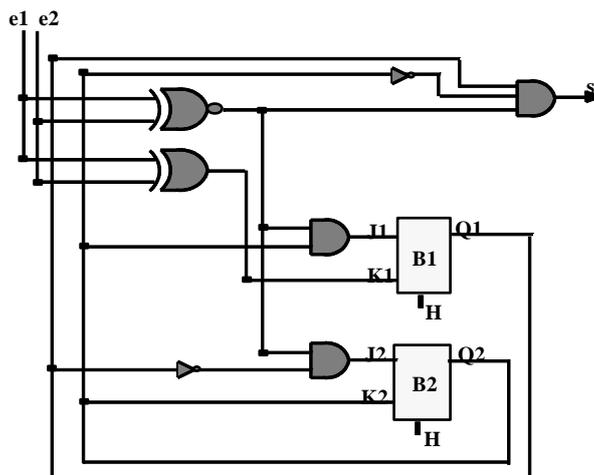
- On considère le système séquentiel synchrone défini par le logigramme de la figure suivante.
Ce système est commandé par une entrée **e**, une horloge **H**, possède une sortie **s** et est composé de deux bascules JK.

 - Donner les équations du circuit.
 - Donner la table des excitations secondaires de ce circuit.
 - En déduire la table de transition et la table de sortie.
 - Donner alors la table d'état de ce circuit.
 - En déduire le graphe d'état.
 - Décrire succinctement la fonction de ce circuit (Etat initial $Q1Q2 = 00$).



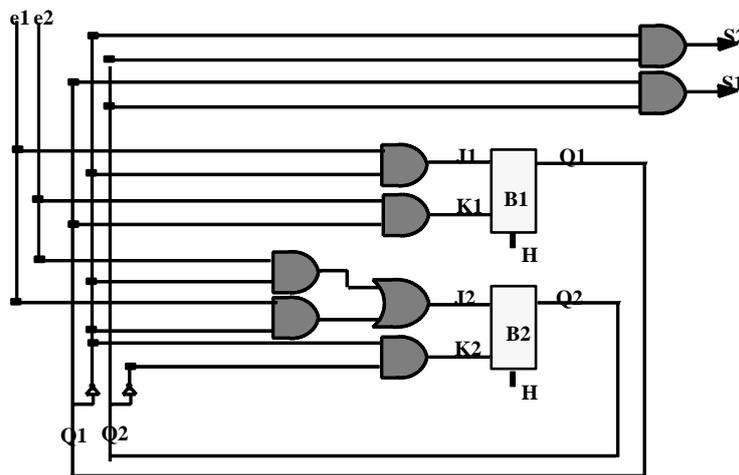
- On considère le système séquentiel synchrone défini par le logigramme de la figure suivante.
Ce système est commandé par deux entrées **e1** et **e2**, une horloge **H**, possède une sortie **s** et est composé de deux bascules JK.

 - Donner les équations du circuit.
 - Donner la table des excitations secondaires de ce circuit.
 - En déduire la table de transition et la table de sortie.
 - Donner alors la table d'état de ce circuit.
 - En déduire le graphe d'état.
 - Décrire succinctement la fonction de ce circuit (Etat initial $Q1Q2 = 00$).



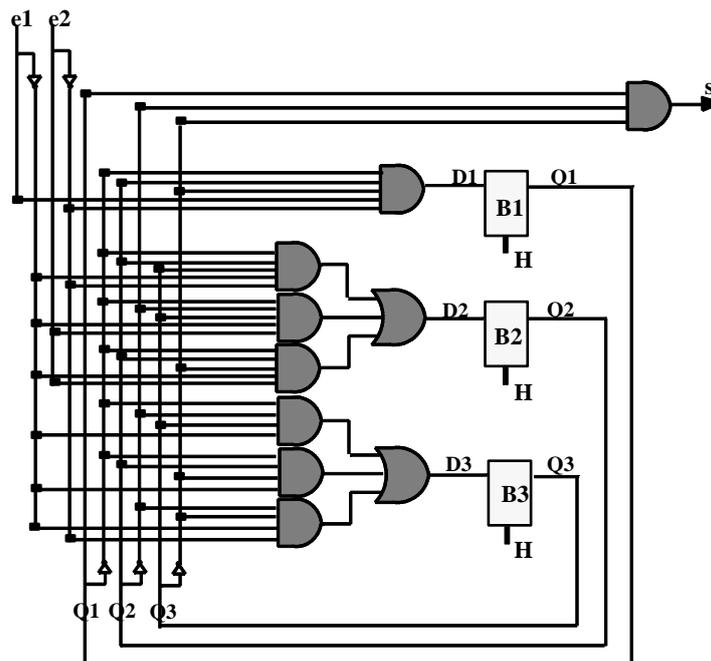
3. On considère le système séquentiel synchrone défini par le logigramme de la figure suivante. Ce système est commandé par deux entrées **e1** et **e2** qui s'excluent mutuellement (la combinaison $e1=e2=1$ est impossible), une horloge **H**, possède deux sorties **S1**, **S2** et est composé de deux bascules JK : **B1**, **B2**.

- Donner les équations du circuit.
- Donner la table des excitations secondaires de ce circuit.
- En déduire la table de transition et la table de sortie.
- Donner alors la table d'état de ce circuit.
- En déduire le graphe d'état.
- Décrire succinctement la fonction de ce circuit (Etat initial $Q1Q2 = 00$).



4. On considère le système séquentiel synchrone défini par le logigramme de la figure suivante. Ce système est commandé par deux entrées **e1** et **e2**, une horloge **H**, possède une sortie **s** et est composé de trois bascules D.

- Donner les équations du circuit.
- Donner la table des excitations secondaires de ce circuit.
- En déduire la table de transition et la table de sortie.
- Donner alors la table d'état de ce circuit.
- En déduire le graphe d'état.
- Décrire succinctement la fonction de ce circuit (Etat initial $Q1Q2Q3= 000$).



Synthèse de systèmes séquentiels asynchrones

Détecteur de séquence

Concevoir une machine séquentielle asynchrone détectant que la séquence 10, 11, 01, 00 s'est produite sur ses entrées e1 et e2.

Codage des variables secondaires

Coder les tables d'état suivantes (tables de phases réduites)

| | | Entrées | | | |
|-----------------------|---------|---------|----|----|----|
| | | 00 | 01 | 11 | 10 |
| E t a t s | (1,2) a | 1 | 2 | 6 | 4 |
| | (3,4) b | 1 | 5 | 3 | 4 |
| | (5,6) c | 7 | 5 | 6 | 4 |
| | (7) d | 7 | 2 | - | 4 |

| | | Entrées | | | |
|-----------------------|-----------|---------|----|----|----|
| | | 00 | 01 | 11 | 10 |
| E t a t s | (1,2,3) a | 1 | 2 | 3 | 8 |
| | (4,5,6) b | 1 | 4 | 5 | 6 |
| | (7,8) c | 7 | 2 | 5 | 8 |

| | | Entrées | | | |
|-----------------------|---------|---------|----|----|----|
| | | 00 | 01 | 11 | 10 |
| E t a t s | (1,2) a | 1 | 2 | 6 | 8 |
| | (3,4) b | 1 | 5 | 3 | 4 |
| | (5,6) c | 7 | 5 | 6 | 4 |
| | (7,8) d | 7 | 2 | 3 | 8 |

Correction d'un système

Un système séquentiel asynchrone est composé de deux entrées e1,e2, de deux variables secondaires y1,y2, et d'une sortie s. Ce système est défini par les tables d'excitations secondaires et de sortie suivantes:

| y1y2 | e1e2 | | | |
|------|------|----|----|----|
| | 00 | 01 | 11 | 10 |
| 00 | 00 | 11 | 00 | 10 |
| 01 | 00 | 01 | 01 | 01 |
| 11 | 11 | 11 | 01 | 10 |
| 10 | 11 | 11 | 01 | 11 |

Table des excitations secondaires

| y1y2 | e1e2 | | | |
|------|------|----|----|----|
| | 00 | 01 | 11 | 10 |
| 00 | 0 | 1 | 1 | 1 |
| 01 | 0 | 1 | 1 | 0 |
| 11 | 0 | 0 | 0 | 0 |
| 10 | 0 | 0 | 1 | 1 |

Table de sortie

- Etudier le comportement de ce système (mettre en évidence les aléas de commutation dus aux délais de propagation).
- Corriger ce système de manière à éviter tout aléas de commutation sur les variables secondaires ainsi que tout effet parasite sur la sortie.

Contrôleurs

1: On considère un système S commandé par deux signaux X1 et X2 qui ne peuvent être présents simultanément. Ce système délivre deux signaux de sortie S1 et S2 qui s'excluent, mais l'un des deux est toujours présent. Par ailleurs, le système obéit aux conditions suivantes :

- il ne se passe rien quand le signal X1 ou le signal X2 apparaît,
- quand X1 disparaît, si S1 était présent, il disparaît au profit de S2 : si S2 était présent, rien ne change,
- quand X2 disparaît, les signaux S1 et S2 permutent.

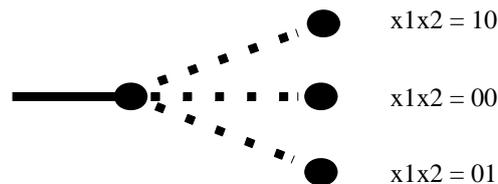
2: Un système séquentiel à deux entrées E1 et E2 possède deux sorties S1 et S2 qui s'excluent mutuellement. Si une variable d'entrée passe de 0 à 1, la sortie correspondante (de même indice) passe (ou reste) à 1. Le changement de 1 à 0 d'une entrée laisse l'état des sorties inchangé (autrement dit, une transition positive d'une variable d'entrée entraîne l'apparition de la sortie correspondante).

Sachant qu'à l'état initial ($E1E2=00$), S2 est présente ($S1S2=01$) faire la synthèse d'un tel système séquentiel asynchrone.

Serrure électronique

On veut réaliser une cellule électronique à combinaison, fonctionnant de la manière suivante :

- L'organe d'entrée est une clé à trois positions, engendrant deux signaux x_1 et x_2
- En sortie, on a deux relais S (Succès) et A (Alarme) qui commandent respectivement l'ouverture d'une porte ou une alarme.



La séquence conduisant à l'ouverture est la suivante : $x_1x_2 = 00 / 10 / 00 / 01 / 00 / 10 / 00$

Une fois l'ouverture obtenue, le retour du système à l'état initial se fait en actionnant une fois x_1 ou x_2 puis retour à $x_1x_2=00$

Quant au contraire, une fausse manoeuvre conduit à déclencher l'alarme, on doit rester dans cet état quelque soit la manoeuvre ultérieure. (La coupure de l'alarme ne pourra se faire que par un dispositif qui n'est pas à considérer ici).

Commande d'une machine

La commande d'une machine se fait par deux boutons : un bouton marche et un bouton arrêt (M et A). Pour la mise en marche de cette machine, les conditions suivantes de sécurité sont exigées :

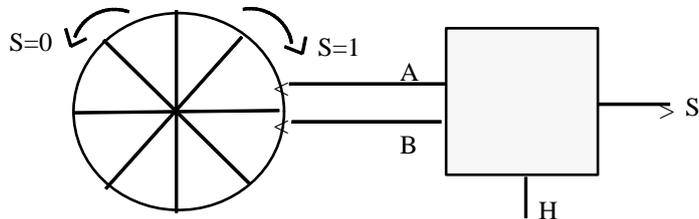
- la machine se met en marche uniquement lorsqu'on part d'un état où les boutons Marche et Arrêt sont levés et qu'on appuie sur le bouton Marche :
- Si ensuite on relâche le bouton Marche, la machine doit continuer à fonctionner :
- Dans tous les autres cas, elle doit rester arrêtée. Par exemple :
 - a) si les deux boutons Marche et Arrêt sont enfoncés, la machine ne doit pas fonctionner et si on relâche le bouton Arrêt, elle doit rester au repos
 - b) si la machine fonctionne et qu'on appuie sur le bouton Arrêt, elle doit s'arrêter, même si le bouton Marche est encore pressé

On suppose que l'on ne peut pas modifier simultanément les deux entrées M et A

Détecteur de sens de rotation

Il s'agit de réaliser un détecteur de sens de rotation d'un disque magnétique. Ce dispositif est constitué par un disque présentant alternativement des secteurs isolants et conducteurs balayés par 2 frotteurs A et B servant d'entrées au système à réaliser.

Nous noterons que l'espace entre les 2 frotteurs est inférieur à l'arc d'un secteur.



Bascule D

2.1. On veut réaliser un système disposant de deux entrées D et H et d'une sortie Q fonctionnant de la manière suivante :

$$Q_{n+1} = D \text{ si H passe de } 0 \text{ à } 1$$

$$Q_{n+1} = Q_n \text{ si H passe de } 1 \text{ à } 0 \text{ ou si H n'est pas modifié}$$

2.2. On veut réaliser un système disposant de quatre entrées D, H, RAZ, RAU et d'une sortie Q fonctionnant de la manière suivante :

Si RAZ=1 alors Q=0

Si RAZ=0 et RAU=1 alors Q=1

Si RAZ=0 et RAU=0 alors

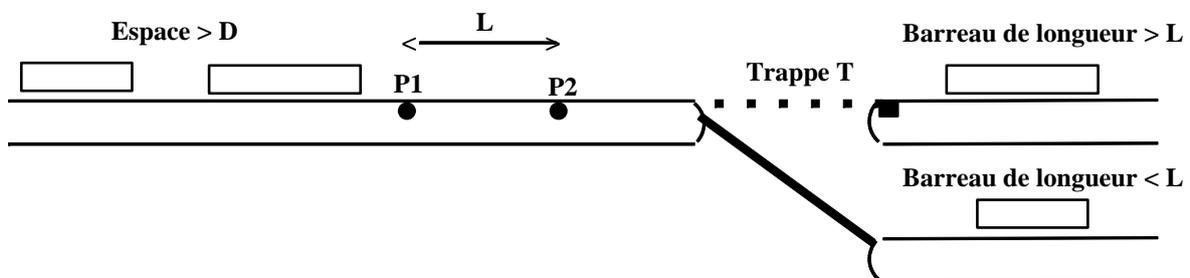
$$Q_{n+1} = D \text{ si H passe de } 0 \text{ à } 1$$

$$Q_{n+1} = Q_n \text{ si H passe de } 1 \text{ à } 0 \text{ ou si H n'est pas modifié}$$

Aiguillage

On veut réaliser l'aiguillage automatique de barreaux d'acier en fonction des deux types de longueur qu'ils peuvent avoir ($L + D$) ou ($L - D$). Les barreaux véhiculés par un tapis roulant, doivent être dirigés vers un second tapis par l'intermédiaire d'une trappe T lorsque leur longueur est inférieure à L. La détection de longueur est effectuée par deux cellules P₁ et P₂ distantes de L.

Sur le tapis, l'espace entre deux barreaux consécutifs est toujours plus grand que D. La trappe T ne doit s'ouvrir qu'immédiatement après le passage d'un barreau court par P₂ et ne doit se refermer que si un nouveau barreau long est détecté (la trappe reste ouverte entre deux barreaux courts successifs).



Analyse d'un système séquentiel asynchrone

1. On considère le système séquentiel asynchrone défini par le logigramme de la figure suivante.
Ce système commandé par deux entrées **e1** et **e2** possède une sortie **s**.

- Donner les équations du circuit.
- Donner la table des excitations secondaires de ce circuit.
- Donner la table d'état réduite.
- En déduire la table d'état et la table de sortie de ce circuit.
- En déduire le graphe d'état.

