



OFPPT

ROYAUME DU MAROC

مكتب التكوين المهني وإنعاش الشغل

Office de la Formation Professionnelle et de la Promotion du Travail

DIRECTION RECHERCHE ET INGENIERIE DE FORMATION

**RESUME THEORIQUE
&
GUIDE DE TRAVAUX PRATIQUES**

MODULE N° 22 LOGIQUE SQUENTIELLE

SECTEUR : ELECTROTECHNIQUE

SPECIALITE : EMI

NIVEAU : TECHNICIEN

ANNEE 2007

Document élaboré par :

Nom et prénom

EFP

DR

Mme ELKORNO NAIMA

CDC - GE

Révision linguistique

-
-
-

Validation

-
-
-

SOMMAIRE

RESUME THEORIQUE	7
I. Règles de construction de la représentation graphique d'une séquence ou d'un cycle.....	8
II. Les principaux symboles associés à diverses représentations graphiques d'une séquence.....	14
III. Modes de marche et d'arrêt d'une séquence.....	16
III.1 Les modes de marche :	16
III.2 Les arrêts :	17
IV. Différentes représentations graphiques d'une séquence	18
IV.1 Algorithme:	18
IV.2 Chronogramme.....	19
IV.3 GRAFCET	19
V. La traduction des représentations graphiques d'une séquence sous forme de schémas	23
V.1 Mise en équation d'une étape.....	23
V.2 Règles de conversion d'une étape en schéma	27
VI. Les éléments de mémoires :	32
VI.1 Concept de mémorisation :	32
VI.2 Synchronisation des circuits :	32
VI.3 Les bascules :	33
VI.3.1 Bascules R S :	34
VI.3.2 Bascule R S H (Bascule synchrone) :	35
VI.3.3 Bascule J K synchrone :	36
VI.3.4 Bascule D synchrone :	38
VI.3.5 Bascule maître-esclave:	38
VI.3.6 Bascule T :	39
VI.3.7 Initialisation des bascules :	40
VI.4 Monostable – astable.....	40
VII. Les compteurs :	41
VII.1 Identification de la fonction :	41
VII.2 Caractéristiques des compteurs :	42
VII.2.1 Compteur Modulo 2 :	42
VII.2.2 Compteur Modulo 2^N :	42
VII.2.3 Compteur dont le modulo est différent de 2^N :	42
VII.2.4 Compteur binaire asynchrone :	42
VII.2.5 Compteur binaire synchrone :	43
VII.3 Les compteurs asynchrones:	43
VII.3.1 Compteur modulo 8 asynchrone :	43
VII.3.2 Compteur modulo 10 asynchrone (compteur DCB) :	44
VII.3.3 Décompteur modulo 8 asynchrone :	45
VII.4 Les compteurs synchrones:	45
VII.4.1 Compteur modulo 8 synchrone:	45
VII.4.2 Compteur DCB (modulo 10) synchrone:	46
VII.4.3 Décompteur modulo 8 synchrone:	47
VII.5 Les compteurs intégrés:	48
VIII. Les registres:	52

VIII.1	Types de registres :.....	52
VIII.2	Registres à décalage :	53
VIII.3	Registres intégrés :	55
IX.	Le codeur et le décodeur :	59
X.	Les afficheurs :	61
X.1	Le décodeur pilote d'affichage :.....	61
X.1.1	Afficheur DCB à sept segments :.....	61
X.1.2	Afficheur à cristaux liquides LCD :	63
XI.	Multiplexeurs	63
XI.1	Principe d'un multiplexeur.....	63
XI.2	Affichage multiplexé :	65
GUIDE DE TRAVAUX PRATIQUES		68
TP.1	– Essai des bascules élémentaires :	72
TP.2	– Essai des registres à décalage:.....	76
TP.3	– Essai des compteurs asynchrones:.....	78
TP.4	– Essai des compteurs synchrones:.....	81
TP.5	– Essai des compteurs intégrés :	84
TP.6	– Réalisation de décodeurs logiques.....	87
Évaluation de fin de module :		89
Liste bibliographique		91

MODULE 22 :

LOGIQUE SEQUENTIELLE

Code :

Durée : 45 h

OBJECTIF OPERATIONNEL

COMPORTEMENT ATTENDU

*Pour démontrer sa compétence le stagiaire doit
appliquer des notions de logique séquentielle
Selon les conditions, les critères et les précisions qui suivent.*

CONDITIONS D'EVALUATION

- A partir :
 - de directives ;
 - d'une représentation graphique d'une séquence;
 - d'un schéma.
- A l'aide :
 - de manuels techniques;
 - de fiches techniques ;
 - de composants logiques ;
 - d'instruments de mesure.

CRITERES GENERAUX DE PERFORMANCE

- *Respect des règles de santé et de sécurité au travail.*
- *Pertinence de l'utilisation des outils et des instruments.*
- *Pertinence de la terminologie utilisée.*
- *Qualité des travaux.*

OBJECTIF OPERATIONNEL

**PRECISIONS SUR LE
COMPOTEMENT ATTENDU**

**CRITERES PARTICULIERS DE
PERFORMANCE**

A) Décrire les différentes représentations graphiques d'une séquence.

- Identification juste des symboles.
- Description juste des représentations d'une séquence.

B) Traduire des représentations graphiques d'une séquence sous forme de schémas.

- Conformité du schéma avec la représentation graphique.
- Tracé adéquat du schéma.

C) Élaborer des schémas à base de circuits intégrés.

- Conformité du schéma de montage avec le cahier de charges;
- Tracé adéquat du schéma.

D) Monter des circuits de base.

- Sélection judicieuse des composants.
- Conformité du montage avec le schéma.
- Fonctionnement correct du circuit.

Présentation du Module :

Ce module de logique séquentielle constitue la suite du module sur la logique combinatoire. Son objectif est de faire acquérir aux stagiaires des connaissances relatives aux éléments de mémoire à savoir les bascules, aux compteurs asynchrones et synchrones. Dans un même temps le stagiaire aura l'occasion de faire l'étude de montages de circuits de base en logique séquentielle. Il vise donc à rendre le stagiaire apte à appliquer des notions de logique séquentielle.

La durée de ce module est de 45 h dont 25 h de théorie, 17 h de pratique et 3 h d'évaluation.

MODULE N° 22: LOGIQUE SEQUENTIELLE

RESUME THEORIQUE

I. Règles de construction de la représentation graphique d'une séquence ou d'un cycle

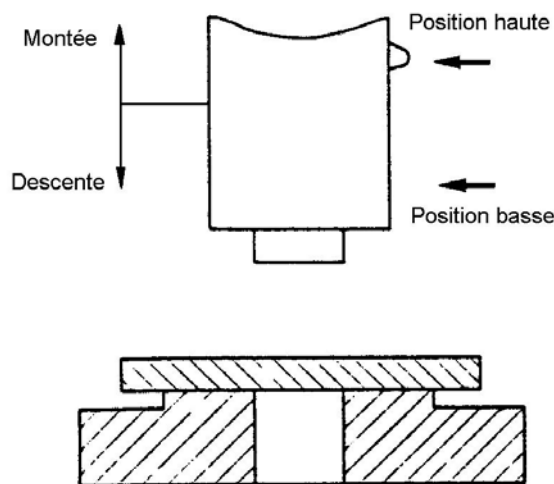
- Introduction :

Toute machine fonctionne selon un cycle, c'est à dire que partant d'un état donné, la machine effectuera différents mouvements, différentes actions et repassera à l'état de départ.

Tout ce qui se passe entre deux passages dans cet état de départ est appelé cycle.

Exemple : Poinçonneuse semi-automatique.

La poinçonneuse représentée schématiquement ci-dessous se compose d'une table fixe, la tôle à poinçonner et d'un poinçon mobile.



Considérons la poinçonneuse en sa position origine de repos, poinçon en haut.

L'opérateur en donnant l'information «Marche» provoque automatiquement la descente du poinçon suivie de sa remontée en position de repos.

Nous dirons alors que la poinçonneuse a décrit un cycle.

Constitution de la poinçonneuse

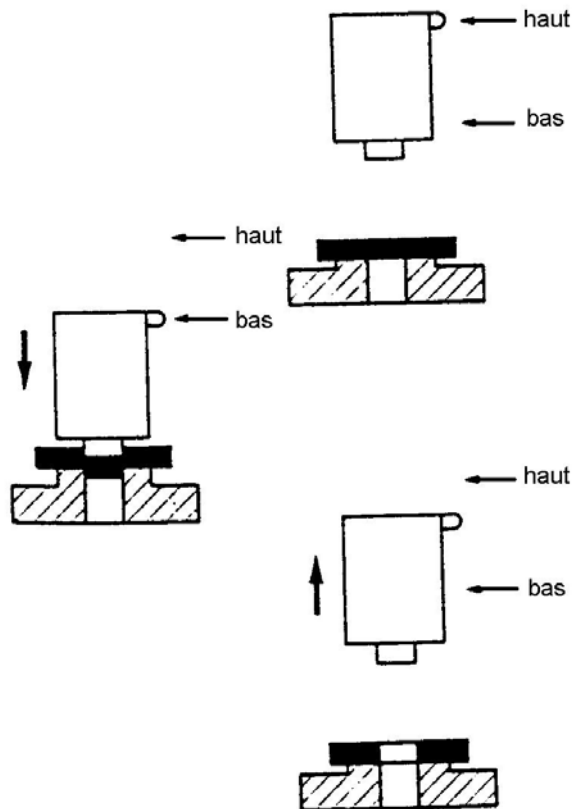
Une séquence est un ensemble de comportements liés les un aux autres par des conditions.

Pour pouvoir construire les diverses représentations graphiques d'une séquence ou d'un cycle, il faut déterminer :

a) Les grandes étapes :

Reprenons l'exemple de la poinçonneuse semi-automatique. Une telle machine présente successivement trois comportements différents.

Nous appellerons «Étape» chacun de ces comportements.



Ces trois étapes sont :

ETAPE 1 : Comportement :
La poinçonneuse est au repos.

ETAPE 2 : Comportement :
Descendre le poinçon.

ETAPE 3 : Comportement :
Remonter le poinçon

Description des étapes

Nous pouvons donc, dans un premier temps, définir une étape comme une situation du cycle de fonctionnement pendant laquelle le comportement de l'automatisme de commande demeure constant.

Sous une autre forme, tout changement de comportement provoque obligatoirement le passage à une autre étape.

Sur la machine le comportement de l'automatisme se manifeste par des actions ou plus exactement par des ordres envoyés vers les organes chargés d'exécuter ces actions.

Sur la poinçonneuse deux actions sont effectuées :

- La descente du poinçon associée à l'étape 2.
- La remontée du poinçon associée à l'étape 3.

b) Les points de prise de décision :

Il s'agit maintenant de déterminer ce qui provoque un changement de comportement de la machine c'est-à-dire les conditions logiques qui déterminent le passage d'un comportement à un autre.

Nous qualifierons chaque passage d'un comportement à un autre comme étant le franchissement d'un point de prise de décision pour bien montrer son irréversibilité.

Par exemple, le passage de la position de repos (étape 1) à la descente du poinçon (étape 2) ne peut s'effectuer que si l'opérateur fournit l'information «Marche» et que si le poinçon est en position haute («condition initiale»).

Reprenons l'exemple de la poinçonneuse semi-automatique

ETAPE 1 : Étape initiale

Position initiale du poinçon.

Point de décision 1 : Condition de passage de l'étape 1 à l'étape 2 :
Information «marche» et poinçon en position haute.

ETAPE 2 : Descendre le poinçon.

Point de décision 2 : Condition de passage de l'étape 2 à l'étape 3 :
Poinçon en position basse.

ETAPE 3 : Remonter le poinçon.

Point de décision 3 : Condition de passage de l'étape 3 à l'étape 1 :
Poinçon en position haute.

Nous pouvons donc définir des points de prise de décision comme des points où on exploite des conditions variables impliquant le choix d'une voie parmi plusieurs ou le passage d'une étape à une autre. C'est là où on effectue des tests ou alternance.

Ces points de décision sont appelés aussi transitions qui sont conditionnées par des réceptivités constituées de fonctions logiques des différentes variables nécessaires au passage à l'étape suivante.

c) S'il y a répétition ou arrêt de la séquence :

La reprise de séquence ou boucle, permet de reprendre une ou plusieurs fois la même séquence tant qu'une condition fixée n'est pas obtenue (c'est un type d'aiguillage).

Exemple :

Considérons un exemple : chauffage d'un local.

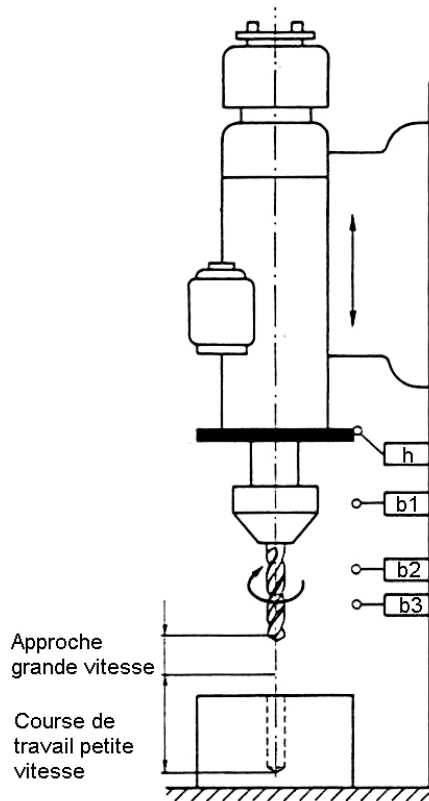
Dans un local, le chauffage ne doit fonctionner que pour des températures inférieures à 18°C.

On a ici deux sortes de reprises de séquence :

- Après le test ($\theta_L < 18^\circ\text{C}$), sur la réponse OUI, c'est une boucle conditionnelle qui permet de faire marcher le chauffage et reprendre l'étape de la mesure de température.
- Après la dernière information de sortie (chauffage arrêté) c'est une boucle d'initialisation qui autorise le système à continuer sa régulation.

d) S'il y a saut de séquence :

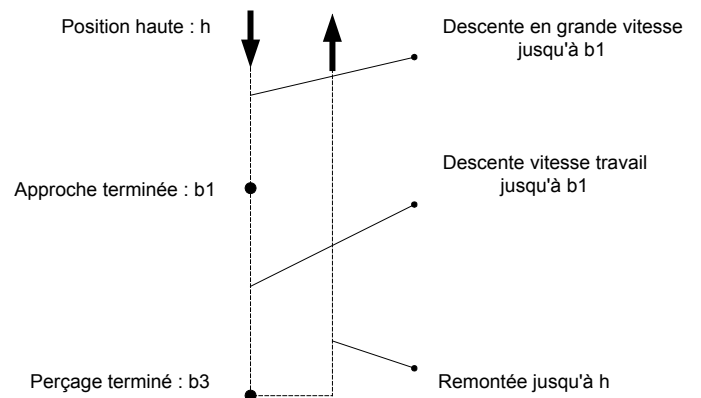
Exemple : Perceuse avec ou sans débouillage.



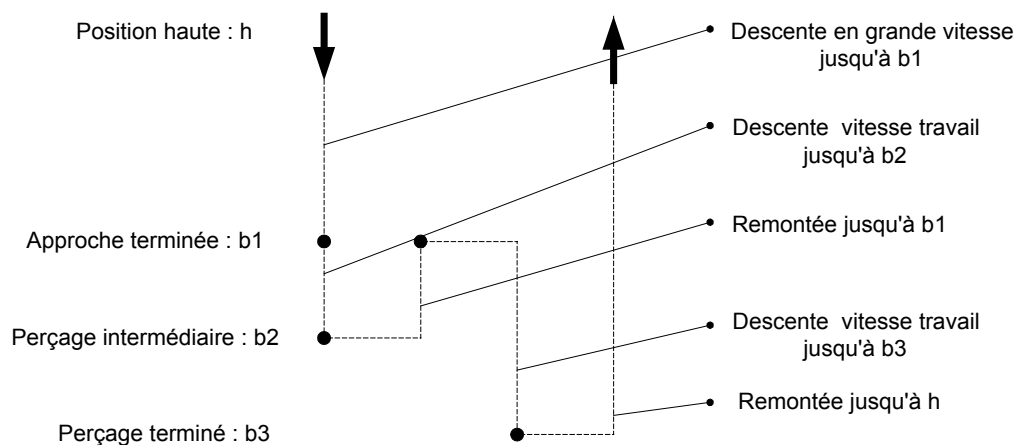
Soit une perceuse automatique fixée sur une console coulissant sur un bâti métallique.

Suivant l'épaisseur et la nature des pièces à percer l'opérateur peut choisir entre deux cycles possibles :

- Soit le cycle sans débouillage : comprenant les mouvements suivants :



- Soit le cycle avec débouillage effectuant une remontée de la broche à une position intermédiaire afin de dégager le foret avant de terminer le perçage déjà commencé. Ce cycle est le suivant :



Les étapes du cycle avec débouillage sont :

ETAPE 1 : Étape initiale (ATTENTE)

ETAPE 2 : Descente en grande vitesse (APPROCHE)

ETAPE 3 : Descente en petite vitesse (PERCAGE)

ETAPE 4 : Remontée en grande vitesse (DEGAGEMENT)

ETAPE 5 : Descente en petite vitesse (PERCAGE)

ETAPE 6 : Remontée en grande vitesse (RETOUR)

Les étapes du cycle sans débouillage sont :

ETAPE 1 : Étape initiale (ATTENTE)

ETAPE 2 : Descente en grande vitesse (APPROCHE)

ETAPE 3 : Descente en petite vitesse (PERCAGE)

ETAPE 6 : Remontée en grande vitesse (RETOUR)

Remarquons que le cycle sans débouillage correspond au saut des étapes 4 et 5 dont les comportements sont inutiles dans ce cycle.

Nous pouvons donc définir un saut conditionnel d'étapes comme une rupture de séquence (autre type d'aiguillage).

e) s'il y a un choix conditionnel entre plusieurs séquences :

Dans le fonctionnement d'un équipement automatisé, il est nécessaire d'effectuer une sélection exclusive d'une séquence parmi plusieurs séquences (aiguillage).

Exemple: station de pompage (voir figure suivante)

Un groupe moto-pompe alimente en eau, à partir des bassins de reprise, le réservoir d'un château d'eau.

Deux modes de fonctionnement sont possibles :

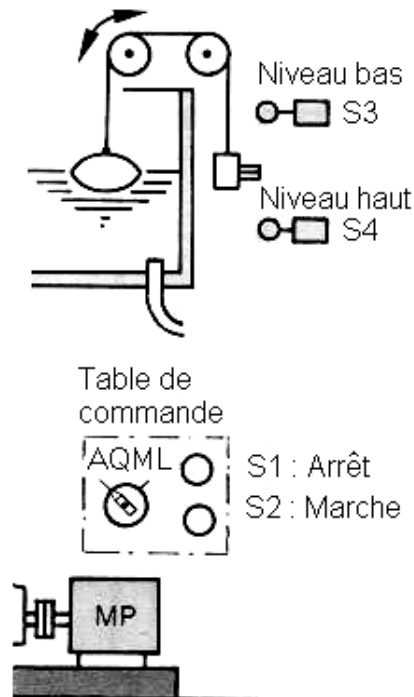
- Marche manuelle : le responsable de l'installation commande à volonté la marche ou l'arrêt du groupe moto-pompe.
- Marche automatique : (commande automatique) : en fonction de deux niveaux prédéterminés d'eau dans le réservoir, niveau bas et haut, le groupe se met automatiquement en marche ou s'arrête.

On a donc une étape initiale commune aux deux modes de fonctionnement :

ETAPE 1 : étape initiale (ATTENTE)

Équipement sous tension.

Suivant que le commutateur est sur position marche automatique ou sur position marche manuelle on a le choix entre deux séquences



Séquence 1 : marche manuelle

Point de décision : position du commutateur sur ML et information marche.

Étape 2 : Mettre le groupe en marche.

Point de décision : information d'arrêt.

Étape 3 : Arrêter le groupe

Séquence 2 : Marche automatique

Point de décision : position du commutateur sur AQ et information niveau bas atteint.

Étape 4 : Mettre le groupe en marche

Point de décision : information niveau haut atteint.

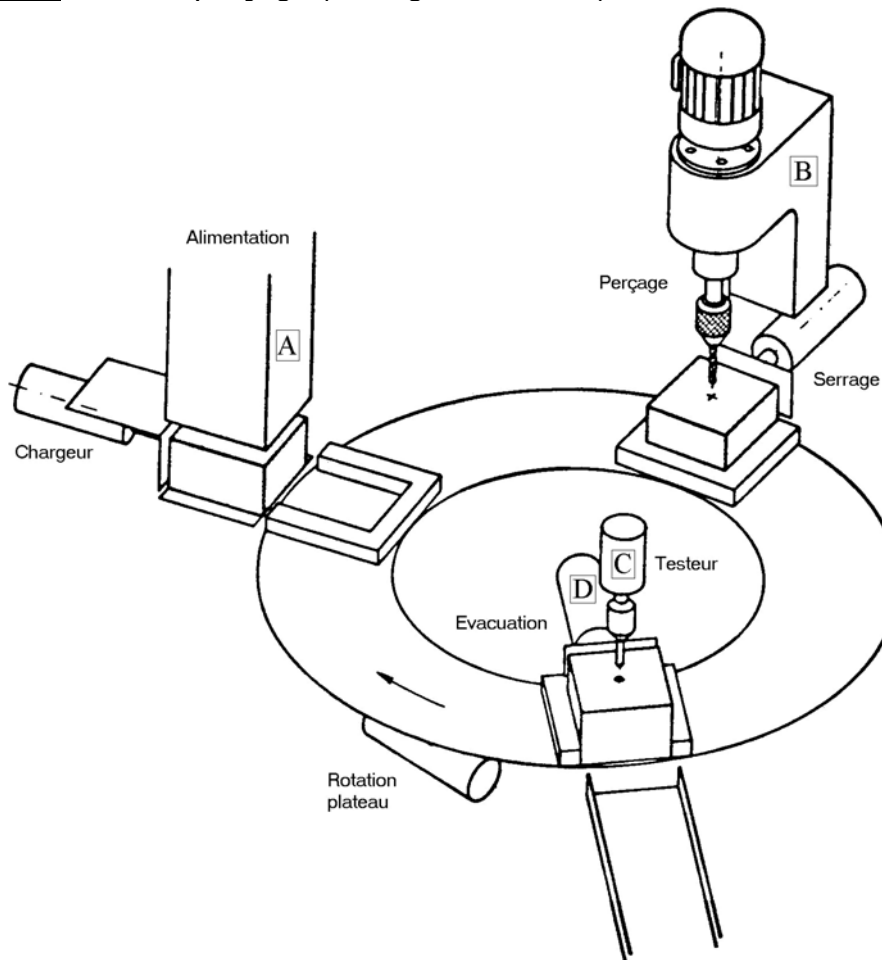
Étape 5 : Arrêter le groupe.

Après la fin de la séquence choisie 1 ou 2, on a un point de décision qui permet de vérifier si on a la position repos du contacteur du moteur de pompe et puis retour à l'étape initiale.

f) S'il y a des séquences simultanées :

Le cycle de fonctionnement d'un équipement automatisé peut comporter plusieurs séquences qui s'exécutent simultanément mais dont les évolutions des étapes actives dans chaque séquence restent indépendantes.

Exemple : Poste de perçage (voir figure suivante)



Un plateau tournant dessert 3 postes de travail : le premier de chargement, le deuxième de perçage, et le troisième de contrôle et d'évacuation des pièces percées. Donc on aura 3 séquences :

Séquence 1 : de chargement

Séquence 2 : de perçage


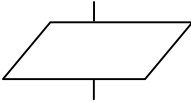
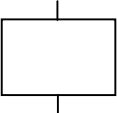
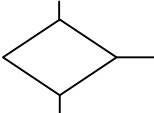
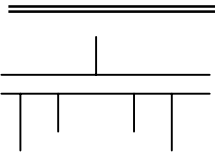
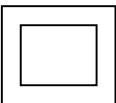
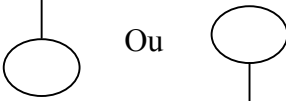


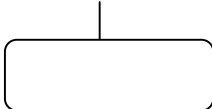
Séquence 3 : de contrôle et d'évacuation.

Chacune de ces séquences est composée d'un certain nombre d'étapes.

Lorsque l'ordre marche apparaît à condition que la partie opérative soit correctement positionnée, les trois séquences précitées sont simultanément activées. A partir de cette situation les 3 évoluent indépendamment les unes des autres mais elles devront être toutes achevées pour aboutir à une évolution commune à l'étape qui provoque la rotation du plateau.

II. Les principaux symboles associés à diverses représentations graphiques d'une séquence.

Les principaux symboles associés à diverses représentations graphiques d'une séquence sont résumés dans le tableau ci-dessous :

Symboles	Désignations
	Début d'un organigramme
	Point d'entrée de données ou de sortie de résultats
	Action c'est-à-dire opération ou groupe d'opérations sur des données. C'est le symbole général «traitement»
	Indication d'un point de décision (test ou alternance) C'est-à-dire exploitation de conditions variables impliquant le choix d'une voie parmi plusieurs.
	Ce symbole est utilisé lorsqu'une ou plusieurs voies doivent l'avoir atteint avant qu'une ou plusieurs voies qui en sortent soient utilisées en parallèle ou suivant un ordre quelconque.
	Étape initiale
	Renvoi : donne la possibilité de raccorder des segments de grandes séquences.
	Étape simple
	Transition
	Fin d'un organigramme

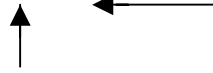
Sens conventionnel des liaisons

Le sens général des lignes de liaisons doit être :
De haut en bas ;



- De gauche à droite ; ———

Lorsque le sens ainsi défini n'est pas respecté, des pointes de flèches à cheval sur la ligne indiquent le sens utilisé :



III. Modes de marche et d'arrêt d'une séquence.

III.1 Les modes de marche :

Un mode de marche est un choix de fonctionnement, effectué par l'opérateur, conditionnant la façon dont doit se dérouler le cycle de l'automatisme de commande.

Malgré la grande variété des modes de marche rencontrés sur les automatismes industriels, il est possible de les regrouper en deux grandes catégories :

- Les marches automatiques ou de production.
- Les marches d'intervention.

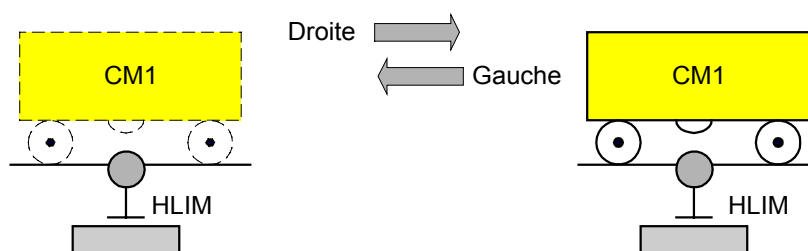
a) Les marches automatiques :

Les marches automatiques sont considérées comme le fonctionnement normal de l'automatisme.

- Fonctionnement semi-automatique – Marche cycle par cycle – Cycle unique :

Chaque cycle, commandé par l'information «départ cycle», se déroule automatiquement mais nécessite à chaque fois une nouvelle intervention de l'opérateur pour pouvoir exécuter le cycle suivant.

Exemple :



- Le chariot est initialement à gauche.
- En activant un bouton poussoir départ cycle (dcy), le chariot effectue le cycle suivant :
 - Déplacement vers la droite jusqu'à fin de course HLIM;
 - Déplacement vers la gauche jusqu'à fin de course HLIM;
 - Arrêt du chariot.

D'après le cahier de charge de cet exercice, il faut une nouvelle activation du bouton dcy pour exécuter le cycle suivant.

- Fonctionnement automatique – Marche cycle automatique – Cycles continus :

Après action sur un bouton poussoir «départ cycle», le cycle se répète indéfiniment jusqu'à ce que l'ordre d'arrêt soit donné, cet arrêt ne s'effectuant qu'une fois le cycle terminé.

Précisons bien que cette demande d'arrêt n'intervienne que pour éviter l'exécution d'un nouveau cycle mais ne provoque pas l'arrêt du cycle en cours.

Exemple :

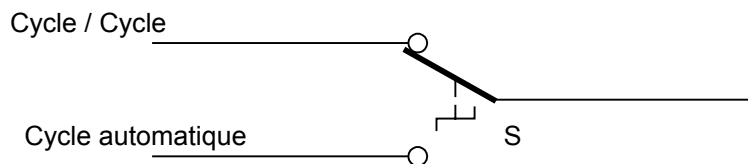
Reprenons l'exemple précédent avec un cahier de charge différent :

- Le chariot est initialement à gauche.
- Dès qu'on active un bouton poussoir «départ cycle», le chariot effectue les déplacements suivants :

- Déplacement à droite jusqu'à fin de course HLIM
- Déplacement à gauche jusqu'à fin de course HLIM

Le cycle recommence jusqu'à l'activation d'un bouton poussoir «arrêt cycle» à la fin du cycle.

Le choix de ces marches de production est laissé à l'opérateur. Elles peuvent être réalisées par un commutateur bidirectionnel à deux positions maintenues :



Remarque : L'arrêt des cycles continus s'effectue en plaçant le commutateur sur la position «Cycle par Cycle».

b) Les marches d'intervention :

Les marches dites d'intervention ou de maintenance, dont les plus connues sont les marches manuelles, nécessitent de la part de celui qui les utilise une connaissance très précise de la machine et de ses possibilités. Ces modes ne seront donc généralement exécutés que sous la responsabilité d'un régleur ou d'un agent de maintenance.

III.2 Les arrêts :

Les arrêts ne constituent pas à proprement parler un mode de marche mais peuvent imposer aussi au cycle des structures particulières.

a) L'arrêt momentané :

Un arrêt momentané interrompt immédiatement les ordres de commande de toute ou partie des actions en cours.

Il est donc possible, sous le contrôle de l'opérateur, de reprendre le fonctionnement du cycle à l'endroit où il a été interrompu.

b) Les arrêts d'urgence :

Un arrêt d'urgence provoque l'annulation de tous les ordres de commande, que ceux-ci soient manuels ou automatiques. Il peut quelques fois laisser certaines actions maintenues ou en enclencher d'autres suivant le sens de la sécurité.

L'arrêt d'urgence peut aussi effectuer la remise à zéro du ou des cycles, c'est à dire la désactivation de toutes les étapes actives ou réinitialiser le cycle si cette opération ne s'avère pas dangereuse pour la partie opérative.

La machine doit donc dans certains cas être ramenée à sa position initiale ou d'origine, manuellement ou, à partir d'une séquence particulière de dégagement.

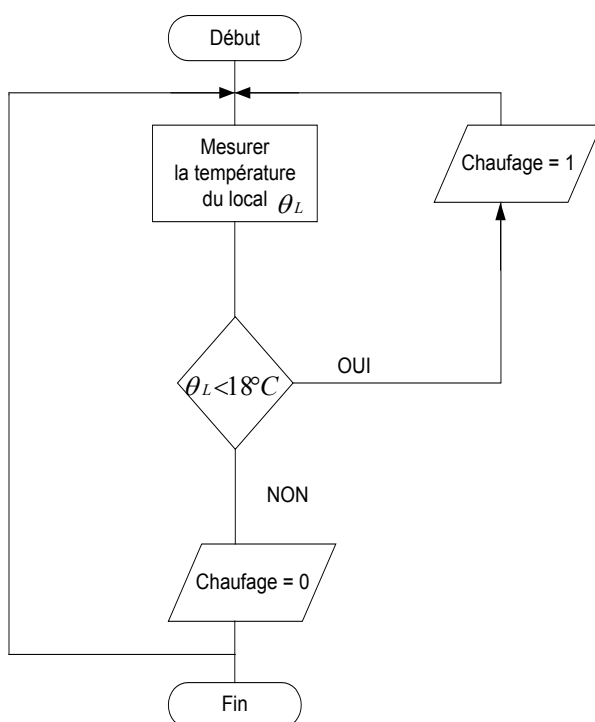
IV. Différentes représentations graphiques d'une séquence

IV.1 Algorithme:

Un algorithme est une règle. Il s'exprime par une suite ordonnée de directives composées d'actions et de décisions qu'il faut exécuter en séquence suivant un enchaînement strict pour accomplir une tâche quelconque. On peut considérer que toute succession de tâches logiques constitue l'algorithme de son résultat.

Exemples : Chauffage d'un local

Dans un local le chauffage ne doit fonctionner que pour des températures inférieures à 18°C .



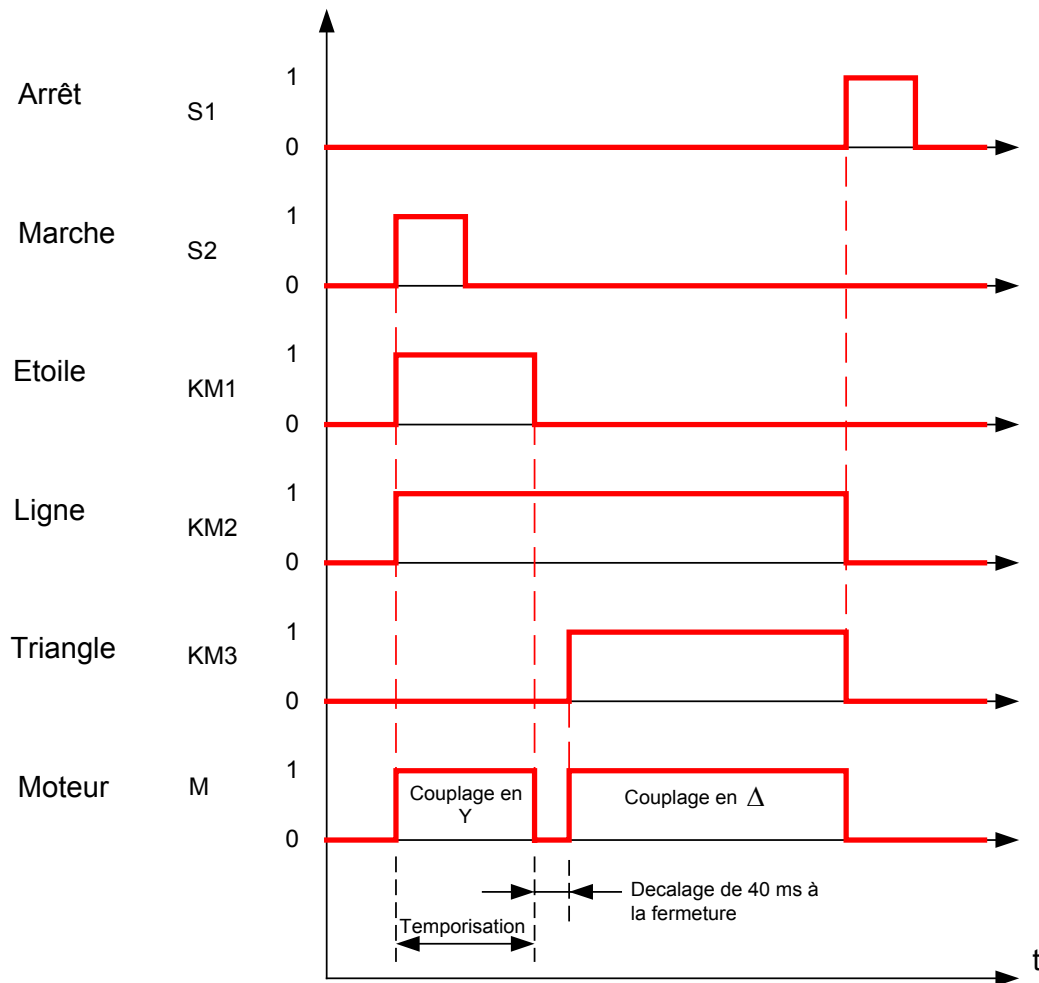
État 1 : Chauffage en marche.

État 0 : Chauffage arrêté.

IV.2 Chronogramme

Il permet de visualiser l'interaction des variables binaires d'un circuit. Il représente par un graphique les états 0 et 1 de celles-ci en fonction du temps.

Chronogramme d'un démarrage étoile-triangle d'un moteur asynchrone triphasé à cage : commande semi-automatique, un sens de marche.



IV.3 GRAF CET

Le GRAFCET est une représentation graphique du comportement d'un système automatisé.

Le tracé de ce graphique est défini par :

- Des éléments de base : Étape, Transition, liaisons orientées permettant de construire la structure séquentielle de l'automatisme ;
- Une interprétation : Actions associées aux étapes, Réceptivités associées aux transitions permettant de décrire le fonctionnement de la partie opérative et de la partie commande ;

- Des règles d'évolution, permettant d'obtenir des documents pouvant être interprétés sans ambiguïté par les différents intervenants dans l'automatisme.

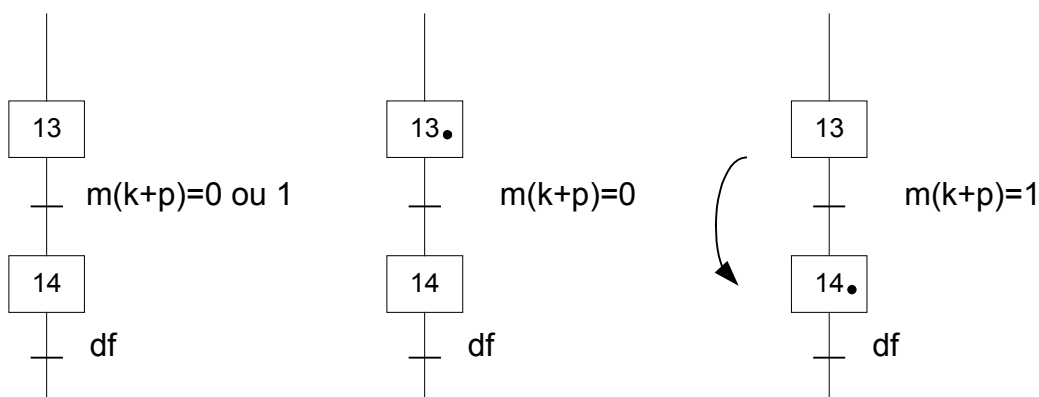
a) **Éléments de base :**

- **Étape :** Caractérise un comportement invariant d'une partie ou de la totalité de la partie commande du système.
- **Actions associées à l'étape :** Elles traduisent ce qui doit être fait chaque fois que l'étape à laquelle elles sont associées est active.
- **Transition :** Elle indique la possibilité d'évolution entre étapes. Cette évolution s'accomplit par le franchissement de la transition.
- **Réceptivité :** associée à la transition : C'est une condition logique vraie ou fausse des différentes variables nécessaires au franchissement de la transition.
- **Liaisons orientées :** Ce sont des lignes verticales ou horizontales qui relient les étapes aux transitions et les transitions aux étapes.

b) **Règles d'évolution du GRAFCET**

- **Règle 1 :** L'initialisation précise les étapes actives au début du fonctionnement.
- **Règle 2 :** Une transition est soit validée, soit non validée. Elle est validée lorsque toutes les étapes immédiatement précédentes sont actives. Elle ne peut être franchie que lorsqu'elle est validée et que la réceptivité associée à la transition est vraie.

Exemple :



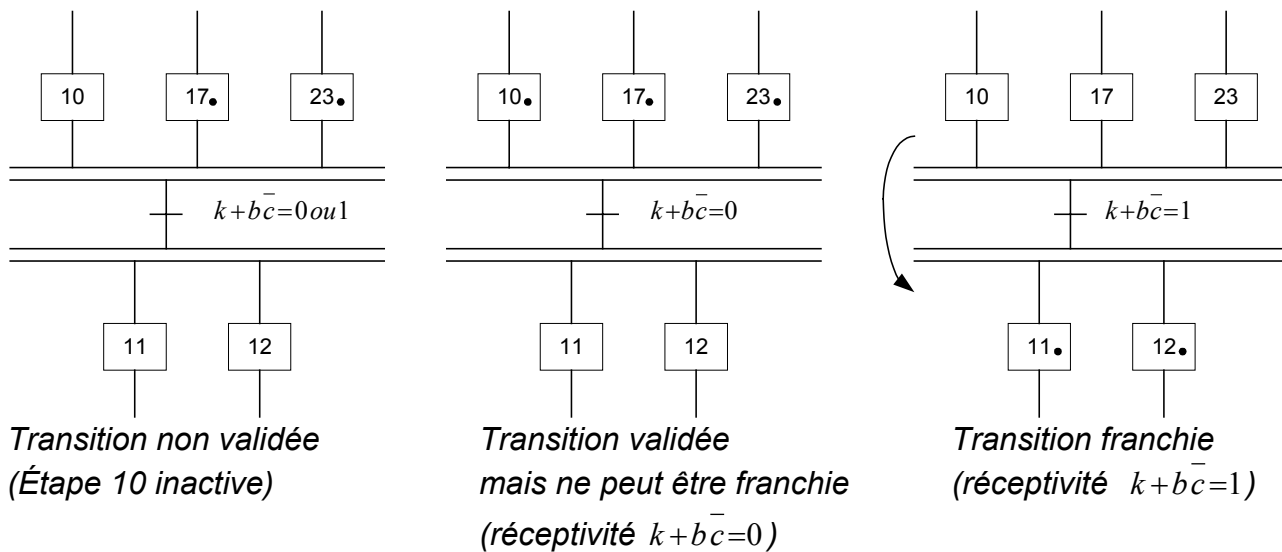
Transition non validée
(étape 13 étant inactive)

Transition validée
mais ne peut être franchie
(étape 13 active mais
réceptivité $m(k+p) = 0$)

Transition franchie
(réceptivité $m(k+p) = 1$)

- **Règle 3 :** Le franchissement d'une transition entraîne l'activation de toutes les étapes immédiatement suivantes et la désactivation de toutes les étapes immédiatement précédentes.

Exemple :



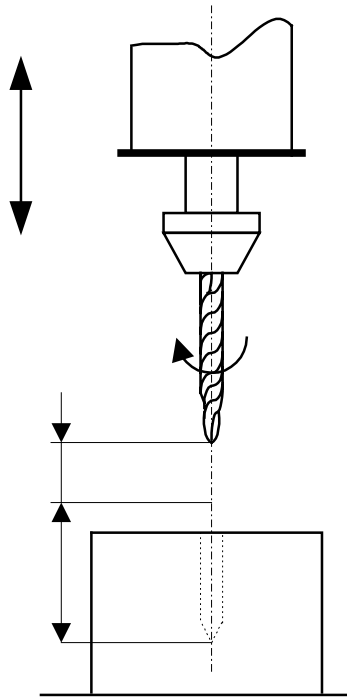
- **Règle 4 :** Plusieurs transitions simultanément franchissables sont simultanément franchies.
- **Règle 5 :** Si au cours d'un fonctionnement une même étape doit être désactivée et activée simultanément, elle reste activée.

c) **Emploi du diagramme fonctionnel GRAFCET**

A fin de définir correctement le cahier des charges d'un équipement, le diagramme fonctionnel est utilisé à 2 niveaux :

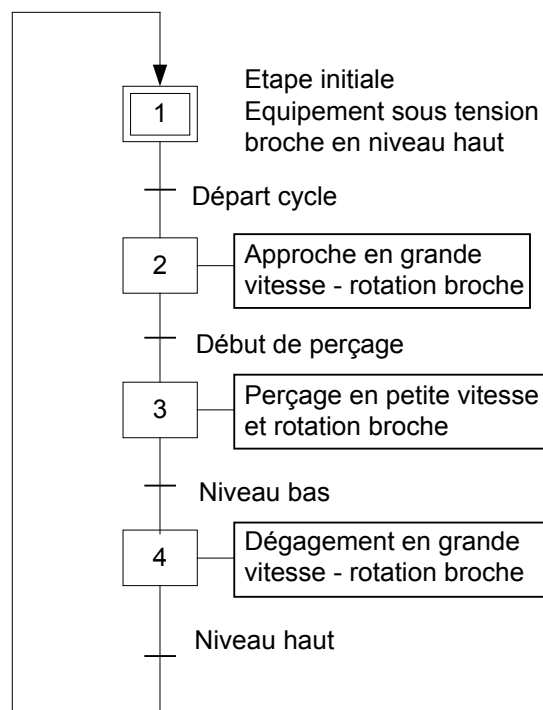
- **Niveau 1 :** Permet de comprendre ce que l'automatisme doit faire face aux différentes situations pouvant se présenter à lui.
- **Niveau 2 :** Le choix technologique étant fait, la description donne les précisions nécessaires à la réalisation pratique de l'équipement.

Exemple : Tête d'usinage.



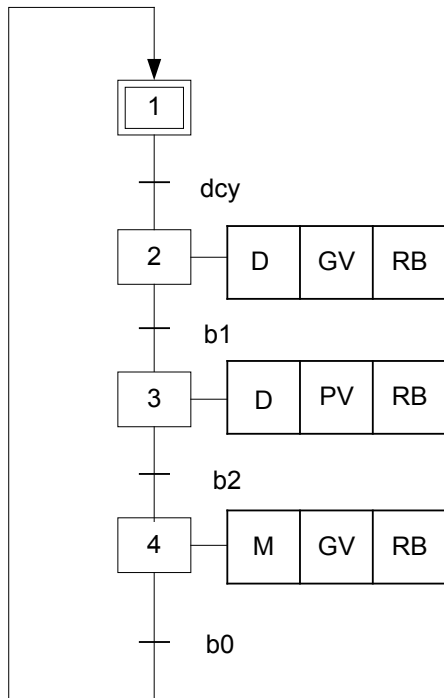
GRAF CET niveau 1 :

On désire percer des pièces à l'aide d'une broche animée d'un mouvement de rotation et d'un mouvement vertical.



GRAF CET niveau 2

Après le choix technique (actionneurs, capteurs) le GRAF CET niveau 2 apporte les précisions nécessaires à la réalisation de l'équipement.

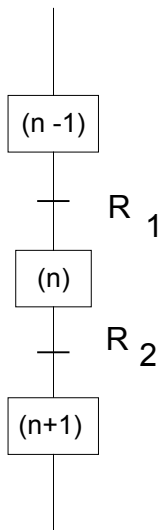


D : descente;
M : montée;
GV : grande vitesse;
PV : petite vitesse;
RB : rotation broche;
Dcy : départ cycle;
b2 : fin de course niveau bas;
b0 : fin de course niveau haut;
b1 : début de perçage.

V. La traduction des représentations graphiques d'une séquence sous forme de schémas

V.1 Mise en équation d'une étape

Une étape de rang (n) a deux états : actif et inactif qui peuvent respectivement s'écrire $A(n)$ et $\bar{A}(n)$.



Les conditions d'activation d'une étape sont les suivantes :

- L'étape de rang ($n-1$) doit être active, soit $A(n-1) = 1$.
- La réceptivité de la transition entre l'étape de rang ($n-1$) et l'étape de rang (n) doit être vraie, soit $t(n-1) \rightarrow (n) = 1$.
- La condition de désactivation est que l'étape de rang ($n+1$) soit active, soit $A(n+1)=1$.

De plus, après activation, l'étape mémorise son état.
 Si $m(n)$ est sa mémoire : $m(n) = 1$.

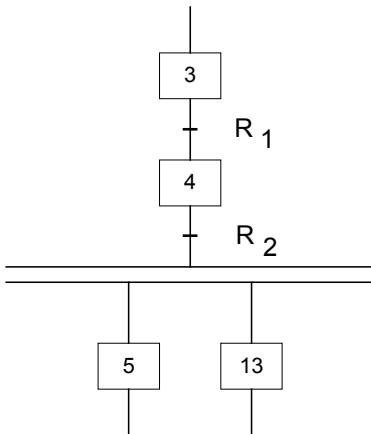
Sachant que la désactivation est prioritaire sur l'activation, l'équation générale de l'état actif d'une étape peut s'écrire :

$$A(n) = (\text{activation OU mémorisation}) \text{ ET PAS désactivation}$$

$$A(n) = \{A(n-1) t(n-1) \rightarrow (n) + m(n)\} \cdot \bar{A}(n+1)$$

Exemples d'application :

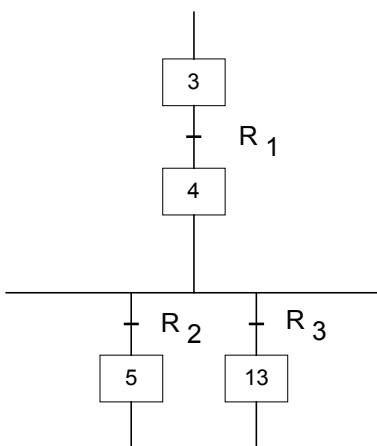
a) Étape précédant le début de deux séquences simultanées



Étape 4 : $A4 = (A3.R1+m4) \cdot \overline{A5 \cdot A13}$
 $A4 = (A3.R1+m4) \cdot (\bar{A}5 + \bar{A}13)$

$\bar{A}5 + \bar{A}13$: condition de non désactivation de l'étape 4 qui prend en compte la divergence en ET.

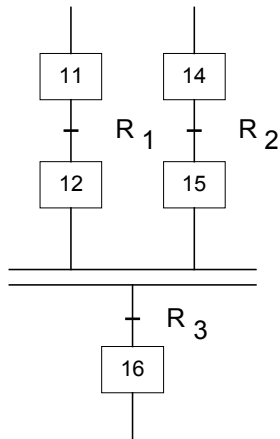
b) Étape précédant un choix conditionnel entre plusieurs séquences



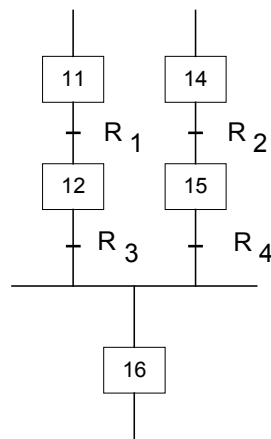
Étape 4 : $A4 = (A3.R1+m4) \cdot (A5+A13)$
 $A4 = (A3.R1+m4) \cdot \bar{A}5 \bar{A}13$

$\bar{A}5 \cdot \bar{A}13$: condition de non désactivation de l'étape 4 qui prend en compte la divergence en OU.

c) Étape terminant deux séquences simultanées ou choisies après un aiguillage



Convergence en ET



Convergence en OU

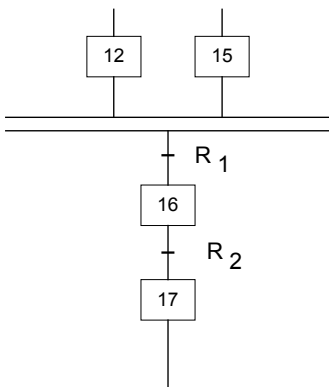
Pour les deux cas de figure :

Étape 12 : $A_{12} = (A_{11}.R_1+m_{12}).\bar{A}_{16}$

Étape 15 : $A_{15} = (A_{14}.R_2+m_{15}).\bar{A}_{16}$

\bar{A}_{16} : condition de non désactivation commune aux deux étapes 12 et 15.

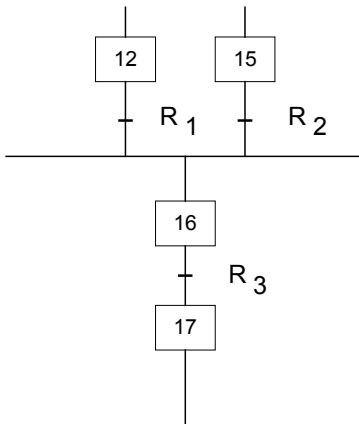
d) Étape de début d'une séquence après convergence en ET



Étape 16 : $A_{16} = (A_{12}.A_{15}.R_1+.m_{16}).\bar{A}_{17}$

$A_{12}.A_{15}.R_1$: condition d'activation de l'étape 16 qui prend en compte la convergence en ET

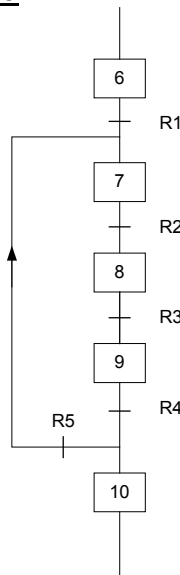
e) Étape de début d'une séquence après une convergence en OU



Étape 16 : $A_{16} = (A_{12}.R_1 + A_{15}.R_2 + m_{16}). \bar{A}_{17}$

$A_{12}.R_1 + A_{15}.R_2$: condition d'activation de l'étape 16 qui prend en compte la convergence en OU

f) Reprise de séquence ou boucle



Soit la boucle 7-8-9 :

* Première étape de la boucle : étape 7

$$A_7 = (A_6.R_1 + A_9.R_5 + m_7). \bar{A}_8.$$

$A_6.R_1$: condition d'activation de l'étape 7 en venant de l'étape 6.

$A_9.R_5$: condition d'activation de l'étape 7 en venant de l'étape 9.

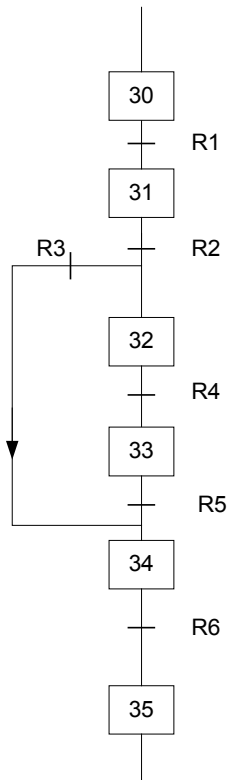
* Dernière étape de la boucle : étape 9

$$A_9 = (A_8.R_3 + m_9). \overline{(A_{10} + A_7)}$$

$$A_9 = (A_8.R_3 + m_9). \bar{A}_{10}. \bar{A}_7$$

$\bar{A}_{10}. \bar{A}_7$: condition de non désactivation de l'étape 9 qui prend en compte la condition de reprise de séquence.

g) Saut d'étapes



Soit le saut des étapes 31-34

* étape qui précède le saut : étape 31

$$A_{31} = (A_{30} \cdot R_1 + m_{31}) \cdot (A_{32} + A_{34})$$

$$A_{31} = (A_{30} \cdot R_1 + m_{31}) \cdot \overline{A_{32}} \cdot \overline{A_{34}}$$

$\overline{A_{32}} \cdot \overline{A_{34}}$: condition de non désactivation de l'étape 31 qui prend en compte la condition de saut.

* étape qui suit le saut : étape 34

$$A_{34} = (A_{33} \cdot R_5 + A_{31} \cdot R_3 + m_{34}) \cdot \overline{A_{35}}$$

$A_{33} \cdot R_5$: condition d'activation de l'étape 34 dans le cas où il n'y a pas de saut de séquence.

$A_{31} \cdot R_3$: condition d'activation de l'état 34 dans le cas où il y a saut de séquence.

V.2 Règles de conversion d'une étape en schéma

a) Schéma électronique

- Représenter chaque étape par une mémoire (bascule bistable type RS). L'équation générale d'une bascule bistable à déclenchement prioritaire est :

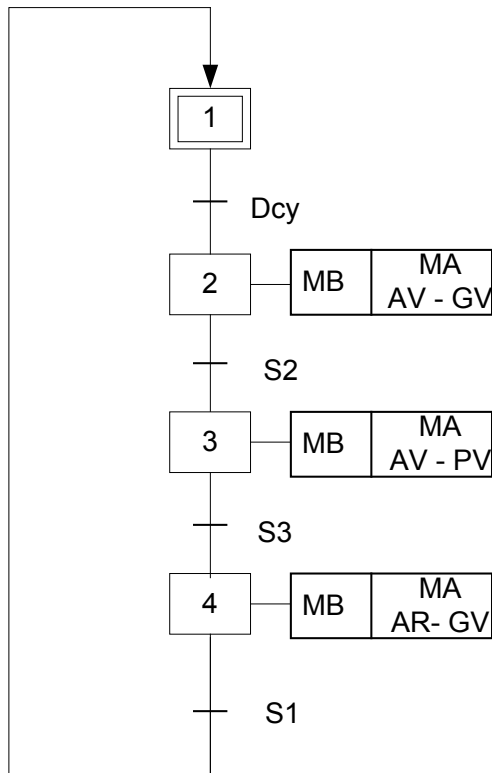
État de la sortie Q = (enclenchement ou mémoire) ET PAS déclenchement

$$Q = (E + m) \times \overline{D}$$

- Écrire les équations d'enclenchement et de déclenchement de chaque étape (bascule).
- Traduire ces équations en schémas logiques (logigramme).

Exemple : Tête d'usinage

GRAFSET :



Équations des bascules bistables
(enclenchement E, déclenchement D)

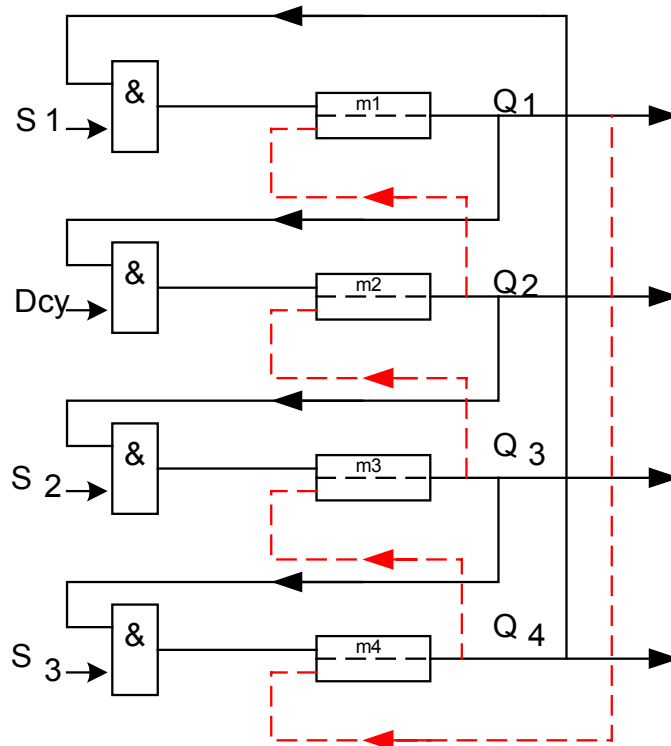
$$\begin{cases} E_1 = Q_4 \times S_1 \\ D_1 = Q_2 \end{cases}$$

$$\begin{cases} E_2 = Q_1 \times D_{cy} \\ D_2 = Q_3 \end{cases}$$

$$\begin{cases} E_3 = Q_2 \times S_2 \\ D_3 = Q_4 \end{cases}$$

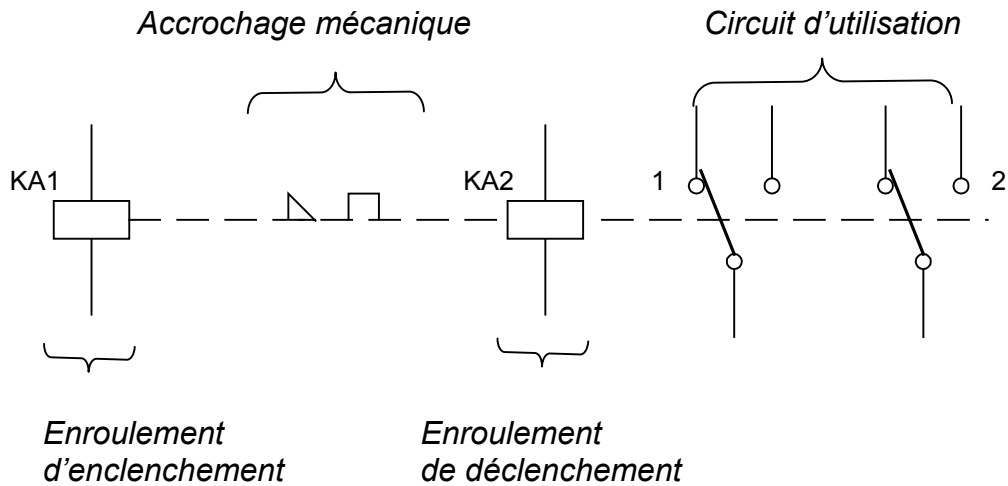
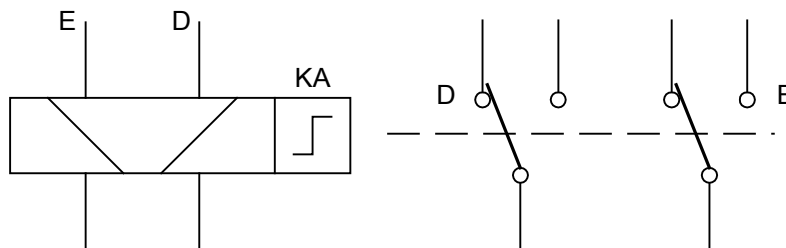
$$\begin{cases} E_4 = Q_3 \times S_3 \\ D_4 = Q_1 \end{cases}$$

Schéma logique :



b) Schémas électriques

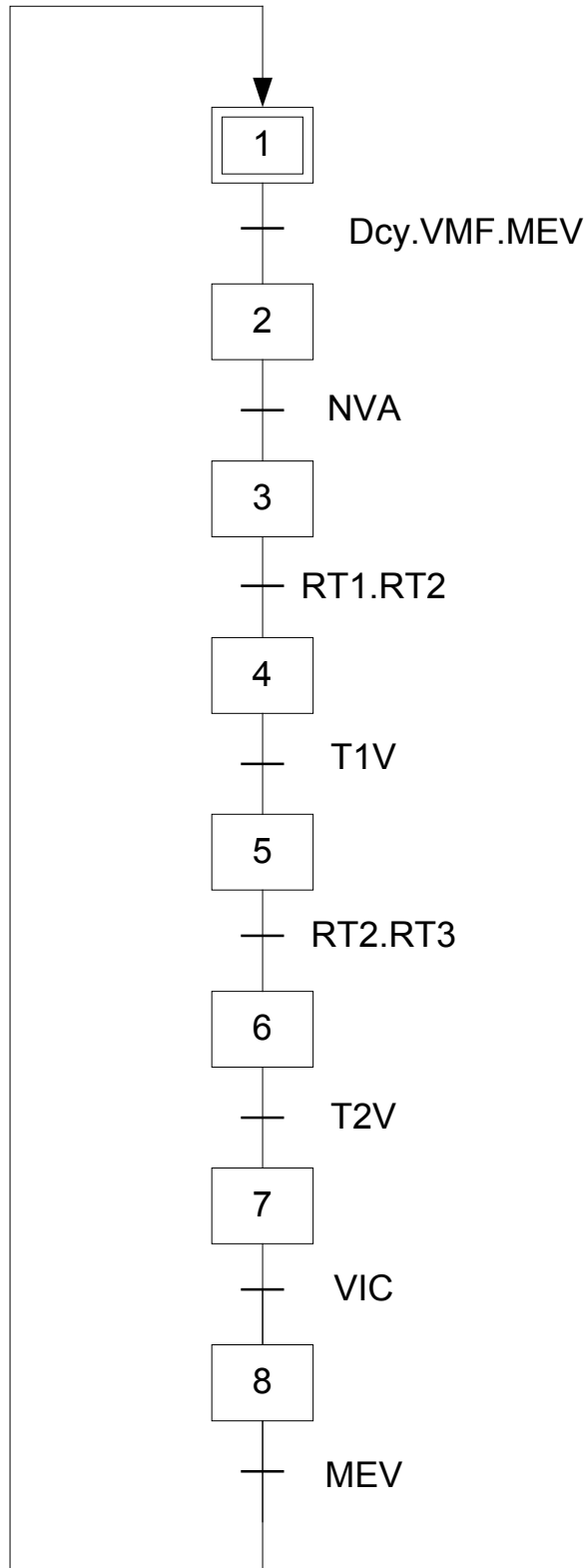
Le principe reste le même que celui utilisé pour les schémas électroniques. L'élément mémoire utilisé est le relais bistable à accrochage mécanique ou magnétique.

Symboles :• Relais bistable à accrochage mécanique• Relais bistable à accrochage mécanique

La solution actuellement la plus répandue est l'utilisation des relais à accrochage mécanique.

Exemple : (Station de mélange)

Le schéma à contacts ou logique se fait très rapidement et d'une façon méthodique, sans qu'il soit besoin de se poser des questions sur le fonctionnement de la partie opérative, au seul vu du GRAFCET.



GRAFCETniveau 2

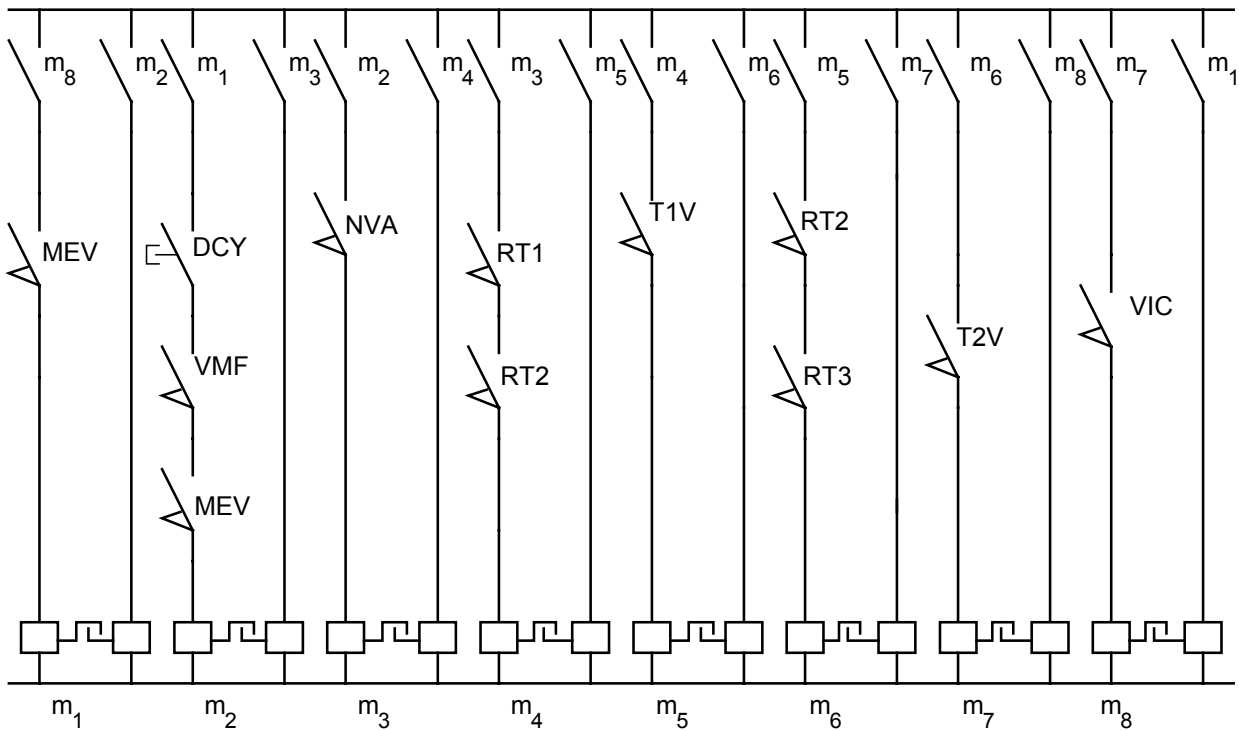


Schéma à contacts correspondant

Information	Capteur
Départ cycle	DCY
Niveau d'eau atteint	NVA
Trémie 1 vide	T1V
Trémie 2 vide	T2V
Rotation tapis 1	RT1
Rotation tapis 2	RT2
Rotation tapis 3	RT3
Mélangeur vide	MEV
Vidange mélange fermée	VMF
Viscosité correcte	VIC

VI. Les éléments de mémoires :

VI.1 Concept de mémorisation :

(figure 6.1)

Pour certains opérateurs, l'état de la sortie dépend non seulement de la combinaison appliquée à l'entrée (logique combinatoire) mais aussi de l'état précédent des sorties du circuit : ils sont dits séquentiels et ont un effet « mémoire ». La logique séquentielle est donc une logique combinatoire avec une mémorisation des sorties. Cette mémorisation est réalisée par ce qu'on appelle une bascule ; c'est un organe de mémorisation unitaire (mémorisation d'une seule donnée).

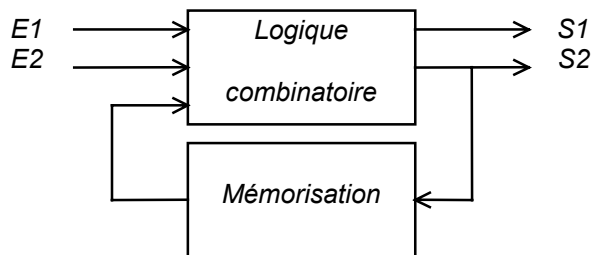


Figure 6.1 – Schéma général d'un circuit séquentiel

Exemple :

On prend l'exemple d'un poste marche-arrêt qui commande le fonctionnement d'un moteur. Une action momentanée sur le bouton «>>marche» met le moteur en fonction aussi longtemps que le bouton-poussoir «>>arrêt» n'est pas actionné. Dans le tableau de la figure 6.2, on remarque que les variables d'entrée des étapes 1 et 3 ont la même valeur, mais que l'état de la sortie est différent ; un dispositif de mémoire a maintenu le moteur en marche. Il devient donc impossible de construire une table de karnaugh comme en logique combinatoire et de réaliser le circuit à l'aide de simples portes logiques.

étape	Bouton-poussoir «>>marche»	Bouton-poussoir «>>arrêt»	Moteur
1	0	0	0
2	1	0	1
3	0	0	1
4	0	1	0
5	0	0	0

Figure 6.2 – Poste marche-arrêt

On peut dire que le concept de mémorisation est l'élément fondamental de la logique séquentielle.

VI.2 Synchronisation des circuits :

Il existe des circuits synchrones et asynchrones. La différence entre ces deux catégories se situe au regard du synchronisme des actions. Un circuit asynchrone peut changer d'état à

tout moment selon les variables d'entrée. Par contre, un circuit synchrone incorpore un signal d'horloge qui sert à enclencher les actions

a) **Circuit séquentiel asynchrone :**

Dans un circuit séquentiel asynchrone, le changement de l'état logique de la sortie peut s'effectuer à n'importe quel moment selon le changement des variables d'entrée. La détermination de l'état logique du système s'effectue instantanément, d'où la difficulté de concevoir, et surtout de déboguer des circuits asynchrones.

b) **Circuit séquentiel synchrone :**

Dans un circuit séquentiel synchrone, un signal d'horloge commande le changement de l'état logique de la sortie. Le système est alors susceptible de changer d'état uniquement à des moments précis déterminés par l'horloge. Cela facilite la conception et le débogage du circuit par une analyse pas à pas dictée par chaque coup de l'horloge. Il faut noter que les variables doivent être constantes et non fugitives au moment précis du coup de l'horloge, sinon elles ne seront pas prises en considération. (L'expression <<variables constantes>> signifie que les variables sont dans un état stable).

c) **Signal d'horloge :**

L'horloge génère habituellement un train d'ondes carrées d'une durée fixe, comme le présente la figure 6.3. Cette durée s'appelle période et se mesure en secondes.

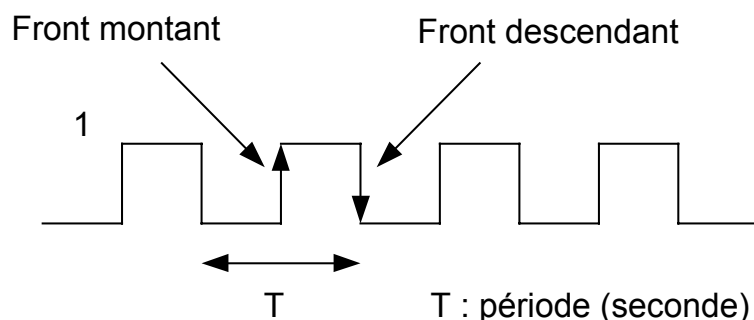


Figure 6.3 – Signal d'horloge

Il importe de distinguer les niveaux et les transitions d'une onde carrée. On connaît déjà le niveau BAS (état logique 0) et le niveau HAUT (état logique 1) associés aux états stables d'une onde. Les transitions correspondent aux changements d'un état stable vers un autre. On désigne le signal ascendant par l'expression front montant (transition positive de 0 à 1) et le signal descendant, par front descendant (transition négative de 1 à 0).

VI.3 **Les bascules :**

La bascule est un circuit bistable pouvant prendre deux états logiques "0" ou "1". L'état de la bascule peut être modifié en agissant sur une ou plusieurs entrées. Le nouvel état de la bascule dépend de l'état précédent, c'est l'élément de base des circuits séquentiels. La

bascule peut conserver son état pendant une durée quelconque, elle peut donc être utilisée comme mémoire.

VI.3.1 Basculés RS :

Une bascule RS peut être réalisée par l'association d'opérateurs NON-OU (NOR) ou NON-ET (NAND).

La bascule RS présente : (voir figure 6.4)

- S : entrée de mise à 1 (SET) de Q ;
- R : entrée de mise à 0 (RESET° de Q ;
- Q et \bar{Q} : sorties complémentaires ;

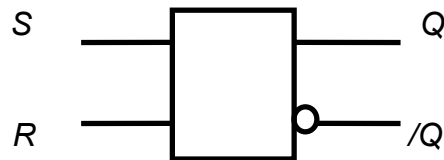


Figure 6.4 - Symbole d'une bascule RS

a) *Bascule RS à opérateurs NON-OU : Voir Figure 6.5*

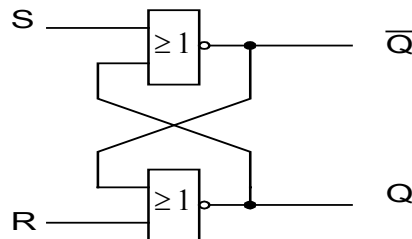


Figure 6.5 – Bascule RS à opérateurs NON-OU

Table de fonctionnement : Voir figure 6.6

Entrées		Sorties	
R	S	Q	\bar{Q}
0	0	Inchangé	
0	1	1	0
1	0	0	1
1	1	Ambiguïté	

Figure 6.6 - Table de vérité de la bascule RS à opérateurs NON-OU

b) Bascule RS à opérateurs NON-ET : Voir figure 6.7

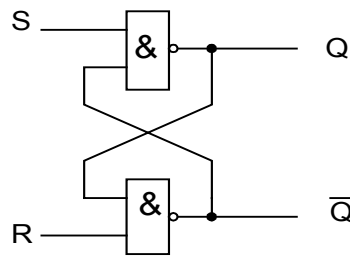


Figure 6.7 - Bascule RS à opérateurs NON-ET

Table de fonctionnement : Voir figure 6.8

Entrées		Sorties	
R	S	Q	\bar{Q}
0	0	Ambiguïté	
1	0	1	0
0	1	0	1
1	1	Inchangé	

Figure 6.8 - Table de vérité de la bascule RS à opérateurs NON-ET

VI.3.2 Bascule R S H (Bascule synchrone) :

Dans la bascule RS, la sortie change d'état, au temps de propagation près, au moment où la combinaison des états des entrées est changée, son mode de fonctionnement est asynchrone.

Dans une bascule synchrone RSH le changement d'état de la sortie qui correspond à une nouvelle combinaison d'états d'entrées ne peut s'effectuer que sur le front actif, montant ou descendant, d'un signal d'horloge (voir figure 6.9).

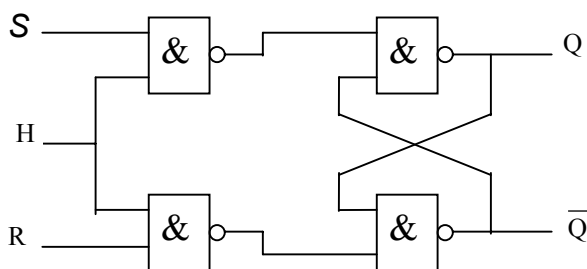
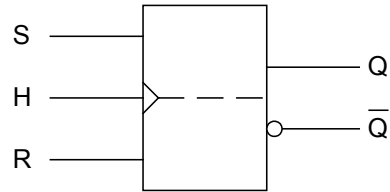


figure 6.9 - Réalisation de la bascule RSH avec des opérateurs NON-ET

La bascule RSH comprend : (voir figure 6.10).

- Trois entrées :
 - S : mise à 1 ;
 - R : mise à 0 ;
 - H : entrée d'horloge, active sur le front montant ou descendant du signal ;
- Deux sorties : Q et \bar{Q} dont les états sont complémentaires ;

Bascule synchrone active sur
le front montant du signal
d'horologe



Bascule synchrone active sur
le front descendant du signal
d'horologe

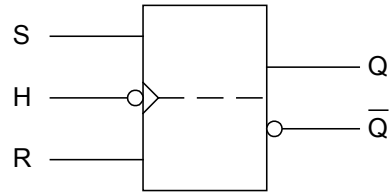


Figure 6.10 – Symboles d'une bascule RSH

Table de fonctionnement : Voir figure 6.11

Entrées			Sorties		Mode de fonctionnement de la bascule
H	S	R	Q _{n+1}	Q̄ _{n+1}	
	0	0	Q _n	Q̄ _n	Mémorisation de l'état précédent (inchangé)
	1	0	1	0	Mise à 1
	0	1	0	1	Mise à 0
	1	1	Ambiguïté		Les états de sorties sont indéterminés ne pas utiliser.

Figure 6.11 - Table de vérité de la bascule RSH

Exemple de bascule RSH déclenchée par front montant ↑ : voir figure 6.12

R	S	Q	Q̄
0	0	x	x̄
0	1	1	0
1	0	0	1
1	1	Interdit	

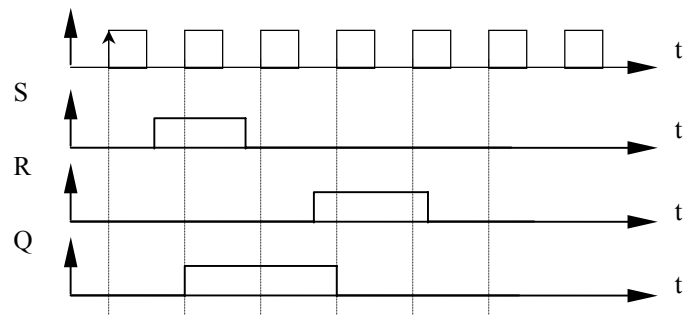


figure 6.12 - Table de vérité et chronogramme de bascule RSH déclenchée par front montant ↑

VI.3.3 Bascule J K synchrone :

La bascule J K synchrone (simple étage) est obtenue à partir d'une bascule R S H dont les sorties sont rebouclées sur les entrées. Ceci permet d'éliminer l'état indéterminé (voir figure 6.13).

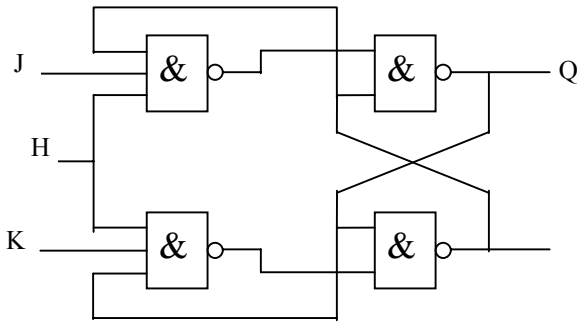


figure 6.13 – bascule JK réalisée avec les portes Nand

La bascule JK présente : (voir figure 6.14).

- Deux entrées J et K ;
- Une entrée d'horloge H ;
- Deux sorties Q et \bar{Q} dont les états sont complémentaires ;

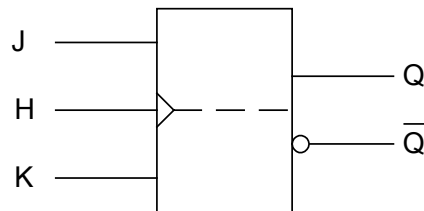


Figure 6.14 – Symbole d'une bascule JK

Fonctionnement d'une bascule JK :

Les entrées J et K de ce type de bascule ont le même rôle que les entrées S et R de la bascule RSH à la différence que la condition $J = K = 1$ n'est pas une condition ambiguë sur l'état de Q et /Q.

L'état $J = K = 1$ provoque le changement d'état de la sortie Q ou un basculement successif à chaque top d'horloge. Il est utilisé dans de nombreux systèmes numériques.

Exemple de bascule JK déclenchée par front montant \uparrow : voir figure 6.15

K	J	Q	\bar{Q}
0	0	x	\bar{x}
0	1	1	0
1	0	0	1
1	1	\bar{x}	x

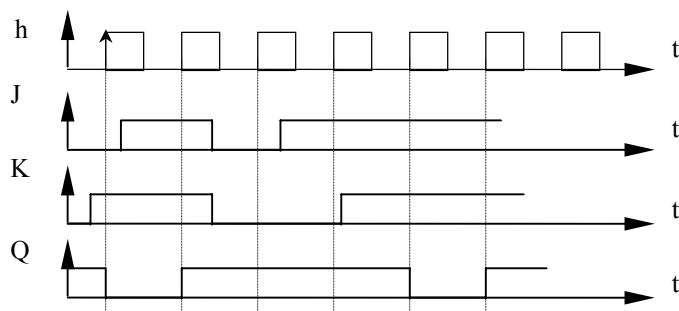


figure 6.15 - Table de vérité et chronogramme de bascule JK déclenchée par front montant \uparrow

VI.3.4 Bascule D synchrone :

Une bascule D est réalisée à partir d'une bascule R S ou J K dont les entrées sont reliées par un inverseur. Ceci impose donc que les entrées prennent des états complémentaires.

Réalisation: voir figure 6.16.

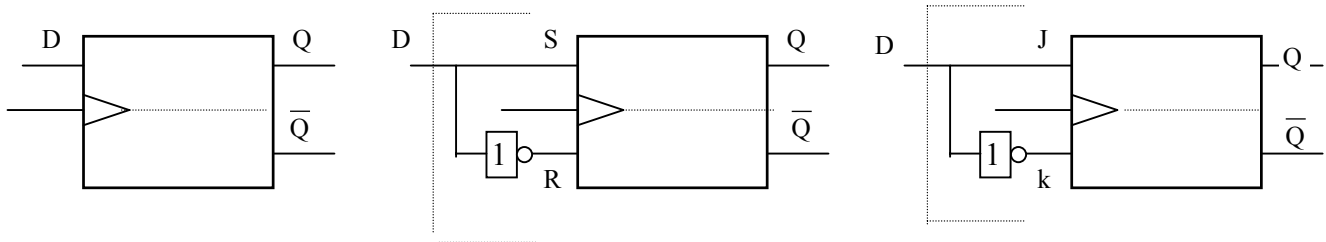


figure 6.16 – Réalisation de la bascule D

Exemple de bascule D déclenchée par front montant \uparrow : voir figure 6.17

D	Q
0	0
1	1

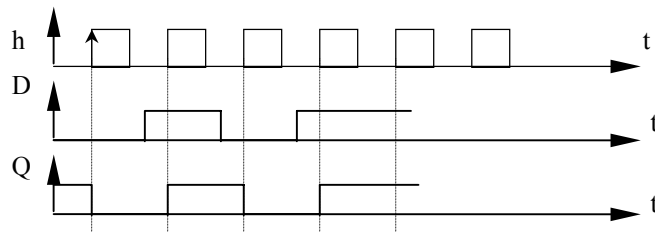


figure 6.17 - Table de vérité et chronogramme de bascule D déclenchée par front montant \uparrow

La table de vérité met bien en évidence que la sortie Q recopie l'état de l'entrée D sur le front actif du signal d'horloge, ici le front montant. Ce type de bascule, à déclenchement sur front actif du signal d'horloge, est très utilisé : Compteurs, mémoire tampon,...

VI.3.5 Bascule maître-esclave:

Problème: Les bascules synchrones nécessitent des états stables sur leurs entrées au moment de la transition du signal d'horloge, cela n'est pas toujours possible lorsque plusieurs bascules sont câblées entre elles (exemple: en comptage) et l'on a des aléas de fonctionnement (voir figure 6.18).

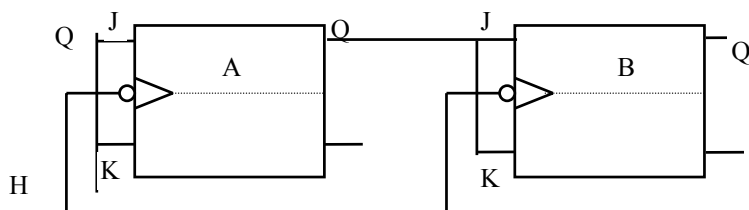
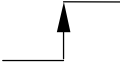
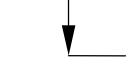


Figure 6.18 – Association de bascules synchrones

Solution: Il existe des bascules à 2 étages qui évoluent en 2 temps.

1er temps:  Verrouillage du 2ème étage
Prise en compte des entrées par le 1er étage

2ème temps  Verrouillage du 1er étage
Prise en compte des données par le 2ème étage

Exemple : bascule J K Maître-Esclave : (voir figure 6.19)

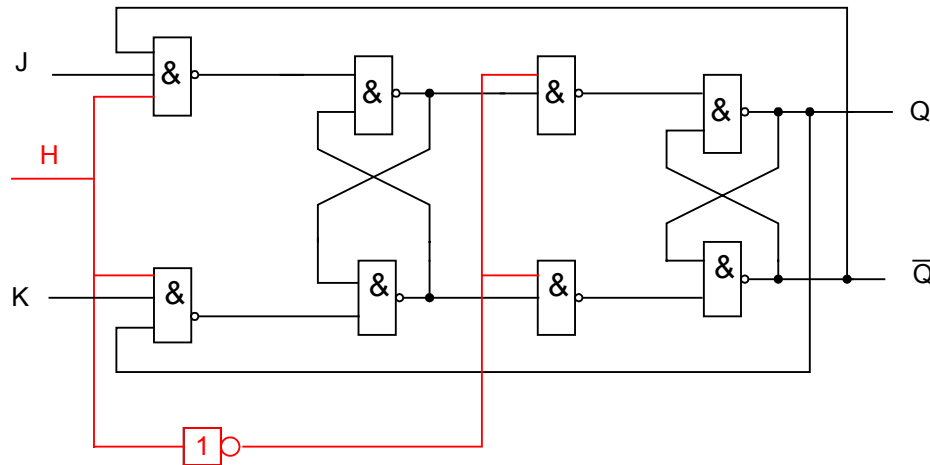


Figure 6.19 - bascule J K Maître-Esclave :

VI.3.6 Bascule T :

La bascule T présente :

- Une entrée d'horloge H ;
- Deux sorties Q et \bar{Q} dont les états sont complémentaires.

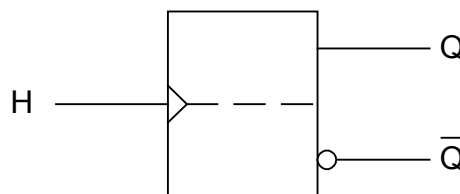



Figure 6.20 – Symbole d'une bascule T

Table de fonctionnement :

Entrée	Sortie		Modes de fonctionnement de la bascule
	Q_{n+1}	Q_{n+1}	
	Q_n	Q_n	Changement d'état

Quand l'entrée H passe à l'état dynamique 1, les sorties changent d'état.
Quand l'entrée H passe à l'état 0, les sorties restent dans leur état.

VI.3.7 Initialisation des bascules :

Les bascules RSH, JK et D ont un fonctionnement synchrone par rapport à un signal d'horloge. Leurs entrées de commande R, S, J, K et D sont des entrées synchrones. Pour le fonctionnement d'un système, il est souvent nécessaire que les bascules soient initialisées, c'est à dire que leur sortie Q soit à 1 ou à 0 et ce indépendamment du signal d'horloge. D'où, deux entrées supplémentaires asynchrones, présentes sur pratiquement tous les circuits intégrés :

- Preset : mise à 1 de la sortie Q
- Clear : mise à 0 de la sortie Q.

Ces deux entrées asynchrones sont désignées entrées d'initialisation ou de forçage. Exemple pour la bascule JK : Voir figure 6.21

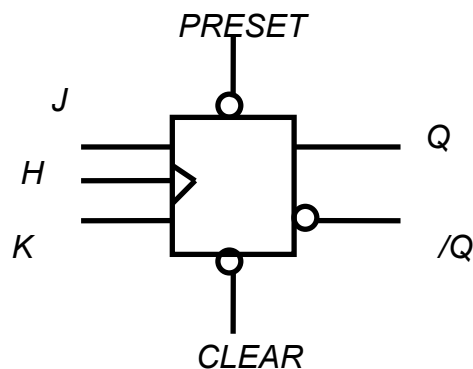


Figure 6.21 - la bascule JK avec les entrées de forçage

Remarque : La négation logique sur les deux entrées asynchrones PRESET et CLEAR indique qu'elles sont actives sur le niveau bas du signal qui leur est appliqué.

Table de vérité (voir figure 6.22).

Preset	Clear	H	Q
0	0	X	A ne pas utiliser
0	1	X	1
1	0	X	0
1	1	↑	Fonctionnement synchrone de la bascule

Figure 6.22 – Table de vérité de la bascule JK avec les entrées de forçage

VI.4 Monostable – astable

a) Monostable :

C'est une microstructure séquentielle, qui en sortie possède deux états complémentaires l'un de l'autre.

- L'un des deux états étant stable.
- L'autre ne pouvant être occupé que momentanément [état pseudo-stable].

Une impulsion à l'entrée (c-à-d changement d'état de 0 à 1) amène la sortie à l'état 1, la sortie reste dans cet état pendant une durée définie par les caractéristiques particulières de l'opérateur, indépendamment du temps pendant lequel l'entrée reste à l'état 1 puis revient à l'état 0.

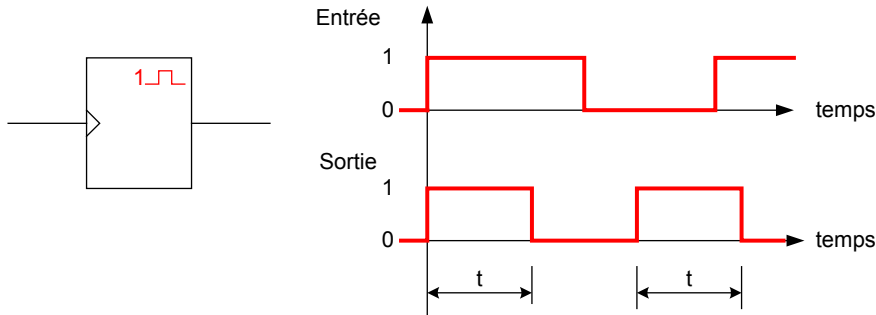


Figure 6.23 - Symbole d'un monostable

b) stable ou oscillateur :

Microstructure séquentielle qui, en sortie, possède deux états pseudo-stables (complémentaire l'un de l'autre) ; le passage d'un état à l'autre s'effectuant périodiquement avec un facteur de forme quelconque.

Dans certaines utilisations, les bascules astables peuvent prendre le nom de multivibrateurs.

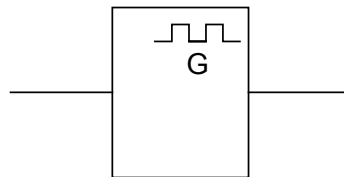


Figure 6.24 - Symbole d'un astable

VII. Les compteurs :

VII.1 Identification de la fonction :

La fonction comptage existe dans de nombreux systèmes dans lesquels le résultat d'un calcul effectué :

- sur une série d'objets,
- ou sur la répétition d'un événement

déclenche :

- une décision prise par l'utilisateur,
- Ou une action gérée automatiquement par le système.

Exemples :

- Un poste de sciage s'arrête après avoir débité 20 pièces d'un même lot.
- Dans un système à programmation chronologique, le comptage du temps écoulé permet de déclencher automatiquement certaines opérations : arrosage d'un jardin, mise en marche d'un appareil électroménager, allumage d'un feu de signalisation...

Un système de comptage comprend toujours un compteur.
Un compteur est un système logique dont le mot binaire en sortie se modifie chaque fois qu'une information est appliquée à son entrée.
Suivant qu'une nouvelle impulsion incrémente ($n+1$) ou décrémente ($n-1$) la valeur binaire du mot de sortie, le circuit fonctionne en compteur ou en décompteur.

VII.2 Caractéristiques des compteurs :

La caractéristique principale d'un compteur est sa capacité de comptage. Cette capacité de comptage détermine le nombre de bits du mot binaire de sortie.

VII.2.1 Compteur Modulo 2 :

Le mot binaire de sortie du compteur le plus simple n'a qu'un bit qui ne peut donc prendre que l'état logique 0 ou 1 lorsque les impulsions à compter se succèdent sur l'entrée du compteur. Le mot de sortie est à l'état logique 1 toutes les deux impulsions, le compteur divise par 2 le nombre des impulsions d'entrée. Cette caractéristique de division est désignée par le modulo du compteur qui dans ce cas est 2. La structure d'un compteur modulo 2 est une bascule :

- du type D,
- ou du type JK,

VII.2.2 Compteur Modulo 2^N :

Un compteur modulo 2 étant constitué d'une bascule, il est possible :

- d'associer 2 bascules pour réaliser un compteur modulo 4 soit 2^2 ,
- d'associer 3 bascules pour réaliser un compteur modulo 8 soit 2^3 ,

VII.2.3 Compteur dont le modulo est différent de 2^N :

Il est toujours possible de réaliser un compteur dont le modulo est différent de 2^N . Il suffit de forcer sa réinitialisation à zéro avec le mot de sortie qui suit immédiatement la dernière impulsion comptée.

De plus, les compteurs binaires sont classés en 2 catégories :

- Les compteurs asynchrones,
- Les compteurs synchrones.

VII.2.4 Compteur binaire asynchrone :

Dans ce type de structure, l'impulsion de progression du compteur est appliquée sur l'entrée d'horloge du premier étage, les entrées d'horloge des autres bascules reçoivent le signal de sortie de l'étage précédent.

VII.2.5 Compteur binaire synchrone :

Dans la structure synchrone, l'horloge est la même pour tous les étages : le basculement de toutes les bascules se fait en même temps.

VII.3 Les compteurs asynchrones:

Le terme « asynchrone » se définit comme l'absence de synchronisme des signaux qui déclenchent la commande d'un circuit. Comme les entrées d'horloge remplissent habituellement cette fonction, les compteurs asynchrones ne possèdent pas de ligne commune qui relie toutes les entrées d'horloge des bascules. Par conséquent, on branche le signal d'horloge uniquement à la première bascule. Le signal de sortie de cette première bascule sert d'horloge à la seconde bascule et ainsi de suite.

Les compteurs asynchrones sont les plus simples à concevoir. Toute fois, le délai de propagation qu'ils engendrent provoque des imprécisions importantes. On évite donc leur utilisation pour la mesure précise du temps.

VII.3.1 Compteur modulo 8 asynchrone :

On réalise ce compteur en branchant en cascade trois bascules JK. La sortie de la première bascule devient l'entrée d'horloge de la deuxième bascule, la sortie de la deuxième bascule devient l'horloge de la troisième bascule (voir figure 7.1).

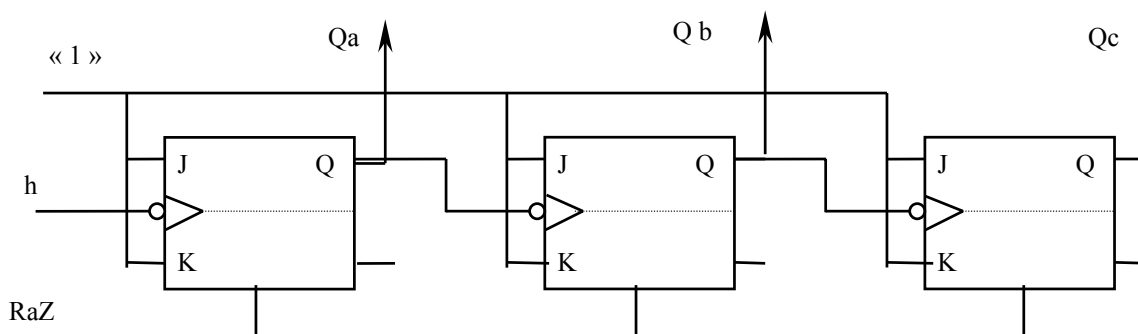


Figure 7.1 - Compteur modulo 8 asynchrone

Table de vérité et chronogramme du Compteur modulo 8 asynchrone voir figure 7.2.

N	Qc	Qb	Qa
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

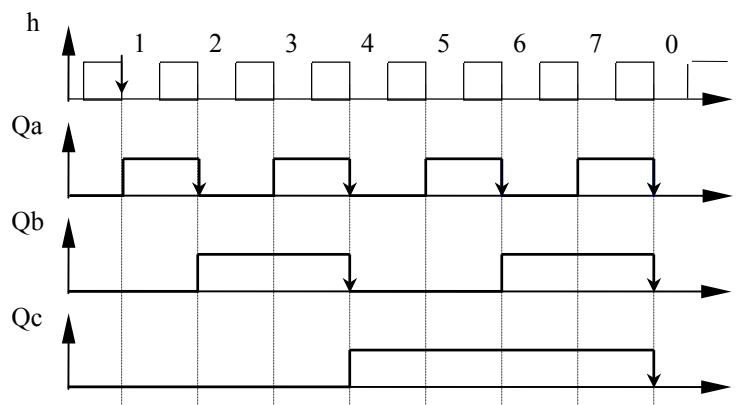


Figure 7.2 - Table de vérité et chronogramme du compteur modulo 8 asynchrone

VII.3.2 Compteur modulo 10 asynchrone (compteur DCB) :

Un compteur modulo 10 possède dix états, qui correspondent aux équivalents binaires des nombres de 0 à 9. Sa réalisation nécessite l'utilisation de quatre bascules. De même il peut diviser la fréquence d'entrée par dix. Un compteur DCB dénombre les états de $(0000)_2$ à $(1001)_2$. Il est très répandu, car il établit le lien avec les dispositifs d'affichage numériques qui permettent de représenter les nombres décimaux de 0 à 9 par l'intermédiaire du code DCB. Il suffit de raccorder la sortie des bascules à un décodeur DCB qui pilote un afficheur à sept segments. (voir figure 7.3 et 7.4)

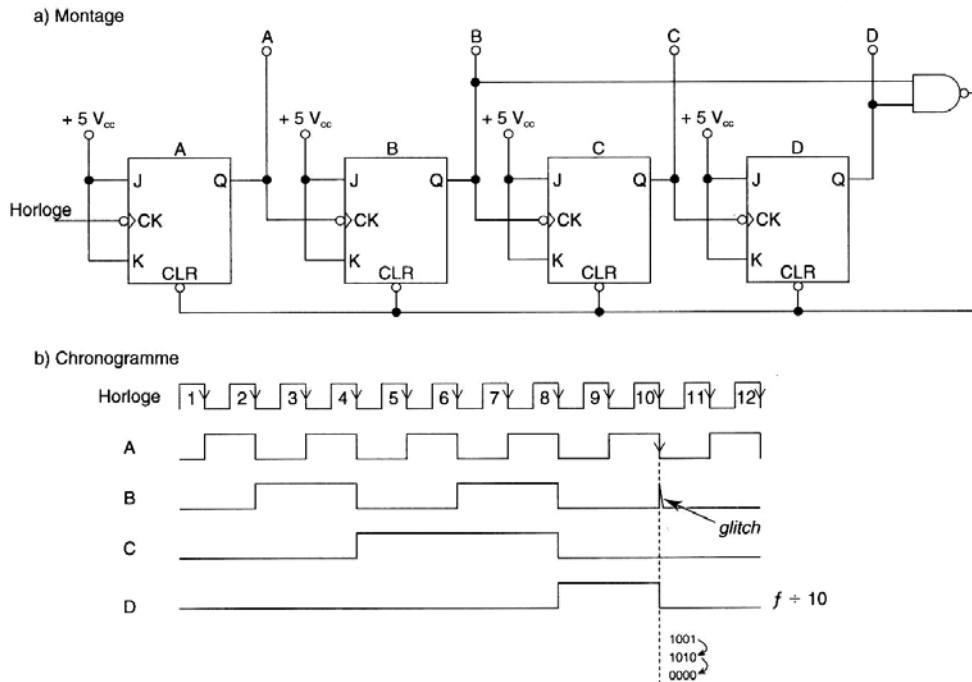


Figure 7.3 - Compteur modulo-10 asynchrone

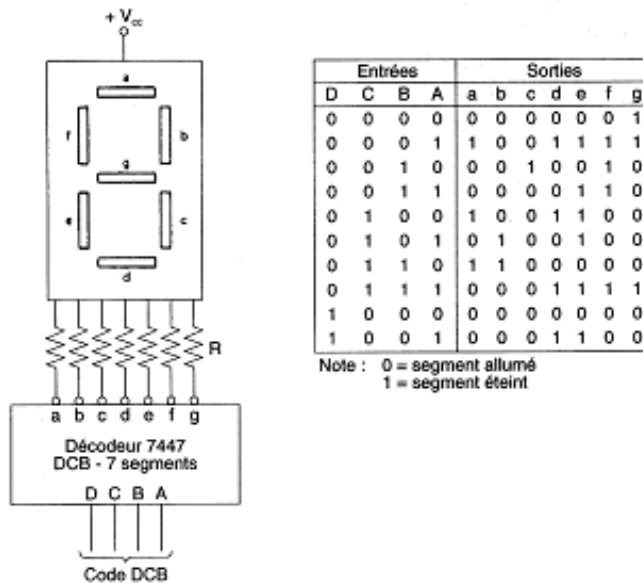


Figure 7.4 – Décodeur 7447 et afficheur à anode commune

VII.3.3 Décompteur modulo 8 asynchrone :

Pour obtenir un décompteur, il faut regarder les sorties $\overline{Q_i}$ ou brancher les sorties $\overline{Q_i}$ de chaque bascule sur l'horloge de la bascule suivante et regarder l'évolution des sorties Q_i , voir figure 7.5

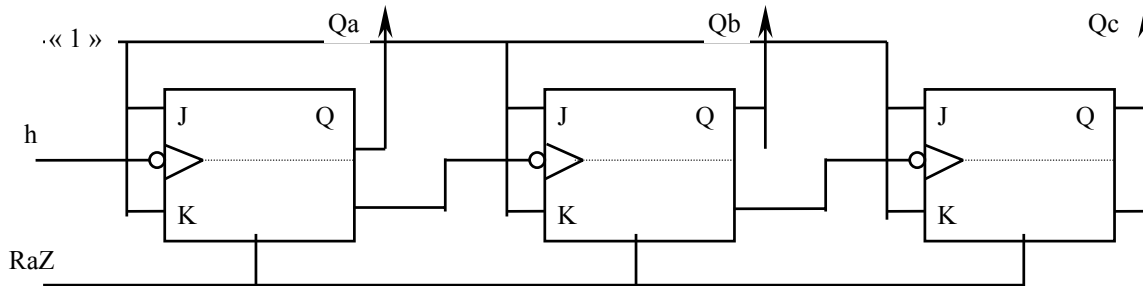


Figure 7.5 - décompteur modulo 8 asynchrone

Table de vérité et chronogramme du décompteur modulo 8 asynchrone voir figure 7.6.

N	Qc	Qb	Qa
7	1	1	1
6	1	1	0
5	1	0	1
4	1	0	0
3	0	1	1
2	0	1	0
1	0	0	1
0	0	0	0

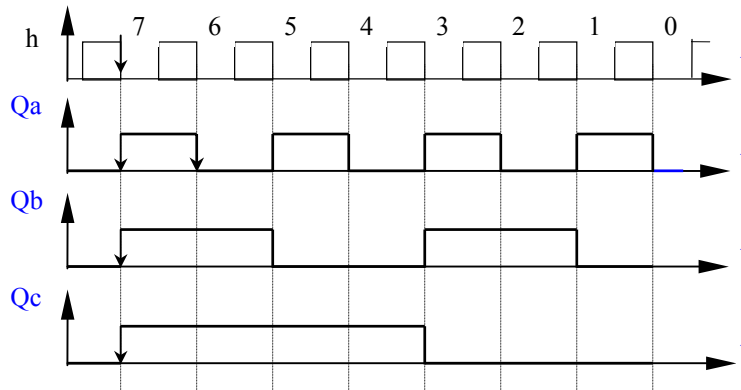


Figure 7.6 - Table de vérité et chronogramme du décompteur modulo 8 asynchrone

VII.4 Les compteurs synchrones:

VII.4.1 Compteur modulo 8 synchrone:

L'impulsion d'horloge est appliquée simultanément à chaque bascule. Celles-ci évoluent en fonction des informations présentes sur leurs entrées J, K au moment où apparaît l'impulsion. Il faut donc prépositionner J et K à l'instant t pour obtenir le basculement désiré à l'instant t+1 voir figure 7.7

J	K	Q
0	0	Q
0	1	0
1	0	1
1	1	\overline{Q}

Qn	Q n+1
0	1
1	0
1	1
0	0

J	K
1	x
x	1
x	0
0	x

Figure 7.7 – la table de vérité de la bascule JK entre l'état n et n+1

Si QC, QB, QA, sont les sorties de trois bascules on a la table de vérité suivante:

N	Qc	Qb	Qa	Jc	Kc	Jb	Kb	Ja	Ka
0	0	0	0	0	x	0	x	1	x
1	0	0	1	0	x	1	x	x	1
2	0	1	0	0	x	x	0	1	x
3	0	1	1	1	x	x	1	x	1
4	1	0	0	x	0	0	x	1	x
5	1	0	1	x	0	1	x	x	1
6	1	1	0	x	0	x	0	1	x
7	1	1	1	x	1	x	1	x	1

Figure 7.8 – la table de vérité du Compteur modulo 8 synchrone

Equations des entrées J et K :

On peut obtenir ces équations en utilisant le tableau de KARNAUGH

$$JA = KA = 1$$

$$JB = KB = Qa$$

$$JC = KC = Qa \cdot Qb$$

Schéma: (voir figure 7.9)

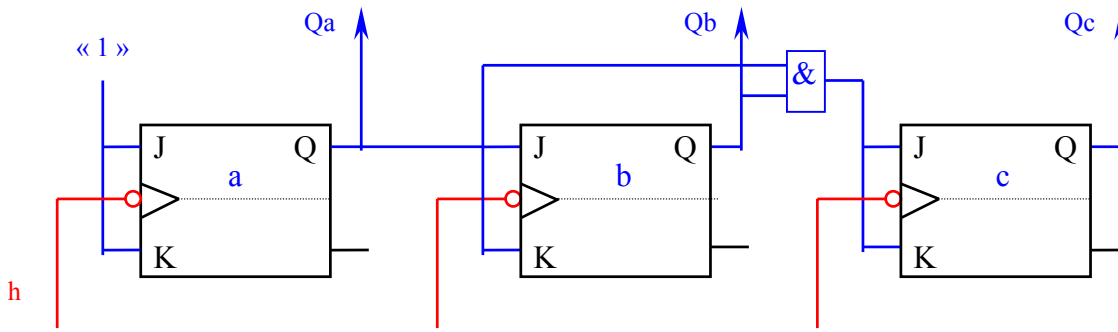
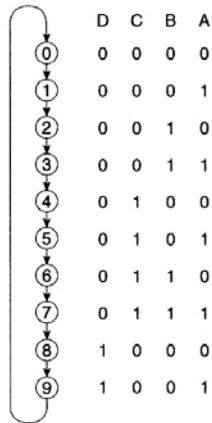


Figure 7.9 - Compteur modulo 8 synchrone

VII.4.2 Compteur DCB (modulo 10) synchrone:

Par le même raisonnement on peut obtenir le compteur modulo 10 synchrone (figure 7.10)

a) Diagramme d'états



b) Montage

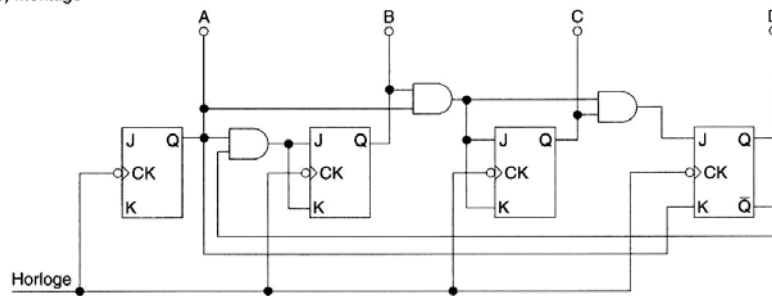


Figure 7.10 - Compteur modulo 10 synchrone

VII.4.3 Décompteur modulo 8 synchrone:

Par le même raisonnement on peut obtenir voir figure 7.11

N	Qc	Qb	Qa	Jc	Kc	Jb	Kb	Ja	Ka
7	1	1	1	x	0	x	0	x	1
6	1	1	0	x	0	x	1	1	x
5	1	0	1	x	0	0	x	x	1
4	1	0	0	x	1	1	x	1	x
3	0	1	1	0	x	x	0	x	1
2	0	1	0	0	x	x	1	1	x
1	0	0	1	0	x	0	x	x	1
0	0	0	0	1	x	1	x	1	x

Figure 7.11 – la table de vérité du décompteur modulo 8 synchrone

Equations des entrées J et K :

On peut obtenir ces équations en utilisant le tableau de KARNAUGH

$$JA = KA = 1.$$

$$JB = KB = \overline{Qa}$$

$$JC = KC = \overline{Qa} . \overline{Qb}$$

Schéma: (voir figure 7.12)

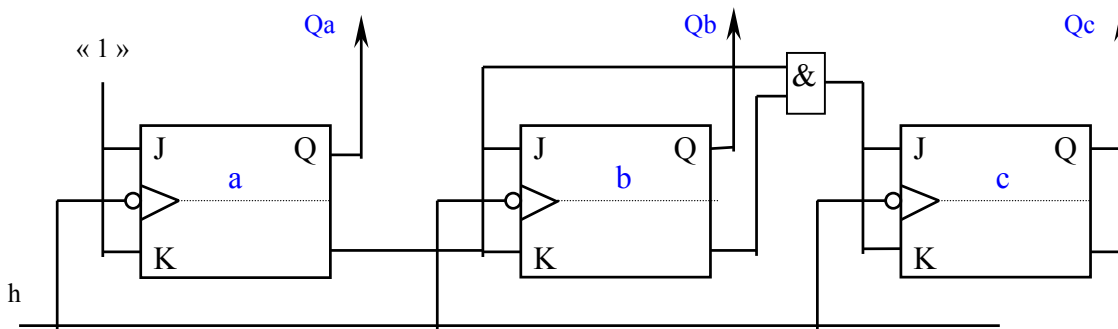


Figure 7.12 - Décompteur modulo 8 synchrone

VII.5 Les compteurs intégrés:

On prend comme exemple le circuit intégré 7490. Ce compteur peut servir de diviseur à décade (diviseur de fréquence par dix) symétrique, de compteur MODULO, et surtout de compteur DCB pour les dispositifs d'affichage.

Principe de fonctionnement :

Il renferme quatre bascules et un ensemble de porte logique pour créer la séquence DCB. Il possède de plus des entrées doubles de remise à zéro (R0) et der remise à neuf (R9) asynchrones.

D'autre part, comme le montre la figure 7.13 La bascule A n'a pas de connexion interne avec les trois autres bascules. Il faut alors raccorder les deux sections de bascules selon la fonction à réaliser

Brochage

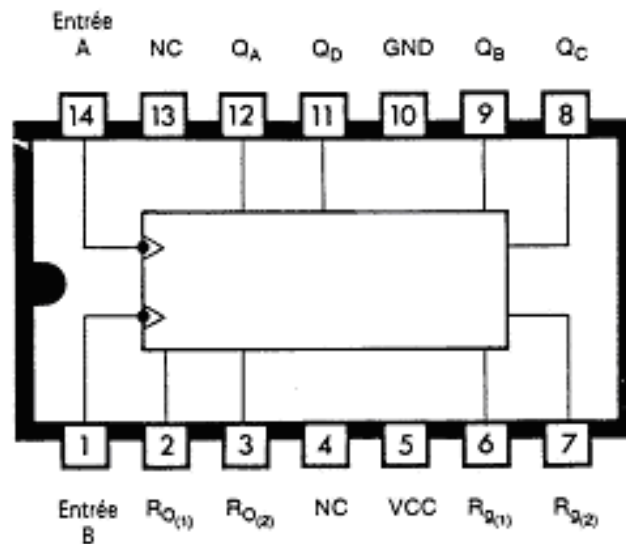


Figure 7.13 – Compteur 7490

Schéma logique
interne

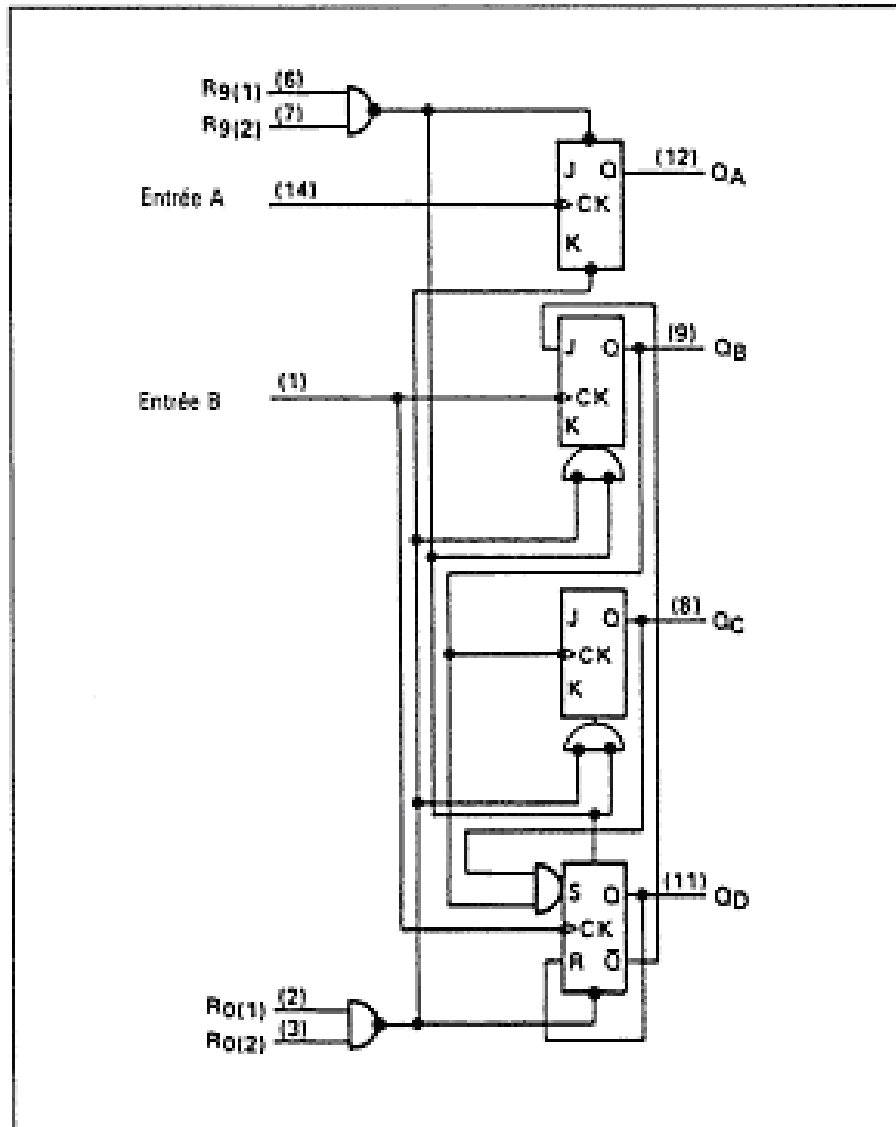


Figure 7.13 – Compteur 7490 (suite)

a) **Diviseur par dix symétrique :**

Les diviseurs à décade par dix n'ont pas une onde de sortie symétrique. Le C I 7490 permet de corriger cette situation.

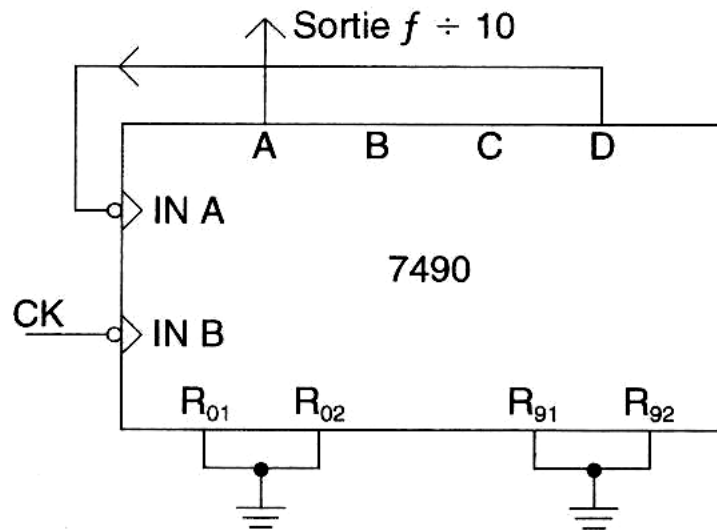
On sait que qu'un diviseur par deux est symétrique. Il devient possible de produire cette symétrie avec le C I 7490 en inversant simplement l'ordre de succession des bascules (voir figure 7.14)

a) Table de vérité

'90A, 'L90, 'LS90
BI-QUINARY (5-2)
(See Note B)

COUNT	OUTPUT			
	Q _A	Q _D	Q _C	Q _B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

b) Branchement



b) Chronogramme

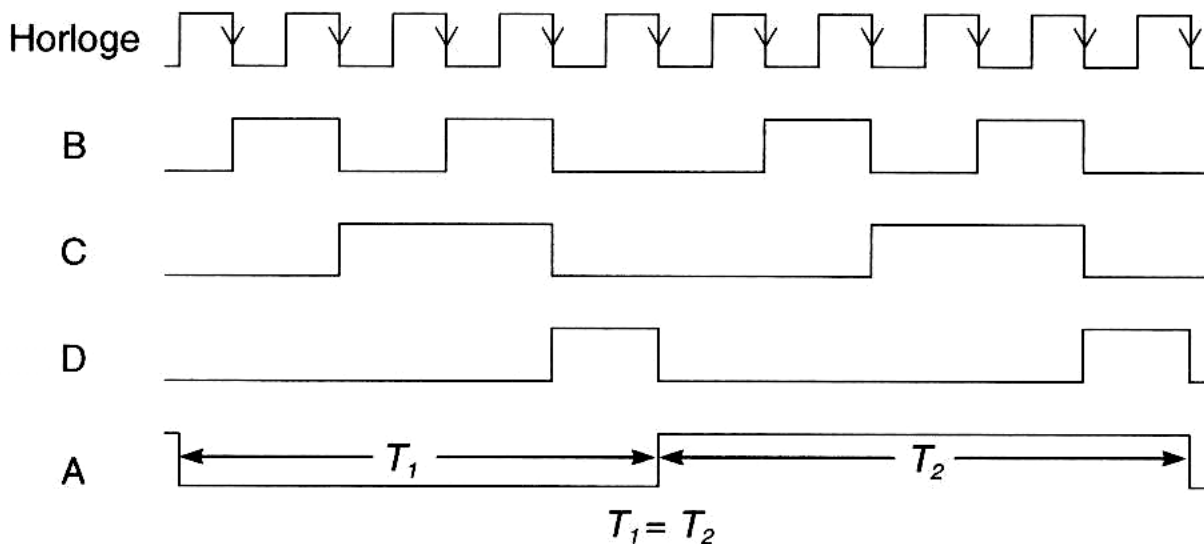


Figure 7.14 – Diviseur par dix symétrique

En branchant la sortie D à l'entrée de la bascule A, on inverse l'ordre du diviseur, qui effectue d'abord la division par cinq et ensuite la division par deux. Le contenu des données binaires devient $(ADCB)_2$ permettant ainsi au signal de la sortie A d'être symétrique.

b) Compteur MODULO-N :

On réalise, des compteurs MODULO asynchrone de manière identique à celle vue précédemment. Par contre, on fait la remise à zéro sans avoir recours à d'autres portes logiques externes en tirant profit de la porte NON-ET à l'intérieur du CI 7490.

Selon l'exemple du compteur MODULO-6 de la figure 7.15 on décode l'état intermédiaire $(0110)_2$ pour connecter ce signal à l'entrée de remise à zéro asynchrone (R0) du compteur.

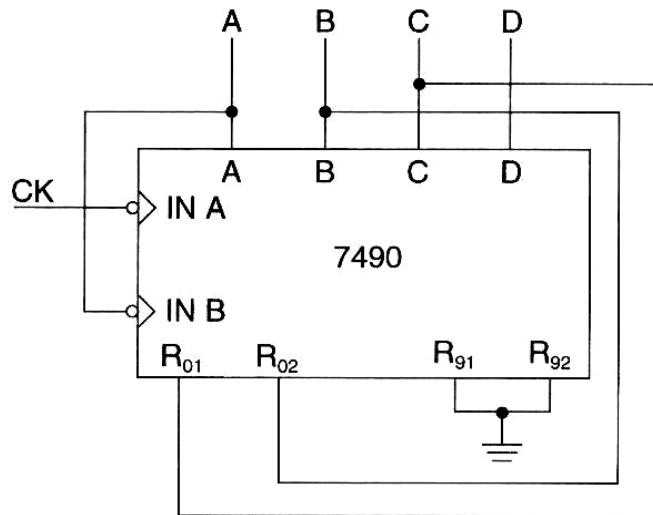


Figure 7.15 – compteur modulo-6

c) compteur DCB (modulo10) :

Pour réaliser un compteur DCB, il suffit simplement de coupler le diviseur par deux avec le diviseur par cinq (voir figure 7.16)

a) Table de vérité

'90A, 'L90, 'LS90
BCD COUNT SEQUENCE
(See Note A)

COUNT	OUTPUT			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

b) Branchement

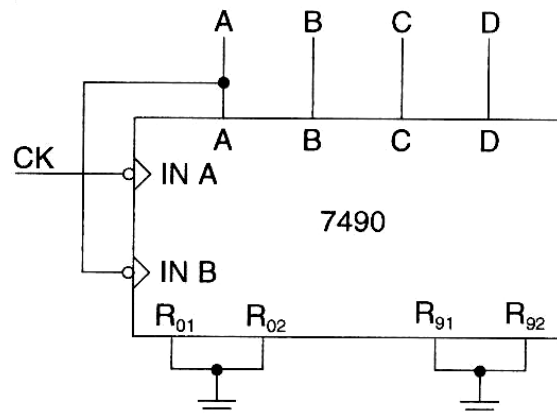


Figure 7.16 – compteur DCB (modulo10)

d) Compteur en cascade :

Si l'on analyse la séquence des nombres binaires d'un compteur DCB à deux chiffres (MODULO-100), on s'aperçoit que le chiffre des dizaines doit s'incrémenter au moment où les unités passent de 9 à 0. Si l'on utilise la sortie D des unités comme signal d'horloge pour le compteur des dizaines, le chiffre des dizaines s'incrémentera au bon moment en accord avec le signal d'horloge suivant. La figure 7.17 présente le branchement d'un compteur à deux chiffres.

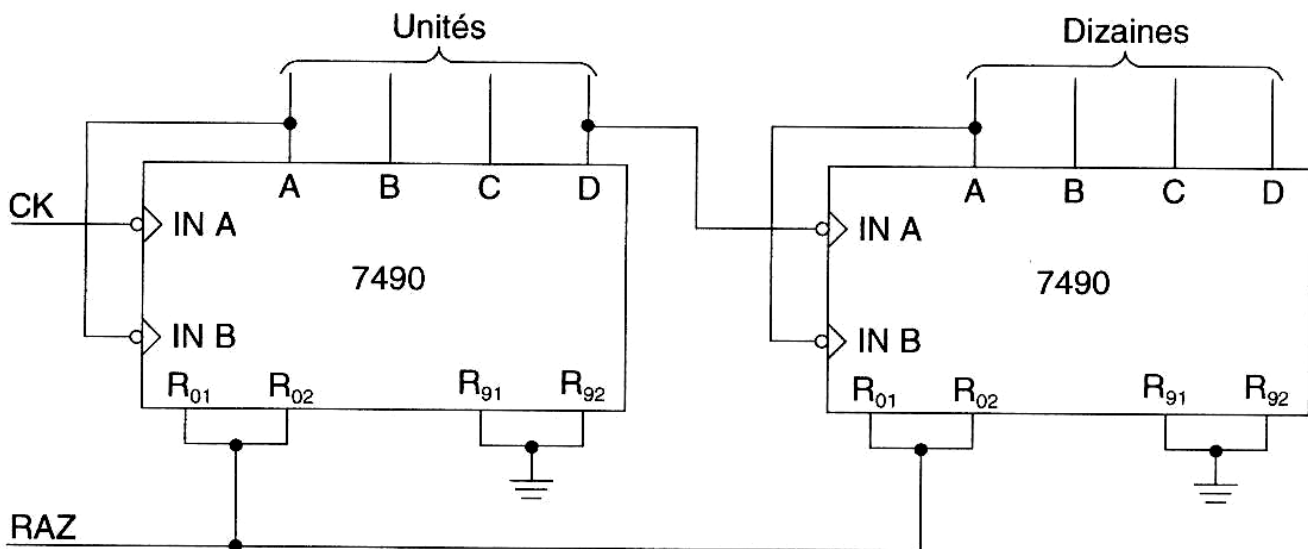


Figure 7.17 – compteur modulo-100

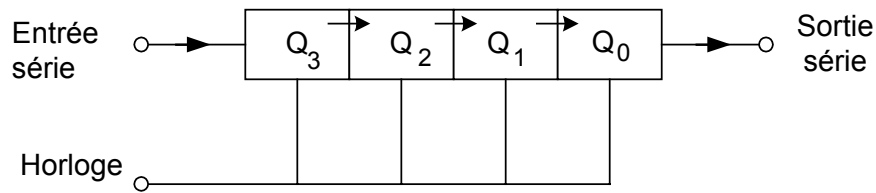
VIII. Les registres:

Un registre est un circuit permettant d'enregistrer provisoirement un « mot » binaire en vue de son transfert ultérieur dans un autre circuit (pour traitement, stockage, affichage, ...).

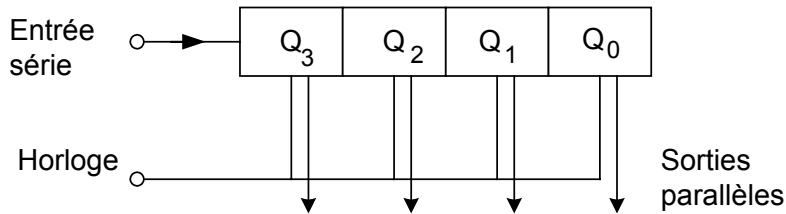
Un registre mémorise un mot binaire de n bits, il est constitué de n mémoires élémentaires qui sont les bascules (voir figure 8.1).

VIII.1 Types de registres :

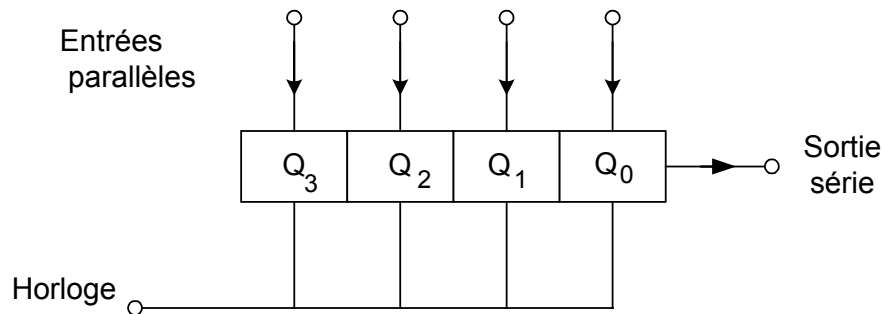
(Pour 4 bits) :(voir figure 8.1)



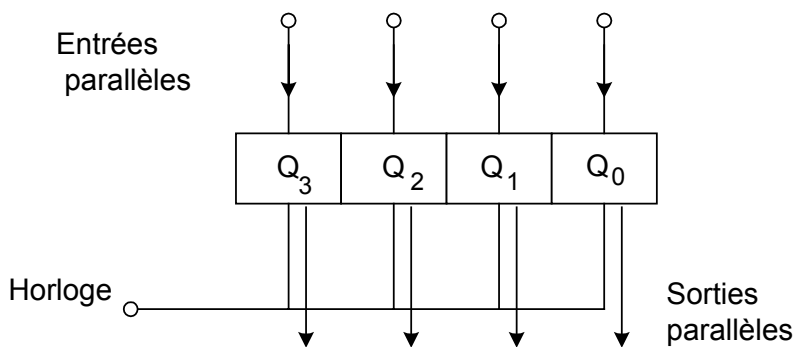
Écriture série – lecture série (SISO)



Écriture série – lecture parallèle (SIPO)



Écriture parallèle – lecture série (PISO)



Écriture parallèle – lecture parallèle (PIPO)

Figure 8.1 – Les types de registres

VIII.2 Registres à décalage :

Exemple de registre à décalage réalisé avec les bascules : SISO

Ce registre à décalage consiste en un assemblage de bascules commandées par une horloge commune. L'information est décalée en série d'une extrémité à l'autre du registre,

de sorte que le transfert s'effectue sous la forme d'écriture série-lecture série. De ce fait, le registre à décalage comprend généralement une seule entrée de données et une seule sortie en plus de l'entrée d'horloge (voir figure 8.2)

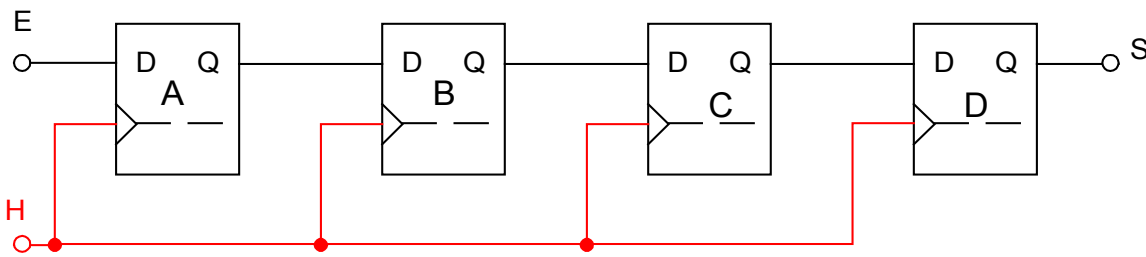


Figure 8.2 - Registre à décalage SISO à quatre bits réalisé avec quatre bascules D

Au commandement de l'horloge, la donnée introduite dans la première bascule se propage dans les bascules suivantes. Ainsi la bascule C acquiert l'état précédent de la bascule B, alors que la bascule B acquiert l'état de la bascule A, qui à son tour, acquiert l'état de l'entée au moment où l'impulsion d'horloge se produit. Le bit disponible à la sortie doit être traité sinon il est perdu. La figure 8.3 schématise le fonctionnement d'un registre à décalage à quatre bascules D quand on introduit les données $(0110)_2$ à l'entrée d'un registre contenant initialement l'information $(1011)_2$.

Signal d'horloge	Données à l'entrée	Contenu du registre	Données à la sortie					
1	0 1 1 0	<table border="1"><tr><td>1</td><td>0</td><td>1</td><td>1</td></tr></table>	1	0	1	1		État initial
1	0	1	1					
2	0 1 1	<table border="1"><tr><td>0</td><td>1</td><td>0</td><td>1</td></tr></table>	0	1	0	1	1	
0	1	0	1					
3	0 1	<table border="1"><tr><td>1</td><td>0</td><td>1</td><td>0</td></tr></table>	1	0	1	0	1 1	
1	0	1	0					
4	0	<table border="1"><tr><td>1</td><td>1</td><td>0</td><td>1</td></tr></table>	1	1	0	1	0 1 1	
1	1	0	1					
5		<table border="1"><tr><td>0</td><td>1</td><td>1</td><td>0</td></tr></table>	0	1	1	0	1 0 1 1	Transfert après la 4 ^e impulsion
0	1	1	0					

Figure 8.3 – Décalage des données dans un Registre à décalage à quatre bits

A la lumière de cet exemple, on peut conclure la lenteur d'un registre à décalage série. Toutefois, comme toute l'information circule sur un seul fil, ce système réduit au minimum le nombre de lignes nécessaires à la transmission. Il devient donc très avantageux dans le cas des parcours à longue distance. Au contraire la transmission en parallèle nécessite autant de lignes que de bits à transmettre. On privilégie donc la rapidité des systèmes en parallèle surtout dans les applications à courte distance, comme le transfert d'informations d'un ordinateur à une imprimante.

- **Recirculation :**

Dans un registre à décalage, le bit présent à la sortie n'est plus mémorisé et cela devient parfois un inconvénient. Dans certaines situations on veut lire le contenu du registre tout en le préservant. Il devient possible de le faire à l'aide d'une contre-réaction en renvoyant la sortie d'un registre à décalage vers l'entrée. Cette option demande cependant l'ajout d'une

entrée « MODE » pour commander soit la recirculation des données (mode = 1), soit l'enregistrement de nouvelles données en série (mode = 0). La figure 8.4 montre ces deux situations.

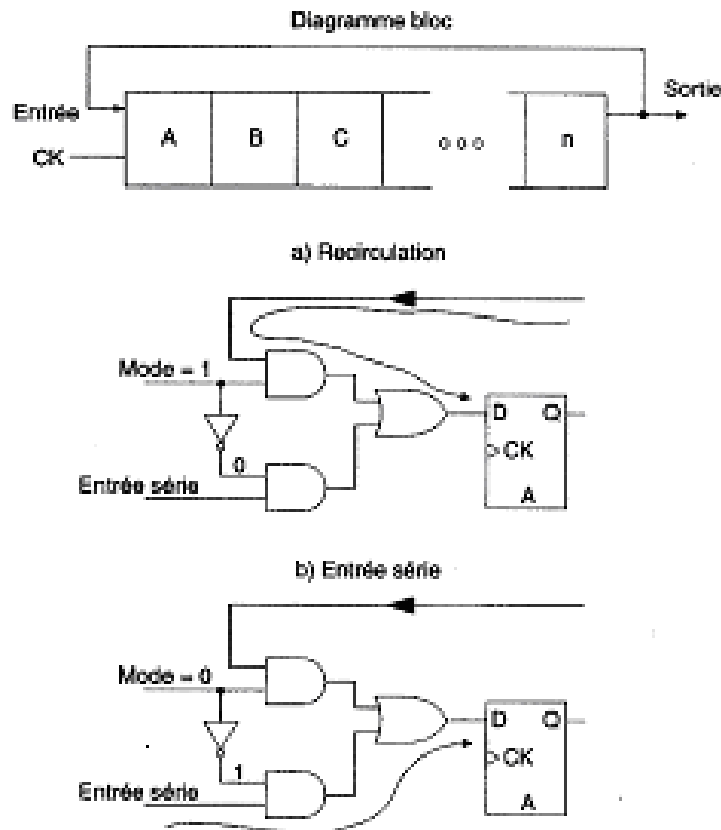


Figure 8.4 – Recirculation des données

- **Décalage à gauche- à droite :**

Le registre à décalage qu'on vient de voir réalise la fonction standard de décalage des données vers la droite. Toutefois, certaines applications, comme les opérations mathématiques, exigent un décalage à gauche ou à droite à l'intérieur du registre selon la commande d'un signal externe. A l'instar de la recirculation, il est possible de réaliser cette fonction par l'entremise d'une combinaison de portes logiques. Cette fois l'entrée de commande réagira de la manière suivante :

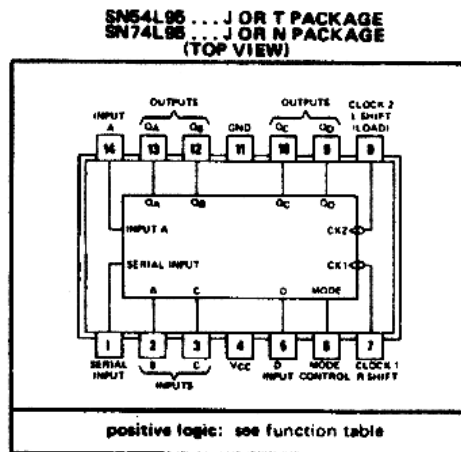
Mode = 0 → décalage à droite
 Mode = 1 → décalage à gauche
 0

VIII.3 Registres intégrés :

Il existe, dans la famille TTL, deux registres à décalage de 4 bits qualifiés d'universels. Il s'agit des C I 7495 et 74194. Ils consistent en quatre bascules S-R dont les entrées sont sollicitées par des portes qui réalisent une fonction logique dépendante du raccordement externe. Il devient essentiel d'analyser la table de vérité de chacun de ces composants pour connaître leurs conditions de mise en marche en série ou en parallèle.

a) Circuit intégré 7495 :

La figure 8.5 montre d'abord le symbole et l'emplacement des bornes du composant. Vous y retrouverez aussi le diagramme fonctionnel en plus de la table de vérité qui dicte son comportement. Remarquez la présence de deux entées horloge. Elles sont reliées avec la borne « mode control » permettant de sélectionner un fonctionnement en série ou en parallèle.



FUNCTION TABLE

MODE CONTROL	CLOCKS		INPUTS				OUTPUTS				
	2 (L)	1 (R)	SERIAL	A	B	C	D	QA	QB	QC	QD
H	H	X	X	X	X	X	X	QA0	QB0	QC0	QD0
H	↓	X	X	a	b	c	d	a	b	c	d
H	↓	X	X	QB↑	QC↑	QD↑	d	QBn	QCn	QDn	d
L	L	H	X	X	X	X	X	QA0	QB0	QC0	QD0
L	X	↓	H	X	X	X	X	H	QA n	QB n	QC n
L	X	↓	L	X	X	X	X	L	QA n	QB n	QC n
↑	L	L	X	X	X	X	X	QA0	QB0	QC0	QD0
↓	L	L	X	X	X	X	X	QA0	QB0	QC0	QD0
↓	L	H	X	X	X	X	X	QA0	QB0	QC0	QD0
↑	H	L	X	X	X	X	X	QA0	QB0	QC0	QD0
↑	H	H	X	X	X	X	X	QA0	QB0	QC0	QD0

functional block diagram

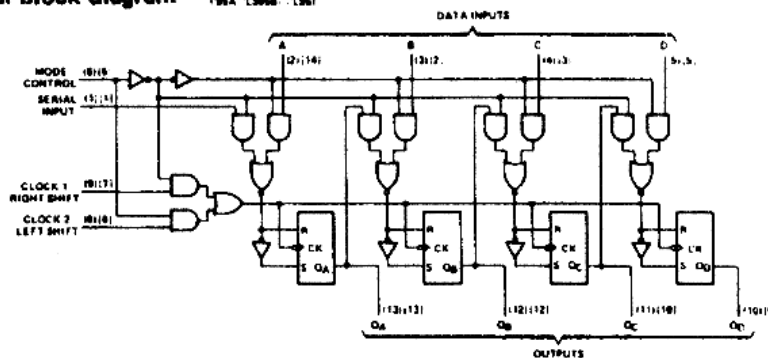


Figure 8.5 – C I 7495

Comme le transfert en parallèle est plus rapide que le transfert en série, le C I 7495 offre la possibilité d'utiliser une fréquence d'horloge plus élevée pour le mode parallèle (clock2) et une fréquence plus faible pour le mode série (clock1). Le signal d'horloge peut aussi être branché en commun avec les entrées pour osciller à la même fréquence indépendamment du mode de fonctionnement. Voici l'essentiel de l'analyse de la table de vérité.

- Si l'entrée « mode control » = 0 :

- L'entée série devient active, permettant à un bit d'être chargé ;
- L'horloge 1 commande les bascules ;
- Le registre réalise l'opération standard de décalage à droite ;
- La sortie D fait office de sortie série.

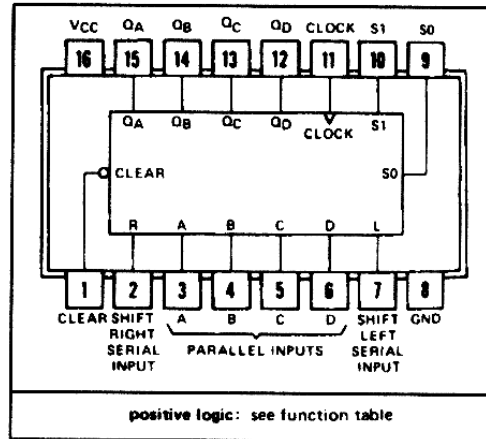
- Si l'entrée « mode control » = 1 :

- Les entées parallèles deviennent actives, permettant à un mot de 4 bits d'être chargé ;
- L'horloge 2 commande les bascules ;
- Le registre mémorise le mot et le rend disponible sur les sorties parallèles ;
- Le décalage à gauche s'effectue seulement si l'on connecte Q_B à A, Q_C à B et Q_D à C ; l'entée série devient D.

b) Circuit intégré 74194 :

Le registre à décalage 74194 (voir figure 8.6) compte quelques améliorations. Il peut facilement fonctionner dans tous les modes de transfert. En outre, il possède deux entées permettant la sélection du mode de fonctionnement (S0 et S1). Il possède aussi des bornes d'entrée-sortie distinctes pour le décalage à gauche (L) et à droite (R). Il renferme également une entrée asynchrone pour la remise à zéro (CLEAR) automatique, une lacune dans le cas du C.I.7495. On utilise fréquemment le C.I. 74194 pour effectuer la conversion des données de série à parallèle ou de parallèle à série.

SN54194, SN54LS194A, SN64S194 ... J OR W PACKAGE
SN74194, SN74LS194A, SN74S194 ... J OR N PACKAGE
(TOP VIEW)



positive logic: see function table

FUNCTION TABLE

CLEAR	MODE		CLOCK	INPUTS				OUTPUTS					
	S1	S0		SERIAL		PARALLEL				QA	QB	QC	QD
				LEFT	RIGHT	A	B	C	D				
L	X	X	X	X	X	X	X	X	X	L	L	L	L
H	X	X	L	X	X	X	X	X	X	QA0	QB0	QC0	QD0
H	H	H	↑	X	X	a	b	c	d	a	b	c	d
H	L	H	↑	X	H	X	X	X	X	H	QA _n	QB _n	QC _n
H	L	H	↓	X	L	X	X	X	X	L	QA _n	QB _n	QC _n
H	H	L	↑	H	X	X	X	X	X	QB _n	QC _n	QD _n	H
H	H	L	↓	L	X	X	X	X	X	QB _n	QC _n	QD _n	L
H	L	L	X	X	X	X	X	X	X	QA0	QB0	QC0	QD0

functional block diagrams

194

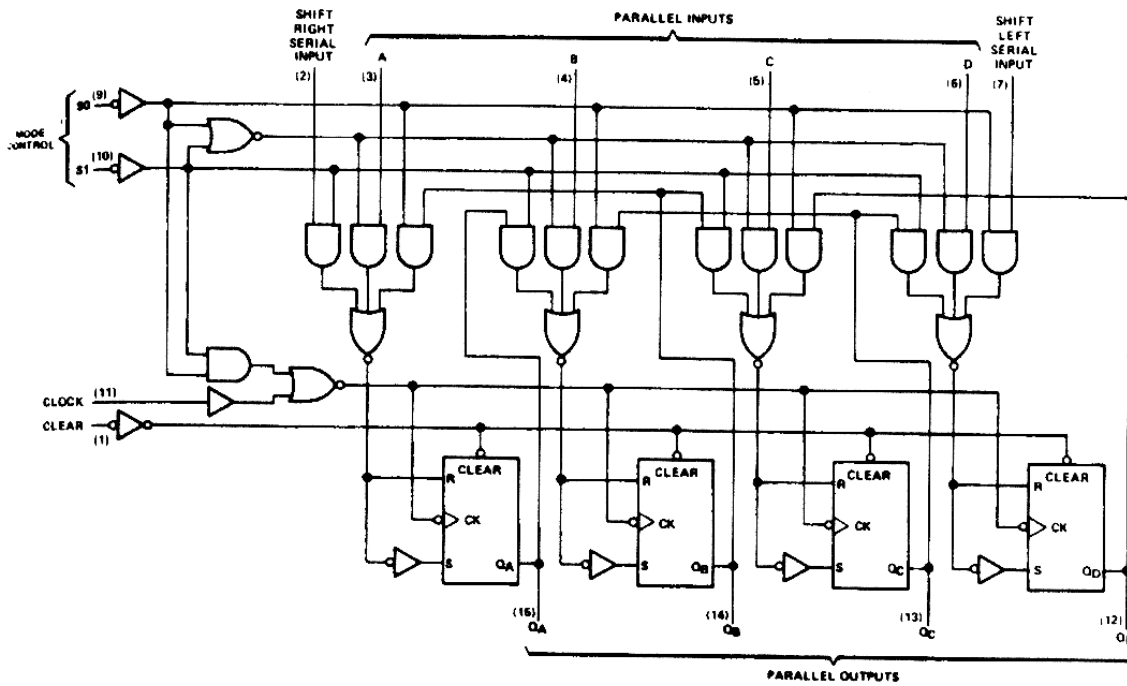


Figure 8.6 – C I 74194

On peut énumérer aussi d'autres circuits intégrés de la famille TTL comme :

- 7491 pour écriture série-lecture série ;
- 74164 pour écriture série-lecture parallèle;
- 74165 et 74166 pour écriture parallèle –lecture série;
- 74178 et 74195 pour écriture parallèle –lecture parallèle;

IX. Le codeur et le décodeur :

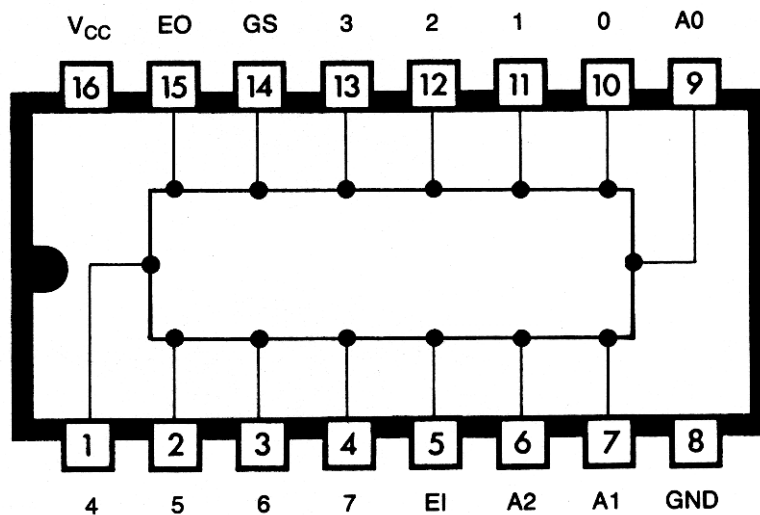
a) Le codeur :

C'est un circuit à N entrées dont une seulement est active et qui délivre sur n sorties (en code binaire ou autre) le numéro de l'entrée.

Exemple :

On prend comme exemple le codeur 74148 (voir figure 9.1). Cette élément décode 8 lignes d'entrée en 3 lignes de sortie (code binaire). Pour le montage en cascade de plusieurs éléments, la sortie E0 du premier élément est reliée à l'entrée EI du deuxième élément et ainsi de suite. Il n'est pas nécessaire d'utiliser des éléments supplémentaires.

Lorsque toutes les lignes d'entrée se trouvent au niveau H, les sorties ont également le niveau H. En état actif, tous les niveaux d'entrée et de sortie sont à l'état bas.



Entrées									Sorties				
EI	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	H	L	H
L	X	X	X	X	L	H	H	H	L	H	H	L	H
L	X	X	X	L	H	H	H	H	H	L	L	L	H
L	X	X	L	H	H	H	H	H	H	L	H	L	H
L	X	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

X = sans importance

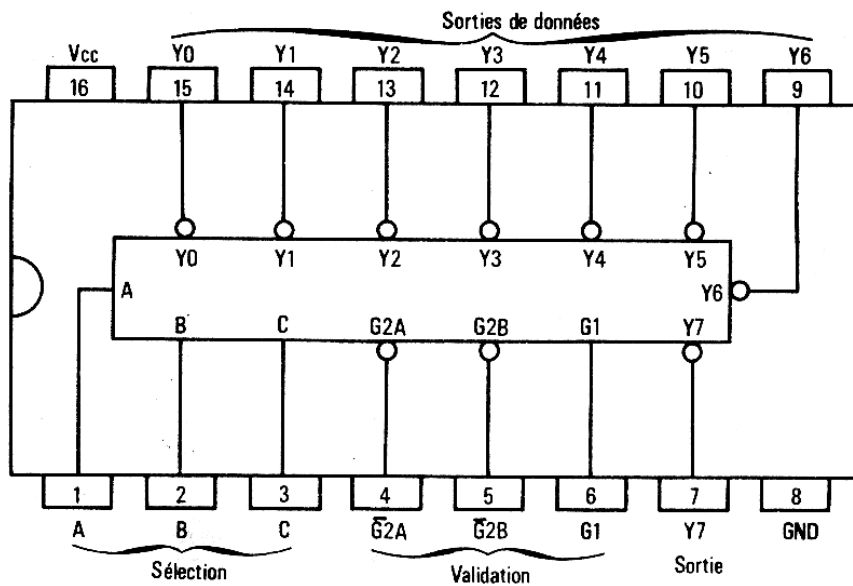
Figure 9.1 - Caractéristiques du C I 74148.

b) Le décodeur.

Le décodage consiste à sélectionner une sortie ou un groupe de sortie en fonction d'un code d'entrée. On dit que le code d'entrée identifie l'adresse de la sortie.

Exemple : Le C I 74138 (voir figure 9.2)

Ces circuits à haute performance sont des décodeurs de trois lignes en huit lignes. Ce décodeur est en fonction seulement lorsque les entrées $\overline{G2A} = \overline{G2B} = 0$ et que $G1 = 1$. Autrement les sorties du décodeur sont paralysées, peu importe le code d'entrée. Ces entrées de validation réduisent l'emploi de portes externes et d'inverseurs.



Entrées		Sorties										
Validation		Sélection										
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

* $G2 = G2A + G2B$ H, = niveau haut L = niveau bas
X = sans importance

Figure 9.2 - Caractéristiques du C I 74138.

X. Les afficheurs :**X.1 Le décodeur pilote d'affichage :**

Plusieurs dispositifs de décodage servent à la représentation de données à l'aide d'un afficheur décimal. C'est le cas des afficheurs à sept segments.

X.1.1 Afficheur DCB à sept segments :

L'appellation « sept segments » provient de l'agencement de sept DEL de manière à pouvoir afficher les dix chiffres de 0 jusqu'à 9.

La particularité des décodeurs pilotes d'affichage vient du fait que, pour un code d'entrée distinct, plusieurs sorties deviennent actives simultanément afin d'afficher les différents caractères. Un décodeur pilote d'affichage est donc conçu pour être relié directement à un afficheur. La figure 10.1 montre la disposition des segments d'un afficheur ainsi que les seize combinaisons possibles obtenues avec la plupart des décodeurs.

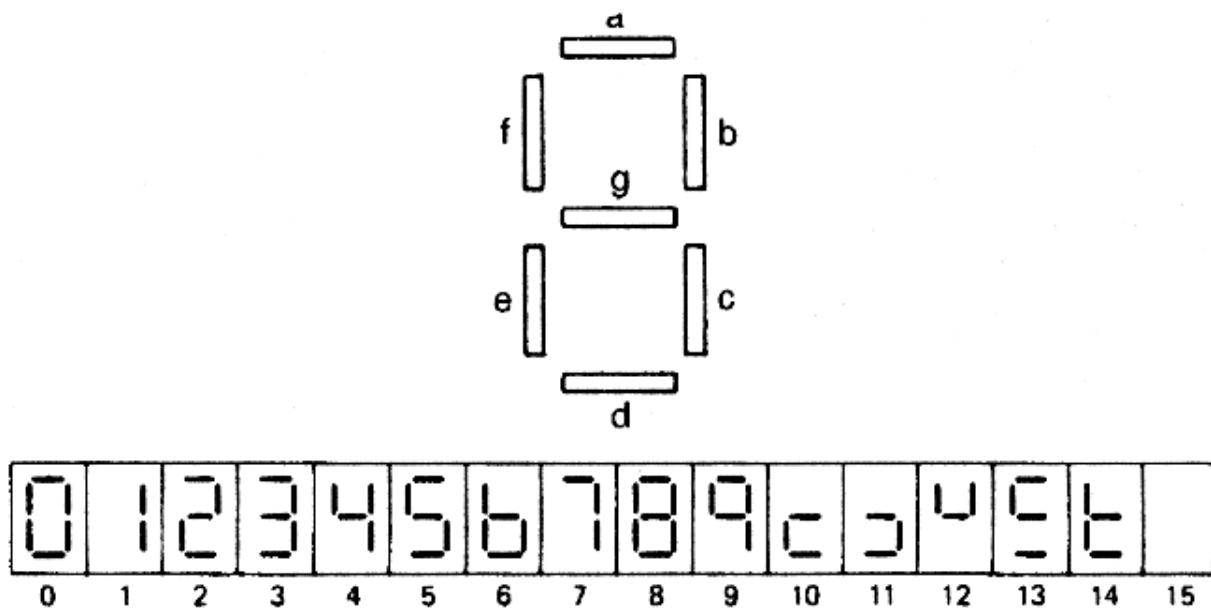


Figure 10.1 – Identification et disposition des segments

La figure 10.2 montre le raccordement d'un afficheur ainsi que la table de vérité du décodeur. Comme le décodeur 7447 est doté de sorties vraies au niveau BAS, les «0» présents aux sorties de la table de vérité se traduisent par des segments allumés. De plus, l'anode de chacun des segments est reliée à une borne commune connectée à l'alimentation V cc. On décrit cet afficheur à DEL comme étant à anode commune.

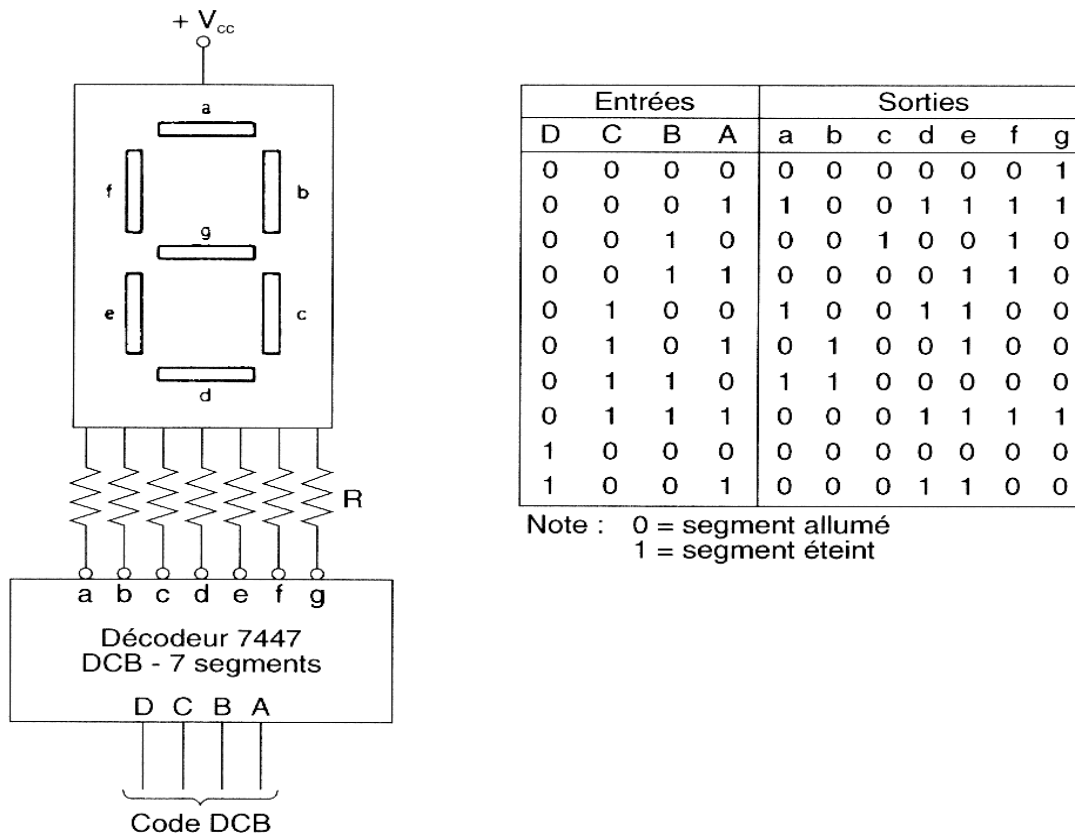


Figure 10.2 – Raccordement d'un afficheur à anode commune

Il existe aussi des afficheurs à DEL à cathode commune. La figure 10.3 montre le raccordement interne des DEL de chacun des types d'afficheurs. Pour piloter un afficheur à cathode commune, le décodeur doit être doté de sorties vraies au niveau HAUT, car la borne commune de l'afficheur se relie à la masse du circuit.

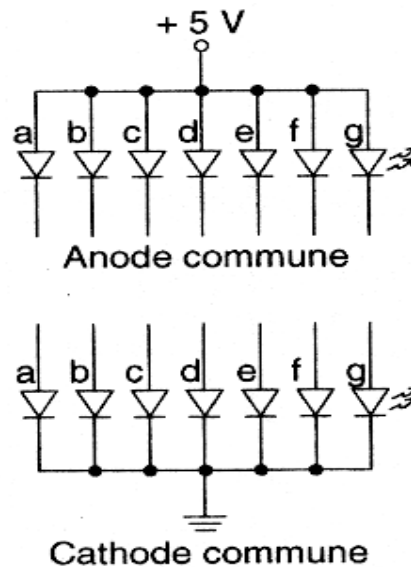


Figure 10.3 – Les types d'afficheurs

X.1.2 Afficheur à cristaux liquides LCD :

voir figure 10.4

Ce type d'afficheur n'émet aucune lumière en l'absence de source lumineuse extérieure.
Ce type d'afficheur est plus adapté à la technologie CMOS.

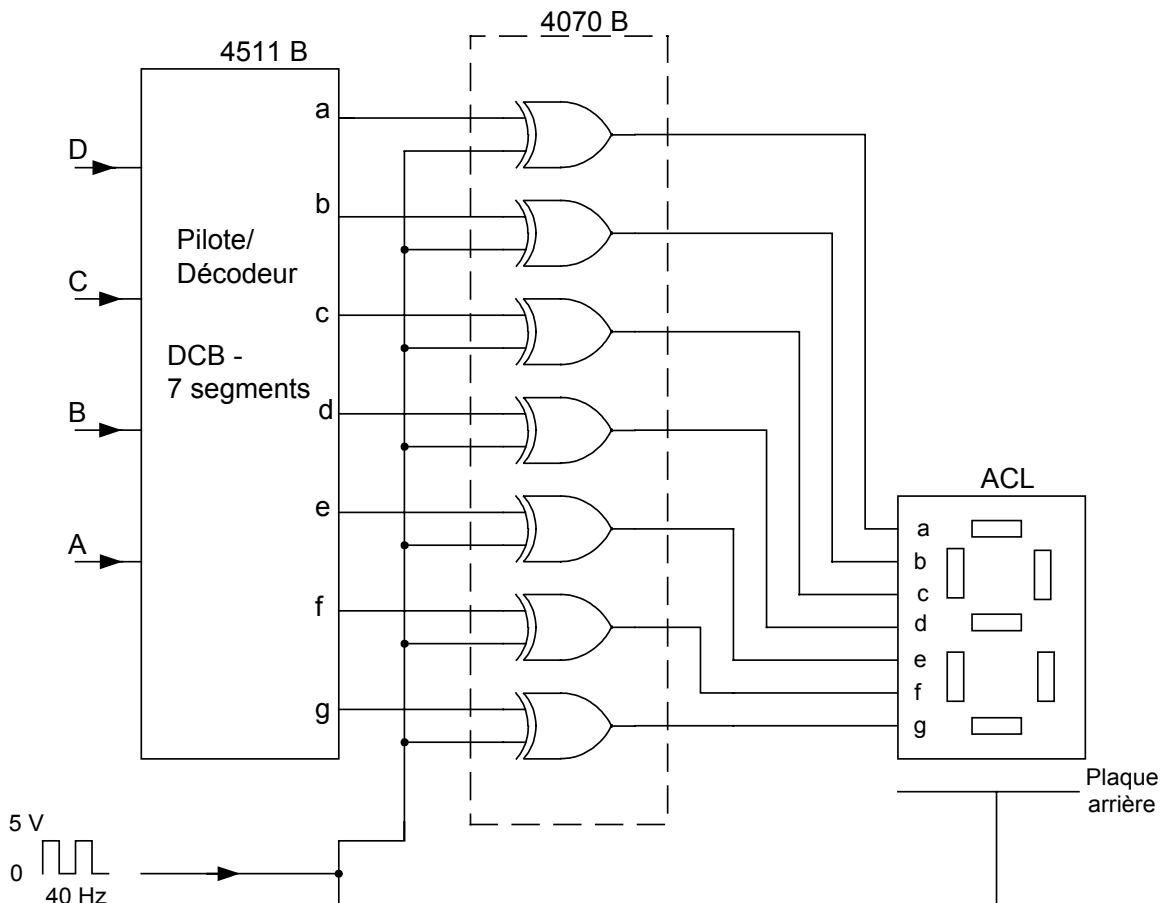


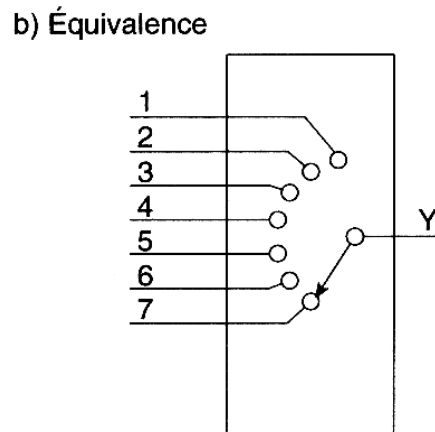
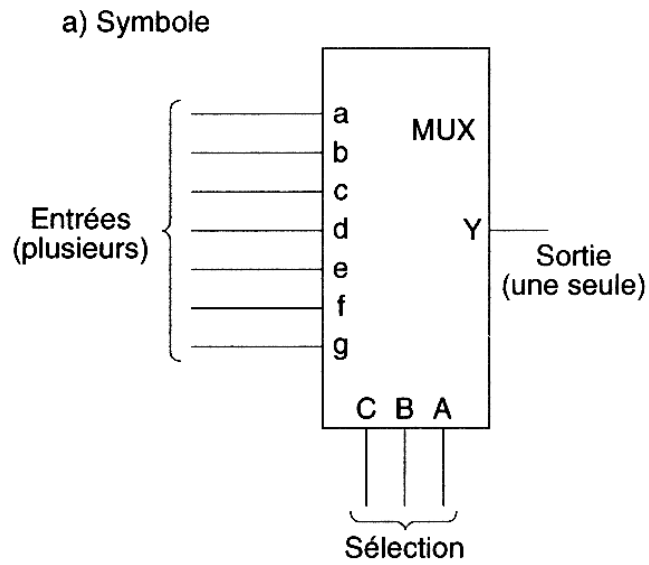
Figure 10.4 – L'afficheur à cristaux liquides LCD

XI. Multiplexeurs

XI.1 Principe d'un multiplexeur

Un multiplexeur agit comme un interrupteur à pôles multiples. Il sélectionne une des entrées pour la faire apparaître à la sortie. C'est la raison pour laquelle on l'appelle parfois sélecteur de données. L'aiguillage de l'entrée des données s'effectue par des lignes de sélection qui répondent à un code binaire. La figure 11.1 montre un multiplexeur à huit entrées. Le code d'entrée appliqué sur les lignes de sélection C B A détermine l'entrée qui sera transmise à la sortie.

La table de vérité de la figure 11.1 prouve la transparence d'un multiplexeur lorsqu'une entrée est activée. Peu importe le contenu de l'entrée sélectionnée, l'information apparaît intégralement à la sortie. Dans ce cas-ci, on est en mesure de multiplexer des données binaires.



c) Table de vérité

Lignes de sélection			Entrées							Sortie	
C	B	A	0	1	2	3	4	5	6	7	Y
0	0	0	0	x	x	x	x	x	x	x	0
0	0	0	1	x	x	x	x	x	x	x	1
0	0	1	x	0	x	x	x	x	x	x	0
0	0	1	x	1	x	x	x	x	x	x	1
	0					0					0
	0					0					0
	0					0					0
1	1	1	x	x	x	x	x	x	x	0	0
1	1	1	x	x	x	x	x	x	x	1	1

Figure 11.1 – Multiplexeur à huit entrées

XI.2 Affichage multiplexé :

La majorité des afficheurs multiplexés fonctionnent selon le principe du temps partagé, c'est-à-dire que tous les afficheurs sont activés séquentiellement dans le but d'économiser de l'énergie. Grâce à cette technique, un seul décodeur sert pour tous les afficheurs. Ceux-ci s'allument un à la fois à une vitesse suffisante pour éliminer les oscillations lumineuses. Pour l'œil humain, l'affichage paraît continuellement allumé, car la vitesse de commutation est habituellement supérieure à 1 kHz.

À la figure 11.2 le sélecteur d'affichage détermine l'afficheur qui sera allumé, tandis que le décodeur DCB à sept segments transmet le chiffre qui sera affiché. Supposez que l'interrupteur 1 soit fermé; le chiffre défini par le décodeur sera affiché en position 1 pour un court laps de temps. Le sélecteur de position passera ensuite à la position suivante; le chiffre en position 1 s'éteindra pour permettre l'alimentation du chiffre en position 2. La séquence d'alimentation se poursuivra jusqu'au dernier chiffre puis recommencera à partir du début.

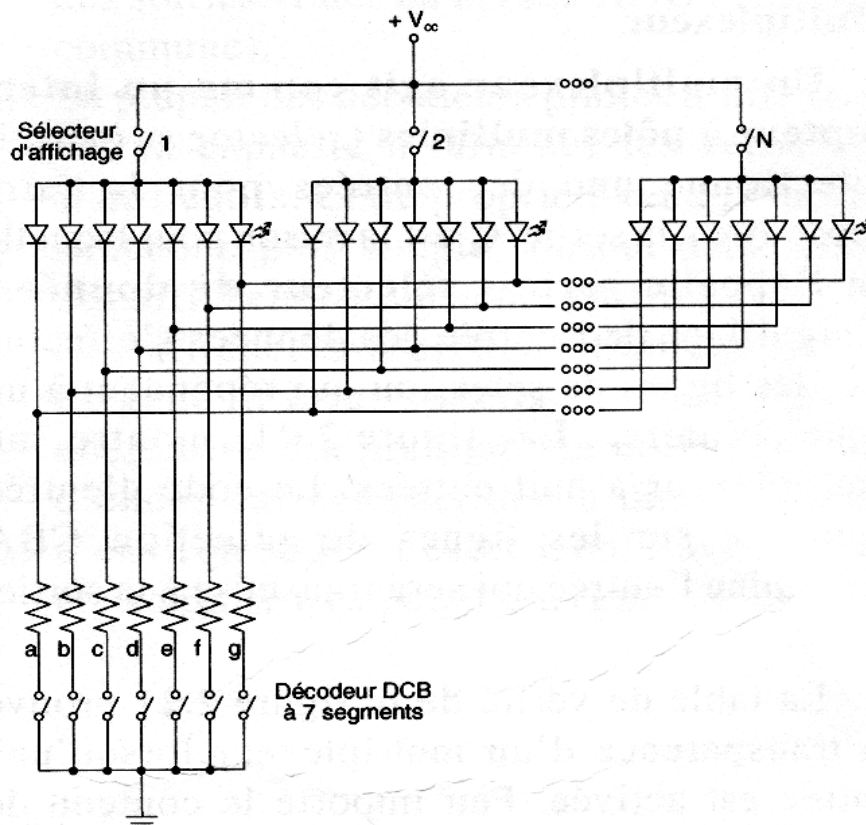


Figure 11.2 – Principe d'affichage multiplexé

La figure 11.3 montre le diagramme bloc d'un circuit d'affichage multiplexé à quatre chiffres. Notez la présence d'un seul décodeur DCB pour les quatre afficheurs. Le compteur à 2 bits sert à dicter la séquence d'allumage pour permettre l'alimentation de chacun des afficheurs à tour de rôle. Le chronogramme décrit précisément ce qui se passe à chacune des étapes. Le multiplexeur fournit le contenu à afficher selon le chiffre sélectionné.

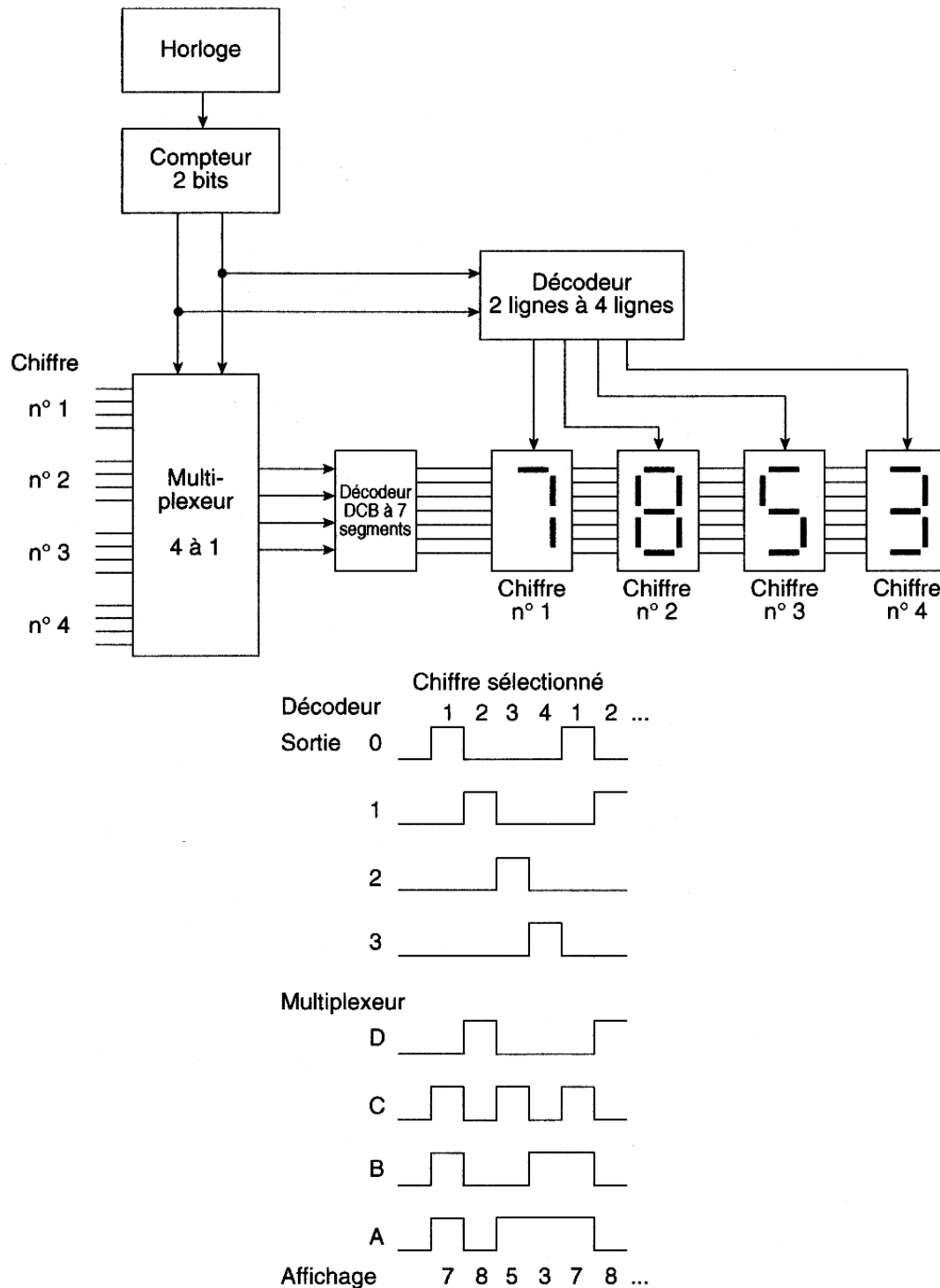


Figure 11.3 – diagramme bloc

Exemple d'un multiplexeur :

La figure 11.4 montre le composant 74153. Ce circuit comporte deux sélecteurs/multiplexeurs de données avec chacun un décodage binaire permettant de sélectionner une ligne de données entre quatre. Il a une entrée de commande de strobe pour chaque multiplexeur, qui doit être au niveau bas pour valider le circuit; un niveau haut

du strobe force la sortie y correspondante au niveau bas. La table de vérité précise le fonctionnement.

**Table de vérité
(pour une section)**

Entrées de sélection		Entrées de données				Strobe	Sortie
B	A	C0	C1	C2	C3	G	Y
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	L	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	B

Les entrées de sélection sont communes aux deux sections
H = niveau haut L = niveau bas X = sans importance

Brochage

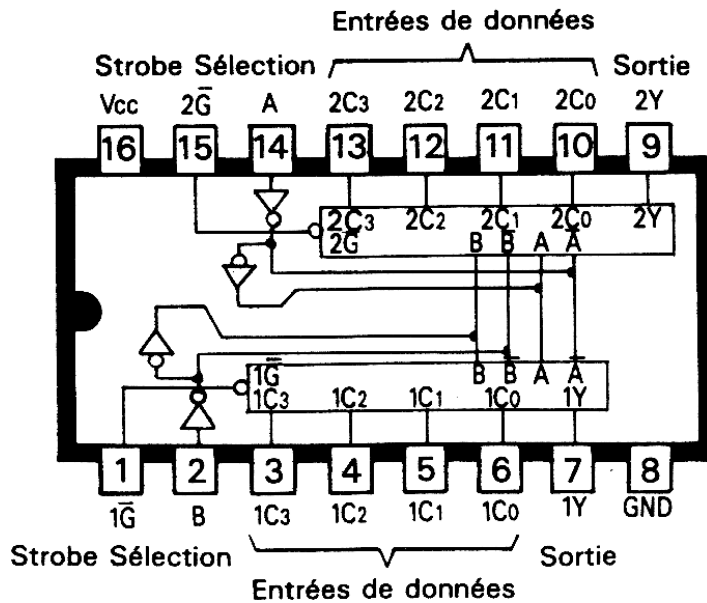


Figure 11.4 - Caractéristiques du 74153.

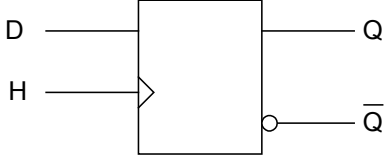
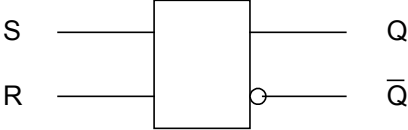
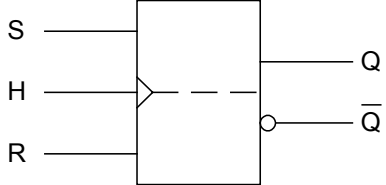
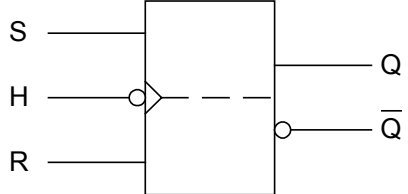
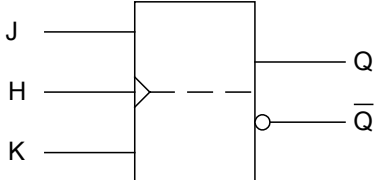
MODULE N° 22:

GUIDE DE TRAVAUX PRATIQUES

Exercices :































Exercices 1 :

Compléter le tableau suivant

Symbole	Désignation
	
	
	
	
	

Exercice2 :

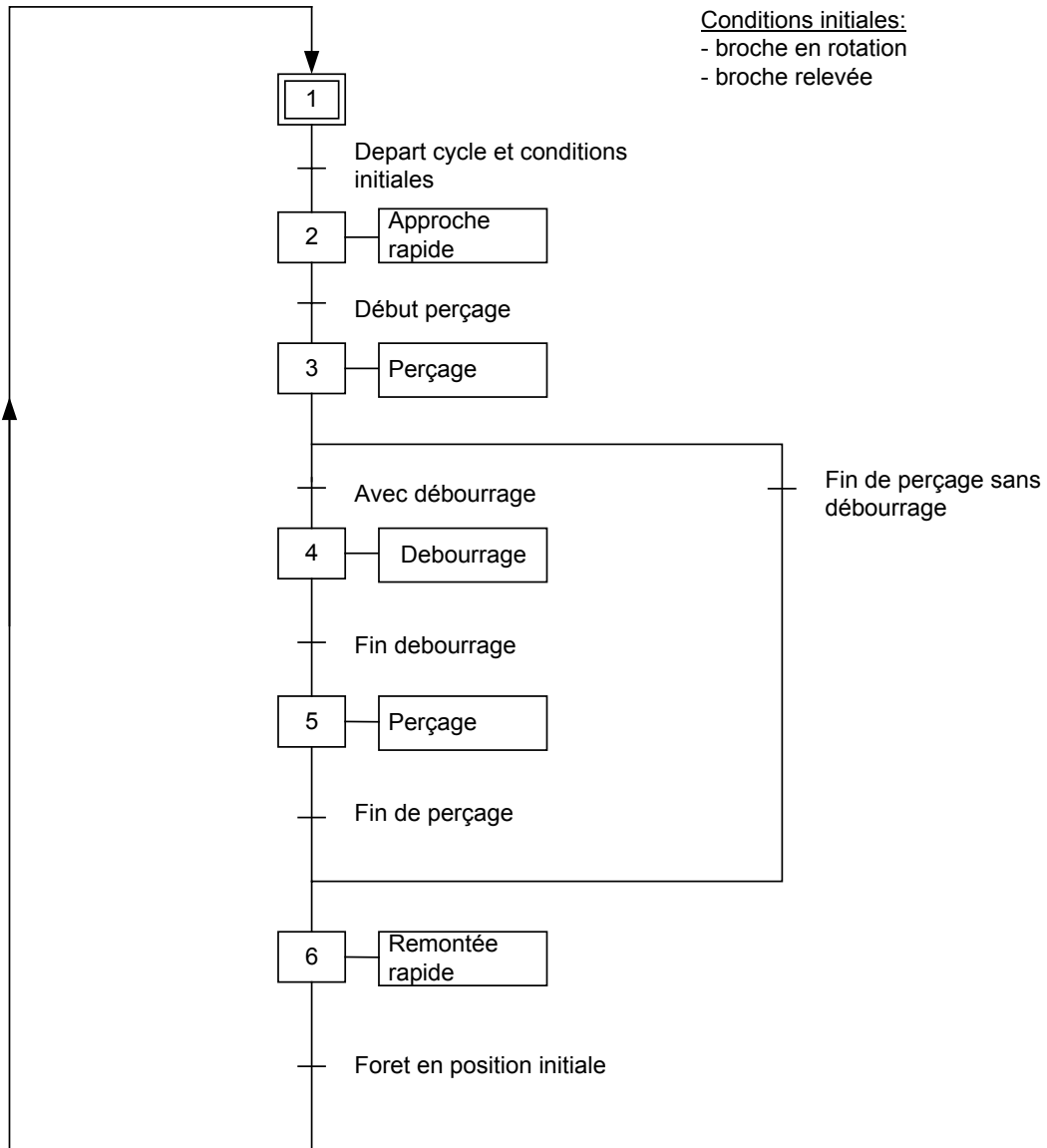
Reconnaître les composants logiques du tableau suivant d'après leur table de fonctionnement

Table de fonctionnement				Composant logique correspondant																																	
<table border="1"> <thead> <tr> <th colspan="2">Entrées</th> <th colspan="2">Sorties</th> </tr> <tr> <th>S</th> <th>R</th> <th>Q</th> <th>\bar{Q}</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td colspan="2">Inchangé</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td colspan="2">Ambiguïté</td> </tr> </tbody> </table>				Entrées		Sorties		S	R	Q	\bar{Q}	0	0	Inchangé		0	1	0	1	1	0	1	0	1	1	Ambiguïté											
Entrées		Sorties																																			
S	R	Q	\bar{Q}																																		
0	0	Inchangé																																			
0	1	0	1																																		
1	0	1	0																																		
1	1	Ambiguïté																																			
<table border="1"> <thead> <tr> <th colspan="3">Entrées</th> <th colspan="2">Sorties</th> </tr> <tr> <th>H</th> <th>S</th> <th>R</th> <th>Q</th> <th>\bar{Q}</th> </tr> </thead> <tbody> <tr> <td></td> <td>0</td> <td>0</td> <td colspan="2">Inchangé</td> </tr> <tr> <td></td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td></td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td></td> <td>1</td> <td>1</td> <td colspan="2">Ambiguïté</td> </tr> </tbody> </table>				Entrées			Sorties		H	S	R	Q	\bar{Q}		0	0	Inchangé			0	1	0	1		1	0	1	0		1	1	Ambiguïté					
Entrées			Sorties																																		
H	S	R	Q	\bar{Q}																																	
	0	0	Inchangé																																		
	0	1	0	1																																	
	1	0	1	0																																	
	1	1	Ambiguïté																																		
<table border="1"> <thead> <tr> <th colspan="3">Entrées</th> <th colspan="2">Sorties</th> </tr> <tr> <th>H</th> <th>J</th> <th>K</th> <th>Q_{n+1}</th> <th>\bar{Q}_{n+1}</th> </tr> </thead> <tbody> <tr> <td></td> <td>0</td> <td>0</td> <td>Q_n</td> <td>\bar{Q}_n</td> </tr> <tr> <td></td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td></td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td></td> <td>1</td> <td>1</td> <td>\bar{Q}_n</td> <td>Q_n</td> </tr> </tbody> </table>				Entrées			Sorties		H	J	K	Q_{n+1}	\bar{Q}_{n+1}		0	0	Q_n	\bar{Q}_n		0	1	0	1		1	0	1	0		1	1	\bar{Q}_n	Q_n				
Entrées			Sorties																																		
H	J	K	Q_{n+1}	\bar{Q}_{n+1}																																	
	0	0	Q_n	\bar{Q}_n																																	
	0	1	0	1																																	
	1	0	1	0																																	
	1	1	\bar{Q}_n	Q_n																																	
<table border="1"> <thead> <tr> <th colspan="2">Entrées</th> <th colspan="2">Entrées</th> </tr> <tr> <th>H</th> <th>D</th> <th>Q_{n+1}</th> <th>\bar{Q}_{n+1}</th> </tr> </thead> <tbody> <tr> <td></td> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td></td> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>				Entrées		Entrées		H	D	Q_{n+1}	\bar{Q}_{n+1}		0	0	1		1	1	0																		
Entrées		Entrées																																			
H	D	Q_{n+1}	\bar{Q}_{n+1}																																		
	0	0	1																																		
	1	1	0																																		

Exercice 3:

On demande :

- 1) D'analyser le GRAFCET niveau 1 suivant
- 2) d'établir le GRAFCET niveau 2 correspondant



- 3) Donner les équations correspondant aux étapes.

TP.1 – Essai des bascules élémentaires :

1) Objectif visé :

Vérifier le comportement des bascules et approfondir l'analyse de leur fonctionnement.

2) Durée du TP :

3 Heures.

3) Matériel requis :

- Circuits intégrés de la famille 74 : 7400,7402,7405 et 74LS76;
- Boutons-poussoirs N.O. (2);
- Diodes électroluminescentes (3);
- Résistances de 1/2 W (5) : 200 Ω (3) et 1 k Ω (2);
- Fiches techniques des circuits intégrés.

4) Description du TP :

Dans cet exercice, vous procéderez à la vérification de la table de vérité de quelques bascules. Vous aurez à solliciter les entrées synchrones et asynchrones et à déterminer leur effet sur l'état de la bascule.

5) Déroulement du TP :

1. Faites d'abord la lecture complète des diverses étapes de cet exercice.
2. À l'aide des fiches techniques des composants, procédez d'abord à la numérotation des bornes des circuits selon les composants mis à votre disposition. Réalisez ensuite le montage du circuit de la figure suivante :

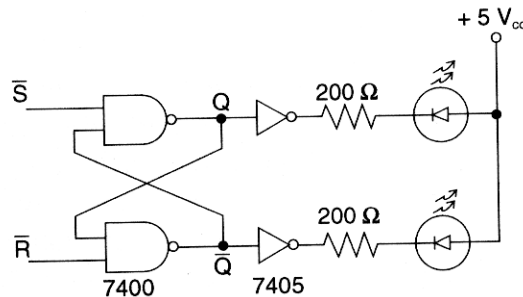


Table de vérité

\bar{S}	\bar{R}	Q	\bar{Q}
0	0		
0	1		
1	0		
1	1		

Bascule R S en porte NON - ET

- À l'aide des interrupteurs logiques, simulez les entrées synchrones \bar{S} et \bar{R} correspondant à chacune des étapes de la table de vérité afin de vérifier l'état de la bascule. Inscrivez le résultat des sorties.
- Lorsque $\bar{S} = \bar{R} = 1$, que pouvez-vous conclure sur l'état de la bascule par rapport à l'état précédent?
- Modifiez votre montage afin d'obtenir le circuit de la figure suivante. Répétez l'étape 3 pour déterminer vos résultats.

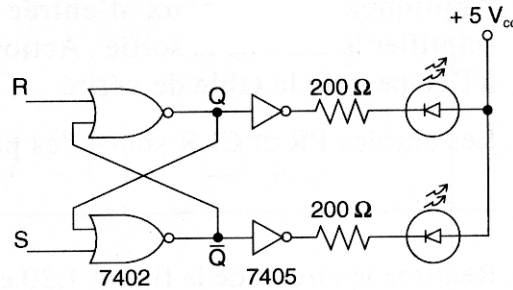


Table de vérité

S	R	Q	\bar{Q}
0	0		
0	1		
1	0		
1	1		

Bascule R S en porte NON - OU

- Décrivez en quelques mots la différence entre les deux montages précédents selon leur table de vérité.
- Réalisez le montage de la figure suivante en appliquant un signal d'horloge à commande manuelle.

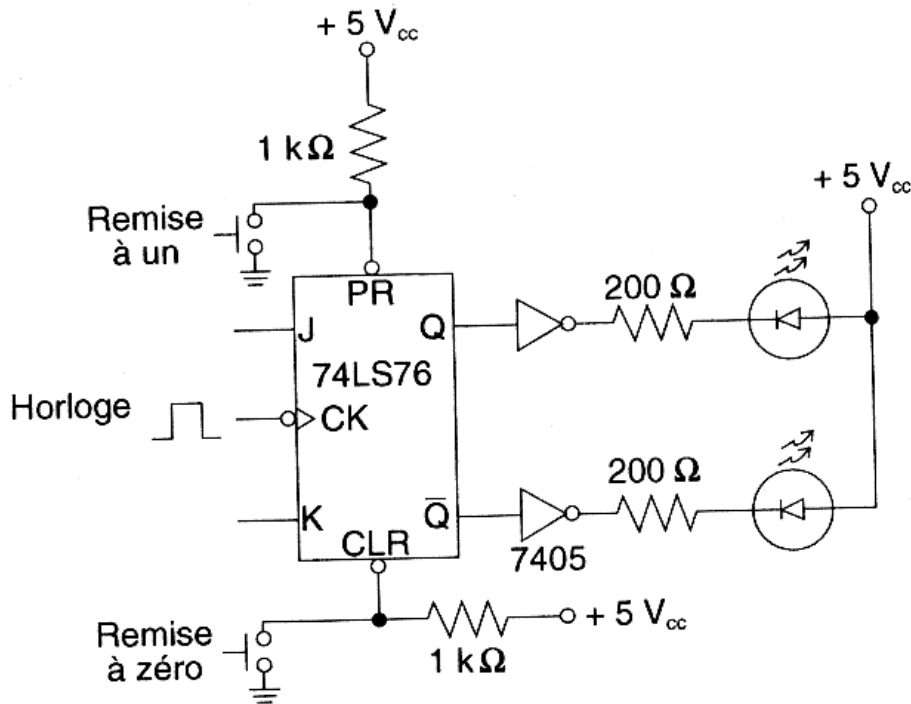


Table de vérité

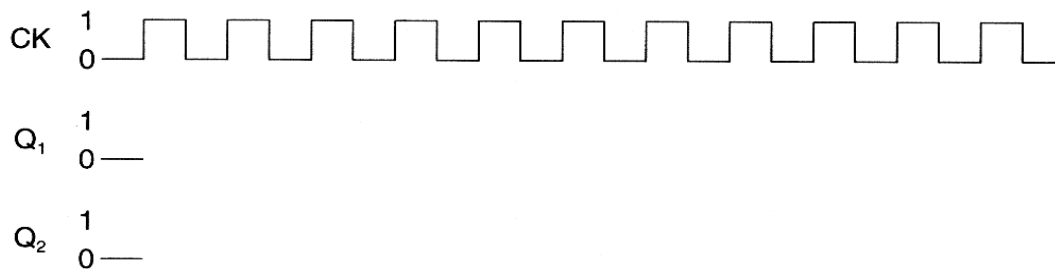
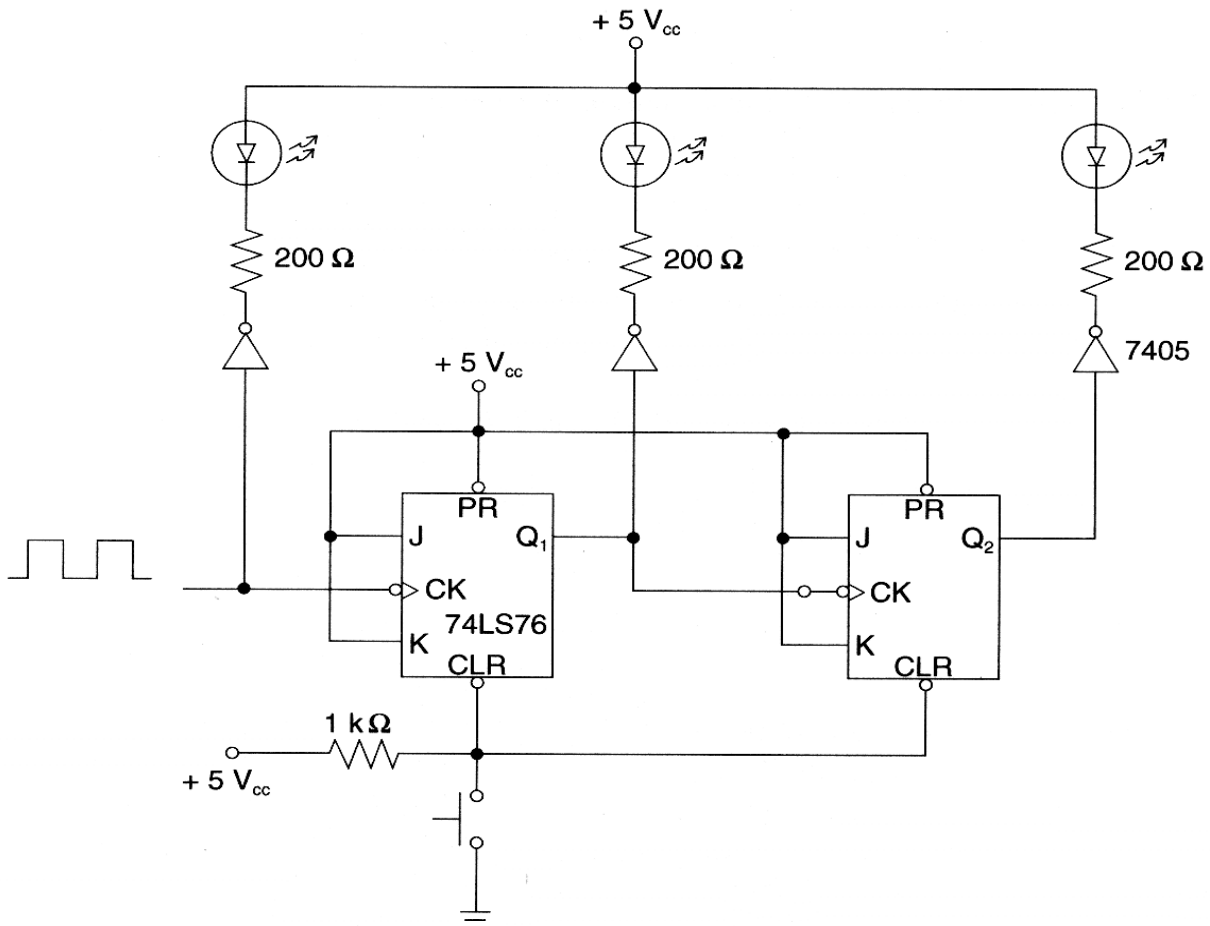
Étape	PR	CLR	J	K	CK	Q	\bar{Q}
1	1	1	X	X	0		
2	1	1	0	0	↓		
3	1	1	0	1	↓		
4	1	1	1	0	↓		
5	1	1	1	1	↓		
6	1	0	X	X	X		
7	0	1	X	X	X		

Circuit d'une bascule J k

8. Vérifiez le fonctionnement asynchrone de la bascule (étape 1 de la table de vérité). Sans actionner l'horloge, faites varier les entrées Jet K à votre gré. Notez vos résultats dans la table de vérité. Est-ce que les entrées Jet K affectent le fonctionnement asynchrone de la bascule?
9. Indiquez le résultat des étapes 2 à 5 de la table de vérité
10. Appliquez des signaux d'entrée pour faire scintiller la DEL de la sortie \bar{Q} . Actionnez le bouton-poussoir de remise à zéro et portez vos résultats à l'étape 6 de la table de vérité.
11. Appliquez des signaux d'entrée pour faire scintiller la DEL de la sortie Q. Actionnez le bouton-poussoir de remise à un et portez vos résultats à l'étape 7 de la table de vérité.

12. Les entrées PR et CLR sont-elles prioritaires sur celle de l'horloge?

13. Réalisez le circuit de la figure suivante en appliquant un signal d'horloge de 1 Hz à la première bascule. Observez le comportement des DEL et complétez le chronogramme de Q1 et de Q2.



14. À quoi sert le bouton-poussoir?

15. Faites vérifier vos résultats.

TP.2 – Essai des registres à décalage:**1) Objectif visé :**

Vérifier le fonctionnement et les caractéristiques des circuits de registres à décalage.

2) Durée du TP :

3 Heures.

3) Matériel requis :

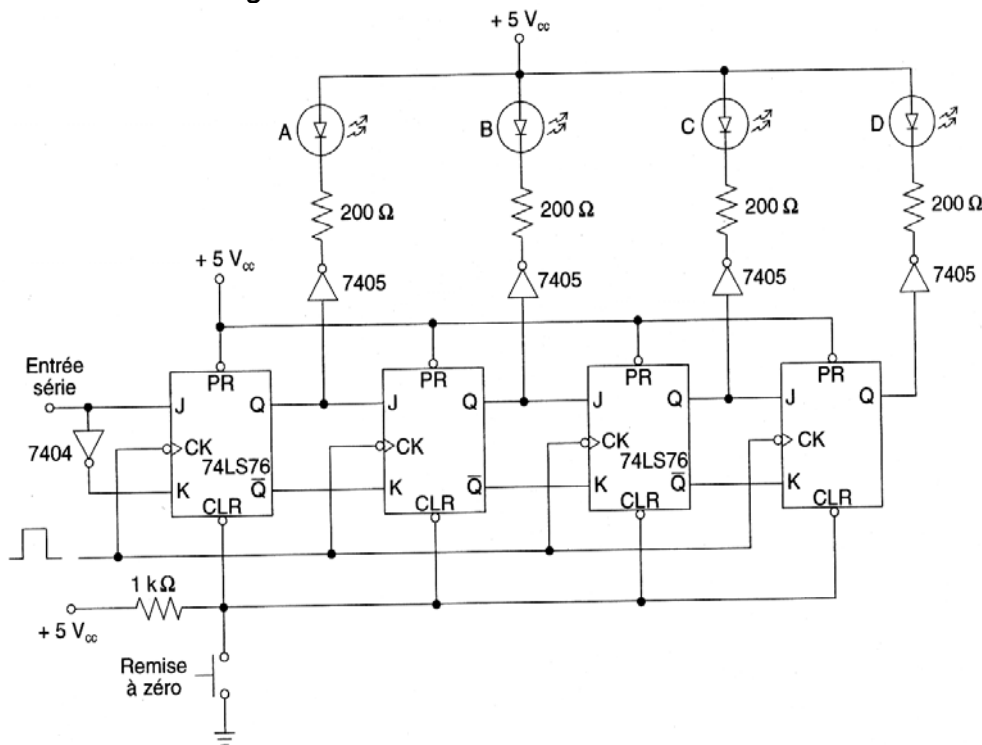
- Circuits intégrés de la famille 74 : 7404, 7405, 74LS76 (2) et 7495;
- Bouton-poussoir N.O.;
- Diodes électroluminescentes (4);
- Résistances de 1/2 W (5) : 200 Ω (4) et 1 k Ω ;
- Fiches techniques des circuits intégrés.

4) Description du TP :

Dans cet exercice, vous réaliserez un registre à décalage à l'aide de composants discrets. Vous pourrez aussi vérifier Le fonctionnement des registres à décalage universels comme le 7495.

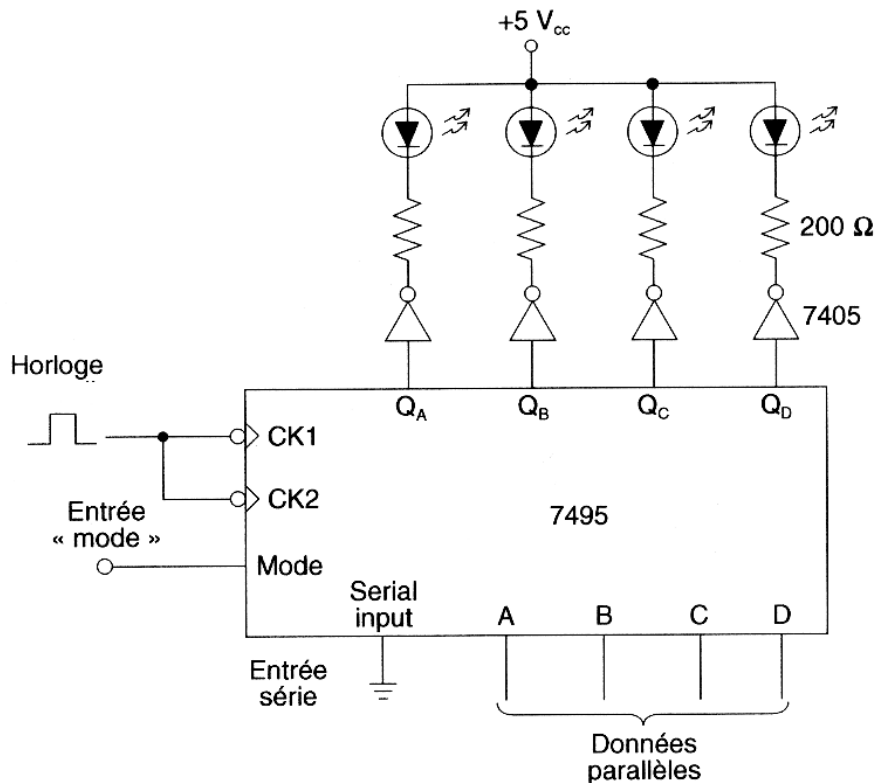
5) Déroulement du TP :

1. Faites d'abord la lecture complète des diverses étapes de cet exercice.
2. À l'aide des fiches techniques des composants, procédez d'abord à la numérotation des bornes des circuits selon les composants mis à votre disposition. Réalisez ensuite le montage du circuit de la figure suivante.



registres à décalage à composants discrets

3. Remettez d'abord le contenu du registre à zéro. Placez l'entrée série à l'état logique 1 et transférez les données à l'aide de quatre impulsions d'horloge. Notez le contenu du registre. DCBA =
4. Placez l'entrée série à l'état logique 0 et transférez les données à l'aide de quatre impulsions d'horloge. Notez le contenu du registre DCBA =
5. Manipulez l'entrée série et l'horloge de manière à charger la valeur DCBA = 1010 en tenant compte du fait que le bit A possède le poids le moins significatif.
6. Faites vérifier vos résultats.
7. Réalisez le circuit de la figure suivante :



Registre universel 7495.

8. Placez l'entrée mode à 1 pour valider le fonctionnement en parallèle. Placez les entrées de données parallèles à 0 et transférez l'information à l'aide d'une impulsion d'horloge. Notez le contenu du registre DCBA =
9. Maintenez l'entrée mode à 1. Placez les entrées de données parallèles à 1 et transférez l'information à l'aide d'une impulsion d'horloge. Notez le contenu du registre DCBA =
10. Placez maintenant l'entrée mode à 0 pour valider le fonctionnement en série. Donnez quatre impulsions d'horloge et notez le contenu du registre DCBA =

TP.3 – Essai des compteurs asynchrones:**1) Objectif visé :**

Vérifier le fonctionnement et les caractéristiques des circuits de comptage à 3 bits

2) Durée du TP :

3 Heures.

3) Matériel requis :

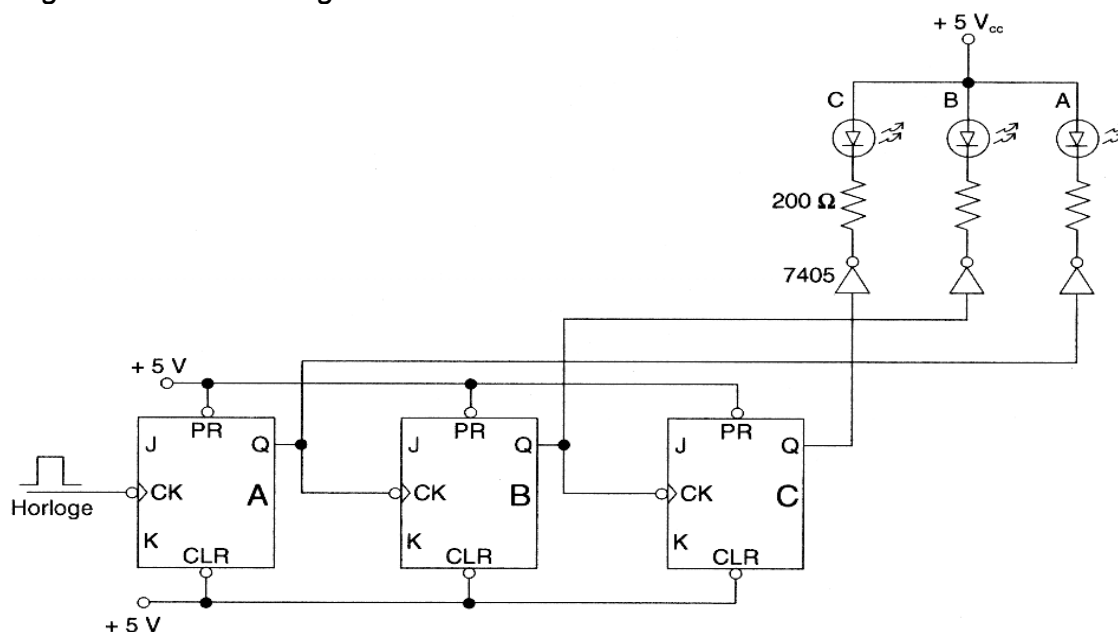
- Circuits intégrés de la famille 74 : ,7405 et 74LS76 (2);
- Diodes électroluminescentes (3);
- Résistances de 200Ω , 1/2 W (3);
- Fiches techniques des circuits intégrés.

4) Description du TP :

Dans cet exercice, vous réaliserez un compteur élémentaire à 3 bits à l'aide de composants discrets. Vous devrez modifier votre circuit pour permettre le comptage et le décomptage des événements

5) Déroulement du TP :

1. Faites d'abord la lecture complète des diverses étapes de cet exercice.
2. À l'aide des fiches techniques des composants, procédez d'abord à la numérotation des bornes des circuits selon les composants mis à votre disposition. Réalisez ensuite le montage du circuit de la figure suivante :



Compteur binaire à trois bits

Remarque :

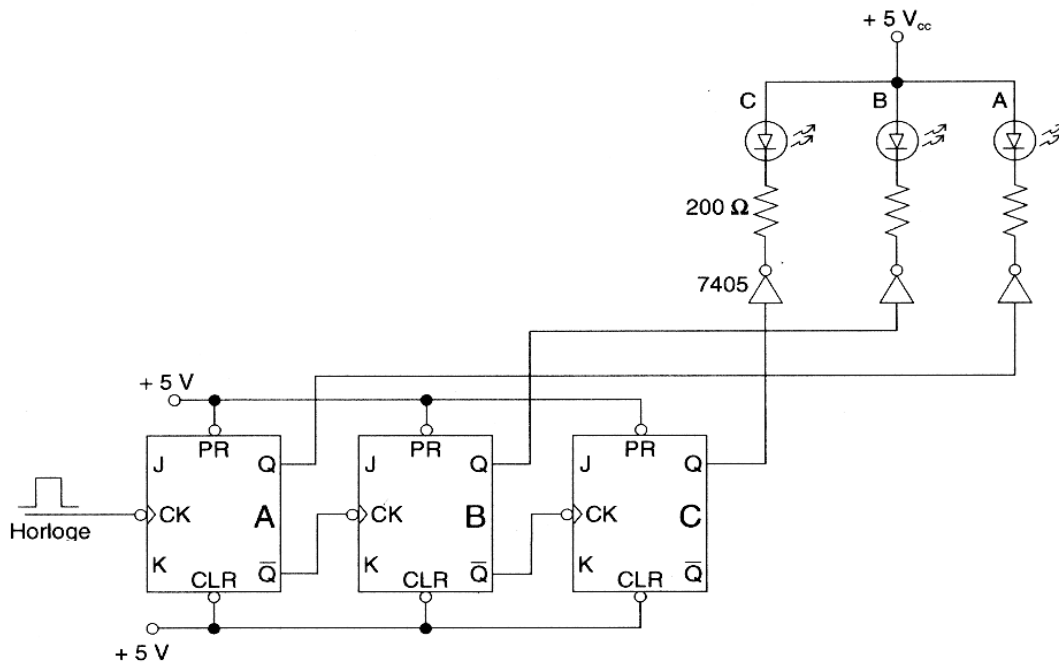
Les entrées $J = 1$ et $K = 1$ peuvent être laissées flottantes, mais il est préférable de toujours les raccorder au potentiel positif de la source. Il est toutefois essentiel de raccorder les entrées asynchrones Preset et Clear..

3. Remettez d'abord le contenu du compteur à zéro. Toutes les DEL doivent être éteintes.
4. Raccordez l'entrée horloge du compteur à une horloge de fréquence de 1 Hz. Notez les valeurs obtenues dans le tableau suivant. Les DEL sont montées dans un ordre ascendant (du bit du poids le plus fort au bit du poids le plus faible)

	C	B	A
0			
1			
2			
3			
4			
5			
6			
7			

tableau des résultats pour le compteur

5. Selon les résultats que vous avez notés dans le tableau quel genre de comptage ce montage accomplit-il ?
6. Modifiez votre montage pour le rendre conforme au circuit de la figure suivante :



Décompteur binaire à trois bits

7. Remettez d'abord le contenu du compteur à un. Toutefois les DEL doivent être allumées.
8. Raccordez l'entrée du compteur à une horloge de fréquence de 1Hz et notez les valeurs obtenues dans le tableau suivant :

C	B	A	Valeur décimale

Tableau des résultats du décompteur

9. Selon les résultats que vous avez notés dans le tableau quel genre de comptage ce montage accomplit-il?

TP.4 – Essai des compteurs synchrones:

1) Objectif visé :

Vérifier le comportement des compteurs synchrones et approfondir l'analyse de leur fonctionnement

2) Durée du TP :

3 Heures.

3) Matériel requis :

- Circuits intégrés de la famille 74 : 7408 et 74LS76;
- Fiches techniques des circuits intégrés ;
- Circuit d'affichage à sept segments ;

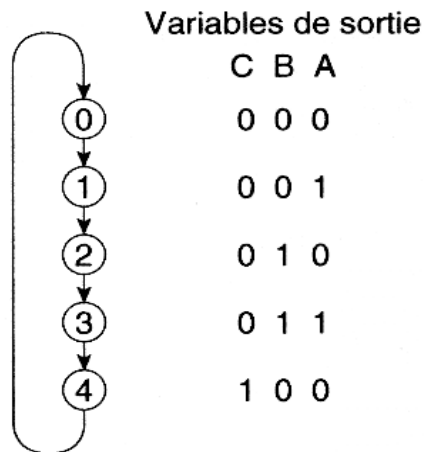
4) Description du TP :

Dans cet exercice, vous tracerez et monterez des circuits de comptage synchrones afin de procéder à la vérification de leur séquence d'opérations. Vous raccorderez vos circuits à un dispositif d'affichage à sept segments.

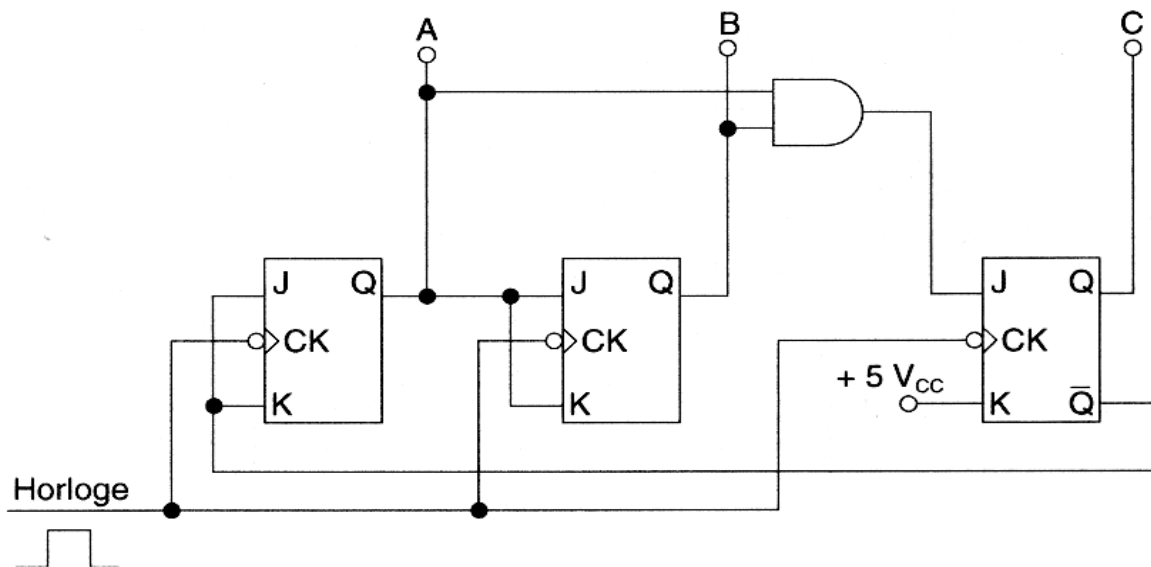
5) Déroulement du TP

1. Faites d'abord la lecture complète des diverses étapes de cet exercice.
2. Réalisez le montage du compteur MODULO-5 de la figure suivante en n'oubliant pas de brancher les entrées asynchrones. Utilisez un signal d'horloge de 1 Hz. Reliez les sorties A, B et C à votre circuit d'affichage à sept segments. Prenez soin de forcer l'entrée D du décodeur à un niveau logique BAS pour respecter le compte de 0 à 4.
3. Faites l'essai du compteur MODULO-5 synchrone. Énumérez la séquence de nombres obtenue.
4. Débranchez l'entrée D du décodeur et laissez-la flottante. Énumérez la séquence de nombres obtenue. Est-ce encore un compteur MODULO-5?

a) Diagramme d'états



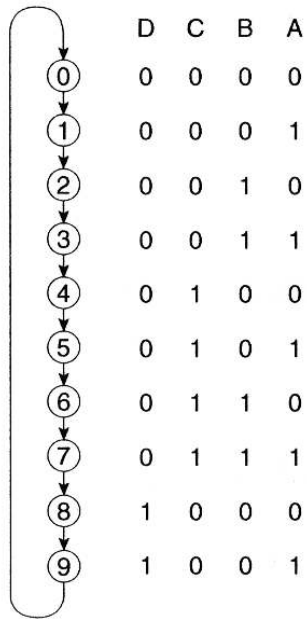
b) Montage



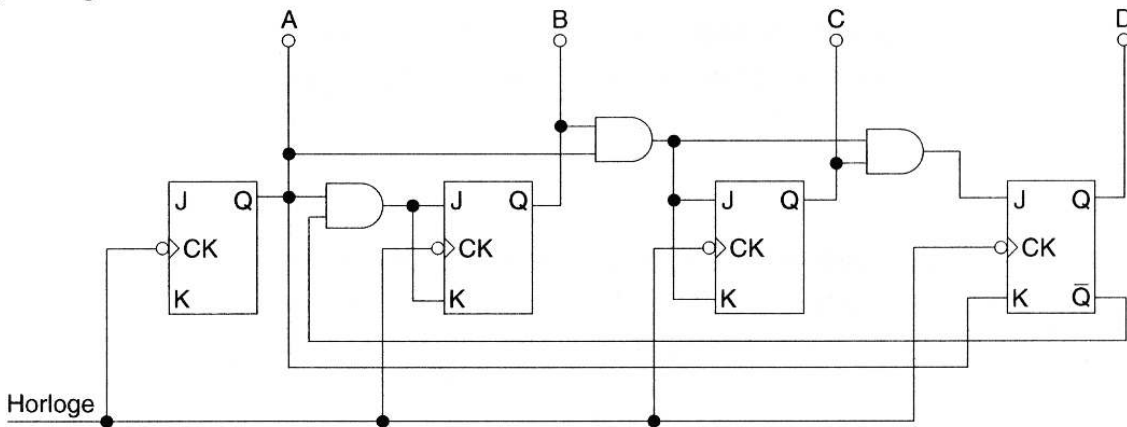
Compteur MODULO-5 synchrone

5. Modifier votre montage afin d'obtenir le compteur DCB. Brancher cette fois l'entrée D du décodeur au circuit de comptage. Vérifier le fonctionnement du circuit

a) Diagramme d'états



b) Montage



Compteur modulo-10 synchrone

TP.5 – Essai des compteurs intégrés :

1) Objectif visé :

Vérifier le comportement des compteurs intégrés et leur fonctionnement

2) Durée du TP :

3 Heures.

3) Matériel requis :

- Circuits intégrés de la famille 74 : 7490 ;
- Fiches techniques des circuits intégrés ;
- Circuit d'affichage à sept segments ;

4) Description du TP :

Dans cet exercice, vous monterez différents circuits de comptage à l'aide de compteurs intégrés 7490. Vous aurez l'occasion de vérifier leur polyvalence en réalisant des compteurs MODULO, des diviseurs de fréquence, un circuit de comptage à deux chiffres.

5) Déroulement du TP

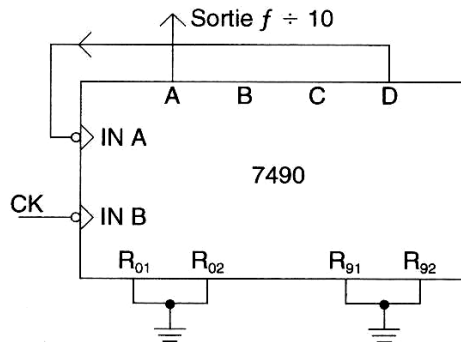
1. A l'aide du compteur asynchrone 7490, réaliser le montage du circuit diviseur par dix symétriques de la figure suivante :

a) Table de vérité

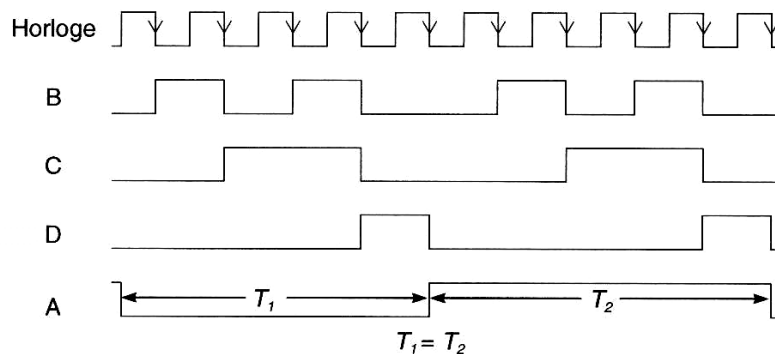
'90A, 'L90, 'LS90
BI-QUINARY (5-2)
(See Note B)

COUNT	OUTPUT			
	Q _A	Q _B	Q _C	Q _D
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

b) Branchement



b) Chronogramme



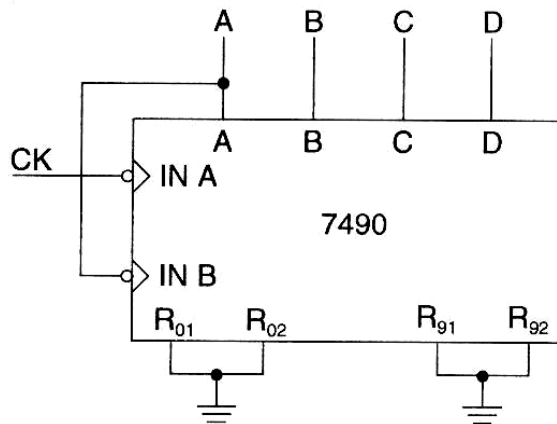
2. Par quel facteur le compteur divise-t-il la fréquence d'entrée ?
3. Modifier le montage pour obtenir un compteur DCB. Relier les sorties du compteur à votre circuit d'affichage à 7 segments et vérifier le fonctionnement à l'aide d'un signal d'horloge de 1Hz.

a) Table de vérité

'90A, 'L90, 'LS90
BCD COUNT SEQUENCE
(See Note A)

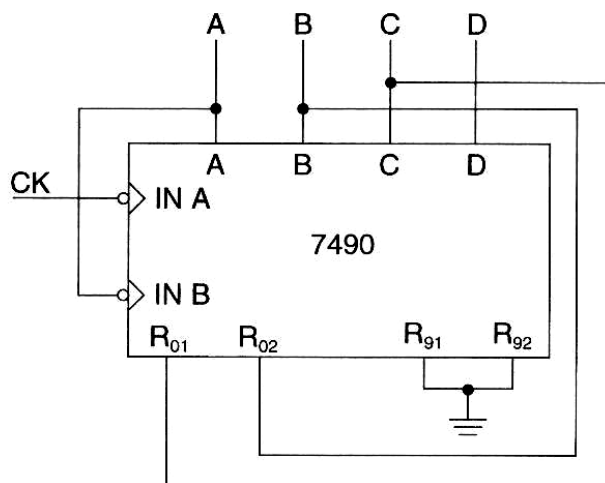
COUNT	OUTPUT			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

b) Branchement



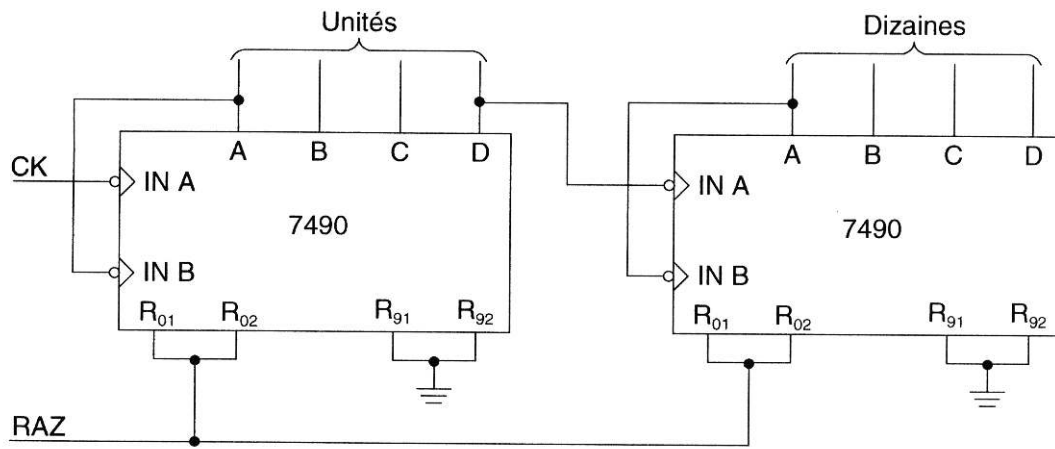
compteur DCB (modulo 10)

4. Modifier le montage pour obtenir un compteur modulo-6 et vérifier le fonctionnement



compteur modulo-6

5. En utilisant deux compteurs 7490 réaliser un compteur modulo-100



compteur modulo-100

TP.6 – Réalisation de décodeurs logiques**1) Objectif visé :**

Vérifier le comportement des décodeurs et approfondir l'analyse de leur fonctionnement.

2) Durée du TP :

2 Heures.

3) Matériel requis :

- Circuits intégrés de la famille 74 : 7420,7442 ;
- Diodes électroluminescentes (7);
- Résistances de 1/2 W (3) : 200 Ω
- Fiches techniques des composants.

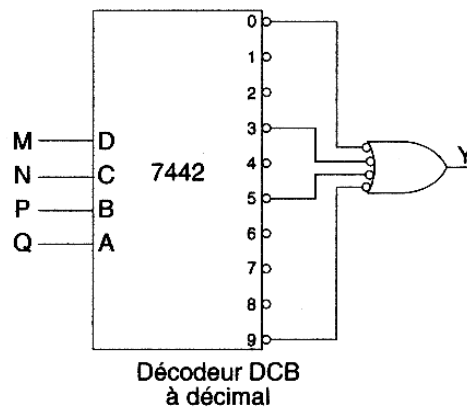
4) Description du TP :

Dans cet exercice, vous devrez faire la preuve qu'un décodeur sert parfois à simplifier le montage d'une fonction logique.

5) Déroulement du TP

1. A l'aide des variables M, N, P et Q, écrivez l'équation logique de la fonction Y décrite par la table de vérité suivante:

M	N	P	Q	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0



2. En vous servant de portes NON-ET à quatre entrées (TTL 7420) et d'inverseurs (TTL 7404), tracez l'équivalent du schéma de montage de l'équation Y.

3. Combien de circuits intégrés sont-ils nécessaires pour réaliser cette fonction uniquement à l'aide de portes logiques?

Nombre de boîtiers 7404 =.....

Nombre de boîtiers 7420 =.....

4. Dans ce qui suit, tracez le schéma de montage complet du circuit avec le décodeur 7442 en ajoutant le circuit d'une DEL comme dispositif de sortie. Numérotez les bornes selon les fiches techniques des composants et montez le circuit.
5. Faites varier l'état des interrupteurs logiques du code d'entrée et vérifiez le fonctionnement du montage en accord avec la table de vérité. Un décodeur permet-il de réaliser des fonctions logiques complexes ?

Évaluation de fin de module :

1) Durée :3 h.

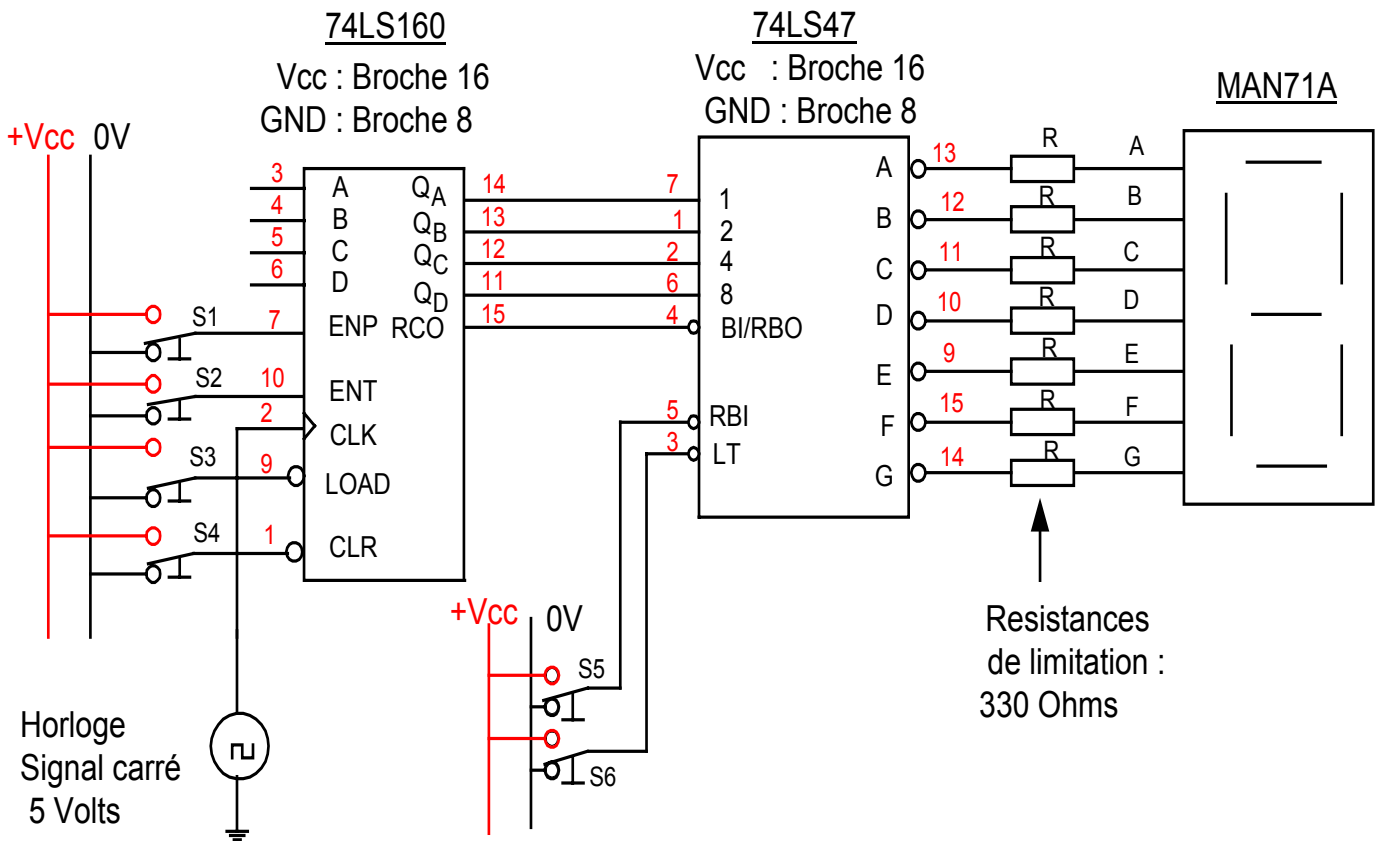
Compteur-décodeur et affichage numérique :

2) Compétence visée :

Monter un circuit dont la fonction est de compter puis d'afficher le résultat du compte en utilisant un décodeur intégré 74LS47 (interface un affichage 7 segments sur un compteur).

3) Démarches à suivre :

1. Monter le circuit de la figure suivante :



Compteur-décodeur et affichage numérique.

2. Vérifier le fonctionnement de votre circuit numérique en le faisant compter de 0 à 9 à l'aide d'une horloge à basse fréquence (utiliser le générateur de fonction)

N.B : N'oublier pas de choisir les niveaux logiques convenables pour ENP, ENT, LOAD, et CLR du compteur.

3. Quel est le rôle de la broche LT du décodeur 74LS47 ainsi que son niveau actif ?
4. Pendant que le compteur fonctionne et affiche les nombres de 0 à 9, que remarquez-vous de différent dans l'affichage de la séquence lorsque vous placez un niveau 0 sur l'entrée BI du décodeur.

Liste bibliographique*Liste des références bibliographiques*

Ouvrage	Auteur	Edition
<i>Equipements et installations électriques</i>	<i>G.Augereau A.Bianciotto P.Boyo</i>	<i>Delagrave</i>
<i>Schémas et études d'équipements</i>	<i>G.Augereau A.Bianciotto P.Boyo</i>	<i>Delagrave</i>
<i>Catalogue des principaux circuits intégrés</i>	<i>Raymond Dreyfuss Philippe Tixier</i>	<i>Weka</i>
<i>Module 21: (Électromécanique de systèmes Automatisés) Logique séquentielle</i>	<i>Alain Sirois</i>	<i>CEMEQ</i>