Conception d'un amplificateur faible bruit reconfigurable à base d'inductance active







II.1 Introduction

L'un des blocs les plus importants dans les systèmes de communications sans fil, en réception, est l'amplificateur à faible bruit. Placé au début de la chaîne de réception, il a pour but d'amplifier le signal reçu avec un gain élevé et doit présenter un faible facteur de bruit, être linéaire et consommer le moins possible. La majorité des LNA sont réalisés avec des inductances passives. Ces dernières présentent plusieurs inconvénients : il est par exemple difficile de concevoir simultanément une inductance de grande valeur avec une faible surface et un bon facteur de qualité. C'est dans l'objectif de trouver une topologie d'inductance active améliorant ce compromis que nous nous sommes intéressés à ces structures. En premier lieu, les topologies de base d'inductances actives conçues avec des transistors de la technologie CMOS sont présentées. En second lieu, quelques topologies dérivées des structures de base présentant des améliorations sont introduites. Cette étude a pour but de mettre en évidence toutes les techniques existantes dans la littérature traitant la possibilité d'agilité de la valeur de l'inductance ainsi que de son facteur de qualité. Cette analyse bibliographique nous a permis de proposer une nouvelle structure d'inductance active. Pour vérifier et valider les bénéfices de cette nouvelle topologie, cette dernière est placée comme charge d'un circuit amplificateur faible bruit. Le LNA conçu pourra alors être reconfiguré en termes de bande passante, de fréquence de travail et de gain. L'avantage principal du LNA fabriqué repose sur le fait qu'aucune inductance passive n'est utilisée.

II.2 Conception de l'inductance active

On a vu dans le premier chapitre que l'inductance active peut être obtenue à partir d'un montage de type gyrateur. Le montage gyrateur élémentaire se compose au minimum de deux transconducteurs connectés en contre-réaction. Deux configurations sont possibles :

- le transconducteur de la voie directe est configuré avec une transconductance positive quand le transconducteur de la voie de contre réaction est configuré avec une transconductance négative
- le transconducteur de la voie directe est configuré avec une transconductance négative quand le transconducteur de la voie de contre réaction est configuré avec une transconductance positive

Deux inductances actives à simple accès peuvent être réalisées (inductance équivalente reliée à la masse ou reliée à l'alimentation).

II.2.1 Topologies de base d'une inductance active

Les circuits de base d'une inductance active sont présentés sur la Figure II-1. Dans la Figure II-1(a), le transconducteur de la voie directe présente une transconductance négative qui est configurée par un montage source commune tandis que le transconducteur de la voie retour présente une transconductance positive qui est configurée par un montage drain commun. L'inductance active de ce montage est représentée dans ce cas par un résonateur RLC équivalent connecté à la masse. Dans la Figure II-1(b), le transconducteur de la voie directe présente une transconductance positive qui est configurée par un montage grille commune tandis que le transconducteur de la voie inverse présente une transconductance négative qui est configurée par un montage grille commune tandis que le transconducteur de la voie inverse présente une transconductance négative qui est configurée par un montage source commune. Cette fois-ci l'inductance active est équivalente à un résonateur RLC relié à l'alimentation.





Figure II-1 : Topologies de base d'une inductance active, (a) : Gyrateur avec voie directe formée par une transconductance négative et voie inverse formée par une transconductance positive, (b) : Gyrateur avec voie directe formée par une transconductance positive et voie inverse formée par une transconductance négative [51].



Grâce à l'utilisation des expressions données au chapitre précédent (de (I.5) à (I.8)) et avec $C_1 = C_{gs2}$, $C_2 = C_{gs1}$, $G_{m1} = _{gm1}$, $G_{m2} = g_{m2}$, $G_{01} = g_{01}$ et $G_{02} \approx g_{m1}$, les expressions du résonateur RLC équivalent de l'inductance active représentée sur la Figure II-1(b) sont donnée comme suit :

$$C_p = C_{gs1} \tag{II.1}$$

$$R_p = \frac{1}{g_{m1}} \tag{II.2}$$

$$R_s = \frac{g_{01}}{g_{m1}g_{m2}}$$
(II.3)

$$\mathcal{L} = \frac{\mathcal{C}_{gs2}}{g_{m1}g_{m2}} \tag{II.4}$$

Pour augmenter la gamme de fréquences correspondant à un fonctionnement inductif $(\omega_{zéro} < \omega < \omega_{pôle})$, les valeurs R_s et de C_P doivent être réduite au maximum (cf. I.3.3), ce qui revient, d'une part, à réduire g_{01} et C_{gs1} et d'autre part, à augmenter les transconductances g_{m1} et g_{m2} . Néanmoins, une augmentation de g_{m1} et g_{m2} réduit la valeur de l'inductance L (voir expression (II.4)). En résumé, l'objectif est d'obtenir un facteur de qualité élevé et constant pour différentes valeurs d'inductances. Ceci est impossible avec ces deux topologies de base puisque la variation de la valeur de L (utilisant les transconductances des deux transistors (g_{m1} et g_{m2})) aura aussi un effet sur la valeur de R_s et donc sur la valeur du facteur de qualité. Ce qui revient à dire qu'on ne peut pas avoir le même facteur de qualité Q pour différentes valeurs d'inductance L avec ces deux topologies. Des recherches ont donc été développées pour disposer de nouvelles topologies d'inductance active où les valeurs de L et de Q peuvent être réglées indépendamment. Plusieurs méthodes sont recensées pour augmenter le facteur de qualité, les plus utilisées sont :

- \blacktriangleright Réduire la conductance G₀₁ de la résistance série (voir expression (II.3)) par l'utilisation d'un étage différentiel ou bien d'un étage cascode.
- Utilisation d'un circuit générant une résistance négative afin de compenser les pertes résistives de l'inductance équivalente.

Dans cette approche, plusieurs travaux ont été réalisés pour obtenir simultanément une inductance active variable avec un facteur de qualité élevé et ajustable.

II.2.2 Exemple de circuits d'inductance active

Un premier exemple de réalisation d'une inductance active en technologie CMOS TSMC 0.18µm [113] est illustré sur Figure II-2.



Figure II-2 : Topologie d'inductance active conçue dans [113].

L'architecture de cette inductance repose sur la topologie de base illustrée dans la Figure II-1(a). Cependant, les auteurs dans [113] ont ajouté le transistor M_3 , qui grâce à sa tension de contrôle V_b modifie la valeur de la transconductance g_{m3} . Ce qui implique d'une part la réduction de la valeur de L puisque son déploiement a été destiné pour une exploitation en basse fréquence (voir expression (II.8)) et d'autre part d'avoir une possibilité d'accord de la valeur de L.

Comme tous les circuits d'inductances actives réalisées à partir d'un montage de type gyrateur, la valeur de l'inductance est équivalente à un résonateur RLC dont ces expressions sont :

$$C_p = C_{gs1} + C_{gs3} \tag{II.5}$$



$$R_p \approx \frac{1}{g_{m1}} \tag{II.6}$$

$$R_s = \frac{g_{ds1} + g_{ds3}}{g_{m2}(g_{m1} - g_{m3})}$$
(II.7)

$$L = \frac{C_{gs2}}{g_{m2}(g_{m1} - g_{m3})}$$
(II.8)

Malheureusement les sens des courants i_1 et i_2 sont opposés. Donc, une augmentation de la valeur de g_{m3} réduit la valeur de g_{m1} , ce qui augmente la valeur de R_s (voir expression (II.7)) et réduit ainsi la valeur du facteur de qualité. Pour pallier ce problème, l'auteur a associé à cette inductance active un circuit de compensation de pertes qui est décrit dans la partie I.3.4.2. De ce fait, le contrôle de la valeur L ainsi que celle de son facteur de qualité est indépendant. Cependant, la consommation est augmentée et une attention particulière doit être portée à la stabilité électrique du circuit.

Un deuxième exemple de réalisation d'un circuit d'inductance active est illustré sur la Figure II-3. les auteurs dans [114] ont opté pour l'utilisation d'un étage différentiel afin de minimiser la valeur de la conductance g_{01} et ainsi réduire R_S dans l'optique de produire une inductance avec un fort facteur de qualité.



Figure II-3 : Schéma électrique simplifié de l'inductance active de Xiao et Schaumann [114].



Concernant le troisième exemple représenté sur la Figure II-4, les auteurs ont déployé un étage cascode toujours dans le but de réduire la conductance g_{01} et d'augmenter ainsi la valeur de Q. Il convient également de noter que, minimiser g_{01} permet aussi de réduire ω_z , ceci permettra d'augmenter la plage fréquentielle de fonctionnement de l'inductance active. La Figure II-4(a) et la Figure II-4(b) représentent respectivement les deux topologies d'inductances actives dérivées des deux topologies de base présentées auparavant respectivement sur la Figure II-1(a) et la Figure II-1(b).



Figure II-4 : Schéma électrique simplifié des inductances actives de Thanachayanont et Payne [115], [116].

Les expressions de R_S et de ω_z de l'inductance active 'cascodée' de la Figure II-4(b) sont données ci-dessous :

$$R_s = \left(\frac{g_{01}}{g_{m1}g_{m2}}\right) \frac{1}{g_{m3}r_{03}}$$
(II.9)

$$\omega_{z\acute{e}ro} = \left(\frac{g_{01}}{C_1}\right) \frac{1}{g_{m3}r_{03}}$$
(II.10)

La valeur de l'inductance quant à elle reste inchangée puisqu'elle ne dépend pas de la conductance g_{01} .

$$L = \frac{C_{gs2}}{g_{m1}g_{m2}}$$
(II.11)

Ces deux topologies ne permettent toujours pas un accord indépendant de la valeur de l'inductance et de son facteur de qualité.

Mohammed Adnan ADDOU | Thèse de doctorat | Université de Limoges | 2016

42

Un dernier circuit d'inductance active basé sur la topologie illustrée sur la Figure II-4(a) est présenté dans la Figure II-5 [117]. Cette topologie est proche de la structure 'cascodée' de Thanachayanont et Payne [115], [116] présentée sur la Figure II-4(a) mais elle propose une solution mettant en œuvre une résistance de contre réaction entre la grille d'un des deux éléments du gyrateur et le drain de l'étage cascode. Cette résistance permet de diminuer la valeur de R_s et donc d'augmenter le facteur de qualité tout en augmentant en même temps la valeur de L. Plusieurs travaux de réalisation de circuits d'inductances actives à base de cette topologie ont été réalisés. On peut évoquer à ce sujet les travaux publiés dans [118] - [120] où les auteurs ont opté pour l'utilisation d'une résistance variable (R_f variable). Ceci permet d'avoir, d'une part, un contrôle sur la valeur de L grâce à la variation de R_f et, d'autre part, un contrôle sur la valeur de L grâce à la variation des transconductances g_m des transistors utilisés.





Cette inductance active est facilement réalisable grâce sa structure est simple. De plus, elle est reconfigurable puisqu'il est possible d'obtenir la même valeur du facteur de qualité pour plusieurs valeurs d'inductance et à l'inverse, différentes valeurs du facteur de qualité pour une inductance donnée.

II.2.3 Topologie de l'inductance active conçue

La topologie de l'inductance active proposée dans ce travail est présentée sur la Figure II-6. C'est une inductance basée sur une transconductance négative qui a été présentée précédemment sur la Figure II-1(b).





Figure II-6 : Nouvelle topologie d'inductance active proposée.

Cependant et contrairement aux inductances présentées dans les paragraphes précédents, la topologie d'inductance active proposée est équivalente à un résonateur RLC relié à l'alimentation (Figure II-1(b) vs Figure II-1(a)). L'intérêt est de pouvoir placer cette inductance active sur le drain du transistor signal d'un LNA.

Le principe de cette inductance active a été inspiré par les architectures présentées précédemment [117] - [120] qui apportent des améliorations sur la topologie de base de la Figure II-1(a). Cependant, dans ce travail, ces solutions sont utilisées pour le gyrateur de base de la Figure II-1(b).

Ce dernier est amélioré par l'ajout d'un transistor cascode (M_3) qui réduit la conductance G_{01} dans le but de diminuer R_s et d'augmenter ainsi la valeur du facteur de qualité. L'ajout d'une résistance de contre-réaction variable (R_f) permet obtenir un facteur de qualité plus élevé et variable. La résistance variable (R_f) est obtenue grâce à l'utilisation d'un transistor MOS 'froid' connecté en parallèle d'une résistance R_f . En effet, le transistor M_q est ajouté pour permettre le contrôle de la valeur de la résistance R_f grâce à sa tension de grille V_q .

Les expressions des éléments parasites du modèle équivalent de cette inductance active 'cascodée' à résistance de contre-réaction sont :

$$C_p \approx C_{gs1} \tag{II.12}$$



$$R_p \approx \frac{R_f g_{02} + 1}{2g_{02} + R_f g_{02}^2}$$
(II.13)

$$R_{s} \approx \frac{g_{m1}g_{02}g_{03} + \omega^{2}[g_{m2}C_{gs1}^{2} - g_{m1}C_{gs1}C_{gs2}(R_{f}g_{02} + 1)]}{g_{m1}^{2}g_{m2}g_{m3}}$$
(II.14)

$$L \approx \frac{g_{m1}g_{m2}C_{gs1} + \omega^2 C_{gs1}^2 C_{gs2}(R_f g_{02} + 1)}{g_{m1}^2 g_{m2} g_{m3}}$$
(II.15)

L'expression du facteur de qualité est donnée par :

$$Q = \left(\frac{\omega L}{R_s}\right)^2 \frac{\frac{R_p}{\omega L} \left(1 - \frac{{R_s}^2 C_p}{L} - \omega^2 L C_p\right)}{1 + \frac{R_p}{R_s} + \left(\frac{\omega L}{R_s}\right)^2}$$
(II.16)

L'équation (II.14) montre que l'augmentation de la résistance de contre-réaction R_f minimise, d'une part, la valeur de la résistance série R_s permettant d'améliorer le facteur de qualité et, d'autre part, affecte la valeur de l'inductance (L augmente) comme indiqué dans l'équation (II.15) Toutefois, d'après l'équation (II.16), le facteur de qualité dépend aussi de la fréquence de fonctionnement. Cela revient à dire que les valeurs de L et de Q de l'inductance active ne sont valables que dans une bande de fréquence limitée. Cela pose un problème puisque l'objectif est de concevoir une inductance active dont le facteur de qualité est constant pour différentes valeurs de L autour de différentes fréquences de fonctionnement. Ce problème peut être résolu de la manière suivante :

- Premièrement la tension de grille V_q du transistor M_q est utilisée pour modifier la valeur de Q.
- ➢ deuxièmement, les tensions de grille V_{c1} et V_{c2} des transistors M_{1i} et M_{2i} peuvent être utilisées pour modifier respectivement les valeurs des transconductances (G_{m1}, G_{m2} et G_{m3}) afin d'ajuster la valeur de l'inductance.

L'utilisation de cette méthode permet de régler de manière indépendante la valeur de l'inductance et du facteur de qualité. Ainsi, on peut obtenir une inductance reconfigurable avec un facteur de qualité constant et inversement, un facteur de qualité reconfigurable avec une valeur d'inductance constante. Nous illustrons ces modes de fonctionnement par les Mohammed Adnan ADDOU | Thèse de doctorat | Université de Limoges | 2016 45



figures suivantes. La Figure II-7 montre la variation de l'inductance active (de 4,8 à 7,7 nH @ 1,55 GHz) avec un facteur de qualité constant (Q \approx 320 @ 1,55 GHz). La Figure II-8 quant à elle, illustre la variation du facteur de qualité (de 220 à 320 @ 1,55 GHz) avec une inductance constante (L \approx 4,8 nH @ 1,55 GHz).



Figure II-7 : Variation de l'inductance active avec une valeur du facteur de qualité constante.





De plus, cette topologie offre la possibilité de concevoir une inductance active avec le même facteur de qualité pour différentes fréquences de résonance, comme est montré sur la Figure II-9.





Figure II-9 : Facteur de qualité constant pour différentes fréquences de fonctionnement.

Le simulateur SpectreRF de Cadence a été utilisé. La technologie utilisée est la QUBiC4XI BiCMOS 0,25 µm de NXP.

Pour chaque transistor utilisé, le rapport de taille (W/L) ainsi que le courant de polarisation ont été maximisés afin d'augmenter les transconductances g_m et optimiser une plage d'accordabilité la plus large possible.

Afin de valider cette structure, nous avons choisi de l'intégrer dans un amplificateur faible bruit. Les principaux avantages de l'utilisation de ce circuit résident, d'une part, dans sa surface réduite qui est facilement intégrable et, d'autre part, dans la possibilité d'accord de la fréquence et du gain du LNA respectivement grâce à la variation de la valeur d'inductance et de son facteur de qualité.

II.3 Conception du LNA

Dans la littérature, plusieurs travaux ont été réalisés pour remplacer l'inductance passive par une inductance active dans le but de réaliser des amplificateurs accordables en fréquence et en gain. Comme mentionné précédemment, les inductances passives en technologie CMOS ont un faible facteur de qualité et occupent une grande surface de silicium. De plus, si plusieurs inductances doivent être utilisées, il faut prendre en compte les problèmes de couplages entre elles et avec les lignes d'interconnexions.

Dans les paragraphes suivants, trois exemples de circuits de LNA à base d'inductances actives sont présentés tout en mettant en évidence leurs avantages et leurs inconvénients. Par la suite, une nouvelle topologie est proposée.

II.3.1 Exemple de circuits de LNA utilisant des inductances actives

Un premier exemple de circuit de LNA [121] est présenté sur la figure suivante. Les auteurs ont opté pour la réalisation d'un circuit de LNA comprenant deux étages et utilisant une inductance active variable.

- > Le premier étage de cet amplificateur est formé par le transistor M_1 et est monté en source commune avec une inductance de grille L_g , une inductance de charge L_{d1} et une inductance active accordable comme une inductance de dégénérescence L_s .
- ➢ Le deuxième étage quant à lui est formé par le transistor M₂ et est également monté en source commune avec une résistance de contre-réaction R_{f1} et une inductance de charge L_{d2}. La résistance de contre-réaction R_{f2} est utilisée pour stabiliser l'amplitude de la tension de sortie en dépit des variations apportées par l'inductance active.



Figure II-10 : Schéma électrique du circuit de LNA utilisé dans [121].

La variation des courants de polarisation de l'inductance active permet l'ajustement de la valeur de l'inductance et de son facteur de qualité. Cela a pour incidence de modifier la fréquence et le gain du LNA comme montré sur la Figure II-11.





Figure II-11 : Performances du LNA réalisé dans [121], (a) : variation de la fréquence centrale du LNA, (b) : variation du gain du LNA.

Un autre exemple de LNA utilisant une inductance active [122] est présenté sur la Figure II-12. L'inductance active est implantée en charge du deuxième étage du circuit amplificateur. La topologie de ce dernier ressemble à la topologie précédente.

- \blacktriangleright Le premier étage de ce LNA est un étage cascode formé par les deux transistors M₁ et M₂.
- → le deuxième étage quant à lui est formé par le transistor M_3 et il est configuré en source commune avec une résistance de contre-réaction R_{fb} .



Figure II-12 : Schéma électrique du circuit de LNA réalisé dans [122].



Ces deux exemples de réalisation de LNA utilisant une inductance active présentent plusieurs avantages tels que la possibilité d'accord de la fréquence centrale du LNA grâce à la variation de l'inductance active, la possibilité de concevoir une inductance de grande valeur dans une faible surface de silicium. Néanmoins, ces circuits utilisent aussi des inductances passives.

Une autre topologie de LNA à inductance active est proposée dans [53]. Le schéma électrique simplifié de ce circuit est présenté sur la Figure II-13.



Figure II-13 : Schéma électrique du circuit de LNA réalisé dans [53].

Le montage est formé par le transistor M_1 configuré en source commune et qui est d'une part en cascode avec le transistor M_2 et d'autre part contre-réactionné par le transistor M_3 dans le but d'adapter l'impédance d'entrée à 50 Ω sans pour cela utiliser un circuit d'adaptation à base d'éléments passifs. L'inductance active est placée en charge du premier étage cascode (M_1 et M_2). L'étage de sortie formé par le transistor M_4 configuré avec un montage drain commun et est utilisé comme étage d'adaptation d'impédance en sortie. De même que les circuits de LNA précédents, l'accord de la fréquence centrale et du gain se fait respectivement en ajustant la valeur de l'inductance et celle de son facteur de qualité comme illustré sur la Figure II-14. Le principal avantage de ce LNA est sa topologie qui n'utilise aucune inductance passive.





Figure II-14 : Variation de la fréquence centrale du LNA [53].

Mais l'inductance active doit être découplée et ne peut partager la même source de tension que le transistor M1, ce qui implique une consommation plus élevée.

Finalement, à partir de cet état de l'art, nous avons pu déterminer un choix de topologie de LNA incluant l'inductance proposée.

II.3.2 Topologie du LNA conçu

Dans le circuit que nous proposons, aucune inductance passive n'est utilisée, nous avons donc fait appel à une adaptation active [53].

L'amplificateur faible bruit conçu comprend deux étages comme indiqué sur la Figure II-15.

- Le premier étage est réalisé à l'aide du transistor M_1 monté en source commune et est contre-réactionné avec le transistor M_2 qui a pour but d'adapter l'impédance d'entrée à 50 Ω.
- Le deuxième étage (M₃) est également en source commune avec une résistance de contre-réaction.

L'inductance active quant à elle, est placée comme charge du deuxième étage pour présenter un faible facteur de bruit et permet l'accord de la fréquence centrale du LNA.



Figure II-15 : Schéma électrique simplifié du LNA conçu.

La Figure II-16 illustre la topologie des deux miroirs de courants dédiés aux deux sources de courant I_1 et I_2 . I_2 est une source de courant commandée en tension qui permet de modifier la polarisation de l'étage de contre-réaction M_2 . Cela permet de maintenir l'impédance d'entrée à 50 Ω à chaque modification de la fréquence d'accord du LNA via la variation de l'inductance active.



Figure II-16 : Topologies des deux miroirs de courants utilisés, (a) : miroir de courant correspondant à I₁, (b) : miroir de courant correspondant à I₂.



Les deux tensions V_{gs1} et V_{gs2} sont égales et sont imposées par le courant I_{IN} traversant le transistor M_1 . Si les deux transistors M_1 et M_2 sont configurés avec la même taille (même W et L), les courants I_{IN} et I_{OUT} seront égaux.

Généralement, les deux transistors constituant le miroir de courant seront configurés avec des longueurs L identiques pour des questions de sensibilité. Cependant, la largeur W_2 est un multiple de W_1 afin d'obtenir un courant de sortie égal à un multiple du courant d'entrée (courant de référence). Le transistor PMOS du miroir de courant I_2 de la

Figure II-16(b) est utilisé comme une résistance variable commandée par une tension externe 'tension V_{I2} '.

$$I_{OUT} = I_{IN} \frac{W_2}{W_2}$$
 (II.17)

Concernant les plots d'entrées et de sortie qui permettront la caractérisation du circuit, nous avons 5 plots (DC) dédiés aux tensions continues pour assurer le fonctionnement du LNA :

- > Un plot pour la tension V_{I2} pour faire varier le courant I_2 ,
- > Deux plots pour les tensions V_{C1} et V_{C2} dédiés à l'inductance active,
- Un plot pour la tension V_q pour faire varier la résistance de contre-réaction R_f de l'inductance active,
- Un plot pour la tension d'alimentation V_{DD} (utilisée par le LNA et l'inductance active).

Par ailleurs, deux accès à trois plots de type masse – signal – masse (GSG) sont pour là pour connecter l'entrée et la sortie des signaux RF.

Une attention particulière a été portée à l'environnement de test du circuit. Pour une bonne compréhension de cette étape, le synopsis simplifié du banc de test est montré sur la Figure II-17 :





Figure II-17 : Diagramme simplifié du banc de mesure utilisé.

Les connexions entre le générateur de tension continue et les plots de polarisations du circuit vont présenter des impédances inconnues car chaque câble ramène des impédances inductives et résistives différentes dans le plan des plots DC du circuit à mesurer. Il faut que le circuit soit rendu le plus indépendant possible de ces impédances ramenées par les câbles d'alimentations. Lors de la phase de conception et surtout de simulation, différentes configuration d'impédances sur les plots DC ont été prises en compte et son bon fonctionnement a été vérifié dans chaque cas. La méthode de test utilisée consiste à placer en sortie du générateur de tension une résistance R et une inductance série L modélisant simplement les pertes résistives et le comportement inductif du câble. La résistance et l'inductance utilisées en simulation sont des composants idéaux de la bibliothèque analoglib de Cadence.

Par exemple, la Figure II-18 montre le coefficient de transmission S_{21} pour différentes valeurs de R et de L placées en série sur le plot d'alimentation V_{DD} . Le comportement du circuit du LNA peut alors être connu pour chaque impédance potentiellement ramenée par le câble.





Figure II-18 : Coefficient de transmission S_{21} avec différentes impédances.

On peut constater les effets sur le coefficient de transmission :

- Plus la valeur de R est grande et plus le gain diminue. Les câbles présentent généralement une résistance série inférieure à 30 Ohms, d'où l'intérêt de tester le circuit jusqu'à une valeur de R < 30 Ohms.</p>
- Par ailleurs, il a été constaté que la prise en compte des effets inductifs séries ramenés par les câbles a plus de conséquences. Pour chaque valeur de L, une résonance parasite apparaît et modifie l'allure du coefficient de transmission S₂₁.

Ce protocole a été utilisé pour tous les autres plots de tension continue du LNA, à savoir V_{12} , V_{C1} , V_{C2} et V_q . Ce protocole a, en outre, été appliqué à tous les circuits présentés dans ce manuscrit.

Pour compenser les effets parasites résistifs, le gain du LNA peut être ajusté par une légère augmentation de la tension continue (V_{DD} par exemple).

Concernant les effets parasites inductifs, ils peuvent être compensés par l'ajout d'une capacité de grande valeur (30 pF par exemple) entre le plot en question et la masse. Dans ce cas, pour des valeurs de L variant de 1 jusqu'à 30 nH, la réponse du circuit n'est plus influencée comme montré sur la Figure II-19.

Pour les plots connectés directement à la grille d'un transistor MOS (le courant sur les grilles des transistors est presque nul), l'ajout d'une résistance de forte valeur (quelques $k\Omega$) en série (pour V₁₂, V_{C1} et V_{C2}) amènera une certaine insensibilité par rapport aux impédances présentées.





Après cette phase de prise en compte de l'environnement de caractérisation, l'édition du dessin du masque du LNA est réalisée comme illustré sur la Figure II-20. Le circuit occupe une surface de (760*700) μ m² incluant tous les plots (plot RF d'entrée, de sortie et plots DC) et les capacités de découplage. On notera que la surface occupée du LNA sans les plots est de (220*240) μ m² dont (80*45) μ m² pour l'inductance active.





Figure II-20 : Layout du LNA réalisé.

Pour montrer l'intérêt d'utiliser une inductance active, une comparaison entre la place occupée par cette dernière et son équivalente passive est présentée sur la Figure II-21 :



Figure II-21 : Comparaison entre les surfaces des inductances actives et passives.



Il est montré que pour la même valeur d'inductance de 2 nH, la surface de silicium occupée est réduite, elle est reconfigurable en valeur et en facteur de qualité comme montré dans les paragraphes précédents.

II.3.3 Résultats de simulation et de mesure

Ce LNA est conçu avec la technologie QUBiC4XI BiCMOS 0,25 µm de NXP en utilisant le simulateur SpectreRF de Cadence. Le circuit a été fabriqué et mesuré. La Figure II-22 donne la photographie du circuit conçu.



Figure II-22 : Photographie du circuit de LNA conçu.

Le réglage de la fréquence est obtenu en faisant varier la valeur de l'inductance active. La valeur de cette dernière peut être modifiée par la variation combinée des tensions V_{C1} et V_{C2} . En revanche, ceci a un effet sur la valeur de la résistance série R_S affectant ainsi le gain du LNA. Le gain ne peut alors être maintenu constant pour différentes valeurs de la fréquence

58

centrale du LNA. L'ajustement de la résistance R_s est alors réalisé par le réglage de la tension de grille V_q qui est appliquée au transistor M_q . De cette manière, le facteur de qualité de l'inductance et le gain du LNA peuvent être ajustés.

La Figure II-23 montre que conformément à la théorie, le gain du LNA est proportionnel à la tension V_q : une augmentation de cette tension entraine une augmentation de la résistance R_f et ainsi une augmentation du facteur de qualité de l'inductance. Par ailleurs, il est aussi constaté que plus V_q augmente plus la réponse du LNA est décalée vers les basses fréquences. Ce qui confirme l'analyse théorique présentée précédemment, à savoir une augmentation de R_f augmente L et donc entraine un décalage vers les basses fréquences.



Figure II-23 : Variation du gain du LNA en fonction de la tension V_q.

Cependant, si on veut obtenir un gain différent pour une même fréquence, la méthodologie à appliquer est :

- Modifier le facteur de qualité de l'inductance en jouant sur la tension V_q pour modifier la valeur de R_f et donc on peut modifier ainsi le gain du LNA comme illustré sur la figure II-23.
- \blacktriangleright La valeur de l'inductance dépend de la résistance R_f. En effet, une augmentation de la résistance R_f provoque un décalage vers les basses fréquences de la réponse du LNA. Pour rattraper le décalage fréquentiel et

obtenir un gain différent à la même fréquence de travail, les tensions V_{C1} et V_{C2} sont ajustées comme illustré sur la Figure II-24.



Figure II-24 : Variation du gain du LNA en combinant les tensions V_q et V_{c1}.

La simulation de la linéarité (IIP1) du circuit à la fréquence de 1,3 GHz avec un gain de 18 dB est présentée sur la Figure II-25. Le point de compression à 1 dB en entrée est atteint pour des puissances de l'ordre de -17 dBm.



Figure II-25 : IIP1 simulé du LNA.



La Figure II-26 et la Figure II-27 présentent les résultats de mesure du LNA pour différentes valeurs d'inductance de 2 à 5 nH. Le LNA peut être reconfiguré dans une gamme de fréquence allant de 1 à 1,6 GHz tout en maintenant un gain constant de 15 dB.



Figure II-26 : Variation de la fréquence du LNA (résultat de mesure).



Figure II-27 : S11 et S12 du LNA en fonction de la fréquence (résultat de mesure).



Le facteur de bruit du LNA a été mesuré et il est en bon accord avec les résultats de simulation (Figure II-28). Une valeur de facteur de bruit inférieure à 3,5 dB, quelle que soit la fréquence d'accord, a été révélée.



Figure II-28 : Comparaison du facteur de bruit entre résultat de mesure et résultat de simulation.

Le Tableau II-1 résume les performances du LNA réalisé (résultats de mesures) tout en le comparant avec d'autres travaux déjà existants dans la littérature. On peut mentionner que, malgré l'utilisation d'une technologie moins récente, ce LNA présente de bonnes performances avec une consommation électrique faible.

	[59] 2009	[55] 2012	[53] 2013	Ce Travail
Fréquence (GHz)	5,7	0,32 à 1	0,8 à 2,5	1 à 1,6
Variations de la Fréquence	Non	Non	Oui	Oui
NF (dB)	3,4	2,2 à 2,7	3,1 à 3,6	3,2 à 3,5
S21 (dB)	17	18 à 23,5	17 à 20	15 à 18
IIP1 or IIP3 (dBm)	-16	IIP3 = 0	n. a.	-22
Technologie (CMOS) (µm)	0,18	0,18	0,18	0,25
Consommation (mW)	19	15,3	19,6	13 - 18

Tableau II-1 : Performances du LNA réalisé (résultats de mesure).



II.4 Conclusion

Dans ce chapitre, un état de l'art des inductances actives accordables en valeur et en facteur de qualité a été présenté. Puis, nous avons introduit une nouvelle topologie d'inductance active accordable à simple accès ; un des accès est relié à la tension d'alimentation. Cette nouvelle topologie d'inductance active est en outre adaptée pour une vaste gamme d'accord de la fréquence de travail et de facteur de qualité. Enfin un circuit d'amplification à faible bruit reconfigurable à l'aide de cette nouvelle structure d'inductance active variable a été présenté. Cet amplificateur, n'intégrant aucune inductance passive, a été fabriqué et testé. Les mesures ont permis de montrer les qualités de la topologie d'inductance active proposée, notamment au travers de la capacité d'accord de la fréquence de travail du LNA (1 - 1,6 GHz) avec un gain constant de 15 dB de gain, un facteur de bruit inférieur à 3,5 dB et une consommation maximale de 18 mW. En outre, le gain et la bande passante de l'amplificateur peuvent être ajustés indépendamment.

