

1. Présentation

La fonction REGISTRE A DECALAGE est rencontrée principalement dans les applications de:

- transmission de données numériques sur de longues distances,
- génération de retard sur des signaux logiques ou numériques,
- calcul numérique binaire

2. Fonctionnalités

2.1. Mode d'entrée/ sortie

Tous les registres à décalage dispose au moins de

- une entrée série,
- une sortie série.

Ils peuvent aussi proposer des entrées parallèles et des sorties parallèles. C'est la présence ou non de ces entrées / sorties parallèles qui définit l'appellation du registre à décalage :

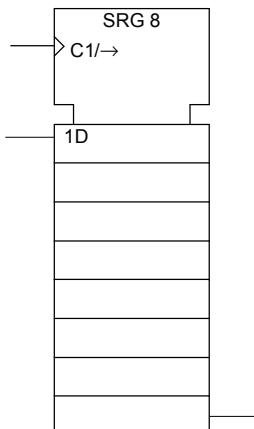
ou une combinaison de ces différents types, le modèle ne dépendant que des broches qui sont disponibles sur le boîtier circuit intégré.

2.2. Mise en cascade de registres à décalage

L'association de registres à décalage en cascade est utilisée dans le but de réaliser des décalages sur des mots binaires plus longs. Par exemple, la cascade de 2 registres à décalage 8 bits fournit un registre à décalage 16 bits.

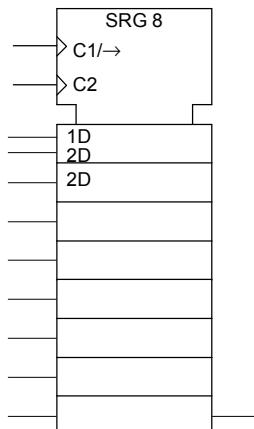
Il suffit alors de connecter la *sortie série* de l'un des deux registres sur l'*entrée série* de l'autre.

Entrée série
Sortie série



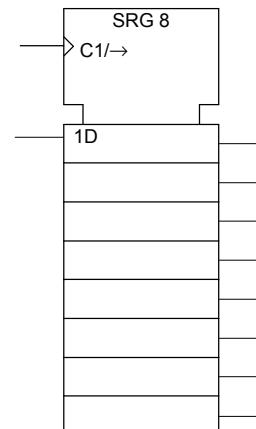
Retard

Entrée parallèle
Sortie série



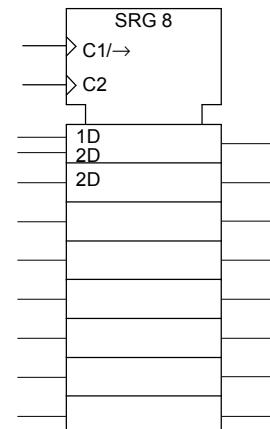
Sérialisation

Entrée série
Sortie parallèle



Désérialisation

Entrée parallèle
Sortie parallèle



Multiplication binaire

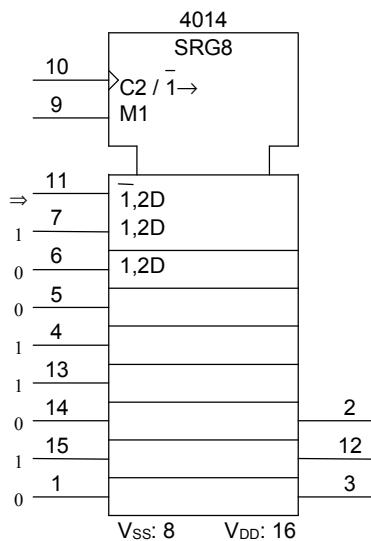
3. Registres à décalage intégrés

Description du cycle :

Pour chacun des registres à décalage ci-dessous:

- décrire le rôle des différentes entrées et sorties d'après la norme de symbolisation logique IEC;
 - déterminer les niveaux à appliquer sur les entrées de contrôle afin d'utiliser la fonction Décalage;
 - tracer les chronogrammes correspondants aux différentes sorties.

3.1. Registre à décalage 8 bits entrées parallèle / sortie série + 3 parallèles

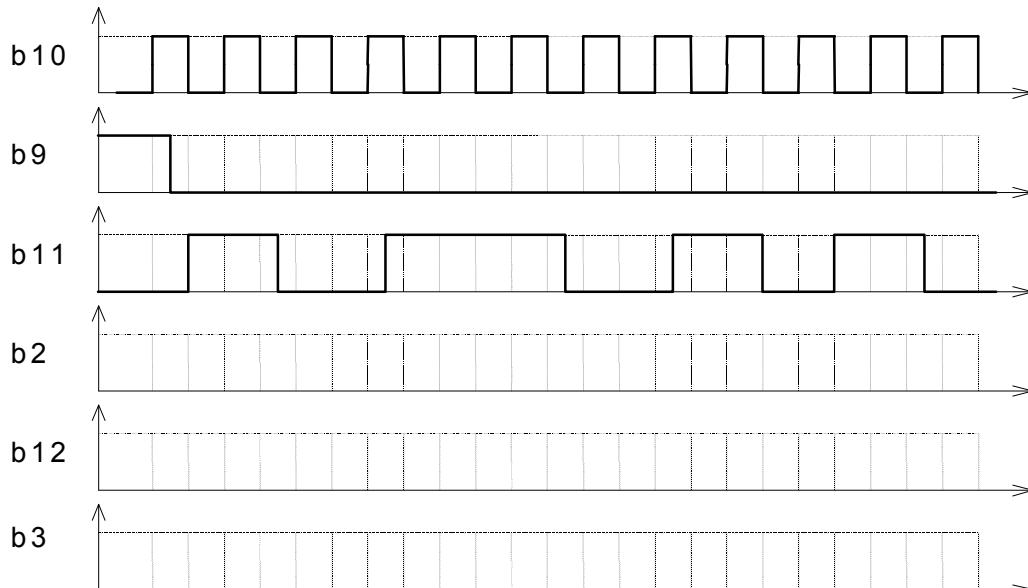


Top 1 : b9-M1 actif, les entrées 1,2D sont activées sur front de b10-C2
 ⇒ les données présentes sur les entrées 7, 6, 5, 4, 13, 14, 15, 1 sont verrouillées dans les bascules D respectivement q0 à q7. Seules les sorties Q5 à Q7 sont disponibles sur le CI
 ⇒ « chargement parallèle ».

Top 2 : b9-M1 non actif, l'entrées $\bar{1}$, 2D est activée sur front de b10-C2

- ⇒ les données présentes dans q0 à q6 sont décalées dans q1 à q7 ($\bar{1} \rightarrow$)
- ⇒ la donnée q7 est décalée dans « rien » donc perdue
- ⇒ la donnée présente sur l'entrée b11 est verrouillée dans q0
- ⇒ « décalage » des données vers le bas.

Tops ... b9-M1 non actif : décalages successifs.



3.2. Registre à décalage universel 4 bits

Déterminer les connexions nécessaires afin mettre en œuvre une cascade pour un décalage à gauche sur 8 bits.

