

الجمهورية الجزائرية الديمقراطية الشعبية

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

وزارة التعليم العالي والبحث العلمي

Ministère de l'Enseignement Supérieur et de la Recherche Scientifique

جامعة أبي بكر بلقايد - تلمسان

Université Aboubakr Belkaïd – Tlemcen –

Faculté de TECHNOLOGIE



THESE

Présentée pour l'obtention du **grade** de **DOCTORAT 3^{ème} Cycle**

En : Electronique

Spécialité : Instrumentation Electronique

Par : Mr. TABERKIT Mohammed Amine

Sujet

Etude, conception et simulation numérique d'un transistor MOSFET biaxial contraint

Soutenue publiquement, le 26 / 06 / 2018, devant le jury composé de :

Mr. BENDIMERAD Tarik	Professeur	Université de Tlemcen	Président
Mme. BOUAZZA Guen Ahlam	Professeur	Université de Tlemcen	Directeur de thèse
Mr. LASRI Boumédiène	Professeur	Université de Saida	Examineur 1
Mr. MERAD Lotfi	Professeur	ESSAT de Tlemcen	Examineur 2
Mr. BOUAZZA Benyounes	Professeur	Université de Tlemcen	Invité

“Suivre sa voie afin de pouvoir ensuite se réaliser pleinement, c’est parfois comme de gravir une montagne : tant qu’on ne l’a pas fait, on ignore que les efforts que cela exige accentuent la satisfaction que l’on ressent à l’arrivée. Plus les efforts sont grands, plus intense sera le bonheur, et plus longtemps il restera gravé en nous.
— Laurent Gounelle”



“Les mamans sont comme les arcs en ciel. Elles apportent sept grandes joies de vivre : les rires, les bonheurs, la paix, les passions, les joies, les rêves et l’amour.
— Citation trouvée sur Internet”

“Une sœur est un cadeau pour le cœur, un ami pour l’esprit, un fil d’or au sens de la vie.
— James Isadora”

À Toutes les personnes qui me sont chères, très spécialement :

À Maman
À Ma Sœur HIDAYAT AMINA ...

voir la lueur de joie et de fierté dans leurs yeux a constitué mon principal moteur et ma principale motivation pour décrocher le titre de docteur !

Remerciements

Je tiens à remercier en premier lieu **Allah** de m'avoir donné le courage, la patience, et la persévérance pour achever à terme ce travail.

Je remercie infiniment **Pr. BOUAZZA-GUEN Ahlam** ma directrice de thèse pour sa confiance, son orientation, d'avoir profité pleinement de son expérience, pour ses multiples et ses précieux conseils, pour son aide, ainsi que les longues heures qu'elle m'a accordé de son précieux temps afin de corriger la thèse. J'aimerais également lui dire à quel point j'ai apprécié sa grande disponibilité malgré ses activités diverses.

Nous adressons aussi toute notre gratitude et respects envers **Pr. BENDIMERAD Tarik**, qui nous a honoré par l'acceptation de présider le jury de notre thèse.

Notre gratitude et remerciements vont aussi à **Pr. LASRI Boumédiène** et **Pr. MERAD Lotfi**, qui ont aimablement acceptés de juger notre travail.

On tiens à remercier aussi **Pr. BOUAZZA Benyounes**, qui nous a honoré par l'acceptation de faire partie du jury, et de nous avoir tout mis à notre disposition en tant que responsable de formation doctorale, afin que nous puissions travailler dans les meilleures conditions.

Je tiens à remercier aussi tout(e)s les doctorant(e)s de notre équipe, ainsi que tout(e)s les doctorant(e)s et docteurs des laboratoires de Sous-sol réunis dans le groupe "Les Sous-Soliens" pour leurs soutiens inconditionnels, leurs aides, les moments passés ensemble que ce soit à l'université ou en dehors de l'université, votre compagnie a rendu le chemin plus agréable.

Et enfin à toutes les personnes qui m'ont aidés, qui m'ont encouragés et qui ont cru à ma réussite, un grand merci !.

Abstract

Due to the high need of faster electronic devices, with smaller size and higher performances, Researchers and manufacturers of Semiconductor devices make many efforts to face the difficulties and challenges to improve the performances of these semiconductor devices. One of the solutions consists in applying strained silicon on the conventional devices, in such a way that the structure of the MOSFET transistor on massive substrate known as conventional does not change completely; however, its performances improve. In order to increase the mobility and speed of these electronic devices, Researchers are facing problems related mainly to the reduction in the size of the devices; these problems are known as short channel effects. The aim of this work is conducting a research allowing the study and the computer-aided design of an enhanced architecture of MOSFET transistors called a biaxial transistor using the SILVACO-TCAD process and device simulation software. The results obtained, allowed us then to determine the performances of this device and to compare them to those of the conventional transistor, to show the importance of the introduction of biaxial strain in the improvement of the carrier's mobility and the devices speed, thus allowing obtaining better performances while continuing the scaling.

Keywords: Biaxial, Biaxial strain, High-K material, Mobility, MOSFET, SILVACO-TCAD, simulation, Strained Silicon.

Résumé

Vu la forte demande de dispositifs électroniques plus rapides, de taille plus réduite et de plus grandes performances, les chercheurs et les fabricants des dispositifs à semi-conducteurs font beaucoup d'efforts pour faire face aux difficultés et défis afin d'améliorer les performances de ces dispositifs à semi-conducteurs. Une des solutions consiste à appliquer du silicium contraint aux dispositifs conventionnels de telle sorte que la structure du transistor MOSFET sur substrat massif dite conventionnelle ne change pas totalement, par contre ses performances s'améliorent. Afin d'accroître la mobilité et la vitesse de ces dispositifs électroniques, les chercheurs font face à des problèmes liés principalement à la diminution de la taille des dispositifs, ces problèmes sont connus sous le nom d'effets canaux courts. Le but de ce travail est de mener une recherche permettant l'étude et la conception assistée par ordinateur d'une architecture améliorée de transistors MOSFET appelée un transistor biaxial contraint par le biais du logiciel de simulation de process et dispositif SILVACO –TCAD. Les résultats que nous avons obtenus, nous ont permis alors de déterminer les performances de ce dispositif et de les comparer à celles du transistor conventionnel, afin de montrer l'importance de l'introduction d'une contrainte en tension biaxiale dans l'accroissement de la mobilité des porteurs et de la vitesse des dispositifs, permettant ainsi obtenir de meilleures performances tout en continuant la mise à l'échelle.

Mots clés : Biaxiale, Contrainte en tension biaxiale, Matériau à Haute permittivité, Mobilité, MOSFET, Silicium contraint, Simulation, SILVACO-TCAD.

Sommaire

Résumé (English/Français)	i
Table des figures	vi
Liste des tableaux	xii
Introduction générale	1
1 Les transistors MOSFETs : Principe et généralités	5
1.1 Introduction	5
1.2 Le transistor MOSFET : Structure et Principe de fonctionnement	5
1.2.1 La structure de base du transistor MOSFET	5
1.2.2 Les différents types de transistors MOSFET	6
1.2.3 Principe de fonctionnement du MOSFET	8
1.2.4 Les paramètres importants du transistor MOSFET	8
1.3 Les Régimes de fonctionnement du transistor MOSFET	10
1.3.1 Le Régime sous le seuil	12
1.3.2 Le Régime de forte inversion	13
1.4 La mobilité des porteurs dans le canal	15
1.4.1 La notion de mobilité des porteurs de charges	15
1.4.2 La mobilité dans la couche d'inversion d'un transistor MOS	15
1.4.3 Effets de confinement quantique sur la capacité MOS	16
1.5 Notions de transport et Modèles physiques importants dans les transistors MOS-FET	17
1.5.1 Notion de structures de bandes	17
1.5.2 Equation de poisson	19
1.5.3 Recombinaison Shockley-Read-Hall (SRH)	19
1.5.4 Le modèle lombardi (CVT)	20
1.5.5 Le transport balistique ou quasi-balistique	21
1.5.6 L'extraction des paramètres de transport dans les MOSFETs nanométriques	22
1.6 Les effets néfastes dûes à la miniaturisation des dispositifs	22
1.6.1 Les effets canaux courts	22
1.6.2 Notion de vitesse de saturation	25
1.6.3 Effet GIDL	26

1.6.4	Alternatives aux effets canaux courts et solutions permettant l'amélioration du transport dans les MOSFETs	27
1.7	Applications et avantages des transistors MOSFET	32
1.8	Conclusion	33
2	Présentation des contraintes et mise en évidence de leur génération dans les MOS-FETs	34
2.1	Introduction	34
2.2	Effets préjudiciables des contraintes observés en microélectronique	34
2.3	L'ingénierie des contraintes	36
2.4	Introduction à la physique du silicium contraint	37
2.4.1	Le silicium contraint	37
2.4.2	Les bénéfices de l'utilisation du Silicium contraint et son progrès	39
2.4.3	L'approche Locale et globale des contraintes	41
2.4.4	Propriétés physiques du Silicium contraint	49
2.4.5	Effet des contraintes sur la structure de bandes du silicium	53
2.4.6	Mécanismes limitant la mobilité effective dans la couche d'inversion	58
2.5	Les Contraintes et l'élasticité	61
2.5.1	Tenseur des contraintes	61
2.5.2	Tenseur des déformations	63
2.5.3	Tenseur d'élasticité- loi de Hooke	64
2.5.4	La piézorésistivité du silicium	65
2.6	Performances des architectures à canal contraint	68
2.6.1	Canaux épitaxiés	68
2.6.2	L'effet de l'épaisseur de la couche en SiGe et la fraction molaire du germanium Ge	70
2.6.3	Les différentes méthodes de croissance par épitaxie	76
2.6.4	Les Hétérostructures à canaux doublement contraints (hétéro-épitaxie)	77
2.6.5	Synthèse des techniques d'introduction des contraintes et la continuité de leurs utilisation	79
2.7	Conclusion	84
3	Résultats de simulation et interprétations	85
3.1	Introduction	85
3.2	Présentation du logiciel de simulation SILVACO-TCAD	85
3.2.1	Les modules utilisés en simulation	86
3.2.2	Logique de programmation	88
3.2.3	Brèves descriptions de quelques étapes de conception sous ATHENA	88
3.2.4	Spécification de la structure sous environnement ATLAS	94
3.2.5	Le choix des matériaux et des modèles physiques utilisés	96
3.2.6	Le choix de la méthode numérique	97
3.2.7	Extraction et visualisation des résultats	98
3.3	Résultats de simulation obtenus et interprétations	99

3.3.1	Caractéristiques principales du P-MOSFET contraint	99
3.3.2	Caractéristiques de transfert et de sortie d'une hétérostructure contrainte	106
3.3.3	P-MOSFET biaxialement contraint à grille enterrée	112
3.3.4	L'hétérostructure P-MOSFET contrainte	112
3.3.5	Simulation de structures N-MOSFET contraintes	118
3.3.6	La deuxième structure N-MOSFET double grille en tension biaxiale con- trainte	126
3.4	Conclusion	133
Conclusion générale		134
Sigles et notations		136
Bibliographie		153
Publication et Communications		154

Table des figures

1	Un exemple de solutions proposés par l'ITRS dans leurs cahiers de charges . . .	1
2	Le développement du marché des technologies en fonction de l'évolution de la loi de Moore	2
3	Les différents boosters technologiques proposés aux différents noeuds technologiques	2
4	Le passage du monde de la microélectronique au monde de la nanoélectronique	3
1.1	Structure de base d'un transistor à effet de champ	6
1.2	Le symbole des deux types de transistors MOSFET	7
1.3	Transistor MOSFET à appauvrissement de canal	7
1.4	Transistor MOSFET à enrichissement de canal	8
1.5	Caractéristique statique de sortie et de transfert d'un transistor MOSFET.	9
1.6	Caractéristique de transfert d'un transistor MOSFET : Le courant de drain I_D en fonction de la tension de grille-source V_{GS}	10
1.7	Représentation schématique de la structure de bande d'un n-MOSFET en régime de bandes plates et d'inversion faible	11
1.8	La Caractéristique I_D en fonction de V_D illustrant les modes linéaires et saturés	14
1.9	Première zone de Brillouin du Silicium. Les axes et points de symétrie sont représentés	17
1.10	Structure de bandes d'énergie du silicium	18
1.11	La recombinaison SRH et l'émission d'un phonon	20
1.12	Représentation des effets de canaux courts et DIBL pour un PMOSFET	23
1.13	Effet de canal court SCE et de DIBL sur la barrière de potentiel	24
1.14	Evolution de la vitesse des électrons en fonction du champ électrique longitudinal	26
1.15	Le courant de fuite du drain induit par la grille	27
1.16	Illustration comparative entre un transistor MOSFET et un transistor MOSFET SOI	28
1.17	Variation du DIBL en fonction de la longueur du canal dans différents transistors MOSFET multigrilles	30
1.18	L'évolution du transistor MOSFET	30
1.19	Comparaison de la mobilité des électrons et des trous suivant différentes combinaisons d'orientation de substrat et de canal	32
2.1	Présentation des différentes étapes technologiques menant à la réalisation des circuits intégrés	35

2.2	Certains défauts dans le cuivre et qui sont : les monticules et les cavités	36
2.3	Différentes méthodes technologiques permettant de contraindre le canal de conduction des MOSFETs	37
2.4	les trois premières lignes des colonnes III, IV et V du tableau de Mendeleïev	38
2.5	La structure cristalline diamant du silicium	38
2.6	Silicium déformé par l'application d'une contrainte en tension	39
2.7	Gain en courant pour une architecture à canal contraint par Source/Drain en SiGe épitaxiés	43
2.8	Image représentative des deux processeurs Prescott et Xéon d'Intel	43
2.9	Les étapes de fabrication des tranchées d'isolation peu profondes (STI)	44
2.10	Schéma d'illustration de la technique STI	44
2.11	Schéma et image TEM des CESL contraintes	45
2.12	Simulation mécanique d'un transistor MOSFET recouvert par une couche en nitrure de silicium en tension	46
2.13	Épitaxie sélective en SiGe résultant d'un canal en compression	47
2.14	Images TEM d'une Épitaxie sélective en SiGe ou SiC	47
2.15	Contrainte biaxiale en compression et en tension	49
2.16	Relaxation d'une couche de SiGe avec la création de dislocations sur un substrat en Si	51
2.17	Evolution de l'épaisseur critique d'une couche contrainte en fonction de la concentration en Ge	52
2.18	Croissance épitaxiale réussie d'un film de SiGe, d'une bonne qualité	52
2.19	Vallées de la bande de conduction et structure de bandes du Si contraint	54
2.20	Structure de bandes du Si contraint sur $Si_{0.7}Ge_{0.3}$ et distribution des électrons	54
2.21	Schéma représentatif de la séparation en énergie entre les vallées Δ_2 et Δ_4 de la bande de conduction du Si contraint.	55
2.22	Diagramme de bande E(K) du Silicium non-contraint et contraint	56
2.23	Calcul des constantes en énergie de surface pour la bande de valence dans le cas du Si non-contraint et contraint	56
2.24	Représentation des décalages de bande dans le Si induit par une contrainte en tension biaxiale dans le plan (001)	57
2.25	Variation de la mobilité effective en fonction de la densité des porteurs et de la température	60
2.26	Définition des composantes du tenseur des contraintes	62
2.27	Shéma d'illustration d'un canal épitaxié dans une structure CMOS	69
2.28	Simulation Monte Carlo de la mobilité prenant en compte l'effet de la contrainte et les interactions dues à la rugosité de surface	70
2.29	La densité des trous en utilisant différentes fractions molaires de germanium	71
2.30	La mobilité des électrons et des trous en fonction de la fraction molaire en Germanium	72
2.31	La variation du courant de drain en fonction de la variation de la fraction molaire en germanium	72

Table des figures

2.32 La variation de la mobilité des électrons et des trous en fonction de l'épaisseur du canal	73
2.33 Architecture à canal SiGe en compression biaxiale sur silicium massif	74
2.34 Architecture à canal en Si en tension sur un substrat de SiGe relaxé	74
2.35 Evolution du gain en mobilité pour les électrons et les trous d'un canal sSi/SiGe relaxé en fonction de la concentration de germanium	75
2.36 Dépôt direct d'une couche de $Si_{1-x}Ge_x$ sur un substrat en silicium	76
2.37 Dépôt d'une couche de $Si_{1-x}Ge_x$ avec une couche intermédiaire où la concentration en germanium est augmentée graduellement	77
2.38 Les Différentes utilisations de la contrainte en Hétérostructure	78
2.39 Représentation schématique d'une structure à canaux doubles contraintes et la structure de bande correspondante	79
2.40 Les avantages d'utilisation de la contrainte et les Hétérostructures à canaux doubles contraintes	80
2.41 Synthèse des différentes solutions technologiques pour améliorer la mobilité en utilisant les contraintes mécaniques	81
2.42 Section transversale d'un transistor NMOS et un PMOS d'Intel en utilisant la 4 ^{ème} génération de silicium contraint	82
2.43 L'évolution des processeurs fabriqués par Intel au fil des années	83
2.44 Le processeur Clarkdale/Westmere et le processeur Ivy Bridge	83
2.45 L'actuelle évolution des technologies d'Intel au fil des années	84
3.1 Schéma synoptique des modules utilisés dans la simulation	86
3.2 Définition du maillage dans une structure MOSFET	88
3.3 Illustration du maillage dans une structure MOSFET	89
3.4 Illustration du problème des triangles obtus	89
3.5 Commandes pour faire une croissance épitaxiale en utilisant ATHENA	90
3.6 Illustration d'une croissance Epitaxiale en utilisant ATHENA	90
3.7 Commandes pour faire une oxydation thermique en utilisant ATHENA	90
3.8 Illustration d'une oxydation thermique en utilisant ATHENA	91
3.9 Commandes pour faire une diffusion des dopants en utilisant ATHENA	91
3.10 Illustration d'une distribution des dopants après une pré-dépôt des atomes de phosphore en utilisant ATHENA	92
3.11 exemple de programme permettant le dopage par implantation ionique	92
3.12 Illustration du profil de dopage après une implantation ionique en utilisant ATHENA	93
3.13 programme pour faire une gravure en utilisant ATHENA	93
3.14 Le processus de gravure humide isotrope de Silicium en utilisant ATHENA	94
3.15 La définition des régions en utilisant ATLAS	95
3.16 Illustration d'une définition des régions en utilisant ATLAS	95
3.17 La définition des Électrodes en utilisant ATLAS	96
3.18 Illustration d'une définition des Électrodes en utilisant ATLAS	96

3.19 La définition du dopage en utilisant ATLAS	96
3.20 Un exemple de visualisation des résultats en utilisant ATLAS	99
3.21 Transistor P-MOSFET non contraint obtenus en utilisant ATHENA	100
3.22 La représentation de la structure contrainte	101
3.23 La représentation de l'hétéro-structure contrainte	101
3.24 Caractéristique de transfert de la structure conventionnelle obtenus en utilisant ATLAS	102
3.25 Caractéristique de sortie de la structure conventionnelle obtenus en utilisant ATLAS	102
3.26 La structure biaxialement contrainte obtenus en utilisant ATHENA	103
3.27 Le maillage de la structure biaxialement contrainte obtenus en utilisant ATHENA	104
3.28 Caractéristique de transfert de la structure biaxialement contrainte obtenus en utilisant ATLAS	105
3.29 Caractéristique de sortie de la structure biaxialement contrainte obtenus en utilisant ATLAS	105
3.30 Comparaison entre les caractéristiques de transfert de la structure biaxialement contrainte et une structure conventionnelle obtenus en utilisant ATLAS	106
3.31 l'hétérostructure contrainte réalisée par ATHENA-SILVACO	107
3.32 Caractéristique de transfert d'une Hétérostructure contrainte obtenus en utilisant ATLAS	107
3.33 Caractéristique de sortie d'une Hétérostructure contrainte obtenus en utilisant ATLAS	108
3.34 Comparaison entre les caractéristiques de transfert de la structure biaxialement contrainte et une Hétérostructure contrainte obtenus en utilisant ATLAS	108
3.35 Comparaison entre les caractéristiques de mobilité des trois structures obtenus en utilisant ATLAS	109
3.36 Comparaison entre les caractéristiques de mobilité en fonction du champ de canal des trois structures obtenus en utilisant ATLAS	110
3.37 Caractéristique $gm-V_{GS}$ pour l'hétérostructure à canal contraint en tension biaxiale	111
3.38 Comparaison entre les performances des trois P-MOSFETs étudiés	111
3.39 Simulation du PMOSFET mos2ex12	112
3.40 L'hétérostructure P-MOSFET contrainte	112
3.41 Résultat de simulation obtenu pour l'hétérostructure P-MOSFET à canal contraint et à grille enterrée	113
3.42 Le maillage de l'hétérostructure P-MOSFET à canal contraint	113
3.43 La capacité de l'hétérostructure P-MOSFET à canal contraint en fonction de la tension de grille	114
3.44 Comparaison de la caractéristique de transfert de la structure conventionnelle BULK-Si et l'hétérostructure contrainte Ssi pour deux tensions de polarisation V_{DS}	115
3.45 Comparaison entre les performances de la structure conventionnelle et la structure contrainte obtenus sous environnement ATLAS-SILVACO	115

Table des figures

3.46	caractéristiques de sortie de la structure conventionnelle et la structure dual canal PMOSFET contraint	116
3.47	La transconductance de l'hétérostructure dual canal contrainte	116
3.48	L'extraction de la mobilité dans la structure contrainte obtenus en utilisant le modèle CVT	117
3.49	L'extraction de la mobilité dans la structure contrainte obtenus en utilisant le modèle SHIRAHATA	117
3.50	L'extraction de la mobilité dans la structure contrainte obtenus en utilisant le modèle WATT	118
3.51	La structure du transistor N-MOSFET conventionnel et son profil de dopage obtenus en utilisant Athena	119
3.52	La Structure du transistor N-MOSFET contraint	119
3.53	La Structure d'un transistor N-MOSFET contraint et son maillage obtenus en utilisant ATHENA	120
3.54	Caractéristique de transfert de la structure conventionnelle obtenus en utilisant ATLAS	120
3.55	Caractéristique de transfert de la structure contrainte obtenus en utilisant ATLAS	121
3.56	Comparaison entre les deux caractéristique obtenus en utilisant ATLAS	121
3.57	Histogramme regroupant les résultats de simulations pour les deux N-MOSFETs simulés.	122
3.58	Caractéristique de transfert pour différentes tensions de drain obtenus en utilisant ATLAS	123
3.59	Comparaison de la caractéristique de sortie de la structure conventionnelle et la structure contrainte obtenus en utilisant ATLAS	123
3.60	La transconductance de la structure contrainte obtenus en utilisant ATLAS . . .	124
3.61	Le DIBL de la structure conventionnelle obtenus en utilisant ATLAS	124
3.62	Le DIBL de la structure contrainte obtenus en utilisant ATLAS	125
3.63	Comparaison entre les bandes d'énergies dans une structure conventionnelle et dans la structure contrainte	125
3.64	La structure de base d'un transistor MOSFET Double Grille	126
3.65	La structure double grille N-MOSFET conventionnelle	127
3.66	Le maillage de la structure double grille N-MOSFET conventionnelle obtenus par ATLAS	127
3.67	La structure double grille N-MOSFET contrainte obtenus en utilisant ATLAS . .	128
3.68	Le maillage de la structure double grille N-MOSFET contrainte obtenus en utilisant ATLAS	128
3.69	Caractéristique de transfert, Comparaison entre la structure conventionnelle et contrainte	129
3.70	Caractéristique de transfert en utilisant différent pourcentages en Ge, Comparaison entre la structure conventionnelle et contrainte	129
3.71	Histogramme de comparaison entre la structure conventionnelle et les structures contraintes	130

3.72 La structure double grille N-MOSFET contrainte en dual Métal de grille obtenus en utilisant ATLAS	131
3.73 Comparaison entre les caractéristiques de transfert entre une structure en simple et dual métal de grille	131
3.74 Comparaison entre les caractéristiques de transfert entre une structure contrainte en dual métal de grille, avec les matériaux high-k en oxyde de grille et le SiO ₂	132

Liste des tableaux

1.1	Evolution des principaux paramètres du transistor MOS en fonction du paramètre de miniaturisation k [Han, 2011]	22
1.2	Quelques matériaux à haute permittivité	29
1.3	Comparaison entre les propriétés des matériaux [Huguenin, 2011]	31
2.1	Les principaux développements dans la technologie du silicium contraint . . .	41
2.2	Gains et améliorations dans les MOSFETs à canal contraint	43
2.3	Caractéristiques principales de la technologie Intel 32 nm	82
3.1	Les principaux étapes et commandes du logiciel SILVACO	88
3.2	les paramètres des différentes structures conçues	100
3.3	Les différentes grandeurs électriques de la structure conventionnelle	103
3.4	Comparaison entre les résultats obtenues dans les structures non-contrainte et contrainte	106
3.5	Comparaison entre les résultats obtenues dans les trois structures	109
3.6	Résultats de simulation obtenues dans le N-MOSFET conventionnel et le N-MOSFET contraint	122

Introduction générale

L'industrie des semi-conducteurs est un secteur qui est en croissance permanente. De ce fait une association internationale d'industriels et de laboratoires nommée ITRS (International Technology Roadmap for Semiconductors) , représentative d'organisations de l'industrie des semi-conducteurs américaines, européennes, japonaises, de Corée du Sud et de Taiwan ,définit annuellement un cahier de charges résumant les principaux objectifs en fonction de l'évolution des technologies. Ceci permet alors d'orienter la recherche ainsi la croissance ne s'estompe pas. En effet l'ITRS produit régulièrement des rapports concernant les feuilles de route correspondant à l'évolution des technologies de gravure des processeurs.

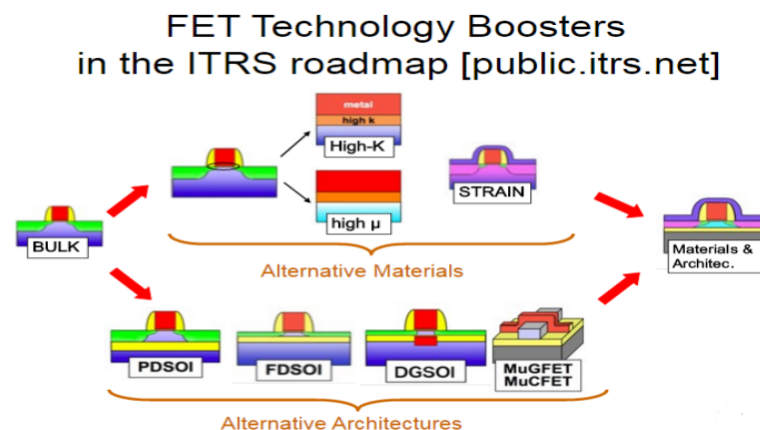


Figure 1 – Un exemple de solutions proposés par l'ITRS dans leurs cahiers de charges.[D.Esseni, 2008]

Les cahiers de charges reposent essentiellement sur la loi de Gordon Moore [Moore, 1965], considérée comme un modèle économique prédisant les nouvelles dimensions des transistors qui sont de nos jours de l'ordre du nanomètre ce qui permet d'augmenter la densité d'intégration et de gagner en performances. Avec cette réduction des dimensions appelée "Scaling", des effets parasites se produisent nécessairement on cite alors les effets canaux courts notés "SCE" pour short channel effects. Ces effets réduisent considérablement les performances des dispositifs. D'après les publications de l'ITRS et leurs revues [ITRS, 2013], aujourd'hui, la stratégie d'amélioration des performances par la mise à l'échelle a atteint ses limites [Rairigh, 2005] et la loi de Moore actuellement a tendance à s'essouffler .

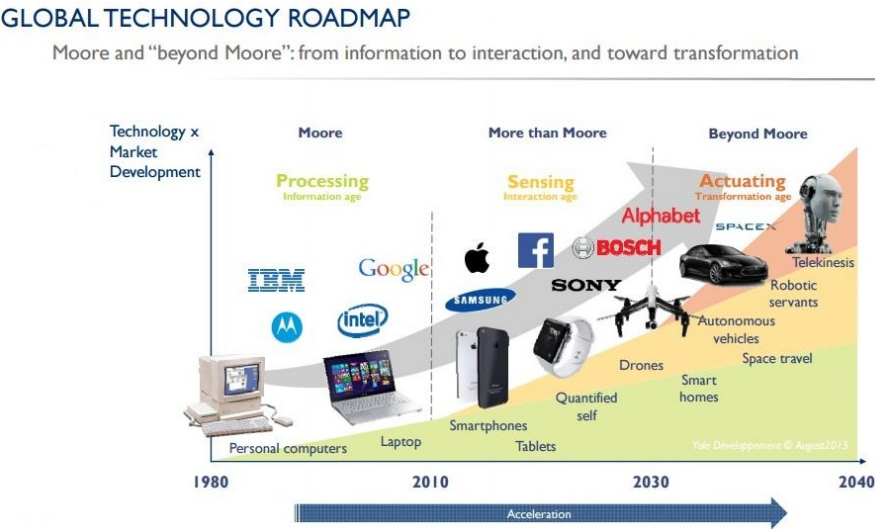


Figure 2 – Le développement du marché des technologies en fonction de l'évolution de la loi de Moore.[yole Développement, 2015]

Ainsi, pour rester dans le même contexte de compétitivité, il semblait primordial d'utiliser de nouveaux "boosters" technologiques tel que les empilements de grilles, des isolants à haute permittivité (High-K), les structures multi-grilles (Double Grille, FINFET, GAA), ou aussi des contraintes .

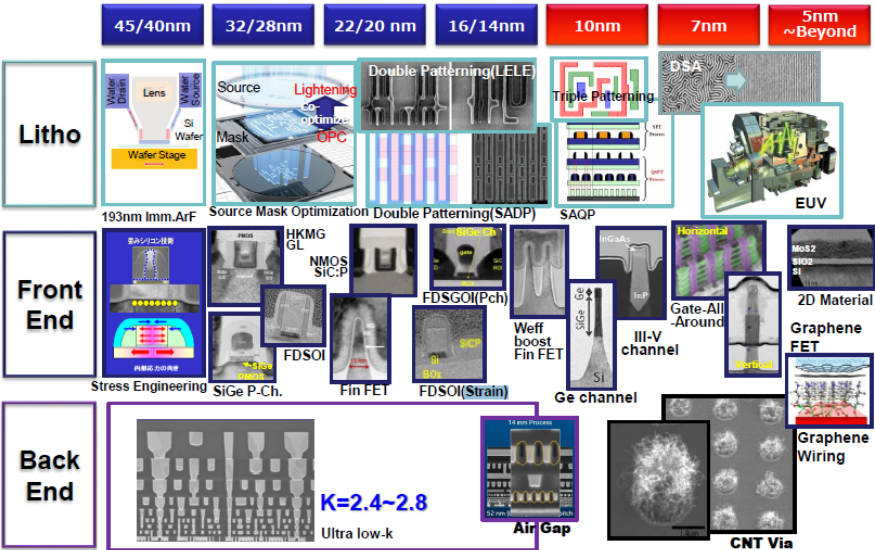


Figure 3 – Les différents boosters technologiques proposés aux différents noeuds technologiques. [kinaIvo W Rangelow, 2016]

Les contraintes sont étudiées depuis longtemps dans l'histoire de la micro-électronique et ont été considérées de différentes façons. Considérées au départ comme un phénomène

néfaste, on a tout d'abord cherché à les limiter. Actuellement, ces contraintes sont devenues un paramètre très important qu'il faut comprendre et surtout maîtriser. Ainsi on est passés progressivement de contraintes dites non-intentionnelles et incontrôlées à des contraintes intentionnelles et maîtrisées. Les contraintes, si elles sont non-intentionnelles, peuvent induire des défauts cristallins et notamment des dislocations qui peuvent générer des courants de fuite et des dysfonctionnements très importants des transistors MOSFET (Metal Oxyde Semiconductor Field Effect Transistor). Par ailleurs, leur contrôle permet d'améliorer les performances de ces transistors.

Aujourd'hui l'industrie des semi-conducteurs est entrée dans une période pointue, passant du monde de la microélectronique au monde de la nanoélectronique. De ce fait Les dimensions caractéristiques des dispositifs MOSFETs sont de l'ordre du nanomètre. Afin de poursuivre les progrès colossaux réalisés dans le monde de l'électronique, plusieurs solutions sont possibles. La première consiste à pousser la miniaturisation des circuits CMOS en technologie silicium à son extrême, cependant les limites physiques du matériau ne permettent pas de continuer cette miniaturisation indéfiniment. La deuxième solution consiste à reconsidérer toutes les briques technologiques de la fabrication d'un circuit intégré. Ainsi le silicium massif, matériau devenu de nos jours synonyme de microélectronique, pourrait être remplacé par des nanofils de matériaux semiconducteurs, des nanotubes de carbone ...

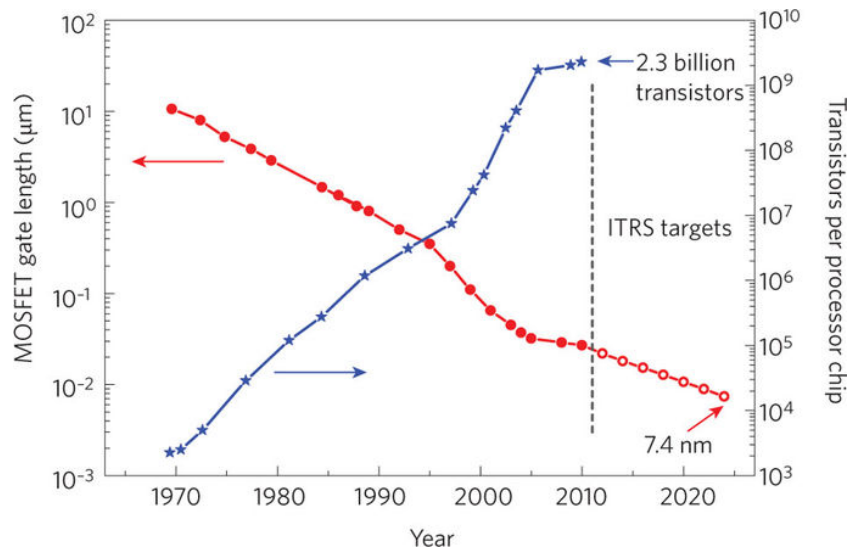


Figure 4 – Le passage du monde de la microélectronique au monde de la nanoélectronique. [Sun et al., 2015]

On peut ainsi dire que la réduction des dimensions du transistor MOSFET, essentielle pour la conception des circuits intégrés nanométriques ne suffit plus à garantir de meilleures performances [Kim, 2010], d'où le regain d'intérêt des contraintes par les chercheurs et les industriels qui ont pris conscience de l'importance de l'utilisation des contraintes dans les technologies CMOS. En effet, la contrainte est de nos jours bien connu pour l'amélioration

des propriétés de transport dans les MOSFETs. Le Silicium contraint est le seul nouveau matériau de canal qui a récemment fait son chemin dans la conception des circuits intégrés commerciaux. Ces structures contraintes ont vu le jour avec la technologie 90nm pour laquelle le silicium contraint fut incorporé pour améliorer les propriétés de transport des canaux.

Notons aussi que l'amélioration de la mobilité des porteurs obtenue en appliquant une contrainte appropriée, permet de fournir une vitesse des porteurs plus élevée dans les canaux des MOSFETs, conduisant à un courant plus élevé sous une tension de polarisation fixe à une épaisseur d'oxyde de grille donnée. En conséquence, l'ingénierie des contraintes et l'amélioration de la mobilité des porteurs dans le canal de conduction des MOSFETs a fait de cette technologie une technologie de dispositif obligatoire dans les futurs nœuds nanométriques.

Dans notre travail, nous nous sommes intéressé spécifiquement à l'étude de l'impact de l'utilisation des contraintes dans le canal des transistors MOSFETs, Il s'agit d'un domaine d'étude très compétitif et déjà utilisé en partie dans l'industrie. Le principal résultat attendu par cette étude est l'augmentation de la mobilité des porteurs (électrons et trous), et par conséquent celle du courant de drain du transistor MOSFET sans devoir passer par une réduction d'échelle. Toutefois, les industriels ont un besoin de connaissances approfondies sur l'effet des contraintes. Cela permettra de prédire les performances espérées selon le procédé technologique utilisé lors de l'élaboration des dispositifs.

Dans le premier chapitre, nous rappellerons brièvement le principe de fonctionnement de base des transistors MOSFET, et ses limites, ainsi que les solutions technologiques proposés afin de palier à ces dernières.

Le deuxième chapitre, est une initiation à la physique du silicium contraint, ses propriétés, les notions de base de la théorie d'élasticité et nous présenterons les différentes techniques utilisées afin d'induire les contraintes (Uni-axiale et Bi-axiale), un état de l'art des différentes architectures à canal contraint qu'on retrouve en littérature, ainsi que leurs performances électriques.

Dans un dernier chapitre, seront présentés les résultats de simulation obtenus au biais du logiciel de simulation SILVACO-TCAD, et qui permettent de comprendre l'impact et l'intérêt de l'adoption de cette très importante technique dans les technologies CMOS. À travers les différents paramètres extraits et les caractéristiques obtenues, dans des différentes structures, contraintes et non-contraintes, ayant les mêmes dimensions et la même architecture, on a démontré la différence et l'amélioration des performances apportées par l'utilisations de ces contraintes.

1 Les transistors MOSFETs : Principe et généralités

1.1 Introduction

Ce chapitre a pour but de rappeler le principe de fonctionnement d'un transistor à Effet de champs à grille isolée appelé MOSFET acronyme de Metal-Oxide-Semi-conductor-Field-Effect-Transistor. Nous aborderons alors dans ce chapitre les aspects de la miniaturisation des dispositifs et présenterons leurs limites. Les phénomènes néfastes résultants de cette miniaturisation seront aussi abordés. Pour finir, diverses solutions permettant de palier aux problèmes de miniaturisation et continuer à améliorer les performances de ces dispositifs seront présentées. Ce premier chapitre nous permettra de cerner le mieux possible le rôle des contraintes uniaxiales et biaxiales dans les MOSFETs. Ces contraintes seront alors présentées au chapitre qui suit.

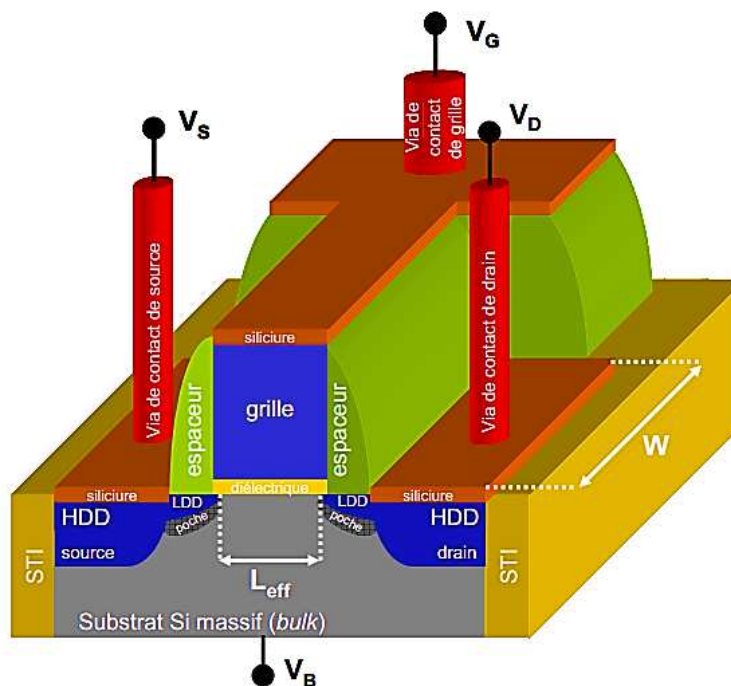
1.2 Le transistor MOSFET : Structure et Principe de fonctionnement

Nous allons dans ce qui suit présenter tout d'abord le transistor MOSFET, on décrira ensuite son principe de fonctionnement, ainsi que ses principales caractéristiques. Les grandeurs géométriques de ces dispositifs sont dictées par la technologie utilisée.

1.2.1 La structure de base du transistor MOSFET

Le transistor MOS (Métal Oxyde Semi-conducteur) à effet de champ est le dispositif le plus répandu dans l'industrie des semi-conducteurs, il est à la base de la fabrication de tout circuit intégré à technologie CMOS. Le premier brevet sur le transistor à effet de champ a été proposé en 1925 par J.E.Lilienfeld et O.Heil [Lilienfeld, 1930] [Lilienfeld, 1933], puis étudié par W.B.Schockley et R.Pearson [W.Schockley and Pearson, 1948] en 1940.

La structure MOSFET basée sur le système Si- SiO_2 a été proposée par Martin John Atalla [Atalla, 1965]. La redécouverte du transistor à effet de champs n'a eu lieu qu'après la deuxième guerre mondiale, en 1952 pour le JFET, ensuite le MOSFET en 1960, par Kahng et Atalla.



1.2. Le transistor MOSFET : Structure et Principe de fonctionnement

ou NMOS, ou sur un substrat de type N des transistors à canal P només P-MOSFET ou PMOS.

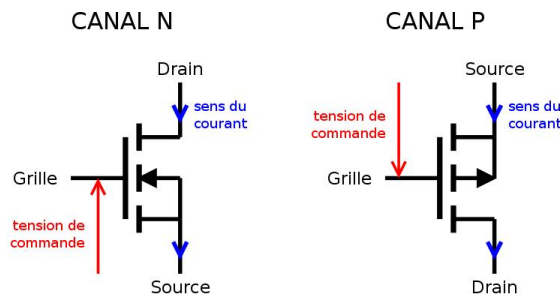


Figure 1.2 – Le symbole des deux types de transistors MOSFET.

D'autre part selon le procédé de fabrication nous pouvons distinguer des MOSFETs à enrichissement de canal ou des MOSFETs à appauvrissement de canal.

- Pour les transistors à appauvrissement de canal ou encore à déplétion (D-MOSFET), les électrons allant de la source au drain sont obligés de passer par un mince canal entre la grille et le substrat comme le montre la figure 1.3. Dans le cas des transistors à appauvrissement de canal, un faible courant circule même en l'absence d'une tension de commande. Ces transistors deviennent de moins en moins conducteurs en augmentant la tension de commande pour finalement se bloquer à la tension $V_{GS_{OFF}}$ [MERAD, 2014].
- Pour les transistors MOSFETs à enrichissement de canal dits E-MOSFET, le substrat cette fois-ci s'étend jusqu'au dioxyde de silicium comme le montre la figure 1.4. Quand la tension grille est nulle, le courant de drain est à son tour nul, on dit aussi qu'il est normalement OFF. Quand la tension V_{GS} atteint une certaine valeur de tension appelée tension de seuil V_{Th} , une couche d'inversion se crée et le transistor devient de plus en plus passant [MERAD, 2014].

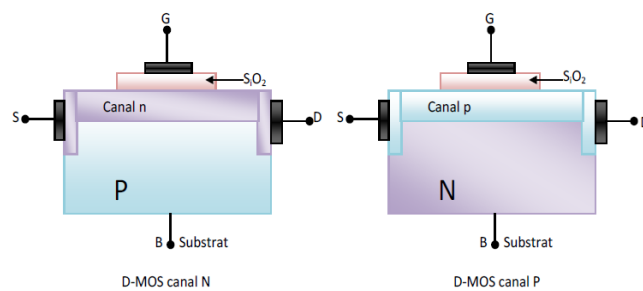


Figure 1.3 – Transistor MOSFET à appauvrissement de canal. [MERAD, 2014]

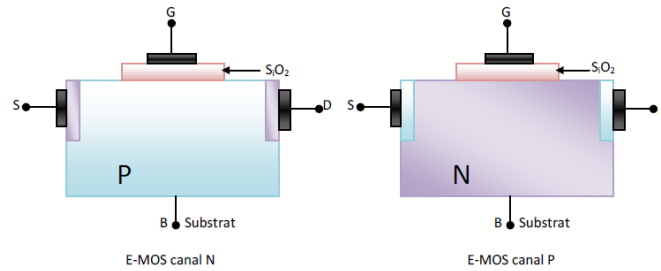


Figure 1.4 – Transistor MOSFET à enrichissement de canal. [MERAD, 2014]

1.2.3 Principe de fonctionnement du MOSFET

Nous nous intéressons dans tout le reste de ce chapitre aux transistors MOSFETs à canal N et à enrichissement de canal afin d'expliquer le principe de fonctionnement de ce type de dispositif.

1.2.3.1 L'effet de champ

Le principe de ce transistor repose sur l'effet de champ, ce dernier consiste à une modulation électrostatique d'une densité de charges mobiles.

La modulation des porteurs de charges est provoquée par un champ électrique perpendiculaire à la direction de mouvement de ces charges.

La tension de grille-source notée V_{GS} commande la quantité de charges alors que la tension source-drain V_{DS} permet le mouvement de ces charges.

On peut finalement dire que le principe de transport des porteurs dans le MOSFET repose alors sur la possibilité de modifier localement la nature du dopage du canal (inversion), et ceci par l'application d'un champ électrique "transversal" par l'électrode de grille à travers un isolant.

Le transistor MOSFET se caractérise par deux régimes de fonctionnement:

- À forte tension de polarisation grille-source V_{GS} , le courant de drain I_{DS} est maximal, c'est le régime de saturation.
- À faible tension de polarisation grille-Source V_{GS} , les charges mobiles minoritaires sont repoussées dans le substrat, et le courant de drain I_{DS} diminue exponentiellement, on est alors dans le régime sous le seuil, dit de blocage.

1.2.4 Les paramètres importants du transistor MOSFET

Les paramètres importants du transistor MOSFET sont:

1.2. Le transistor MOSFET : Structure et Principe de fonctionnement

1.2.4.1 La tension sous le seuil (V_{Th})

La tension de seuil dite "threshold voltage" est la tension V_{GS} nécessaire à la formation d'un canal de conduction entre la source et le drain. La tension de seuil typique d'un nano-MOSFET est généralement comprise entre 0.2 et 0.4 V [Maamar, 2009].

- La transconductance ou gain (gm), Cette dernière est définie par :

$$g_m = \left(\frac{\partial I_d}{\partial V_g} \right)_{V_{DS}=Cste} \quad (1.1)$$

- La conductance du canal définie par:

$$g_{DS} = \left(\frac{\partial I_d}{\partial V_{DS}} \right)_{V_G=Cste} \quad (1.2)$$

- La pente sous le seuil :

$$S = \frac{dV_G}{d \log I_D} \quad (1.3)$$

Cette pente sous le seuil représente la tension de grille à appliquer en régime sous le seuil pour augmenter le courant de drain d'une décade, il représente également la qualité de transition de l'état bloqué à l'état passant du transistor.

Les transistors MOSFET peuvent être caractérisés électriquement par des mesures statiques du courant de sortie drain-source I_{DS} en fonction de la tension de polarisation V_{DS} , cette caractéristique est appelée caractéristique de sortie du transistor. Il peut aussi être caractérisé par sa caractéristique de transfert illustrant son courant I_{DS} en fonction de la tension de polarisation V_{GS} , ces deux caractéristiques font l'objet de la figure 1.5.

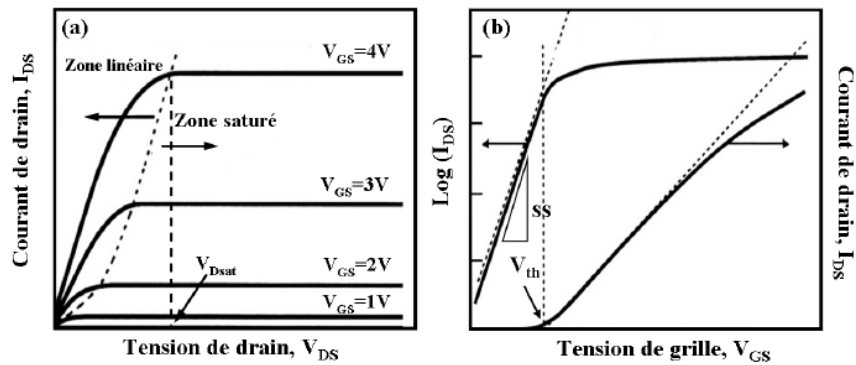


Figure 1.5 – Caractéristique statique de sortie et de transfert d'un transistor MOSFET.

Le transistor à effet de champ à grille isolé MOSFET possède deux régimes de fonctionnement, dont la frontière permettant le passage entre les deux, appelée : Seuil, et c'est ainsi qu'on définit la tension de seuil V_{Th} , qui est la tension qu'il faut appliquer sur la grille afin de créer l'inversion du canal, on a par conséquent l'apparition d'une couche de porteurs minoritaires, ceci est illustré dans la figure 1.6.

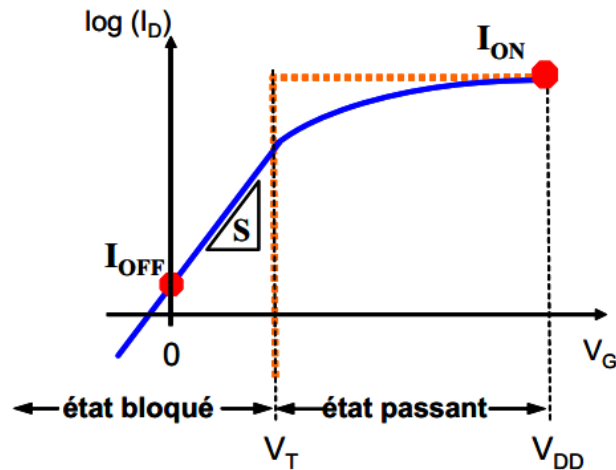


Figure 1.6 – Caractéristique de transfert d'un transistor MOSFET : Le courant de drain I_D en fonction de la tension de grille-source V_{GS} [Rochette, 2008].

Théoriquement, sans l'application d'une tension sur l'électrode de grille, le courant est nul, lorsque la tension appliquée est égale à V_{DD} , le courant de drain, noté : I_{On} atteint sa valeur maximale, En pratique il existe un courant de fuite noté : I_{OFF} pour une polarisation nulle de la grille.

Une faible valeur du courant de fuite I_{OFF} , une grande valeur du courant I_{On} , un passage rapide de l'état bloqué à l'état passant, ce qui correspond à une tension de seuil réduite, et un rapport I_{On}/I_{OFF} élevé, L'ensemble définissent la bonne qualité d'un transistor MOSFET surtout lorsqu'il s'agit d'applications logiques.

1.3 Les Régimes de fonctionnement du transistor MOSFET

Il existe quatre régimes de fonctionnement du transistor MOSFET. Pour comprendre ces régimes de fonctionnement, rappelons tout d'abord le diagramme de bande d'une structure MOSFET.

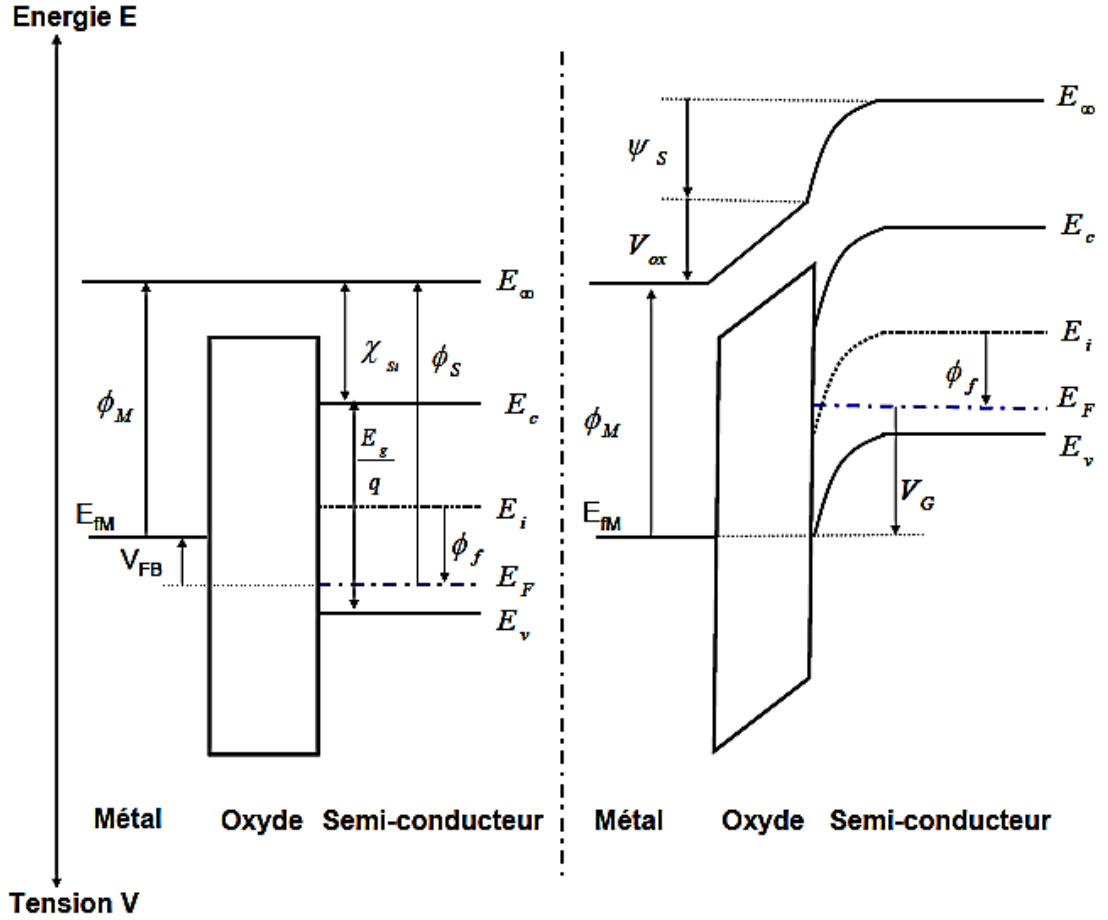


Figure 1.7 – Représentation schématique de la structure de bande d'un n-MOSFET en régime de bandes plates (à gauche) et en régime d'inversion faible (à droite).

ϕ_M est le travail de sortie de la grille. χ_{Si} , E_g et ϕ_S sont respectivement l'affinité électronique, la bande interdite et le travail de sortie du silicium. E_v , E_c et E_i sont respectivement les énergies de la bande de valence, de la bande de conduction et l'énergie intrinsèque du silicium.

Le niveau de Fermi est défini par : $E_F = E_i - q \cdot \phi_f$, ϕ_f est donné par l'équation (1.4), et valable pour des dopages modérés (obtenue en faisant l'approximation de Boltzmann) :

$$\phi_f = \frac{k_B \cdot T}{q} \cdot \ln\left(\frac{N_A}{ni}\right) \quad (1.4)$$

Avec : k_B la constante de Boltzmann, T la température, q la charge élémentaire, N_A la densité des dopants accepteurs, ni : la densité intrinsèque des porteurs du matériau.

La tension de bande plate $V_{FB} = \phi_M - \phi_S$ est la tension qu'il faut appliquer sur la grille pour que le potentiel à l'interface diélectrique/semi-conducteur Ψ_S exprimé par l'équation qui suit soit nul.

$$\Psi_S = \frac{Ei(0) - Ei(\infty)}{q} \quad (1.5)$$

Ψ_S est appelé potentiel de surface, il représente la courbure de bande entre la surface et le volume du semi-conducteur.

Selon la valeur du potentiel de surface on distingue et on définit les différents régimes de fonctionnement comme suite :

- **Régime d'accumulation :** $\psi_s < 0$ et $V_G < V_{FB}$
Les porteurs majoritaires sont attirés près de l'interface Si/SiO₂. Le transistor se trouve à l'état bloqué (régime sous le seuil).
- **Régime de bandes plates :** $\psi_s = 0$
Le régime de bandes plates est le seul régime dans lequel le semi-conducteur conserve jusqu'à la surface ses propriétés de volume.
- **Régime de désertion :** $0 < \psi_s < \Phi_f$ et $V_G > V_{FB}$
Les porteurs majoritaires sont repoussés de l'interface. Il se crée alors près de la surface une zone dénuée de porteurs libres, appelée zone de charge d'espace. Cette zone n'est constituée que d'impuretés ionisées. Le transistor se trouve toujours à l'état bloqué (régime sous le seuil).
- **Régime d'inversion faible :** $\Phi_f < \psi_s < 2\Phi_f$ et $V_{FB} < V_G < V_T$
Pour $\psi_s = \Phi_f$ les densités d'électrons et de trous sont égales en surface, et prennent la valeur de la densité intrinsèque de porteurs du matériau ni.
- **Régime d'inversion forte :** $\psi_s > 2\Phi_f$ et $V_G > V_T$
Les porteurs minoritaires sont alors en plus grand nombre dans le volume du semi-conducteur. Dans le canal les porteurs libres deviennent nombreux, et c'est ainsi que le transistor devient passant.

1.3.1 Le Régime sous le seuil

Rappelons que le régime sous le seuil est atteint pour des tensions V_{GS} inférieures à la tension de seuil notée V_{Th} . Physiquement, cela signifie que dans le canal, la densité de porteurs minoritaires est plus faible que celle des porteurs majoritaires. La barrière de

1.3. Les Régimes de fonctionnement du transistor MOSFET

potentiel du canal est encore trop haute et peu de porteurs minoritaires réussissent à franchir cette barrière. Il réside cependant un courant de diffusion qui va évoluer exponentiellement avec la tension de grille.

Pour extraire expérimentalement les paramètres sous le seuil de fonctionnement d'un transistor on étudie sa caractéristique de transfert en échelle semi-logarithmique. Cette dernière est représentée en figure 1.5. Le courant est représenté par une droite dont la pente, correspond à l'inverse du paramètre appelé "pente sous le seuil" qui est noté S et qui s'exprime en mV/décade. La pente sous le seuil est donnée par :

$$S = \frac{\partial V_G}{\partial(\log I_D)} = \frac{K_B \cdot T}{q} \cdot n \cdot \ln(10) \quad (1.6)$$

où : $n = [1 + \frac{C_{dep} + C_{it}}{C_{OX}}]$, C_{OX} et C_{dep} représentent les capacités liées à l'oxyde de grille et à la déplétion respectivement, et C_{it} , la capacité liée aux états d'interface dans l'oxyde.

Dans le cas idéal où C_{dep} et C_{it} sont négligeables devant C_{OX} , la valeur de la pente sous seuil s'approche de la valeur théorique minimale qui est de 59.6 mV/dec à 300 °K.

L'ajustement de la tension de seuil est d'une grande importance, et ceci dans le but de ne pas générer un courant de fuite important, la tension de seuil et le courant de fuite sont liés suivant l'équation 1.7 :

$$\log(I_{Off}) = \log(I_{th}) - V_{Th}/S \quad (1.7)$$

Le courant I_{th} est donné par :

$$I_{th} = D \cdot C_{dep} \cdot \frac{W}{L} \cdot \frac{K_B \cdot T}{q} \quad (1.8)$$

Où D représente le coefficient de déplétion, W et L sont la largeur et la longueur du canal.

1.3.2 Le Régime de forte inversion

Lorsque la tension de grille est supérieure à la tension de seuil V_{Th} , la concentration de porteurs minoritaires devient plus importante que la concentration de porteurs majoritaires dans le substrat. On aura alors un courant de conduction généré entre les électrodes de source

et de drain selon le champ longitudinal imposé par la tension de drain V_D .

Tant que la tension de drain : $V_D < V_G - V_T$, on se trouve dans le régime dit ohmique, c'est-à-dire que le canal se comporte comme une résistance, et que sa valeur est modulé par la tension de grille V_G . Lorsque maintenant : $V_D > V_G - V_T$, la dépendance en V_D disparaît et I_D devient alors dépendant de la tension V_G , on parle alors de régime saturé. La figure 1.8 représente une illustration de ces deux modes.

L'expression du courant I_D en régime linéaire s'exprime par :

$$I_{Dlin} = \frac{W_{eff}}{L_{eff}} \cdot C_{OX} \cdot \mu_{eff} \cdot (V_G - V_T - \frac{V_D}{2}) \cdot V_D \quad (1.9)$$

Tandis qu'en régime saturé elle est donnée par :

$$I_{Dsat} = \frac{1}{2} \cdot \frac{W_{eff}}{L_{eff}} \cdot C_{OX} \cdot \mu_{eff} \cdot (V_G - V_T)^2 \quad (1.10)$$

Avec W_{eff} , L_{eff} sont respectivement la largeur et la longueur effective, et μ_{eff} : la mobilité effective des porteurs.

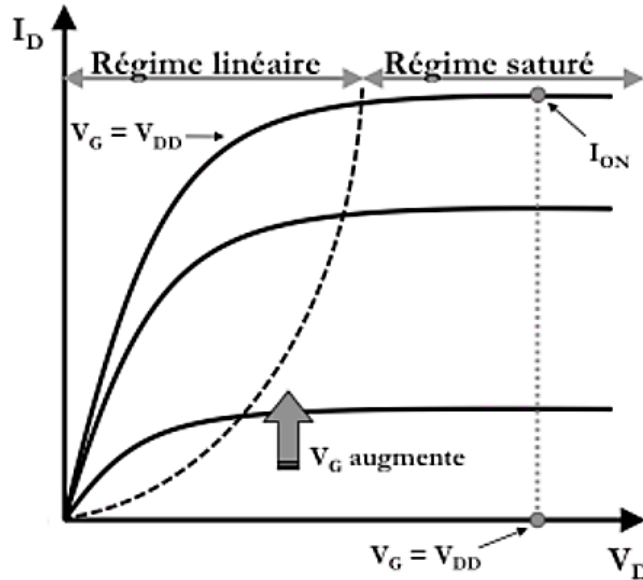


Figure 1.8 – La Caractéristique I_D en fonction de V_D illustrant les modes linéaires et saturés.

1.4 La mobilité des porteurs dans le canal

1.4.1 La notion de mobilité des porteurs de charges

La mobilité des porteurs de charge qui est une grandeur positive est un paramètre d'une très grande importance, qu'on détaillera au prochain chapitre, intervient dans l'expression des courants et exprime la faculté de déplacements des porteurs, sous l'effet d'un champ électrique. Elle est définie comme le rapport de la vitesse moyenne de dérive V_D d'un porteur libre à l'intensité du champ électrique E qui lui est appliqué. C'est une grandeur positive. Sa valeur est donnée par:

$$V_D = \mu \cdot E \quad (1.11)$$

Notons cependant que les porteurs de charges se déplacent dans les semiconducteurs en subissant des collisions soit avec les impuretés ou avec les vibrations "phonons" du matériau activées par la température. Ces porteurs vont alors acquérir une vitesse de dérive moyenne qui sera limitée par les collisions avec les impuretés ou les phonons et ceci sous l'effet d'un champ électrique. En considérant le modèle de Drude pour un gaz d'électrons, la mobilité aura alors pour expression:

$$\mu = \frac{q \cdot \tau}{m^*} \quad (1.12)$$

où :

- q : la charge élémentaire des porteurs
- τ : le temps moyen entre deux collisions
- m^* : la masse effective de conduction des porteurs

La mobilité est fortement liée à la conductivité électrique du matériau , au nombre d'impuretés présentes dans ce matériau, et par conséquent à la densité de courant.

1.4.2 La mobilité dans la couche d'inversion d'un transistor MOS

La mobilité des porteurs dans le canal d'un MOSFET en inversion est considérablement inférieure à celle des porteurs dans le substrat. On définit dans ce cas la mobilité effective.

Chapitre 1. Les transistors MOSFETs : Principe et généralités

En effet, la réduction de la mobilité est due à la diffusion des porteurs, confinés à l'interface Si/SiO₂ sous l'effet du champ électrique transversal qui est associé à une polarisation de grille plus ou moins importante. La mobilité a alors pour expression [Ando et al., 1982]:

$$\mu_{eff}(V_G) = \frac{e \cdot \tau(V_G)}{m^*} \quad (1.13)$$

Le confinement des porteurs modifie la fréquence de collisions et la mobilité. On définit alors dans ce cas le champ électrique effectif " E_{eff} " par:

$$E_{eff} = \left(\frac{q}{\epsilon_{Si}}\right) \cdot (\eta \cdot N_{inv} + N_{dep}) \quad (1.14)$$

Où : ϵ_{Si} est la permittivité du Silicium, N_{dep} est la charge de déplétion, N_{inv} est la charge d'inversion, η un paramètre empirique, $\eta = 1/2$ pour les électrons (100) [Salmis and Clemens, 1979]

Il existe trois types de collisions ayant pour effet la limitation de la mobilité des porteurs dans le canal en inversion d'un MOSFET:

- Les interactions de Coulomb qui limitent la mobilité des porteurs à faible champ.
- Les interactions avec les phonons, Pour une température inférieure à 100 °K.
- Les collisions dues à la rugosité de surface.

1.4.3 Effets de confinement quantique sur la capacité MOS

En considérant les effets du confinement quantique qui doivent être pris en considération pour les structures nanométriques, la capacité de l'oxyde aura pour expression :

$$C_{OX} = \frac{\epsilon_{SiO_2}}{T_{dep}^{poly} + T_{Quan} + EOT} \quad (1.15)$$

Avec : ϵ_{SiO_2} est la permittivité du SiO₂, ceci nous mène à une nouvelle épaisseur effective de l'oxyde de grille qui s'exprimera par: EOT : « Equivalent Oxide Thickness ».

Notons que dans les transistors MOSFET à canaux courts, d'autres phénomènes

1.5. Notions de transport et Modèles physiques importants dans les transistors MOSFET

gouvernent le transport, telle la saturation de la vitesse de dérive, des phénomènes non-stationnaires et les effets balistiques, et c'est justement ces phénomènes qui participent à la limitation du courant de drain dans ces transistors. C'est ce qui fait objet d'une prochaine partie.

1.5 Notions de transport et Modèles physiques importants dans les transistors MOSFET

1.5.1 Notion de structures de bandes

Les semi-conducteurs, comme le silicium et le germanium, ont tous une structure Zinc-blende, leur réseau est composé de deux sous-réseaux cubique à face centrées. Ces deux sous-réseaux sont décalés d'une quantité $(\frac{a}{4}, \frac{a}{4}, \frac{a}{4})$, avec a est le paramètre de la maille élémentaire du réseau cristallin. Dans le cas d'un réseau cubique à face centrée (CFC), la première zone de Brillouin (PZB) illustré dans la figure 1.9 forme un octaèdre tronqué.

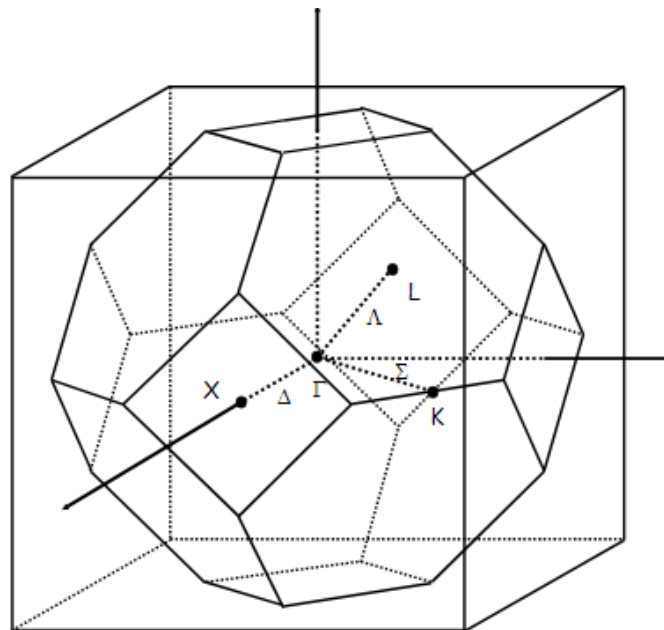


Figure 1.9 – Première zone de Brillouin du Silicium. Les axes et points de symétrie sont représentés [Huet, 2008]

Où :

- Le point Γ : représente le centre de la zone de Brillouin.
- Le point X : représente le bord de zone de Brillouin dans la direction 100.
- Le point L : représente le bord de zone de Brillouin dans la direction 111.
- Le point K : représente le bord de zone de Brillouin dans la direction 110.
- Direction Δ : représente la direction 100.
- Direction Λ : représente la direction 111.
- Direction Σ : représente la direction 110.

Les Énergies E des porteurs sont définies dans un espace réciproque en fonction du vecteur d'onde $\vec{k}$. Ces dernières ont un certain nombre quantique n qui définit une bande. L'ensemble de ces bandes nous donne ce qu'on a appelé une structure de bandes comme il est illustré en figure 1.10.

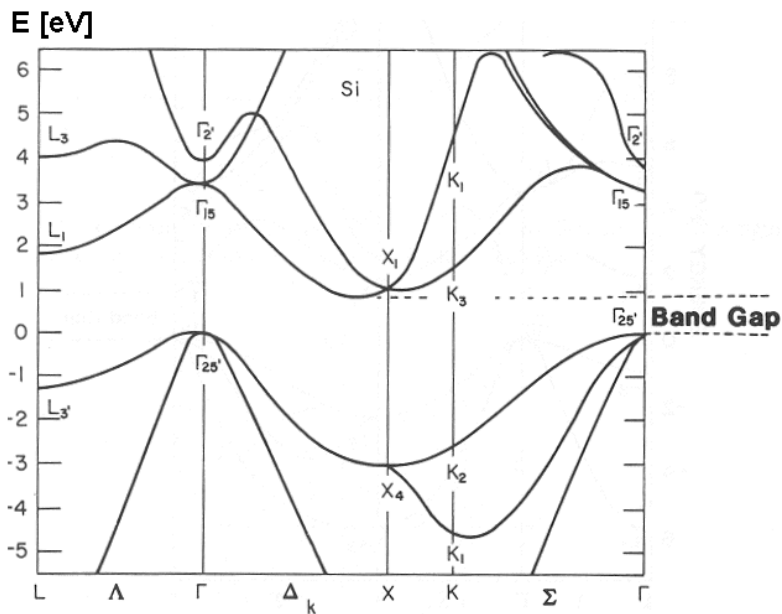


Figure 1.10 – Structure de bandes d'énergie du silicium

1.5. Notions de transport et Modèles physiques importants dans les transistors MOSFET

1.5.2 Equation de poisson

L'équation de poisson est une équation qui permet de faire le lien entre la distribution de charges et le potentiel électrostatique suivant l'équation [NOURDINE, 2014] :

$$\nabla(\epsilon_0\epsilon_r\nabla\phi) = -q.(N_D^+ - N_A^- - n + p) \quad (1.16)$$

Avec :

- ϵ_0 et ϵ_r sont respectivement la permittivité du vide et la permittivité relative du matériau.
- q : La valeur absolue de la charge élémentaire de l'électron.
- N_D^+ : La densité des porteurs donneurs.
- N_A^- : La densité des porteurs accepteurs.
- n : c'est la densité d'électrons libres.
- p : c'est la densité des trous libres.
- ρ : la densité des trous libres.

le champ électrique E est obtenu en appliquant le gradient de potentiel :

$$E = -\nabla\phi \quad (1.17)$$

1.5.3 Recombinaison Shockley-Read-Hall (SRH)

Ce mécanisme est le mode de recombinaison qui domine dans le silicium. Ce mécanisme a été décrit pour la première fois par Shockley et Read en 1952 [Shockley and Read, 1952]. Dans le modèle SRH, la recombinaison n'a pas lieu par transition directe d'un électron de la bande de valence "BV" vers la bande de conduction "BC" mais se fait plutôt par l'intermédiaire d'un centre de recombinaison dont le niveau d'énergie est situé dans la bande interdite "BI". Nous le décrirons dans ce qui suit avec un seul centre de recombinaison monovalent, ce qui veut dire qu'avec un défaut on peut avoir que deux états de charge.

le taux de recombinaison SRH peut s'exprimer par:

$$U_{SRH} = \frac{\sigma_p \cdot \sigma_n \cdot v_{th} \cdot (p \cdot n - n_i^2) \cdot N_T}{\sigma_n \cdot [n + n_i \cdot \exp(\frac{E_T - E_i}{K.T})] [p + n_i \cdot \exp(\frac{E_i - E_T}{K.T})]} \quad (1.18)$$

Avec :

- σ_n et σ_p sont les sections de capture efficace pour les électrons et les trous .
- v_{th} représente la vitesse thermique des porteurs.
- n_i : La concentration des porteurs intrinsèque.
- E_i : Le niveau de Fermi dans un Semi-conducteur intrinsèque.
- E_T et N_T : sont respectivement la position énergétique et la concentration des états de piège.
- K : La constante de Boltzmann et T : est la température.

Durant cette recombinaison, une énergie est libérée et transmise sous forme d'un phonon au réseau, le mécanisme de recombinaison est illustré au niveau de la figure 1.11.

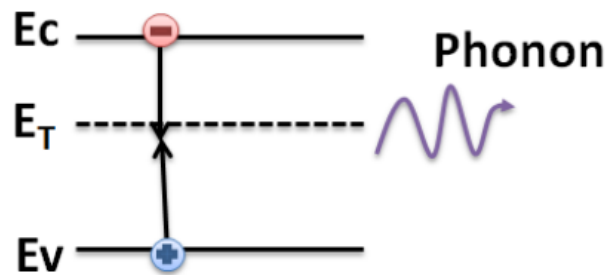


Figure 1.11 – La recombinaison SRH et l'émission d'un phonon [Daanoune, 2015]

1.5.4 Le modèle lombardi (CVT)

Le modèle lombardi (CVT) est très utilisé dans la simulation des transistors MOSFET, ce modèle est basé sur des équations empiriques qui permettent la modélisation de couches inversées d'électrons et de trous. Le principal avantage de ce modèle est que les paramètres physiques d'entrée et les coefficients des équations sont accessibles pour l'utilisateur.

ce modèle qui comprend tous les mécanismes d'interaction dominant les porteurs de la couche d'inversion, permet de tenir compte de la réduction de la mobilité liée au champ électrique vertical, en tenant compte aussi de la vitesse de saturation et de la large plage de température $200\text{ °K} < T < 460\text{ °K}$.

Lombardi suppose que la mobilité des porteurs μ_T peut être considérée, en utilisant la

1.5. Notions de transport et Modèles physiques importants dans les transistors MOSFET

règle de Mathiessen [Vanzi, 1988], comme étant la somme de trois termes :

$$\frac{1}{\mu_T(E_{\perp})} = \frac{1}{\mu_{ac}(E_{\perp}, T)} + \frac{1}{\mu_b(N_A, T)} + \frac{1}{\mu_{sr}(E_{\perp})} \quad (1.19)$$

où μ_{ac} est la mobilité des porteurs dûe au phénomène de Diffusion des Phonons “Phonon Scattering”, μ_b est la mobilité dans le volume dépendant de la Diffusion d’impuretés “Impurity Scattering”, et μ_{sr} est la mobilité introduite par la Diffusion de rugosité de surface “Surface Roughness Scattering”.

1.5.5 Le transport balistique ou quasi-balistique

Lorsque la longueur de grille est réduite jusqu’à seulement quelques dizaines de nanomètres, les dispositifs s’approchent de la limite balistique. Le transport balistique décrit le transport dans le canal, pour des transistors ultra-courts, lorsque la distance entre la source et le drain devient plus petite que le libre parcours moyen entre deux collisions, les porteurs ne subissent aucune interaction pendant le transport dans le canal. C’est une limite balistique qui définit la valeur maximale que le courant peut atteindre.

L’équation du courant est donnée par Lundstrom [Lundstrom, 2000] selon l’équation (1.20) :

$$I_{Dsat} = W \cdot Q_{inv} \cdot v_{inj} \quad (1.20)$$

Avec :

v_{inj} : La vitesse d’injection des porteurs au niveau de la source.

Q_{inv} : La charge d’inversion coté source.

Dans ce cas, la vitesse moyenne des porteurs au sommet de la barrière de potentiel près de la source est un paramètre gouvernant le transport dans le canal. [Lundstrom, 2000]

Dans le cas du transport quasi-balistique qui est plus réaliste, les porteurs subissent des collisions dans une petite zone près de la source. Dans ce cas, les mécanismes de diffusion jouent un rôle dans le transport, l’augmentation du libre parcours moyen , ou l’augmentation de la mobilité mènent à une diminution du taux de rétro-diffusion dans la zone près de la source, par conséquent on aura une augmentation du courant de drain.

1.5.6 L'extraction des paramètres de transport dans les MOSFETs nanométriques

La mesure de la mobilité dans les transistors de taille très réduite pose des problèmes. Plusieurs méthodes expérimentales ont dûes êtres adaptées pour tenir compte des évolutions technologiques des transistors MOSFETs.

La technique expérimentale la plus utilisée pour déterminer la mobilité dans les transistors est la méthode Split-CV qui permet de représenter la mobilité effective en fonction de la densité des porteurs dans le canal, ou le champ effectif perpendiculaire au canal [Ekstedt and Moll, 1982]. Cette méthode s'applique pour des dispositifs micro-électronique, alors que pour l'appliquer sur des dispositifs nanométrique, il faut qu'elle soit modifiée [Ghibaudo, 2005].

1.6 Les effets néfastes dûes à la miniaturisation des dispositifs

La croissance de l'industrie des semi-conducteurs est principalement basée sur l'amélioration des performances des composants et la miniaturisation de ces derniers.

Avec la réduction de la longueur de grille, tout les autres paramètres du dispositif doivent être modifiés. Cette modification est basée sur un facteur de réduction qui permet de diminuer les dimensions du transistor tout en conservant le champ électrique constant.

Ces lois de miniaturisation ont été définies par R.H.Dennard en 1974 [A.R.Leblanc, 1974] et résumé dans le tableau qui suit:

Paramètres	Miniaturisation (En champ électrique constant)
L_G / t_{OX}	$1/k$
Dopage du canal	k
Densité du circuit	k^2
capacité par circuit	$1/k$
Tension d'alimentation V_{DD}	$1/k$
Vitesse du circuit	k
Puissance du circuit	$1/k^2$
Puissance X délai	$1/k^2$

Table 1.1 – Evolution des principaux paramètres du transistor MOS en fonction du paramètre de miniaturisation k [A.R.Leblanc, 1974]

1.6.1 Les effets canaux courts

Une miniaturisation des composants correspond principalement à une réduction de la longueur de grille. Les effets canaux courts, SCE (Short Channel Effects) se produisent lorsque la longueur de la grille L_G devient comparable à la somme des zones déplétées autour de la

1.6. Les effets néfastes dûs à la miniaturisation des dispositifs

source et du drain. Lorsque ces deux zones se rejoignent, le potentiel au centre du canal est fortement modifié. Ainsi, la barrière de potentiel formée dans le canal diminue et la tension de seuil diminue à son tour.

Il se trouve que dans les transistors MOSFETs à canal long, les équipotentielles sont parallèles à la grille et le canal est alors confiné à l'interface. Tandis que pour les transistors à canal court, la distribution du potentiel est modifiée et les équipotentielles se déforment en direction du substrat, par conséquent le canal n'est plus contrôlé par la grille exclusivement. Ce phénomène est à l'origine des effets de canaux courts SCEs.

Remarquons alors que lorsqu'on applique une tension négative sur l'électrode de drain, la barrière de potentiel entre le canal et le drain diminue fortement. L'abaissement de cette barrière provoque le passage des porteurs dans le canal quelque soit la tension de grille appliquée. Ainsi, la grille ne contrôle plus le courant de drain, c'est ce qu'on appelle en Anglais : "Drain Induced Barrier Lowering ou DIBL".

La figure 1.12 est une représentation schématique des effets canaux courts et DIBL pour un transistor PMOSFET :

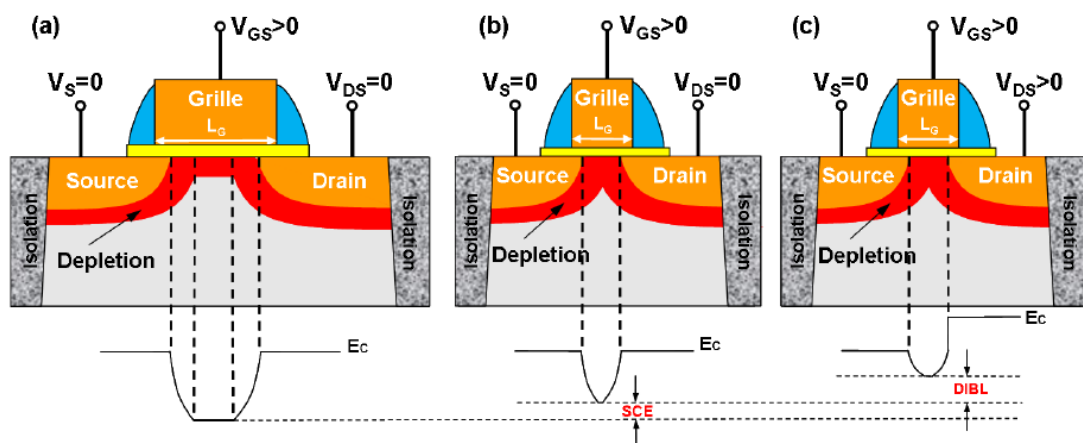


Figure 1.12 – Représentation des effets de canaux courts et DIBL pour un PMOSFET: (a) L_G est très grande devant la taille de la zone déplétée entre la source et le drain, (b) La longueur de grille effective est inférieure à celle de la taille (SCE), (c) Abaissement supplémentaire de la barrière par la tension de drain DIBL [Han, 2011]

Les deux effets SCE et DIBL se regroupent sous l'appellation "Effets canaux courts" reflétant ainsi une perte de contrôle électrostatique de la grille sur le canal de conduction pour des transistors courts. Ceci se traduit par une indépendance de la modulation de grille d'une part, et une dépendance de la tension de seuil dans les deux régimes de fonctionnement d'une autre part. Cette dépendance peut résulter d'une variation de la tension de seuil, et qui dit variation de la tension de seuil dit aussi : performances du dispositif. [Hayat, 2012]

Les conséquences indésirables et néfastes s'étendent à l'augmentation des courants de fuite I_{OFF} pour des longueurs de grille réduites.

Dans ce contexte, K.Roy et al [H.Meimand, 2003] ont rapportés en 2003 une étude dans laquelle ont étudiés les mécanismes influençant le courant de fuite, parmi lesquels on retrouve le DIBL, et ont proposés quelques techniques afin de le réduire [H.Meimand, 2003].

Dans leurs travaux ces chercheurs ont liés la présence du courant de fuite I_{OFF} au DIBL principalement en se référant sur les travaux de C.Mead, et de R.Dennard et leurs co-auteurs [A.R.Leblanc, 1974] [Mead, 1994].

La figure 1.13 représente l'effet de canal court SCE et de DIBL sur la barrière de potentiel:

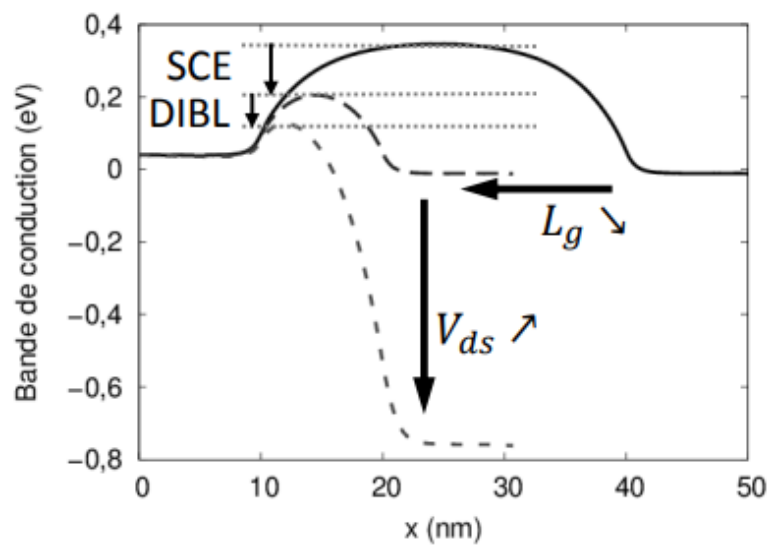


Figure 1.13 – Effet de canal court SCE et de DIBL sur la barrière de potentiel. Simulations Monte Carlo d'un transistor FDSOI à canal d'épaisseur : $t_{si} = 4$ nm et à $V_g = 0.2$ V, $L_g = 30$ nm et $V_{ds} = 50$ mV en ligne continue, $L_g = 10$ nm et $V_{ds} = 50$ mV en tirets longs, $L_g = 10$ nm et $V_{ds} = 0.8$ V en tirets courts. [Guarnay, 2015]

Afin de lutter contre cette perte de contrôle électrostatique, des solutions ont été proposées comme la réduction de l'épaisseur d'oxyde ou l'augmentation de la concentration en dopants dans le canal. Toutefois ces solutions ont atteint leurs limites, et les chercheurs se sont trouvés face à l'obligation de passer soit par un changement de matériaux ou de topologie des composants.

Plusieurs chercheurs ont mené des travaux, menant à des brevets d'invention, qui ont permis la réduction des effets canaux courts dans les MOSFETs, on cite à titre d'exemple les travaux de Yoshiaki Yazawa et de son équipe en 1989 [Nagano, 1989], d'autres travaux permettant le contrôle de ces effets canaux courts furent élaborés par Brian S. Doyle et Brian Roberds en 2002 [Roberds, 2002], néanmoins, le contrôle des effets canaux courts sont de nos jours d'une grande importance menant les chercheurs et les industriels à les minimiser.

1.6. Les effets néfastes dûes à la miniaturisation des dispositifs

En 2004, Brian S. Doyle et Brian Roberds sont revenus avec un autre brevet d'invention mais cette fois ci en proposant l'utilisation des contraintes afin de contrôler cet effet parasite [Roberds, 2004], en 2017, Meysam Zareiee [Zareiee, 2017] a proposé une toute nouvelle structure afin de réduire les effets canaux courts et l'auto-échauffement des composants, en utilisant de l'oxyde enterré dans une zone spéciale, et une fenêtre en HfO_2 , cette méthode a démontré de bonnes résultats en simulations, mais n'as pas fait d'objet d'expérience en pratique pour confirmer son efficacité vis à vis de ces phénomènes parasites.

Il y a eu bien sûr d'autres brevets d'inventions, qui montrent que différentes solutions permettent de réduire ces effets canaux courts, cependant l'utilisation des contraintes reste une solution prometteuse permettant la réduction de ces derniers. Ceci a par ailleurs fait l'objet des travaux de Jae Gon Lee, Elgin Kiok Boone Quek et al [Gao, 2011] en 2011 et de ceux présentés dans le livre : Integrated Nanoelectronics, par Vinod Kumar Khanna en 2016 [Vinod Kumar Khanna, 2016], dans lequel fut consacré tout un chapitre traitant et expliquant ces effets canaux courts. L'importance et le grand intérêt apportés à l'introduction de contraintes n'est pas un simple hasard mais le résultat de plusieurs années d'études et d'investigations. Ainsi, la présentation de ces contraintes fera donc l'objet du chapitre 2. Néanmoins, notons qu'il existe bien entendu d'autres alternatives permettant de minimiser les effets canaux courts et d'améliorer les performances des dispositifs MOSFET.

1.6.2 Notion de vitesse de saturation

La vitesse de dérive est définie par la vitesse avec laquelle les porteurs se déplacent, après l'application d'un champ électrique longitudinale $E_{\parallel}$ entre les électrodes de source et de drain, en régime stationnaire, et elle est donnée par l'équation (1.21) :

$$v = \mu \cdot E_{\parallel} \quad (1.21)$$

À partir d'une certaine valeur du champ $E_{\parallel}$, appelée champ critique longitudinal et évaluée à 10^4 V/Cm dans le cas du silicium, la vitesse de dérive ne devient plus proportionnelle au champ longitudinal et tend à avoir une valeur maximale appelée vitesse de saturation évaluée à 10^7 V/Cm dans les cas du silicium, comme on peut le constater dans la figure 1.14.

Dans le cas des transistors ultrats courts, la vitesse de saturation est atteinte avant même le pincement du canal, ainsi l'équation (1.10) qui devient comme suite :

$$I_{Dsat} = C_{OX} \cdot W \cdot v_{sat} \cdot (V_G - V_T) \quad (1.22)$$

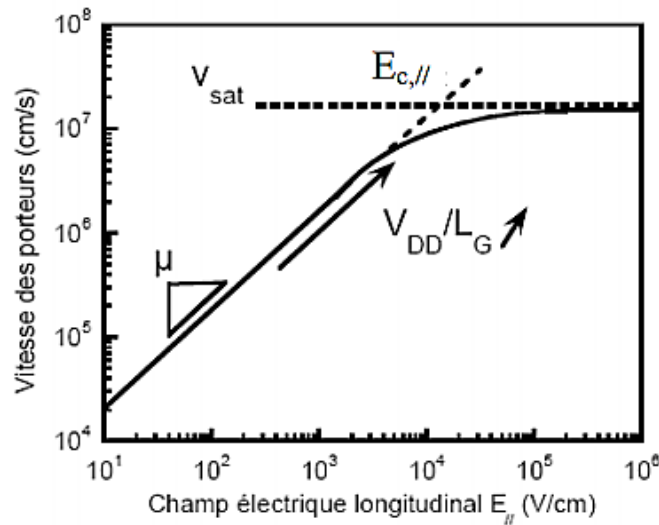


Figure 1.14 – Evolution de la vitesse des électrons en fonction du champ électrique longitudinal [Rochette, 2008]

Dans ce cas la longueur du canal n'intervient pas dans l'expression du courant de saturation, ainsi sa réduction ne permet pas l'amélioration des performances du transistor .

1.6.3 Effet GIDL

Le courant de fuite du drain induit par la grille (Gate-induced drain leakage) , est un courant parasite. Ce courant contribue dans l'augmentation du courant I_{OFF} , il est amplifié pour des valeurs négatives de la tension V_{GS} , la figure 1.15 permet de mettre en évidence l'effet GIDL sur le courant I_{OFF} du transistor .

Notons, par ailleurs, que la température a un effet non négligeable sur le courant GIDL. Cette dépendance a été démontrée dans les travaux de Chih- Hao Dai et al en 2011 [Cheng and Huang, 2011], qui ont étudiés l'effet des porteurs chauds sur le courant de GIDL dans un transistor NMOSFET avec un oxyde de grille à haute permittivité, ils ont démontrés que le comportement du GIDL dépend de l'épaisseur de la couche interfaciale ,ce courant diminue progressivement pour une couche interfaciale mince.

Chi-Woo Lee et al [Razavi, 2010] en 2010, ont démontrés un très bas niveau GIDL, dans un transistor MOSFET junctionless sous haute température et ont expliqués ceci par l'absence d'une étape d'implantation de source et de drain, ce qui réduit la densité de défauts au canal-drain.

D'autre part ,Pranita Kerber et al [Jiewen Fan;Ming Li, 2015] en 2013, ont mis en évidence une dépendance du courant GIDL avec le dopage du canal à une longueur de grille et une épaisseur de diélectrique de grille données, cette étude était menés pour des applications à

faible fuite telle que les cellules de mémoire. Le GIDL est présent dans les structures avancées tel que les nano-fils , c'est pour cela que plusieurs efforts et études sont menés pour réduire le GIDL tels que les travaux de Jiewen Fan et al en 2015 [Jiewen Fan;Ming Li, 2015] et ceux de Sung-Kye Park en 2015 [Park, 2015].

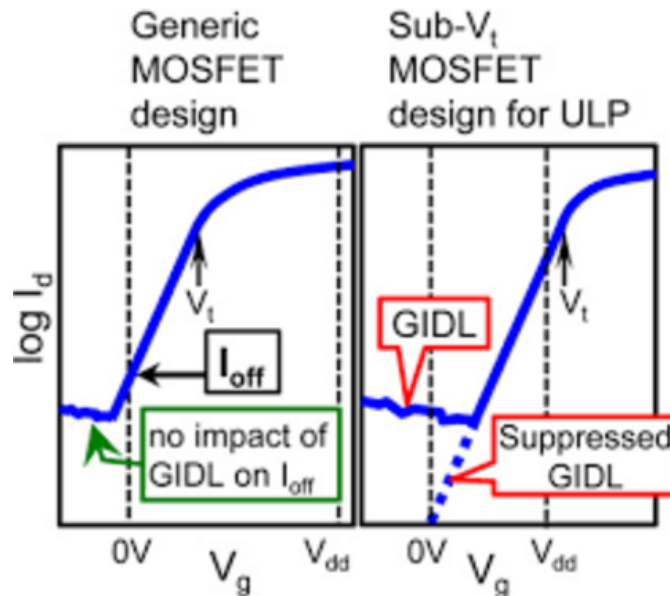


Figure 1.15 – Le courant de fuite du drain induit par la grille [Matsukawa et al., 2016]

1.6.4 Alternatives aux effets canaux courts et solutions permettant l'amélioration du transport dans les MOSFETs

Afin de minimiser les effets canaux courts qui apparaissent avec la miniaturisation , l'introduction de nouvelles architectures ou de nouveaux matériaux s'est avéré nécessaire. Ceci a permis alors l'amélioration des performances des transistors.

1.6.4.1 Introduction des SOI- MOSFET

Le transistor MOSFET SOI, est une nouvelle architecture qui est différente que celle du MOSFET planaire. Il est formé d'une couche de silicium déposée sur un oxyde dit enterré ou Burried oxide (BOX). Le canal du transistor sera compris entre deux oxydes cette fois-ci , celui de la grille d'une part et celui de l'oxyde enterrée d'une autre part, et c'est justement ceci qui lui procure un meilleur contrôle électrostatique.

On distingue deux types de SOI MOSFET: Le SOI MOSFET partiellement déplété (PDSOI), et le SOI complètement déplété (FDSOI). Les capacités de jonctions seront dans ce type de structure remplacés par des capacités d'oxyde qui sont moins influentes, s'ajoute à ceci un meilleur contrôle de la grille.

En figure 1.16 ,nous représentons deux MOSFETs. Ainsi en figure 1.16.a est représenté le MOSFET conventionnel alors qu'en 1.16.b est représenté le SOI-MOSFET.

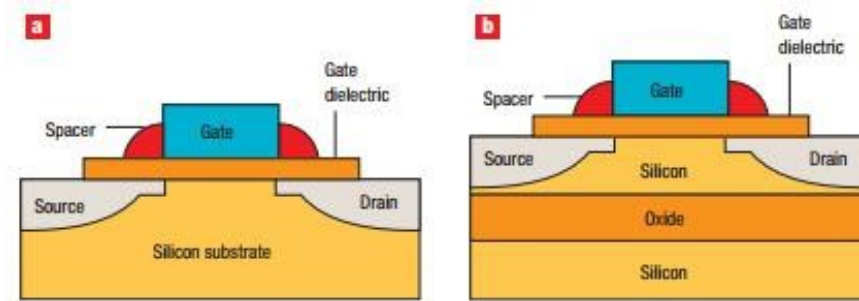


Figure 1.16 – Illustration comparative entre un transistor MOSFET et un transistor MOSFET SOI [Vogel, 2007]

1.6.4.2 L'introduction de matériaux à haute permittivité (High-k) et grille métallique pour les MOSFETs nanométriques

Le dioxyde de silicium SiO_2 a constitué l'un des facteurs majeurs qui ont permis l'intégration des dispositifs dans l'industrie de semi-conducteurs. Ceci est dû à ses propriétés électriques et mécaniques parmi lesquels on cite la faible densité de défauts d'interfaces, une large bande interdite, ainsi qu'une bonne compatibilité avec les procédés de fabrication.

Avec la miniaturisation, l'épaisseur du SiO_2 a été fortement réduite, cette réduction entraîne une augmentation du courant de fuite par effet tunnel. La solution permettant de faire face à ce problème est l'utilisation des diélectriques de haute permittivité dits : high-k, qui ont actuellement remplacé le SiO_2 conventionnel . On définit alors l'épaisseur d'oxyde équivalent (EOT), qui représente l'épaisseur nécessaire pour obtenir le même rôle que joue le SiO_2 , cette épaisseur effective pourra être déterminée par :

$$EOT = t_{high-k} \cdot \frac{\epsilon_{SiO_2}}{\epsilon_{high-k}} \quad (1.23)$$

Où t_{high-k} et ϵ_{high-k} sont respectivement l'épaisseur et la permittivité du diélectrique à haute permittivité. Le tableau suivant contient la permittivité des matériaux les plus étudiés.

Cette intégration n'a pas que des avantages, mais peut causer la dégradation de la mobilité par les phonons optiques, c'est pour cela qu'il fallait accompagner cette intégration par l'intégration des grilles métalliques, et/ou des techniques qui compensent cette perte en terme de mobilité telle que l'utilisation des contraintes qui fait objet de notre travail.

1.6. Les effets néfastes dûs à la miniaturisation des dispositifs

Matériel	Permittivité du diélectrique
SiO_2	3.9
Al_2O_3	10
HfO_2	20
ZrO_2	23
Ta_2O_5	25

Table 1.2 – Quelques matériaux à haute permittivité

1.6.4.3 Introduction des grilles métalliques

L'utilisation d'électrodes de grille en polysilicium cristallin dopé conduit à l'apparition d'une couche de désertion entre la grille et l'oxyde, cela augmentera alors l'EOT. Par ailleurs la déplétion des porteurs des grilles en polysilicium conduit à la dégradation du courant dans le canal en régime d'inversion. L'augmentation de la concentration des dopants de la grille en polysilicium permet de pallier à ce problème. Cependant, l'augmentation de la concentration des dopants n'est pas très recommandée car elle entraîne la dégradation de la qualité de l'oxyde menant des instabilités de la tension de seuil ainsi que la diminution de la mobilité des porteurs. Une des solutions fut de remplacer le polysilicium par un métal avec un travail de sortie déterminé, pour optimiser les performances des dispositifs de technologie CMOS submicroniques.

1.6.4.4 Les transistors MOSFET multi-grilles

La réduction continue de la longueur de grille induit un champ électrique longitudinal, ce qui cause une perte du contrôle de la grille, d'où l'intérêt d'opter pour une grille qui couvre plusieurs cotés du canal.

Il a été démontré qu'en augmentant le nombre de grilles du transistor MOSFET on obtient une très importante réduction des effets canaux courts, traduite par un DIBL négligeable, et une pente sous le seuil proche des 60 mV/dec. [Park and Colinge, 2007] [Colinge, 2011]

La figure 1.18 présente différentes structures MOSFET multi-grilles, on citera alors le DGFET, le FINFET, le TRI-GATE, et le GAA. Le transistor à grille enrobante appelé GAA (Gate All Around) considéré comme étant le plus performant parmi ces structures, ce dernier possède un canal de conduction qui a la particularité d'être complètement entouré par la grille, ce qui lui fournit un contrôle électrostatique maximal. Ce dernier permet de maîtriser le flux des porteurs dans le canal de conduction et de minimiser les effets canaux courts.

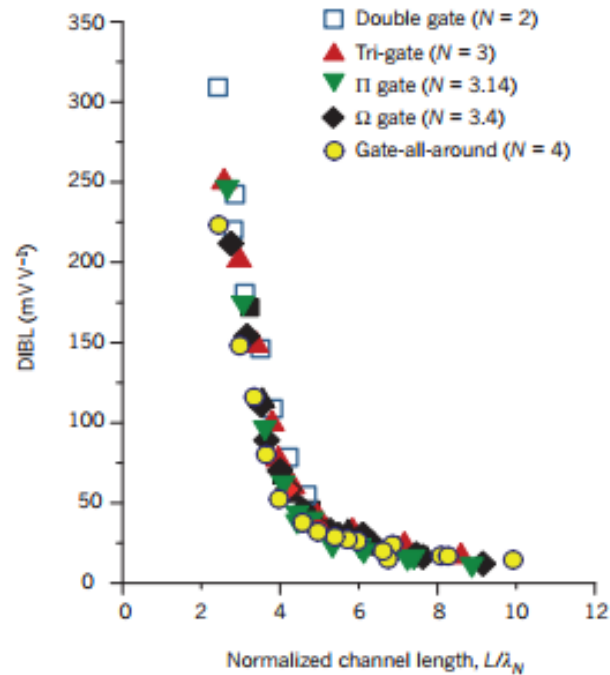


Figure 1.17 – Variation du DIBL en fonction de la longueur du canal dans différents transistors MOSFET multigrilles. [Colinge, 2011]

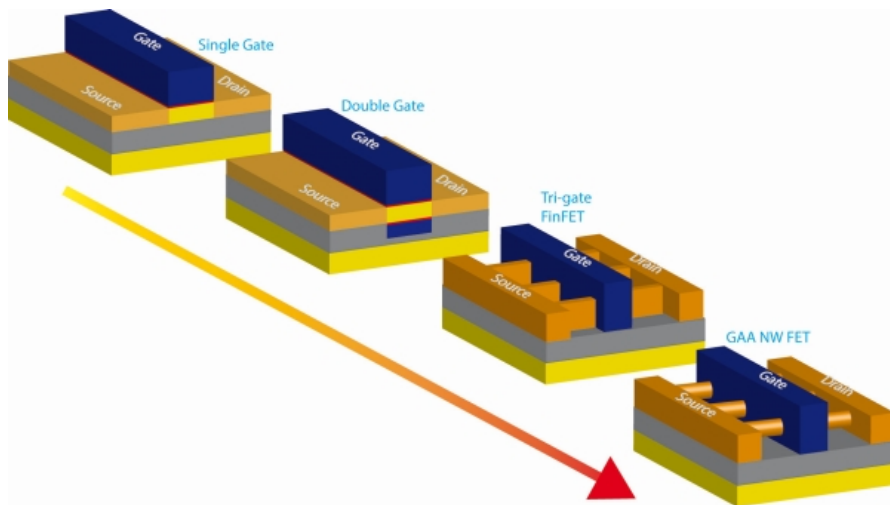


Figure 1.18 – L'évolution du transistor MOSFET [Fangaria, 2015]

1.6.4.5 Utilisation de nouveaux matériaux dans la conception des MOSFETs

Depuis longtemps le silicium a été très répandu et utilisé dans le canal des transistors MOSFET, avec l'évolution de ces derniers et l'apparition de diélectrique à haute permittivité, d'autres matériaux furent utilisés, à cause de leur mobilité intrinsèque qui est supérieure à celle du silicium.

1.6. Les effets néfastes dûes à la miniaturisation des dispositifs

	Si	Ge	GaAs	InAs	InP	InSb
Masse effective des électrons (la plus faible) : m_e/m_o	0.0191	0.08	0.067	0.023	0.073	0.012
Masse effective des trous lourds : m_{hh}/m_o	0.53	0.35	0.62	0.6	0.85	0.45
Masse effective des trous légers : m_{lh}/m_o	0.16	0.043	0.074	0.027	0.089	0.015
Mobilité des électrons $\mu_e(cm^2.V^{-1}.s^{-1})$	1350	3600	9200	30000	4500	77000
Mobilité des trous $\mu_h(cm^2.V^{-1}.s^{-1})$	480	1800	400	500	200	450

Table 1.3 – Comparaison entre les propriétés des matériaux

Le germanium constitue un bon candidat grâce à sa grande mobilité, par contre la difficulté du procédé de fabrication en utilisant le germanium a bousillée cette candidature, en parallèle avec le courant de fuite qui est excessif à cause de la bande interdite qui est petite.

Les matériaux III-V représente de leurs part de bons candidats pour les utiliser dans les futurs MOSFET, comme il a été rapporté par Ming Shi en 2012 [SHI, 2012]. Ce qui est reprochée à cette solution est la dégradation de la pente sous le seuil et le contrôle électrostatique.

HEYNS et TSAI [Heyns and Tsai, 2009] ont rapportés que pour satisfaire les spécifications de l'ITRS pour le nœud technologique 16 nm, l'utilisation des matériaux à haute mobilité tel que le germanium ou les matériaux III-V semble être plus que nécessaire. La formation de bons contacts ohmiques sur les matériaux III-V en utilisant des matériaux compatibles avec le silicium, est toujours un sujet de préoccupation, et qui peut limiter les performances globales du dispositif.

1.6.4.6 L'orientation cristalline

Le changement de l'orientation cristalline du matériau est considéré comme une solution très importante afin d'améliorer le transport dans le canal des transistors MOSFET. On distingue deux différentes orientations, celle du substrat qui est liée à la surface du substrat, et celle du transport suivant laquelle les porteurs se déplacent de la source vers le drain.

D'une première part, en ce qui concerne la mobilité des électrons, la meilleure combinaison est une orientation de substrat suivant la direction cristallographique (100), et une direction de transport $\langle 110 \rangle$, malheureusement cette configuration n'a pas le même effet en ce qui concerne la mobilité des trous. Cette orientation a été étudiée par Rajan et al [Oldiges; and Nowak, 2010] pour les nœuds technologiques 45 nm et 32 nm, et a démontré que l'orientation (100) minimise les courants GIDL (Gate Induced Drain Leakage) par rapport à celle du (110). D'autre part, la combinaison (110)/ $\langle 110 \rangle$ est la meilleure si on veut obtenir une meilleure mobilité des trous. Cette combinaison a démontré son efficacité même dans les architectures avancées tel que les nano-fils, dans ce contexte, Bruin et al [Svizhenko; and Anantram, 2008] ont rapportés une amélioration significative des trous suivant la direction (110).

La figure 1.19 représente une comparaison des mobilités pour les principales combinaisons orientation/direction [P and A, 2003].

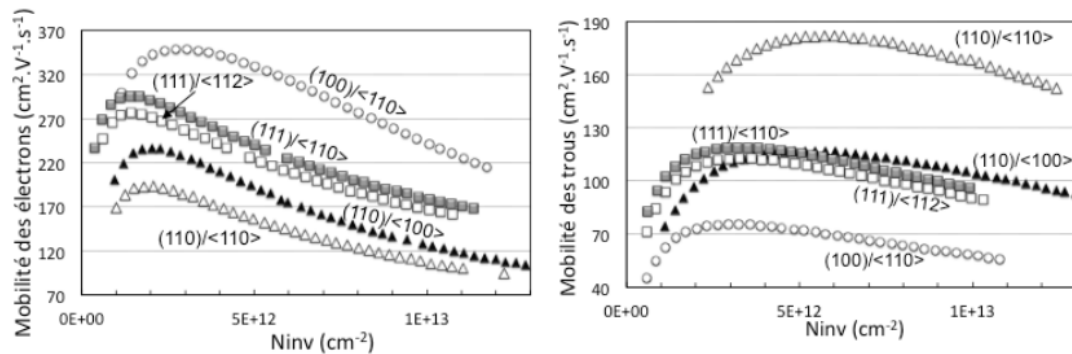


Figure 1.19 – Comparaison de la mobilité des électrons et des trous suivant différentes combinaison d'orientation de substrat et de canal [P and A, 2003]

Dans un brevet d'invention de Kevin K. Chan et al [M, 2006a] en 2006, une orientation cristallographique hybride a été proposée de telle façon d'obtenir des améliorations de mobilité en dépit du type de transistors n-FET ou p-FET. D'autres chercheurs ont continués leurs investigations en utilisant l'orientation hybride mais cette fois-ci en choisissant des architectures multi-grilles en 2007, on cite alors les travaux de Bruce B. Doris et al [Yang, 2007b] et celui du même auteur et son équipe [Yang, 2007a] sur les transistors FinFET. Par ailleurs, Igor Peidous et al [Wei10] ont démontrés dans leur travaux présentés en 2010, qu'une orientation du canal $\langle 100 \rangle$ sur une surface orientée en (100) permet d'augmenter la mobilité des électrons d'un facteur de 4.

1.6.4.7 Génération d'une contrainte dans le canal du MOSFET

L'introduction de contraintes va permettre l'amélioration du transport électronique au niveau du canal du transistor. Divers développements ont été réalisés par une introduction de contraintes dans les dispositifs MOSFETs. Afin de contraindre le film de silicium actif on doit faire une croissance épitaxiale de ce dernier sur un substrat de silicium-germanium ($Si_{1-x}Ge_x$) relaxé. Ce substrat relaxé aura un paramètre de maille légèrement différent au premier. Ceci aura donc pour conséquence la modification de la taille de la maille cristalline et permettra de ce fait la création d'une contrainte biaxiale en tension dans le film de silicium actif. Notre travail de thèse ayant consisté à simuler les caractéristiques de structures MOSFET à contrainte biaxiale, l'étude de ces contraintes fera l'objet du chapitre suivant.

1.7 Applications et avantages des transistors MOSFET

Le principe de fonctionnement des transistors à effet de champs à grille isolée leur a permis de s'imposer pour de multiples applications. Ce composant est ainsi utilisé comme point-mémoire pour le stockage de l'information sous forme binaire, sa principale utilisation in-

tervient dans l'électronique numérique où on peut retrouver des blocs de différentes fonctions logiques tels que les portes AND, OR, NAND... Notons aussi que le MOSFET à enrichissement de canal a révolutionné l'industrie des ordinateurs [Albert Malvino, 2008], grâce à sa tension de seuil qui est idéale et qui permet de l'utiliser en tant que composant de commutation.

- Les MOSFETs de puissance à enrichissement de canal sont largement utilisés dans les systèmes de commandes des moteurs, les imprimantes, les alimentations de puissance ... etc. Tout au contraire à son homologue le transistor bipolaire, l'emballement thermique qui risque de détruire le transistor est absent, et supporte la mise en parallèle. [Albert Malvino, 2008]
- Les applications à haute performance HP qui demandent une consommation électrique, non-négligeable en fonctionnement et même en état de veille
- Les applications à basse consommation pour les applications mobiles ayant en fait besoin d'une vitesse de calcul assez importante ainsi que les dispositifs à très faible puissance de veille; et qui sont des dispositifs nécessitant un faible courant de repos obtenu lorsque le transistor est bloqué permettant l'obtention d'une meilleure autonomie, on cite alors l'exemple des téléphones portables, etc...
- S'ajoute à ses points, la grande densité d'intégration qui est un point très important pour la continuité de la mise à l'échelle, et en terme de la réduction des coûts de production. En plus d'une impédance de sortie et un bruit intrinsèque qui sont très faibles.

1.8 Conclusion

Dans ce chapitre nous avons présenté le MOSFET et son principe de fonctionnement, les effets canaux courts limitant le bon fonctionnement de ce dispositif ont été aussi abordés. Pour finir nous avons énuméré certaines solutions permettant de limiter ces effets canaux courts tel que la conception de nouvelles structures permettant un meilleur contrôle du canal "grilles multiples". Un autre moyen de minimiser ces effets consiste à utiliser "des transistors à canal contraint", cette solution très prometteuse a fait l'objet de notre étude. Nous présenterons au niveau du chapitre qui suit les contraintes et leurs introductions dans les MOSFETs.

2 Présentation des contraintes et mise en évidence de leur génération dans les MOSFETs

2.1 Introduction

L'étude des contraintes a débuté depuis longtemps déjà et tout particulièrement dans les composants conçus à base de matériaux III-V. Cependant, depuis quelques années, la maîtrise de ces contraintes leur a permis de connaître un regain d'intérêt en microélectronique sur le silicium. Alors que ces contraintes étaient considérées au départ comme étant mal-faisantes, on a alors tout d'abord cherché à les limiter, elles sont devenues une donnée qu'il faut comprendre et maîtriser. De nos jours on les introduit volontairement pour améliorer les performances des dispositifs. C'est en fait autour des années 2000 que les industriels de la microélectronique ont commencé à étudier et à utiliser les contraintes [Brillouet, 2005].

C'est ainsi que ce second chapitre est consacré à l'étude des contraintes en tension biaxiale introduites au niveau du canal du MOSFET où la zone active est remplacée par une fine couche de silicium déposée par épitaxie sur un pseudo-substrat de SiGe, ce qui donnera comme effet l'augmentation des performances du MOSFET. Ainsi nous discuterons alors les divers aspects théoriques du silicium contraint, les différentes notions indispensables à la bonne compréhension des contraintes et de leur utilisation, ce qui nous permettra alors de mieux interpréter les résultats que nous avons obtenus et que nous présenterons par la suite.

2.2 Effets préjudiciables des contraintes observés en microélectronique

2.2.0.1 Contraintes et défaillances induites lors de la fabrication

Les contraintes induites par le procédé de fabrication sont assez complexes et surtout non homogènes. Par ailleurs la contrainte générée dépend fortement de la géométrie du dispositif, de son environnement (dessin de masque) et aussi des procédés technologiques utilisés. En effet, la fabrication des composants électroniques, passe par diverses opérations technologiques qui consistent en général à des nettoyages de surface, à des oxydations, à des

dépôts, à des recuits, à des photolithographies, etc... Toutes ces étapes technologiques sont présentées au niveau de la figure 2.1 :

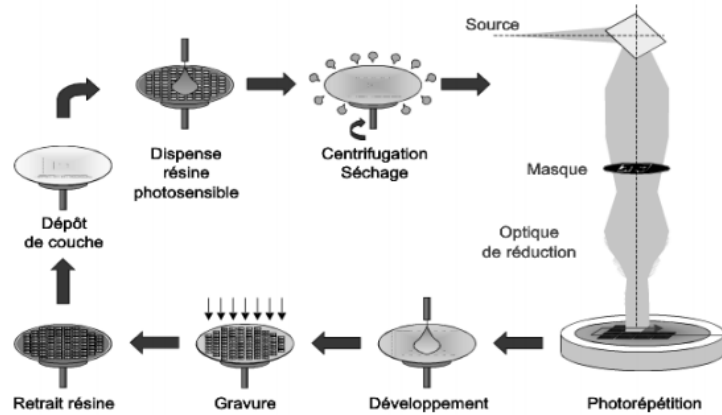


Figure 2.1 – Présentation des différentes étapes technologiques menant à la réalisation des circuits intégrés [M, 2006b, BENSEGUENI, 2016]

Toutes les étapes de fabrication et plus particulièrement les recuits sont susceptibles de générer des contraintes à l'intérieur de la puce. Ces contraintes dites résiduelles sont des contraintes mécaniques qui restent au sein des matériaux à température ambiante. Elles sont définies comme étant la somme des contraintes intrinsèques et des contraintes thermomécaniques.

2.2.0.1.1 Les contraintes intrinsèques

Ces contraintes sont généralement générées lors des dépôts des couches minces sur un substrat. À titre d'exemple, on cite la méthode de la vaporisation ou la pulvérisation d'ions ou d'atomes connue par la méthode PVD, ces derniers vont alors occuper des sites qui seraient plus petits que ces particules, sous l'effet du champ électrique créée entre la couche et le substrat [Knotek et al., 1991], ce qui aura pour conséquence la génération des contraintes intrinsèques qui s'augmentent en fonction de la différence de potentiel. Ces contraintes sont alors liées à l'interaction élastique atomique entre la couche et le substrat. Après le dépôt, les réorganisations atomiques vont alors entraîner un changement du volume de la couche menant à l'apparition des contraintes [EWUAME, 2016].

Par ailleurs, les couches déposées peuvent être en épitaxie avec le substrat, dans ce cas les rangées d'atomes du substrat se prolongeront exactement en rangées atomiques de la couche comme dans le cas des dépôts de silicium-germanium sur un substrat de silicium monocristallin. Notons, par exemple que le paramètre cristallin dans les composés binaires $\alpha_{SiGe} = 0.5476 \text{ nm}$ est légèrement plus grand que le paramètre du silicium $\alpha_{Si} = 0.5431 \text{ nm}$ [EWUAME, 2016].

Chapitre 2. Présentation des contraintes et mise en évidence de leur génération dans les MOSFETs

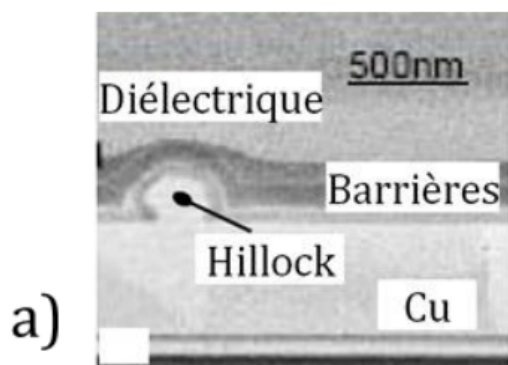
Pour que les rangées atomiques puissent se prolonger du substrat au film, il faudrait donc que les plans atomiques du film se rapprochent légèrement. Les contraintes naissent de l'écart entre la valeur du paramètre cristallin en place et la valeur d'équilibre sans contrainte [EWUAME, 2016] .

2.2.0.1.2 Contraintes mécaniques et thermomécaniques

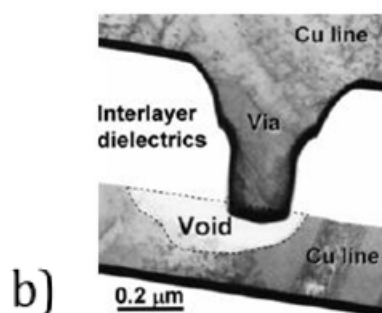
Ces contraintes apparaissent généralement durant les étapes d'interconnexions et d'assemblages. lors des recuits, on voit l'apparition des contraintes du fait des différences des coefficients de dilatation thermique des matériaux.

2.2.0.2 Contraintes dans les interconnexions métalliques

La distribution inhomogène des contraintes thermomécaniques au niveau des interconnexions peut mener à différents phénomènes néfastes. En effet, les interconnexions d'un circuit intégré sont constituées de différentes couches conductrices superposées et isolées entre elles par des couches de diélectriques. L'impact le plus prononcé du procédé de fabrication sur les interconnexions est principalement la courbure de la plaquette du silicium qui est principalement due à la différence de CTE du substrat en silicium et des interconnexions. Si les contraintes deviennent importantes, des délaminations des couches peuvent être engendrées. Par ailleurs , on note aussi certains défauts dans le cuivre et qui sont : les monticules dits "hillocks" en anglais représentés en Figure 2.2.a, les cavités ou "voids" représentés en Figure 2.2.b ainsi que l'électro-migration.



(a) un monticule Vue au microscope montrant [Timma, 2009].



(b) la formation d'une cavité [Ikarashi et al., 2003]

Figure 2.2 – Certains défauts dans le cuivre et qui sont : les monticules et les cavités

2.3 L'ingénierie des contraintes

L'ingénierie des contraintes concerne la stratégie utilisée dans la fabrication des semi-conducteurs ayant pour but l'amélioration des performances des dispositifs en modulant la

déformation dans le canal du transistor, qui aura pour effet l'augmentation de la mobilité des porteurs de charge ainsi que la conductivité à travers le canal de conduction .

Les propriétés électriques du cristal sont modifiées par son état mécanique. Ce changement est dû au comportement piézorésistif du silicium. C'est ce qu'on appelle l'ingénierie de contrainte. La figure 2.3 résume les différentes méthodes technologiques utilisées actuellement pour contraindre le canal de conduction des MOSFETs.

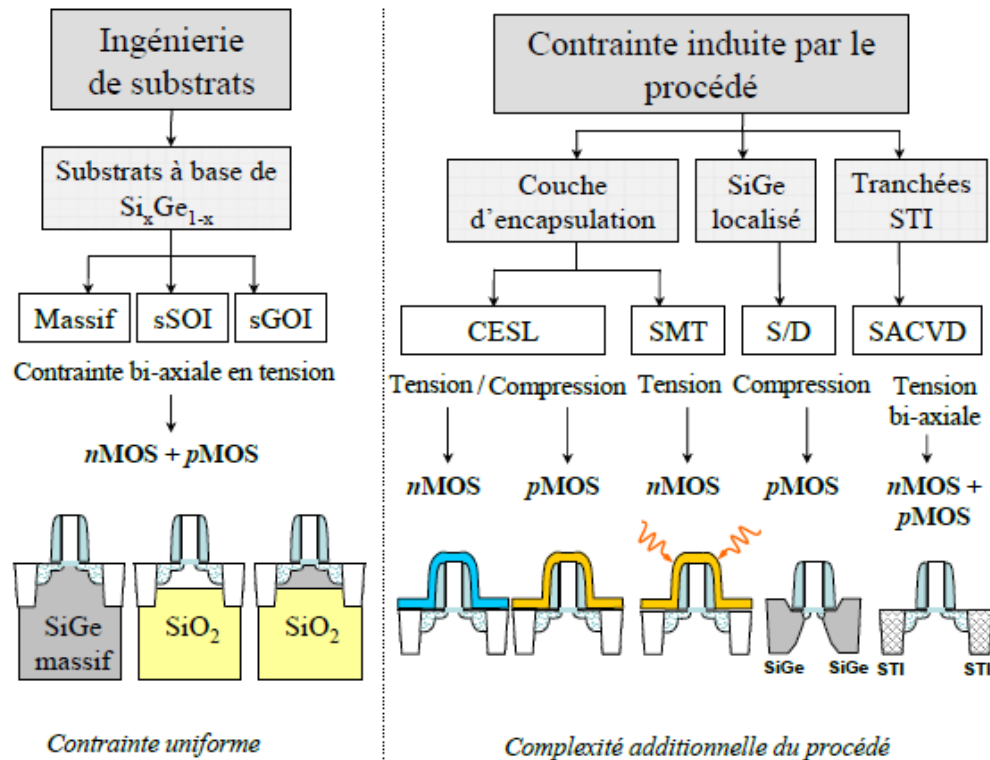


Figure 2.3 – Différentes méthodes technologiques permettant de contraindre le canal de conduction des MOSFETs [BENSEGUENI, 2016]

2.4 Introduction à la physique du silicium contraint

2.4.1 Le silicium contraint

le silicium et le germanium sont deux éléments de la 4^{ème} colonne du tableau de Mendeleïev, ils possèdent quatre électrons de valence et peuvent donc former jusqu'à quatre liaisons covalentes. Dans la figure 2.4, on rappelle les trois premières lignes des colonnes III, IV et V. On peut former à partir des atomes de silicium et de germanium un alliage $Si_{1-x}Ge_x$.

5 B Boron 2.34	6 C Carbon 2.62	7 N Nitrogen 1.251
13 Al Aluminum 2.70	14 Si Silicon 2.33	15 P Phosphorus 1.82
31 Ga Gallium 5.91	32 Ge Germanium 5.32	33 As Arsenic 5.72

©2001, HowStuffWorks

Figure 2.4 – les trois premières lignes des colonnes III, IV et V du tableau de Mendeleïev.

Le Silicium (Si) est un matériau possédant une structure cristalline de type « diamant » présentée dans la figure 2.5. La maille diamant peut être décrite par un réseau cubique à faces centrées, possédant également un paramètre de maille a_{Si} égal à 5.43 Å. Les atomes de silicium et de germanium dans l'alliage $Si_{1-x}Ge_x$ vont également adopter la structure diamant, et ceci est considéré comme un critère important lors de la procédure d'épitaxie.

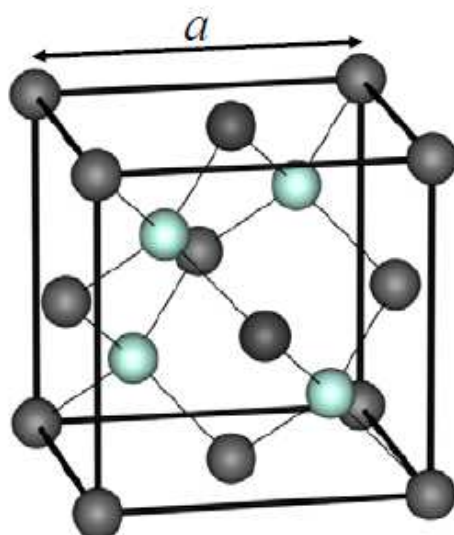


Figure 2.5 – La structure cristalline diamant du silicium. [BOGUMILOWICZ, 2005]

On définit par le terme *contraint*, une force appliquée sur un volume donnée d'un matériau semi-conducteur et pouvant déformer la maille cristalline de ce matériau.

Sous l'effet d'une contrainte appliquée par l'intermédiaire de différentes techniques possibles, le réseau cristallin du Silicium se déforme. Lorsqu'on applique une contrainte en tension, la distance inter-atomique augmente dans la direction de la force appliquée (paramètre de maille horizontal $\alpha_{\parallel}$), par contre la distance inter-atomique (paramètre de maille vertical $\alpha_{\perp}$) diminue dans la direction perpendiculaire, pour garder le même volume de la maille élémentaire, ce phénomène est bien mis en évidence dans la figure 2.6. Un comportement

inverse sera obtenu lorsqu'on applique une contrainte en compression.

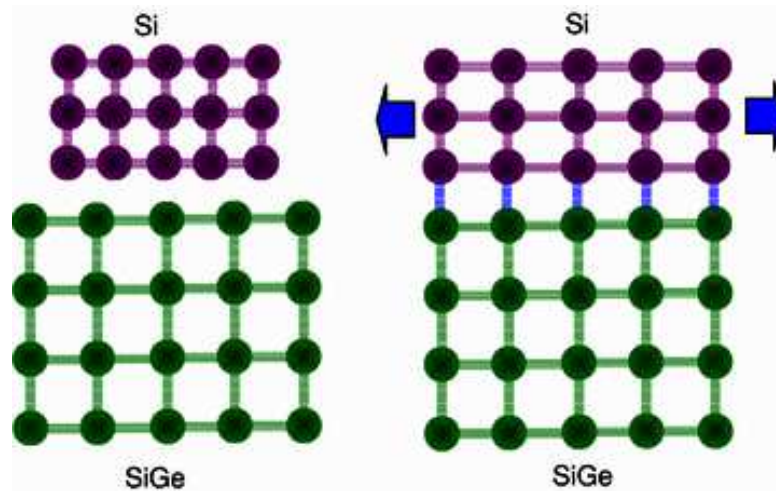


Figure 2.6 – Silicium déformé par l'application d'une contrainte en tension.

2.4.2 Les bénéfices de l'utilisation du Silicium contraint et son progrès

Le silicium est l'élément le plus abondant sur la terre après l'oxygène. Cette abondance fait que le silicium soit très utilisé dans l'industrie de la micro-électronique pour ses propriétés semi-conductrices lorsqu'il est à l'état pur et mono-cristallin, et à cause des coûts de production qui sont moins coûteuses. Actuellement, c'est le silicium contraint qui émerge plutôt comme un matériau prometteur à des performances et des propriétés meilleures [Chen, 2003, Currie, 2004], ce qui attire plusieurs chercheurs et industriels à l'adopter et l'utiliser dans leurs structures.

Le but le plus important et le plus évident derrière l'intégration de ce nouveau matériau au niveau du canal des transistors est l'amélioration de la mobilité des porteurs. Il est à noter que l'amélioration de cette mobilité dépend aussi de la direction cristallographique du substrat et du canal [Liu, 2004, leong; L. Shi, 2003] ainsi que la direction de transport vis-à-vis de celle de la contrainte appliquée [Ko, 2003].

L'utilisation du silicium contraint améliore la mobilité grâce à la réduction de la masse effective de conduction et/ou de la fréquence de collision [Thompson, 2005]. Dans le même contexte, plusieurs études ont montrés une diminution de la fréquence de collision des porteurs qui est liée à l'amélioration de la rugosité de surface sur le silicium contraint [Andrieu, 2007].

L'introduction d'une contrainte entraîne une modification de la structure de bande, cette dernière affecte la mobilité aussi, et elle affecte également d'autres paramètres d'une telle importance comme la tension de seuil [Fossum, 2005, Nawal, 2007], le courant de fuite des source et drain [Lee, 2008] ainsi que le courant de grille [Nishida; and Thompson, 2006].

Chapitre 2. Présentation des contraintes et mise en évidence de leur génération dans les MOSFETs

Le silicium contraint a fait objet de plusieurs travaux de recherches, parmi les premiers et les plus importants papiers dans lesquelles on retrouve la physique et les applications du silicium contraint est celui de ROOSVELT.P en 1986 [People, 1986], on cite aussi un autre travail qui a montré qu'il y a une amélioration de la mobilité de plus que 110% pour les NMOS et 50% pour les PMOS en 1992 [Welser;Hoyt;Gibbons, 1992]. En 1993,NAYAK et al ont trouvé aussi qu'il y a une amélioration de la mobilité dans les PMOS contraint de 50% par rapport aux transistors PMOS conventionnel, VOGELSANG et HOFMANN [Vogelsang and Hofmann, 1993] ont montrés qu'il y a une amélioration avec un pourcentage de 74% de la mobilité à 300 °K et 36% à 77 °K. En 1994 WESLER et al, sont revenus avec un autre papier dans lequel ils ont démontré qu'il y a une amélioration pour les NMOS de 80% à 300 °K et de 12% à 10 °K [Gibbons, 1994].

En 1996, NAYAK et al, dans un papier sur la haute mobilité dans les transistors PMOS ont trouvé que la mobilité s'améliore de 40 % et de 20 % à 300 °K et à 77 °K respectivement en utilisant le silicium contraint par rapport au conventionnel [Yutani, 1996]. En 1997, ARMSTRONG et al, ont comparé et vérifié pratiquement des résultats de simulation en température ambiante et en basse température qui montrent qu'il y a une amélioration de la transconductance de plus que 60 % [Maiti, 1998]. Tandis que RIM K et al, en 1998, ont rapporté une amélioration de 45 % de la transconductance dans un transistor NMOS et une amélioration de la mobilité des électrons de 75 % [Gibbons, 1998]. Tous ces premiers travaux ont mis en évidence la grande importance et les bénéfices d'utilisation du silicium contraint et ont encouragé les chercheurs et les industriels pour mener des travaux de recherches intéressants sur cet axe qu'on abordera au fil de ce chapitre.Le prochain tableau représente les principaux progrès dans l'étude et l'utilisation du silicium contraint.

Ces travaux et cet intérêt à l'ingénierie des contraintes n'a pas baissé et continue à conserver sa place et on le remarque bien à travers plusieurs travaux de recherche sur les défis de l'utilisation de la technologie du silicium contraint [Rana, 2015] ainsi que l'investigation et le test de la compatibilité et la possibilité de sa combinaison avec d'autres "boosters" technologiques avancés pour tirer profit du maximum de gain possible, comme le cas des FinFET [Saraswat, 2014], le GAA (Gate All Around) [Rouzbeh and Ali, 2016], et les Nanofils [Mantl, 2015].

Cette combinaison entre les structures multi-grilles, les canaux contraints, les oxydes de grille à haute permittivité, les grilles métalliques, la double épitaxie des source-drain , ont démontrés d'excellentes caractéristiques lors de l'utilisation des canaux courts, et des courants de conduction élevées. [Zhang, 2007]

2.4. Introduction à la physique du silicium contraint

Les Progrès de l'utilisation du silicium contraint	L'année
La formulation de la première théorie des potentiels de déformation pour caractériser le décalage de bandes d'énergie due à l'application d'une contrainte.	1951 [Pearson, 1951]
Le modèle de transport pour le silicium contraint a été développé en utilisant la théorie du potentiel de déformation.	1954 [Smith, 1954]
Pour la première fois, un transistor MOSFET contraint devient fonctionnel.	1960 [Bera, 2007]
Une fabrication réussie d'une couche de SiGe contraint.	1975 [Bera, 2007]
Les mesures de l'énergie de la bande interdite ont été effectuées dans une couche de SiGe contraint.	1985 [Bean, 1985]
La première fabrication des transistors NMOS et PMOS en utilisant la technique CVD.	1992 [Selmi, 2011]
L'intégration d'une couche contrainte dans les transistors SOI.	1997 [Bera, 2007]
Premier transistor MOSFET contraint submicronique.	1998 [Bera, 2007]
L'évolution des techniques d'introduction locale de contrainte.	2000 [Bera, 2007]
Une démonstration d'un gain de 200 % de la mobilité obtenu en utilisant plusieurs sources de stress.	2006 [Huang, 2006]
La première incorporation des contraintes avec la technologie "high-K/Metal-gate" dans le nœud technologique 45 nm.	2008 [Harper, 2008]
L'explication de la physique du silicium contraint et l'importance de son utilisation dans les futures nœuds technologiques tel que le 22 nm et de nouveaux matériaux de canal.	2009 [Aghoram; and Thompson, 2009]
La première fabrication d'un ETSOI CMOS avec une longueur de grille de 22 nm.	2012 [Aquilino, 2012]
Un principe de conception des transistors FinFET contraint a été fourni afin d'optimiser leurs performances.	2012 [Liu, 2012]
Une Analyse expérimentale des transistors de structures omega (ωG) et trigate (TG) contraintes a été rapportée.	2013 [Ghibaud, 2013]
L'incorporation d'une couche de GeSn comme un matériau de canal dans un transistor PMOSFET.	2013 [Tanaka and Locquet, 2013]

Table 2.1 – Les principaux développements dans la technologie du silicium contraint

2.4.3 L'approche Locale et globale des contraintes

Deux principales approches sont exploitées et utilisées en micro-électronique pour induire des contraintes dans les transistors MOSFET, et qui permettent d'améliorer la mobilité des porteurs (électrons et trous) dans les canaux de ces transistors. La première est globale et la deuxième est locale. Ces différentes approches sont décrites comme suite:

Chapitre 2. Présentation des contraintes et mise en évidence de leur génération dans les MOSFETs

- Dans l'approche locale, la contrainte est induite dans les dispositifs par différentes techniques lors de l'étape de fabrication des composants. Cette contrainte est généralement de type uniaxiale, par ceci on veut dire que la déformation du réseau cristallin sera suivant une seule direction, et elle est appliquée au niveau du canal de conduction.
- Dans l'approche globale, la contrainte est induite lors de la croissance par épitaxie d'un film avant la fabrication des composants, c'est-à-dire que la contrainte est induite dans l'ensemble de la couche active. On peut alors dire que la contrainte est biaxiale.

Il est à noter que la contrainte uniaxiale est plus utilisée que la contrainte biaxiale à cause des coûts technologiques qui sont plus bas, ainsi qu'une meilleure augmentation de la mobilité des trous [Ghani, 2004].

2.4.3.1 Les contraintes uniaxiales

Nous rappelons que contrainte est induite dans le canal des transistors MOSFET, Pendant la fabrication des dispositifs. Pour les transistors NMOS, c'est la contrainte uniaxiale en tension selon la direction du canal, qui est favorable et bénéfique, tandis que pour les PMOS, le transport est favorisé par une contrainte uniaxiale en compression dans la direction du canal.

Afin d'induire la contrainte localement, plusieurs procédés sont utilisés pendant la fabrication des circuits intégrés, parmi lesquels on cite :

- La technique STI (Shallow Trench Isolation).
- Les procédés à base de siliciures.
- Les procédés à base de nitrure de silicium (Si_3N_4).
- Les procédés à base d'alliages en SiGe ou bien en SiC introduits dans les régions de source et drain.

La première production de transistors MOSFET contraints était réalisée par Intel pour le nœud technologique 90 nm et présentée lors de L'IEDM 2003 [Charvat, 2003, Chau, 2004] . On cite à titre d'exemple les microprocesseurs Intel pentium 4 « Prescott » qui furent fabriqués en utilisant cette technique, ce choix peut s'expliquer par sa plus grande compatibilité de son intégration par rapport à la production des circuits en technologie CMOS, ainsi que leurs gains qui est supérieur à ceux obtenus avec les canaux épitaxiés.

Le tableau 3.2 représente les gains et les améliorations des performances obtenus en utilisant des technologies à canal contraint obtenus par Intel tout en réduisant les dimensions des dispositifs, dans les deux types de transistor MOSFET (NMOS et PMOS).

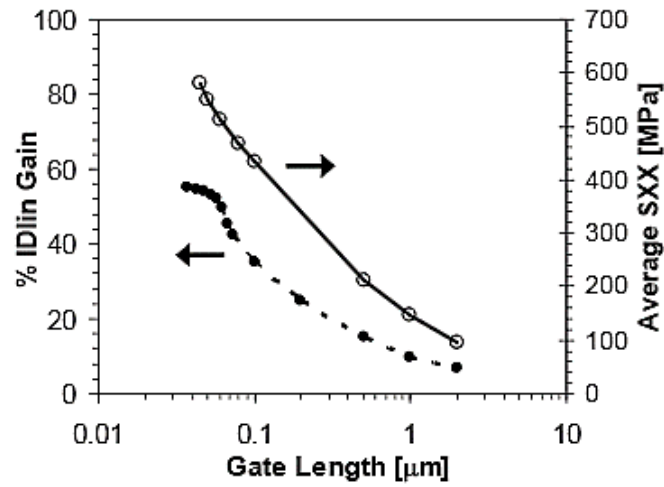


Figure 2.7 – Gain en courant pour une architecture à canal contraint par Source/Drain en SiGe épitaxiés. [Ghani, 2004]

nœud	90 nm		65 nm	
Technologie	NMOS	PMOS	NMOS	PMOS
Mobilité	20 %	55 %	35 %	90 %
ID_{Sat}	10 %	30%	18 %	50%
ID_{Lin}	10 %	55%	18 %	80 %

Table 2.2 – Gains et améliorations dans les MOSFETs à canal contraint [S.E.Thompson, 2006]

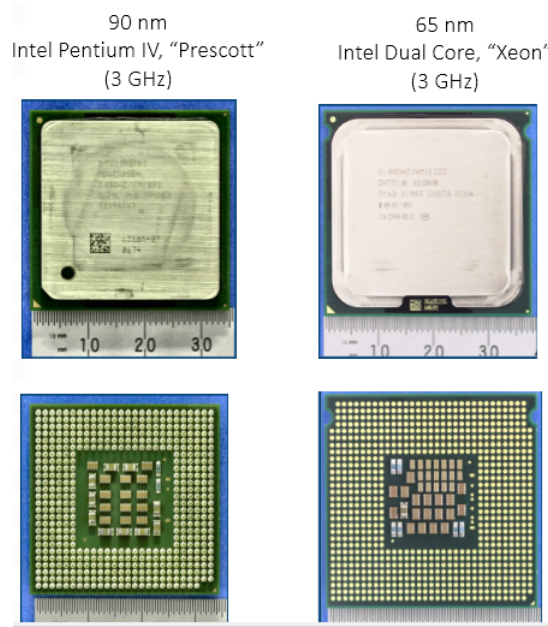


Figure 2.8 – Image représentative des deux processeurs Prescott et Xéon d’Intel.[Corporation, 2014]

2.4.3.1.1 Les tranchées peu profondes d'isolation STI (Shallow Trench Isolation)

Cette approche est essentiellement utilisée pour permettre l'augmentation de la mobilité des porteurs dans les dispositifs PMOSFET [Manley, 1999, Karlsson, 2001], le procédé de remplissage d'oxyde HDP (High-Density Plasma) est le plus utilisé pour réaliser les STI des technologies « Bulk » parce qu'il est facile à polir et se grave rapidement. Le principe consiste à la création de cavités dans le substrat. Ces cavités sont remplies par un diélectrique qui va jouer le rôle d'une barrière isolante, Et c'est ainsi que la distance entre les bords des tranchées sera diminuée, générant par conséquent dans la région du transistor un canal en compression. Les étapes de fabrication des tranchées d'isolation peu profondes (STI) sont illustrées dans la figure 2.9.

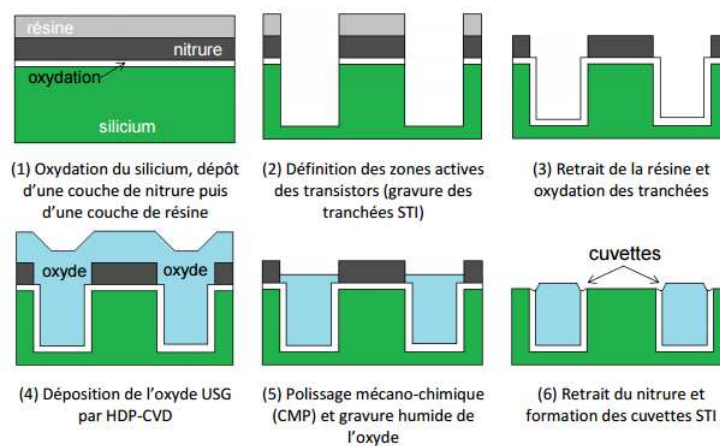


Figure 2.9 – Les étapes de fabrication des tranchées d'isolation peu profondes (STI). [INNOCENTI, 2015]

Une conception de transistors utilisant le principe des tranchées d'isolation est présenté dans la figure 2.10 :

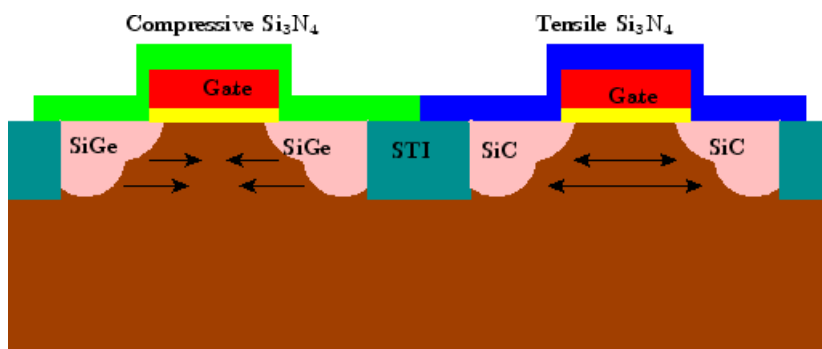


Figure 2.10 – Schéma d'illustration de la technique STI. [Dhar, 2007]

Le Procédé de remplissage d'oxyde HDP permet d'introduire des contraintes en compression pouvant atteindre les 200 MPa dans le cas des transistors PMOSFET, par contre pour les NMOSFET cela a tendance à dégrader les performances de ce type de dispositif

surtout lorsqu'on réduit ses dimensions, et c'est pour cela qu'il est préférable d'utiliser la technique SACVD « Sub-atmospheric chemical vapor deposition », qui permet d'introduire des contraintes en tension qui peuvent y aller jusqu'à 1 GPa à proximité des STI [Xia, 2005].

2.4.3.1.2 Les CESL contraintes (« liners » nitrurés)

Le transport dans les PMOS ou les NMOS peut être amélioré grâce à des contraintes en compression ou en tension respectivement, qui sont induites grâce aux couches en nitrure de silicium SiN qui recouvre la grille comme il est illustré dans la figure 2.11.

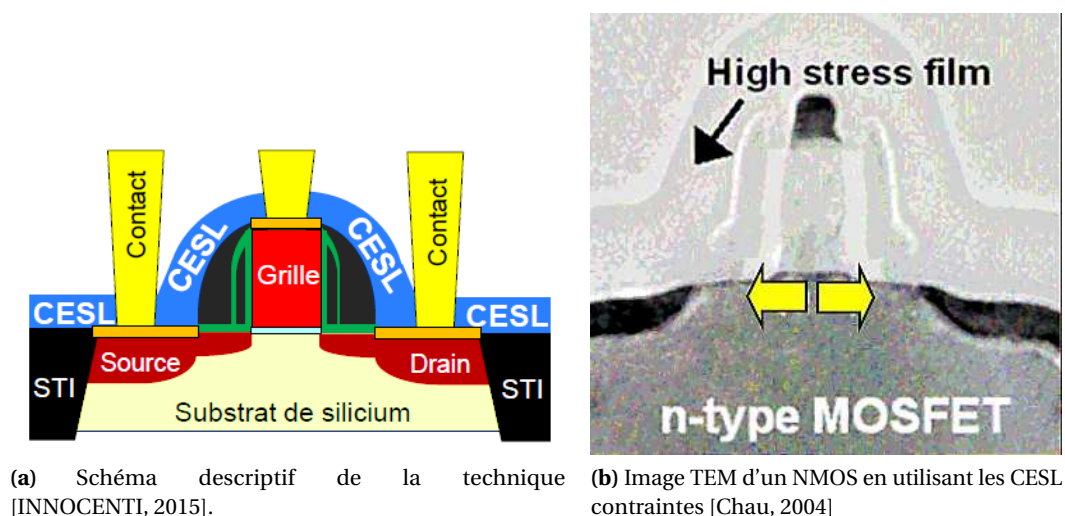


Figure 2.11 – Schéma et image TEM des CESL contraintes

Cette couche en SiN est obtenue après l'étape de siliciuration des sources et drain, c'est pour cela qu'il faut utiliser un procédé fonctionnant avec un bilan thermique faible.

Ce procédé est utilisé dès le nœud 130 nm, et permet d'obtenir des gains en performances de l'ordre de 15 % pour les NMOS [Divakaruni, 2004, Stolk, 2004] [SKOTNICKI, 2006] et de l'ordre de 25 % pour les PMOS [Tanabe, 2004, Divakaruni, 2004]. Il a été rapporté par Payet et al [SKOTNICKI, 2006] que, plus l'épaisseur de la couche de SiN déposée sera grande, plus la contrainte induite dans le canal sera forte.

D'autre part, il a été observé aussi que la contrainte dépend de la topologie du dispositif, à savoir, l'élévation de la hauteur de grille en polysilicium, la diminution de la largeur des espaceurs ainsi que la longueur de grille du transistor [Xia, 2005].

La différence entre l'utilisation des couches en SiN et en Si_3N_4 afin de générer une contrainte en tension ou en compression, réside dans le fait que les films de Si_3N_4 sont obtenus par dépôt chimique en phase vapeur à une température de 700 ° C.

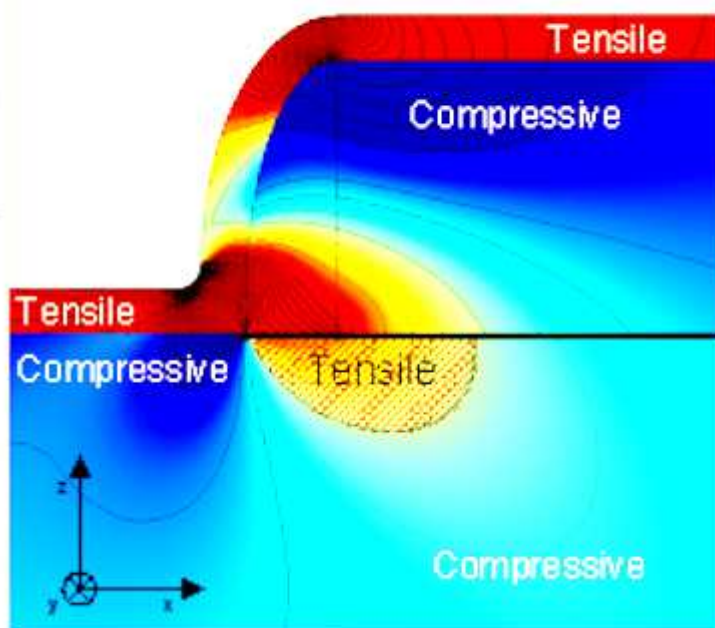


Figure 2.12 – Simulation mécanique d'un transistor MOSFET recouvert par une couche en nitrure de silicium en tension [SKOTNICKI, 2006].

Cette couche de nitrure de silicium met en compression la source et le drain dès son retour à la température ambiante, lorsqu'elle est déposée en tension, et le phénomène inverse se produit lorsqu'elle est déposée en compression. Ceci implique l'apparition d'une contrainte en tension dans le canal des transistors NMOS dans le cas où elle est déposée en tension, et le contraire lorsqu'elle est déposée en compression (figure 2.12).

2.4.3.1.3 Les contraintes introduites au niveau des régions de source et drain

2.4.3.1.4 Epitaxie sélective en SiGe ou SiC

Ce type de contrainte est de type uniaxiale. Elle est introduite lorsqu'une couche épitaxiale est réalisée dans les régions de la source et du drain. Le principe consiste à créer une cavité dans les régions de source/ drain, par la suite une couche est épitaxiée localement dans les deux cavités, suivant la nature du canal, une couche SiGe pour un canal de type P, ou SiC pour un canal de type n. La figure 2.13 représente une contrainte produite par épitaxie sélective en SiGe.

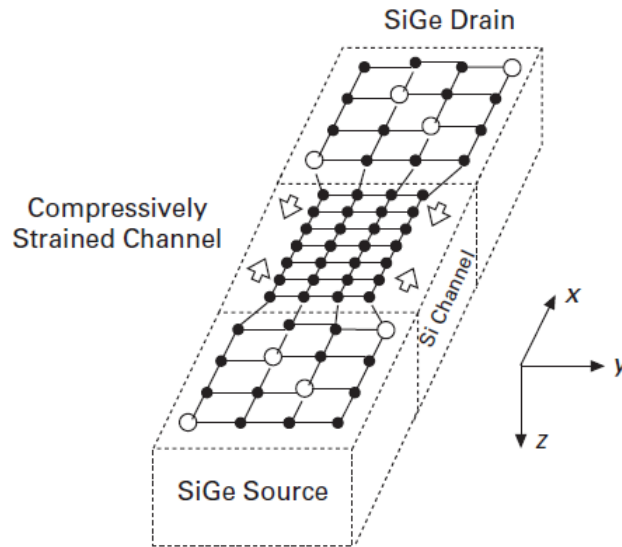
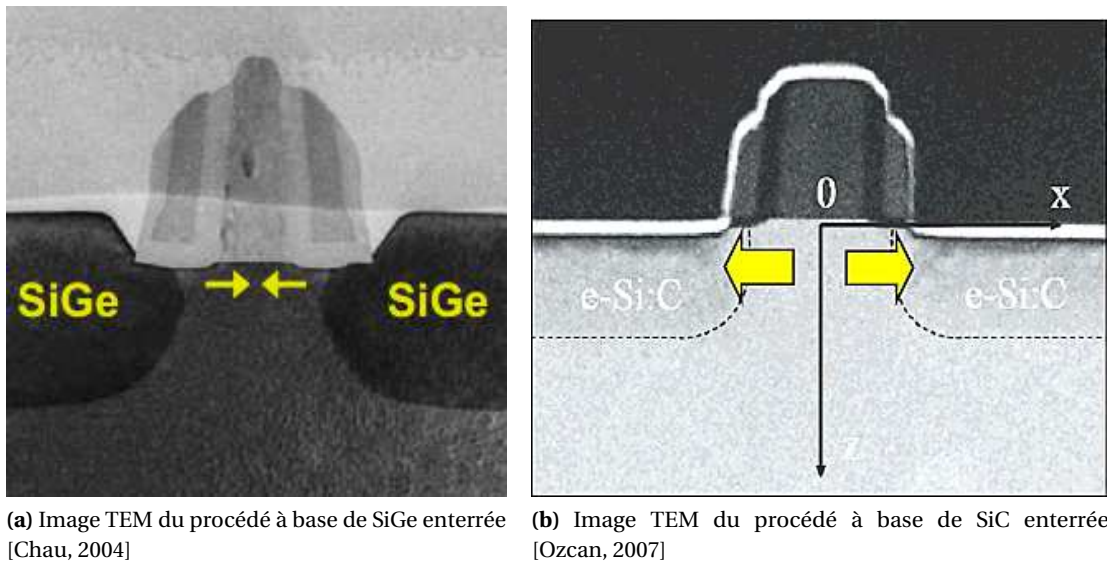


Figure 2.13 – Epitaxie sélective en SiGe résultant d'un canal en compression [Selmi, 2011].

Grâce à la contrainte en compression, la mobilité des trous sera améliorée dans le canal, qui est générée par la différence du paramètre de maille entre l'alliage en SiGe qui est plus grands que celui de Silicium [Charvat, 2003, Washington, 2006], par contre, suite à une croissance d'une couche de SiC, qui génère une contrainte en tension, c'est plutôt la mobilité des électrons qui sera améliorée, à cause du paramètre de maille du SiC qui est cette fois ci plus petit que celui du Silicium.



(a) Image TEM du procédé à base de SiGe enterrée [Chau, 2004]

(b) Image TEM du procédé à base de SiC enterrée [Ozcan, 2007]

Figure 2.14 – Images TEM d'une Épitaxie sélective en SiGe ou SiC

Les paramètres pouvant affecter le niveau de ces contraintes sont : la géométrie du transistor (La longueur et largeur de grille, épaisseur des espaceurs) et le procédé d'épitaxie (La con-

Chapitre 2. Présentation des contraintes et mise en évidence de leur génération dans les MOSFETs

centration en germanium dans le SiGe, Profondeur des S/D enterrés, forme des Source/Drain épitaxiés).

Un facteur multiplicatif permettant d'améliorer le courant I_{On} pouvant atteindre jusqu'à 3.3 a pu être obtenu [Miyanami, 2006], et une augmentation du courant des NMOS peut y aller jusqu'à 50 % grâce à l'introduction d'une contrainte en tension dans le canal en utilisant des S/D épitaxiés en SiC [Ang and Chui, 2005].

2.4.3.1.5 Siliciuration des S/D

Des Travaux de recherches ont montrés qu'on peut obtenir une contrainte mécanique dépassant les 400 MPa avec des structures incorporant des Source/Drain siliciurés, et ceci est dûe à la différence des coefficients d'expansion thermique et le désaccord de paramètre de maille entre le silicium et le siliciure [Kibbel, 1995]. Citons alors l'exemple des matériaux TiSi, $CoSi_2$ et le NiSi, qui permettent une contrainte en compression car ces dernières ont un coefficient d'expansion thermique plus grand que celui du silicium. La température de formation du silicium est de 500 ° C et 700 ° C pour les matériaux de $CoSi_2$ et le $TiSi_2$, le siliciure est en compression dans ces températures, en revenant à la température ambiante, il se dilate, ainsi une contrainte sera crée dans le canal.

2.4.3.1.6 Stress Memorization Technique (SMT)

La relaxation des contraintes est considérée comme effet indésirable, il faut donc enchaîner les étapes technologiques pour faire face à ce phénomène, c'est le cas de la technique SMT.

La technique SMT consiste à effectuer les recuits d'activation avant le retrait, et non après comme cela se fait dans un procédé standard. Ainsi le polysilicium des grilles N+, amorphisé par une implantation d'arsenic, se recristalline durant le recuit d'activation tout en conservant les contraintes transmises par la couche de nitrure.

2.4.3.2 Les contraintes biaxiales du canal des MOSFETs

Rappelons tout d'abord qu'une contrainte est pratiquement assimilable à une pression qui est par définition égale au rapport d' une force par unité de surface. L'application d'une contrainte sur le canal d'un MOSFET aura pour conséquence l'apparition d' une déformation sur la maille cristalline du semi-conducteur induisant une modification de la mobilité des porteurs de charges dans son canal de conduction . Une contrainte en tension a pour but l' augmentation du paramètre de maille horizontal du Silicium dans la direction de la force qui lui sera alors appliquée , ce qui permettra donc de diminuer le paramètre de maille vertical pour garder le même volume de la maille élémentaire .

Notons cependant qu'il existe deux manières d'introduire une contrainte dans le canal de conduction des MOSFETs: en effet la contrainte peut être introduite par le substrat et la couche de silicium active est alors contrainte sur toute la surface de la plaque. Par ailleurs, des contraintes peuvent être introduites localement dans le canal des transistors au cours du procédé de fabrication.

On peut donc dire qu'une contrainte est uniaxiale si elle est appliquée uniquement selon la direction de conduction des charges (source/drain), et biaxiale si elle est appliquée dans le plan du transistor. Le Silicium contraint en tension biaxiale auquel nous nous sommes intéressé dans nos travaux de simulation représente technique permettant l'obtention de considérables améliorations des performances des dispositifs grâce à l'augmentation de la mobilité des porteurs de charge. L'avantage des contraintes biaxiales par rapports aux contraintes uniaxiales vient du fait que les contraintes biaxiales peuvent aussi bien être utilisées pour les transistors à canaux courts et à canaux longs, alors que la technologie de contraintes uniaxiale ne pourra être utilisée que pour les transistors à canaux courts uniquement.

De nos jours, les alliages de silicium-germanium sont ceux qu'on utilise pour la fabrication des MOSFETs à canal contraint. C'est ainsi que les contraintes biaxiales sont obtenues par épitaxie de matériaux de paramètres de maille différents. Le paramètre de maille du matériau de la couche épitaxiée s'adapte à celui du matériau support, et c'est ainsi que cette adaptation de paramètre de maille induit une contrainte de type biaxiale. La croissance par exemple d'un film mince de silicium (Si) épitaxié sur un substrat en SiGe donne naissance à une contrainte en tension, tandis que la croissance d'un film mince en SiGe sur un substrat en silicium (Si) donne naissance à une contrainte en compression. Cette adaptation se fait suivant les deux axes (x, y) d'où le terme biaxiale, ceci est illustré au niveau de la figure 2.15

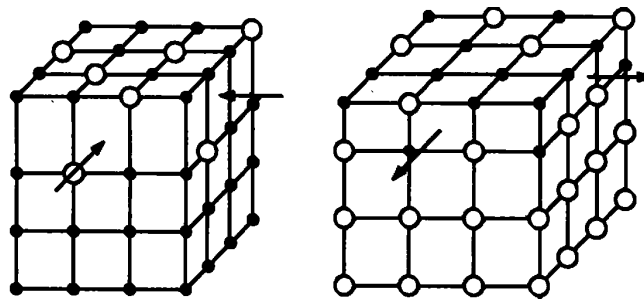


Figure 2.15 – Contrainte biaxiale en compression et en tension [Chen, 2003].

2.4.4 Propriétés physiques du Silicium contraint

2.4.4.1 La déformation élastique

Lorsqu'une couche de Silicium est déposée sur une couche de $Si_{1-x}Ge_x$, on remarque une brisure de symétrie selon l'axe de croissance. Les composantes du tenseur de déformations

Chapitre 2. Présentation des contraintes et mise en évidence de leur génération dans les MOSFETs

dans la couche de Silicium sont les suivantes :

- La déformation parallèle ($\epsilon_{\parallel}$) au plan de la croissance (x, y) s'exprime par :

$$\epsilon_{\parallel} = \frac{\alpha_{Si_{1-x}Ge_x} - \alpha_{Si}}{\alpha_{Si}} \quad (2.1)$$

Où $\alpha_{Si_{1-x}Ge_x}$ et α_{Si} sont respectivement les paramètres de maille du substrat en SiGe et du Si.

- La déformation ($\epsilon_{\perp}$) perpendiculaire au plan de la croissance (z) s'exprime comme suit

$$\epsilon_{\perp} = \frac{-2C_{12}}{C_{11}} \cdot \epsilon_{\parallel} \quad (2.2)$$

Où $C_{11} = 167$ Gpa et $C_{12} = 65$ Gpa sont les constantes d'élasticité du Si.

2.4.4.1.1 Le paramètre de maille de l'alliage en SiGe

La valeur du paramètre de maille de l'alliage $Si_{1-x}Ge_x$ à une composition de Ge donnée « x », est déterminé à partir de la loi de Vegard :

$$\alpha_{Si_{1-x}Ge_x} = \alpha_{Si} \cdot (1 - x) + \alpha_{Ge} \cdot x \quad (2.3)$$

Dans un autre travail de Dismukes et al [Ekstrom; and Paff, 1964], la dépendance en fonction de la composition en Ge est décrite par l'équation (2.4) :

$$\alpha_{Si_{1-x}Ge_x} = \alpha_{Si} + 0.200326(1 - x) + (\alpha_{Ge} - \alpha_{Si}) \cdot x^2 \quad (2.4)$$

La déviation entre les données obtenues, a été déduite par Kasper [Kibbel, 1995] :

$$\Delta = 0.002733 \cdot x \cdot (1 - x) \quad (2.5)$$

2.4.4.1.2 L'épaisseur critique

Lors de la croissance d'une couche contrainte, des dislocations générées dues à l'énergie élastique stockée dans la couche. La création de ces dislocations devient plus intense si l'épaisseur du film dépasse une épaisseur supérieure à l'épaisseur de la couche pseudo morphique. Cette épaisseur est définie comme l'épaisseur critique (h_c). Ainsi il est important de bien choisir un épaisseur de couche contrainte ne dépassant pas cette épaisseur critique afin de réduire la présence excessive de dislocations qui peuvent nuire au fonctionnement du dispositif.

2.4. Introduction à la physique du silicium contraint

En effet, une densité de dislocations importante dans la couche de Si contraint peut causer la relaxation de la couche épitaxiée vers son paramètre de maille original.

Plusieurs modèles sont proposés pour déterminer cette épaisseur critique dans les couches contraintes. L'un des modèles le plus utilisé est celui développé par Matthews et Blakeslee [Mader; and Light, 1970].

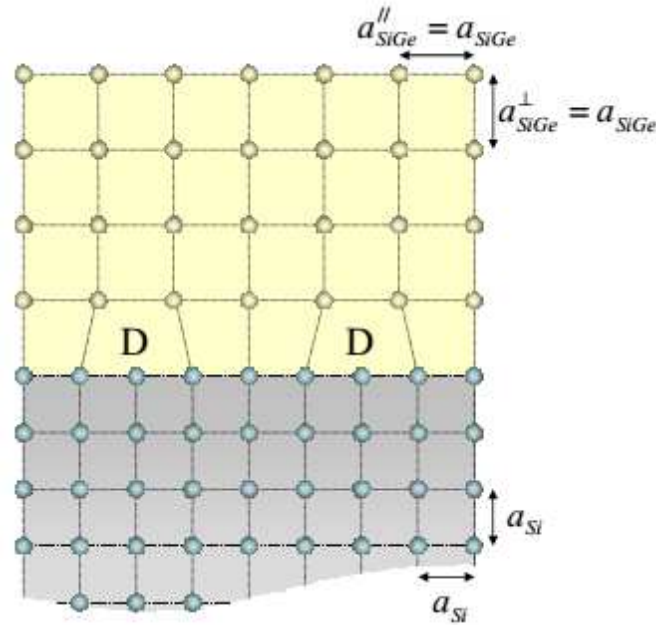


Figure 2.16 – Relaxation d’une couche de SiGe avec la création de dislocations sur un substrat en Si. [BOGUMILOWICZ, 2005]

L’épaisseur critique h_c dépend des conditions de croissance qui sont la température et la vitesse de croissance, mais dépend aussi de la concentration du germanium dans le film en SiGe. La figure 2.17 permet de mettre en évidence cette dépendance en se basant sur plusieurs modèles retrouvés en littérature.

Le modèle d’équilibre a été utilisé pour déterminer la valeur de l’épaisseur critique du Si contraint sur un substrat en SiGe [Tobin, 1999]. Une valeur de 20.5 nm a été obtenue pour une composition de 20 % en Ge. Dans un autre travail réalisé par Fiorenza et al [Singaporewala, 2004], la valeur de l’épaisseur critique a été estimée à 14 nm pour une composition de 20 % en Ge. Une valeur similaire à cette dernière a été déterminée autour de 17 nm cette fois pour une composition de 25 % en Ge [Wang and MacWilliams, 1993]. D’autre part, la relaxation de la couche épitaxiée est un effet indésirable, c’est la raison pour laquelle plusieurs recherches furent élaborées afin de déterminer l’épaisseur maximale au-delà de laquelle ces effets néfastes se produisent. Parmi ces recherches, on cite alors celui de Fiorenza [Singaporewala, 2004], dans lequel, furent réalisés des dispositifs utilisant des couches de Si contraint sur $Si_{0.8}Ge_{0.2}$ pour différentes épaisseurs soit 12.5, 14.5 nm, 20 et 100 nm.

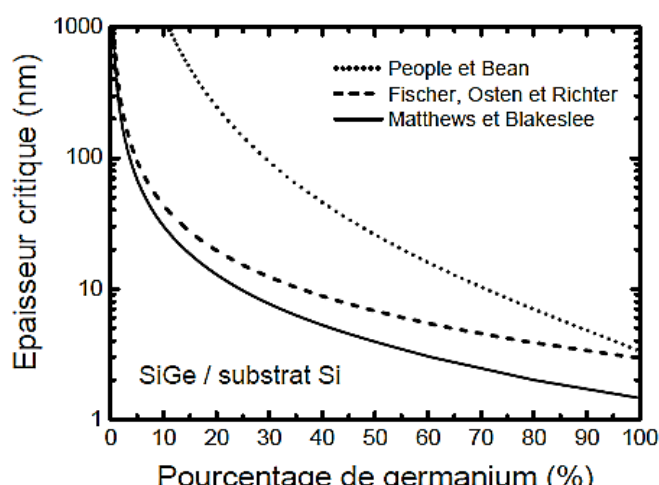


Figure 2.17 – Evolution de l'épaisseur critique d'une couche contrainte en fonction de la concentration en Ge. [Rochette, 2008]

Les résultats obtenus ont permis de conclure qu'une contrainte est légèrement relâchée par l'introduction de dislocations dans les films au-dessus d'une l'épaisseur critique évaluée autour de 14 nm. Cette notion d'épaisseur critique est très importante lorsqu'il s'agit des nœuds technologiques avancés tel que le 22 nm, c'est pour cela que, Wang et al [Liu, 2017], en 2017, ont menés une recherche dans laquelle ils ont présentés comment peut-on faire une croissance d'un film hautement contraint pour l'appliquer sur un transistor P-MOSFET de 22 nm.



Figure 2.18 – Croissance épitaxiale réussie d'un film de SiGe, d'une bonne qualité. [Liu, 2017]

2.4.4.2 La déformation plastique

La Valeur de la déformation plastique peut être déterminée par:

$$\delta = \frac{b_{eff}}{S} \quad (2.6)$$

Où b_{eff} est le vecteur de Burgers et S est l'espacement entre les dislocations.

La valeur de b_{eff} est estimé autour de 0.2 nm [Currie; and Lochtefeld, 2005], l'espacement entre les dislocations S est typiquement de l'ordre de 10 μm pour une couche de Si contraint légèrement supérieure à l'épaisseur critique et un espacement S de l'ordre de 1 μm pour les films d'épaisseur sept fois plus grande que l'épaisseur critique, Ce qui est conforme à celles rapportés par Fiorenza et al [Singaporewala, 2004].

La valeur de la déformation plastique obtenue est de 2.10^{-4} à 2.10^{-5} . La déformation élastique (ϵ) est donc de 100 à 1000 fois plus grande que la déformation plastique (δ) Ainsi la couche de Si peut donc être considérée presque en déformation élastique entièrement.

La relaxation de la couche ne devra se produire ni d'une façon élastique ni plastique afin de profiter des bénéfices de la contrainte et ne pas introduire de défauts dans le canal. Par ailleurs, l'épaisseur de la couche devra aussi être suffisante pour remplir son rôle et contraindre le canal de conduction où bien entendu, la concentration en germanium devra être adéquate. Ce compromis entre ces propriétés doit être soigneusement respecté afin d'atteindre le but désiré dans l'amélioration des performances des dispositifs.

2.4.5 Effet des contraintes sur la structure de bandes du silicium

La déformation du réseau cristallin du silicium due aux contraintes provoque une modification dans la structure de bandes. En effet, Le diagramme de bandes d'un semi-conducteur contraint diffère de celui du semiconducteur massif vu que la contrainte abaisse les symétries du cristal. L'énergie de bande interdite est alors modifiée aussi, les dégénérescences pour les bandes de valence et de conduction sont de ce fait levées. La forme des bandes est aussi perturbée menant à une modification des masses effectives pour la bande de valence principalement. Nous allons dans ce qui suit détailler l'effet d'une contrainte sur la bande de conduction puis sur la bande de valence d'un MOSFET à canal contraint.

2.4.5.1 La bande de conduction

La mise sous contrainte en tension biaxiale du film de silicium actif par sa croissance épitaxiale sur un substrat $\text{Si}_{1-x}\text{Ge}_x$ présentant une concentration atomique en Germanium inférieure à 50 % modifiera la structure de la bande de conduction du Silicium et permettra ainsi de lever partiellement la dégénérescence du minimum de la bande de conduction suivant les deux vallées Δ_2 ceci est bien illustré en figure 2.19.a. De ce fait, il en résultera une

Chapitre 2. Présentation des contraintes et mise en évidence de leur génération dans les MOSFETs

population préférentielle des électrons dans les deux vallées Δ_2 , voir figure 2.20.b, et c'est la masse effective transverse qui contribuera en conduction [BENSEGUENI, 2016].

On remarque alors une diminution de l'énergie des vallées Δ_2 dans la direction de la croissance des couches et une augmentation de l'énergie des vallées Δ_4 . De ce fait, la séparation en énergie des deux groupes de vallées Δ_2 et Δ_4 est à l'origine de la réduction de la masse effective de conduction, de la diminution des interactions avec les phonons inter-vallées, entraînant l'amélioration de la mobilité des électrons.[Currie, 2004, Vogelsang T., 2003, Fischetti and Laux, 1996] [BENSEGUENI, 2016]

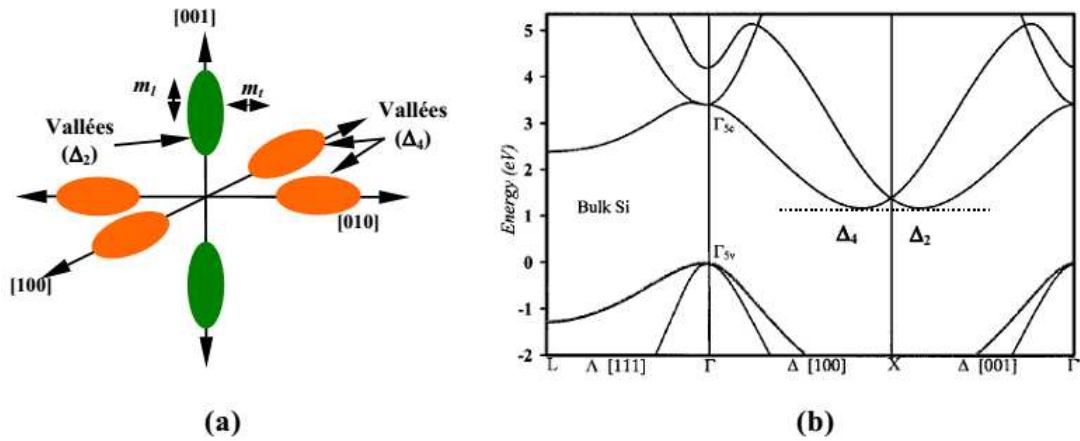


Figure 2.19 – (a) Vallées de la bande de conduction du Si contraint Δ_2 et Δ_4 ; (b) Structure de bandes caractéristiques du Si Contraint [Richard, 2004]

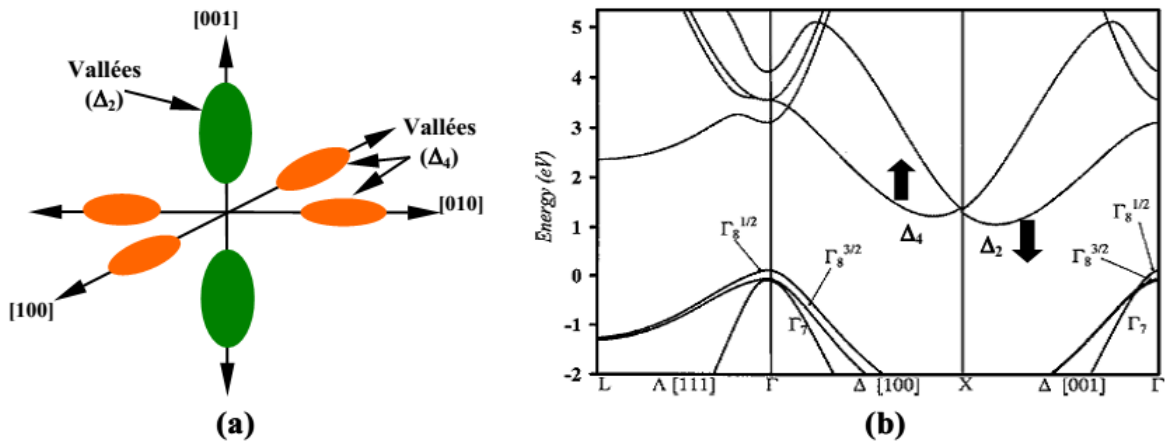


Figure 2.20 – (a) Distribution des électrons dans les vallées Δ_2 et Δ_4 ; (b) Structure de bandes du Si Contraint sur $Si_{0.7}Ge_{0.3}$ [Richard, 2004]

Autrement dit, la séparation en énergie des deux vallées, fait que les électrons occuperont préférentiellement les vallées Δ_2 , selon l'axe longitudinal qui correspond à la direction

cristallographique [001]. Le décalage entre les vallées Δ_2 et Δ_4 en énergie, cause une réduction des interactions intervallées. Lorsque la concentration du Ge dans le substrat $Si_{1-x}Ge_x$ augmente, l'occupation des vallées (Δ_2) par les électrons devient plus grande et quand la levée de dégénérescence dépasse la valeur de l'énergie du phonon, la diffusion des porteurs est réduite [Vogelsang and Hofmann, 1993]. D'autre part, si la couche contrainte est utilisée dans le canal d'un transistor, dans la même direction du champ électrique, la mobilité des électrons sera améliorée grâce à la réduction de la masse effective [Chen, 2003], [Vogelsang and Hofmann, 1993], [Fischetti and Laux, 1996] [BENSEGUENI, 2016].

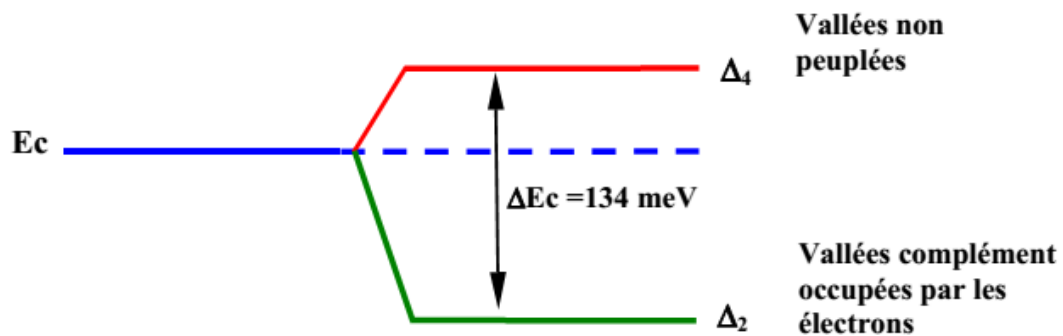


Figure 2.21 – Schéma représentatif de la séparation en énergie entre les vallées Δ_2 et Δ_4 de la bande de conduction du Si contraint.

2.4.5.2 La bande de valence

Le sommet de la bande de valence est constitué de trois bandes : la bande des trous lourds (HH), la bande des trous légers (LH) qui sont dégénérées, et la bande de split-off (SO) qui est située à une énergie légèrement plus basse par rapport aux deux premières bandes, comme il est illustré dans la figure 2.22. La bande LH est décalée au-dessus de la bande HH vers les hautes énergies. La différence en énergie ΔEV est de 38-40 MeV par 10 % de Ge [Zandler; and Vogl, 1998][Chun, 1994]. L'introduction de la contrainte en tension biaxiale dans le canal de conduction entraîne une levée de la dégénérescence entre la bande de trous lourds (HH) et la bande de trous légers (LH) dont le maximum d'énergie est supérieur à celui du matériau non contraint. [BENSEGUENI, 2016]

L'altération de la courbure de la bande de valence, cause un changement de la constante en énergie de surface dans l'espace k comme il est illustré dans la figure 2.23, ce qui provoque une réduction de la masse effective de conductivité dans la direction du canal [Nishida, 2006].

Par ailleurs, la séparation en énergie des deux bandes cause une population préférentielle des trous dans la bande des trous légers grâce à la réduction de la diffusion des porteurs inter-bandes. Ainsi, par le biais de ces deux mécanismes, la mobilité des trous dans le si contraint sera considérablement améliorée [Fischetti and Laux, 1996].

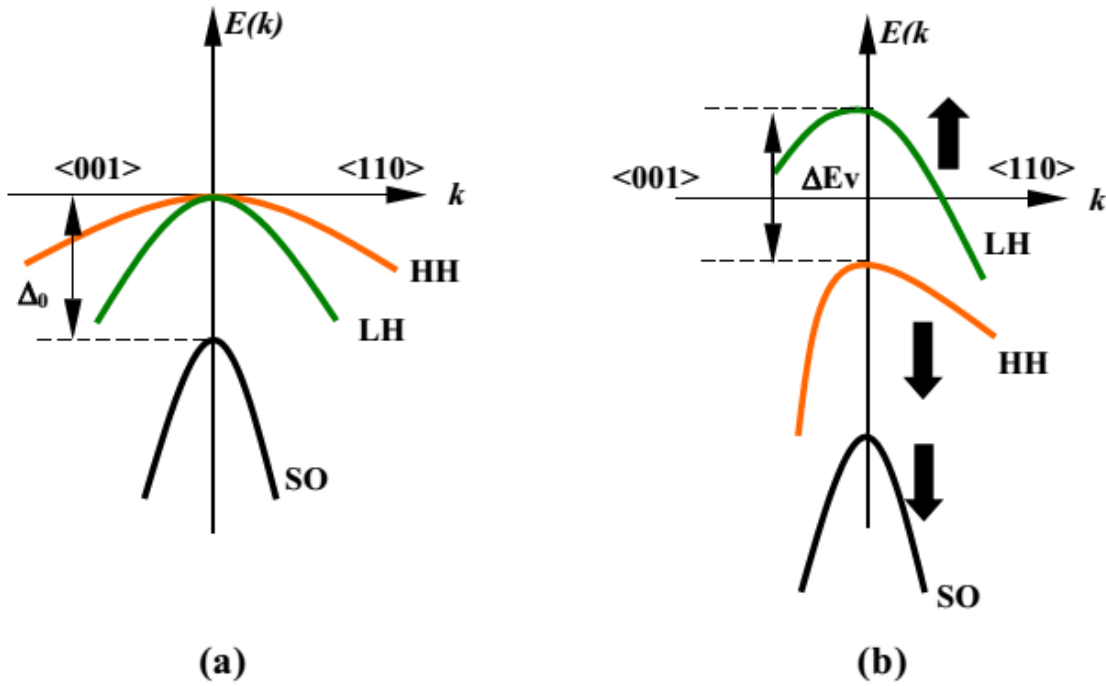


Figure 2.22 – (a) Diagrammes $E(k)$ de la bande de valence du Si non-contraint ; (b) diagramme $E(k)$ de la bande de valence du Si sous une contrainte en tension biaxiale.

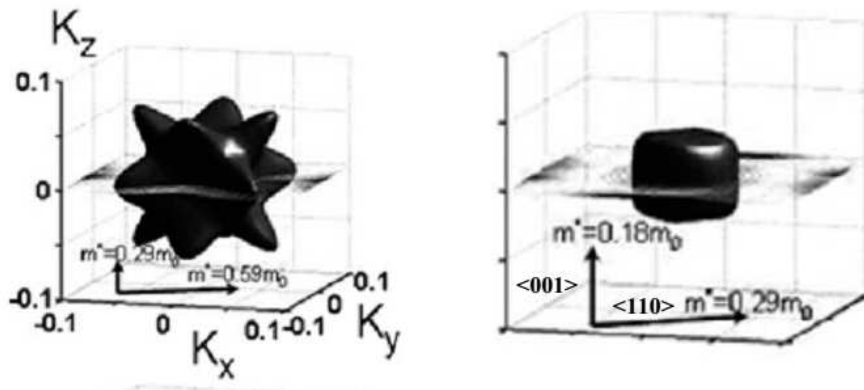


Figure 2.23 – Calcul des constantes en énergie de surface dans l'espace k pour la bande de valence : (a) Si non-contraint ; (b) Si contraint en tension biaxiale [Nishida, 2006].

On note cependant que la mobilité des trous est plus grande dans une couche en contrainte uniaxiale en compression que celle dans le cas d'une contrainte biaxiale. C'est pour cette raison qu'il est préférable d'utiliser une contrainte uniaxiale dans les transistors à canaux courts [Nishida, 2006, Thompson; and Nishida, 2007].

2.4.5.3 Réduction de la largeur de la bande interdite indirecte

La contrainte biaxiale introduite dans une couche de silicium par le biais d'une couche de $Si_{1-x}Ge_x$ peut se décomposer en une contrainte hydrostatique qui va décaler les niveaux d'énergies des bandes de conduction (ΔE_{Chyd}) et de valence (ΔE_{Vhyd}) et une contrainte uniaxiale qui lève les dégénérescences dans les deux bandes. Ceci va provoquer une réduction du gap (E_g) du Si qui sera compris entre les vallées Δ_2 de la bande de conduction et la bande des trous légers (LH) dans la bande de valence, comme il est illustré dans la figure 2.24.

La partie hydrostatique de la contrainte est représentée par les paramètres donnés par les expressions 2.7 et 2.8:

$$\Delta E_{Chyd} = a_c \cdot (2\epsilon_{\parallel} + \epsilon_{\perp}) \quad (2.7)$$

$$\Delta E_{Vhyd} = a_v \cdot (2\epsilon_{\parallel} + \epsilon_{\perp}) \quad (2.8)$$

Où:

a_c et a_v représentent les potentiels de déformation hydrostatiques, pour la bande de conduction et la bande de valence. $\epsilon_{\parallel}$ et $\epsilon_{\perp}$ représentent les déformations parallèle et perpendiculaire au plan de la croissance respectivement.

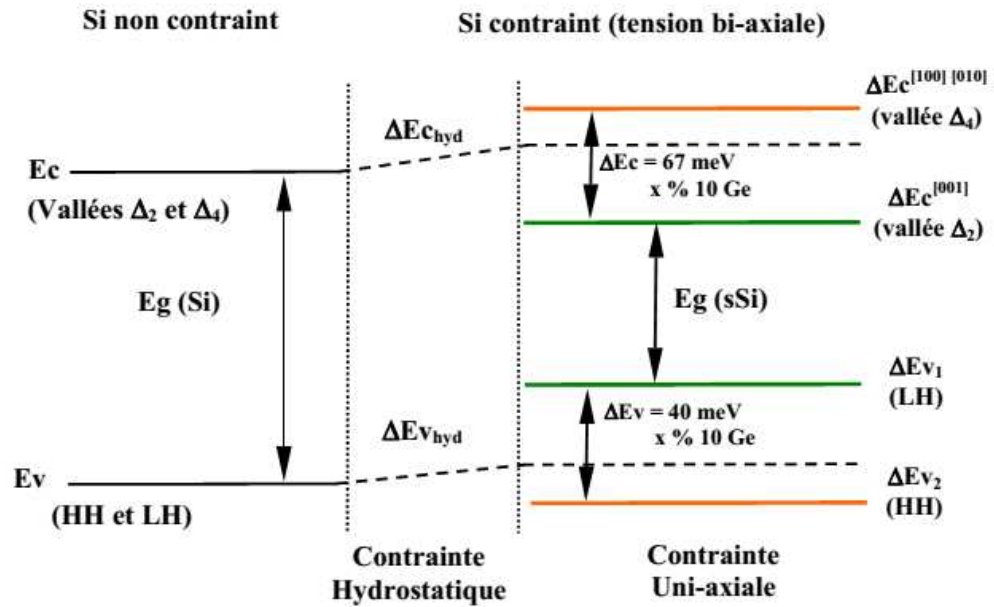


Figure 2.24 – Représentation des décalages de bande dans le Si induit par une contrainte en tension biaxiale dans le plan (001). [Asenov and Roy, 2004]

2.4.6 Mécanismes limitant la mobilité effective dans la couche d'inversion

L'un des paramètres intervenant dans le transport dans les semiconducteurs en général est la mobilité des porteurs. C'est d'ailleurs l'un des paramètres qui subira une amélioration suite à l'introduction d'une contrainte au niveau du canal du transistor, c'est pour cela qu'il sera intéressant de décrire brièvement les phénomènes physiques responsables de sa limitation, ainsi que le rôle de l'introduction d'une contrainte dans la compensation de cette limitation de cette mobilité.

2.4.6.1 Interactions électrons/charges coulombiennes

Il s'agit des interactions avec les dopants ionisés, ces charges peuvent être situées par exemple dans le canal du MOSFET, le diélectrique de grille, le matériau de grille. Ces interactions alors se divisent entre « les interactions coulombiennes induites par les dopants du canal » et « les interactions coulombiennes à distance induites par les autres charges ».

La mobilité limitée par les interactions coulombiennes peuvent être modélisée par :

$$\mu_c \propto .T^n .N_{inv}^\chi .N_{charges}^{-1} \text{ [JEON and BURK, 1989]} \quad (2.9)$$

À basse température ($T < 100$ °K), $n = -1$ et $\chi = 1.6$ à 2 , et à haute température (100 °K $< T < 370$ °K), $n = 1$ et $\chi = 0$.

2.4.6.2 Interactions électrons/rugosité de surface

Ce type d'interactions est indépendante de la température et lorsqu'on a un confinement des porteurs à l'interface canal/diélectrique, sont prépondérantes à fort champ effectif et varie pour les électrons en : $\mu_{SR} \propto E_{eff}^{-2.6}$ [JEON and BURK, 1989, Tango, 1994].

Les observations au microscope optique, en utilisant le mode Nomarski nous permet d'observer la rugosité d'une surface. Ce mode est en effet très sensible à cette dernière, même pour des très faibles valeurs de rugosité. [BOGUMILOWICZ, 2005]

Selon Payet [Payet, 2005] les équations qui décrivent la mobilité liée aux interactions avec les rugosités de surface sont les équations 2.10 et 2.11 :

- Pour les électrons :

$$\mu_{sr} \left[\frac{cm^2}{VS} \right] = 1450 . E_{eff}^{-2.9} \left[\frac{cm^2}{cm} \right] \quad (2.10)$$

- Pour les trous :

$$\mu_{sr}[\frac{cm^2}{VS}] = 140.E_{Eff}^{-1}[\frac{cm^2}{cm}] \quad (2.11)$$

2.4.6.3 Interactions électrons/phonons du réseau

Ce qui différencie ces interactions des autres types, que ce soit les rugosités de l'interface ou les interactions coulombiennes c'est que ce type d'interaction est un mécanisme intrinsèque qui ne dépend pas des conditions de réalisations technologiques du dispositif.

D'autres part il faut préciser que c'est un mécanisme prépondérant à température ambiante pour une couche d'inversion et pour des champs effectifs modérés.

Par définition les phonons sont des pseudo-particules associées aux différents modes de vibration du réseau cristallin, on distingue deux types de phonons ; les phonons acoustiques et optiques. La levée de dégénérescence des vallées causée par l'introduction d'une contrainte réduit les interactions avec les phonons. À basse température ($T < 100$ °K), les interactions avec les phonons acoustiques sont largement majoritaires. À plus hautes température (100 °K $< T < 370$ °K), les porteurs peuvent subir des interactions avec les phonons intervalles et inter-sous-bandes.

Selon Payet [Payet, 2005] les équations qui décrivent La mobilité liée aux interactions avec les phonons sont les équations 2.12 et 2.13 :

- Pour les électrons :

$$\mu_{ph}[\frac{cm^2}{VS}] = 330.E_{Eff}^{-0.3}[\frac{cm^2}{cm}] \quad (2.12)$$

- Pour les trous :

$$\mu_{ph}[\frac{cm^2}{VS}] = 90.E_{Eff}^{-0.3}[\frac{cm^2}{cm}] \quad (2.13)$$

Donc on peut dire que l'influence des trois mécanismes de collision dépend de la température et de la concentration des porteurs dans le canal. À faible champ et à température ambiante, c'est les collisions avec les phonons et les charges qui influent sur la mobilité, et en forte inversion les collisions sur la rugosité de surface qui sont prédominantes. Seules les collisions avec les charges et la rugosité de surface qui sont significatives à basse température. La figure 2.25 illustre schématiquement les comportements de ces mécanismes en fonction de la température et de la densité de porteurs dans le canal.

Ces trois composantes sont des fonctions puissance du champ effectif, et la mobilité totale

Chapitre 2. Présentation des contraintes et mise en évidence de leur génération dans les MOSFETs

peut être exprimée en utilisant la loi de Mathiessen:

$$\frac{1}{\mu_{eff}} = \frac{1}{\mu_{sr}} + \frac{1}{\mu_{ph}} + \frac{1}{\mu_c} \quad (2.14)$$

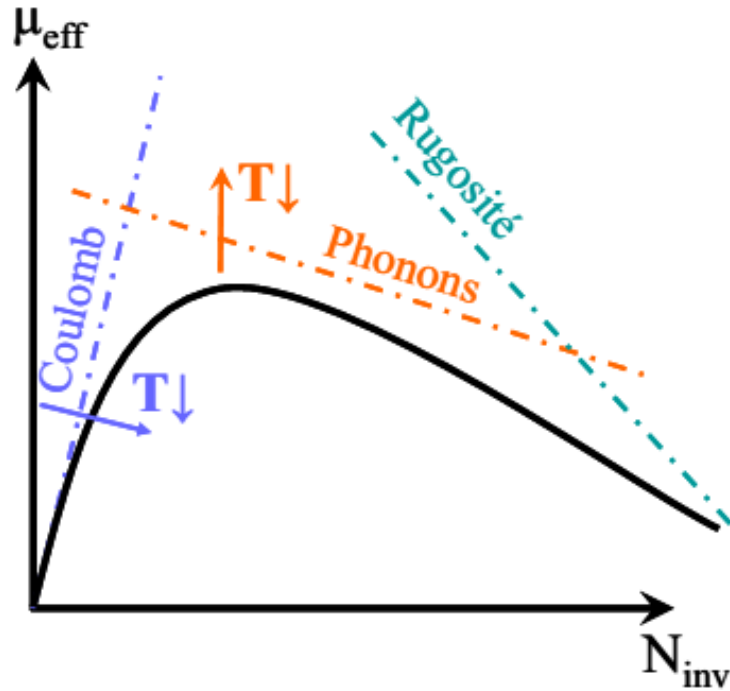


Figure 2.25 – Variation de la mobilité effective en fonction de la densité des porteurs et de la température

2.4.6.4 Limitations dues à la miniaturisation des dispositifs et le rôle des contraintes

Pour plusieurs raisons industriels et économiques, les chercheurs ont toujours cherchés à diminuer les dimensions des transistors, suivant la loi de Moore basée sur un modèle économique énoncée en 1965. Ceci fut la première méthode qui a permis d'améliorer la vitesse de commutation des transistors. Les nouvelles dimensions de longueur de grille de ces transistors ont poussés les technologies conventionnelles dans le régime nanoélectronique.

L'importance de cette réduction des dimensions vient du fait que le délai intrinsèque diminue ainsi que la puissance dissipée par le transistor. La diminution de certaines dimensions cause l'apparition de nouveaux défis technologiques, par exemple la réduction de l'épaisseur de l'oxyde induit des fuites de grille, la nécessité de l'augmentation du dopage de substrat entraîne une augmentation des collisions entre les porteurs, et par conséquent une diminution de la mobilité. Pour continuer à améliorer les performances des dispositifs, l'utilisation des contraintes semble une solution très prometteuse.

Sous l'effet d'une contrainte σ , l'équation de la mobilité s'écrit :

$$\mu = \frac{q}{n} \cdot \sum v \frac{1}{m_v^*(\sigma)} \cdot \sum_{i \in v} ni(\sigma) \cdot \left(\sum_s \frac{1}{\tau_{i \in v, s}(\sigma)} \right) \quad (2.15)$$

L'équation 2.15 montre le grand impact d'une contrainte sur la mobilité des porteurs. Premièrement, la contrainte modifie le peuplement dans les différentes sous-bandes $ni(\sigma)$ à travers les décalages énergétiques induit par la déformation.

Il y aura une modification des valeurs de masses effectives des porteurs $m_v^*(\sigma)$ (principalement celle des trous). La dernière modification concerne celle des temps de relaxation de chacune des interactions que peuvent subir les porteurs d'une couche d'inversion $\tau_{v, s}(\sigma)$.

Dans un travail de Fischetti et al [Hänsch, 2002] ont montré que la modification des paramètres de rugosité de l'interface diélectrique de grille-canal de conduction est le seul moyen pour expliquer les gains en mobilité observés expérimentalement à fort champ de grille sur un substrat contraint en tension biaxiale.

Weber et al [ichi Takagi, 2007] de leurs part ont rapporté un gain en mobilité limité par les impuretés ionisés du dopage avec du silicium contraint. Il est à noter que ces effets sont négligeables par rapport à ceux sur les interactions avec les phonons ou la rugosité de surface.

Des simulations [Aniel, 2006] faites par RICHAR, ont permis de déterminer la mobilité des électrons dans le silicium contraint sur SiGe relaxé pour un pourcentage de germanium compris entre 0 et 45 %. Dans ce travail les valeurs de mobilités rapportées ont atteint $1500 \text{ cm}^2/\text{s}$ pour le silicium massif non contraint et une valeur qui augmente jusqu'à $3200 \text{ cm}^2/\text{s}$ pour des pourcentages de germanium supérieur à 25-30 % où ils ont observés une saturation. La mobilité augmente grâce à la forte réduction des interactions avec les phonons. Par ailleurs et dans un travail de BARRAU [Ernst, 2005], une observation de l'augmentation de la mobilité a été rapportée à 300 °K, et ceci grâce à la forte réduction des interactions avec les phonons. À basse température, et pour de faibles pourcentages de germanium, la saturation de la mobilité apparaît, et on peut expliquer ceci par le simple fait que l'énergie thermique des porteurs devient rapidement inférieure à celle du décalage entre les vallées Δ_2 et Δ_4 .

2.5 Les Contraintes et l'élasticité

2.5.1 Tenseur des contraintes

2.5.1.1 Définition

Notons tout d'abord qu'un solide est en état de contrainte s'il est soumis à l'action des forces extérieures. Une contrainte mécanique est assimilée à une force par unité de surface. qui

Chapitre 2. Présentation des contraintes et mise en évidence de leur génération dans les MOSFETs

s'exprime bien entendu en Pa ou N/m^2 dans le système international. Le formalisme tensoriel est utilisé ici pour représenter l'état générale de la contrainte en un point donné d'un matériau. Par convention, une contrainte en tension est considérée comme étant positive alors qu'une contrainte en compression est considérée comme étant négative. Le vecteur contrainte en un point M quelconque du milieu, est, pour une orientation donnée, déterminé par la connaissance des composantes des trois vecteurs contraintes en ce même point sur des facettes orthogonales.

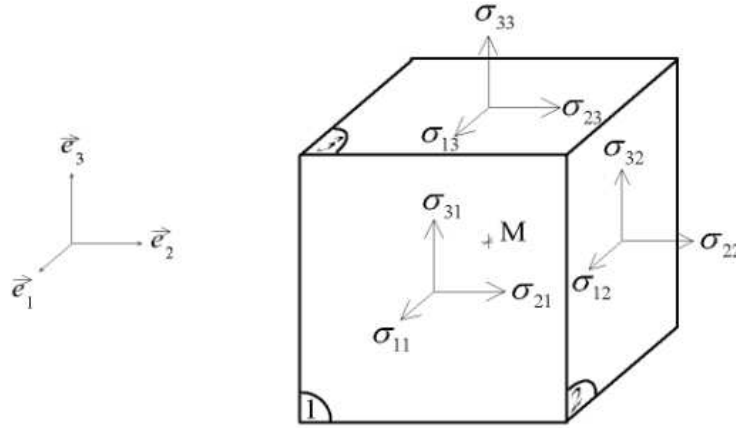


Figure 2.26 – Définition des composantes du tenseur des contraintes.

Ainsi, le tenseur de contrainte, noté σ_{ij} est de rang 2. Les composantes du tenseur σ_{ij} s'exprime dans la base des axes cristallographiques par :

$$\begin{bmatrix} \sigma_{11} & \sigma_{12} & \sigma_{13} \\ \sigma_{21} & \sigma_{22} & \sigma_{23} \\ \sigma_{31} & \sigma_{32} & \sigma_{33} \end{bmatrix}$$

Les contraintes de type σ_{ii} telle que $\sigma_{11}, \sigma_{22}, \sigma_{33}$ sont appelées contraintes normales, alors que les contraintes σ_{ij} avec $i \neq j$ sont appelés contraintes de tangentielles où de cisaillement.

À l'équilibre, le tenseur des contraintes σ_{ij} est symétrique, et possède six composantes indépendantes [Rochette, 2008].

Reconsidérons la matrice $[\sigma]$, dans le cas rigoureux où seule deux composantes diagonales σ_{ii} et σ_{jj} sont non nulles, on parle de contraintes biaxiales. Néanmoins, en pratique, le terme biaxial est réservé aux cas particuliers où ces deux composantes sont égales. et le tenseur des contraintes est donné par:

$$\sigma_{ij} = \begin{bmatrix} \sigma_{bi} & 0 & 0 \\ 0 & \sigma_{bj} & 0 \\ 0 & 0 & 0 \end{bmatrix} \quad (2.16)$$

Par ailleurs, lorsqu'il existe une base dans laquelle une seule composante diagonale σ_{ii} est non nulle, on parle de contrainte uniaxiale et le tenseur des contraintes est donné par:

$$\sigma_{ij} = \begin{bmatrix} \sigma_{uniax} & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix} \quad (2.17)$$

Notons que les contraintes biaxiales sont très présentes dans les procédés de la microélectronique alors que les contraintes uniaxiales ne le sont pratiquement pas présentes.

2.5.1.2 Tenseurs hydrostatique et déviateur

Le tenseur de contraintes est décomposé en une somme de deux tenseurs : un tenseur hydrostatique, σ_{hydr} , et un tenseur déviateur, σ_{dev} , selon l'équation 2.18:

$$\sigma_{ij} = \sigma_{ij}^{hydr} + \sigma_{ij}^{dev} \quad (2.18)$$

Le tenseur hydrostatique s'exprime selon l'équation 2.19 :

$$\sigma_{ij}^{hydr} = \begin{bmatrix} \sigma_{hydr} & 0 & 0 \\ 0 & \sigma_{hydr} & 0 \\ 0 & 0 & \sigma_{hydr} \end{bmatrix} \quad (2.19)$$

Le tenseur déviateur s'exprime selon l'équation 2.20 :

$$\sigma_{ij}^{dev} = \begin{bmatrix} 2.(\sigma_{11} - \sigma_{22} - \sigma_{33})/3 & \sigma_{12} & \sigma_{13} \\ \sigma_{12} & 2.(\sigma_{22} - \sigma_{11} - \sigma_{33})/3 & \sigma_{23} \\ \sigma_{13} & \sigma_{23} & 2.(\sigma_{33} - \sigma_{11} - \sigma_{22})/3 \end{bmatrix} \quad (2.20)$$

Le tenseur hydrostatique correspond à la partie de la contrainte qui modifie le volume du cristal, et non sa symétrie, alors que l'état de contrainte décrit par le tenseur déviateur correspond à une distorsion du matériau soit à un changement de sa forme.

2.5.2 Tenseur des déformations

Lorsqu'un matériau subit une déformation suite à l'application d'une contrainte, cette dernière ne se fait pas seulement dans la direction de la contrainte.

Chapitre 2. Présentation des contraintes et mise en évidence de leur génération dans les MOSFETs

Les déformations représentent les variations de géométrie suivant toutes les directions. Elles n'ont pas une unité et sont représentés par le tenseur symétrique.

$$\epsilon_{ij} = \begin{bmatrix} \epsilon_{11} & \epsilon_{12} & \epsilon_{13} \\ \epsilon_{21} & \epsilon_{22} & \epsilon_{23} \\ \epsilon_{31} & \epsilon_{32} & \epsilon_{33} \end{bmatrix} \quad (2.21)$$

De la même façon au tenseur des contraintes, le tenseur des déformations ϵ_{ij} est décomposé en un état de déformation hydrostatique ϵ^{hydr} et un état de déformation déviateur ϵ^{dev} selon l'équation (2.22) :

$$\epsilon_{ij} = \epsilon^{hydr} + \epsilon^{dev} \quad (2.22)$$

2.5.3 Tenseur d'élasticité- loi de Hooke

La déformation que subit le matériau dépend linéairement des contraintes. Les Coefficients qui les relie sont appelés modules d'élasticité qui est une grandeur intrinsèque d'un matériau, définie par le rapport de la contrainte à la déformation élastique provoquée par cette contrainte. La déformation est exprimée comme une grandeur sans dimension. L'unité pratique souvent utilisée du module est le MPa. Ces coefficients forment des tenseurs de rang 4, comprenant en général 81 composantes.

$$\sigma_{ij} = C_{ijkl} \cdot \epsilon_{kl} \text{ et } \epsilon_{ij} = S_{ijkl} \cdot \sigma_{kl} \quad (2.23)$$

Où C_{ijkl} sont les coefficients du tenseur d'élasticité, appelés modules d'élasticité ou rigidités, et S_{ijkl} les coefficients du tenseur inverse, appelés compliances élastiques.

Les composantes S_{ijkl} peuvent être exprimées à l'aide de seulement 36 coefficients indépendants, lorsqu'une propriété relie des tenseurs de rang 2 symétrique telle que la piézoré-sistivité et de l'élasticité. Les tenseurs sont représentés par une matrice 6x6 à 36 composants, on a par exemple la matrice des rigidités :

$$\begin{bmatrix} \sigma_1 \\ \sigma_2 \\ \sigma_3 \\ \sigma_4 \\ \sigma_5 \\ \sigma_6 \end{bmatrix} = \begin{bmatrix} C_{11} & C_{12} & C_{13} & C_{14} & C_{15} & C_{16} \\ C_{21} & C_{22} & C_{23} & C_{24} & C_{25} & C_{26} \\ C_{31} & C_{32} & C_{33} & C_{34} & C_{35} & C_{36} \\ C_{41} & C_{42} & C_{43} & C_{44} & C_{45} & C_{46} \\ C_{51} & C_{52} & C_{53} & C_{54} & C_{55} & C_{56} \\ C_{61} & C_{62} & C_{63} & C_{64} & C_{65} & C_{66} \end{bmatrix} \begin{bmatrix} \epsilon_1 \\ \epsilon_2 \\ \epsilon_3 \\ \epsilon_4 \\ \epsilon_5 \\ \epsilon_6 \end{bmatrix} \quad (2.24)$$

Dans le cas du silicium, les matrices S et C peuvent s'écrire suivant l'équation (2.25) :

$$S_{mn} = \begin{bmatrix} S_{11} & S_{12} & S_{12} & 0 & 0 & 0 \\ S_{12} & S_{11} & S_{12} & 0 & 0 & 0 \\ S_{12} & S_{12} & S_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & S_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & S_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & S_{44} \end{bmatrix} \quad (2.25)$$

Et c'est de même pour la matrice C_{mn} .

Dans le cas d'une contrainte uniaxiale, il est possible de définir un module d'Young E_i qui relie la déformation du matériau selon la direction i, et un coefficient de poisson ν_{ij} qui représente le rapport entre la déformation dans la direction j et celle suivant la direction i. Pour le silicium le module d'Young E_1 est défini suivant la direction [100] par :

$E_1 = \sigma_{11} / \epsilon_{11} = 1 / S_{11} = 131$ GPa. Quant au coefficient de poisson $\nu_{12} = - \epsilon_{22} / \epsilon_{11} = - S_{12} / S_{11} = 0.28$. L'intérêt de ces coefficients vient du fait qu'ils permettent d'avoir une représentation quantitative de l'anisotropie des propriétés du matériau.

2.5.4 La piézorésistivité du silicium

2.5.4.1 Concept et intérêt

La résistivité ρ relie le champ électrique $\vec{E}$ appliqué à un matériau à la densité de courant $\vec{j}$ qui le traverse d'après la loi d'ohm selon l'équation (2.26) :

$$\vec{E} = \vec{\rho} \cdot \vec{j} \text{ et } \vec{j} = \vec{\sigma}^{con} \cdot \vec{E} \quad (2.26)$$

Avec : $\vec{\rho} = \vec{\sigma}^{con^{-1}}$.

Chapitre 2. Présentation des contraintes et mise en évidence de leur génération dans les MOSFETs

La conductivité $\vec{\sigma}^{con}$ représente la propriété inverse. On peut la considérer comme approche macroscopique, qui permet d'étudier l'effet d'une contrainte mécanique sur les propriétés de transport, et permet d'assembler les variations de résistivité que subisse le matériau. Cet effet est un phénomène physique d'une façon générale non linéaire. On fait appelle le plus souvent aux outils mathématiques pour pouvoir traduire et développer les expressions originales. A cause des symétries du réseau cristallin de silicium, la matrice de piézorésistivité peut s'écrire dans la base principale des axes cristallographiques selon l'équation 2.27 :

$$\pi_{mn} = \begin{bmatrix} \pi_{11} & \pi_{12} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{11} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{12} & \pi_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & \pi_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & \pi_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & \pi_{44} \end{bmatrix} \quad (2.27)$$

D'autres part, le canal des MOSFETs, est généralement orienté selon la direction $\langle 110 \rangle$. En appliquant les lois de transformations d'un tenseur de rang 4, la matrice de piézorésistivité s'écrit :

$$\pi_{mn} = \begin{bmatrix} \pi_L & \pi_T & \pi_{12} & 0 & 0 & 0 \\ \pi_T & \pi_L & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{12} & \pi_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & \pi_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & \pi_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & \pi_{11} - \pi_{22} \end{bmatrix} \quad (2.28)$$

Où π_L et π_T sont appelés, coefficients piézorésistifs longitudinaux et transverse, respectivement et sont données par :

$$\pi_L = \frac{\pi_{11} + \pi_{12} + \pi_{44}}{2} \text{ et } \pi_T = \frac{\pi_{11} + \pi_{12} - \pi_{44}}{2} \quad (2.29)$$

Par ailleurs, en aspect microscopique, il est préférable d'utiliser la conductivité électrique pour décrire les propriétés de transport. A partir de l'équation 2.27, on peut alors exprimer la relation entre les variations relatives des composantes diagonales de résistivité et de conduc-

tivité par l'équation :

$$\frac{\Delta \rho_m}{\rho_0} = - \frac{\Delta \sigma_m^{con}}{\sigma_0^{con}} \quad (2.30)$$

Avec :

$$\sigma_m^{con} = n \cdot q \cdot \mu_m^e + p \cdot q \cdot \mu_m^h \quad (2.31)$$

n et p représentent les concentrations volumique des électrons et des trous respectivement , q est la charge élémentaire égale à $(6.62 \times 10^{-19} \text{ coulomb})$, μ_e et μ_h sont les mobilités des électrons et des trous respectivement .En supposant la variation de la concentration des porteurs engendrée par une contrainte négligeable par rapport à la variation de la mobilité la variation de la conductivité s'exprimera par:

$$\Delta \sigma_m^{con} = n \cdot q \cdot \mu_m^e \cdot \frac{\Delta \mu_m^e}{\mu_m^e} + p \cdot q \cdot \mu_m^h \cdot \frac{\Delta \mu_m^h}{\mu_m^h} \quad (2.32)$$

Dans le cas d'un matériau suffisamment dopé ou dans le cas d'une couche d'inversion d'un MOSFET en forte inversion. Nous obtenons :

$$\Delta \sigma_m^{con} = n \cdot q \cdot \mu_m \cdot \frac{\Delta \mu_m}{\mu_m} = \sigma_0^{con} \cdot \frac{\Delta \mu_m}{\mu_m} \quad (2.33)$$

On peut ainsi remarquer que les coefficients piézo-résistifs permettent de connaître la variation de la mobilité des porteurs en fonction des contraintes appliquées. Par ailleurs, rappelons que l'effet piézo-résistif pour les électrons est dominé par la redistribution des porteurs de charge, Cette redistribution est le résultat des décalages énergétiques inégaux pour les six vallées du silicium. Tandis que pour les trous, l'effet piézorésistif est principalement dominé par les éléments non-diagonaux du tenseur des déformations. Les modifications sont dûes plus aux décalages énergétiques aux branches constituant la bande de valence qu'aux déformations de ces bandes dans l'espace des $\vec{k}$.

2.5.4.2 La piézorésistivité d'une couche d'inversion

Les principales différences qui puissent exister entre la piézorésistivité d'une couche d'inversion et celle d'un matériau, sont d'un côté la concentration des porteurs dans les dif-

Chapitre 2. Présentation des contraintes et mise en évidence de leur génération dans les MOSFETs

férentes sous-bandes qui sont modulés par le champ électrique, ainsi il y aura une dépendance des coefficients piézorésistifs en fonction de ce dernier.

Pour les électrons, l'effet de la contrainte mécanique sur la mobilité diminue, à cause de la diminution des électrons, qui est à son tour due aux effets quantiques qui vont dans le même sens que la levée dégénérescence induites par la contrainte.

Pour les trous, par exemple pour une contrainte biaxiale en tension, les effets de contraintes s'opposent à celle du confinement quantique, à fort champs, la contrainte n'aura pas d'effets. Lorsqu'on augmente le niveau de contrainte, et par conséquent on réussit à causer une dégénérescence entre la bande des trous légers et celle des trous lourds, pour des champs électrique plus fort, le gain sera non nul. L'interprétation des coefficients piézorésistifs des trous est plus complexe que celle des électrons.

La seconde différence réside dans le fait que, dans un transistor MOSFET, les porteurs confinés à l'interface diélectrique de grille-silicium subissent des interactions supplémentaires. Par rapport au silicium massif, on reconnaît : la diffusion avec la rugosité de surface, interaction coulombienne avec les états d'interfaces ou les charges fixes situés dans l'empilement de grille. Il y a aussi une différence par rapport aux interactions avec les phonons du réseau. Ces différences vont conduire à une piézorésistivité en 2D différente de la piézorésistivité 3D.

2.6 Performances des architectures à canal contraint

Nous allons présenter dans ce qui suit les différentes structures MOSFETs à canal contraint étudiées dans différents laboratoires de recherche, et même celles déjà utilisées en industrie. Nous rappelons tout d'abord que pour induire une contrainte dans le canal de conduction d'un MOSFET, différentes règles doivent être respectées, la plus importante concerne la stabilité de la contrainte tout au long du procédé de fabrication, et plus spécialement au cours des implantations ioniques, les traitements thermiques et les étapes de gravure. Nous nous intéresserons en ce qui nous concerne aux canaux épitaxiés, que nous avons utilisé afin d'introduire notre contrainte dans le canal du transistor MOSFET que nous présenterons dans ce qui suit.

2.6.1 Canaux épitaxiés

Un premier procédé consisterait à réaliser des canaux épitaxiés contraints. Il s'agit dans ce cas de développer des substrats contraints sur lesquels seront fabriqués les transistors. Cette première approche est une approche globale, c'est-à-dire que la contrainte est créée sur toute la plaquette. Cette technique permettant de réaliser des canaux par épitaxie, repose sur la différence des paramètres de maille de deux matériaux différents représentés en figure 2.27. L'alliage silicium-germanium (SiGe) est le plus utilisé en microélectronique.

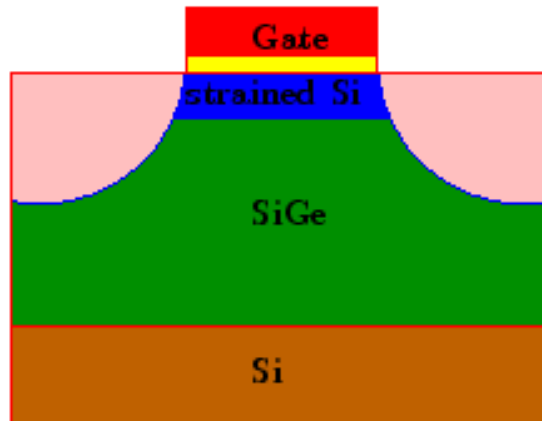


Figure 2.27 – Schéma d'illustration d'un canal épitaxié dans une structure CMOS [Dhar, 2007]

Les premières recherches utilisant cet alliage pour contraindre le silicium ont été élaborées à la fin des années 80 et fut utilisées pour faire la croissance par épitaxie de $Si_{1-x}Ge_x$ sur du silicium pour les transistors bipolaires, dans ce cas la couche épitaxiée se conforme au substrat de silicium tant que son épaisseur est inférieure à une épaisseur critique au-delà de laquelle cette couche se relaxe. Cette épaisseur critique dite pseudomorphique, au-delà de laquelle cette couche se relaxe, dépend des conditions de croissance on cite entre autre la température et le vitesse mais aussi principalement la concentration en germanium. Cette couche dépend aussi des conditions du procédé.

Notons qu'il y aura des contraintes thermiques qui viendront s'ajouter à celles d'origine cristallographique, mais la contribution thermique reste plus faible que la contribution cristallographique. Du point de vu pratique, il est impossible que ces épaisseurs calculées aient les mêmes dimensions que les épaisseurs pratiques car il existe pratiquement une gamme d'épaisseur pour laquelle les couches contraintes se trouvent dans un état métastable.

Sachant que le paramètre de maille de l'alliage SiGe est plus grand que celui du silicium (Le paramètre de maille du germanium qui est de 5,658 Å est plus grand que celui du silicium égal à 5,431 Å) la couche de SiGe se trouvera en compression biaxiale dans le plan de l'épitaxie et en tension dans la direction perpendiculaire. Inversement la croissance du Si sur du SiGe relaxé, d'une épaisseur bien plus importante que l'épaisseur critique, lui permettra de retrouver son paramètre de maille originel. Ainsi, la couche de silicium se trouvera alors en tension biaxiale dans le plan et en compression dans la direction perpendiculaire.

2.6.1.1 L'utilisation des interfaces à base de carbone SiC

Notons cependant qu'il est possible aussi de créer une couche contrainte en utilisant les hétérostructures à base de carbone (Si:C/Si). Ainsi l'introduction d'un faible pourcentage de carbone dans une couche de silicium (figure 2.28) diminue le paramètre de maille de cette

Chapitre 2. Présentation des contraintes et mise en évidence de leur génération dans les MOSFETs

couche vu que le paramètre de maille du réseau du carbone (3,567 Å) est plus faible que celui du silicium (5,431 Å). La couche est donc contrainte en tension et sera favorable pour la conception des transistors NMOS. Le gain obtenu sur des dispositifs Sub-100nm en utilisant des couches enterrées Si:C/Si est très prometteur vis-à-vis des effets de canaux courts mais n'a pas atteint encore le gain estompé concernant la mobilité ceci étant dû à la création des défauts par le carbone en site interstitiel [Dollfus, 2002].

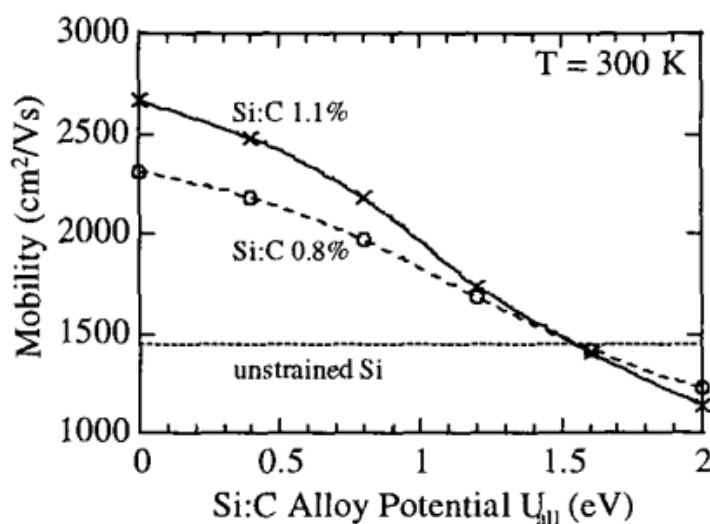


Figure 2.28 – Simulation Monte Carlo de la mobilité prenant en compte l'effet de la contrainte et les interactions dues à la rugosité de surface. [Dollfus, 2002]

2.6.2 L'effet de l'épaisseur de la couche en SiGe et la fraction molaire du germanium Ge

L'épaisseur de la couche en SiGe et la fraction molaire du germanium jouent un rôle crucial dans la détermination de la plage de la tension de grille pour laquelle on a un confinement des porteurs. Un décalage des bandes plus large à l'interface Si/SiGe entraîne un meilleur confinement des porteurs. Pour un taux fixe de contrainte, il est plus avantageux de minimiser l'épaisseur de la couche en SiGe et d'augmenter la fraction molaire en germanium.

Plusieurs auteurs ont rapportés des résultats de simulation réalisés sur différentes structures P-HFET avec différents fractions molaires et profils [Meyerson, 1994, Ruan, 1995]. Les résultats de simulation ont montrés que l'épaisseur de la couche en SiGe a un minimal effet sur la densité des trous dans la couche en SiGe et le canal. Réduire cet épaisseur contribue dans l'amélioration de la stabilité de la couche contrainte, et par conséquent pouvoir utiliser de plus grande quantité de germanium dans une telle condition. La figure 2.29 montre la densité des trous pour différentes valeurs de fractions molaires en Germanium : 10%, 20%, 30% et 40%. il est évident que la fraction molaire en Ge doit être supérieure à 30% pour assurer que la majorité des trous traversent à travers le canal en SiGe. [Maiti, 2001]

Il est possible d'obtenir de meilleures performances si on utilise de très forte concentrations en germanium, de l'ordre de 40% à 50 %. Le profile de germanium dans ce cas satisfait au critère de Matthews-Blakeslee pour l'épaisseur critique. [Maiti, 2001]

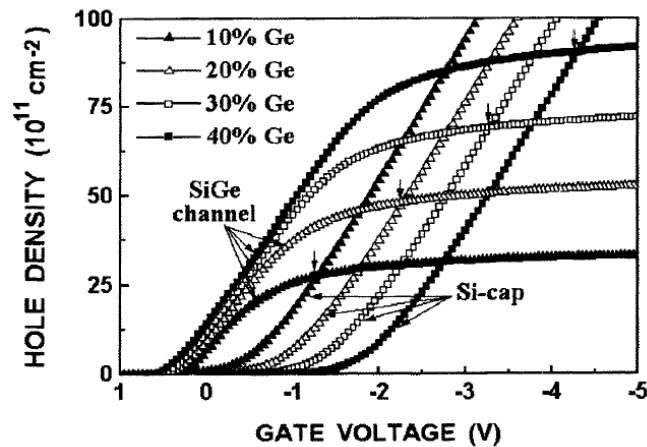


Figure 2.29 – La densité des trous en utilisant différentes fractions molaires de germanium [Maiti, 2001]

Dans ce contexte Schmidt et al [Richter, 2011], ont menés une étude en variant les concentrations molaires en germanium qui sont : 0.35-0.50 et 0.65 respectivement, ils ont pu remarquer que le $Si_{0.5}Ge_{0.5}$ a montré la plus haute valeur du courant I_{ON} et le $Si_{0.35}Ge_{0.65}$ montre une diminution des courants et ceci est dû à la relaxation partielle de la contrainte. Afin d'augmenter cette concentration en germanium et dépasser la valeur de 50%, de basses températures doivent être utilisées : 450 °C pour le SiGe et 525 °C pour la couche de silicium, ainsi on aura une surface plate, pour diminuer les problèmes de rugosité de surface. [Yokoo, 1992]

De leur part, Takashi et al [Bruley, 2017] ont démontrés de remarquables améliorations notamment la réduction du courant de fuite et ceci en utilisant de très haut pourcentage de Germanium, de 65% – 70%.

Cet effet de la variation de la concentration molaire s'étend aux performances RF des transistors contraint, il a été démontré qu'il y a une amélioration significative dans les performances d'un transistor double grille contraint en utilisant une fraction molaire supérieure à 40%. [Sarkar, 2014]

Sharan et Rana [K.Rana, 2011], ont étudiés en premier lieu la variation des performances du dispositif en utilisant la variation de la concentration en germanium de 0 à 0.3 ensuite en variant l'épaisseur du canal allant de 2 nm à 20 nm, ils ont rapportés qu'il y a une amélioration des performances en augmentant la fraction molaire du germanium et en augmentant l'épaisseur du canal jusqu'à 10 nm là où ils ont remarqués une saturation des améliorations comme il est illustré dans les figures 2.30, 2.31 et 2.32, qu'ils ont considérés comme l'épaisseur critique de leurs structure.

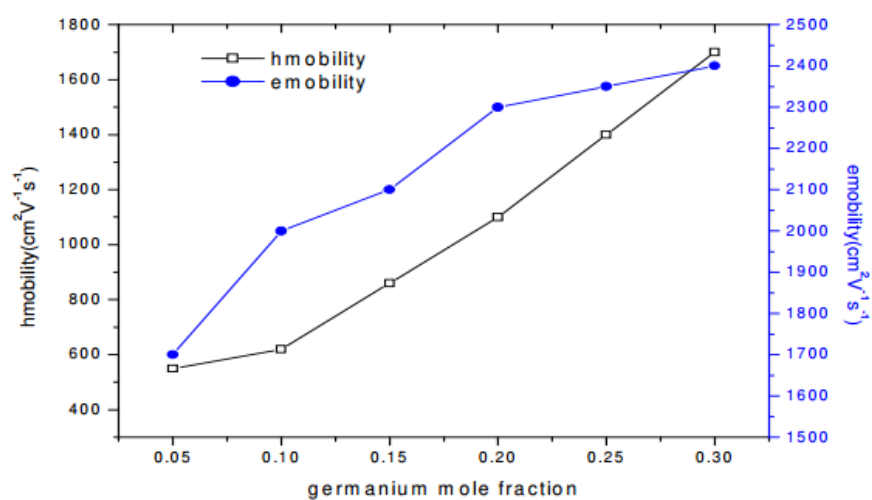


Figure 2.30 – La mobilité des électrons et des trous en fonction de la fraction molaire en Germanium [K.Rana, 2011]

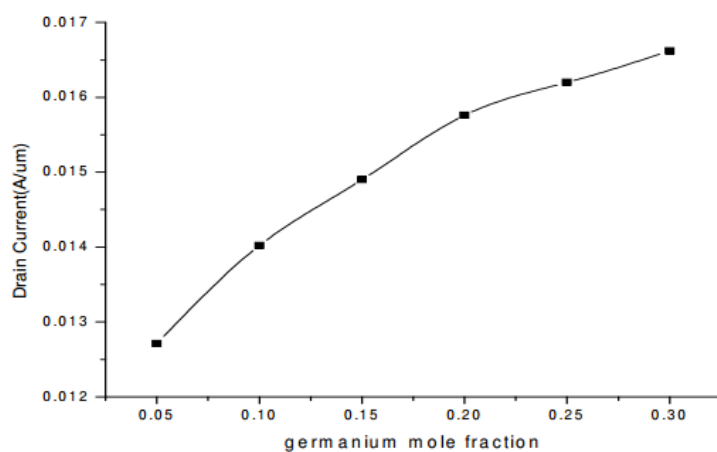


Figure 2.31 – La variation du courant de drain en fonction de la variation de la fraction molaire en germanium [K.Rana, 2011]

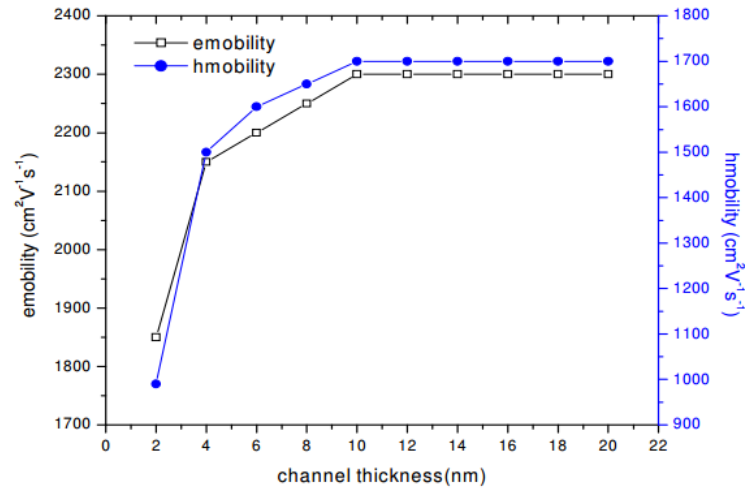


Figure 2.32 – La variation de la mobilité des électrons et des trous en fonction de l'épaisseur du canal [K.Rana, 2011]

Actuellement les matériaux III-V ont connu un grand gain d'intérêt dans le domaine de la microélectronique et on a de plus en plus tendance à les coupler avec la technologie du silicium pour former une équipe complémentaire afin de tirer la maximum de profit, et c'est ainsi que Nainani et al [Krishnamohan, 2011] ont démontrés d'importantes améliorations en utilisant un canal en $ln_xGa1-xSb$ d'une épaisseur mince, autour de 7 nm.

la démonstration des bénéfices que peut apporter ce couplage constitue l'une des alternatives qui permet la continuité de la mise à l'échelle au delà de l'année 2020 selon Bedell et al. [Khakifirooz and Sadana, 2014]

2.6.2.1 Les avantages et les inconvénients obtenus par l'utilisation des canaux epitaxiaux

Les travaux de recherche de Lee et al [Langdo, 2001], ont démontrés qu'on peut avoir des gains en mobilité avec un facteur de 8 par rapport au Si massif en utilisant du sSi/Ge/ $Si_{0.3}Ge_{0.7}$, de leurs côtés Leitz et al [Antoniadis, 2001] ont mesurés des gains en mobilité avec un facteur de 5 par rapport au silicium massif, en utilisant du sSi/ $Si_{0.2}Ge_{0.8}/Si_{0.5}Ge_{0.5}$. L'utilisation d'un empilement de grille TiN/ HfO_2 dans un PMOS en utilisant du $Si_{0.72}Ge_{0.28}$ a contribué à l'amélioration de la mobilité universelle avec un pourcentage de 58 % [Damlencourt, 2004], donc on peut dire qu'une contrainte en compression est une solution prometteuse pour améliorer la mobilité des trous.

La deuxième approche qui est la plus utilisée, consiste à déposer une couche de silicium et introduire une contrainte en tension, sur un substrat de SiGe, pour obtenir les couches de SiGe les plus relaxées, on part d'un substrat en silicium, puis on réalise une croissance épitaxiale de $Si_{1-x}Ge_x$ avec une concentration graduelle croissante de germanium pour éliminer les dislocations d'une façon progressive.

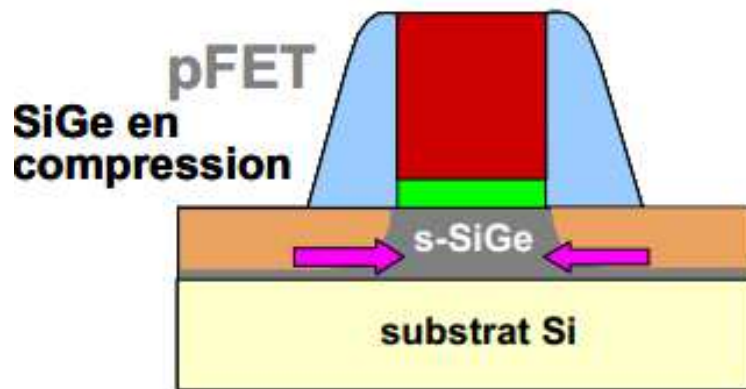


Figure 2.33 – Architecture à canal SiGe en compression biaxiale sur silicium massif [Dimitri, 2003]

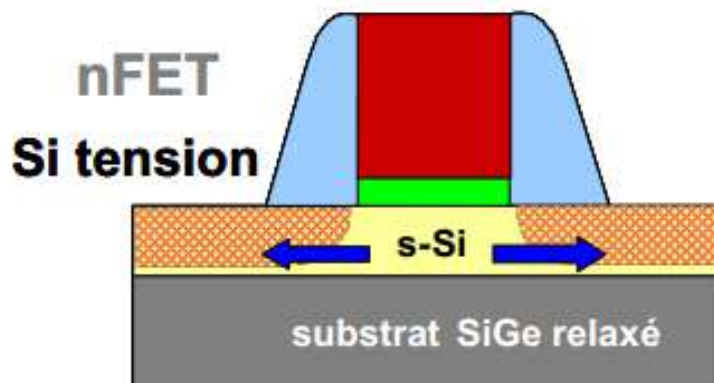


Figure 2.34 – Architecture à canal en Si en tension sur un substrat de SiGe relaxé.

D'après un travail de LIU [Yu, 2005], avec cette méthode on obtient un décalage de bande d'environ 6 meV au même temps pour la bande de conduction et pour la bande de valence. De leur part Hoyt et al, ont démontrés qu'il y aura un décalage de 6.7 meV pour la bande de conduction et de 4 meV pour la bande de valence [Xia, 2002].

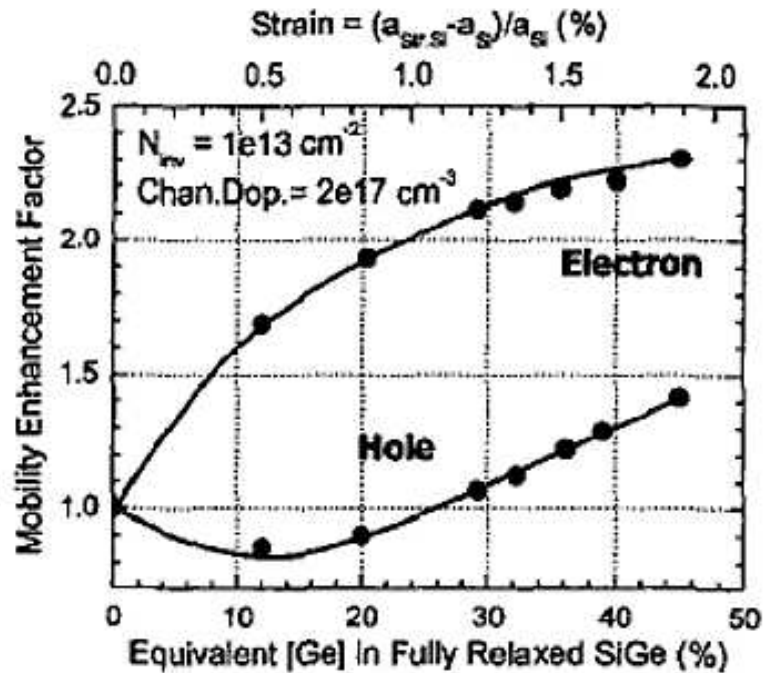


Figure 2.35 – Evolution du gain en mobilité pour les électrons et les trous d'un canal sSi/SiGe relaxé en fonction de la concentration de germanium [Ott, 2003]

Cette méthode rencontre plusieurs défis parmi lesquelles on peut citer :

- La génération de dislocations due au désaccord de paramètre de maille à l'interface Si/SiGe.
- La propagation des dislocations à la zone active.
- La rugosité de surface.
- La non-uniformité de la contrainte induite.
- La stabilité thermique du silicium contraint pendant l'ensemble des procédés de fabrication.

Grâce à l'utilisation d'une couche graduelle de SiGe qu'on peut diminuer la densité des dislocations et des défauts [Brasen and Kortan, 1991], et on arrive à améliorer le taux de contrainte dans la couche de silicium. L'utilisation aussi du procédé de polissage mécano-chimique (CMP) [Leitz and Fitzgerald, 1998] peut contribuer à faire face au problème de la rugosité de surface, comme il a démontré FIOREN [Cheng, 2004] en passant de 7.2 nm à 0.5 nm.

2.6.3 Les différentes méthodes de croissance par épitaxie

le but principale de citer les différentes techniques de croissance d'une couche $Si_{1-x}Ge_x$ sur un substrat silicium est de choisir une méthode qui permet de diminuer la densité de dislocations émergentes.

2.6.3.1 La croissance directe

La plus simple stratégie pour obtenir une couche de $Si_{1-x}Ge_x$ sur un substrat en silicium est de déposer directement la couche sur le substrat comme le montre la figure 2.36.

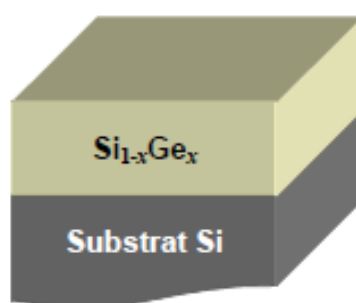


Figure 2.36 – Dépôt direct d'une couche de $Si_{1-x}Ge_x$ sur un substrat en silicium [BOGUMILOWICZ, 2005]

Lorsqu'on applique cette méthode, l'ensemble des dislocations d'adaptations du désaccord de maille ont tendance à s'accumuler à l'interface entre la couche et le substrat. Pour éviter d'obtenir une densité de dislocations émergentes élevée, et avoir un bon niveau de relaxation il faut utiliser des couches très épaisses.

2.6.3.2 Concentration graduelle en Ge

L'une des solutions proposées afin de faire face aux problèmes que pose la croissance directe du $Si_{1-x}Ge_x$ sur le Si, consiste à rajouter entre la couche relaxée et le substrat une zone dans laquelle la concentration en germanium augmente graduellement jusqu'à la valeur désirée comme il est illustré dans la figure 2.37.

L'avantage qu'offre cette méthode est l'absence d'accumulation des dislocations sur une seule interface vu que ces dernières seront distribuées sur tout le volume. De cette façon, il y aura moins de probabilité que les dislocations interagissent entre elles.

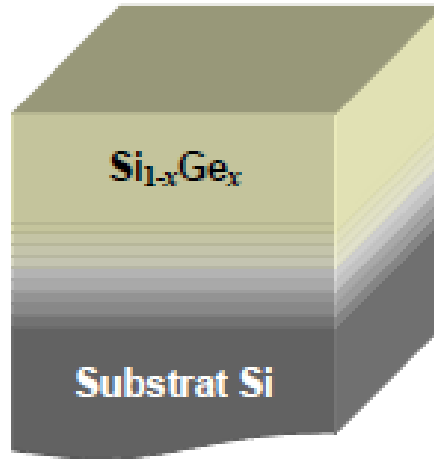


Figure 2.37 – Déposition d'une couche de $Si_{1-x}Ge_x$ avec une couche intermédiaire où la concentration en germanium est augmentée graduellement [BOGUMILOWICZ, 2005]

Lors de l'introduction des contraintes dans le canal de conduction des transistors MOSFET l'épaisseur de la couche Si_xGe_{1-x} doit avoir une épaisseur suffisante. Les films devront être d'une forme parfaitement plane, car la rugosité dégrade fortement la mobilité. Par ailleurs les relaxations (nature élastique ou plastique) doivent être évitées afin de bénéficier complètement des avantages de la contrainte et d'éviter d'introduire des défauts dans le canal du transistor MOS, pour finir la concentration du germanium doit être ajustée.

2.6.4 Les Hétérostructures à canaux doublement contraints (hétéro-épitaxie)

Dans les structures CMOS, plusieurs facteurs sont pris en considération pour améliorer le courant de conduction du MOSFET à canal court. Le courant aura alors pour expression:

$$I_{DS} = \frac{\mu_{eff} \cdot C_{OX} \cdot W/L}{1 + V_{DS}/E_{Sat} \cdot L} \cdot [(V_{GS} - V_{Th}) \cdot V_{DS} - \frac{V_{DS}^2}{2}] \quad (2.34)$$

où μ_{eff} est la mobilité effective, C_{OX} est la capacité de l'oxyde par unité de surface, E_{Sat} est le champ effectif de saturation, V_{Th} est la tension de seuil, et V_{DS} et V_{GS} sont les tensions de drain et de grille respectivement.

La mobilité effective dans cette équation peut être ajustée par le changement du matériau de canal, afin d'augmenter ce courant de conduction. Les hétérostructures utilisant du silicium contraint dans le canal sont utiles dans la réduction du taux de diffusion. Ceci peut contribuer dans l'amélioration de la mobilité. [Maiti, 2001]

Dans les travaux de D.J.Paul en 1998 [Paul, 1998], ce dernier a présenté les hétérostructures Si/ $Si_{1-x}Ge_x$ et a expliqué les défis et les problèmes que rencontrent ces structures lors de

Chapitre 2. Présentation des contraintes et mise en évidence de leur génération dans les MOSFETs

leurs intégrations, et il a alors prédit que le SiGe sera dans le futur adopté lors de la conception des MOSFETs.

Pour obtenir un maximum de gain en mobilité, et pour améliorer à la fois les performances des NMOS et les PMOS, il est intéressant de coupler les deux approches, en utilisant le SiGe en compression pour les trous, et du silicium en tension pour les électrons. C'est pour cela que les architectures à canaux doubles contraintes $sSi/sSiGe_x/SiGe_y$ ont été proposés [Fitzgerald, 2002, Fitzgerald, 2003, Antoniadis, 2004].

Les figures 2.38 et 2.39 représentent différentes possibilités d'intégration d'une contrainte dans les hétérostructures et la représentation schématique d'une structure à canaux doublement contraints.

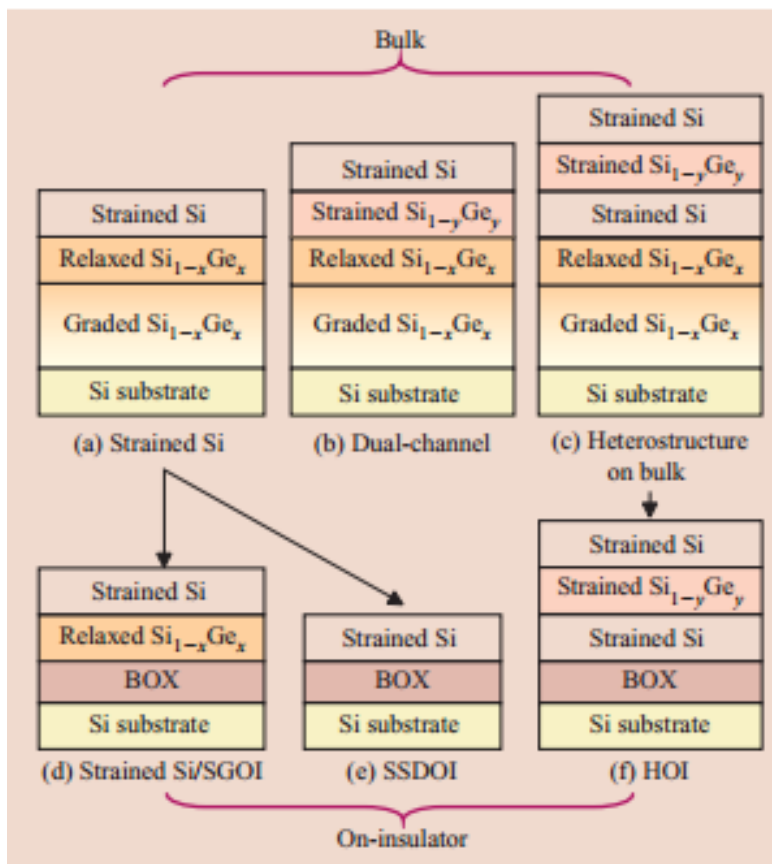


Figure 2.38 – Les Différentes utilisations de la contrainte en Hétérostructure. [Hoyt, 2006]

Une première couche de $Si_{1-y}Ge_y$ en composition graduelle de Ge ($0 < y < x$) est épitaxiée sur un substrat Si et permettra d'emmagasiner la plus grande part de dislocations. Une couche de $Si_{1-x}Ge_x$ à une composition fixe en Ge est épitaxiée, sur cette couche on fait une croissance d'une couche de Si contraint en tension biaxiale.

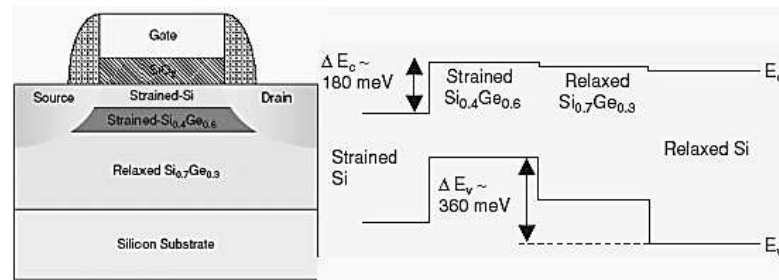


Figure 2.39 – Représentation schématique d'une structure à canaux doubles contraints et la structure de bande correspondante [Yu, 2005]

La Structure de bande, illustre que les électrons seront confinés dans la couche de Silicium contraint, alors que les trous sont confinés dans la couche $Si_{1-x}Ge_x$.

On peut aussi dire que la superposition des contraintes permet d'améliorer encore le gain, sur ceci LAI et Al-BAY ont réalisés une étude qui démontre qu'il y a un effet plus grand que celui lorsqu'on utilise chaque technique séparément [Yeh, 2006] [Xia, 2005].

2.6.5 Synthèse des techniques d'introduction des contraintes et la continuité de leurs utilisation

Plusieurs méthodes et techniques permettent de générer une contrainte dans le canal de conduction d'un transistor MOSFET. Il existe de ce fait des contraintes uniaxiales, biaxiales, perpendiculaires ou longitudinales au canal, de faibles ou de fortes intensités.

Les transistors à canal contraint par épitaxie montrent des gains plus grands par rapport à la mobilité des électrons à faibles et à forts champs.

La figure 2.41 permet de comparer la mobilité effective des électrons pour une structure contrainte avec celle d'une structure non-contrainte, ainsi que la mobilité effective des trous dans une structure contrainte et une hétérostructure à double canaux contrainte.

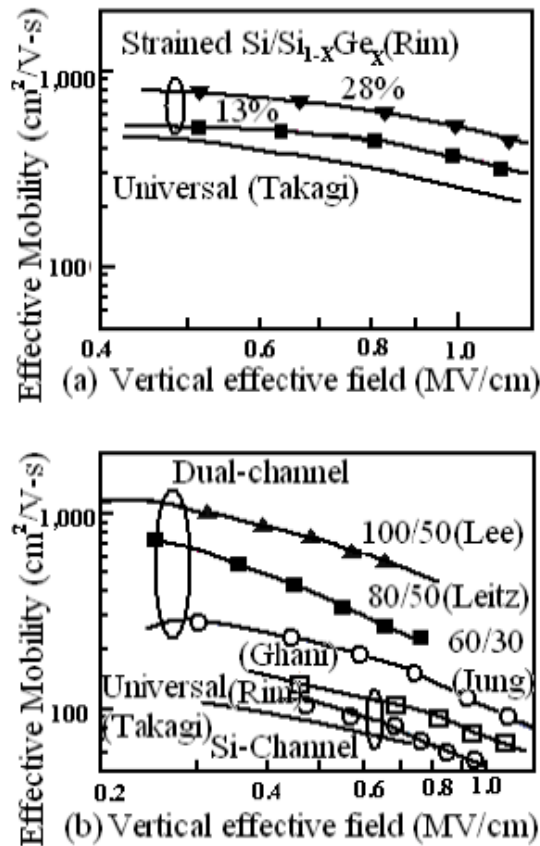


Figure 2.40 – Les avantages d'utilisation de la contrainte et les Hétérostructures à canaux doubles contraints.[Åberg; C. Ni Chléirigh; 2004]

L'équation 2.35 montre que pour deux couches avec des épaisseurs comparables, le $\alpha_{||}$ ne coïncide ni avec le paramètre de maille du silicium a_{Si} ni avec celui du SiGe a_{SiGe} , par conséquent les deux films sont contraints lorsque l'hétérostructure est formée.

$$\alpha_{||} = \frac{a_{Si} \cdot G_{Si} \cdot T_{Si} + a_{SiGe} \cdot G_{SiGe} + T_{SiGe}}{G_{Si} \cdot T_{Si} + G_{SiGe} \cdot T_{SiGe}} \quad (2.35)$$

La figure 2.41 permet de mettre en évidence les principales techniques permettant d'induire une contrainte maîtrisée dans le canal des MOSFETs.

La combinaison entre l'introduction de nouveaux matériaux, l'utilisation de nouvelles orientations de substrat ainsi que l'introduction de contrainte continuera à améliorer d'une façon considérable les performances des futures générations des circuits CMOS, pour le nœud 45 nm et en deçà.

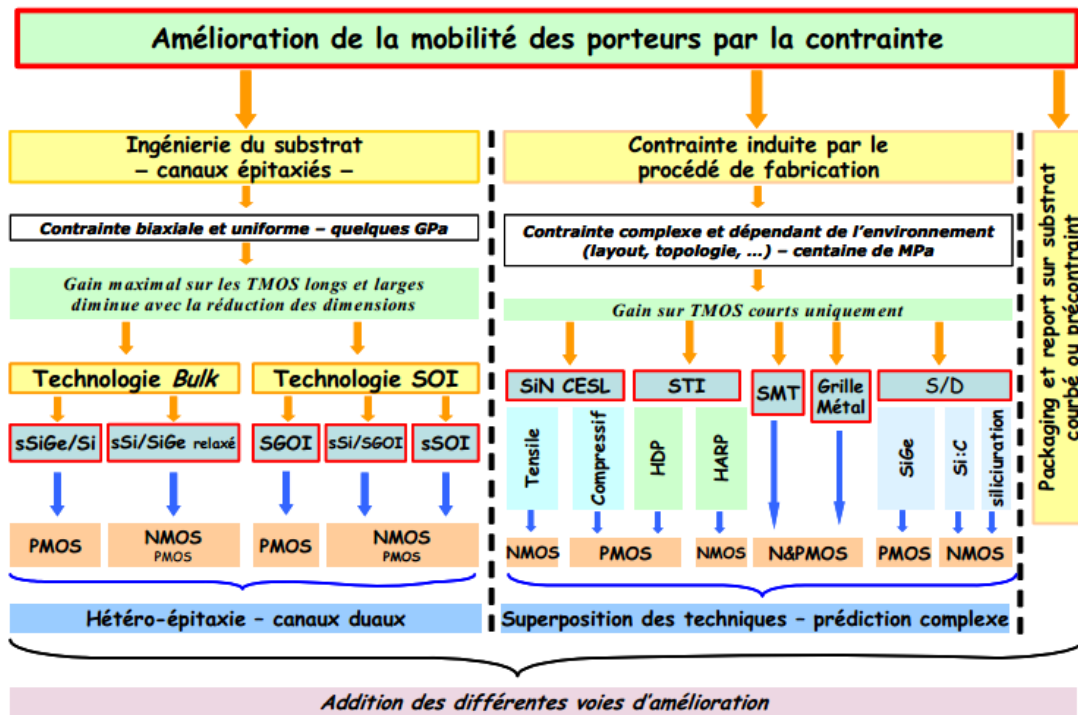


Figure 2.41 – Synthèse des différentes solutions technologiques pour améliorer la mobilité en utilisant les contraintes mécaniques. [Rochette, 2008]

Pour les nœuds technologiques 65 nm et 45 nm, les industriels optent pour les solutions moins coûteuses telles que les CESL pour les NMOS, alors que pour les PMOS s'ajoutent les S/D en SiGe.

Pour le nœud technologique suivant qui est du 32 nm, le choix reste ouvert et tout est envisagé du point de vue contrainte. La figure 2.42 montre une section transversale des transistors NMOSFET et PMOSFET pour le nœud technologique 32 nm fabriqué par Intel corporation en 2009.

Les principales caractéristiques du dispositif sont regroupées dans le tableau 3.3. Dans ce dispositif on a utilisé un diélectrique à haute permittivité et grille métallique pour supprimer les effets de canaux courts sans augmenter les fuites au niveau de la grille. L'épaisseur du diélectrique de grille a été réduite de 1.0 nm sur 45 nm à 0.9 nm sur le processus de 32 nm tandis que la longueur de grille a été réduite à 30 nm. Cette technologie de 32 nm utilise également du silicium contraint lors de l'élaboration du PMOSFET, résultant en un courant de conduction dépassant celui obtenu pour le NMOSFET, s'ajoutant à ceci, l'utilisation de régions S/D élevées et la 2^{ème} génération des tranchées de contacts réduit la résistance d'accès S/D.

Chapitre 2. Présentation des contraintes et mise en évidence de leur génération dans les MOSFETs

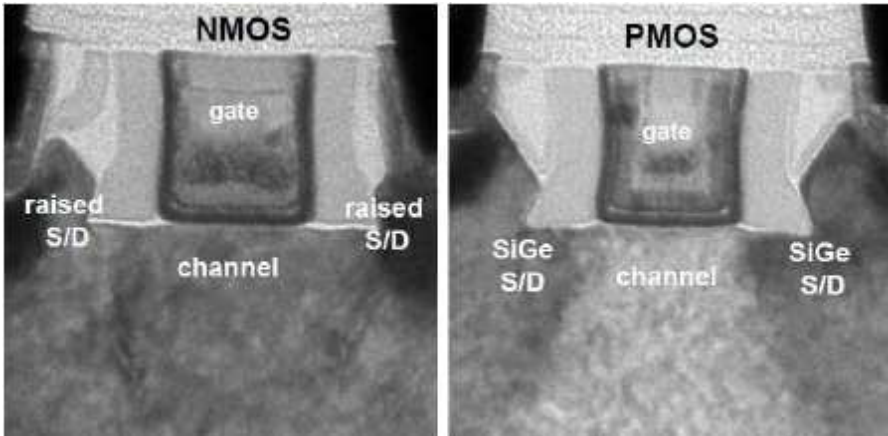


Figure 2.42 – Section transversale d’un transistor NMOS et un PMOS d’Intel en utilisant la 4^{ème} génération de silicium contraint [Ghani, 2009]

	NMOS	PMOS
L_G[nm]	30	30
EOT[nm]	0.9	0.9
ID_{Sat}[mA/mm]	1.62	1.37
ID_{lin}[mA/mm]	0.231	0.240
I_{OFF}[mA/mm]	100	100
V_{Tsat}[V]	0.115	-0.18
DIBL[mV/V]	~ 200	~ 200
SS[mV/dec]	~ 100	~ 100

Table 2.3 – Caractéristiques principales de la technologie Intel 32 nm [Tachi, 2011]

En figure 2.43 , est présenté L’évolution des processeurs fabriqués par Intel au fil des années.

2.6. Performances des architectures à canal contraint

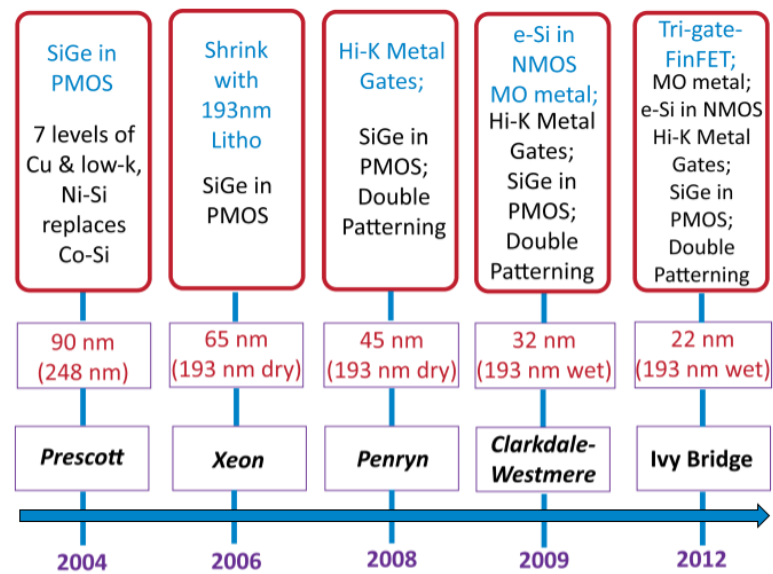


Figure 2.43 – L'évolution des processeurs fabriqués par Intel au fil des années [Corporation, 2014]

La figure 2.44 est image des deux processeurs : Clarkdale/Westmere et Ivy Bridge.

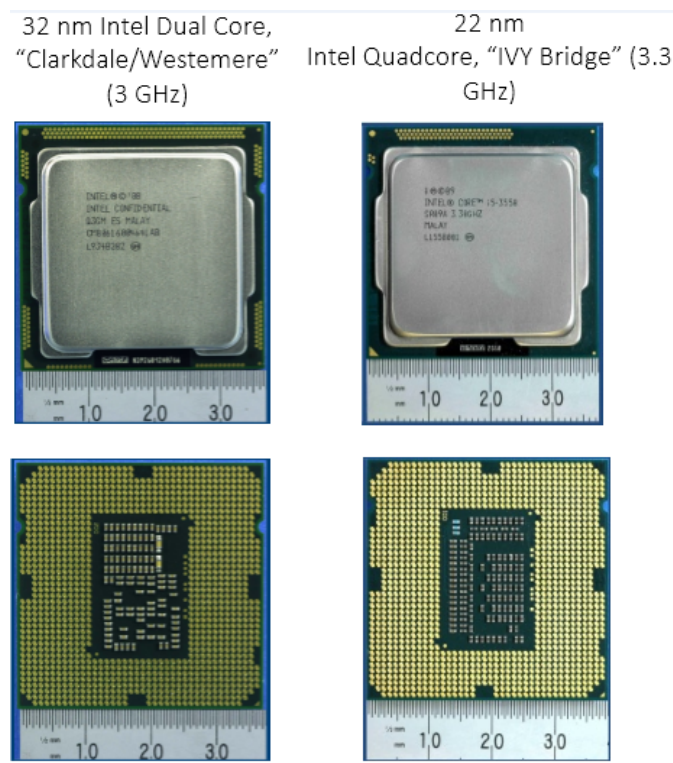


Figure 2.44 – Le processeur Clarkdale/Westmere et le processeur Ivy Bridge [Corporation, 2014]

Néanmoins ceci constitue un vrai challenge aux concepteurs et chercheurs afin de chercher de nouvelles méthodes de fabrication et de processus, on cite à titre exemple l'utilisation

Chapitre 2. Présentation des contraintes et mise en évidence de leur génération dans les MOSFETs

de la technique de lithographie EUV (Lithographie extrême ultraviolet) autour du nœud technologique 10 nm comme il est illustré dans la figure 2.45.

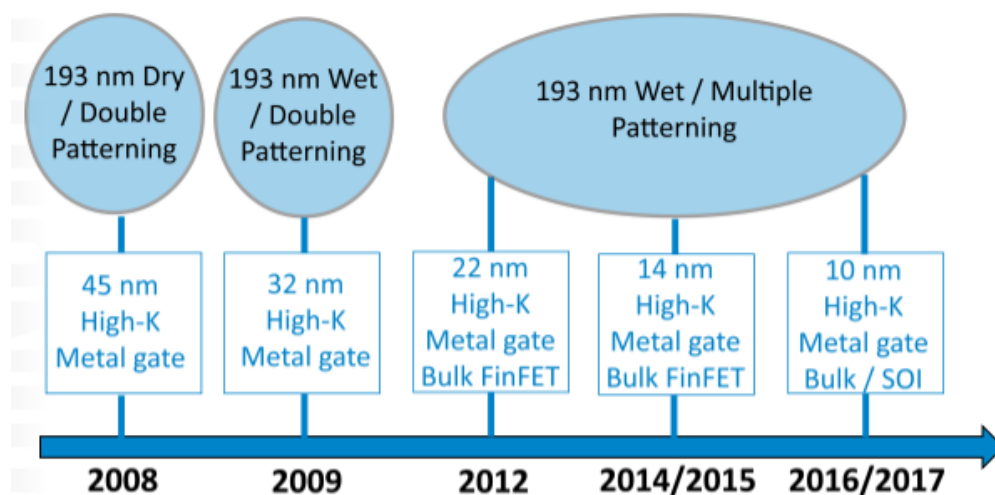


Figure 2.45 – L'actuelle évolution des technologies d'Intel au fil des années [Corporation, 2014]

2.7 Conclusion

Ce second chapitre a été consacré à la présentation des contraintes. Nous avons ainsi présenté dans ce chapitre les propriétés physiques du silicium contraint, ainsi que les différents mécanismes expliquant l'amélioration de la mobilité des porteurs, et la réduction du gap du silicium d'où l'amélioration des performances des transistors contraints. D'une part, nous avons alors mis en évidence tout l'intérêt de la maîtrise des contraintes mécaniques, d'autre part, nous avons pu présenter les différents mécanismes de génération d'une contrainte. Nous avons pour finir abordé l'architecture du transistor MOSFET à canal de silicium contraint où nous nous sommes intéressé au silicium contraint en tension bi-axiale sujet de notre étude. Vu toutes les améliorations des performances apportées par l'utilisation des contraintes dans les canaux de conduction des MOSFETs, ces contraintes furent cette dernière décade adoptées par plusieurs leaders du marché d'informatique et de micro-électronique tel que AMD, Intel [Glass, 2004], IBM [Klymko, 2005], etc ...

3 Résultats de simulation et interprétations

3.1 Introduction

Nous avons pu au cours du chapitre précédent mettre en évidence les avantages et les améliorations apportés par l'introduction contrôlée des contraintes biaxiales dans les canaux de conduction des transistors MOSFETs. Nous allons alors dans ce chapitre présenter l'ensemble des résultats de simulation obtenus par le biais du logiciel de simulation SILVACO-TCAD, pour cela nous avons tout d'abord utilisé le module ATHENA qui nous a permis de simuler les étapes technologiques permettant de concevoir un MOSFET contraint en tension biaxiale, le second module ATLAS nous a permis de déterminer les caractéristiques électrique de nos structures où nous avons donc pu évaluer l'impact de la contrainte en tension biaxiale sur les propriétés électriques de trois dispositifs NMOSFETs, PMOSFET et pour finir un double grille qui sont tous les trois contraints en tension biaxiales.

3.2 Présentation du logiciel de simulation SILVACO-TCAD

Les logiciels de simulation assisté par ordinateur TCAD (Computer-Aided-Design-Technology) sont utilisés dans la conception et l'ingénierie des semi-conducteurs ainsi que la simulation des processus de fabrication [NAVICKAS, 2012].

SILVACO: "Silicon Valley Corporation" est un logiciel de simulation TCAD permettant de concevoir et prévoir le comportement des dispositifs à semi-conducteurs, avant leurs fabrications et avant leurs insertions dans d'autres circuits ce qui permet de réduire considérablement les frais de production, l'importance aussi des logiciels TCAD vient du fait qu'ils permettent d'expliquer certains phénomènes très importants, qui sont difficiles à visualiser ou calculer [Sin, 2014].

SILVACO, Inc est une société internationale installée à Santa Clara, en Californie, et elle a des filiales un peu partout dans le monde. sa mission est de comprendre les défis et les

préoccupations des chercheurs et des industriels dans le domaine de la recherche en micro-électronique, elle rassemble les meilleurs experts dans la programmation, la simulation par éléments finis, et la conception assistée par ordinateur, en collaboration avec plusieurs universités et associations industrielles afin de fournir aux utilisateurs un solide et un fiable outil de simulation tout en mettant 30 ans d'expérience la dessus [SILVACO, 2018]. Dans ce travail les deux modules **ATHENA** et **ATLAS** furent principalement utilisés. La figure 3.1 représente un schéma synoptique des modules utilisés dans nos diverses simulations.

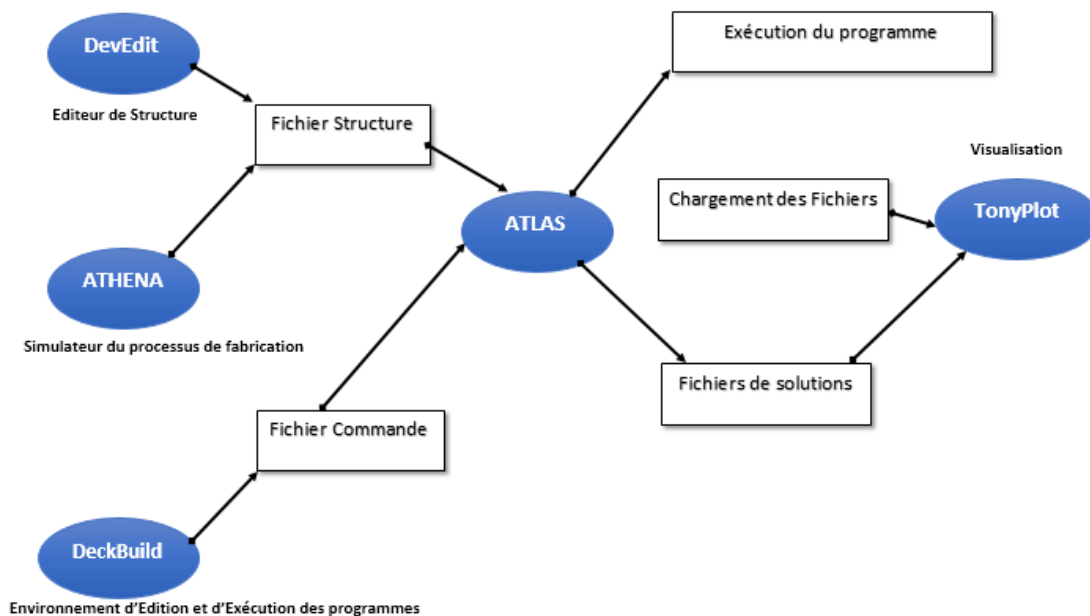


Figure 3.1 – Schéma synoptique des modules utilisés dans la simulation

3.2.1 Les modules utilisés en simulation

3.2.1.1 ATLAS

Le module ATLAS est un module de simulation bi-dimensionnelle basé sur l'équation de poisson qui permet de relier le potentiel électrostatique ϕ et de continuité des porteurs qui décrivent la manière dont évoluent les densités de charges électroniques suite aux processus de transport, de génération, et de recombinaison. C'est un simulateur 2D ou 3D de dispositifs semi-conducteurs basés sur la physique des semi-conducteurs. Il permet la prédiction du comportement électrique des structures semi-conductrices et fournit des aperçus sur les différents mécanismes physiques internes associés au fonctionnement des divers dispositifs. C'est donc un logiciel fournissant des potentiels généraux de base physique à deux ou trois dimensions (2D, 3D) de simulation de dispositifs.

3.2.1.2 ATHENA

ATHENA de SILVACO-TCAD est un simulateur à deux dimensions qui fournit à ses utilisateurs la possibilité de simuler les différents procédés de fabrication utilisés dans l'industrie des semi-conducteurs : diffusion, oxydation, implantation ionique, gravure, lithographie, et pour finir les procédés de dépôt. Il permet ainsi des simulations rapides et assez précises de toutes les étapes de fabrication utilisées dans les différentes technologies bipolaires, MOSFETs, HEMT, MESFET, optoélectronique, MEMS, ainsi que les composants de puissance.

Il permet ainsi de fournir des informations importantes pour la conception et l'optimisation des procédés technologiques telles que les concentrations des porteurs, les profondeurs de jonctions, etc...

3.2.1.3 DeckBuild

Le DeckBuild est un outil interactif qui permet d'éditer le programme de simulation. Il a une plateforme qui lui permet d'être utilisé en toute facilité sans pour autant passer par une programmation complexe et lourde. Il est utilisé avec ATHENA, ATLAS et d'autres modules. Il permet d'afficher et d'extraire certains résultats de simulation tel que les paramètres électriques comme la tension de seuil, la pente sous le seuil et le courant de fuite, ce module permet également de suivre l'évolution du programme et la correction d'éventuelles erreurs à l'aide d'une fenêtre d'information appelée "Output Window".

3.2.1.4 Tonyplot

Tonyplot est un environnement qui permet de visualiser les résultats de simulation, tel que la structure du composant en 2D ou en 3D, le maillage, le profil de dopage, les caractéristiques de transfert et de sortie, et beaucoup d'autres possibilités d'extraction et de simulation. Il permet également de régler certains paramètres comme l'option du "Zoom" et de mesure de la distance entre les différentes régions et couches afin d'obtenir des résultats fiables.

Durant nos simulations, nous avons essentiellement utilisé le module d'ATHENA pour concevoir nos dispositifs en passant par les différentes étapes technologiques qui seront expliqués par la suite. Une fois la structure obtenue, on a alors fait appel au module ATLAS afin de déterminer les caractéristiques électriques de nos dispositifs. Par la suite, nos résultats de simulations sont visualisés à l'aide du module Tonyplot, et à travers les résultats affichés dans la fenêtre de sortie.

La conception d'une structure MOSFET en utilisant le logiciel SILVACO exige le respect d'un certain ordre bien déterminé dans la programmation des étapes, ainsi que certaines syntaxes réservées au logiciel.

3.2.2 Logique de programmation

Après avoir tout d'abord présenté les outils de simulation que nous avons utilisé lors de nos simulations soit alors ATHENA, et ATLAS de SILVACO, nous allons alors présenter l'ordre des commandes propres à la logique de programmation. Ces différentes commandes doivent être exécutés dans cette ordre et sont présentés au niveau du tableau 3.1 [Khaouani, 2018].

Groupes	Commandes
Spécification de la structure	MESH REGION ELECTRODE DOPING
Spécification des modèles de couches	MATERIAL MODELS CONTACT INTERFACE
Sélection de la méthode numérique	METHOD
Spécification de la solution	LOG SOLVE LOAD SAVE
Analyse des résultats	EXTRACT TONYPLOT

Table 3.1 – Les principaux étapes et commandes du logiciel SILVACO [Khaouani, 2018]

3.2.3 Brèves descriptions de quelques étapes de conception sous ATHENA

3.2.3.1 Définition du maillage

Le maillage est une étape très importante lors de la conception d'un dispositif, ce dernier est généralement raffiné dans les régions de l'oxyde de grille SiO_2 et les interfaces. Les figures 3.2 et 3.3 permettent de présenter un exemple de maillage utilisé pour une structure MOSFET, c'est le maillage élaboré dans l'exemple mos1ex01 de la librairie des exemples de SILVACO.

```
go athena
#
line x loc=0.0 spac=0.1
line x loc=0.2 spac=0.006
line x loc=0.4 spac=0.006
line x loc=0.6 spac=0.01
#
line y loc=0.0 spac=0.002
line y loc=0.2 spac=0.005
line y loc=0.5 spac=0.05
line y loc=0.8 spac=0.15
#
```

Figure 3.2 – Définition du maillage dans une structure MOSFET.

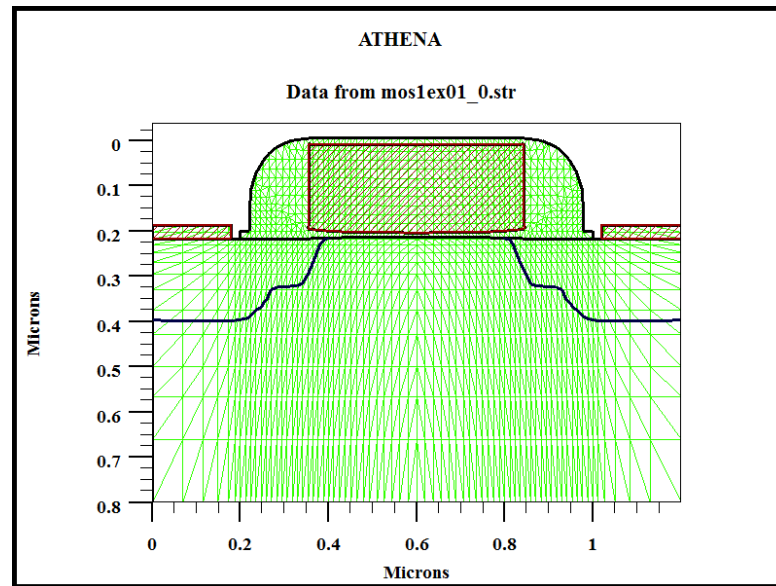


Figure 3.3 – Illustration du maillage dans une structure MOSFET

Pour obtenir une meilleure précision et de meilleurs résultats, il faut choisir un maillage le plus fin possible, cependant en augmentant le raffinement du maillage, le temps de calcul et de traitement augmentera aussi, par conséquent, on doit nécessairement faire un compromis entre le temps de calcul et la précision choisis selon le besoin de l'utilisateur.

l'intersection des lignes dans le maillage forment des triangles. Pour obtenir un bon maillage on doit réduire au maximum les triangles obtus, dont le nombre et le pourcentage peuvent être visualisés dans la fenêtre de sortie du module ATLAS, comme suit:

```
Mesh
Type: non-cylindrical
Total grid points: 1613
Total triangles: 3034
Obtuse triangles: 80 (2.63678 %)
```

Figure 3.4 – Illustration du problème des triangles obtus

3.2.3.2 La croissance épitaxiale

Rappelons que le module ATHENA permet de réaliser une croissance épitaxiale. Ceci peut être obtenu en suivant l'ordre de commandes donné en figure 3.5.

On a pu ainsi faire la croissance d'une couche de silicium dopé par de l'Arsenic sur un substrat de type P, avec une vitesse de croissance de $0.4 \mu\text{m}$ par minute. L'épaisseur conçue par épitaxie est de $1.6 \mu\text{m}$.

Chapitre 3. Résultats de simulation et interprétations

```
go athena
line x loc=0.0 spacing=0.1
line x loc=1.0 spacing=0.1
line y loc=0.0 spacing=0.05
line y loc=1.0 spacing=0.05
# Initialize the mesh
init silicon orient=100 c.boron=5e14 one.d
# Perform a epitaxial growth step
epitaxy temperature=1050 time=4 growth.rate=.4
c.arsenic=5.e15 division=40
```

Figure 3.5 – Commandes pour faire une croissance épitaxiale en utilisant ATHENA [NAVICKAS, 2012]

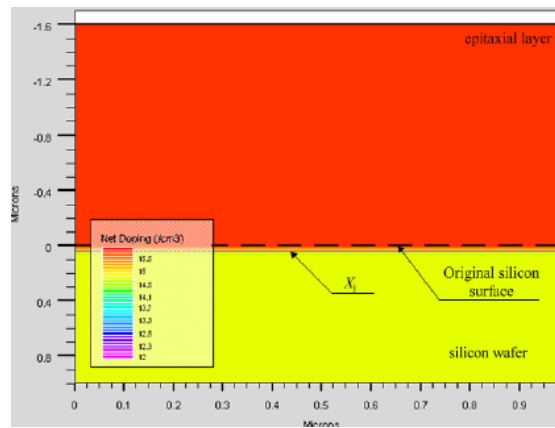


Figure 3.6 – Illustration d'une croissance Epitaxiale en utilisant ATHENA [NAVICKAS, 2012]

3.2.3.3 L'oxydation Thermique

L'oxydation thermique est une seconde opération qui peut être réalisée par ATHENA. Un exemple permettant d'obtenir une oxydation est donnée dans la figure 3.7.

```
# Perform a oxidation step
diffuse time=90 temperature=900 wetO2 press=2 hcl=3
# Saving the created structure
struct outfile=oxidation.str
# Plotting the final structure
tonyplot -st oxidation.str
```

Figure 3.7 – Commandes pour faire une oxydation thermique en utilisant ATHENA [NAVICKAS, 2012]

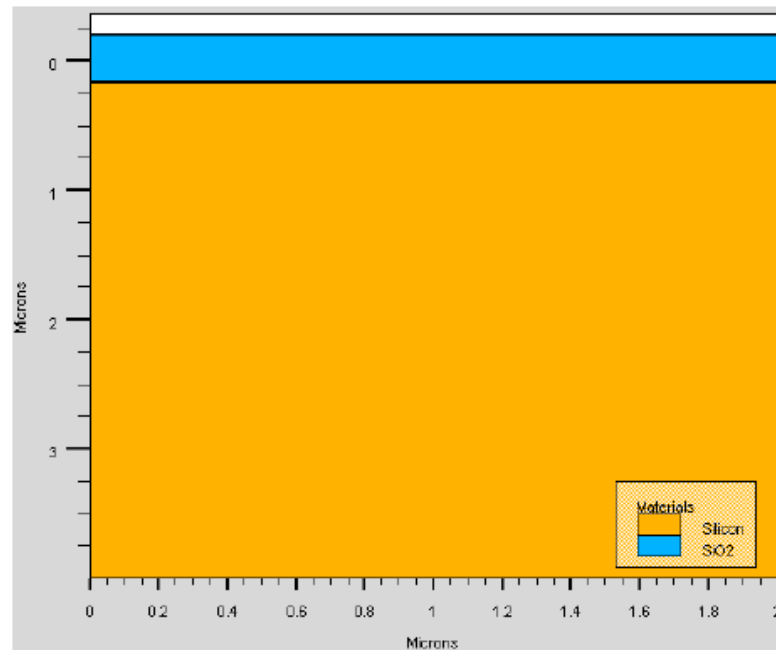


Figure 3.8 – Illustration d'une oxydation Thermique en utilisant ATHENA [NAVICKAS, 2012]

3.2.3.4 La diffusion des dopants

La diffusion des dopants est une étape technologique très importante, dans la figure suivante on donne un exemple d'une pré-déposition de phosphore à 950 °C pendant 30 minutes en utilisant la commande "**diffusion**".

```
go atnena
line x loc=0.0 spac=0.01
line x loc=1.0 spac=0.01
line y loc=0.0 spac=0.01
line y loc=1.0 spac=0.01
initialize silicon orient=100 c.boron=1e15 one.d
diffusion time=30 temperature=950 pressure=1.0 hcl.
pc=0 c.phos=1.0e20
structure outfile=predeposition.str
tonyplot predeposition.str
```

Figure 3.9 – Commandes pour faire une diffusion des dopants en utilisant ATHENA [NAVICKAS, 2012]

La figure suivante 3.10 une distribution des dopants après une pré-déposition des atomes de phosphore.

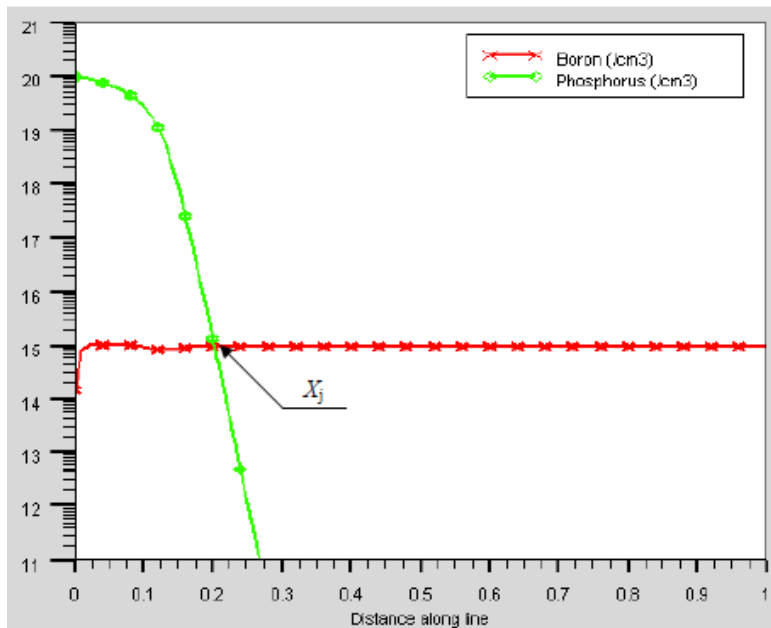


Figure 3.10 – Illustration d'une distribution des dopants après une pré-déposition des atomes de phosphore en utilisant ATHENA [NAVICKAS, 2012]

3.2.3.5 L'implantation ionique

Le processus d'implantation ionique se fait en utilisant la commande **"implant"**, la déclaration **"energy"** permet de choisir l'énergie utilisée pour faire l'implantation, la commande **"dose"** permet de spécifier la dose de l'implant, la commande **"pears"** est une commande mathématique pour choisir le modèle de **"Pearson"**, **"tilt"**, permet de définir l'angle normale au substrat.

On présente dans ce qui suit une partie d'un programme Athéna où un exemple de dopage par implantation ionique est proposé .

```
go athena
line x loc = 0.0 spac=0.2
line x loc = 8.0 spac=0.2
line y loc = 0.0 spac=0.01
line y loc = 2.0 spac=0.01
initialize silicon orient=100 c.phosphor=1.0e14 one.d
# Implant boron
implant boron energy=100 dose=6.0e14 pears tilt=7
struct outfile=implant_100keV.str
tonyplot implant_100keV.str
```

Figure 3.11 – exemple de programme permettant le dopage par implantation ionique. [NAVICKAS, 2012]

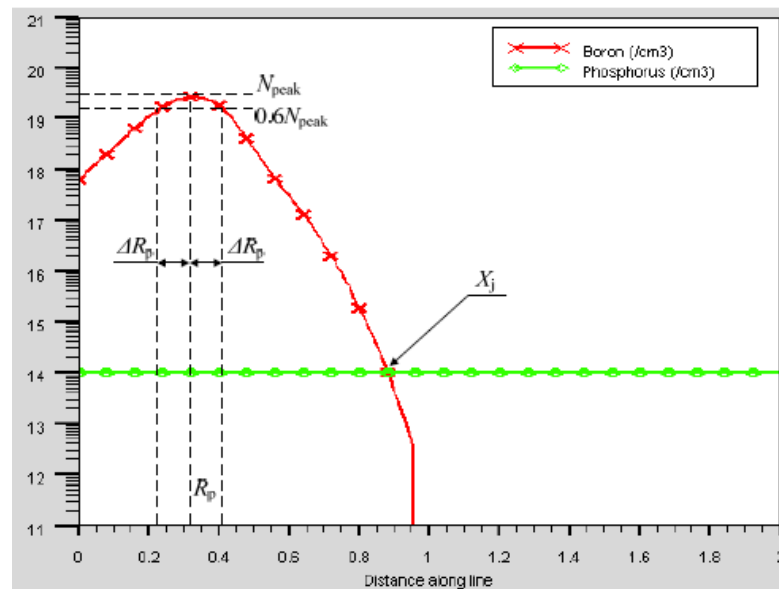


Figure 3.12 – Illustration du profil de dopage après une implantation ionique en utilisant ATHENA. [NAVICKAS, 2012]

3.2.3.6 le processus de gravure

Le processus de gravure est réalisé par une définition d'une machine de gravure en utilisant la déclaration "**rate.etch**". La vitesse est définie pour le modèle "**wet.etch**". "**μ.m**" et "**n.m**" spécifie l'unité en microns par minute ou nanomètre par minutes, "**Isotropic**" décrit le type de gravure, dans cet exemple la vitesse de gravure pour l'oxyde est de 30 nm/minutes et pour le silicium est de 0.7 μ.m.

```
# Define the etcher machine
rate.etch machine=HNA wet.etch oxide n.m isotrop-
:=30
rate.etch machine=HNA wet.etch silicon u.m isotrop-
:=0.7
# Running the machine for a specified period of time
etch machine=HNA time=4 min
# Saving structure
structure outfile=HNA_etching.str
# Plot structure
tonyplot HNA_etching.str
quit
```

Figure 3.13 – programme pour faire une gravure en utilisant ATHENA [NAVICKAS, 2012]

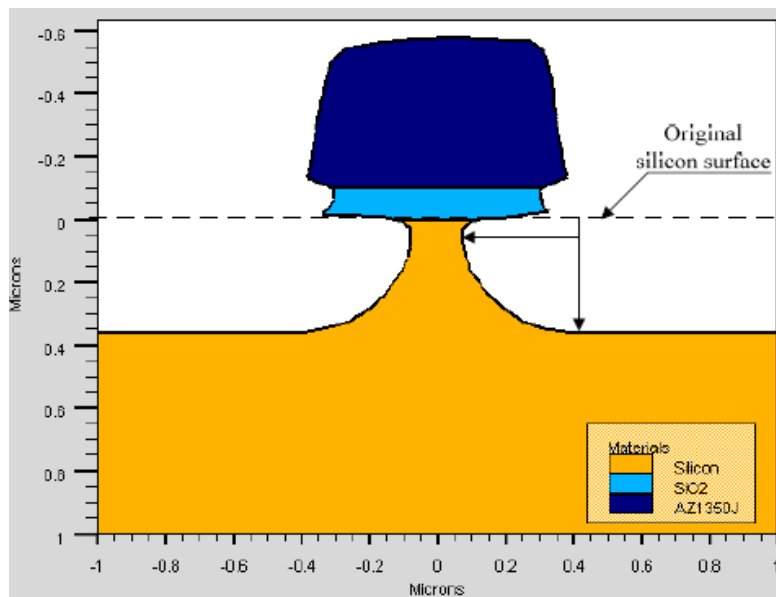


Figure 3.14 – Le processus de gravure humide isotrope de Silicium en utilisant ATHENA [NAVICKAS, 2012]

3.2.4 Spécification de la structure sous environnement ATLAS

Après avoir utilisé le simulateur de procédés technologique ATHENA, un second module ATLAS est utilisé pour obtenir les caractéristiques électrique de la structure étudiée. La conception de la structure étudiée sous environnement ATLAS se fera alors comme suit:

3.2.4.1 La définition du maillage

Le maillage se fait en utilisant la commande "**MESH**". Cette commande produit un maillage, ou elle fait appel à un maillage qui a été défini auparavant. La syntaxe utilisée pour définir le maillage est [Khaouani, 2018] :

X.MESH LOCATION = < VALUE > SPACING = < VALUE >

Y.MESH LOCATION = < VALUE > SPACING = < VALUE >

3.2.4.2 La définition des régions

les régions sont définies par l'instruction "**REGION**" qui permettra de définir une région dans une structure. La syntaxe pour définir des régions est la suivante [Khaouani, 2018]

REGION nombre=<integer> <materialtype> <position des paramètres>

Avec le module ATLAS on peut aller jusqu'à 55 régions différentes en utilisant la commande **"region"** comme l'exemple suivant :

```
Region number=1 x.min=-0.010 x.max=0.00 y.min=0.00 y.max=0.010 material=Silicon
Region number=2 x.min=0.065 x.max=0.075 y.min=0.00 y.max=0.010 material=Silicon
Region number=3 x.min=-0.010 x.max=0.075 y.min=-0.0015 y.max=0.00 material=SiO2
Region number=4 x.min=0.00 x.max=0.065 y.min=0.000 y.max=0.010 material=Silicon
Region number=5 x.min=-0.010 x.max=0.075 y.min=0.010 y.max=0.0115 material=SiO2
```

Figure 3.15 – La définition des régions en utilisant ATLAS

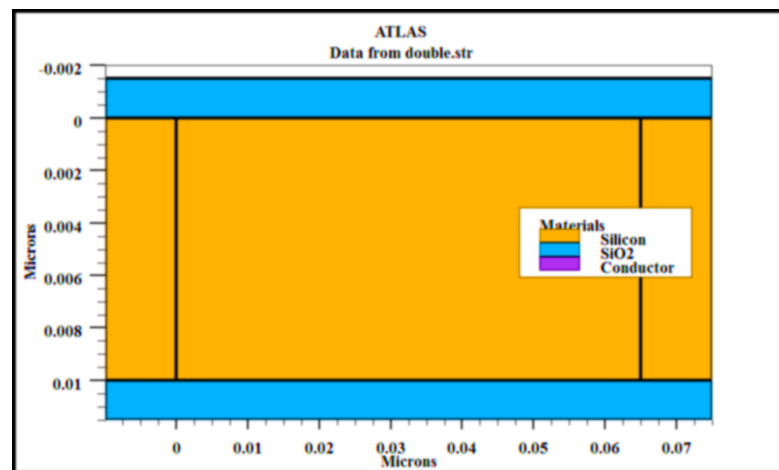


Figure 3.16 – Illustration d'une définition des régions en utilisant ATLAS

3.2.4.3 La définition des électrodes

Cette étape se fait par l'instruction **"ELECTRODE"** qui nous indique l'endroit et les noms des électrodes dans une structure. La syntaxe de définition des électrodes est la suivante [Khaouani, 2018] :

ELECTRODE NAME=<electrode name> <position parameters>

Nous pouvons ainsi définir jusqu'à 50 électrodes différents. On donne dans ce qui suit un exemple où quatre électrodes sont définies.

```
Electrode name=source number=1 x.min=-0.010 x.max=-0.010 y.min=0.000 y.max=0.010
Electrode name=drain number=2 x.min=0.075 x.max=0.075 y.min=0.000 y.max=0.010
Electrode name=fgate number=3 x.min=0.000 x.max=0.065 y.min=-0.0015 y.max=-0.0015
Electrode name=cgate number=4 x.min=0.000 x.max=0.065 y.min=0.0115 y.max=0.0115
```

Figure 3.17 – La définition des Électrodes en utilisant ATLAS

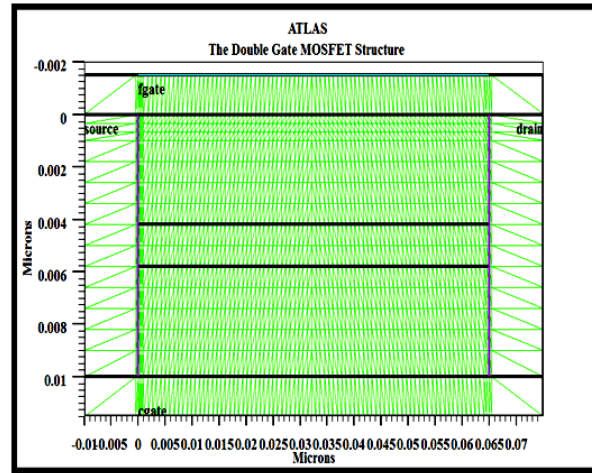


Figure 3.18 – Illustration d'une définition des Électrodes en utilisant ATLAS

3.2.4.4 Le Dopage

Le dopage est réalisé par l'instruction "**DOPING**" qui indique le type et le profil de dopage. Le format de la syntaxe de dopage dans « Atlas » se présente comme suit: [Khaouani, 2018]

DOPAGE < type de distribution > < type de dopant > < position des paramètres >

La distribution du dopage peut être uniforme ou gaussien. On donne dans ce qui suit un exemple permettant de définir le dopage dans trois régions d'une structure.

```
doping uniform conc=5e19 n.type direction=y region=1
doping uniform conc=5e19 n.type direction=y region=2
doping uniform conc=1e17 p.type direction=y region=4
```

Figure 3.19 – La définition du dopage en utilisant ATLAS

3.2.5 Le choix des matériaux et des modèles physiques utilisés

Une fois la structure réalisée, les modèles physiques adoptés doivent être précisés. On doit aussi définir les différents matériaux utilisés pour constituer notre structure. La spécification de modèles et matériaux comporte les étapes suivantes citées dans l'ordre d'apparition des commandes dans nos programmes de simulation [Khaouani, 2018].

3.2.5.0.1 Spécification des matériaux utilisés L'instruction "**MATERIAL**" permet d'associer des paramètres physiques aux matériaux utilisés dans la simulation qui sont: l'affinité électronique, l'énergie de gap, densité des états, les vitesses de saturation des porteurs, la durée de vie des porteurs minoritaires, et d'autres paramètres, Le format de la déclaration du matériau se fait par [Khaouani, 2018]

MATERIAL <localisation> <définition du matériau>

3.2.5.0.2 Spécification des modèles physiques utilisés lors de la simulation

Le choix du modèle physique est très important dans une simulation. L'instruction "**MODELS**" permet de faire appel aux modèles physiques déjà définis dans le logiciel, tels que les modèles de recombinaison Shockley Read Hall (SRH), Auger, CVT, Shirahata, Klaassen's, WATT,... Le format de la déclaration du modèle est [Khaouani, 2018]

MODEL <paramètres générales> <paramètres du modèle>

3.2.5.0.3 Spécification des contacts

L'instruction "**CONTACT**" indique les attributs physiques d'une électrode par exemple, source, grille ou drain. [Khaouani, 2018]

3.2.5.0.4 Spécification des paramètres des interfaces

L'instruction "**INTERFACE**" indique les paramètres d'interface aux frontières de semi-conducteur/isolant, par exemple, la vitesse de recombinaison en surface et la densité de charge à l'interface. Le format utilisé est le suivant [Khaouani, 2018]

INTERFACE [<parameters>]

3.2.6 Le choix de la méthode numérique

Le choix d'une méthode numérique par l'instruction "**METHOD**", constitue aussi un paramètre important pour la convergence de nos calculs. Les trois méthodes les plus utilisées sont : **Newton**, **Gummel**, et **Block** [Khaouani, 2018].

La méthode de Newton correspond à la résolution itérative d'un système regroupant les trois équations différentielles qui gouvernent le fonctionnement de la structure étudiée. [Khaouani, 2018]

La méthode de Gummel consiste à découpler le système global décrit précédemment en trois sous-systèmes : les trois équations sont résolues itérativement jusqu'à l'obtention de la convergence globale des solutions. L'intérêt potentiel de cet algorithme par rapport au précédent réside dans la réduction des dimensions des systèmes matriciels à résoudre, ce qui permet de diminuer le temps de calcul. [Khaouani, 2018]

La méthode **Block** est utilisée pour les systèmes d'équations mixtes. [Khaouani, 2018]

3.2.7 Extraction et visualisation des résultats

la spécification des résultats obtenus peut se faire par les déclarations : "LOG", "SOLVE", "LOAD", et "SAVE" [Khaouani, 2018].

- L'instruction **"LOG"** : qu'on trouve dans nos programmes permettra à toutes les caractéristiques finales de simulation d'être sauvegardées dans un fichier nommé fichier log.
- L'instruction **"SOLVE"** : donne l'ordre au simulateur ATLAS d'exécuter une solution pour un ou plusieurs points de polarisation.
- L'instruction **"LOAD"** : charge des solutions précédentes à partir de fichiers en tant que conditions initiales à d'autres points de polarisation.
- L'instruction **"SAVE"** : permet la sauvegarde dans un fichier de sortie de toutes les informations obtenues au niveau d'un nœud du maillage

3.2.7.1 La commande Extract

La commande "Extract" peut soit être utilisée pour extraire les valeurs précises des paramètres et des résultats qui sont enregistrées dans un fichier appelé fichier log, ou bien dans un deuxième cas pour extraire des valeurs d'une structure d'une façon très précise, afin d'éviter toute erreur de lecture surtout qu'il s'agit de dimensions micrométrique et nanométrique.

3.2.7.2 la commande TonyPlot

Cette commande permet de représenter graphiquement les résultats de simulation obtenues comme il est illustré dans l'exemple suivant.

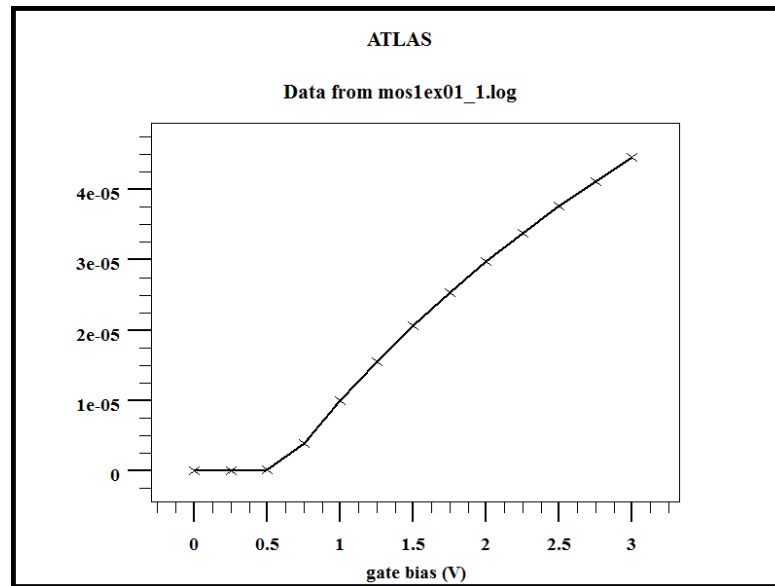


Figure 3.20 – Un exemple de visualisation des résultats en utilisant ATLAS

On peut régler les paramètres sur Tonyplot de façon à préciser les sous-titres des axes d'abscisses et d'ordonnées, de donner un titre au graphe, de modifier les légendes et plusieurs d'autres options.

C'est ainsi et à travers ces brèves présentations des étapes en utilisant **ATHENA et ATLAS** qu'on peut présenter par la suite les résultats de simulation qu'on a obtenus, il faut préciser qu'on a pas commencer directement à utiliser le logiciel SILVACO-TCAD, mais il a fallu passer par une phase d'apprentissage et de prise en main du logiciel.

3.3 Résultats de simulation obtenus et interprétations

3.3.1 Caractéristiques principales du P-MOSFET contraint

Afin de mettre en évidence les améliorations apportés par l'introduction d'une contrainte en tension biaxiale au niveau du canal de conduction des structures MOSFETs, nous avons simulés les caractéristiques électriques de trois structures contraintes et non-contraintes pour pouvoir les comparer, sachant que les trois structures ont les mêmes dimensions, le même profil de dopage, et le même maillage.

Afin de contraindre le canal nous avons réalisé une croissance épitaxiale d'une couche de $Si_{1-x}Ge_x$ sur du silicium, cette couche sera considéré comme support pour la croissance d'une couche contrainte de silicium.

Les différents paramètres technologiques et la géométrie des structures simulées sont regroupées au tableau suivant:

Chapitre 3. Résultats de simulation et interprétations

Paramètres des structures	Non-contrainte	contrainte	L'Hétérostructure contrainte
Dopage du Drain/Source	$3 \times 10^{-15} \text{ cm}^{-3}$	$3 \times 10^{-15} \text{ cm}^{-3}$	$3 \times 10^{-15} \text{ cm}^{-3}$
Longueur de grille	100 nm	100 nm	100 nm
Dopage dans canal	$1 \times 10^{16} \text{ cm}^{-3}$	$1 \times 10^{16} \text{ cm}^{-3}$	$1 \times 10^{16} \text{ cm}^{-3}$
Epaisseur de la couche $\text{Si}_{1-x}\text{Ge}_x$	/	42.1 nm	45 nm

Table 3.2 – les paramètres des différentes structures conçues [Currie; and Lochtefeld, 2005]

Nos différentes structures furent élaborées avec la direction cristallographique $\langle 100 \rangle$ afin d'avoir une meilleure interface Si/SiO_2 . Une déformation biaxiale dans le silicium est induite par épitaxie d'un mince film de silicium développée sur du SiGe relaxé. Le silicium contraint est introduit dans la région entre la source et le drain, et une couche de SiGe relaxée est placée juste sous la couche de silicium contraint. La partie inférieure du dispositif sera la couche de substrat de silicium.

En figure 3.21 est représentée une structure P-MOSFET conventionnelle non-contrainte obtenu en utilisant le module ATHENA.

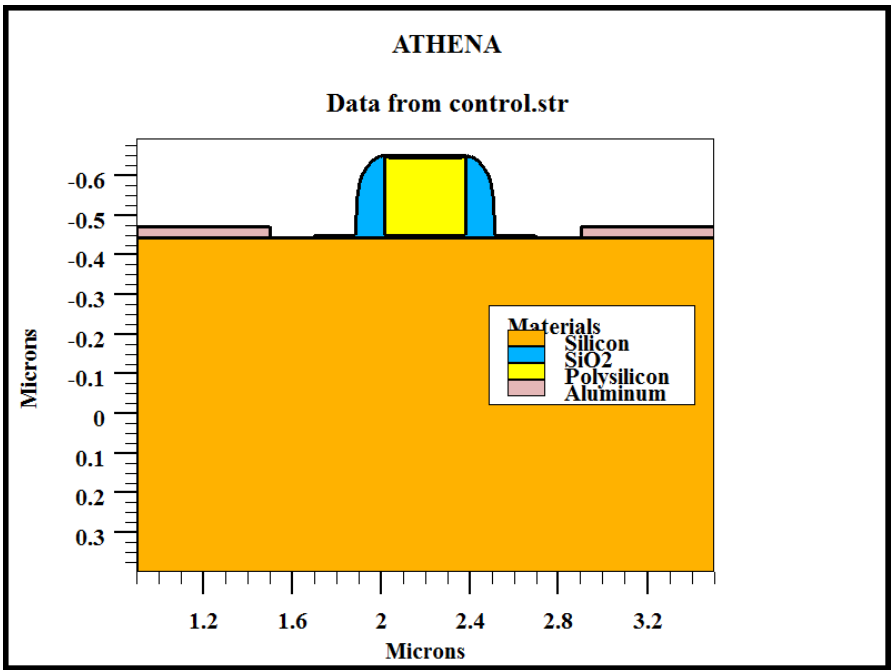


Figure 3.21 – Transistor P-MOSFET non-contraint obtenus en utilisant ATHENA

La structure conventionnelle possède un oxyde de grille de 43.9 nm. Dans la structure contrainte, on a choisis une couche de SiGe de 15 nm avec un pourcentage de germanium allant graduellement de 0 à 0.8 et une deuxième couche de SiGe de 27.1 nm est déposée sur la première avec une concentration en germanium de 0.9, cette couche est suivie d’une couche de silicium avec une épaisseur de 10 nm.

3.3. Résultats de simulation obtenus et interprétations

L'hétérostructure contrainte possède une couche de SiGe égale à 17 nm, avec un pourcentage de germanium allant de 0 à 0.5 est utilisée. Une seconde couche $Si_{1-y}Ge_y$ avec une épaisseur de 28 nm est déposée avec une concentration de germanium de 0.8 sur la couche précédente, cette couche sera suivie d'une couche de silicium fine de 5.9 nm. la structure contrainte et l'hétéro-structure contrainte sont illustrés dans les figures 3.22 et 3.23.

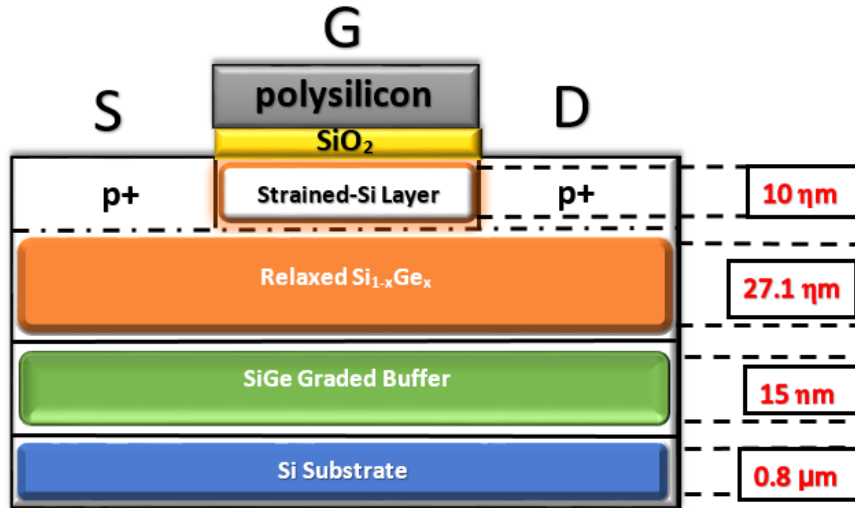


Figure 3.22 – La représentation de la structure contrainte

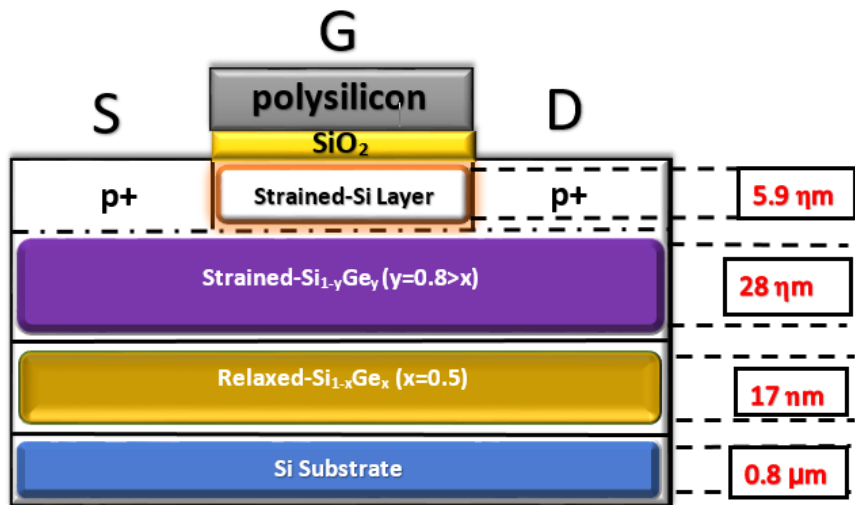


Figure 3.23 – La représentation de l'hétéro-structure contrainte

3.3.1.1 Caractéristique de transfert et de sortie

Afin de mettre en évidence les améliorations apportées par l'introduction d'une contrainte en tension bi-axiale, nous commençons tout d'abord par simuler les caractéristiques d'une structure P-MOSFET non-contrainte de même grandeurs géométriques que nous comparerons avec la structure contrainte. Les caractéristiques de transfert et de sortie de la première structure simulée sont donnés en figures 3.24 et 3.25. Lors de nos simulations les modèles de lombardi (CVT) et Shockley- Read-Hall (SRH) furent utilisés.

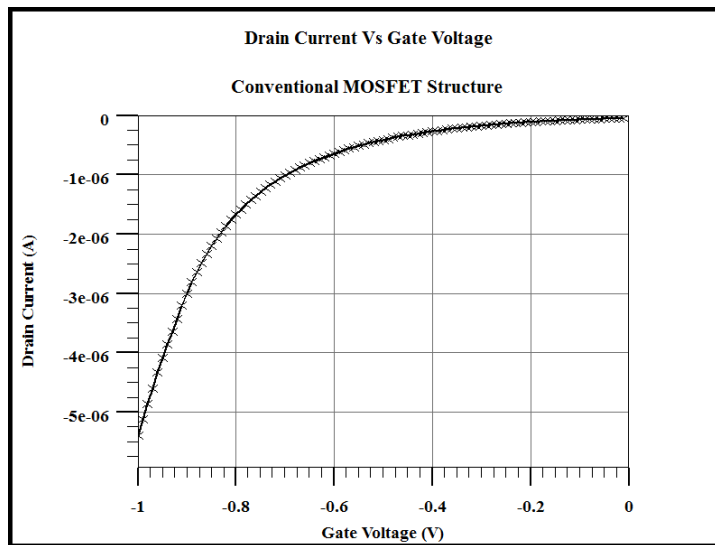


Figure 3.24 – Caractéristique de transfert de la structure conventionnelle obtenus en utilisant ATLAS

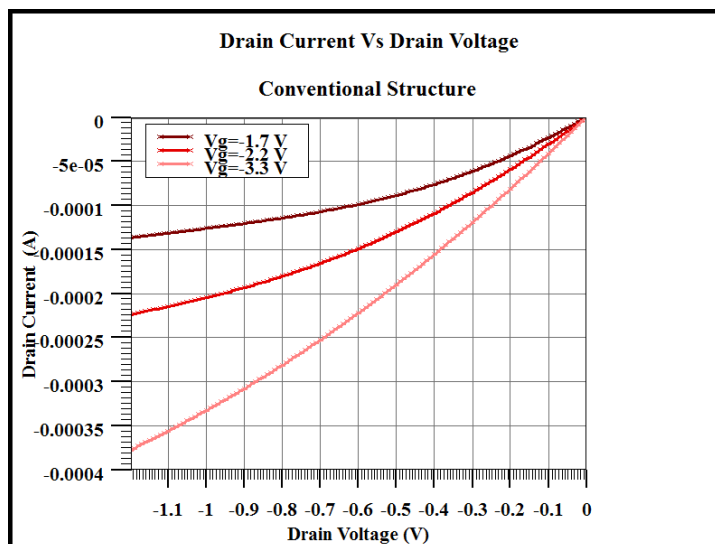


Figure 3.25 – Caractéristique de sortie de la structure conventionnelle obtenus en utilisant ATLAS

3.3. Résultats de simulation obtenus et interprétations

Les différentes grandeurs électriques caractéristique de la structure obtenus par extractions sont regroupés au tableau:

La structure	Tension (V_{th})	Courant (I_{on})	Courant(I_{off})	Pente sous le seuil (SS)
Conventionnel	-0.802613 V	5.39836 μA	51.2608 nA	341.355 mV/Dec

Table 3.3 – Les différentes grandeurs électriques de la structure conventionnelle

Nous présentons alors dans un second temps les caractéristiques de la structure biaxialement contrainte représentée en figure 3.26 , le maillage lui correspondant fait l'objet de la figure 3.27 .

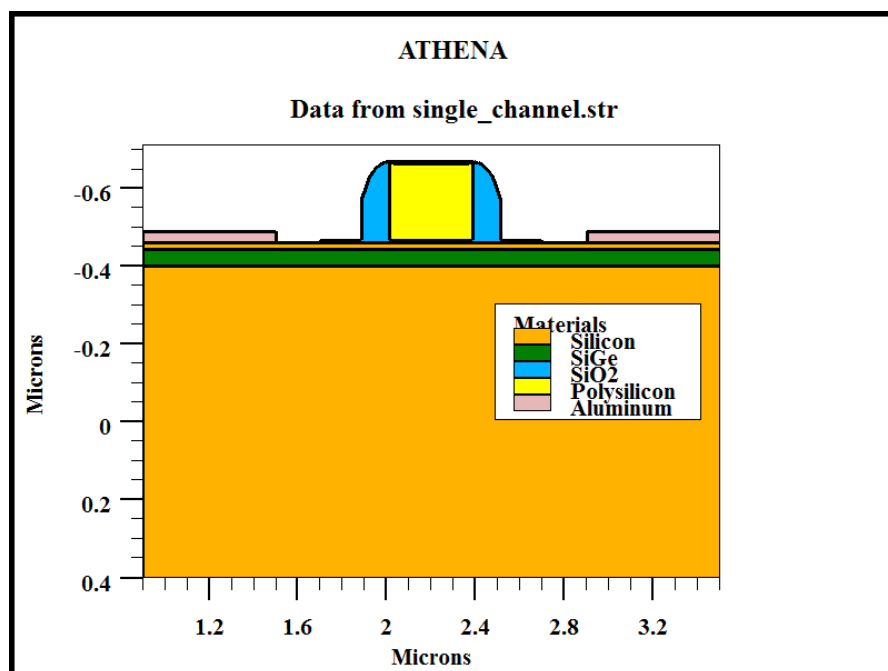


Figure 3.26 – La structure biaxialement contrainte obtenus en utilisant ATHENA

On remarque tout d'abord que le maillage fut raffiné dans la région du canal de conduction où s'effectue le transport des porteurs ,par contre le maillage est nettement moins raffiné au niveau du substrat , ce qui permet de réduire le temps de calcul.

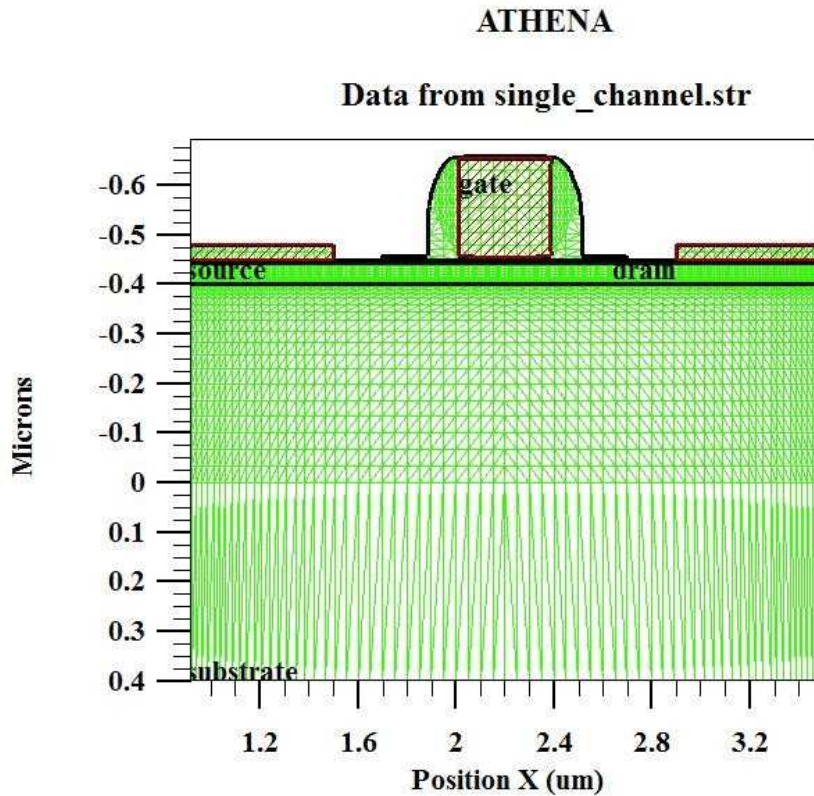


Figure 3.27 – Le maillage de la structure biaxialement contrainte obtenus en utilisant ATHENA

La présence cette fois-ci d'une couche de silicium développée sur une couche de SiGe, nous permet d'induire une contrainte biaxiale qui permet d'améliorer les performances du PMOSFET. En effet, plusieurs avantages sont obtenus par l'introduction du silicium contraint dans le MOSFET. Il inclut une amélioration de la mobilité des porteurs, réduit la résistance et la consommation d'énergie. Les avantages du silicium contraint ne doivent en effet pas être prises à la légère, car c'est une technologie qui permet d'améliorer les performances des MOSFETs.

Les caractéristique de transfert et de sortie de la structure contrainte font l'objet des figures 3.28 et 3.29. Les résultats obtenus et comparés à ceux obtenus par une structure non-contrainte permettent de mettre en évidence les améliorations apportées suite à la contrainte du canal.

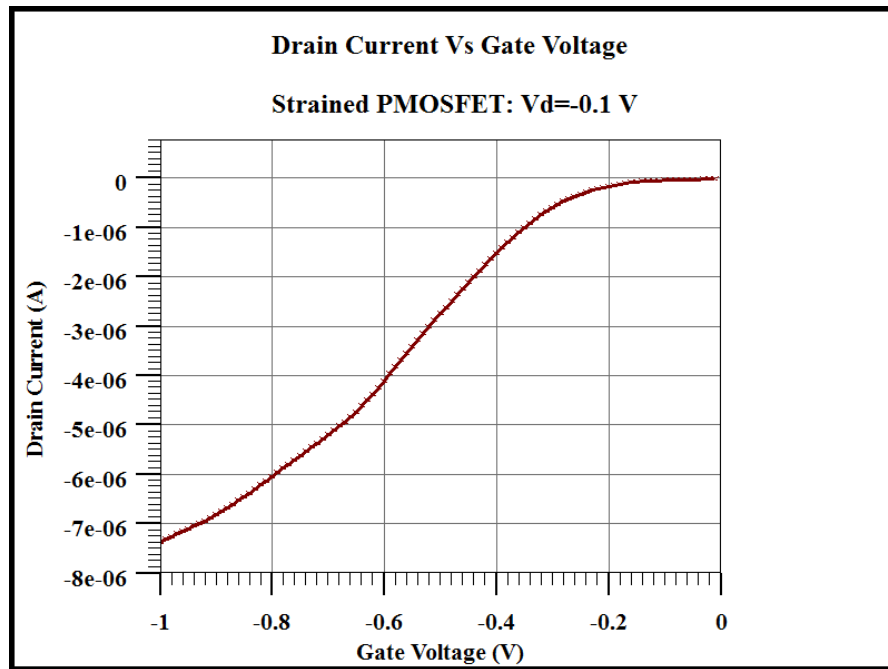


Figure 3.28 – Caractéristique de transfert de la structure biaxialement contrainte obtenus en utilisant ATLAS

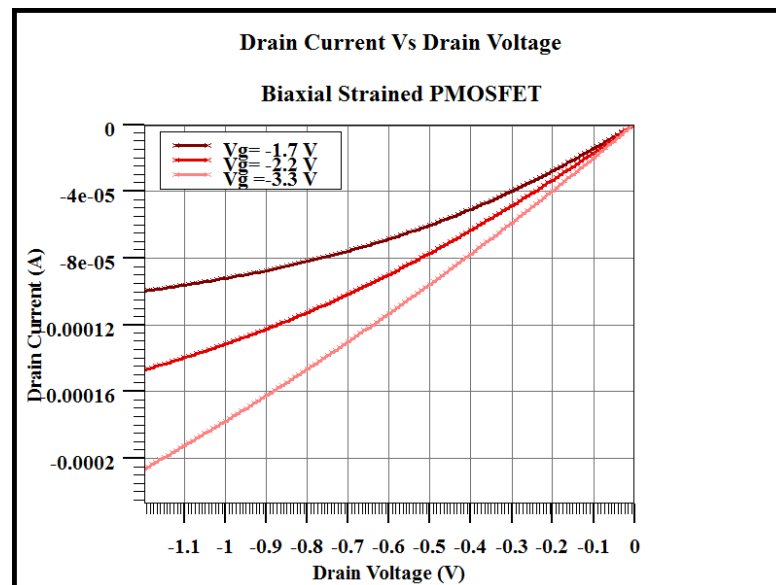


Figure 3.29 – Caractéristique de sortie de la structure biaxialement contrainte obtenus en utilisant ATLAS

Afin d'apprécier l'amélioration apporté par la contrainte, les deux caractéristiques de transfert, dont l'une est celle du transistor conventionnel alors que la seconde est celle du transistor contraint,elles sont représentées en même temps en figure 3.30.

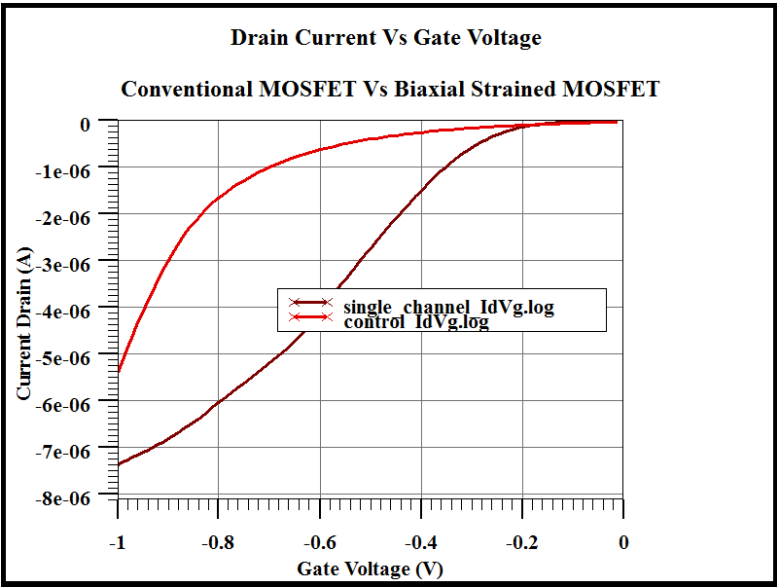


Figure 3.30 – Comparaison entre les caractéristiques de transfert de la structure biaxialement contrainte et une structure conventionnelle obtenus en utilisant ATLAS

Nous regroupons au tableau les résultats obtenus par extractions mettant en évidence les améliorations obtenues par l'introduction de la contrainte biaxiale.

La structure	Tension (V_{th})	Courant (I_{on})	Courant(I_{off})	Pente sous le seuil (SS)
Conventionnel	-0.802613 V	5.39836 μ A	51.2608 nA	341.355 mV/Dec
Structure Contrainte	-0.316045 V	7.37086 μ A	20.7883 nA	159.513 mV/Dec

Table 3.4 – Comparaison entre les résultats obtenues dans les structures non-contrainte et contrainte

On remarque alors une amélioration du courant de conduction du transistor et une diminution de son courant de fuite menant alors à une amélioration du rapport I_{on}/I_{off} facteur primordial jugeant de la qualité du dispositif. On remarque aussi la réduction de la pente sous seuil.

Les résultats ainsi obtenus permettent de démontrer qu'une amélioration en termes de caractéristiques DC sont obtenus suite à l'introduction de la contrainte biaxiale.

3.3.2 Caractéristiques de transfert et de sortie d'une hétérostructure contrainte

Nous allons dans ce qui suit présenter les résultats de simulation que nous avons obtenu pour une hétérostructure contrainte afin de mettre en évidence les amélioration en terme de performances ainsi obtenues. Ainsi l'hétérostructure conçue et simulée sous environnement SILVACO est celle de la figure 3.31.

3.3. Résultats de simulation obtenus et interprétations

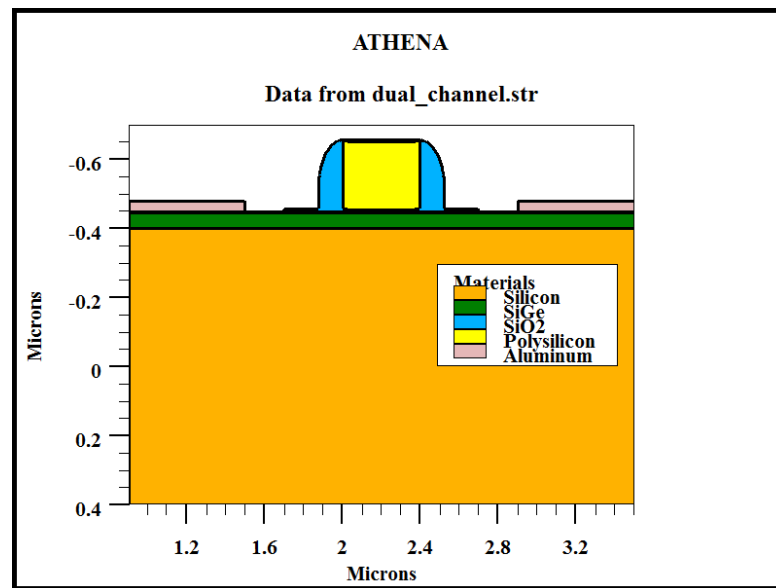


Figure 3.31 – l'hétérostructure contrainte réalisée par ATHENA-SILVACO

Les résultats de simulations obtenus et permettant tout d'abord de présenter la caractéristique de transfert de la structure sont donnés en figure 3.32. Ces résultats seront alors comparés à ceux obtenus en figure 3.30 afin de mettre en évidence l'intérêt de la conception de l'hétérostructure contrainte.

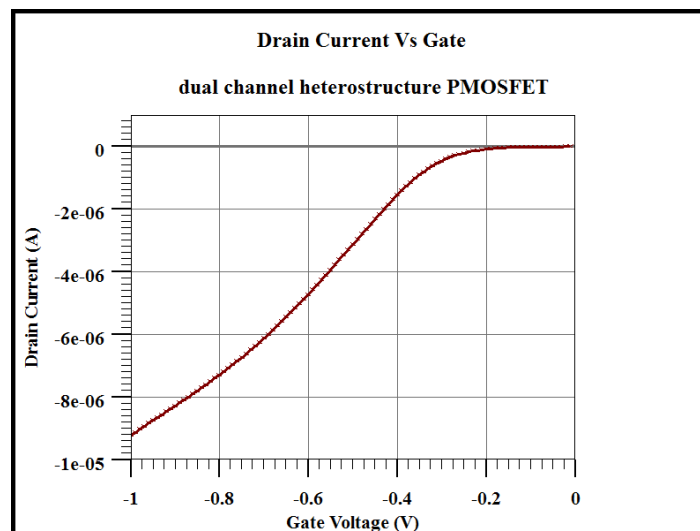


Figure 3.32 – Caractéristique de transfert d'une Hétérostructure contrainte obtenus en utilisant ATLAS.

La caractéristique de sortie de l'hétérostructure contrainte est donnée dans la figure 3.33.

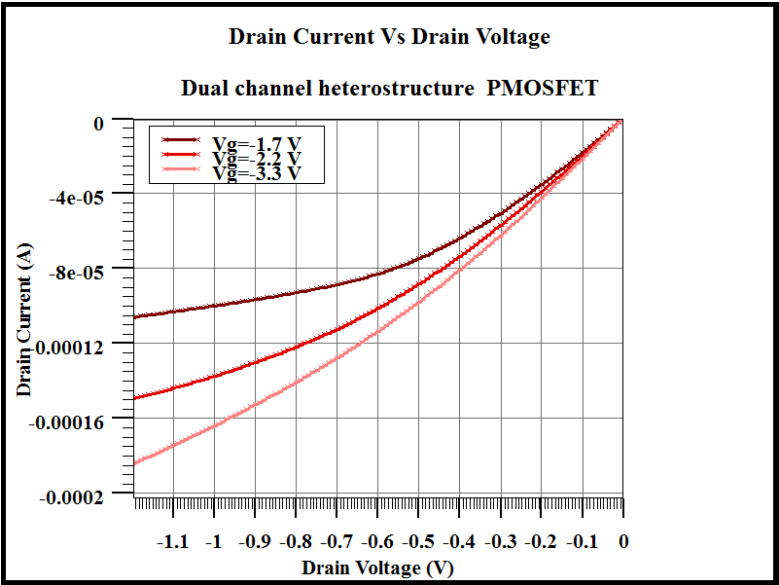


Figure 3.33 – Caractéristique de sortie d’une Hétérostructure contrainte obtenus en utilisant ATLAS.

La comparaison entre les caractéristiques de transfert de la structure biaxialement contrainte et l’hétérostructure contrainte est donnée dans la figure 3.34.

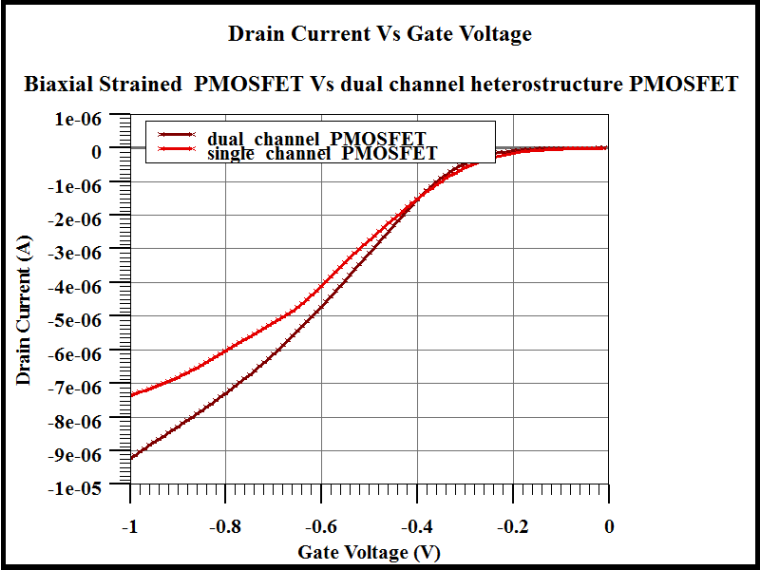


Figure 3.34 – Comparaison entre les caractéristiques de transfert de la structure biaxialement contrainte et une Hétérostructure contrainte obtenus en utilisant ATLAS.

Afin de mettre en évidence les améliorations obtenues globalement , nous regroupons aux tableau qui suit les résultats d’extraction obtenus pour chacune des trois structures :

3.3. Résultats de simulation obtenus et interprétations

La structure	Tension (V_{th})	Courant (I_{on})	Courant(I_{off})	Pente sous le seuil (SS)
Conventionnel	-0.802613 V	5.39836 μA	51.2608 nA	341.355 mV/Dec
Structure Contrainte	-0.316045 V	7.37086 μA	20.7883 nA	159.513 mV/Dec
Heterostructure contrainte	-0.309853 V	18.1771 μA	8.84222 nA	131.59 mV/Dec

Table 3.5 – Comparaison entre les résultats obtenues dans les trois structures

Les résultats obtenues, nous permettent de constater une augmentation du courant I_{on} , de la tension de seuil, avec une diminution du courant I_{off} , pour l'hétérostructure contrainte par rapport à la structure contrainte, il en est de même pour la structure contrainte par rapport à la structure conventionnelle. Les améliorations ainsi obtenues sont très utiles dans les dispositifs de commutation qui doivent être rapides, en particulier pour les applications numériques. Ces améliorations sont expliquées par l'amélioration de la mobilité des porteurs dans les structures contraintes. Les améliorations apportées par la contrainte sur la mobilité des porteurs du canal sont mises en évidence par les résultats de simulation présentés en figure 3.35.

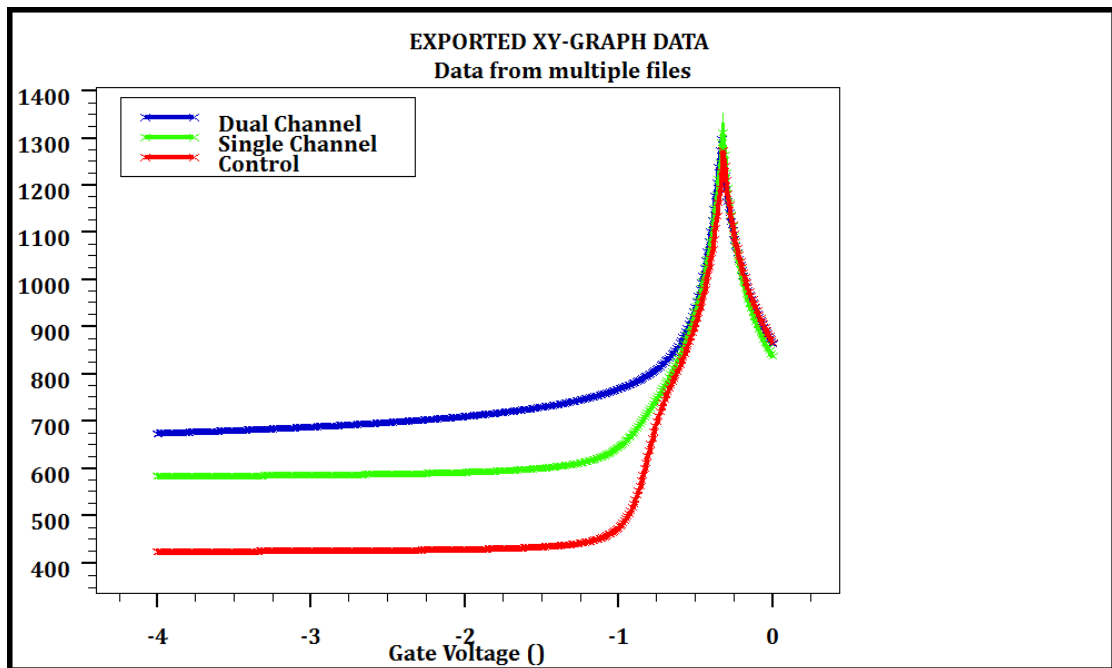


Figure 3.35 – Comparaison entre les caractéristiques de mobilité des trois structures obtenues en utilisant ATLAS.

Les résultats de simulation ainsi obtenus permettent de constater les améliorations de la mobilité dans la structure contrainte par rapport à la structure conventionnelle avec un pourcentage de 35.29 %, et une amélioration supplémentaire obtenues dans l'hétérostructure contrainte avec un pourcentage de 70.59 %.

Dans la figure 3.36 on représente la mobilité dans le canal en fonction du champ électrique

pour chacune des structure simulées. On remarque ici aussi les améliorations obtenues dans les structures contraintes par rapport à la structure conventionnelle.

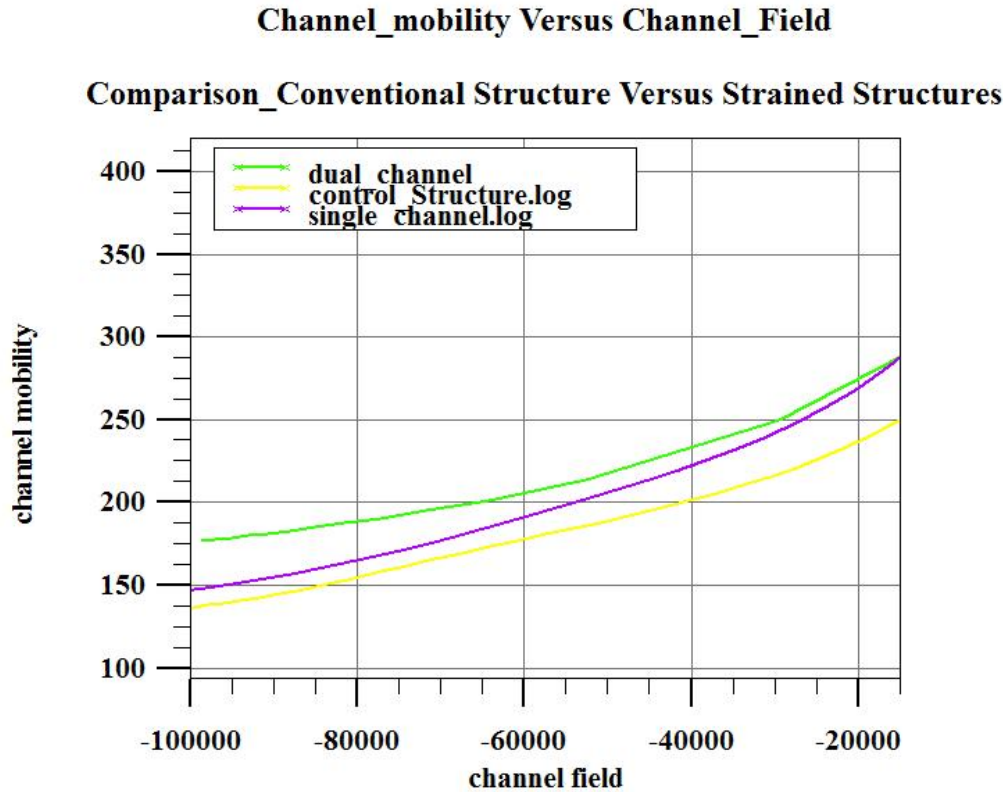


Figure 3.36 – Comparaison entre les caractéristiques de mobilité en fonction du champ de canal des trois structures obtenus en utilisant ATLAS

Les résultats obtenus mettent en évidence les améliorations apportées par l'introduction d'une contrainte en tension biaxiale dans le cas du PMOSFET. Nos résultats peuvent être validés en comparaisons à ceux obtenus par les travaux [Fitzgerald, 2003] [king Lu, 2012] [et al, 2002] que nous avons consultés lors de nos différentes investigations. Dans ces travaux les auteurs constatent une amélioration des électrons dans les transistors N-MOSFET plus importante que celle des trous dans les P-MOSFET c'est ce qui explique le grand intérêt accordé au transistor N-MOSFET par rapport aux P-MOSFET. Dans le cas des hétérostructure, la même amélioration de la mobilité des porteurs dans le canal de conduction est observée indifféremment pour les N-MOSFETs et les P-MOSFETs, c'est la raison pour laquelle nous avons introduit la structure à hétérostructure pour mettre en évidence toutes les améliorations apportées en performances et gains en mobilité. On peut constater entre autre le résultats obtenus mettant en évidence la courbe $g_m - V_{GS}$ pour cette structure.

3.3. Résultats de simulation obtenus et interprétations

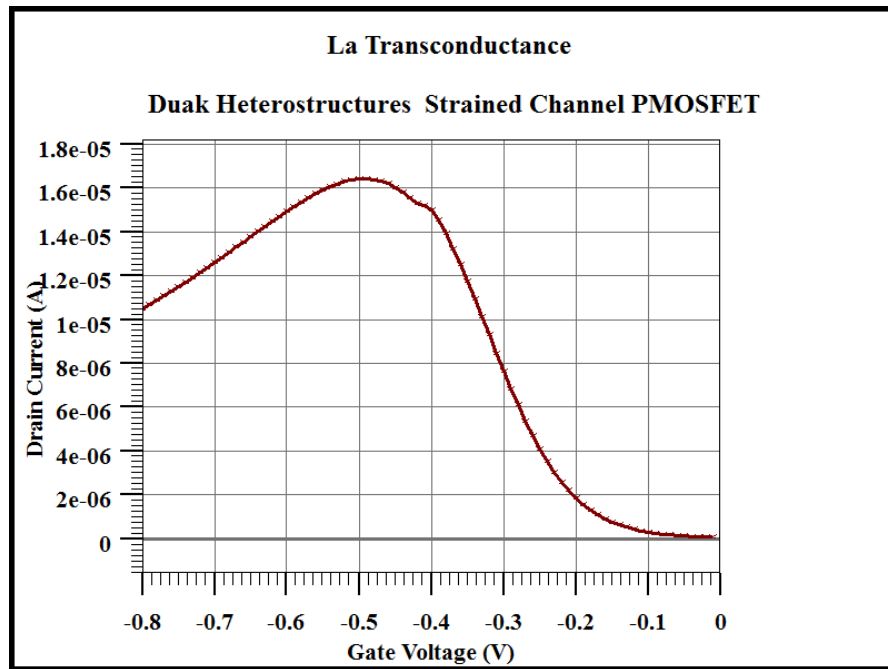


Figure 3.37 – Caractéristique g_m - V_{GS} pour l'hétérostructure à canal contraint en tension biaxiale

L'histogramme représenté dans la figure 3.38 permet de mettre en évidence les principales améliorations apportées par la contrainte biaxiale du canal.

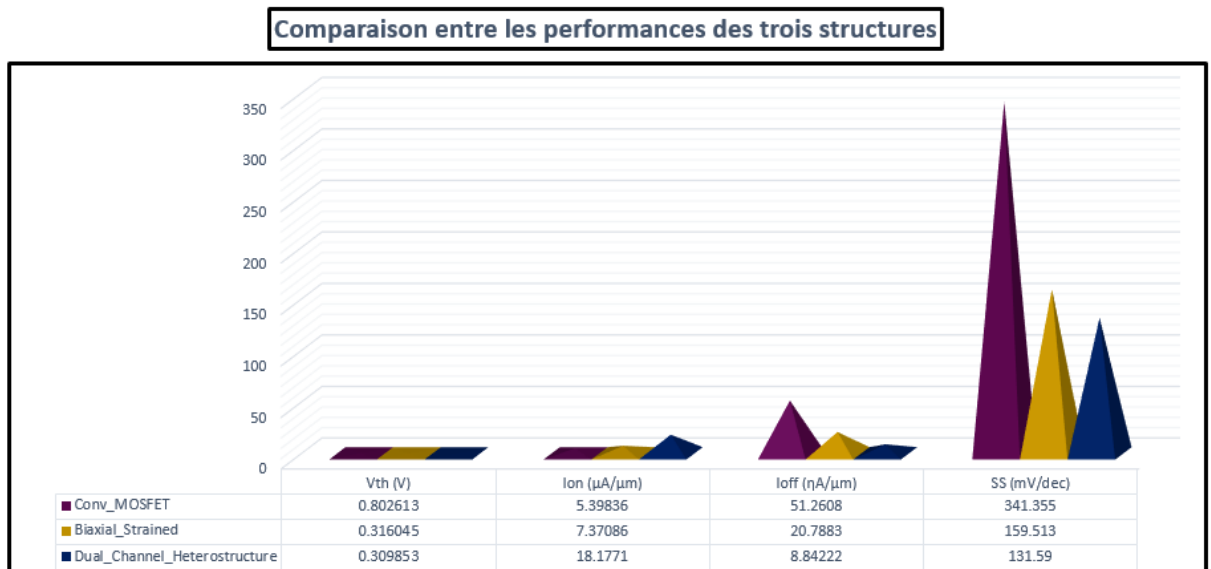


Figure 3.38 – Comparaison entre les performances des trois P-MOSFETs étudiés.

3.3.3 P-MOSFET biaxialement contraint à grille enterrée

Afin d'appuyer nos premières conclusions, nous avons mené une seconde étude sur un P-MOSFET à grille enterrée à canal contraint pour lequel on comparera ses caractéristiques à ceux d'une structure non-contrainte simulée dans les exemples SILVACO qui est la structure mos2ex12 représentée en figure 3.39.

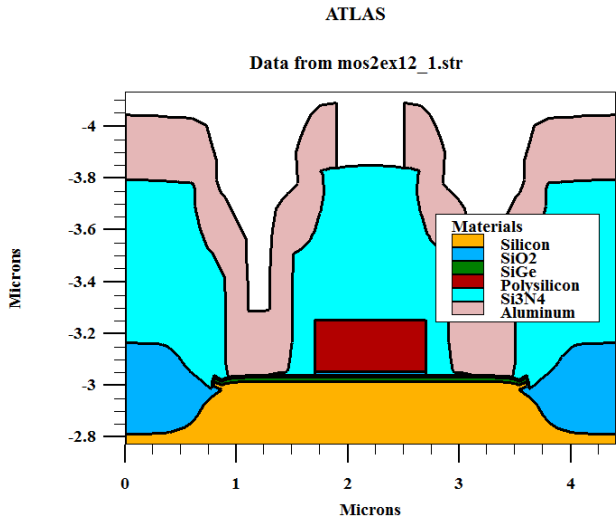


Figure 3.39 – Simulation du PMOSFET mos2ex12.

3.3.4 L'hétérostructure P-MOSFET contrainte

En se basant sur l'exemple mos2ex12, nous allons présenter la nouvelle structure à canal biaxial contraint que nous présentons en figure 3.40.

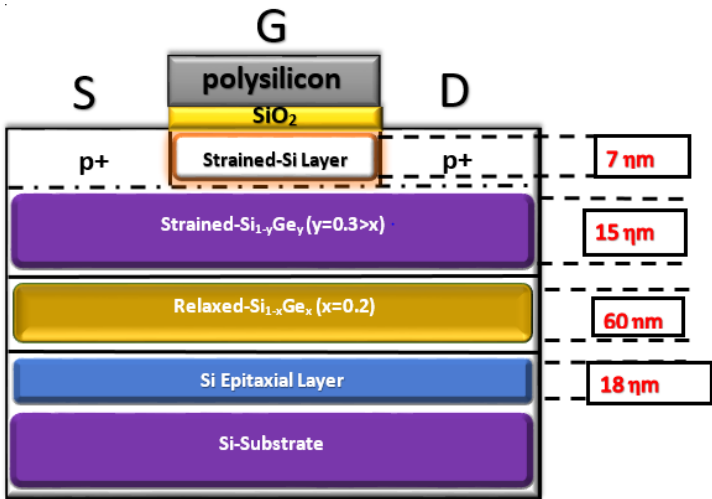


Figure 3.40 – L'hétérostructure P-MOSFET contrainte

3.3. Résultats de simulation obtenus et interprétations

Les différentes grandeurs géométriques de la structure sont directement reportés sur la structure donnée en figure 3.40, le dispositif ainsi simulé est donné en figure 3.41 sur lequel nous pouvons identifier chacune des couches représentée par une couleur distincte.

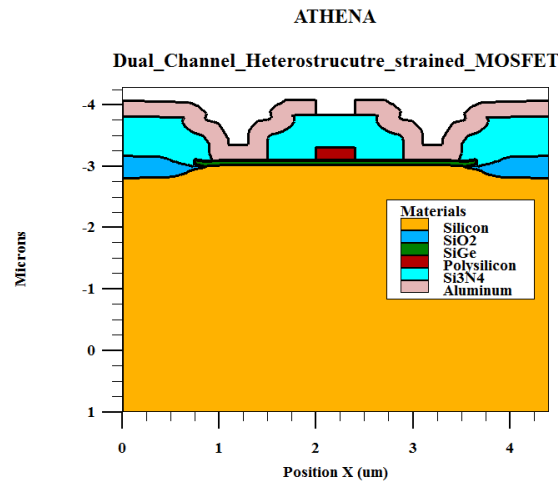


Figure 3.41 – Résultat de simulation obtenu pour l'hétérostructure P-MOSFET à canal contraint et à grille enterrée.

Le maillage utilisé est très raffiné pour cette hétérostructure à cause des différentes interfaces.

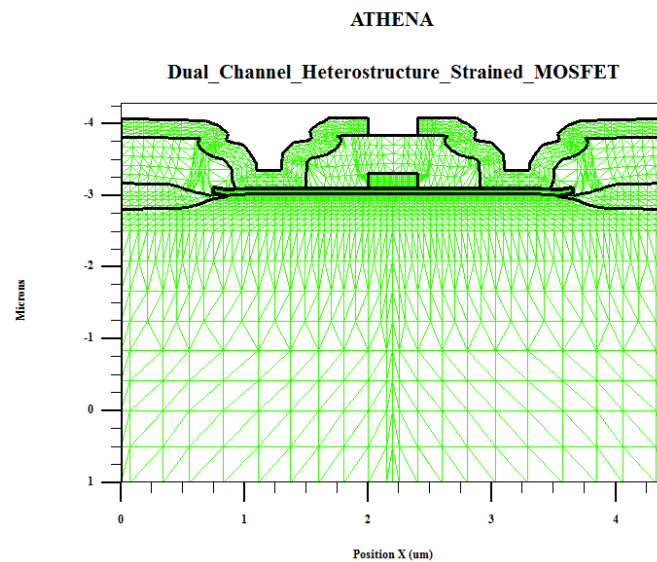


Figure 3.42 – Le maillage de l'hétérostructure P-MOSFET à canal contraint.

Ce maillage adéquat et ajusté dans les zones actives permet l'obtention de meilleurs résultats de simulations. Nous nous sommes intéressés dans cette étude et pour cette structure

à l'effet de la variation de la capacité en fonction de la tension de grille. La tension de polarisation de la grille varie de -3 V à 3 V avec un pas de 0.2 V. la variation de cette capacité en fonction de la tension de grille est présenté en figure 3.43.

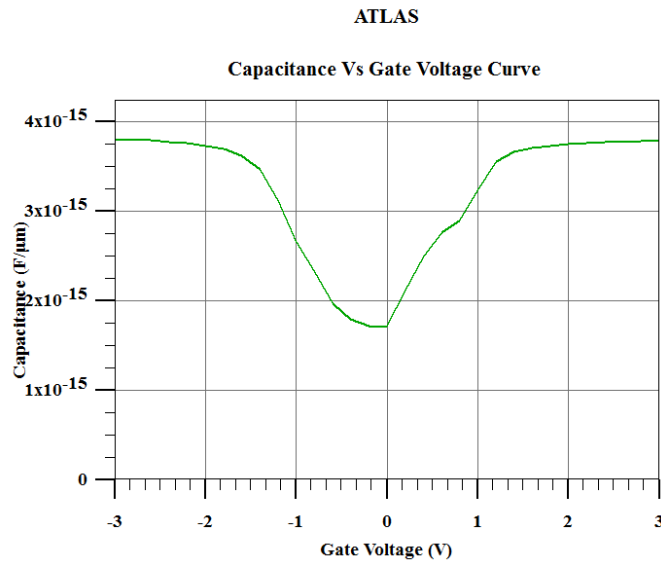


Figure 3.43 – La capacité de l'hétérostructure P-MOSFET à canal contraint en fonction de la tension de grille

3.3.4.1 Caractéristiques de transfert et de sortie du dual canal P-MOSFET à canal contraint

Pour mettre en évidence les améliorations apportés par l'introduction de la contrainte biaxiale du canal, nous représentons sur le même graphe les caractéristiques de transfert pour le PMOSFET conventionnel et l'hétérostructure PMOSFET en dual canal biaxialement contraint. Nos résultats de simulations sont regroupés en figure 3.44. Où la tension de polarisation de la grille varie entre -2 V à 1 V, nous avons représenté ces courbes pour deux tensions de polarisation du drain soit $V_{DS} = -0.1V$ et $V_{DS} = -1V$, ce qui permettra par la suite de déterminer le courant DIBL.

3.3. Résultats de simulation obtenus et interprétations

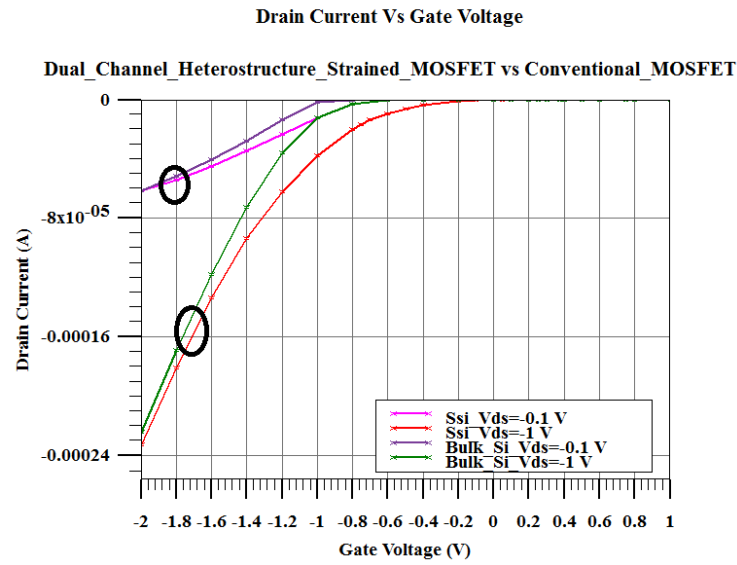


Figure 3.44 – Comparaison de la caractéristique de transfert de la structure conventionnelle BULK-Si et l'hétérostructure contrainte Ssi pour deux tensions de polarisation V_{DS} .

L'histogramme représenté dans la figure 3.45 permet de mettre en évidence les différentes améliorations atteintes pour différentes tensions V_{DS} .

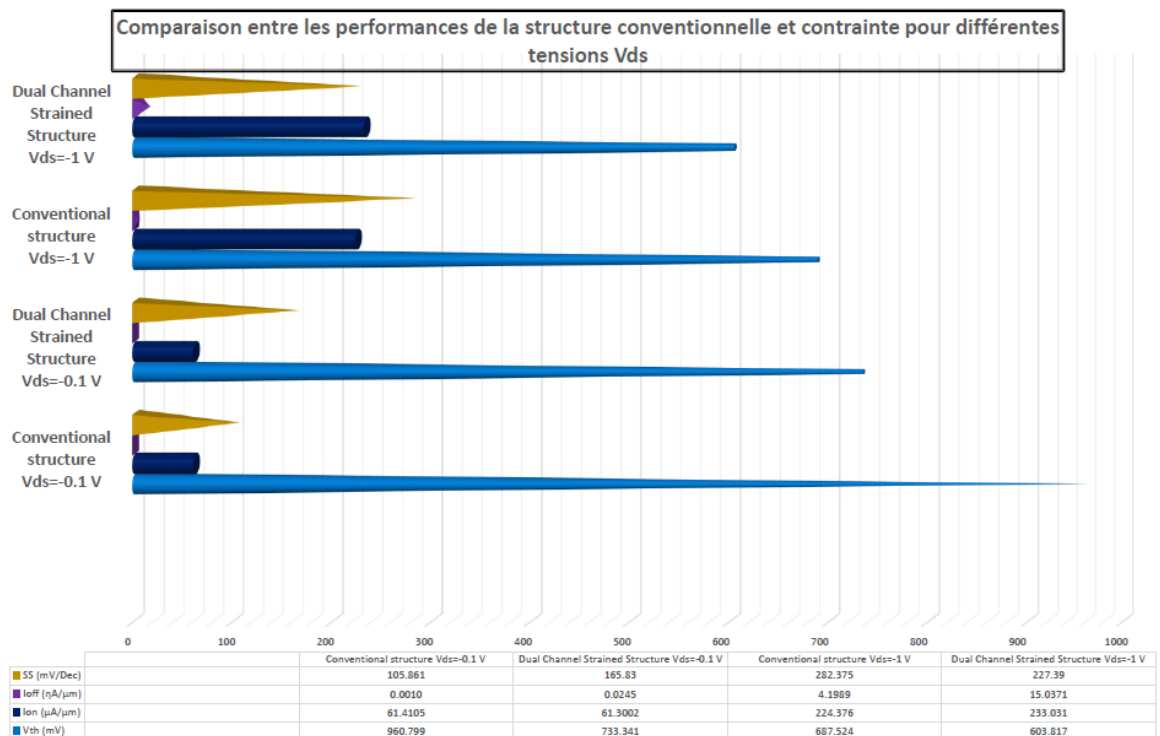


Figure 3.45 – Comparaison entre les performances de la structure conventionnelle et la structure contrainte obtenus sous environnement ATLAS-SILVACO

Chapitre 3. Résultats de simulation et interprétations

La seconde caractéristique DC est la caractéristique de sortie $I_{DS}-V_{DS}$ que nous présentons en figure 3.46 et qui sera comparé à celle de la structure PMOSFET à canal entérée conventionnel.

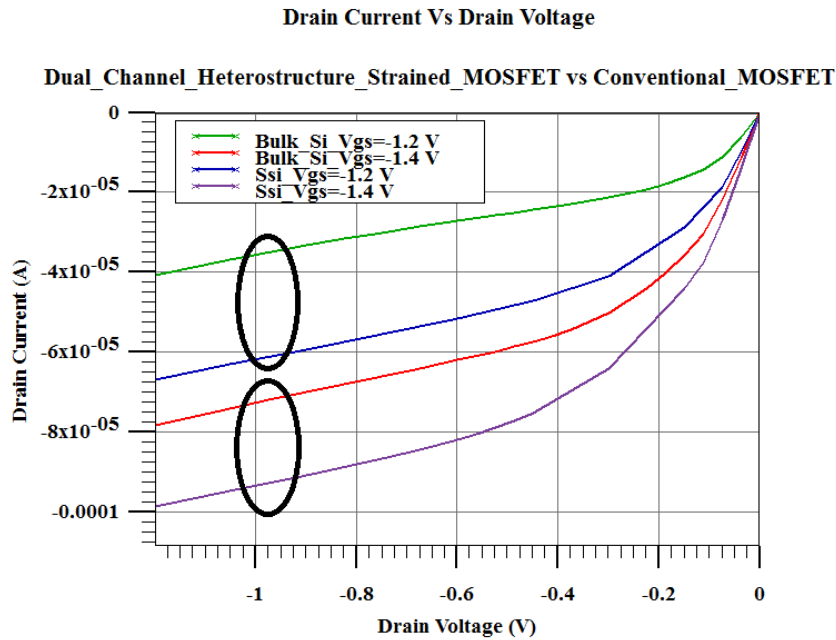


Figure 3.46 – caractéristiques de sortie de la structure conventionnelle et la structure dual canal PMOSFET contraint

on représente alors la transconductance obtenue pour cette structure simulée.

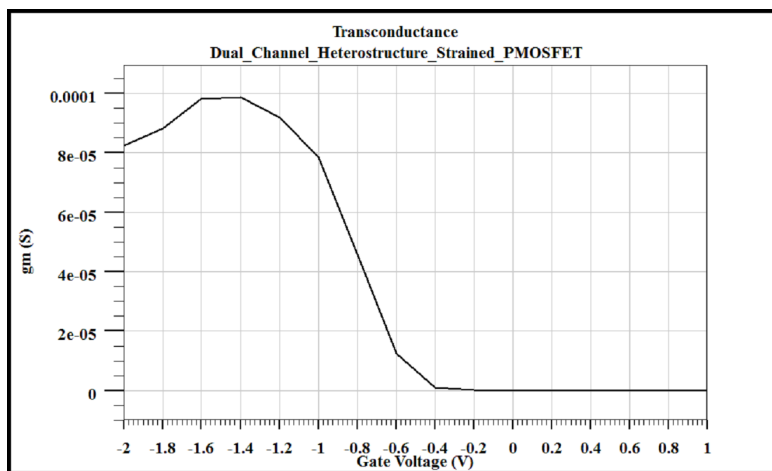


Figure 3.47 – La transconductance de l'hétérostructure dual canal contrainte.

Sachant que la mobilité des porteurs de charge dans le canal de conduction est le premier

3.3. Résultats de simulation obtenus et interprétations

facteur qui subit une amélioration par l'introduction d'une contrainte biaxiale nous allons dans ce qui suit nous intéresser ou plus exactement mettre en évidence les principales modifications apportés par le modèle de simulation utilisé . Pour cela les différents modèles utilisés pour cette étude sont les modèles CVT, SHIRAHATA et WATT, les résultats obtenus sont donnés dans ce qui suit:

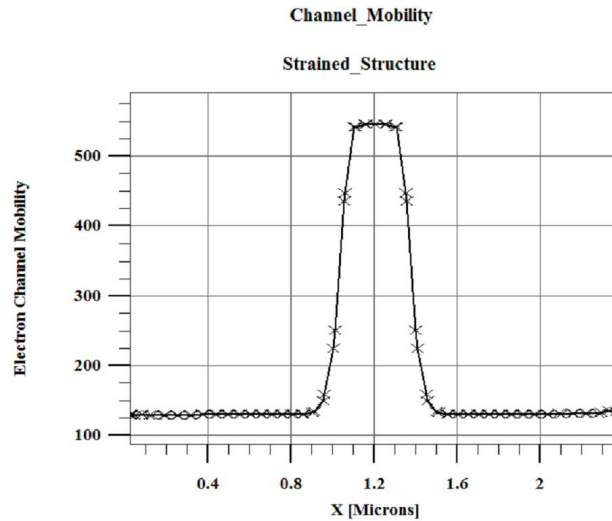


Figure 3.48 – L'extraction de la mobilité dans la structure contrainte obtenus en utilisant le modèle CVT

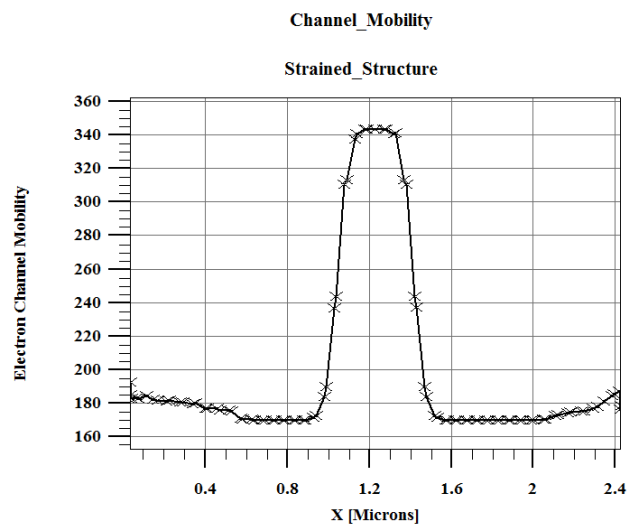


Figure 3.49 – L'extraction de la mobilité dans la structure contrainte obtenus en utilisant le modèle SHIRAHATA

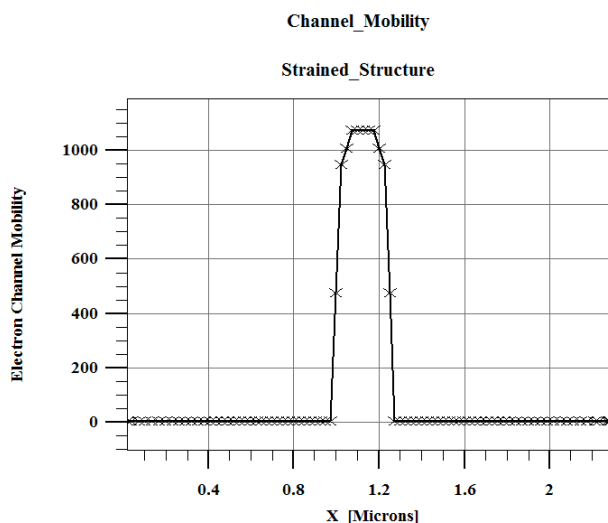


Figure 3.50 – L'extraction de la mobilité dans la structure contrainte obtenus en utilisant le modèle WATT

D'après les résultats obtenus, on remarque que le modèle WATT permet d'atteindre le plus haut niveau de mobilité en comparaison avec les modèles CVT et SHIRAHATA mais seulement dans une région, et la mobilité s'annule dans le reste de la structure. CVT permet d'obtenir un meilleur niveau de mobilité que SHIRAHATA dans la région en milieu comme on peut le voir dans les figures, et permet de prendre en considération le champs électrique parallèle et perpendiculaire, dans les autres régions de la structure SHIRAHATA présente de meilleures résultats parce qu'il prend en considération les effets de diffusion de surface, alors que CVT de sa part, prend en considération les effets de collisions avec les phonons acoustiques et optique, ainsi que les collisions par rugosité de surface. Donc on peut dire que le modèle CVT est le modèle qui permet d'avoir les meilleurs résultats en terme de mobilité, et le plus adéquat pour étudier les structures MOSFET contraintes.

3.3.5 Simulation de structures N-MOSFET contraintes

Nous allons dans ce qui suit simuler les caractéristiques électriques d'un N-MOSFET à canal biaxialement contraint. Les structures conventionnelle et contrainte auxquelles nous nous sommes intéressé sont présentés en figures 3.51 et 3.52.

3.3. Résultats de simulation obtenus et interprétations

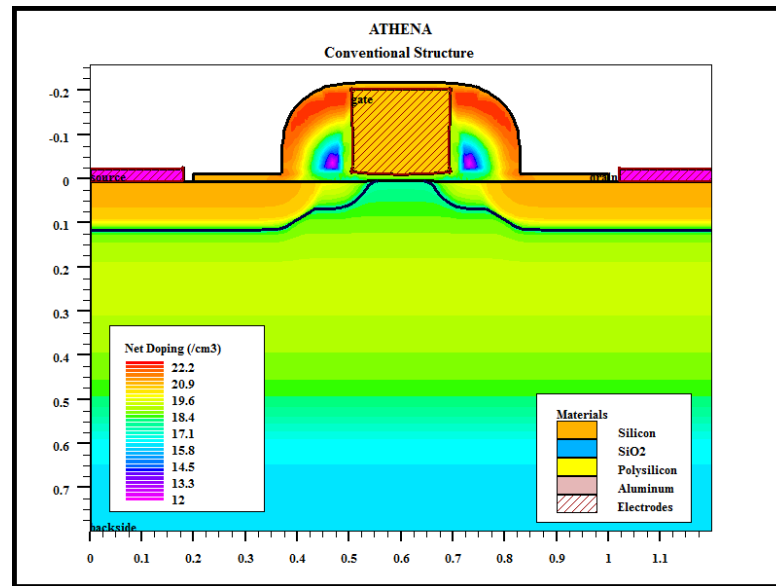


Figure 3.51 – La structure du transistor N-MOSFET conventionnel et son profil de dopage obtenus en utilisant Athena

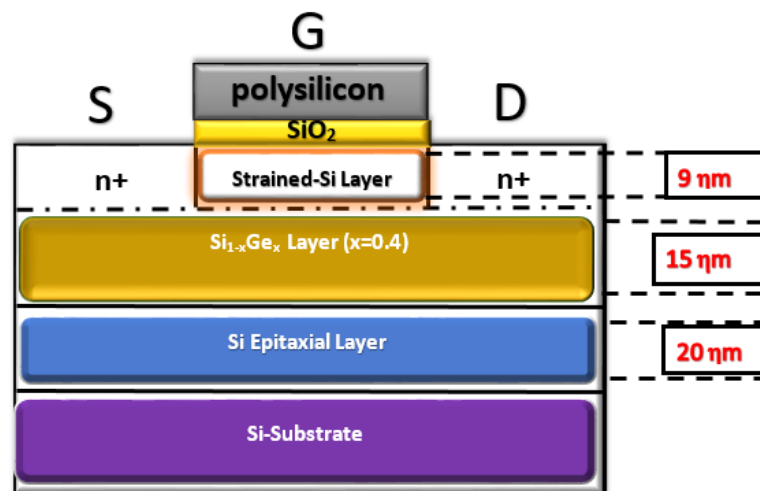


Figure 3.52 – La Structure du transistor N-MOSFET contraint

Les différentes grandeurs géométrique de la structure contrainte sont directement mentionnées sur la structure présenté en figure 3.52.

dans la figure 3.53 est présenté La Structure du transistor N-MOSFET contraint et son maillage.

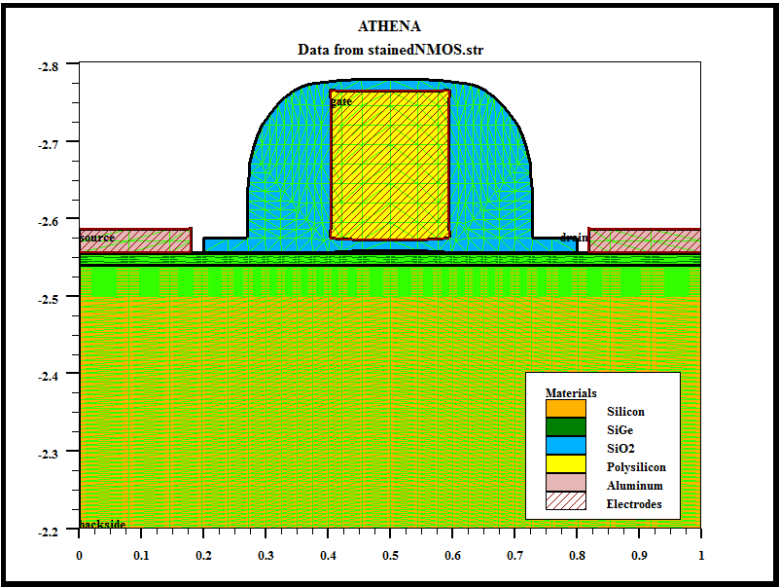


Figure 3.53 – La Structure d'un transistor N-MOSFET contraint et son maillage obtenus en utilisant ATHENA.

les caractéristiques DC de transfert des deux structures conventionnelle et contrainte, sont données en figure 3.54 et 3.55, puis regroupées pour étude comparative en figure 3.56.

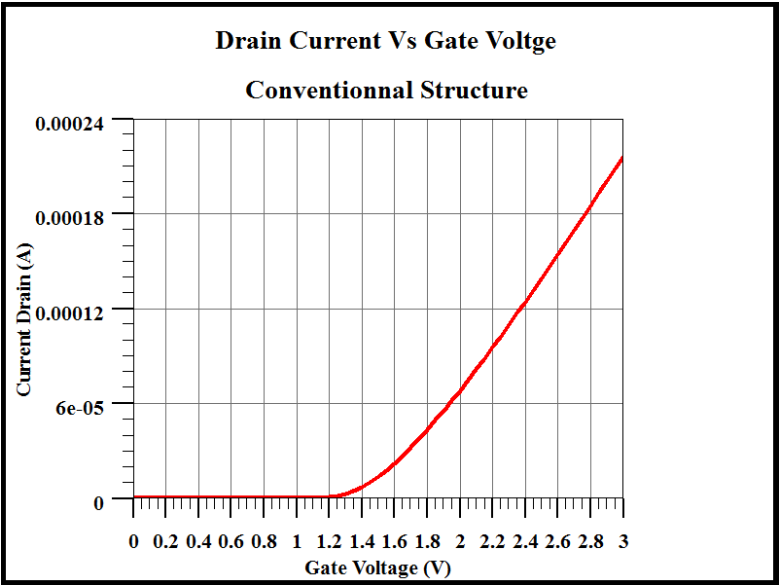


Figure 3.54 – Caractéristique de transfert de la structure conventionnelle obtenus en utilisant ATLAS.

3.3. Résultats de simulation obtenus et interprétations

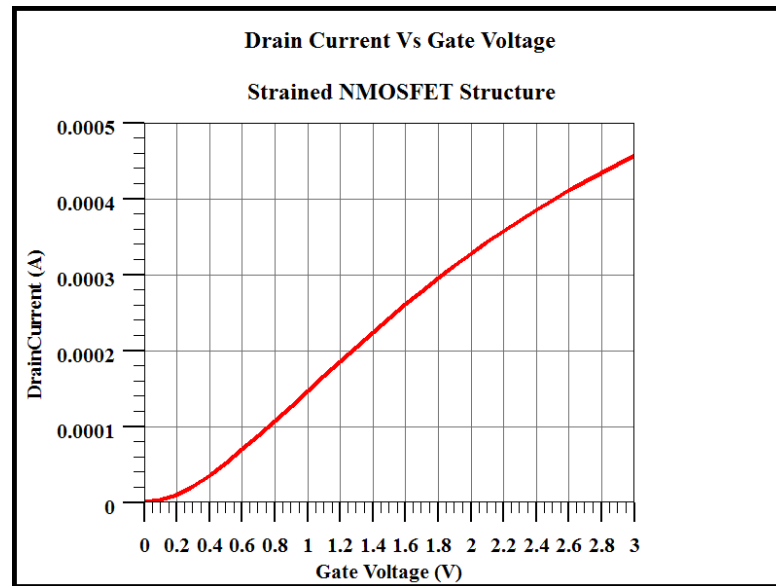


Figure 3.55 – Caractéristique de transfert de la structure contrainte obtenus en utilisant ATLAS.

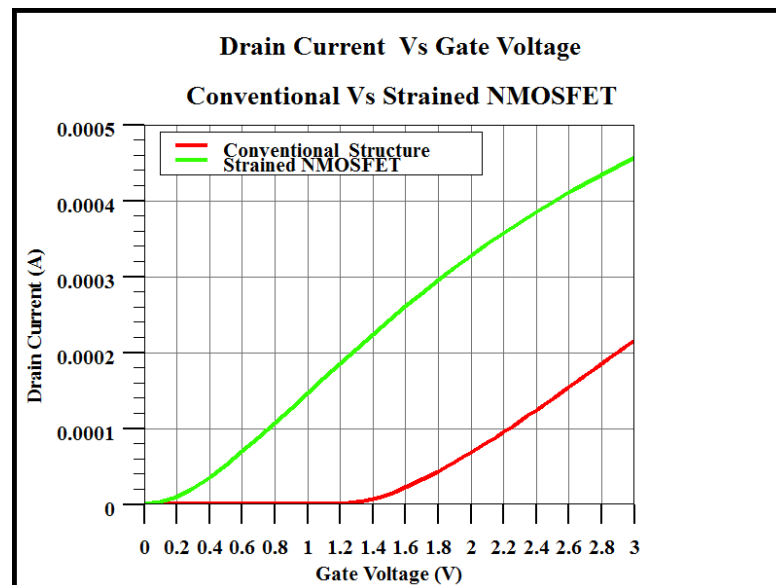


Figure 3.56 – Comparaison entre les deux caractéristique obtenus en utilisant ATLAS.

Le tableau suivant regroupe les différents résultats de simulation obtenus pour ces deux dernières structures. Ces résultats sont aussi présentés sur l'histogramme de la figure 3.57 afin de mieux apprécier ces améliorations.

Transistor N-MOSFET	Tension (V_{th})	Courant (I_{on})	Courant(I_{off})
Conventionnel	1.14075 V	0.211386 A	0.0001622 A
À canal Contraint	0.23270 V	0.4551 A	0.0002016 A

Table 3.6 – Résultats de simulation obtenues dans le N-MOSFET conventionnel et le N-MOSFET contraint

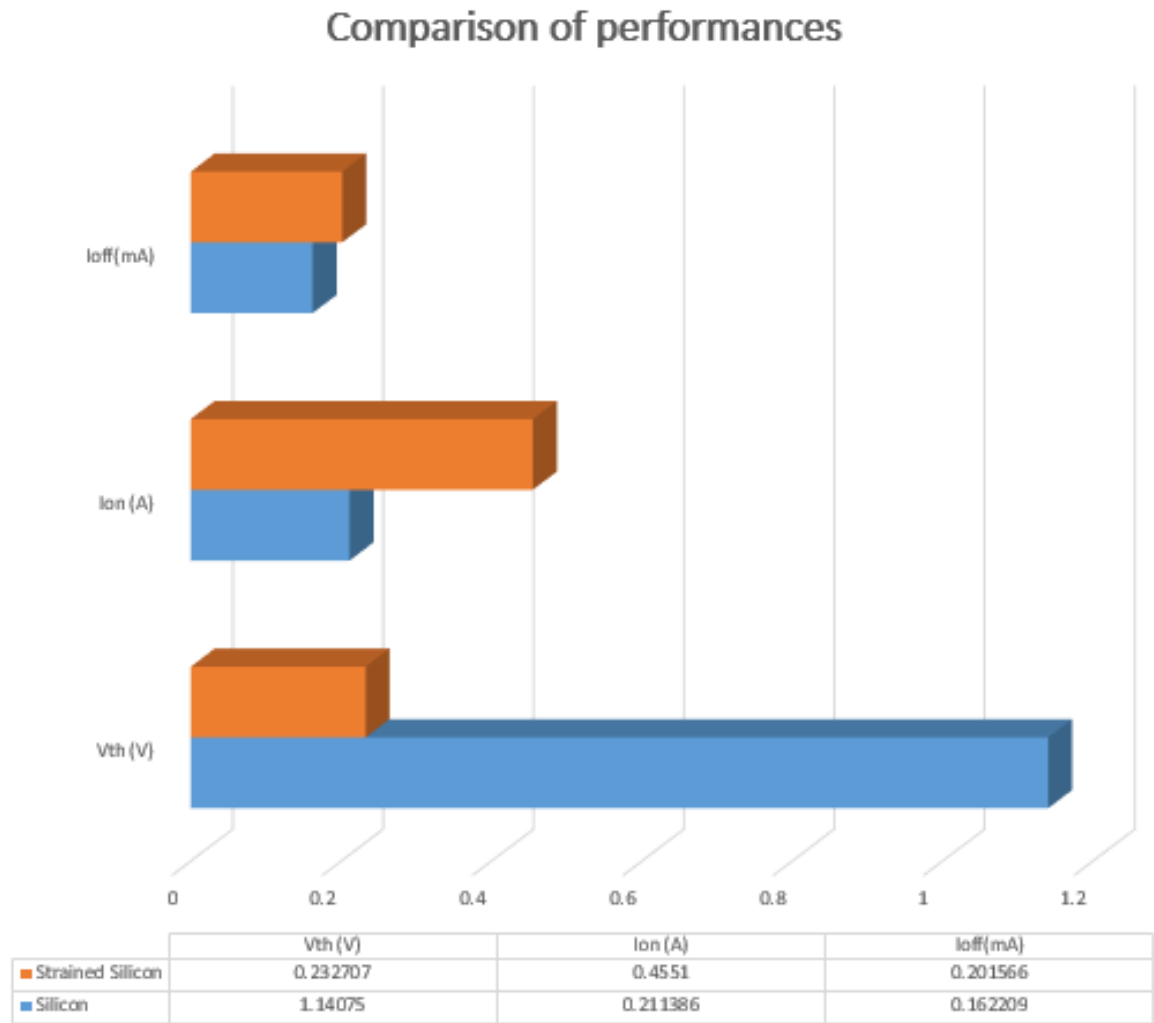


Figure 3.57 – Histogramme regroupant les résultats de simulations pour les deux N-MOSFETs simulés.

On remarque d’une part une diminution considérable de la tension de seuil, ce qui est considéré comme une importante amélioration, d’autre part on remarque une augmentation considérable du courant I_{ON} , avec augmentation négligeable du courant de fuite.

Les caractéristiques de transfert et de sortie des deux N-MOSFETs sont données en figure 3.58 et 3.59.

3.3. Résultats de simulation obtenus et interprétations

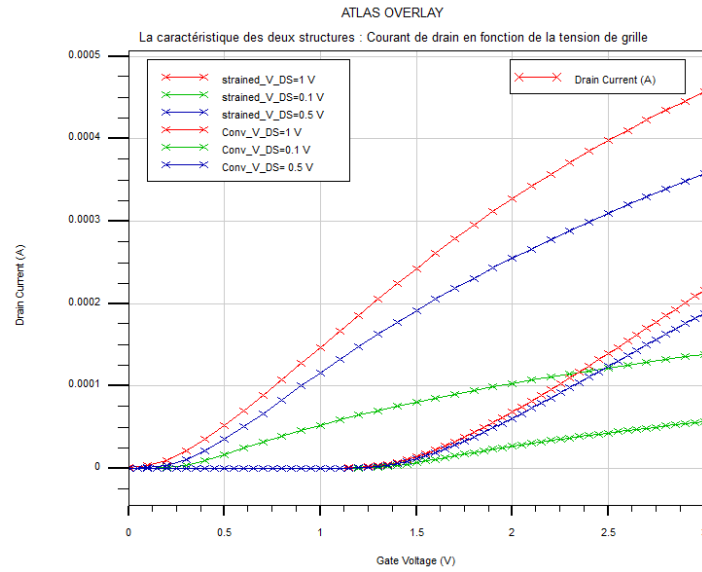


Figure 3.58 – Caractéristique de transfert pour différentes tensions de drain obtenus en utilisant ATLAS.

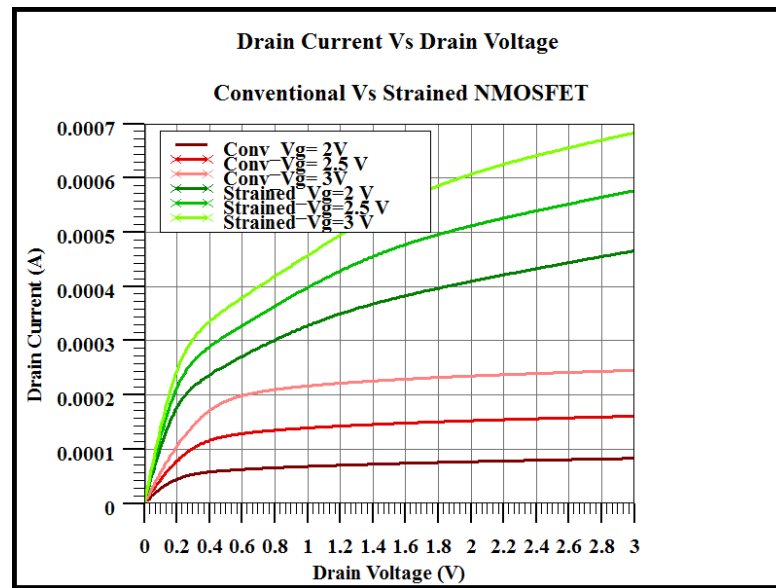


Figure 3.59 – Comparaison de la caractéristique de sortie de la structure conventionnelle et la structure contrainte obtenus en utilisant ATLAS

Cette structure contrainte a montré même de bonne résultat en terme de transconductance que nous présentons en figure 3.60.

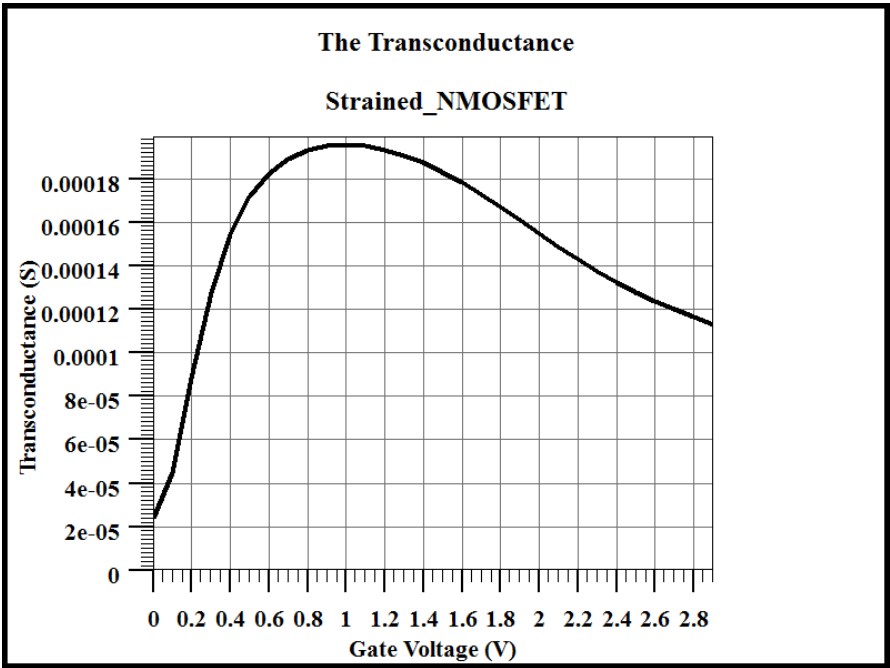


Figure 3.60 – La transconductance de la structure contrainte obtenus en utilisant ATLAS

Afin de déterminer le DIBL, nous représentons les caractéristique $\log(I_{DS}) - V_{GS}$ pour deux tension de polarisation V_{DS} . ainsi les courbes obtenues pour les deux N-MOSFETs sont celles des figures 3.61 et 3.62.

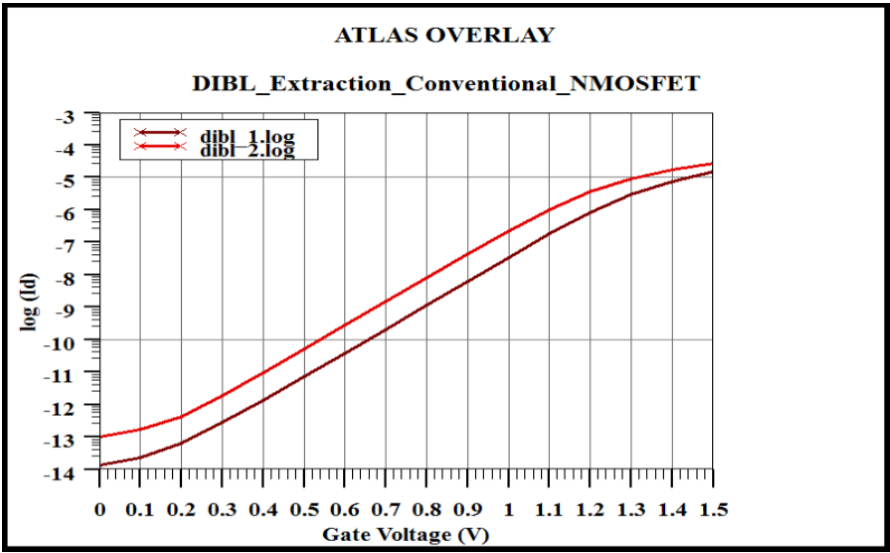


Figure 3.61 – Le DIBL de la structure conventionnelle obtenus en utilisant ATLAS

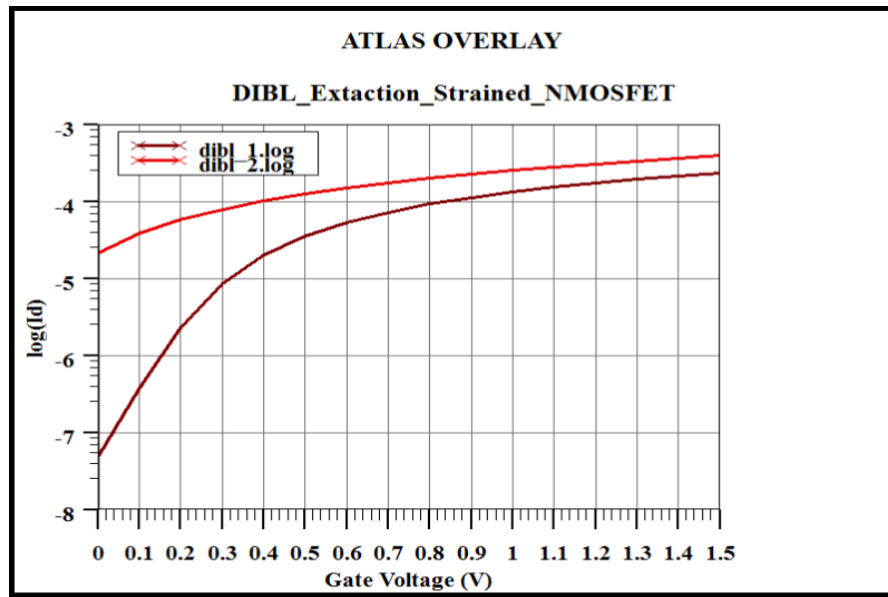


Figure 3.62 – Le DIBL de la structure contrainte obtenus en utilisant ATLAS

L'une des notions qu'on a évoqué au cours du chapitre suivant, et l'une des raisons d'amélioration de la mobilité dans les structures contraintes est la modification des bandes d'énergies comme on peut très bien le remarqué dans la figure 3.63.

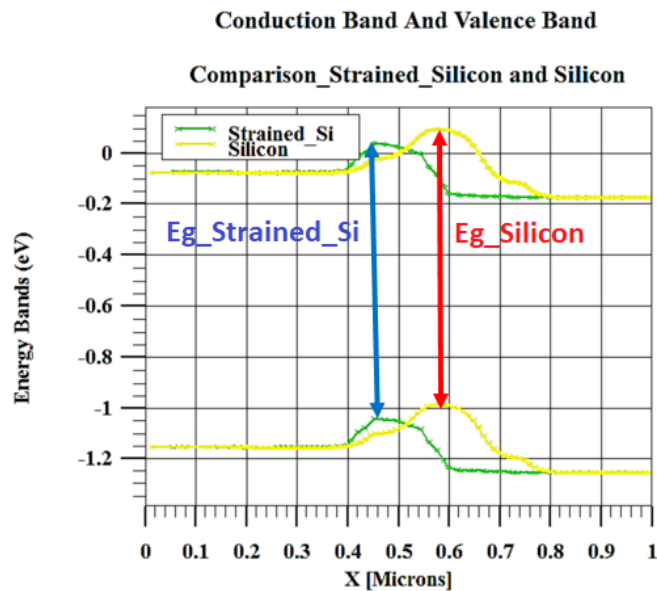


Figure 3.63 – Comparaison entre les bandes d'énergies dans une structure conventionnelle et dans la structure contrainte.

3.3.6 La deuxième structure N-MOSFET double grille en tension biaxiale contrainte

Nous allons alors dans cette partie présenter une structure N-MOSFET à double grille avec un canal contraint en tension biaxiale. L'utilisation d'une double grille permettra de commander doublement le canal de conduction et par conséquent doubler le courant de conduction. L'ajout d'une contrainte améliorera encore plus ses performances électriques en améliorant tout d'abord la mobilité des porteurs du canal situé entre les deux grilles du dispositifs, et entre la source et le drain.

En figure 3.65 et 3.66 sont représentés la structure DG-MOSFET conventionnelle et son maillage. La particularité des transistors double grille par rapport aux autres structures présentés, est d'avoir deux grilles nommées "Top Gate" et "Bottom Gate" ce qui permettra d'améliorer le contrôle électrostatique de la grille. Dans ces simulations, on a utilisé l'exemple de Silvaco qui prend en compte les effets quantiques, à cause des dimensions des dispositifs, avec lesquels les effets quantiques ne sont plus négligeables et modifient les propriétés de transport des matériaux [Bescond, 2005]. L'une des particularités de ce type de transistors et son immunité face aux effets canaux courts. Le fait de posséder deux grilles permet de mieux contrôler le potentiel du canal et de résister au courant tunnel source-drain qui, cause une dégradation de la pente sous le seuil.

La figure 3.64 représente une structure de base d'un transistor MOSFET double grille :

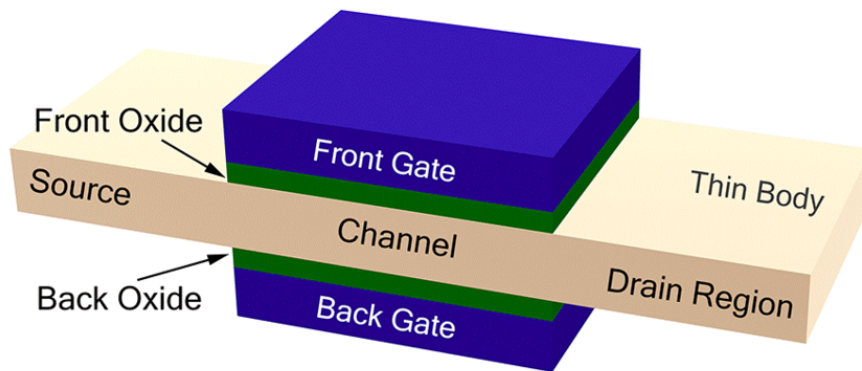


Figure 3.64 – La structure de base d'un transistor MOSFET Double Grille

Les transistors double grille MOSFET peuvent être symétriques comme ils peuvent être asymétriques. Par le mot symétrique on désigne l'utilisation du même matériau de grille et des épaisseurs d'oxydes de grilles identiques, par ailleurs dans les transistors double grille asymétriques les matériaux de grille avec de différents travaux de sortie et des épaisseurs d'oxyde de différents. L'ajout d'une grille ajoutera un canal d'inversion en régime de forte inversion. Le courant à l'état passant I_{on} augmente lorsque le nombre de grilles augmente. L'augmentation du courant I_{on} n'est en fait pas proportionnelle au nombre de grilles du transistor. Les améliorations ne se limitent pas au courant I_{on} mais s'étendent à la transconductance

3.3. Résultats de simulation obtenus et interprétations

qui sera aussi améliorée à son tour. [Khaouani, 2018].

Le transistor double grille MOSFET possède : une Source, un drain, une grille avant et une grille arrière. Dans le cas des DGFETs symétriques , les grilles arrière et avant sont au même potentiel.

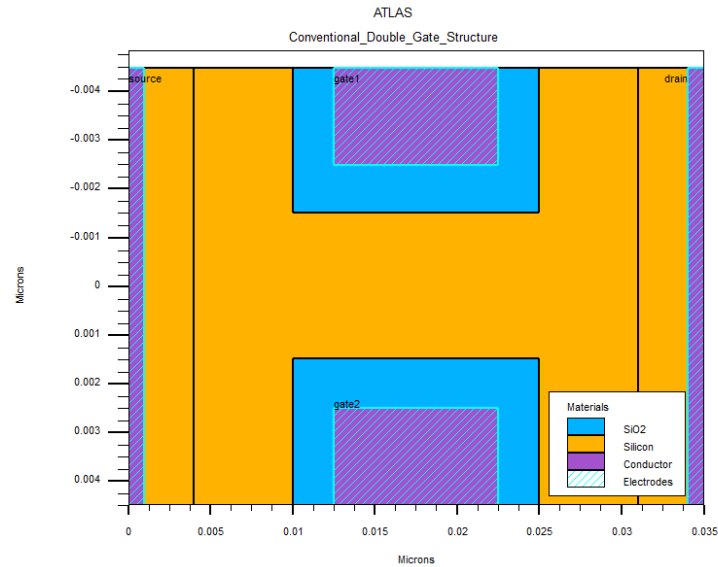


Figure 3.65 – La structure double grille N-MOSFET conventionnelle

Dans ce type de structure, un maillage raffiné et la prise en considération des effets quantiques, augment considérablement le temps de simulation et d'extraction des paramètres du dispositif.

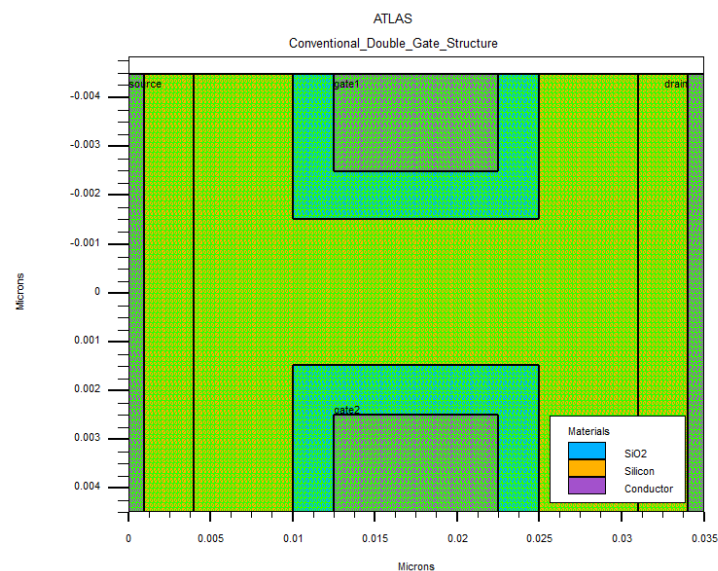


Figure 3.66 – Le maillage de la structure double grille N-MOSFET conventionnelle obtenus par ATLAS.

Chapitre 3. Résultats de simulation et interprétations

On présente alors au niveau de la figure 3.67 et la figure 3.68 une structure DGFET contrainte et son maillage, en gardant les mêmes caractéristiques du dispositif.

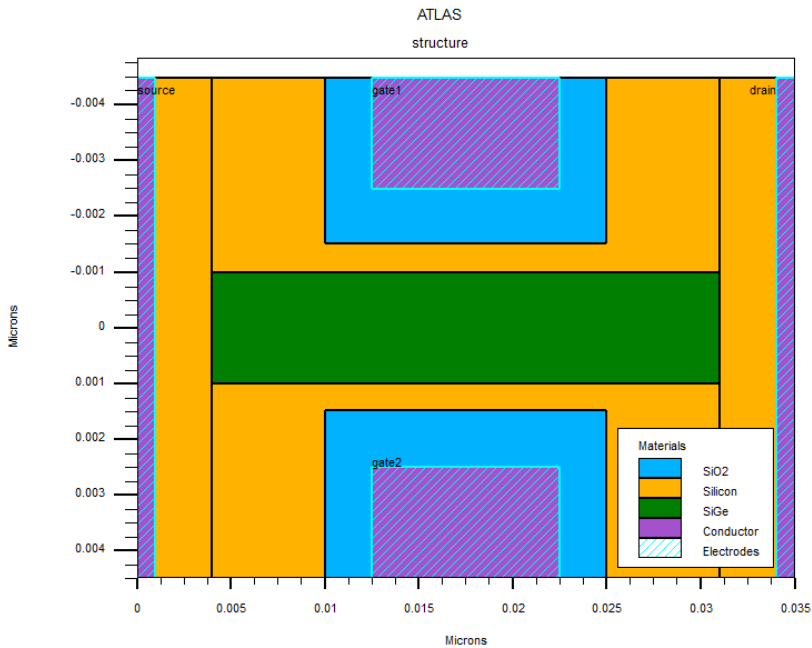


Figure 3.67 – La structure double grille N-MOSFET contrainte obtenus en utilisant ATLAS

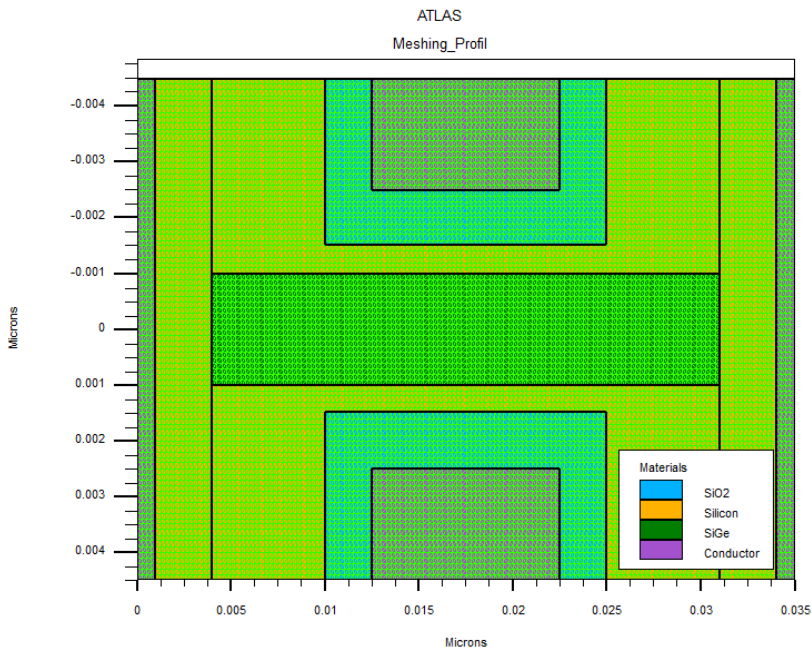


Figure 3.68 – Le maillage de la structure double grille N-MOSFET contrainte obtenus en utilisant ATLAS

3.3. Résultats de simulation obtenus et interprétations

Les caractéristiques DC de nos DGFETs et permettant une étude comparative des performances DC des deux N-MOSFETs sont représentés en figure 3.69. La concentration en Germanium utilisée est de Ge de 30%.

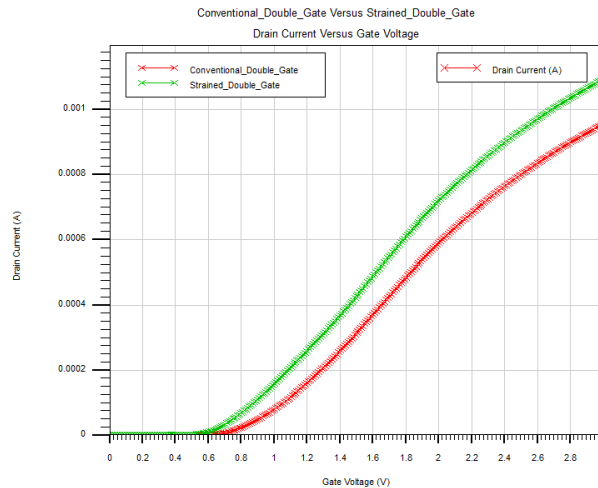


Figure 3.69 – Caractéristique de transfert, Comparaison entre la structure conventionnelle et contrainte

L'étude de l'impact de la variation de la concentration en germanium est d'une telle importance que nous avons menés une étude comparative en choisissant différents pourcentages en germanium comme on peut le constater dans la figure 3.70.

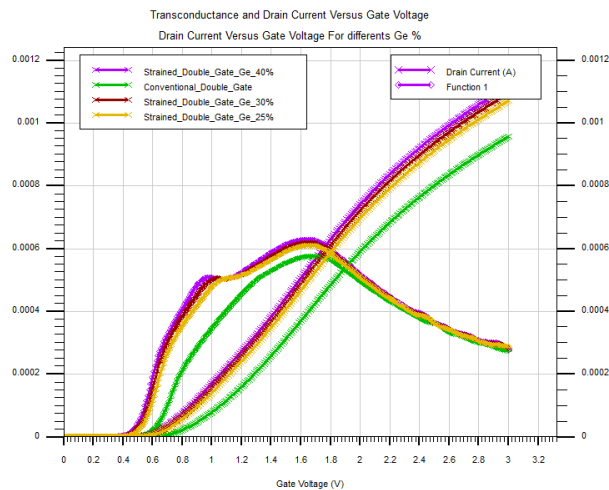


Figure 3.70 – Caractéristique de transfert en utilisant différents pourcentages en Ge, Comparaison entre la structure conventionnelle et contrainte

La figure 3.71 suivante est un histogramme qui aide à bien remarquer la différence et les améliorations apportés après l'utilisation de la technique des contraintes, et l'effet de la variation de la concentration en Ge sur les performances du dispositif.

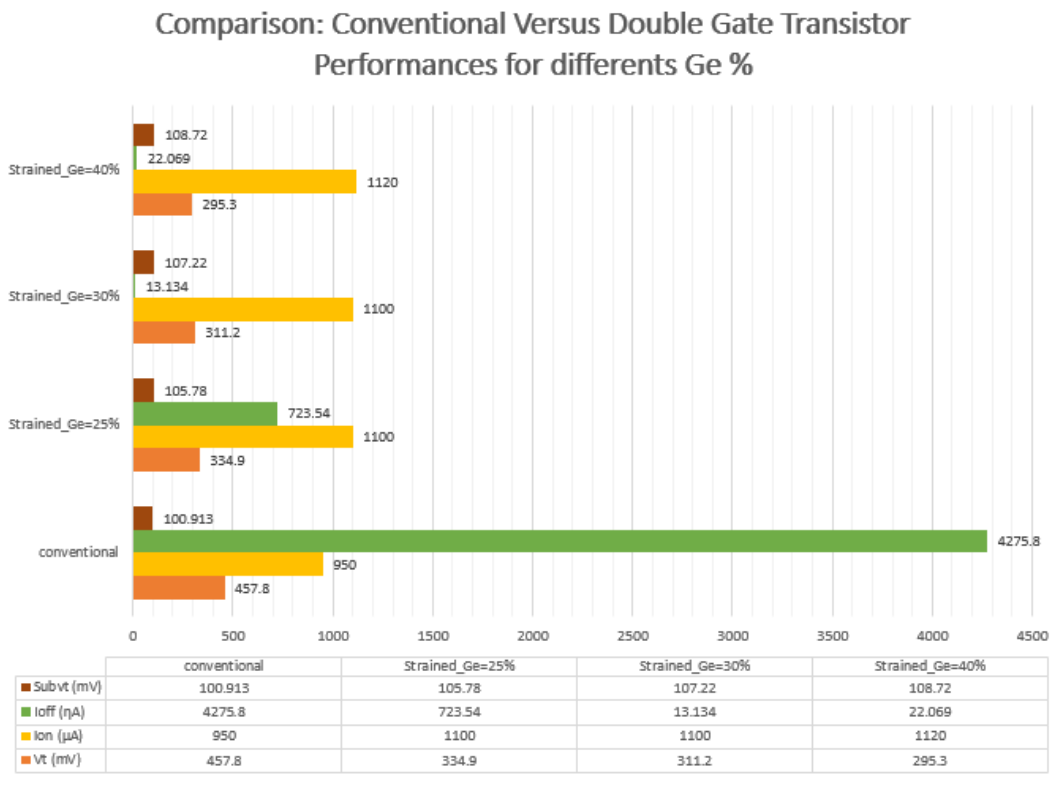


Figure 3.71 – Histogramme de comparaison entre la structure conventionnelle et les structures contraintes

D'après l'histogramme on remarque, une diminution très remarquable du courant de fuite I_{Off} jusqu'à qu'il devient négligeable devant celui de la structure conventionnelle pour les pourcentages de 30 % et 40%. On a eu également de satisfaisantes pente sous le seuil dans les différentes structures, de l'ordre d'une centaine de mV/décade et qui est normale vis à vis des dimensions très petites de la structure. On a eu aussi une augmentation du courant I_{ON} et une diminution de la tension de seuil V_{Th} qui sont de très importantes améliorations réalisés, on tient aussi à préciser qu'on a varié la concentration en germanium de 25 à 80 %, ce qu'on a remarqué est autour de la valeur de $x=0.4$ qui corresponds à une concentration en germanium de 40 % on a une saturation des améliorations de performances.

Pour améliorer d'avantage notre structure on a eu l'idée d'utiliser deux matériaux de grille, pour former des grilles en dual métal, qui sont l'Aluminium qui a un travail de sortie de 4.08 ev, et le titanium qui a un travail de sortie de 4.1 ev, comme le montre la figure 3.72.

Les améliorations obtenues après la combinaison entre la technique du double grille en dual métal de grille avec la technique des contraintes sont illustrés dans la figure 3.73. On peut alors remarquer une amélioration du courant de sortie du transistor en fonction de la tension de grille. Cette augmentation induit une diminution de la puissance consommée, ce qui est très important dans la continuité de la mise à l'échelle des transistors MOSFET.

3.3. Résultats de simulation obtenus et interprétations

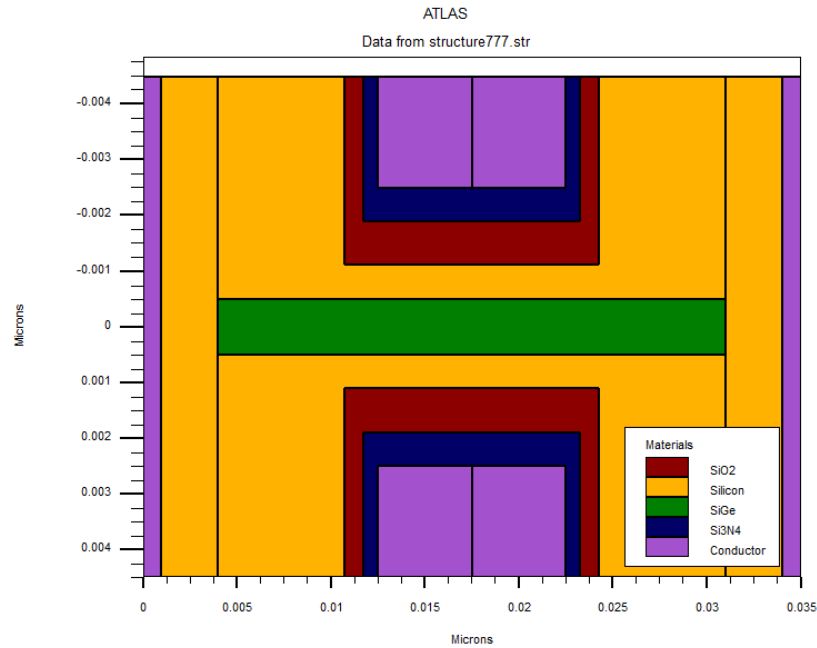


Figure 3.72 – La structure double grille N-MOSFET contrainte en dual Métal de grille obtenus en utilisant ATLAS

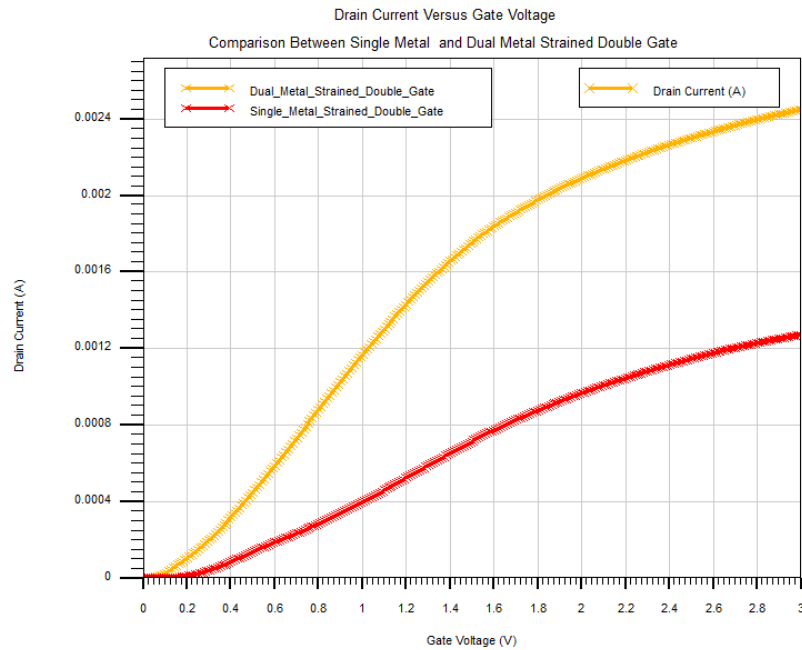


Figure 3.73 – Comparaison entre les caractéristiques de transfert entre une structure en simple et dual métal de grille

Le courant de conduction peut être amélioré par l'utilisation de matériaux à haute permittivité appelé high-k utilisés comme diélectrique de grille en remplacement de l'oxyde de

Chapitre 3. Résultats de simulation et interprétations

silicium SiO_2 conventionnel. La figure 3.74 permet la comparaison entre les caractéristiques de transfert d'une structure à oxyde de grille conventionnel " SiO_2 " et d'une structure utilisant un diélectrique à haute permittivité le " Si_3N_4 ". Nos résultats de simulation permettent de mettre en évidence les améliorations apportées en termes de courant lors de l'introduction d'un diélectrique de grille en high-k, en remplacement au diélectrique conventionnel.

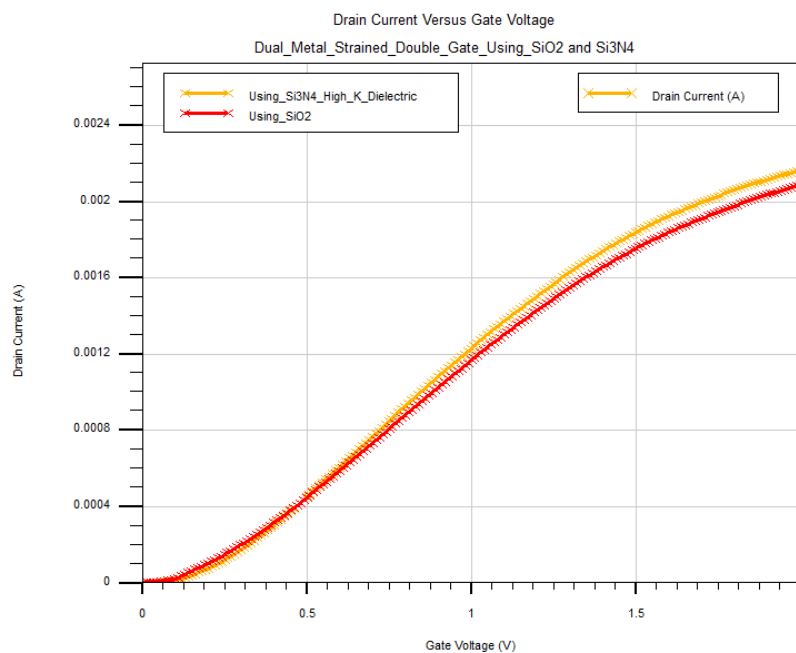


Figure 3.74 – Comparaison entre les caractéristiques de transfert entre une structure contrainte en dual métal de grille, avec les matériaux high-k en oxyde de grille et le SiO_2

3.4 Conclusion

À travers ce chapitre, nous avons initié le lecteur à l'utilisation du logiciel SILVACO-TCAD, nous avons fournis différentes informations concernant les modules ATLAS, et ATHENA de SILVACO TCAD. On a alors pu présenter dans ce chapitre différentes structures à canal contraints et nous avons mis en évidence leurs caractéristiques DC. Pour cela on a présenté tout d'abord une structure P-MOSFET contrainte et non-contrainte pour démontrer ce que peut apporter la technologie du silicium contraint sur ce type de transistor, dans une seconde partie nous avons étudiés des hétéro-structures contraintes. Nous nous sommes intéressés alors par la suite aux N-MOSFETs contraints, puis aux double grille contraint. Avec l'utilisation d'une architecture double grille, l'utilisation d'un oxyde de grille à haute permittivité et des métaux de grilles avec différents matériaux et de différents travaux de sortie furent utilisés; On a pu ainsi conclure que l'utilisation des contraintes seules ou combinées avec d'autres solutions technologiques permet l'amélioration des performances de ces structures et par conséquent des circuits. Ainsi l'introduction de contraintes biaxiales semble être une solution qui s'impose parmi les solutions qui nous permettront de continuer la mise à l'échelle.

Conclusion générale

De nos jours ,l'augmentation de la densité d'intégration des dispositifs CMOS accompagnée de l'amélioration avérée de leur performances dûes principalement à la miniaturisation des transistors MOSFETs commence malheureusement à s'essouffler. En effet les performances de ces MOSFETs nanométriques ne sont pratiquement plus gérés par la réduction de la taille de leur grandeurs caractéristiques. Ainsi, face à la détermination de repousser de plus en plus les limites de l'intégration des circuits CMOS nanométriques et dans le but de minimiser les phénomènes parasites et effets canaux courts tels que les fuites de grille qui malheureusement imposent une modification de l'architecture de ces nouveaux MOSFETs nanométriques , plusieurs solutions technologiques ont été envisagées.

On cite entre autres l'utilisation de transistors MOSFETs à grilles multiples appelés MUGFETs tel que le GAA "gate all around MOSFET" qui permet un contrôle électrostatique total du canal de conduction , ou encore l'utilisation de matériaux à haute permittivité pour l'empilement de grille. Cependant une autre solution technologique et non la moindre permettant l'amélioration des performances des dispositifs MOSFETs consiste à introduire intentionnellement des contraintes uniaxiale ou biaxiale au niveau du canal de conduction ce qui permettrait l'amélioration des propriétés de transport électronique .

Nous nous sommes intéressés dans ces travaux de thèse à la simulation numérique de différentes structures de transistors MOSFET conçus avec un canal de Silicium contraint en tension biaxiale, où nous nous sommes principalement intéressé aux caractéristiques électrique en mode DC.

Tout d'abord, nous avons pu dans le premier chapitre présenter brièvement les transistors MOSFETs, leur principe de fonctionnement, ainsi que les différents problèmes et effets parasites liés à la miniaturisation et qui malheureusement dégradent les performances de ces dispositifs et des circuits. Nous avons présenté différentes solutions permettant de limiter les effets néfastes liés à la miniaturisation. On cite principalement les MOSFETs à canal de Silicium contraint que nous avons présenté au deuxième chapitre.

Ainsi le second chapitre fut entièrement consacré à la présentation des contraintes dans les technologies CMOS. nous nous sommes particulièrement intéressé au Silicium contraint en tension biaxiale utilisé au niveau du canal de conduction, objet de notre étude .Nous avons

aussi présenté les principales améliorations apporté par l'introduction d'une contrainte en tension biaxiale tels que l'amélioration de la mobilité , du courant Ion, et les autres paramètres extraits et cités.

Le troisième et dernier chapitre fut consacré à la présentation des différents résultats que nous avons obtenus suite à la simulation numérique des différents dispositifs conçus sous environnement ATHENA et ATLAS de SILVACO -TCAD. Nous avons pu ainsi évaluer l'impact de l'introduction de la contrainte en tension biaxiale sur les propriétés de transport électronique du transistor MOSFET. Nous avons pu ainsi comparer les performances des structures MOSFETs conventionnels et de structures à canal contraint. Pour cela nous avons étudié tout d'abord une structure P-MOSFET contrainte et non-contrainte pour démontrer ce que peut apporter la technologie du silicium contraint sur ce type de transistor, dans une seconde partie nous avons étudiés des hétéro-structures contraintes . Nous nous sommes intéressé alors par la suite au N-MOSFETs contraints , puis aux doubles grilles contraints .

À la fin de ce travail nous pouvons avancer que cette étude pourrait être enrichie par l'étude de nouvelles architectures MOSFETs à canal contraint en tension biaxiale tels que les FINFETs ,...Une étude en mode AC , que nous gardons en perspectives, permettrait ainsi d'examiner le comportement fréquentiel de ces dispositifs.

Sigles et notations

Sigles

- **AlAs**: Arséniure d'aluminium.
- **GaAs** : Arséniure de gallium.
- **GaN** : Nitrure de gallium.
- **GaP** : Phosphure de gallium.
- **Ge** : Germanium.
- **HDP** : High Density Plasma.
- **InAs** : Arséniure d'indium.
- **InP** : Phosphure d'indium.
- **ITRS** : International Technology Roadmap for Semiconductors.
- **MOSFET** : Metal Oxyde Semiconductor Field Effect Transistor.
- **SACVD**: Sub-Atmospheric Chemical Vapor Deposition.
- **Si** : Silicium.
- **SiC**: Carbure de silicium.
- **SiGe**: Alliage de **Si** et de **Ge**.
- **Si_{1-x}Ge_x** : Alliage SiGe avec une fraction molaire **x**.
- **SILVACO**: Silicon VALley Corporation.
- **SiN/Si₃N₄** : Nitrure de silicium.
- **SiO₂**: Oxyde de silicium.
- **SMT** : Stress Memorization Technique.

- **STI** : Shallow Trench Isolation.
- **TCAD**: Technology Computer Aided Design, Design de technologie assisté par ordinateur.
- **TiSi, CoSi₂, NiSi**: Saliciure formé par la réaction silicium-métal.
- **TEM**: Transmission Electron Microscopy, Microscopie électronique en transmission.

Notations

- **a** [m] : Paramètre de maille du réseau cubique.
- **a_v** [eV] : Potentiel de déformation hydrostatique des bandes de valence.
- **C_{ox}** [T].[m]⁻² : Capacité d'oxyde par unité de surface.
- **$\vec{E}$** [V].[m] : Champ électrique.
- **E(k)** [eV] : Énergie de bandes, structure de bandes.
- **E_{eff}** [V].[m]⁻¹ : Champ effectif.
- **E_f** [eV] : Énergie de Fermi.
- **E_g** [eV] : Énergie de gap.
- **$E_c(k)$** [eV] : Énergie des bandes de conduction.
- **$E_v(k)$** [eV] : Énergie des bandes de valence.
- **G_m** [A].[V]⁻¹ : Transconductance.
- **I_{lin}** [A].[m]⁻¹ : Courant de drain dans le régime linéaire par unité de largeur.
- **I_{On}** [A].[m]⁻¹ : Courant de drain dans le régime de saturation par unité de largeur.
- **J(r,t)** [A].[m]⁻² : Densité de courant.
- **L_g** [m] : Longueur de grille.
- **m_0** [Kg] : Masse de l'électron libre, égale à : $9.10931.10^{-19} Kg$.
- **m^*** [Kg] : Masse effective de courbure.
- **m_t/m_l** [Kg] : Masse effective de courbure transverse/longitudinale
- **m_c^*** [Kg] : Masse effective de conduction, nommée aussi masse de transport.
- **n** : symbole associé aux électrons.

- $\mathbf{p}$: symbole associé aux trous.
- $N_d(n^+) [at].[m]^{-3}$: Dopage des ions donneurs.
- $N_a(p^+) [at].[m]^{-3}$: Dopage des ions accepteurs.
- $N_{ch} [at].[m]^{-3}$: Dopage du canal (en Anglais **Channel**).
- $|q| [C]$: Charge élémentaire des électrons, égale à : $1.6021.10^{-19}$.
- $T_{ox} [m]$: Épaisseur d'oxyde.
- $T_{ox,eff} [m]$: Épaisseur d'oxyde effective.
- $Q_{inv}/Q_{dep} [C]$: Charge d'inversion et de déplétion.
- $R_{ch} [\Omega]$: Résistance intrinsèque au canal du transistor.
- $R_s, R_d [\Omega]$: Résistance d'accès dans les zones de source et drain.
- $S [S]^{-1}$: Taux de génération/recombinaison.
- $v_{sat} [m].[S]^{-1}$: Vitesse de saturation.
- $V(r) [eV]$: Potentiel ionique.
- $V_b [V]$: Tension appliquée au substrat.
- $V_d [V]$: Tension appliquée au drain.
- $V_g [V]$: Tension appliquée à la grille.
- $V_s [V]$: Tension appliquée à la source.
- $V_{dd} [V]$: Tension d'alimentation.
- $V_{th} [V]$: Tension de seuil.
- $V_{FB} [V]$: Tension des bandes plates (En Anglais : **Flat Band**).
- $W [m]$: La largeur de grille.
- $\epsilon_{||} [u. r.]$: Déformation parallèle.
- $\epsilon_{\perp} [u. r.]$: Déformation perpendiculaire.
- $\epsilon_{ii} [u. r.]$: composante uniaxiale du tenseur de déformation.
- $\epsilon_{ij} [u. r.]$: composante de cisaillement du tenseur de déformation.
- $\epsilon_0 [Kg]^{-1}[m]^{-3}[A]^2[S]^4$: Constante diélectrique du vide, égale à : $8.85.10^{-12}$.
- $\mu_c [m]^2[V]^{-1}[S]^{-1}$: Contribution à la mobilité effective des interactions coulombiennes.

- $\mu_{eff} [m]^2[V]^{-1}[S]^{-1}$: Mobilité effective.
- $\mu_n [m]^2[V]^{-1}[S]^{-1}$: Mobilité des porteurs de charge.
- $\mu_{ph} [m]^2[V]^{-1}[S]^{-1}$: Contribution à la mobilité effective des interactions e^{-1} -phonon.
- $\mu_{sr} [m]^2[V]^{-1}[S]^{-1}$: Contribution à la mobilité effective de la rugosité de surface.
- $\Pi/\pi_{ij} [pa]^{-1}$: Tenseur de piezorésistance/Composante du tenseur de piezorésistance.
- $\sigma_{ii} [pa]$: Composante uniaxiale du tenseur de contrainte.
- $\sigma_{ij} [pa]$: composante de cisaillement du tenseur de contrainte.
- $\tau [S]$: temps de relaxation.
- $\phi_f [V]$: Potentiel de fermi.

Bibliographie

- [Aghoram; and Thompson, 2009] Aghoram, M. C. Y. S. U. and Thompson, S. E. (2009). Strain: A solution for higher carrier mobility in nanoscale mosfets. *Annual Review of Materials Research*, 39:203–229.
- [Albert Malvino, 2008] Albert Malvino, D. J. B. (2008). *Electronic Principles*. Number ISBN-13: 978-0072975277. 7th edition edition.
- [Ando et al., 1982] Ando, T., Fowler, A. B., and Stern, F. (1982). Electronic properties of two-dimensional systems. *Reviews of Modern Physics*, 54(2):437.
- [Andrieu, 2007] Andrieu, O. B. B. (2007). High-field electron mobility in biaxially-tensile strained soi: Low temperature measurement and correlation with the surface morphology. In *VLSI Technology, 2007 IEEE Symposium on*, pages 134–135. IEEE.
- [Ang and Chui, 2005] Ang, K. W. and Chui, K. J. (2005). Lattice strain analysis of transistor structures with silicon germanium and silicon carbon source drain stressors. *Applied Physics Letters*, 86(9):093102–1/093102–3.
- [Aniel, 2006] Aniel, S. R. F. (2006). *Contraintes mécaniques en micro, nano et optoélectronique*. Ed.Hermes-Lavoisier.
- [Antoniadis, 2001] Antoniadis, C. W. L. M. T. C. M. L. L. Z.-Y. C. D. A. (2001). Hole mobility enhancements in strained si/sil-ygeysi/sil-ygey p-type metal-oxide-semiconductor field-effect transistors grown on relaxed sil-xgexsil-xgex ($x < y$) ($x < y$) virtual substrates. *Applied Physics Letters*, 79(25):4246–4248.
- [Antoniadis, 2004] Antoniadis, S. Y. . J. J. . J. H. . D. (2004). Strained-si-strained-sige dual-channel layer structure as cmos substrate for single workfunction metal-gate technology. *IEEE Electron Device Letters*, 25(06):402–404.
- [Aquilino, 2012] Aquilino, S. N. . P. C. . C. O. . D. F. . E. E. . K. N. . P. P. . T. A. . M. (2012). 22nm high-performance soi technology featuring dual-embedded stressors, epi-plate high-k deep-trench embedded dram and self-aligned via 15lm beol. In *Electron Devices Meeting (IEDM), 2012 IEEE International*, pages 3.3.1–3.3.4. IEEE.

- [A.R.Leb Blanc, 1974] A.R.Leb Blanc, R. F. G. V. E. (1974). Design of ion-implanted mosfet's with very small physical dimensions. *IEEE Journal of solid state circuits*, 9(5):256–268.
- [Asenov and Roy, 2004] Asenov, L. Y. J. R. W. R. C. W. W. M. B. J. R. B. A. and Roy, S. (2004). Si/sige heterostructure parameters for device simulations. *Semiconductor Science and Technology*, 19(10):1174–1182.
- [Atalla, 1965] Atalla, M. (1965). Semiconductor devices having dielectric coatings. *U.S Patent 3206670*.
- [Bean, 1985] Bean, D. V. L. R. P. J. C. (1985). Measurement of the band gap of $\text{Ge}_{1-x}\text{Si}_x$ strained layer heterostructures. *Applied Physics Letters*, 47(12):1333–1335.
- [BENSEGUENI, 2016] BENSEGUENI, R. (2016). *Contribution à l'étude du transport électrique à travers des oxydes très minces (<10nm) dans des structures MOS*. PhD thesis, UNIVERSITE FRÈRES MENTOURI CONSTANTINE.
- [Bera, 2007] Bera, C. M. S. C. L. (2007). *Strained-Si Heterostructure Field Effect Devices*. Number ISBN 9780750309936 in Series in Materials Science and Engineering. CRC Press.
- [Åberg; C. Ni Chléirigh;, 2004] Åberg; C. Ni Chléirigh;, J. L. H. I. (2004). Enhanced mobility cmos. techreport, Microsystems Technology Laboratory, MIT, Cambridge, MA 02139.
- [Bescond, 2005] Bescond, M. (2005). *Modélisation et simulation du transport quantique dans les transistors MOS nanométriques*. PhD thesis, L'UNIVERSITE DE PROVENCE (AIX-MARSEILLE I).
- [BOGUMILOWICZ, 2005] BOGUMILOWICZ, Y. (2005). *Epitaxie et gravure d'Heterostructure Si/Si_{1-x}Ge pour application dans les technologies MOS*. PhD thesis, Ecole centrale de Lyon.
- [Brasen and Kortan, 1991] Brasen, E. F. X. G. D. and Kortan, A. (1991). Strain-free $\text{Ge}_{1-x}\text{Si}_x$ layers with low threading dislocation densities grown on Si substrates. In *Mater. Res. Soc. Symp. Proc*, volume 220, pages 811–813.
- [Brillouet, 2005] Brillouet, M. (2005). Contraintes internes : de leur origines à leur utilisation dans les matériaux à propriétés électroniques. In *Séminaire lors du GdR Relax*.
- [Bruley, 2017] Bruley, T. A. . P. H. . J. (2017). High mobility high-Ge-content sige pmosfets using $\text{Al}_2\text{O}_3/\text{HfO}_2$ stacks with in-situ O_3 treatment. *IEEE Electron Device Letters*, 38(3):303 – 305.
- [Charvat, 2003] Charvat, T. G. . M. A. . C. A. . M. B. . P. (2003). A 90nm high volume manufacturing logic technology featuring novel 45nm gate length strained silicon cmos transistors. In *Electron Devices Meeting, 2003. IEDM '03 Technical Digest. IEEE International*, pages 978–980.
- [Chau, 2004] Chau, S. T. . M. A. . C. A. . S. C. . R. (2004). A logic nanotechnology featuring strained-silicon. *IEEE Electron Device Letters*, 25(4):191–193.

- [Chen, 2003] Chen, H. C. H. W. Y. P. W. S. J. (2003). Substrate-strained silicon technology: process integration [cmos technology]. In *Electron Devices Meeting. IEDM '03 Technical Digest. IEEE International*, pages 61–64. IEEE.
- [Cheng and Huang, 2011] Cheng, C.-H. D.-C. C. A.-K. C. Y.-J. K. S.-H. H.-Y. H.-H. L. C.-E. C.-M. S. W.-L. C.-S. D. H.-M. C. X. and Huang, C. T. (2011). Hot carrier effect on gate-induced drain leakage current in high-k/metal gate n-channel metal-oxide-semiconductor field-effect transistors. *Appl. Phys. Lett.*, 99(01):012106–1–012106–3.
- [Cheng, 2004] Cheng, J. F. . G. B. . C. L. . M. C. . Z. (2004). Investigation of misfit dislocation leakage in supercritical strained silicon mosfets. In *Reliability Physics Symposium Proceedings, 2004. 42nd Annual. 2004 IEEE International*, page P493. IEEE.
- [Chun, 1994] Chun, D. K. N. S. K. (1994). Low-field hole mobility of strained si on (100) si1-xge substrate. *Applied Physics Letters*, 64(19):2514–2516.
- [Colinge, 2011] Colinge, I. F. C. A. C. . J.-P. (2011). Multigate transistors as the future of classical metal–oxide–semiconductor field-effect transistors. *Nature*, 479:310–316.
- [Corporation, 2014] Corporation, I. (2014). Technology roadmap of intel's processors. Technical report, TECHINSIGHTS.
- [Currie, 2004] Currie, M. (2004). Strained silicon: engineered substrates and device integration. In *Integrated Circuit Design and Technology, ICICDT '04*, pages 261–268. IEEE.
- [Currie; and Lochtefeld, 2005] Currie;, M. L. L. E. A. F. M. T. B. M. T. and Lochtefeld, A. (2005). Strained si, sige, and ge channels for high-mobility metal-oxide-semiconductor field-effect transistors. *Journal of Applied Physics*, 97(01):011101–1/011101–27.
- [Daanoune, 2015] Daanoune, M. (2015). *Mesure de durée de vie de porteurs minoritaires dans les structures semiconductrices de basse dimensionnalité*. PhD thesis, l'École Doctorale EEATS.
- [Damlencourt, 2004] Damlencourt, O. W. . F. D. . T. E. . F. A. . J.-F. (2004). 55nm high mobility sige(:c) pmosfets with hfo/sub 2/ gate dielectric and tin metal gate for advanced cmos. In *VLSI Technology, 2004. Digest of Technical Papers. 2004 Symposium on*, pages 42–43. IEEE.
- [D.Esseni, 2008] D.Esseni, L. S. . P. (2008). An efficient, mixed semiclassical/quantum mechanical model to simulate planar and wire nano-transistors. Department of ELECTRICAL, Mechanical and MANAGEMENT Engineering, University of Udine.
- [Dhar, 2007] Dhar, S. (2007). *Analytical Mobility Modeling for Strained Silicon-Based Devices*. PhD thesis, Université de Vienne, Faculté de génie électrique et informatique.
- [Dimitri, 2003] Dimitri, F. E. A. L. M. L. L. C. W. A. (2003). Mosfet channel engineering using strained si, sige, and ge channels. *Advanced Materials for Micro- and Nano-Systems*.

- [Divakaruni, 2004] Divakaruni, H. Y. . R. M. . S. N. . Y. L. . R. (2004). Dual stress liner for high performance sub-45nm gate length soi cmos manufacturing. In *Electron Devices Meeting, 2004. IEDM Technical Digest. IEEE International*, pages 1075–1078. IEEE.
- [Dollfus, 2002] Dollfus, T. E. . J.-M. H. . V. L. . F. D. . P. (2002). Fabrication of a novel strained sige:c-channel planar 55 nm nmosfet for high-performance cmos. In *VLSI Technology, 2002. Digest of Technical Papers. 2002 Symposium on*. IEEE.
- [Ekstedt and Moll, 1982] Ekstedt, C. S. T. and Moll, J. (1982). Charge accumulation and mobility in thin dielectric mos transistors. *Solid-State Electronics*, 25(9):833–841.
- [Ekstrom; and Paff, 1964] Ekstrom;, J. P. D. L. and Paff, R. J. (1964). Lattice parameter and density in germanium-silicon alloys. *The Journal of Physical Chemistry*, 68(10):3021–3027.
- [Ernst, 2005] Ernst, S. B. L. C. T. (2005). Electron transport in thin soi, strained-soi and geoi mosfet by monte-carlo simulation. *Solid-State Electronics*, 49(07):1090–1097.
- [et al, 2002] et al, K. (2002). *IEEE VLSI Tech. Symp. Dig*, pages 98–99.
- [EWUAME, 2016] EWUAME, K. A. (2016). *ANALYSE EXPERIMENTALE ET NUMERIQUE DES CONTRAINTES THERMOMECHANIQUES INDUITES LORS DES PROCEDES EMERGENTS DE FABRICATION DE PUCES ELECTRONIQUES AU MOYEN DES CAPTEURS EMBARQUES*. PhD thesis, MINES ParisTech.
- [Fangaria, 2015] Fangaria, P. (2015). 7nm node is arriving, which ones will continue past 2020? *SemiWiki.com, the open forum for semiconductor professionals*.
- [Fischetti and Laux, 1996] Fischetti, M. V. and Laux, S. E. (1996). Band structure, deformation potentials, and carrier mobility in strained si, ge, and sige alloys. *Journal of Applied Physics*, 80(4):2234–2252.
- [Fitzgerald, 2002] Fitzgerald, C. W. L. M. T. C. M. L. L. Z. Y. C. D. A. A. E. A. (2002). Channel engineering of sige-based heterostructures for high mobility mosfets. *Materials Research Society Symposium - Proceedings*, 686:113–118.
- [Fitzgerald, 2003] Fitzgerald, M. L. . E. (2003). Optimized strained si/strained ge dual-channel heterostructures for high mobility p- and n-mosfets. In *Electron Devices Meeting, 2003. IEDM '03 Technical Digest. IEEE International*. IEEE.
- [Fossum, 2005] Fossum, W. Z. (2005). On the threshold voltage of strained-si-si/sub 1-x/ge/sub x/ mosfets. *IEEE Transactions on Electron Devices*, 52(2):263–268.
- [Gao, 2011] Gao, J. G. L. E. K. B. Q. Y. W. T. W. (2011). Integrated circuit system for suppressing short channel effects.
- [Ghani, 2004] Ghani, K. M. . M. A. . C. A. . S. C. . T. C. . T. (2004). Delaying forever: Uniaxial strained silicon transistors in a 90nm cmos technology. In *VLSI Technology, 2004. Digest of Technical Papers. 2004 Symposium on*, pages 50–51. IEEE.

- [Ghani, 2009] Ghani, P. P. . S. A. . M. A. . D. B. . M. B. . H. D. . K. D. . G. D. . T. (2009). High performance 32nm logic technology featuring 2nd generation high-k + metal gate transistors. In *Electron Devices Meeting (IEDM), 2009 IEEE International*, pages 28.4.1–28.4.4. Intel Corporation, IEEE.
- [Ghibaudo, 2005] Ghibaudo, K. R. F. A. T. E. G. (2005). Characterization of the effective mobility by split c(v) technique in sub 0.1 um si and sige pmosfets. *Solid-State Electronics*, 49(5):721–726.
- [Ghibaudo, 2013] Ghibaudo, M. K. M. C. R. C. S. B. C. V. C. C. P. P. V. M.-A. C. T. L. T. S. B. V. D. F. A. G. (2013). Study of carrier transport in strained and unstrained soi tri-gate and omega-gate silicon nanowire mosfets. *Solid-State Electronics*, 84:46–52.
- [Gibbons, 1994] Gibbons, J. W. H. (1994). Electron mobility enhancement in strained-si n-type metal-oxide-semiconductor field-effect transistors. *IEEE Electron Device Letters*, 15(3):100–102.
- [Gibbons, 1998] Gibbons, K. R. . J. H. . J. (1998). Transconductance enhancement in deep submicron strained si n-mosfets. In *Electron Devices Meeting, 1998. IEDM '98. Technical Digest., International*. IEEE.
- [Glass, 2004] Glass, S. T. . M. A. . C. A. . M. A. . M. B. . R. C. . S. C. . T. G. . G. (2004). A 90-nm logic technology featuring strained-silicon. *IEEE Transactions on Electron Devices*, 51(11):1790–1797.
- [Guarnay, 2015] Guarnay, S. (2015). *Etude des mécanismes de dégradation de la mobilité sur les architectures FDSOI pour les noeuds technologiques avancés (<20nm)*. PhD thesis, UNIVERSITE PARIS-SUD.
- [Han, 2011] Han, X.-L. (2011). *Réalisation et caractérisation de dispositifs MOSFET nanométriques à base de réseaux denses de nanofils verticaux en silicium*. PhD thesis, L'université de lille 1- Sciences et Technologies.
- [Harper, 2008] Harper, C. A. . A. C. . J.-S. C. . A. D. . A. D. . T. G. . G. G. . T. G. . M. (2008). 45nm high-k + metal gate strain-enhanced transistors. In *VLSI Technology, 2008 Symposium on*, pages 128–129. IEEE.
- [Hayat, 2012] Hayat, G. (2012). *Etude des effets indésirables dans les transistors MOSFETs à canaux courts*. PhD thesis, Université Abou-Bakre Belkaid.
- [Heyns and Tsai, 2009] Heyns, M. and Tsai, W. (2009). Ultimate scaling of cmos logic devices with ge and iii-v materials. *MRS BULLETIN*.
- [H.Meimand, 2003] H.Meimand, K. R. . S. M. . (2003). Leakage current mechanisms and leakage reduction techniques in deep-submicrometer cmos circuits. *Proceedings of the IEEE*, 91(02):305 – 327.

- [Hänsch, 2002] Hänsch, M. V. F. F. G. . W. (2002). On the enhanced electron mobility in strained-silicon inversion layers. *Journal of Applied Physics*, 92(12):7320–7324.
- [Hoyt, 2006] Hoyt, D. A. A. . I. A. . C. N. C. . O. M. N. . A. K. . J. L. (2006). Continuous mosfet performance increase with device scaling: The role of strain and channel material innovations. *IBM Journal of Research and Development*, 50(4.5):363–376.
- [Huang, 2006] Huang, L. W. . F. N. . S. T. . G. E. . P. V. . V. M. . L. S. . X. X. . M. K. . T. (2006). pmosfet with 200 *IEEE Electron Device Letters*, 27(6):511 – 513.
- [Huet, 2008] Huet, K. (2008). *MODELISATION DU TRANSPORT SOUS CONTRAINTE MECANIQUE DANS LES TRANSISTORS SUB-65 NM POUR LA MICROELECTRONIQUE CMOS*. PhD thesis, Ecole Doctorale « Sciences et Technologies de l'Information des Télécommunications et des Systèmes ».
- [Huguenin, 2011] Huguenin, J.-L. (2011). *Etude de dispositifs à film mince pour les technologies sub-22nm basse consommation*. PhD thesis, l'Institut de Microélectronique, Electromagnétisme et Photonique (IMEP-LAHC) et STMicroelectronics, Crolles.
- [ichi Takagi, 2007] ichi Takagi, O. W. . S. (2007). New findings on coulomb scattering mobility in strained-si nfets and its physical understanding. In *VLSI Technology, 2007 IEEE Symposium on*. IEEE.
- [Ikarashi et al., 2003] Ikarashi, N., Ueki, M., and Hiroi, M. (2003). Spatially resolved electron energy-loss spectroscopy of an interfacial structure at a ti thin film cu interconnect. 83:686–688.
- [INNOCENTI, 2015] INNOCENTI, J. (2015). *Conception et procédés de fabrication avancés pour l'électronique ultra-basse consommation en technologie CMOS 80 nm avec mémoire non-volatile embarquée*. PhD thesis, Université Nice Sophia-Antipolis.
- [ITRS, 2013] ITRS (2013). emerging research devices summary. Technical report, International Technology Roadmap for Semiconductors.
- [JEON and BURK, 1989] JEON, D. S. and BURK, D. E. (1989). Mosfet electron inversion layer mobilities-a physically based semi-empirical model for a wide temperature range. *IEEE TRANSACTIONS ON ELECTRON DEVICES*, 36(8):1456–1463.
- [Jiewen Fan;Ming Li, 2015] Jiewen Fan;Ming Li, X. X. Y. H. X. R. H. (2015). Insight into gate-induced drain leakage in silicon nanowire transistors. *IEEE TRANSACTIONS ON ELECTRON DEVICES*, 62(1):213–219.
- [Karlsson, 2001] Karlsson, W. E. . D.-H. J. . D. C. . S. C. . O. (2001). Reduction of sti/active stress on 0.18 /spl mu/m soi devices through modification of sti process. In *SOI Conference, 2001 IEEE International*. IEEE.
- [Khakifirooz and Sadana, 2014] Khakifirooz, S. B. . A. and Sadana, D. (2014). Strain scaling for cmos. *MRS BULLETIN*, 39(2):131–137.

- [Khaouani, 2018] Khaouani, M. (2018). *Etude et conception d'un transistor nanométrique à grille enrobante GAA MOSFETs*. PhD thesis, Université Aboubakr Belkaid– Tlemcen.
- [Kibbel, 1995] Kibbel, E. K. A. S. . G. B. B. H. . H. (1995). Test of vegard's law in thin epitaxial sige layers. *Journal of Crystal Growth*, 157(1-4):68–72.
- [Kim, 2010] Kim, Y.-B. (2010). Challenges for nanoscale mosfets and emerging nanoelectronics. *TRANSACTIONS ON ELECTRICAL AND ELECTRONIC MATERIALS*, 11(3):93–105.
- [kinalvo W Rangelow, 2016] kinalvo W Rangelow, M. K. Y. K. . (2016). *Frontiers of Nanoscience*, volume 11.
- [king Lu, 2012] king Lu, B. H. N. X. T.-J. (2012). pmosfet performance enhancement with strained sil-xgex channels. *IEEE transactions on Electron devices*, 59(5).
- [Klymko, 2005] Klymko, Q. O. . M. Y. . J. H. . S. P. . H. C. . H. U. . M. F. . N. R. . J. L. . N. (2005). Investigation of cmos devices with embedded sige source/drain on hybrid orientation substrates. In *VLSI Technology, 2005. Digest of Technical Papers. 2005 Symposium on*. IEEE.
- [Knotek et al., 1991] Knotek, O., Elsing, R., Krämer, G., and Jungblut, F. (1991). On the origin of compressive stress in pvd coatings — an explicative model. 46:265–274.
- [Ko, 2003] Ko, C. H. G. C. C. L. C. H. (2003). Process-strained si (pss) cmos technology featuring 3d strain engineering. In *Electron Devices Meeting, 2003. IEDM '03 Technical Digest*, pages 3.7.1 – 3.7.4. IEEE.
- [K.Rana, 2011] K.Rana, N. S. A. (2011). Impact of strain and channel thickness on performance of biaxial strained silicon mosfets. *International Journal of VLSI design & Communication Systems*.
- [Krishnamohan, 2011] Krishnamohan, A. N. Z. Y. T. (2011). Inxga1-xsb channel p-metal-oxide-semiconductor field effect transistors: Effect of strain and heterostructure design. *JOURNAL OF APPLIED PHYSICS*, 110(01):014503.
- [Langdo, 2001] Langdo, M. L. L. C. W. L. Z. C. A. J. P. T. (2001). Strained ge channel p-type metal-oxide-semiconductor field-effect transistors grown on sil-xgex/sisil-xgex/si virtual substrates. *Applied Physics Letters*, 79(20):3344–3346.
- [Lee, 2008] Lee, T.-J. W. . C.-H. K. . S.-J. C. . S.-L. W. . T.-M. K. . W.-C. (2008). The effects of mechanical uniaxial stress on junction leakage in nanoscale cmosfets. *IEEE Transactions on Electron Devices*, 55(02):572 – 577.
- [Leitz and Fitzgerald, 1998] Leitz, M.-T. C. S. S. T. L. C. and Fitzgerald, E. (1998). Controlling threading dislocation densities in ge on si using graded sige layers and chemical-mechanical polishing. *Appl.Phys.Lett*, 71(14):1718–1720.

- [leong; L. Shi, 2003] leong; L. Shi, M. Y. M. (2003). High performance cmos fabricated on hybrid substrate with different crystal orientations. In *Electron Devices Meeting. IEDM '03 Technical Digest*, pages 453–456. IEEE.
- [Lilienfeld, 1930] Lilienfeld, J. (1930). Method and apparatus for controlling currents. *U.S Patent 1745175*.
- [Lilienfeld, 1933] Lilienfeld, J. (1933). Device for controlling electric current. *U.S Patent 1900018*.
- [Liu, 2017] Liu, G. W. J. L. C. Q. R. L. Y. X. J. (2017). Integration of highly strained sige in source and drain with hk and mg for 22 nm bulk pmos transistors. *Nanoscale Research Letters*, 12(123).
- [Liu, 2004] Liu, J. R. H. J. H. H. Y. C. (2004). Symmetrical 45nm pmos on [110] substrate with excellent s/d extension distribution and mobility enhancement. In *Symposium on VLSI Technology*, pages 90–91. IEEE.
- [Liu, 2012] Liu, N. X. . B. H. . M. C. . V. M. . T.-J. K. (2012). Effectiveness of stressors in aggressively scaled finfets. *IEEE Transactions on Electron Devices*, 59(06):1592 – 1598.
- [Lundstrom, 2000] Lundstrom, M. (2000). *Fundamentals of Carrier Transport*. Cambridge, United Kingdom, 2 nd edition edition.
- [M, 2006a] M, C. K. I. M. R. A. S. D. . S. L. . Y. (2006a). Strained silicon cmos on hybrid crystal orientations.
- [M, 2006b] M, M. (2006b). *Contraintes mécaniques en micro, nano et optoélectronique*. Traité EGEM, série Electronique et micro-électronique.
- [Maamar, 2009] Maamar, B. (2009). Etude et simulation d'un nano-mosfet double grille. Master's thesis, Université Hassiba Benbouali-Chlef.
- [Mader; and Light, 1970] Mader;, J. W. M. S. and Light, T. B. (1970). Accommodation of misfit across the interface between crystals of semiconducting elements or compounds. *Journal of Applied Physics*, 41(9).
- [Maiti, 2001] Maiti, C. N. B. R. S. K. C. K. (2001). *Strained silicon heterostructures : materials and devices*. Institution of Engineering and Technology; First Edition edition.
- [Maiti, 1998] Maiti, G. A. C. K. (1998). Strained-si channel heterojunction p-mosfets. *Solid-State Electronics*, 42(4):487–498.
- [Manley, 1999] Manley, G. S. . J. L. . M. R. . F. N. . M. (1999). Nmos drive current reduction caused by transistor layout and trench isolation induced stress. In *Electron Devices Meeting, 1999. IEDM '99. Technical Digest. International*. IEEE.

Bibliographie

- [Mantl, 2015] Mantl, G. L. . L. K. . S. B. . M. S. . H. S. A. S. . S. T. . K. B. D. B. . Q. Z. S. (2015). Demonstration of higher electron mobility in si nanowire mosfets by increasing the strain beyond 1.3 *Solid-State Electronics*, 108:19–23.
- [Matsukawa et al., 2016] Matsukawa, T., Liu, Y., Mori, T., Morita, Y., O'uchi, S., Otsuka, S., Migita, S., and Masahara, M. (2016). Impact of extension implantation conditions of fin field-effect transistors on gate-induced drain leakage. *Japanese Journal of Applied Physics*, 55(4S).
- [Mead, 1994] Mead, C. A. (1994). Scaling of mos technology to submicrometer feature sizes. *J. VLSI Signal Process. Syst*, 8(1):9–25.
- [MERAD, 2014] MERAD, F. (2014). Conception et simulation des caractéristiques électriques d'un transistor mosfet nanométrique à conduction latérale de type tri-gate (finfet). Master's thesis, Université Abou-Bakr Belkaid-Tlemcen.
- [Meyerson, 1994] Meyerson, S. V.-V. . E. C. . B. (1994). Sige-channel heterojunction p-mosfet's. *IEEE Transactions on Electron Devices*, 41(1).
- [Miyanami, 2006] Miyanami, Y. T. . J. W. . K. N. . T. H. . Y. (2006). High-performance and low-power cmos device technologies featuring metal/high-k gate stacks with uniaxial strained silicon channels on (100) and (110) substrates. In *Electron Devices Meeting, 2006. IEDM '06. International*. IEEE.
- [Moore, 1965] Moore, G. (1965). Cramming more components onto integrated circuits. *Electronics*, 38(8):114.
- [Nagano, 1989] Nagano, Y. Y. K. A. F. T. (1989). Mosfet with reduced short channel effect.
- [NAVICKAS, 2012] NAVICKAS, V. B. . R. (2012). *MICROTECHNOLOGIES*. VILNIUS GEDIMINAS TECHNICAL UNIVERSITY.
- [Nawal, 2007] Nawal, M. J. K. V. (2007). Impact of strain or ge content on the threshold voltage of nanoscale strained-si/sige bulk mosfets. *IEEE Transactions on Device and Materials Reliability*, 7(1):181–187.
- [Nishida; and Thompson, 2006] Nishida, J.-S. L. X. Y. T. and Thompson, S. E. (2006). Measurement of conduction band deformation potential constants using gate direct tunneling current in nn-type metal oxide semiconductor field effect transistors under mechanical stress. *Applied Physics Letters*, 89(07):073509–1– 073509–3.
- [Nishida, 2006] Nishida, S. T. . G. S. . Y. S. C. . T. (2006). Uniaxial-process-induced strained-si: extending the cmos roadmap. *IEEE Transactions on Electron Devices*, 53(5):1010–1020.
- [NOURDINE, 2014] NOURDINE, M. (2014). *Modélisation du transport des porteurs de charge dans les dispositifs MESFET, MOSFET à base de GaInP par la méthode de Monte-Carlo*. PhD thesis, Université Abou-Bakr Belkaid-TLEMEN.

- [Oldiges; and Nowak, 2010] Oldiges, R. K. P. K. V. R. M. M. S. S. F. P. J. and Nowak, E. J. (2010). Crystallographic-orientation-dependent gate-induced drain leakage in nanoscale mosfets. *IEEE TRANSACTIONS ON ELECTRON DEVICES*, 57(9):2098–2105.
- [Ott, 2003] Ott, K. R. . K. C. . L. S. . D. B. . J. (2003). Fabrication and mobility characteristics of ultra-thin strained si directly on insulator (ssdoi) mosfets. In *Electron Devices Meeting, 2003. IEDM '03 Technical Digest. IEEE International*. IEEE.
- [Ozcan, 2007] Ozcan, Y. L. . O. G. . J. L. . A. M. . A. (2007). Strained si channel mosfets with embedded silicon carbon formed by solid phase epitaxy. In *VLSI Technology, 2007 IEEE Symposium on*, pages 44–45. IEEE.
- [P and A, 2003] P, Y. M. G. E. I. M. G. O. B. D. C. K. K. P. D. C. S. R. J. and A, C. (2003). Performance dependence of cmos on silicon substrate orientation for ultra-thin oxynitride and hfo₂ gate dielectrics. *IEEE Electron Device Letters*, 24(5):339–341.
- [Park and Colinge, 2007] Park, C.-W. L. S.-R.-N. Y. C.-G. Y. J.-T. and Colinge, J.-P. (2007). Device design guidelines for nano-scale mugfets. *Solid-State Electron*, 51(03):505–510.
- [Park, 2015] Park, S.-K. (2015). Technology scaling challenge and future prospects of dram and nand flash memory. *Memory Workshop (IMW), 2015 IEEE International*.
- [Paul, 1998] Paul, D. (1998). Silicon germanium heterostructures in electronics: the present and the future. *Thin Solid Films*, 321:172–180.
- [Payet, 2005] Payet, F. (2005). *Modélisation et intégration de transistors à canal de silicium contraint pour les noeuds technologiques CMOS 45nm et en deçà*. phdthesis, Université de Provence. Section sciences.
- [Pearson, 1951] Pearson, H. H. J. B. . G. (1951). The effects of pressure and temperature on the resistance of p-n junctions in germanium. *Physical Review*, 84(1):129–132.
- [People, 1986] People, R. (1986). Physics and applications of gexsi_{1-x}/si strained-layer heterostructures. *IEEE Journal of Quantum Electronics*, 22(9):1696 – 1710.
- [Rairigh, 2005] Rairigh, D. (2005). Limits of cmos technology scaling and technologies beyond-cmos.
- [Rana, 2015] Rana, R. S. . A. K. (2015). Strained si: Opportunities and challenges in nanoscale mosfet. In *Recent Trends in Information Systems (ReTIS), 2015 IEEE 2nd International Conference on*, pages 475–480. IEEE.
- [Razavi, 2010] Razavi, C.-W. L. . A. B. . I. F. . A. A. . R. Y. . N. D. A. . P. (2010). High-temperature performance of silicon junctionless mosfets. *IEEE Transactions on Electron Devices*, 57(03):620 – 625.

Bibliographie

- [Richard, 2004] Richard, S. (2004). *Modélisation physique de la structure électronique, du transport et de l'ionisation par choc dans les matériaux IV-IV massifs, contraints et dans les puits quantiques*. phdthesis, Université paris XI.
- [Richter, 2011] Richter, M. S. . R. A. M. . S. (2011). Impact of strain and ge concentration on the performance of planar sige band-to-band-tunneling transistors. In *Ultimate Integration on Silicon (ULIS), 2011 12th International Conference on*.
- [Roberds, 2002] Roberds, B. S. D. B. (2002). Methodology for control of short channel effects in mos transistors.
- [Roberds, 2004] Roberds, B. S. D. B. (2004). Mos transistor using mechanical stress to control short channel effects.
- [Rochette, 2008] Rochette, F. (2008). *Etude et caractérisation de l'influence des contraintes mécaniques sur les propriétés du transport électronique dans les architectures MOS avancées*. phdthesis, Institut polytechnique de Grenoble.
- [Rouzbeh and Ali, 2016] Rouzbeh, M. I. A. and Ali, S. Z. S. (2016). Representation of strained gate-all-around junctionless tunneling nanowire filed effect transistor for analog applications. *Microelectron. Eng.*, 162(C):12–16.
- [Ruan, 1995] Ruan, G. N. . D. (1995). Threshold voltage and inversion charge modeling of graded sige-channel modulation-doped p-mosfets. *IEEE Transactions on Electron Devices*, 42(12):2242 – 2246.
- [Salmis and Clemens, 1979] Salmis, A. and Clemens, J. (1979). Characterization of the electron mobility in the inverted< 100> surface. *IEDM Tech. Digest*, pages 18–21.
- [Saraswat, 2014] Saraswat, S. G. . V. M. . L. S. . Q. L. . K. C. (2014). 7-nm finfet cmos design enabled by stress engineering using si, ge, and sn. *IEEE Transactions on Electron Devices*, 61(5):1222 – 1230.
- [Sarkar, 2014] Sarkar, A. D. K. K. C. K. (2014). Impact of underlap and mole fraction on rf performance of strained si/sil-xgex/strained si dg mosfets. *Superlattices and Microstructures*, 75:634–646.
- [Selmi, 2011] Selmi, D. E. P. P. L. (2011). *Nanoscale MOS Transistors*. Semi-Classical Transport and Applications. Cambridge University Press.
- [S.E.Thompson, 2006] S.E.Thompson (2006). High k/metal gates: performance, benchmarking and integration with strained si. In *Seminar SAGST.SEMATECH*.
- [SHI, 2012] SHI, M. (2012). *SIMULATION MONTE CARLO DE MOSFET A BASE DE MATERIAUX III-V POUR UNE ELECTRONIQUE HAUTE FREQUENCE ULTRA BASSE CONSOMMATION*. PhD thesis, Ecole Doctorale « Sciences et Technologies de l'Information des Télécommunications et des Systèmes », Université Paris Sud - Paris XI.

- [Shockley and Read, 1952] Shockley, W. and Read, W. T. (1952). Statistics of the recombinations of holes and electrons. *Phys.Rev*, 87(5):835–842.
- [SILVACO, 2018] SILVACO (2018). Silvaco-tcad official website, about us section. <https://www.silvaco.com/company/profile/profile.html>.
- [Sin, 2014] Sin, Y. F. Z. L. W. T. N. J. K. O. (2014). *Integrated power devices, and TCAD simulation*. Number 1466583819, 9781466583818. CRC press.
- [Singaporewala, 2004] Singaporewala, J. G. F. G. B. . C. W. L. . M. T. C. J. Y. F. (2004). Film thickness constraints for manufacturable strained silicon cmos. *Semiconductor Science and Technology*, 19(1):L4–L8.
- [SKOTNICKI, 2006] SKOTNICKI, P. B. F. O. C. (2006). A full analytical model to evaluate strain induced by cesl on mosfet performances. *Extended abstracts of the ... Conference on Solid State Devices and Materials*, pages 176–177.
- [Smith, 1954] Smith, C. S. (1954). Piezoresistance effect in germanium and silicon. *Physical Review*, 94(1):44–49.
- [Stolk, 2004] Stolk, C. O. . S. O. . J. R. . P. M. . F. A. . M. W. . A. P. . P. (2004). Electrical characterization and mechanical modeling of process induced strain in 65 nm cmos technology. In *Solid-State Device Research Conference, 2004. ESSDERC 2004. Proceeding of the 34th European*. IEEE.
- [Sun et al., 2015] Sun, S., Bao, J., Mu, W., Fu, Y., Zhang, Y., Ye, L., and Liu, J. (2015). Cooling hot spots by hexagonal boron nitride heat spreaders. In *Electronic Components and Technology Conference (ECTC), 2015 IEEE 65th*, pages 1658–1663. IEEE.
- [Svizhenko; and Anantram, 2008] Svizhenko;, A. K. B. A. V. A. and Anantram, M. P. (2008). Significant enhancement of hole mobility in [110] silicon nanowires compared to electrons and bulk silicon. *Nano Lett*, 8(2):760–765.
- [Tachi, 2011] Tachi, K. (2011). *Etude physique et technologique d'architectures detransistors MOS à nanofils*. PhD thesis, L'UNIVERSITÉ DE GRENOBLE.
- [Tanabe, 2004] Tanabe, S. P. . T. M. . R. N. . T. S. . R. (2004). Mosfet current drive optimization using silicon nitride capping layer for 65-nm technology node. In *VLSI Technology, 2004. Digest of Technical Papers. 2004 Symposium on*, pages 54–55. IEEE.
- [Tanaka and Locquet, 2013] Tanaka, R. R. L. T. M. W. J. H. H. N. U. S. M. M. and Locquet, J.-P. (2013). Tensile-strained gesn metal–oxide–semiconductor field-effect transistor devices on si(111) using solid phase epitaxy. *Applied Physics Express*, 6(10):101301.
- [Tango, 1994] Tango, S. T. . A. T. . M. I. . H. (1994). On the universality of inversion layer mobility in si mosfet's: Part i-effects of substrate impurity concentration. *IEEE Transactions on Electron Devices*, 41(12):2357–2362.

Bibliographie

- [Thompson, 2005] Thompson, N. M. (2005). Mobility enhancement. *IEEE Circuits and Devices Magazine*, 21(05):18–23.
- [Thompson; and Nishida, 2007] Thompson, Y. S. S. E. and Nishida, T. (2007). Physics of strain effects in semiconductors and metal-oxide-semiconductor field-effect transistors. *Journal of Applied Physics*, 101(10):104503–1/104503–22.
- [Timma, 2009] Timma, A. (2009). *Characterization and modelling of hillocks formation in copper interconnects*. PhD thesis, INPG de Grenoble.
- [Tobin, 1999] Tobin, S. B. S. W. J. T. . J. M. G. . J. A. S. . P. J. (1999). Relaxation of strained si layers grown on sige buffers. *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures Processing, Measurement, and Phenomena*, 17(4):1424–1429.
- [Vanzi, 1988] Vanzi, C. L. . S. M. . A. S. . M. (1988). A physically based mobility model for numerical simulation of nonplanar devices. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 7(11):1164 – 1171.
- [Vinod Kumar Khanna, 2016] Vinod Kumar Khanna (2016). *Integrated Nanoelectronics; Nanoscale CMOS, Post-CMOS and Allied Nanotechnologies*. NanoScience and Technology.
- [Vogel, 2007] Vogel, E. (2007). Technology and metrology of new electronic materials and devices. *Nature Nanotechnology*, 2:25 – 32.
- [Vogelsang and Hofmann, 1993] Vogelsang, T. and Hofmann, K. R. (1993). Electron transport in strained si layers on si1-xgex substrates. *Applied Physics Letters*, 63(02):186–188.
- [Vogelsang T., 2003] Vogelsang T., H. K. R. (2003). Electron transport in strained silicon on sige: Temperature dependence of carrier effective masse. *J. Appl. Phys.*
- [Wang and MacWilliams, 1993] Wang, D. K. N. . J. C. S. W. . J. S. P. . K. L. and MacWilliams, K. P. (1993). High-mobility p-channel metal-oxide-semiconductor field-effect transistor on strained si. *Applied Physics Letters*, 62(22):2853–2855.
- [Washington, 2006] Washington, G. E. . P. V. . R. R. . F. N. . L. (2006). Scalability of the si/sub 1-x/ge/sub x/ source/drain technology for the 45-nm technology node and beyond. *IEEE Transactions on Electron Devices*, 53(7):1647 – 1656.
- [Welser;Hoyt;Gibbons, 1992] Welser;Hoyt;Gibbons (1992). Nmos and pmos transistors fabricated in strained silicon/relaxed silicon germanium structures. In *Electron Devices Meeting, 1992. IEDM '92. Technical Digest., International*. IEEE.
- [W.Schockley and Pearson, 1948] W.Schockley and Pearson, G. (1948). Modulation of conductance of thin films of semi-conductors by surface charges. *Physical Review*, 74(2):232.
- [Xia, 2005] Xia, A. A.-B. L. W.-Q. (2005). Production processes for inducing strain in cmos channels. Technical report, Semiconductor FABTECH.

- [Xia, 2002] Xia, J. H. . H. N. . S. E. . I. A. . G. (2002). Strained silicon mosfet technology. In *Electron Devices Meeting, 2002. IEDM '02. International*. IEEE.
- [Yang, 2007a] Yang, B. B. D. C. B. M. L. S. K. T. K. M. (2007a). Hybrid planar and finfet cmos devices.
- [Yang, 2007b] Yang, B. B. D. M. I. E. J. N. M. (2007b). Hybrid substrate technology for high-mobility planar and multiple-gate mosfets.
- [Yeh, 2006] Yeh, C.-M. L. . Y.-K. F. . C.-T. L. . W.-K. (2006). The geometry effect of contact etch stop layer impact on device performance and reliability for 90-nm soi nmosfets. *IEEE Transactions on Electron Devices*, 53(11):2779–2785.
- [Yokoo, 1992] Yokoo, R. S. J. M. . T. M. R. K. K. (1992). Si/sige/si heterostructure growth without interface roughness at high germanium mole fractions by low temperature low pressure chemical vapour deposition. *Thin Solid Films*, 222(1-2):38–41.
- [yole Developpement, 2015] yole Developpement (2015). Sensors for wearable electronics and mobile healthcare.
- [Yu, 2005] Yu, C. W. . S. M. . C.-Y. (2005). Mobility-enhancement technologies. *IEEE Circuits and Devices Magazine*, 21(03):21–36.
- [Yutani, 1996] Yutani, D. N. G. (1996). High-mobility strained-si pmosfet's. *IEEE Transactions on Electron Devices*, 43(10):1709–1716.
- [Zandler; and Vogl, 1998] Zandler;, R. O. G. and Vogl, P. (1998). Subband structure and mobility of two-dimensional holes in strained si/sige mosfet's. *Phys. Rev. B*, 58(15):9941–9948.
- [Zareiee, 2017] Zareiee, M. (2017). High performance nano device with reduced short channel effects in high temperature applications. *ECS J. Solid State Sci. Technol*, 6(7):M75–M78.
- [Zhang, 2007] Zhang, R. C. B. D. S. D. J. K. K. (2007). Integrated nanoelectronics for the future. *Nature Materials*, 06:810 – 812.

Publication et Communications

Publication

Amine Mohammed Taberkit, Ahlam Guen-Bouazza, Benyounes Bouazza, Modeling and Simulation of Biaxial Strained P-MOSFETs: Application to a Single and Dual Channel Heterostructure, International Journal of Electrical and Computer Engineering (IJECE), Vol. 8, No. 1, February 2018, pp. 421-428, ISSN: 2088-8708, DOI: 10.11591/ijece.v8i1.pp.421-428.

Communications

- **Amine Mohammed Taberkit, Ahlam Guen-Bouazza**, Engineering of Nano-Scale Strained MOSFETs: A Solution for the Mobility enhancement, ICMN 2015 : 17th International Conference on Microelectronics and Nanoelectronics, December 03-05, 2015, Rome, Italy.
- **Amine Mohammed Taberkit, Ahlam Guen-Bouazza**, Simulation of strained-Si/strained SI-Ge dual channel heterostructure P-MOSFETs, ICTAEE16: International Conference on Technological Advances in Electrical Engineering, October 24-26, 2016, Skikda, Algeria.

Citation

Kumar Subindu, Kumari Amrita, Das Mukul K, Strain induced changes in performance of strained-Si/strained-Si_{1-y}Ge/relaxed-Si_{1-x}Ge MOSFETs and circuits for digital applications, J. Cent. South Univ. (2017) 24: 1233-1244, DOI: 10.1007/s11771-017-3527-4, Springer.

Modeling and Simulation of Biaxial Strained P-MOSFETs: Application to a Single and Dual Channel Heterostructure

Amine Mohammed Taberkit, Ahlam Guen-Bouazza, Benyounes Bouazza

Research Unit of Materials and Renewable Energies,

Department of Electronic and Electrical Engineering, University of Abou-Bakr Belkaid, Tlemcen, Algeria

Article Info

Article history:

Received Feb 8, 2017

Revised Aug 6, 2017

Accepted Aug 24, 2017

Keyword:

Biaxial strain

CMOS technology

SILVACO-TCAD

Strained silicon layers

ABSTRACT

The objectives of this work are focused on the application of strained silicon on MOSFET transistor. To do this, impact and benefits obtained with the use of strained silicon technology on p-channel MOSFETs are presented. This research attempt to create conventional and two-strained silicon MOSFETs fabricated from the use of TCAD, which is a simulation tool from Silvaco. In our research, two-dimensional simulation of conventional MOSFET, biaxial strained PMOSFET and dual channel strained P-MOSFET has been achieved to extract their characteristics. ATHENA and ATLAS have been used to simulate the process and validate the electronic characteristics. Our results allow showing improvements obtained by comparing the three structures and their characteristics. The maximum of carrier mobility improvement is achieved with percentage of 35.29 % and 70.59 % respectively, by result an improvement in drive current with percentage of 36.54 % and 236.71 %, and reduction of leakage current with percentage of 59.45 % and 82.75 %, the threshold voltage is also enhanced with percentage of: 60 % and 61.4%. Our simulation results highlight the importance of incorporating strain technology in MOSFET transistors.

Copyright © 2018 Institute of Advanced Engineering and Science.

All rights reserved.

Corresponding Author:

Amine Mohammed Taberkit,
Research Unit of Materials and Renewable Energies,
Department of Electronic and Electrical Engineering,
University of Abou-Bakr Belkaid, 13000, Tlemcen, .Algeria.
Email: taberkit.amine@yahoo.fr

1. INTRODUCTION

In 1965, Gordon Moore predicted that transistor density on an integrated circuit would double approximately every 2 years [1]. The metal oxide semiconductor field effect transistor (MOSFET) is one of the major and important components in the semiconductor industry. Since its first practical use fifty years ago, the MOSFET has a major use in integrated circuits (ICs) to serve as a basic operating device in switching functions for digital circuits and as an amplifier device for analog applications.

While the basic planar structure of the MOSFET has remained mostly unchanged, its size has been shrunk by many orders of magnitude over the past thirty years, however, "No exponential is forever. But you can delay forever" [2]. Further, MOSFETs scaling down causes short channel effects (SCEs), to intensify, accordingly degrading the current drivability, electron mobility, with an apparition of high leakage current. In order to enhance conventional MOSFETs, ITRS presented two alternatives, the first one has been the use of new designs such as FDSOI, PDSOI, MUGFETs on SOI and others technologies, the second one, was about using materials with high permittivity and mobility. Among these technologies, we find devices based on strained silicon technology. The use of Strained Silicon (S-Si) channel is one of the expected technology boosters introduced by the ITRS roadmap to sustain the improvement of performance in future device generations [3]. The interest in the strain engineering has in fact been speed-up recently as a need in a speed scaling of CMOS technology devices for high-speed and low power applications. On another side, transport

properties improvement of new materials such as high-k gate dielectrics, metal and midgap gate metal electrodes, strained-Si, silicon-germanium alloys and III-V semiconductors along with new device designs, such as dual-gate and tri-gate FinFETs can decrease the gate leakage current and gate resistance, reduce the poly-gate electrode depletion capacitance, and increase the device speed. Non-classical CMOS structures offer a better control of SCEs, improved I_{on} current via channel mobility, lower load capacitance and lower propagation delay time. These structures also offer lower I_{off} current and lower switching energy. In addition, the combination of strain techniques with other options, such as Multiple Gate MOSFETs, high-k materials and metal gates, are currently considered to keep on track with Moore's law.

In this paper, the combination of strain techniques with heterostructure dual P-channel MOSFET, has been considered to keep on track with Moore's law. To, do this, a two dimensional simulation of conventional MOSFET, biaxial strained P-MOSFET and dual channel heterostructure strained P-MOSFET has been done to compare these devices characteristics. This study allows showing the improvement obtained with Strained Silicon channels. Comparison between the unstrained and strained MOSFET allows proving that strained silicon with identical channel length performs better than an unstrained MOSFET.

1.1. Fundamentals of Strain Technology

A way of improving MOSFET transistors performances is to change the properties of materials used in their conception. The property of silicon to exhibit modified characteristics of transport parameters while strained is used for this purpose [4], [5]. Fundamentally, there are different kinds of strain that are essentially tensile strain and compressive strain, depending on the lattice constants of two different materials. The value of the lattice parameter of the $Si_{1-x}Ge_x$ alloy at a given Ge composition "x" is determined following the Vegard law and research work of DISMUKES et al [6], which are described by the equations given below:

$$a_{Si_{1-x}Ge_x} = a_{Si}(1-x) + a_{Ge}x \quad (1)$$

$$a_{Si_{1-x}Ge_x} = a_{Si} + 0.200326(1-x) + (a_{Ge} - a_{Si})x^2 \quad (2)$$

The concept of strained Silicon basically relies on an alteration of the equilibrium lattice constant of silicon through externally applied stress. In this case, the electronic band structure of Silicon is changed due to the modified lattice constant. This modification results in superior electronic properties, particularly, the carrier mobilities are enhanced, with the mobility enhancement being a strong function of the magnitude and the direction in which the crystal is stressed.

The fabrication of strained transistors relied heavily on epitaxial deposition of SiGe onto silicon substrates. Conventionally, strain is created by an epitaxial grown of a thin film of Si on a relaxed buffer layer of SiGe alloy, known as a virtual substrate (VS) [7]. The lattice mismatch between the two layers causes biaxial tensile strain in the Si, like it is shown in Figure 1, resulting in improvements of its electrical properties.

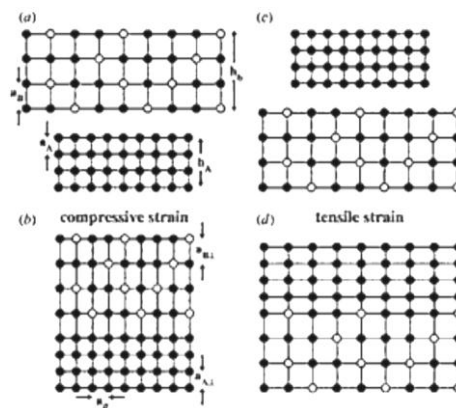


Figure 1. (a) A schematic diagram of the bulk lattice constant of a thin $Si_{1-x}Ge_x$ film to be grown on top of a thin bulk-silicon layer. (b) A schematic diagram showing the tetragonal lattice distortion when the two films from (a) are placed together with the top $Si_{1-x}Ge_x$ film being compressively strained. (c) A schematic diagram of the bulk lattice constants of a bulk-Si film to be grown on top of a bulk- $Si_{1-y}Ge_y$ film. (d) A schematic diagram of the two films in (c) placed together with the top film being tensile strained [8]

When a silicon layer is deposited on a $\text{Si}_{1-x}\text{Ge}_x$ layer, as mentioned before, we notice a symmetry breaking along the axis of growth. The components of the deformation tensor in the silicon layer are given by:

$$\varepsilon_{II} = \frac{a_{\text{Si}_{1-x}\text{Ge}_x} - a_{\text{Si}}}{a_{\text{Si}}} \quad (3)$$

$$\varepsilon_{\perp} = \frac{-2 C_{12}}{C_{11}} \cdot \varepsilon_{II} \quad (4)$$

Where: ε_{II} is the parallel strain deformation following the growth plane (x, y), $\varepsilon_{\perp}$ is the perpendicular deformation to the plane of growth (z), $C_{11} = 167$ Gpa and $C_{12} = 65$ Gpa are the elastic constants of Si. The effective mobility is expressed by:

$$\mu_{\text{eff}} = (q \cdot \tau) / m^* \quad (5)$$

Where q: is the charge of carriers, $1/\tau$ the collision frequency of carriers, and m^* : their effective mass. The mobility improvement is due to the reduction of the effective mass m^* that is itself due to the band engineering where the valance band splitting of heavy hole and lightly hole is more significant [13]. This is why there will be more holes to travel with a lighter effective mass.

2. RESULTS AND DISCUSSION

As cited before, different heterostructure substrates can be applied in order to obtain biaxial strain and high mobility channel materials. To do this, epitaxially grown $\text{Si}_{1-x}\text{Ge}_x$ layers on Si bulk wafers are usually applied acting as substrate for a strained silicon layer that grows on the top. In this work, ATHENA and ATLAS from SILVACO TCAD have been used consecutively to simulate the process, and extract the electrical characteristics of a biaxial strained and a strained dual channel heterostructure PMOSFETs.

Silvaco TCAD Tool is used for Virtual fabrication and simulation. ATHENA process simulator is used for virtual fabrication and ATLAS device simulator is used for device characterization. [14]

In order to study with accuracy the impact of strain on device performance, a SiGe layer is introduced in the structure. The new strained device has the same geometrical dimensions, the same S/D doping concentration and a same mesh initialization, which is more refined in the channel region.

In our structures, the doping concentration for bulk Silicon is set at $1 \times 10^{16} \text{ cm}^{-3}$. The p+ S/D regions were formed by an implantation at 20 keV with a dose of $3 \times 10^{15} \text{ cm}^{-2}$. A silicon substrate with crystal orientation $\langle 100 \rangle$ was used in our study due to the better interface between Si/SiO₂. The oxide is diffused into the surface of the strained silicon layer with 930 °C and pressure of 1 atm. Polysilicon is deposited with a phosphorous concentration of $1 \times 10^{16} \text{ cm}^{-3}$. The strained-Si devices were fabricated using strained-Si epitaxial layers grown on relaxed-SiGe by gas source MBE at 800 °C. This is what explains our choice of a temperature of 800 °C which is a very important parameter.

First, we simulated a conventional structure for which a 43.9 nm gate oxide thickness is chosen, for the second device, which is a single channel biaxial strained PMOS, gate oxide thickness is about 10 nm. For this second device, a 15 nm SiGe layer with a proportion of Ge starting at 0 gradually increase to 0.8 is used, a 27.1 nm second layer is deposited on top of the previous one with Ge concentration of 0.9. For the third structure that is a dual-channel biaxial strained PMOS the SiGe layer thickness is equal to 17 nm, a gradually increase of Ge proportion from 0 to 0.5 is used. A 28 nm $\text{Si}_{1-y}\text{Ge}_y$ layer thickness with Ge proportion of 0.8 is deposited on top of the previous layer followed by a thin SiO₂. Lombardi (CVT) Model including N, T, E// and E $\perp$ effects, and Shockley-Read-Hall (SRH) are used in our simulations.

The structures obtained using ATHENA process simulator are using as inputs this time in ATLAS to extract and study the characteristics. By this way, we can analyse and compare the performances of the three structures. The different results of our conventional PMOSFET are given in Figure 2, Figure 3 and Figure 4.

Our conventional PMOS device has a threshold voltage $V_{\text{TH}} = -0.802631 \text{ V}$, subthreshold slope (SS) = 0.341355 mV/decade, $I_{\text{on}} = 5.39836 \mu\text{A}$ and $I_{\text{off}} = 51.2608 \text{ nA}$ at $V_{\text{DS}} = -0.1 \text{ V}$, as shown in Figure 3.

The range of gate voltage chosen is between -1.2 volt and 0 volt, due to the industry needs, to have smaller power consumption and yet nano-devices consume less power, thus this range is chosen also to promote and gain benefits of operating in lower voltage.

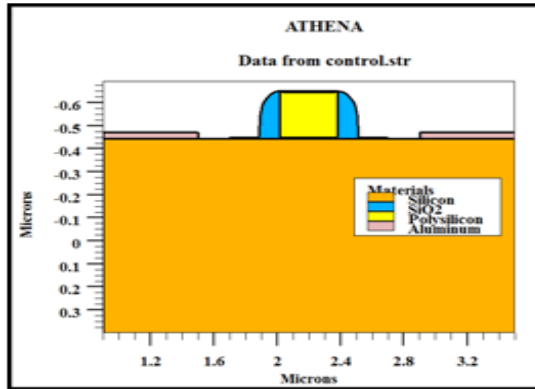


Figure 2. Conventional P-Channel MOSFET structure using silicon and ATHENA module

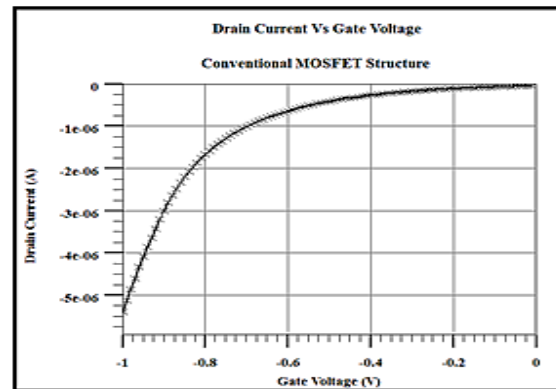


Figure 3. Transfer characteristic for the conventional PMOSFET, obtained using ATLAS Module

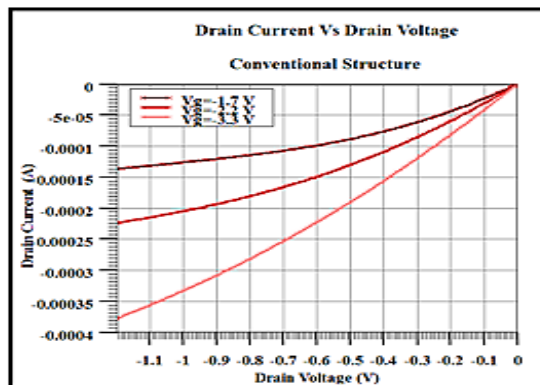


Figure 4. Output characteristics for the conventional structure, obtained using ATLAS module

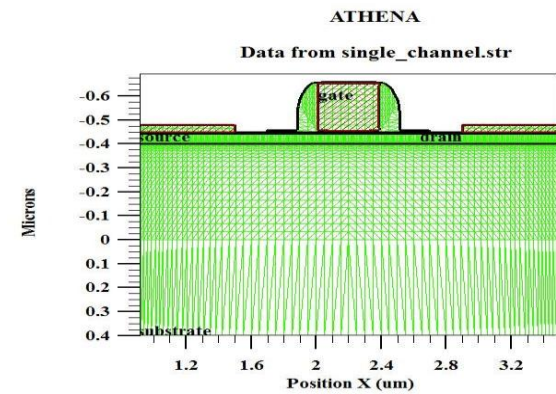


Figure 5. Mesh initialization for the the biaxial strained P-MOSFET, obtained using ATHENA module

Meshing initialization of the strained biaxial p-channel MOSFET, transfer and output characteristics are given in Figure 5, Figure 6 and Figure 7.

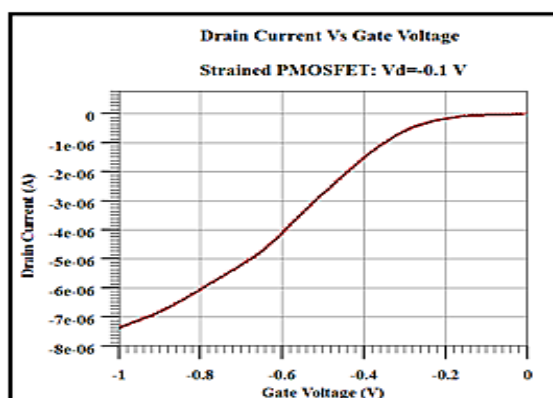


Figure 6. Transfer characteristic for the biaxial strained P-MOSFET, obtained using ATLAS module

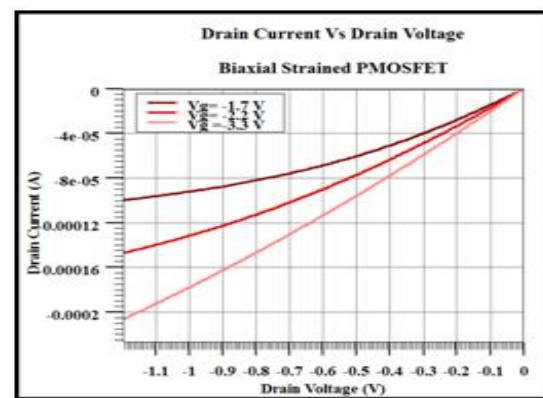


Figure 7. Output characteristics for the Biaxial strained P-MOSFET, obtained using ATLAS module

Our strained biaxial PMOS device has a threshold voltage $V_{TH} = -0.316045$ V, subthreshold slope (SS) = 0.159513 mV/decade, $I_{on} = 7.37086 \mu A$ and $I_{off} = 20.7883$ nA at $V_{DS} = -0.1$ V, as we can see in Figure 6.

Meshing initialization, transfer and output characteristics of the strained dual channel heterostructure p-channel MOSFET studied are given in Figure 8, Figure 9 and Figure 10.

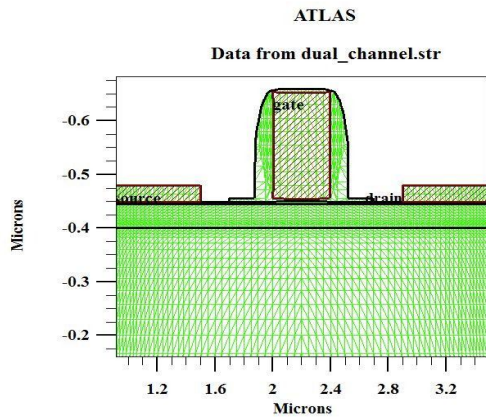


Figure 8. Mesh initialization for the dual channel heterostructure P-MOSFET, obtained using ATLAS module

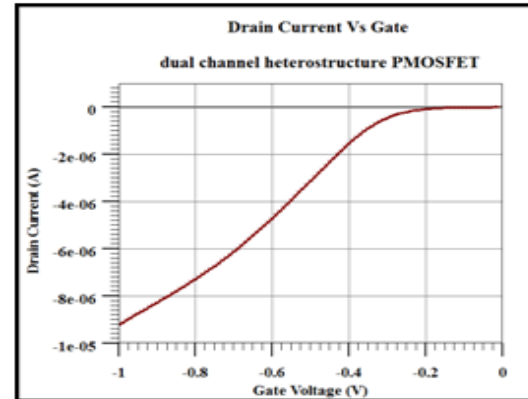


Figure 9. Transfer characteristic for the strained dual channel heterostructure P-MOSFET, obtained using ATLAS module

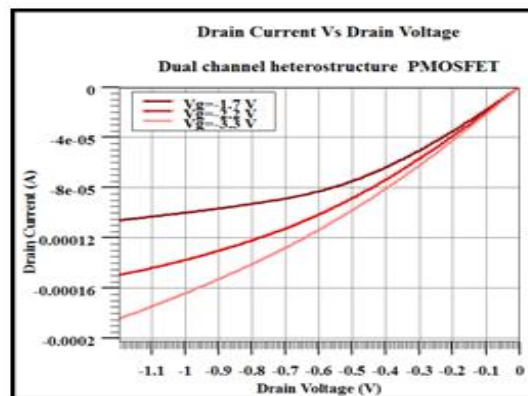


Figure 10. Output characteristics for the strained dual channel heterostructure P-MOSFET, obtained using ATLAS module

Our strained dual channel heterostructure PMOS device has a threshold voltage $V_{TH} = -0.309853$ V, subthreshold slope (SS) = 0.13159 mV/decade, $I_{on} = 18.1771 \mu A$ and $I_{off} = 8.84222$ nA at $V_{DS} = -0.1$ V, as we can see in Figure 10.

The following table: Table 1 compares between the results obtained in the three structures:

Table 1. Comparison between the results obtained in the three structures simulated				
Structure	Threshold voltage (V_{th})	Drive current (I_{on})	Leakage current (I_{off})	Subthreshold Slope (SS)
Conventional	-0.802613 V	5.39836 μA	51.2608 nA	0.341355 mV/Dec
Biaxial Strained	-0.316045 V	7.37086 μA	20.7883 nA	0.159513 mV/Dec
Dual strained channel Heterostructure	-0.309853 V	18.1771 μA	8.84222 nA	0.13159 mV/Dec

Our results allow comparing our devices characteristics. We can see the I_{on} current increasing, I_{off} current decreasing are two very important achievements allowing to have a faster switching devices especially

for digital circuits applications. This improvement results can be explained by effective mobility improvement. As the drain current is proportional to channel mobility, this current also increases and is higher for strained silicon PMOS transistors compared to conventional ones. These support the equation below for the relationship between current and mobility, as well as drain bias increment:

$$I_d(\text{lin}) = \mu \cdot C_{ox} \cdot \frac{W}{L} \left(V_G - V_T - \frac{V_d}{2} \right) \cdot V_d \quad (6)$$

$$I_d(\text{sat}) = \frac{1}{2} \mu_{\text{eff}} \cdot C_{ox} \cdot \frac{W_{\text{eff}}}{L_{\text{eff}}} (V_G - V_T)^2 \quad (7)$$

μ is the channel carrier mobility, W is transistor's width, L is transistor's length, and C_{ox} the oxide capacitance.

In this part of our work, we focused our efforts on the universal part of the mobility curve. This mobility improvement is well illustrated in Figure 11 and Figure 12, where we can notice a considerable enhancement of mobility in single biaxial strained P-MOSFET compared to the conventional P-MOSFET and an extra improvement of it in the dual channel heterostructure P-MOSFET. An important improvement is achieved at $V_{gs} = -1.25$ V, with the values of about: 425, 575 and 725, which constitutes an important improvement of 35.29 % and 70.59 % respectively.

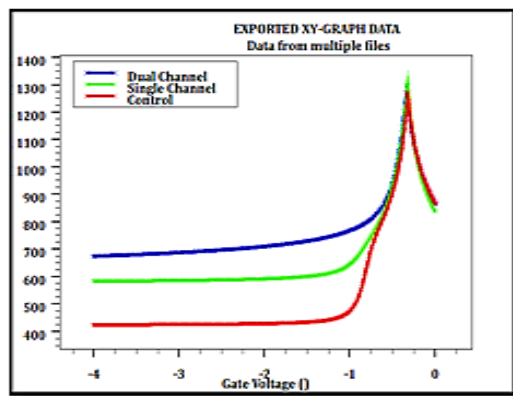


Figure 11. Comparison of mobility versus gate voltage obtained in the three different structure using ATLAS module

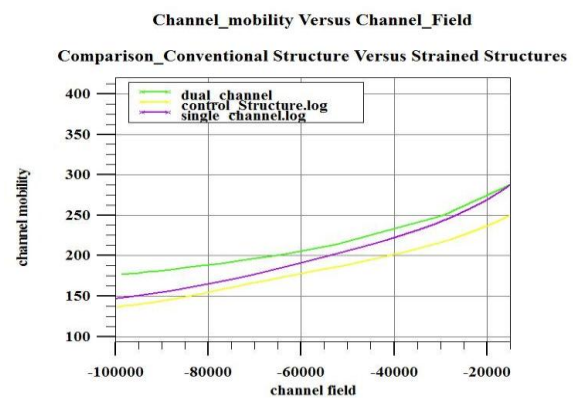


Figure 12. Comparison of mobility versus channel field obtained in the three different structure using ATLAS module

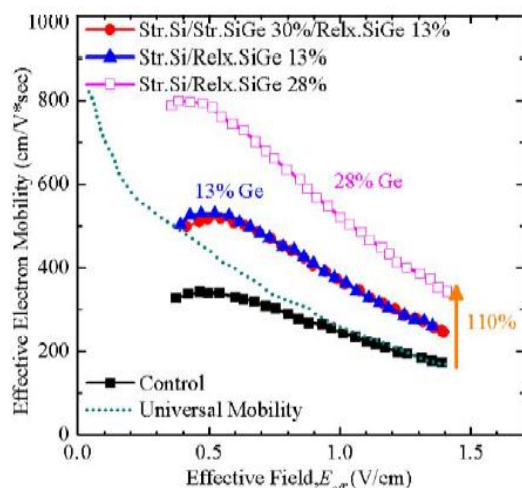


Figure 13. Effective Electron Mobility versus Effective Field in conventional structure and different strained structure using different Ge percentage content [11]

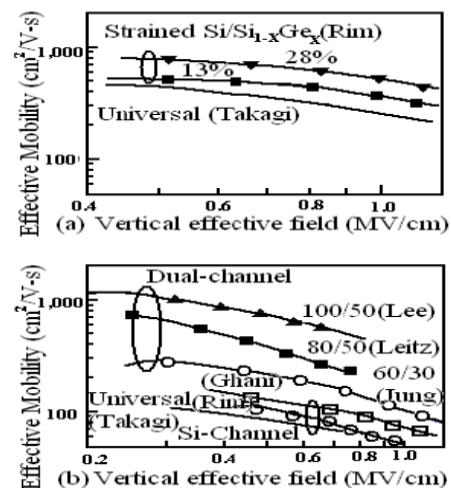


Figure 14. Measured electron mobility enhancement in strained-Si MOSFET comparing to the Si-channel MOSFET and the extra enhancement in the dual-channel structure [12]

Figure and Figure show output curves, with an improvement obtained for the biaxial strained MOSFET and an extra improvement with the dual channel heterostructure PMOFET.

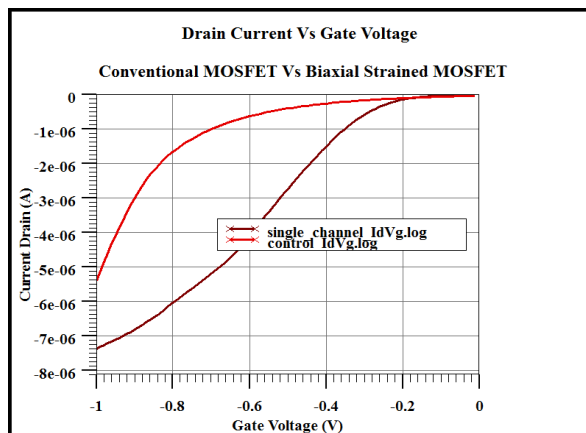


Figure 15. Comparison between the transfer characteristics obtained in conventional and biaxial strained MOSFET

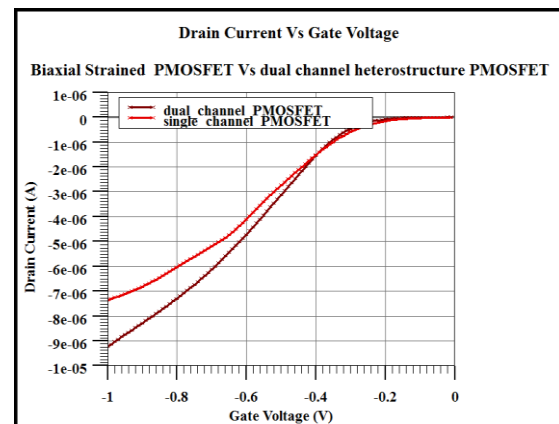


Figure 16. Id/Vgs Extraction of biaxialstrained PMOSFET and dual channel heterostructure PMOSFET

Our different results allow appreciating different improvements obtained using dual channel heterostructure PMOSFET compared to a single channel and conventional P-channel MOSFETs.

In the literature we can find very important articles on the improvements brought about by the use of the strained silicon or the importance of using the heterostructure [9], [15], but the majority of the works concentrate on the physics and the operation principle as well as the improvements in terms of mobility. The particularity of our work is that it also covers other important parameters that contribute to good DC analysis of strained devices. This analysis allows to give more clear ideas about what is expected after using the technology of strain silicon.

3. CONCLUSION

Scaling has increased transistor performance, allowing displaying enhanced electrical properties such as mobility enhancement and lower threshold voltage, in the same way strain techniques allow boosting performance further in future generations of CMOS transistors without the necessity to radically scale transistor dimensions. The combination of strain techniques with other options, such as Multiple Gate MOSFETs, high-k materials, is generally used to keep on track with Moore's law. In this paper, impact and benefits obtained with the use of strained silicon technology on a single p-channel MOSFET and a double gate P-MOSFET have been presented. The different results we obtained allow first to show mobility increases of carriers in the channel of our strain device. The increase of the carrier mobility in the channel that is implemented by a correct silicon strain allows providing a higher current drive. The results obtained in terms of output, transfer characteristics, and leakage current highlight the importance of incorporating strain technology in MOSFET transistors, and confirm what researchers report. We conclude that the use of strain silicon technology is very important to improve considerably the mobility of carriers and as results the device performances while maintaining the same structure and device process of MOSFETs. At the end of our study, we can conclude that strain techniques introduction has been able to extend the Moore's law for nanometer of CMOS generations. This technique has become nowadays the most successful technique for the state-of-the-art planar CMOS technologies.

REFERENCES

- [1] t. r. f. semiconductors, "emerging research devices summary," 2013.
- [2] A. A. C. C. G. T. Mistry, "Delaying forever: Uniaxial strained silicon transistors in a 90nm CMOS technology," Symposium on VLSI Technology, pp. 50-51, June 2004.
- [3] D. a. A. K. Tirkey, "Design and Simulation of Double Gate FETs using Atlas," Bachelor Thesis, Department of Electronics and Communication Eng. National Institute of Technology Rourkela., 2014.

- [4] B. C. Maiti, "Strained-Si heterostructure field effect transistors," *Semiconductor Sci. Technology*, vol. 13, pp. 1225-1246, 1998.
- [5] M. Currie, "*Strained silicon: Engineered substrates and device integration*," chez International Conference on Integrated Circuit Design and Technology, 2004.
- [6] E. L. R. P. J. Dismukes J. P., "Lattice parameter and density in germanium silicon alloys," *J.phys.chemins*, vol. 68, pp. 3021-3027, 1964.
- [7] G. P. W. . & Nicholas, "Impact ionization in strained Si devices," *Journal of applied physics*, vol. 98, n° %110, 2005.
- [8] D. J. Paul, «Semicond. Sci. Technol.» vol. 19, pp. R75-R108, 2004.
- [9] E. F. M.L.Lee, "Optimized strained Si/Strained Ge dual- channel heterostructure for high mobility P and N MOSFETs," chez *IEDM*, 2003.
- [10] N. X. T.-J. k. L. Byron Ho, "pMOSFET performance enhancement with strained Si1-xGex channels," vol. 59, n° %105, May 2012.
- [11] K. e. al, chez *IEEE VLSI Tech. Symp*, 2002.
- [12] J. Hoyt, "Enhanced mobility CMOS," chez *ECS Proceedings*, 2004.
- [13] F. A. H. R. I. Eng Siew Kang, "Einstein Relation of Two Dimensional Strained Si/Si1-x Gex MOSFETs in Nondegenerate Regime and Degenerate Regime," *IAES, International Journal of Nano Devices, Sensors and Systems (IJ-Nano)*, vol. 1, n° %11, pp. 12-18, 2012.
- [14] "Substrate Current Evaluation for Lightly and Heavily Doped MOSFETs at 45 nm process Using Physical Models," *IAES Bulletin of Electrical Engineering and Informatics* , vol. 5, n° %11, pp. 120-125, 2016.
- [15] M. L. L. C. W. L. a. E. F. Saurabh Gupta, «Strained, High hole and electron mobilities using Strained Si/Strained Ge heterostructures,» chez *IEDM*, 2003.

BIOGRAPHIES OF AUTHORS



Mr. Amine Mohammed Taberkit was born in Tlemcen in 1988. He became an Electronic Engineer in 2010 from the university of Tlemcen, he got the master degree in Electronic instrumentation in 2012 from the university of Tlemcen, and actually, he is a PhD Student at the university of Tlemcen and a member of the research Unit of Materials and Renewable Energy Research (URMER). His research interests include Strain Silicon Technology and MOSFET transistors. Email: taberkit.amine@yahoo.fr



Pr. Ahlam Bouazza-Guen was born in Tlemcen in 1965. She received the B.S degree in Electronic Engineering in 1988 from Oran university, her MSc degree In 1992, her PhD degree in Microelectronics in 2007 from Tlemcen university. She is a professor with the engineering department and Research team leader at the research Unit of Materials and Renewable Energy (URMER). Her research interests include MUGFET devices, CMOS analog/mixed ICs and interconnects. E-mail: guenahlam@yahoo.fr



Pr. Benyounes Bouazza is a professor in AbouBekrBelkaid University, Tlemcen, faculty of Technology Department of Electronic and Electrical Engineering, also a researcher at the research Unit of Materials and Renewable Energy (URMER), and responsible of the ph.D program of Electronic Instrumentation. E-mail: bouaguene@yahoo.fr

Engineering of Nano-Scale Strained MOSFETs: A Solution for the Mobility Enhancement

Amine Mohammed Taberkit, Ahlam Bouazza-Guen

Abstract—Metal-Oxide-Semiconductor-Field-Effect-Transistors MOSFETs have shown a great improvement of performances over the past ten years by incorporating strained silicon (SS) technology. In this work, we give an overview of the impact of strain on carrier mobility in Si P-MOSFET by considering strain-induced band splitting and altered conductivity effective mass for a fully theoretical understanding. We highlight the importance of incorporating strained silicon by the comparison of the simulation results obtained with strained MOSFET and a conventional structure. ATHENA and ATLAS simulators were used to simulate the process used and to validate the electrical characteristics.

Keywords—Enhancement, Mobility, MOSFET, Strained Silicon.

I. INTRODUCTION

IN the past three decades, MOSFET transistors scaling resulted in new technology generations every two years with doubled logic devices density following Moore law, lowered cost per logic function, and increased chip performances [1], [2]. However, as device dimension enters into the deep nanometer regime, many physical phenomena such as short-channel effect (SCE) velocity saturation, high leakage current, and dielectric breakdown limit the benefits of conventional scaling [3].

Researchers and manufacturers of semiconductor devices make enormous efforts in order to investigate and conceive new devices structures using new materials, to improve incessantly devices performances. Among all these technologies, strain engineering is one of the proposed solutions that have been deeply studied during last decade to enhance performances while providing low-cost and low risk technique by maintaining the traditional metal-oxide-semiconductor-field-effect-transistor (MOSFET) structure and fabrication process. One of actual challenges is to continue CMOS logic technology scaling beyond 2018, consequently this goal set down by the “International Technology Roadmap of Semiconductor ITRS” made of strained enhancement the expected technology that has been introduced at a rapid pace. Therefore understanding, modelling, and implementing strain technology into manufacturing with an appropriate manner is expected to be a major issue for the industry [4].

The idea of using mechanical strain to boost MOSFET performance came out very early and some attractive works

used nowadays biaxial strain technology in which the strain is mainly generated from the SiGe substrate.

Electrical performance in terms of transconductance, field-effect mobility, and on-state drain current was found to be enhanced compared with conventional MOSFETs, some of the highest gains reported to date, as excellent off-state leakage currents and subthreshold characteristics were maintained.

II. PROBLEM STATEMENT

Mobility enhancement is important to improve the device performance without performing device scaling. It has been shown that the introduction of compressive and/or tensile stress in the Si channel can improve the mobility of the two carriers, and in turn, increases the n-and p-MOSFET drive currents.

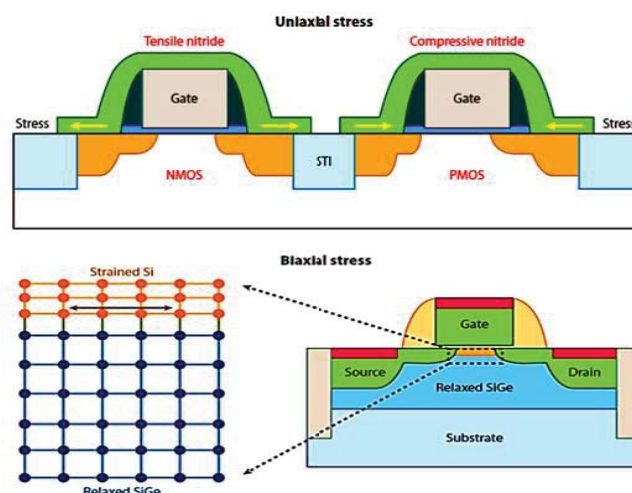


Fig. 1 Illustration of process-induced uniaxial stress on MOSFETs with a nitride capping layer and biaxial stress with a relaxed SiGe layer [5]

The Strain effect that has been intensively studied this decade can be defined as the fraction change of material's lattice constant. Strain can result from phonon-induced lattice vibrations, lattice-mismatched film growth, and applied external mechanical stress [6] and it has a large effect on the enhancement of carrier mobility.

Vogelsang and Hofmann [6] divided the reasons for strained mobility enhancement by:

- The suppression of intervalley scattering rate caused by subband splitting and change in density of state (DOS).
- The reduction in average conductivity effective mass caused by carrier repopulation and band warping.

Amine Mohammed Taberkit is with the Research Unit of Materials and Renewable Energies, University of Tlemcen, 13000 Algeria (e-mail: mohammed.taberkit@mail.univ-tlemcen.dz).

Ahlam Bouazza-Guen is with the Research Unit of Materials and Renewable Energies, University of Tlemcen, 13000 Algeria (e-mail: guenahlam@yahoo.fr).

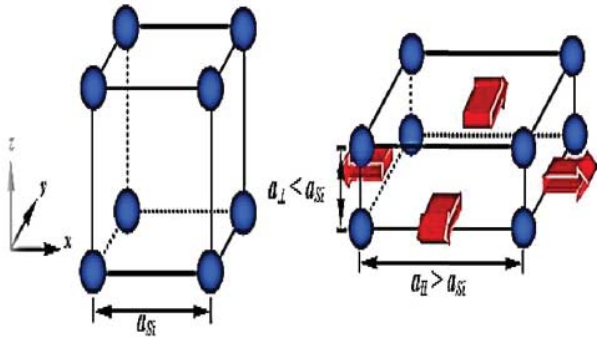


Fig. 2 Three dimensional representation of the crystal structure of silicon undistorted and silicon deformed by applying biaxial stress tension (x, y). [5]

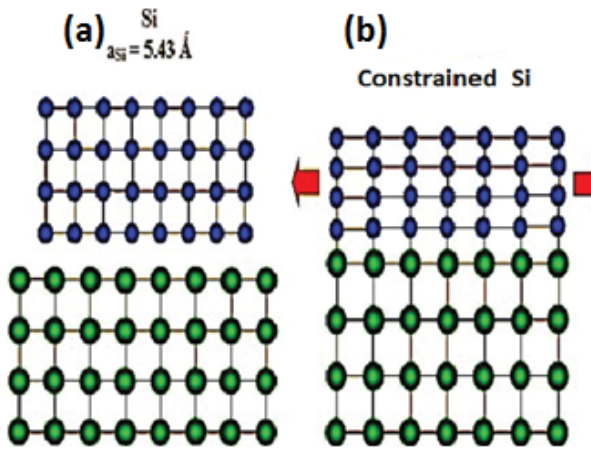


Fig. 3 (a) Comparison of network settings for the monocrystalline Si and for the SiGe substrate, (b) Strained Si layer on a SiGe relaxed substrate. [5]

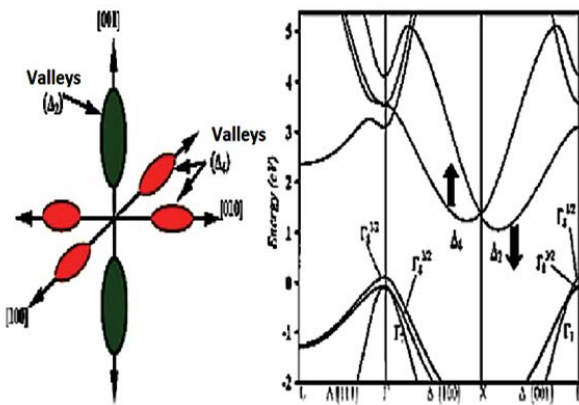


Fig. 4 Electron distribution in the valleys Δ_2 and Δ_4 in strained silicon and Band structure of strained Silicon on $\text{Si}_{0.7}\text{Ge}_{0.3}$. [5]

When silicon is deformed in biaxial tension, following the application of a mechanical stress, his symmetry is broken. The main effect of the stress for the band is to reduce Δ_2 valley's energy in the direction of the growth layers [001] and increases the energy of Δ_4 valley (directions [100] and [010]) as shown in Fig. 4. Reduction in the energy gap of the strained

silicon will occurs. This reduction is principally due to the degeneracy between Δ_2 and Δ_4 valleys of the conduction band, and the degeneracy between the band of heavy holes and the light holes located in the valence band as illustrated in Fig. 5.

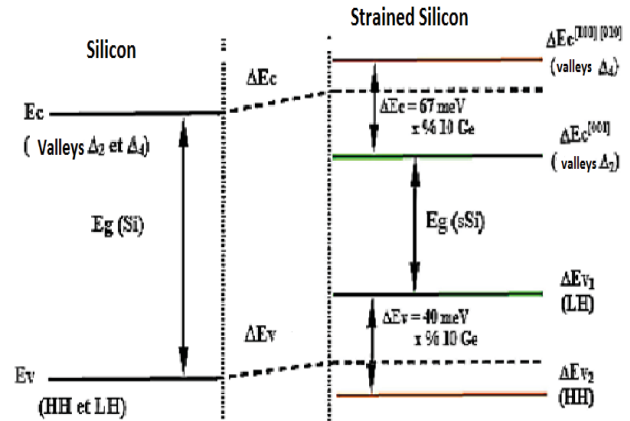


Fig. 5 Schematic representation of the band offsets in Si induced by a bi-axial tensile stress in the direction (001) [5]

The effective carrier mobility is written according to:

$$\mu = \frac{q \cdot \tau}{m^*}$$

q : The charge of carriers. m^* : The effective mass of conduction.
 $\frac{1}{\tau}$: The collision frequency of the carriers.

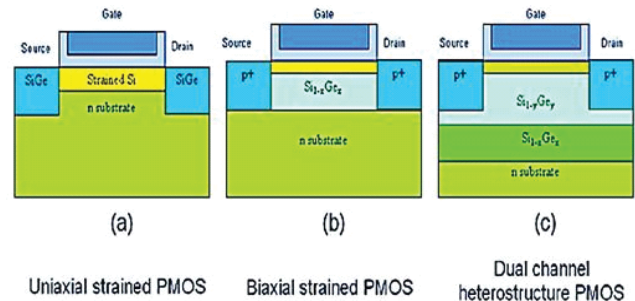


Fig. 6 Three main types of strained PMOSFET

The effective mass is reduced by using the strain silicon technology and the effective carrier mobility will increase according to previous equation, while maintaining the conventional

Metal-Oxide-Semiconductor-Field-Effect-Transistor (MOSFET) structure and fabrication process. There are mainly three types of strained engineered structure being explored which are shown in Fig. 6, while for our work, we will only focus on biaxial strained Si PMOSFET. (P-MOSFET: Metal-Oxide-Semiconductor-Field-Effect-Transistor (P type)).

The main difference is for the uniaxial strained PMOS structure which we can get it by using SiGe material in source and drain. For the biaxial strained PMOS, it has a layer of $\text{Si}_{1-x}\text{Ge}_x$ deposited at the bottom of strained silicon layer to perform the strain effect, while for the dual channel biaxial strained PMOS, it has two layer correspondingly, $\text{Si}_{1-x}\text{Ge}_x$

and Si_{1-y}Ge_y.

Due to the lattice mismatch, a tensile biaxial stress is generated in Si film. In these devices, termed dual-channel heterostructures, a compressively strained Si_{1-y}Ge_y layer is grown upon a relaxed Si_{1-x}Ge_x buffer and capped with tensile strained Si [11].

Heterostructures with a Ge-rich strained Si_{1-y}Ge_y channel beneath the strained Si surface have been investigated to attain higher hole mobility in SiGe heterostructure MOSFETs (Metal-Oxide-Semiconductor-Field-Effect Transistor) [7]-[10].

III. RESULTS AND DISCUSSIONS

We used ATHENA and ATLAS simulators SILVACO-TCAD software to simulate the fabrication process and electrical characteristics of biaxial strained PMOS and Dual channel heterostructure PMOS. We studied the effect of the strain on mobility in the channel of these strained MOSFET transistors compared to the conventional structure to highlight the importance of using the Strain Silicon Technology.

The following parameter is set to be same for all three device considered in our simulations so that comparisons can be made using the same mesh initialization, the same doping concentration for bulk silicon set at $2 \times 10^{16} \text{ cm}^{-3}$, the same dimension of source and drain, source and drain concentration, gate's material.

The difference between the simulated structures would be for control, there would be a deposition of SiO₂ cap with thickness of 43.9 nm between the channel region and gate.

While for the single channel biaxial strained PMOS we have a SiGe layer with thickness of 15 nm; the proportion of Ge starts at 0 and gradually increases to 0.8. Then another layer with a thickness of 27.1 nm and proportion of Ge of about 0.9 is deposited on top of the previous layer, and finally SiO₂ cap with thickness of 10 nm, as it is shown in Figs. 7 and 8.

For the dual channel biaxial strained PMOS we have an SiGe layer with thickness of 17 nm which gradually increases from 0 to 0.5 proportion of Ge. Then a Si_{1-y}Ge_y layer of 28 nm with Ge proportion of 0.8 is deposited on top of the previous layer, then a thin SiO₂ cap with a thickness of 5.9 nm which is deposited as it is shown in Fig. 9.

The simulated single channel structure would be the same as the dual channel PMOS with only difference of the SiGe layer which cannot be noticed in the structure.

To extract the parameters and graphs different numerical method and models are being used.

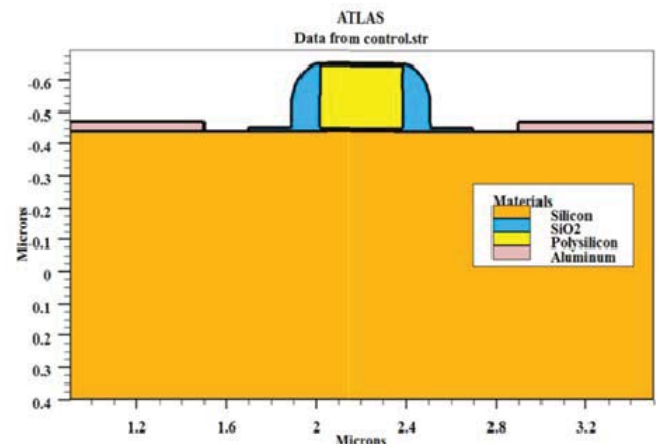


Fig. 7 Conventional structure of MOSFET

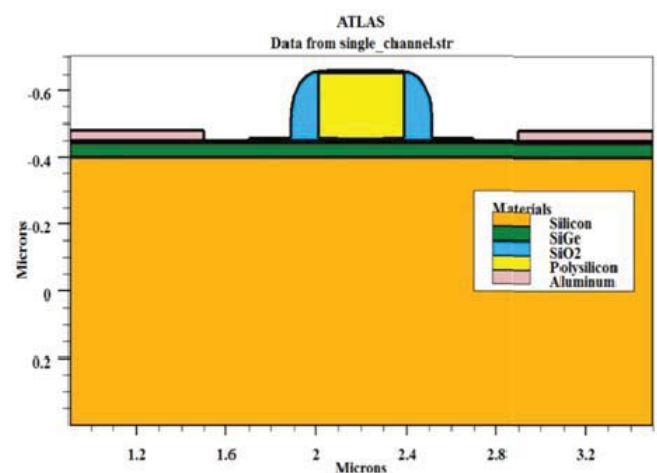


Fig. 8 Biaxial strained PMOS

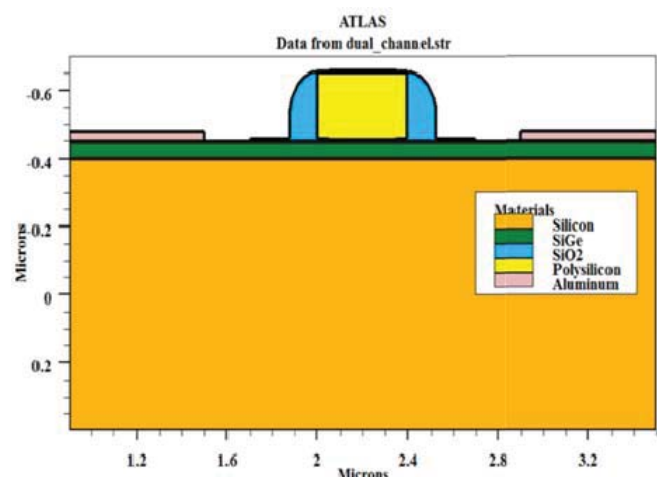


Fig. 9 Dual channel heterostructure PMOS

For the mobility extraction, models used are SRH and CVT, the numerical method used is Newton Gummel method, the solver start with Gummel interactions and then switch to Newton, if convergence is not achieved. This is a very robust, although more time consuming way of obtaining solutions for any device.

Fig. 10 is a representation of the carrier mobility in the three structures: Conventional MOSFET, Single Strained Channel MOSFET, and dual Strained channel MOSFET together to compare them with each other.

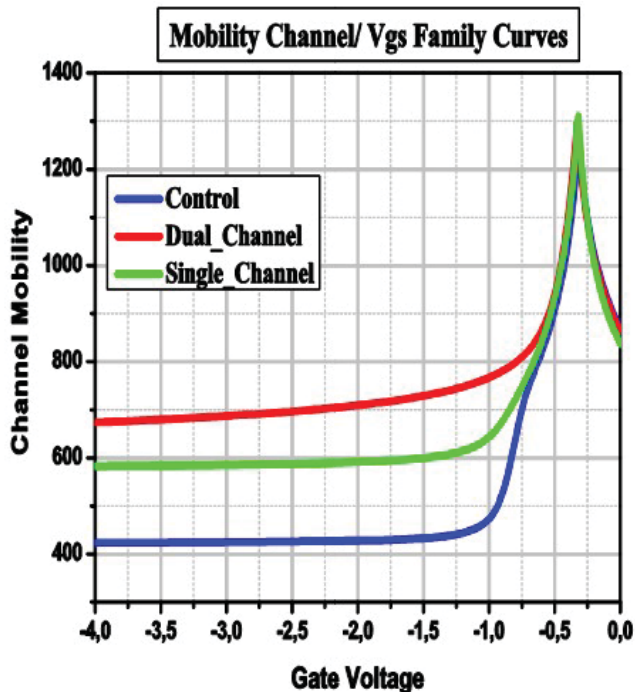


Fig. 10 Representation of the carrier mobility in the three structures: Conventional MOSFET, Single Strained Channel MOSFET, and dual Strained channel MOSFET

As seen from our results, we can distinguish two regions, the first one where gate voltage is ranging between 0V and -1.2 V in this case strained dual channel Si PMOS and strained single Si PMOS show better mobility compare to control with symbolizes conventional PMOS. These major enhancement is due to the band engineering where the valence band splitting of lightly hole and heavy hole band is more significant causing more holes to travel which have also a lighter effective mass.

While for the region where the gate voltage ranges are between -1.2 V and -4V, we can notice that dual channel has a significant higher mobility, comparing to single channel PMOS and control PMOS structure. This is due to the holes that travel more at the buried channel of Si_{1-y}Gey – Si_{1-x}Gex.

We can explain that with three reasons; First, compressive strain in the Si_{1-y}Gey layer splits the valence band degeneracy and reduces the in-plane effective mass; second, the type-I band alignment between Si_{1-y}Gey and Si_{1-x}Gex causes the formation of a deep quantum well for holes in the strained Si_{1-y}Gey layer; third, alloys can possess intrinsically higher hole mobility due to their Ge proportion.

IV. CONCLUSION

We can say that Strain Silicon technology is key solution to

keep enhancing the mobility of MOSFET (Metal- Oxide-Semiconductor-Field-Effect-Transistor) Transistors and its performance in the future, while maintaining the same structure and process and while providing low-cost and low risk technique.

The enhancement of mobility has a direct impact on several performance characteristics like drain current and transconductance, which highlight the importance of using strain silicon technology to improve the performances of the MOSFET transistors.

REFERENCES

- [1] Hon-Sum Philip Wong, David Frank et al, "Nanoscale CMOS", PROC.IEEE, Vol. 87, no. 4, 1999.
- [2] Scott E. Thompson, Robert S. Chau et al, "In Search of Forever" Continued Transistor Scaling One New Material at a Time, IEEE Transactions on semiconductor manufacturing, vol. 18, no. 1, 2005.
- [3] James D. Plummer, Fellow, IEEE, and Peter B. Griffin, "Material and Process Limits in Silicon VLSI Technology", Proc. IEEE, vol. 89, no. 3, 2001.
- [4] International Technology Roadmap for Semiconductors, "Emerging Research Devices Summary", 2013 Edition.
- [5] Jacobo Esteban Munguia Cervantes, "Etude par spectroscopie optique des propriétés physiques des couches nanométriques de Si contraint", ph.Dthesis, 2008.
- [6] TH. Vogelsang, K.R. Hofmann, "Electron transport in strained Si layers on Si_{1-x}Ge_x substrates", Appl. Phys. Lett. 63 (2), 1993.
- [7] Christopher W. Leitz, Matthew T et al, "Channel Engineering of SiGe-Based Heterostructures for High Mobility MOSFETs", Mat. Res.Soc. Symp. Proc, Vol. 686, 2002.
- [8] J.-W. Jung, S. F. Yu, O. O. Olubuyide, et al, Effect of thermal processing on mobility in strained Si/strained Si_{1-y}Gey on relaxed Si_{1-x}Gex< (x<<y) virtual substrates, Appl. Phys. Lett. 84, 3319, 2004.
- [9] G. Hock, E. Kohn, C. Rosenblad, et al, "High hole mobility in Si_{0.17}Ge_{0.83} channel metal-oxide-semiconductor field-effect transistors grown by plasma-enhanced chemical vapor deposition", Appl. Phys. Lett. 76, 3920, 2000.
- [10] J.-W. Jung, M. L. Lee, S. F. Yu, et al, "Implementation of Both High-Hole and Electron Mobility in Strained Si/Strained Si_{1-y}Gey on Relaxed Si_{1-x}Gex (x < y) Virtual Substrate", IEEE Electron Device Lett. 24, 460, 2003.
- [11] Minjoo L. Lee et al, Strained Si, SiGe, and Ge channels for high- mobility metal-oxide-semiconductor field-effect transistors, Journal of Applied Physics, VOL. 87. NO. 1, 2005



Mr. Amine Mohammed Taberkit was born in Tlemcen in 1988. He became an Electronic Engineer in 2010 from the university of Tlemcen, he got the master degree in Electronic instrumentation in 2012 from the university of Tlemcen, actually he is a PhD Student at the university of Tlemcen and parted time teacher with the Electrical and Electronic engineering department. His research interests include Strain Silicon Technology and MOSFET transistors.



Dr. Ahlam Bouazza-Guen was born in Tlemcen in 1965. She received the B.S degree in Electronic Engineering in 1988 from Oran university, her MSc degree In 1992, her PhD degree in Microelectronics in 2007 from Tlemcen university. she is with the engineering department. Her research interests include MUGFET devices, CMOS analog/mixed ICs and interconnects.

Simulation of strained-Si/Strained-SiGe dual channel heterostructure P-MOSFETs

Amine Mohammed TABERKIT¹, Ahlam GUEN-BOUAZZA²

Department of Electronic and Electrical Engineering

The Research Unit of Materials and Renewable Energies Tlemcen, .Algeria.

taberkit.amine@yahoo.fr, guenahlam@yahoo.fr

Abstract – In this paper, we present strained Silicon and dual channel heterostructure strained structure, introduce the high carrier mobility Awaited in heterostructure devices, and present a two dimensional simulation of strained-Si/Strained-SiGe dual channel heterostructure P-MOSFETs (Metal-Oxide-Semiconductor-Field-Effect-Transistor) . This study is accomplished using SILVACO-TCAD simulation software, the comparison of the effect of using strained silicon technology on P-MOSFETs transistors will demonstrates the importance of using strain silicon technology especially in dual channel heterostructure MOSFET. The simulation of process and the extraction of the electronic proprieties allow understanding and interpreting these enhancements.

Keywords: *Strained Silicon; SiGe layer; MOSFET; Heterostructure; Simulation; SILVACO*

I. Introduction

Strained silicon is one of the key technology boosters identified by the ITRS (International Technology Roadmap for Semiconductors) as very promising material to continue the classical scaling. [1]

Many researchers have claimed that strained silicon can enhance electron and hole nobilities in MOSFET transistors and consequently the drive current, the transconductance and the saturation current. Strain Si heterostructure metal-oxide-semiconductor-field-effect-transistors grown on relaxed SiGe virtual substrates demonstrate important electron and hole mobility enhancements comparing to the bulk silicon [2-3-4].

The heterostructure studied of single strained Si layer grown on SiGe substrate show that this kind of design enhance performances in both N and P-MOSFETs. However, researchers notice that the improvements in N-MOSFET structure are higher than achieved in P-MOSFET structure, and this is due to the enhanced hole mobility that remains much lower than enhanced electron mobility.

A combination between compressively strained $\text{Si}_{1-y}\text{Ge}_y$ layers and tensile strained Si surface layers grown on relaxed $\text{Si}_{1-x}\text{Ge}_x$ ($x < y$), offers almost symmetric electron and hole nobilities.

Biaxial strain Si is created when a thin silicon layer is grown on top of a layer of $\text{Si}_{1-x}\text{Ge}_x$. When the lattice constant of Si is smaller than that lattice constant of Ge as shown in Figure 1, the atoms in the silicon layer is align with atom in $\text{Si}_{1-x}\text{Ge}_x$ layer, which has larger crystalline lattice. The change in the interatomic spacing causes the changes in band structure, density of states and subsequently, the mobility of electrons and holes.

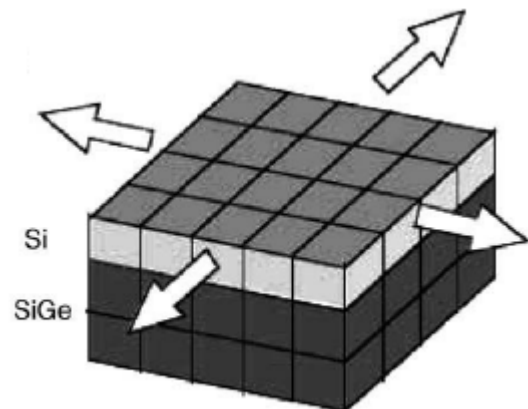


Fig. 1. A schematic diagram of the two films placed together with the top film being tensile strained [5].

By the same principle, compressive strain $\text{Si}_{1-x}\text{Ge}_x$ is created when a thin layer of $\text{Si}_{1-x}\text{Ge}_x$ is grown on top substrate of Si, as shown in Figure 2.

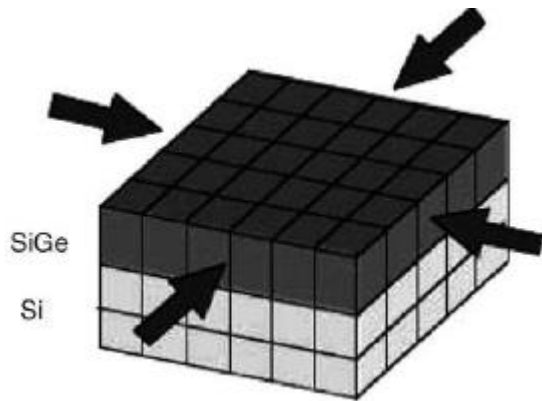


Fig. 2. A schematic diagram of the two films placed together with the top film being compressively strained [5].

Figure 3 represents a biaxially strained dual channel heterostructure P-MOSFET.

Dual-channel Heterostructure are composed with a tensile strained Si presented in layer 1, above a compressively strained $\text{Si}_{1-y}\text{Ge}_y$ channel presented in layer 2 have been investigated to attain higher hole mobility in SiGe heterostructure MOSFETs [6-7].

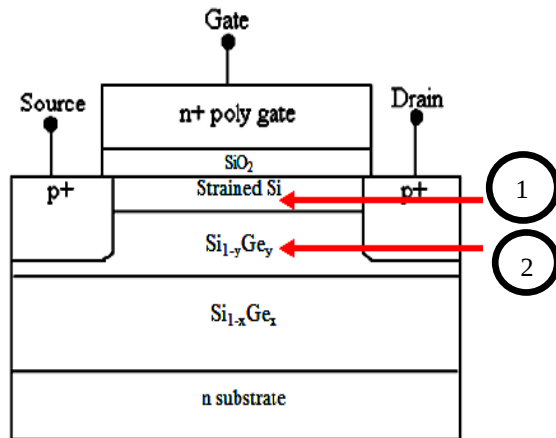


Fig. 3. Biaxially strained dual channel heterostructure P-MOSFET.

It has been demonstrated that both high electron and hole mobility enhancements can be achieved at same time in dual-channel structures. The strained Si layer forms a high-mobility electron channel and, strained SiGe channel serves as a high-hole mobility channel.

II. Results and Discussions

ATHENA and ATLAS, two modules of SILVACO TCAD simulation software have been used to simulate the fabrication process and to extract the electronic characteristics of dual channel hetero-structure P-MOSFETs.

At the beginning of work, we were inspired by an example of SILVACO TCAD entitled: "SiGe PMOS Process and Device Simulation", the structure presented in the example is shown in figure 4.

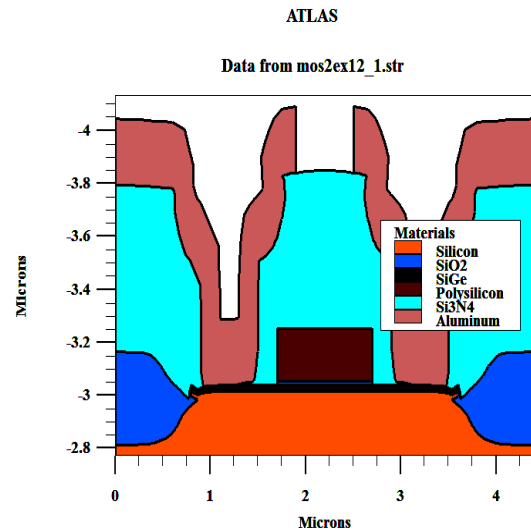


Fig. 4. SILVACO TCAD example of SiGe PMOS Process and Device Simulation.

The simulated dual channel heterostructure is presented in figure 5.

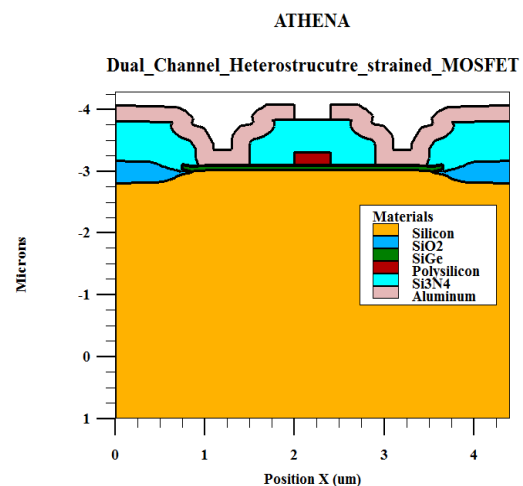


Fig. 5. The simulated dual channel strained heterostructure. Using ATHENA.

Meshing in ATLAS is one of the most important step in process simulation. Poor meshing generally leads to simulation failure and can lead to inaccurate results that is why we refined the meshing in the channel region as it is shown in figure 6.

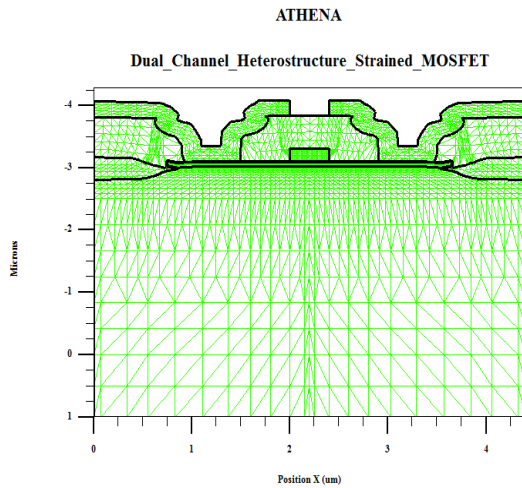


Fig. 6. The Mesh initialization of dual channel strained heterostructure. Using ATHENA.

Figure 7 shows doping profile obtained through our simulation. Reducing channel doping increases MOSFET mobility leading to increase SCEs. However, increasing doping level improves the control SCEs, but the channel mobility is degraded in return, our choice was a middle solution between the two possibilities.

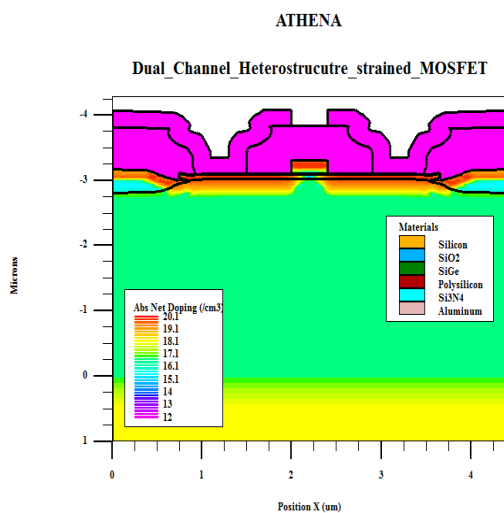


Fig. 7. Doping profile of dual channel strained heterostructure. Using ATHENA.

The gate capacitance, C_g versus the gate voltage, V_{gs} curve was obtained from ramping the gate voltage from -3V to 3V with 0.2V voltage step and it is illustrated in Figure 8.

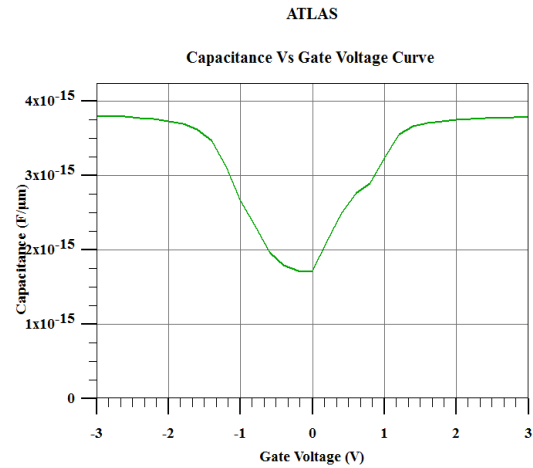


Fig. 8. The quasi-static capacitance versus gate voltage curve. Using ATLAS.

We noticed that dual channel strained structure shows a good C_g - V_{gs} curve with no interface density trapped between the Si cap and SiO₂ layer.

In figure 9 we represent the Comparison between the transfer characteristics obtained in conventional and dual channel heterostructure strained MOSFET.

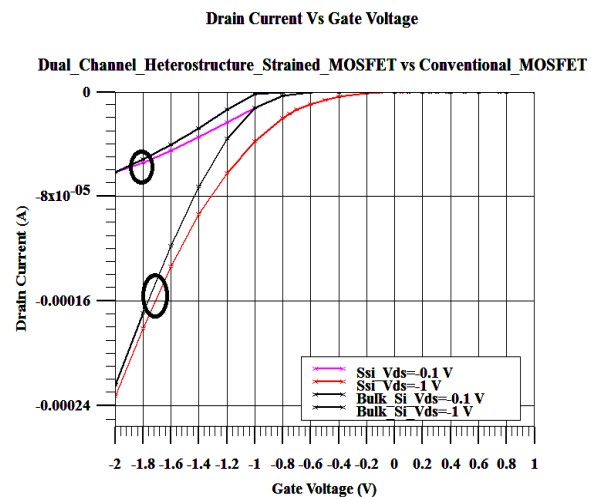


Fig. 9. Comparison between the transfer characteristics obtained in conventional and dual channel heterostructure strained MOSFET. Using ATLAS.

For the I_{ds} versus V_{gs} curve for dual channel heterostructure strained silicon and unstrained PMOS, the device structure was biased with -0.1V and -1.0V which represents the minimum and maximum of the range of chosen values, when the gate voltage ramp from 1.0V until -2.0V with a -0.2V voltage step. The result indicates that the strained Si have a lower threshold voltage than the unstrained device. Low threshold voltage indicates low voltage that is need to turn on the transistor, consequently the strained Si also exhibit a lower power consumption compared to the unstrained.

In figure 10, we represent the Comparison between the output characteristics obtained in conventional and dual channel heterostructure strained MOSFET.

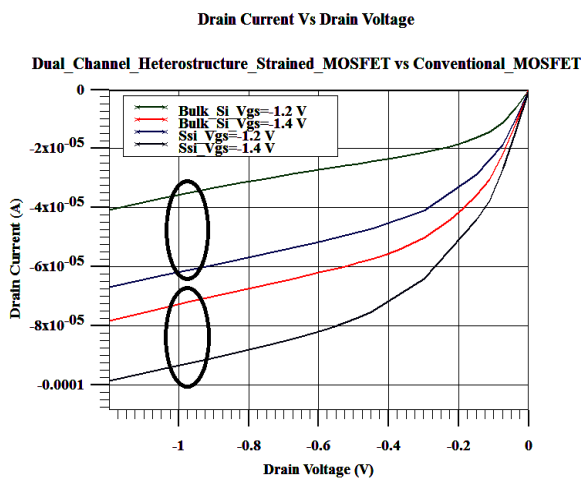


Fig. 10. Comparison between the output characteristics obtained in conventional and dual channel heterostructure strained MOSFET. Using ATLAS.

From figure 10 we notice an impressive enhancements obtained in dual channel heterostructure MOSFET, and this is due as we mentioned before to the enhancements obtained in mobility not only of holes as we can notice in single channel strained MOSFET but also in mobility of electrons. With the enhancement in drain current, the speed performance of a transistor increases too.

The results confirmed the research studies in which it is reported that an extremely high mobility can be obtained using the dual heterostructure. [8-9].

This improvement results can be explain by the improvement of effective mobility that is expressed by:

$$\mu_{eff} = (q\tau)/m^* \quad (1)$$

Where q : is the charge of carriers, $1/\tau$ the collision frequency of carriers, and m^* : the effective mass.

The mobility improvement is due to the reduction of the effective mass m^* . For the dual heterostructure strained MOSFET, firstly, compressive strain in the $Si_{1-y}Ge_y$ splits the valence band degeneracy and reduces the effective mass, secondly, the band alignment between $Si_{1-y}Ge_y$ and $Si_{1-x}Ge_x$ causes the formation of a deep quantum well for holes in the strained $Si_{1-y}Ge_y$ which contributes in the enhancements of holes mobility. In the other hand the tensile strained layer of silicon contributes of the enhancements of electron mobility and that is exactly what we mentioned before.

III. Conclusion

The results obtained after the extraction of the output characteristic, the transfer characteristic, and the quasi-static capacitance versus gate voltage curve, in the dual channel heterostructure Strained P-MOSFETs, and the comparison with the conventional P-MOSFETs, we reported very important enhancements in terms of threshold voltage, drive current and saturation current. These enhancements allow optimizing the device performances, especially for logic applications, which need high speed switching with decreased threshold voltage and lower switching energy.

References

- [1] International technology roadmap for semiconductors, "emerging research devices summary", 2013 edition.
- [2] Wijeratne, S.B., et al., A 9-GHz 65-nm Intel Pentium 4 Processor Integer Execution Unit. IEEE Journal Of Solid-State Circuits, 2007. 42(1): p. 26-37.
- [3] Zeitzoff, P.M. Mosfet Scaling Trends and Challenges Through The End of The Roadmap. in Proceedings of the 26th IEEE Custom Integrated Circuits Conference (CICC). 2004. Orlando: IEEE 2004. p. 233-240.
- [4] Acosta, T. and S. Sood, Engineering strained silicon - looking back and into the future, in IEEE Potential. 2006, IEEE. p. 31 - 34.
- [5] Shiraki, Y. and A. Sakai, Fabrication technology of SiGe heterostructures and their properties. Surface Science Reports, 2005. 59 p. 153207.
- [6] CHRISTOPHER W. LEITZ, MATTHEW T et al, Channel Engineering of SiGe-Based Heterostructures for High Mobility MOSFETs, Mat. Res. Soc. Symp. Proc, Vol. 686, 2002.
- [7] J.-W. JUNG, S. F. YU, O. O. OLUBUYIDE, et al, Effect of thermal processing on mobility in strained Si/strained Si_{1-y}Ge_y on relaxed Si_{1-x}Ge_x (x<y) virtual substrates, Appl. Phys. Lett. 84, 3319, 2004.
- [8] M.L.Lee, E.A Fitzgerald, "optimized strained Si/Strained Ge dual-channel heterostructure for high mobility P and N MOSFETs", in IEDM, 2003, p.18.1.1.1-18.1.1.4.
- [9] Byron Ho, Nuo Xu, Tsu-Jae king Lu, "pMOSFET performance enhancement with strained Si_{1-x}Ge_x channels," IEEE transactions on Electron devices, vol.59, No.5, may2012.

Strain induced changes in performance of strained-Si/strained-Si_{1-y}Ge_y/relaxed-Si_{1-x}Ge_x MOSFETs and circuits for digital applications

Kumar Subindu, Kumari Amrita, Das Mukul K

Department of Electronics Engineering, Indian School of Mines, Dhanbad 826004, India

© Central South University Press and Springer-Verlag Berlin Heidelberg 2017

Abstract: Growing a silicon (Si) layer on top of stacked Si-germanium (Ge) compressive layer can introduce a tensile strain on the former, resulting in superior device characteristics. Such a structure can be used for high performance complementary metal-oxide-semiconductor (CMOS) circuits. Down scaling metal-oxide-semiconductor field-effect transistors (MOSFETs) into the deep submicron/nanometer regime forces the source (S) and drain (D) series resistance to become comparable with the channel resistance and thus it cannot be neglected. Owing to the persisting technological importance of strained Si devices, in this work, we propose a multi-iterative technique for evaluating the performance of strained-Si/strained-Si_{1-y}Ge_y/relaxed-Si_{1-x}Ge_x MOSFETs and its related circuits in the presence of S/D series resistance, leading to the development of a simulator that can faithfully plot the performance of the device and related digital circuits. The impact of strain on device/circuit performance is also investigated with emphasis on metal gate and high-*k* dielectric materials.

Key words: complementary metal-oxide-semiconductor (CMOS); high-*k* dielectric material; inverter; metal-oxide-semiconductor field-effect transistors (MOSFETs); SiGe; series resistance; strain

1 Introduction

For several decades, geometric scaling of devices has been considered an ultimate path for improving the performance of conventional silicon (Si) metal-oxide-semiconductor field-effect transistors (MOSFETs) [1, 2]. With excessive scaling, physical limits are governed by device physics and material properties, making it difficult to sustain the performance enhancement of devices in deep sub-micron regime [1–3]. To address these challenges, new materials and device architectures having enhanced carrier transport properties have been introduced [3–5]. Introducing strain in MOSFET has been considered a prime technology booster resulting in high performance complementary metal-oxide-semiconductor (CMOS) devices due to enhanced mobility of both electrons and holes compared to unstrained devices. Two basic techniques which are generally used for incorporating strain in conventional Si, are classified as substrate induced and local process induced techniques [6]. Strain can be introduced directly into the substrate by growing an epitaxial layer of Si on relaxed silicon-germanium (SiGe) substrate, also referred to as global strain [4, 6]. Another method includes uniaxial strain, through local process induced techniques using stressed contacts and metal gates [6, 7], stress memorization techniques [6–8], embedded source(S)/

drain(D) stressors [7, 9, 10], and so on. Strain modifies the band structure of Si, resulting in suppressed inter-valley scattering and reduced in-plane effective mass, leading to mobility enhancement which can be calculated by the ratio of mobilities of charge carriers in strained and conventional Si MOSFETs. An approximate mobility enhancement of 80% for electrons and 60% for holes has been obtained in strained-Si (s-Si) grown upon relaxed SiGe virtual substrate (VS) [11, 12]. Although a high performance gain has been achieved with such structure, the mobility enhancement for p-MOS is less compared to n-MOS and a high value of strain is required to obtain hole mobility comparable to electrons [13, 14]. It has also been reported [14, 15] that the hole mobility enhancement reduces under high transverse effective field. In order to overcome this problem, and to boost hole mobility, a compressively strained-Si_{1-y}Ge_y (s-Si_{1-y}Ge_y) layer can be grown over a relaxed-Si_{1-x}Ge_x (r-Si_{1-x}Ge_x) layer (*y*>*x*) and capped with a tensile s-Si layer. Such structure (s-Si/s-Si_{1-y}Ge_y/r-Si_{1-x}Ge_x) is referred as dual channel (DC) heterostructure [12–17]. The subscripts *x* and *y* denote the Ge mole fraction of relaxed and strained SiGe layer respectively. Band offsets between the tensile s-Si layer and compressively strained-Si_{1-y}Ge_y layer can be used for the generation of high electron mobility in n-channel surface and high hole mobility in the buried p-channel MOSFETs [18]. In s-Si/s-Si_{1-y}Ge_y/r-Si_{1-x}Ge_x MOSFETs, hole mobility

- COUSIN E, RAMAKRISHNAN H K, OLSEN S H, O'NEILL A G. Modeling of the threshold voltage in strained Si/Si_{1-x}Ge_x/Si_{1-y}Ge_y ($x \geq y$) CMOS architectures [J]. IEEE Transactions on Electron Devices, 2007, 54(11): 3040–3048.
- [17] JUNG J, YU S, OLUBUYIDE O O, HOYT J L, ANTONIADIS D A, LEE M L, FITZGERALD E A. Effect of thermal processing on mobility in strained Si/strained Si_{1-y}Ge_y on relaxed Si_{1-x}Ge_x ($x < y$) virtual substrates [J]. Applied Physics Letters, 2004, 84(17): 3319–3321.
- [18] OLSEN S H, O'NEILL A G, CHATTOPADHYAY S, DRISCOLL L S, KWA K S K, NORRIS D J, CULLIS A G, PAUL D J. Study of single- and dual-channel designs for high-performance strained-Si-SiGe n-MOSFETs [J]. IEEE Transactions on Electron Devices, 2004, 51(7): 1245–1253.
- [19] CHUN S K, WANG K L. Effective mass and mobility of holes in strained Si_{1-x}Ge_x layers on (001) Si_{1-y}Ge_y substrate [J]. IEEE Transactions on Electron Devices, 1992, 39(9): 2153–2164.
- [20] LIN Da-wen, CHENG Ming-lung, WANG Shyh-wei, WU Chung-Cheng, CHEN Ming-Jer. A novel method of MOSFET series resistance extraction featuring constant mobility criteria and mobility universality [J]. IEEE Transactions on Electron Devices, 2010, 57(4): 890–897.
- [21] CAMPBELL J P, CHEUNG K P, SUEHLE J S, OATES A. A simple series resistance extraction methodology for advanced CMOS devices [J]. IEEE Electron Device Letters, 2011, 32(8): 1047–1049.
- [22] BINDU B, DASGUPTA N, DASGUPTA A. Analytical model of drain current of strained-Si/strained-Si_{1-y}Ge_y/relaxed-Si_{1-x}Ge_x NMOSFETs and PMOSFETs for circuit simulation [J]. Solid-State Electronics, 2006, 50(3): 448–455.
- [23] ENGSIEW K, ANWAR S, ISMAIL R. Quantum mechanical effects on the threshold voltage of nanoscale dual channel strained Si/strained Si_{1-y}Ge_y/relaxed Si_{1-x}Ge_x MOSFETs [J]. Journal of Computational and Theoretical Nanoscience, 2013, 10(5): 1231–1235.
- [24] RABAEY J M, CHANDRAKASAN A, NIKOLIC B. Digital integrated circuits: A design perspective [M]. New Jersey: Pearson Education, 2003.
- [25] PSPICE User's manual [M]// Cadence ORCAD 16.6. San Jose, CA, USA: Cadence Design Systems Inc, 2012.
- [26] TANNER Tools user's manual [M]. Monrovia, CA: Tanner Research Inc, 2006.
- [27] ATLAS Users manual [M]. Santa Clara, CA, USA: Silvaco Inc, 2012.
- [28] TAURUS MEDICI user guide [M]. Mountain View, CA, USA: Synopsys Inc, 2012.
- [29] TABERKIT A M, BOUAZZA-GUEN A. Engineering of nano-scale strained-MOSFETs: A solution for the mobility enhancement [J]. World Academy of Science, Engineering and Technology, International Journal of Electrical, Computer, Energetic, Electronic and Communication Engineering, 2015, 9(12): 1330–1333.
- [30] TANG Zhao-huan, TAN Kai-zhou, CUI Wei, WANG Bin. μ_{MAX} enhanced 190% of a strained NMOS based on SiGe virtual substrate [J]. Advanced Materials Research, 2013, 756–759: 154–157.
- [31] YU J, WANG C, YANG Y. Progress on the numerical calculation of electrical characteristics of strained SiGe channel p-MOSFET [J]. Applied Mechanics and Materials, 2013, 320: 465–472.
- [32] ARORA N. MOSFET modeling for VLSI simulation: Theory and practice [M]. Singapore: World Scientific, 2007.
- [33] RIM K, CHU J, CHEN H, JENKINS K A, KANARSKY T, LEE K, MOCUTA A, ZHU H, ROY R, NEWBURY J, OTT J, PETRARCA K, MOONEY P, LACEY D, KOESTER S, CHAN K, BOYD D, IEONG M, WONG H S. Characteristics and device design of sub-100 nm strained Si n- and p-MOSFETs [C]// Symposium on VLSI Technology Digest of Technical Papers. Honolulu, HI, USA: IEEE, 2002: 98–99.
- [34] JUNG J, LEE M L, YU S, FITZGERALD E A, ANTONIADIS D A. Implementation of both high-hole and electron mobility in strained Si/strained Si_{1-y}Ge_y on relaxed Si_{1-x}Ge_x ($x < y$) virtual substrate [J]. IEEE Electron Device Letters, 2003, 24(7): 460–462.
- [35] TEMPLE M P, PAUL D J, TANG Y T, WAITE A M, EVANS A G R, O'NEILL A G, ZHANG J, GRASBY T, PARKER E H C. The relative performance enhancement of strained-Si and buried channel p-MOS as a function of lithographic and effective gate lengths [C]// International Semiconductor Device Research Symposium. Washington DC, USA: IEEE, 2003: 51–52.
- [36] BSIM Model. [2013–11–01]. <http://www-device.eecs.berkeley.edu/bsim>.
- [37] RAMAKRISHNAN H. Strained silicon technology for low-power high-speed circuit applications [R]. U.K.: Newcastle University, 2008.
- [38] HWANG J R, HO J H, TING S M, CHEN T P, HSIEH Y S, HUANG C C, CHIANG Y Y, LEE H K, LIU A, SHEN T M, BRAITHWAITE G, CURRIE M, GERRISH N, HAMMOND R, LOCHTEFELD A, SINGAPOREWALA F, BULSARA M, XIANG Q, LIN M R, SHIAU W T, LOH Y T, CHEN J K, CHIEN S C, WEN F. Performance of 70 nm strained-silicon CMOS devices [C]// Symposium on VLSI Technology Digest of Technical Papers. Kyoto, Japan: IEEE, 2003: 103–104.
- [39] KANG S M, LEBLEBICI Y. CMOS digital integrated circuits: analysis and design [M]. New York: McGraw-Hill, 2003.
- [40] KUMAR S, JHA S. Impact of elliptical cross-section on the propagation delay of multi-channel gate-all-around MOSFET based inverters [J]. Microelectronics Journal, 2013, 44: 844–851.
- [41] FITZGERALD E A, GERRISH N. CMOS inverter and integrated circuits utilizing strained silicon surface channel MOSFETs: US, 0034529 [P]. 2003.
- [42] FRANCO J, KACZER B, MITARD J, TOLEDANO-LUQUE M, ROUSSEL P J, WITTERS L, GRASSER T, GROESENKEN G. NBTI reliability of SiGe and Ge channel pMOSFETs with SiO₂/HfO₂ dielectric stack [J]. IEEE Transactions on Device and Materials Reliability, 2013, 13(4): 497–506.
- [43] BEISTER J, WACHOWIAK A, BOSCHKE R, HERRMANN T, UHLARZ M, MIKOLAJICK T. Mobility investigations on strained 30-nm high- k metal gate MOSFETs by geometrical magnetoresistance effect [J]. IEEE Transactions on Electron Devices, 2015, 62(6): 1819–1825.
- [44] GHOSH K, DAS S, FISSEL A, OSTEN H J, LAHA A. Epitaxial Gd₂O₃ on strained Si_{1-x}Ge_x layers for next generation complementary metal oxide semiconductor device application [J]. Applied Physics Letters, 2013, 103(15): 153501–153504.

(Edited by YANG Hua)

Cite this article as: Kumar Subindu, Kumari Amrita, Das Mukul K. Strain induced changes in performance of strained-Si/strained-Si_{1-y}Ge_y/relaxed-Si_{1-x}Ge_x MOSFETs and circuits for digital applications [J]. Journal of Central South University, 2017, 24(6): 1233–1244. DOI: 10.1007/s11771-017-3527-4.