

ÉCOLE DE TECHNOLOGIE SUPÉRIEURE
UNIVERSITÉ DU QUÉBEC

MÉMOIRE PRÉSENTÉ À
L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE

COMME EXIGENCE PARTIELLE
À L'OBTENTION DE LA
MAÎTRISE EN GÉNIE ÉLECTRIQUE
M. Ing.

PAR
PIERRE-PAUL CARPENTIER

RÉALISATION D'UN BANC D'ESSAI POUR L'ÉTUDE D'ARCHITECTURES DE
SYSTÈMES RF INTELLIGENTS

MONTRÉAL, LE 16 DÉCEMBRE 2005

(c) droits réservés de Pierre-Paul Carpentier

CE MÉMOIRE A ÉTÉ ÉVALUÉ
PAR UN JURY COMPOSÉ DE :

M. Ammar B. Kouki, directeur de mémoire
Département de génie électrique à l'École de technologie supérieure

M. Claude Thibeault, codirecteur
Département de génie électrique à l'École de technologie supérieure

M. François Gagnon, président du jury
Département de génie électrique à l'École de technologie supérieure

M. Jean Belzile, membre du jury
Département de génie électrique à l'École de technologie supérieure

IL A FAIT L'OBJET D'UNE SOUTENANCE DEVANT JURY ET PUBLIC

LE 17 NOVEMBRE 2005

À L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE

RÉALISATION D'UN BANC D'ESSAI POUR L'ÉTUDE D'ARCHITECTURES DE SYSTÈMES RF INTELLIGENTS

Pierre-Paul Carpentier

SOMMAIRE ABRÉGÉ

Le concept des systèmes RF intelligents présenté dans ce mémoire de maîtrise cible la partie radiofréquence (RF) des circuits électroniques dans les appareils de télécommunication sans fil. Le mémoire est axé sur la réalisation d'un banc d'essai pour vérifier des circuits, des architectures ou des idées en relation aux systèmes RF intelligents. La première partie du document est consacrée à une revue de littérature sur les systèmes RF intelligents afin de faire le point sur ce sujet relativement nouveau et d'énoncer les besoins pour définir l'architecture du banc d'essai. La deuxième partie est dédiée à la réalisation du banc d'essai qui est composé d'un mélange de systèmes commerciaux et d'un circuit imprimé fait pendant la maîtrise. La dernière partie porte sur la vérification du fonctionnement du banc d'essai et sur deux applications réalisées avec ce dernier. Le mémoire constitue donc un document de référence contenant des informations sur les systèmes RF intelligents.

RÉALISATION D'UN BANC D'ESSAI POUR L'ÉTUDE D'ARCHITECTURES DE SYSTÈMES RF INTELLIGENTS

Pierre-Paul Carpentier

SOMMAIRE

Le concept des systèmes RF intelligents présenté dans ce mémoire de maîtrise cible la partie radiofréquence des circuits électroniques dans les appareils de télécommunication sans fil. Le mémoire est axé sur la réalisation d'un banc d'essai pour vérifier des circuits, des architectures ou des idées en relation aux systèmes RF intelligents.

Une partie de ce document est consacrée à une revue de littérature sur les systèmes RF intelligents afin de faire le point sur ce sujet relativement nouveau et d'énoncer les besoins pour définir l'architecture du banc d'essai. Une autre partie du document est dédiée à la réalisation du banc d'essai qui est composé d'un mélange de systèmes commerciaux et d'un circuit imprimé fait pendant la maîtrise. La dernière partie du document porte sur la vérification du fonctionnement du banc d'essai et sur deux applications réalisées avec ce dernier. Ces deux applications ont d'ailleurs été présentées dans des articles de conférence publiés lors de la maîtrise.

Durant le projet de maîtrise, la fabrication du circuit imprimé et la programmation du fonctionnement du banc d'essai ont occupé la plus grande partie du temps. Dans l'ensemble, le banc d'essai rencontre les objectifs fixés si on considère sa flexibilité et ses performances. Il a même permis d'identifier plusieurs problématiques au niveau pratique en ce qui concerne la réalisation des systèmes RF intelligents. De plus, un stagiaire du groupe de recherche a réalisé une interface graphique sur ordinateur afin d'interagir avec le banc d'essai.

Bref, le projet de maîtrise a permis de mettre en place un banc d'essai pour la réalisation d'applications en relation avec les systèmes RF intelligents. Il sera très utile auprès du groupe de recherche du LACIME qui s'intéresse à ces systèmes. De plus, le mémoire constitue un document de référence contenant des informations sur les systèmes RF intelligents.

REMERCIEMENTS

Je tiens à remercier le professeur Ammar Kouki pour sa confiance et son support dans la réalisation de ce projet de recherche. Les échanges avec lui et ses nombreux conseils m'ont permis d'orienter efficacement le déroulement du projet et d'alimenter continuellement mon intérêt face au sujet. J'ai grandement apprécié l'étape de la maîtrise pas seulement à cause du sujet intéressant mais parce que j'avais une bonne relation de travail avec mon directeur.

Je remercie le professeur Claude Thibeault pour la co-direction de mes travaux et pour son aide au niveau technique en ce qui concerne la microélectronique.

Merci également aux gens du Laboratoire de communications et d'intégration de la microélectronique (LACIME) pour l'aide qu'ils ont fournie à différents stades de mon projet.

Enfin, merci à monsieur Gwénaél Poitou pour la collaboration à la rédaction des articles et à monsieur Mohamed Hached pour ses travaux sur l'interface graphique pour le banc d'essai.

TABLE DES MATIÈRES

	Page
SOMMAIRE.....	i
REMERCIEMENTS.....	ii
TABLE DES MATIÈRES.....	iii
LISTE DES FIGURES.....	v
LISTE DES ABRÉVIATIONS ET SIGLES.....	vii
INTRODUCTION.....	1
CHAPITRE 1 LES SYSTÈMES RF INTELLIGENTS.....	5
1.1 Les principaux acteurs.....	6
1.1.1 Initiative 1.....	6
1.1.2 Initiative 2.....	8
1.1.3 Recherche et développement.....	11
1.2 Architecture désirée.....	13
1.3 Technologie disponible pour l'architecture désirée.....	16
1.3.1 Aspect RF.....	17
1.3.2 Aspect numérique.....	20
1.3.3 Aspect intégration.....	21
1.4 Conclusion.....	26
CHAPITRE 2 RÉALISATION D'UN BANC D'ESSAI POUR L'ÉTUDE D'ARCHITECTURES DE SRFI.....	27
2.1 Définition de l'architecture.....	27
2.1.1 Flexibilité.....	28
2.1.2 Facilité d'utilisation.....	30
2.1.3 Réduction du temps de développement.....	31
2.1.4 Faible coût.....	31
2.2 Description détaillée de l'architecture.....	33
2.2.1 RPP.....	34
2.2.2 DSK.....	38
2.2.3 Carte interface.....	39
2.3 Réalisation de la carte interface.....	41
2.3.1 Lien avec le FPGA.....	41
2.3.2 Lien avec le DSP.....	42
2.3.3 Les convertisseurs CAN et CNA.....	48
2.3.4 Alimentation et autres circuits.....	53

2.3.5	Réalisation du circuit imprimé.....	55
2.4	Comportement du banc d'essai.....	71
2.5	Conclusion.....	77
CHAPITRE 3 TEST DU BANC D'ESSAI ET APPLICATIONS.....		78
3.1	Test de la fonctionnalité.....	78
3.1.1	Test 1 : chaîne CAN et CNA.....	78
3.1.2	Test 2 : mémoires et CNA.....	81
3.1.3	Test 3 : DSK.....	85
3.2	Applications.....	86
3.2.1	Application 1 : architecture LINC.....	87
3.2.2	Application 2 : composantes RF variables.....	93
3.3	Discussion sur le banc d'essai.....	97
CONCLUSION.....		101
ANNEXES		
1	: Schéma électrique du circuit imprimé réalisé durant le projet.....	103
2	: Article de conférence : An integrated digital platform for rapid evaluation of novel wireless architectures.....	111
3	: Article de conférence : A flexible digital platform for real-time control of RF components with application to MIMO channel emulation.....	116
TABLEAUX		
I	: Principaux aspects technologiques des SRFI.....	17
II	: Résultats pour la première application.....	92
BIBLIOGRAPHIE.....		121

LISTE DES FIGURES

	Page
Figure 1	Contexte d'opération d'un système de communication sans fil..... 1
Figure 2	Architecture générale d'un système de communication sans fil..... 2
Figure 3	Intelligence RF au niveau du contexte d'opération..... 3
Figure 4	Architecture simplifiée d'un SRFI..... 7
Figure 5	Architecture désirée pour un SRFI à l'émetteur..... 13
Figure 6	Architecture idéale d'un récepteur pour un RRL..... 15
Figure 7	Relations de performance pour la technologie CMOS..... 22
Figure 8	Différentes technologies pour l'intégration..... 25
Figure 9	Partie numérique du banc d'essai..... 34
Figure 10	Architecture de la carte mère integrator/AP..... 35
Figure 11	Architecture de la carte Integrator/LT-XC2V4000+..... 36
Figure 12	Architecture de la carte Integrator/IM-LT1..... 37
Figure 13	Architecture de la carte Integrator/CM7TDML..... 38
Figure 14	Face supérieure de la carte DSK..... 39
Figure 15	Architecture de la carte interface..... 40
Figure 16	Répartition des signaux sur les connecteurs du module..... 42
Figure 17	Signaux de l'interface mémoire du DSP..... 43
Figure 18	Simulation de la terminaison d'une ligne de transmission..... 44
Figure 19	Signaux au FPGA avec et sans terminaison..... 45
Figure 20	Signaux au FPGA et sur la porte de transfert avec et sans terminaison..... 47
Figure 21	Courant de la source avec et sans terminaison..... 48
Figure 22	Disposition des cartes Integrator dans le boîtier..... 57
Figure 23	Disposition de la carte DSK et la carte interface..... 59
Figure 24	Couches extérieures pour la carte interface..... 61
Figure 25	Couches intérieures pour la carte interface..... 62

Figure 26	Circuit pour la simulation du couplage diaphonique.....	65
Figure 27	Effet du couplage diaphonique.....	65
Figure 28	Structure des couches de la carte interface.....	67
Figure 29	Carte interface avec composants.....	69
Figure 30	Partie numérique du banc d'essai.....	70
Figure 31	Boîtier d'ordinateur avec le banc d'essai.....	71
Figure 32	Différents logiciels associés aux circuits numériques.....	72
Figure 33	Système avec bus AMBA dans le FPGA.....	73
Figure 34	Interconnexion entre les parties numériques.....	74
Figure 35	Montages pour le premier test.....	79
Figure 36	Constellations et spectres pour le premier test.....	80
Figure 37	Montage pour le deuxième test.....	82
Figure 38	Constellation et spectre pour le deuxième test.....	83
Figure 39	Signal temporel I en bande de base pour le deuxième test.....	84
Figure 40	Spectre de la source ESG et du banc d'essai pour le signal I du deuxième test.....	85
Figure 41	Montage pour le troisième test.....	86
Figure 42	Schéma bloc général d'une architecture LINC.....	87
Figure 43	Montage pour la première application.....	88
Figure 44	Aspect physique des 2 blocs RF utilisés dans la première application.....	89
Figure 45	Assemblage final pour la partie RF de la première application.....	90
Figure 46	Comparaison du spectre pour la première application.....	91
Figure 47	Constellation pour la première application.....	92
Figure 48	Montage pour la deuxième application.....	94
Figure 49	Caractéristique d'alimentation pour l'atténuateur variable.....	95
Figure 50	Constellations pour la deuxième application.....	96

LISTE DES ABRÉVIATIONS ET SIGLES

ASIC	Application Specific Integrated Circuits
BiCMOS	Bipolar CMOS
CAN	Convertisseur Analogique à Numérique
CISC	Complex Instruction Set Computer
CMC	Canadian Microelectronics Corporation
CMOS	Complementary Metal Oxide Semiconductor
CNA	Convertisseur Numérique à Analogique
DARPA	Defense Advanced Research Projects Agency
DEL	Diode électroluminescente
DSP	Digital Signal Processor
EVM	Error Vector Magnitude
FET	Field Effect Transistor
FI	Fréquence Intermédiaire
FPGA	Field Programmable Gate Array
HBT	Heterojunction Bipolar Transistor
LACIME	Laboratoire de communications et d'intégration de la microélectronique
LNA	Low Noise Amplifier
MCM	MultiChip Module
MEMS	Micro-Electro-Mechanical Systems
MMIC	Monolithic Microwave Integrated Circuits
Msp/s	Mega symboles par seconde
PA	Power Amplifier
PIN	Positive-Intrinsic-Negative
RAIV	Réseau d'Adaptation d'Impédance Variable
RF	RadioFréquence
RISC	Reduced Instruction Set Computer
RMS	Root Mean Square

RPP	Rapid Prototyping Platform
RRL	Radio Réalisé par Logiciel
SDR	Software Defined Radio
SIP	System-In-Package
SOC	System-On-Chip
SOP	System-On-Package
SRFI	Système RF Intelligent
TFT	Thin Film Technology
VHDL	Very high speed integrated circuit Hardware Description Language

INTRODUCTION

Les systèmes de télécommunication sans fil ont pris une place importante dans nos modes de vie quotidiens et ce aussi bien d'un point de vue personnel que professionnel. Ils permettent de communiquer avec d'autres en échangeant de l'information comme la voix, les textes, les images et les vidéos. Ils sont aussi utilisés pour assurer la sécurité à différents niveaux comme dans le domaine de l'aviation, pour la police, pour les astronautes et les surtout pour les militaires. L'objectif premier de ces systèmes est de faire un lien d'information sans fil entre deux endroits séparés par une certaine distance. Dans ce cas, le canal de propagation de l'information est l'air. De plus en plus, ces appareils voient leurs dimensions diminuer comme dans le cas des téléphones portables et des appareils miniaturisés utilisés en biotechnologie. La figure 1 présente ces différents aspects où d_{AB} est la distance entre un appareil A et un appareil B alors que d_A et d_B représentent les dimensions respectives des ces derniers.

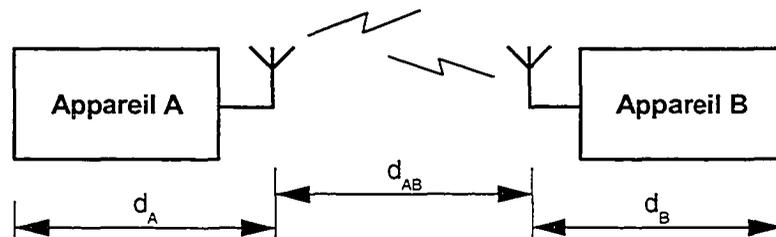


Figure 1 Contexte d'opération d'un système de communication sans fil

C'est le contexte d'opération du système. La distance d_{AB} a un impact sur la puissance nécessaire des signaux propagés dans l'air et sur la sensibilité que doivent avoir chacun des appareils. Tandis que les distances d_A et d_B ont un impact sur le type d'application qui peut être réalisé. De plus, l'ensemble de ces éléments a une influence directe sur le coût de l'appareil ou du système. Évidemment, on recherche des systèmes ayant une efficacité maximale d'un point de vue aussi bien énergétique que d'un point de vue fréquentiel.

De manière générale, la structure d'un appareil ou d'un système de télécommunication comporte 3 parties qui couvrent l'ensemble des fonctionnalités fondamentales nécessaires. Il y a premièrement l'interface entre l'utilisateur et l'appareil, c'est-à-dire l'écran, la souris, le clavier, la caméra, le haut parleur, le micro, le réseau, etc. Deuxièmement, la partie bande de base numérique transforme les informations entre l'interface usager et la troisième partie qui est celle RF (radiofréquence). Cette dernière est composée de 4 sections qui font le lien entre la partie bande de base et les signaux RF qui sont à la fréquence de la porteuse. Il y a une section FI/RF (fréquence intermédiaire, radiofréquence) pour la réception et une pour l'émission avec une structure qui dépend du type de modulation. Ces sections sont généralement composées de modulateurs, de mélangeurs, d'amplificateurs, de filtres, d'oscillateurs locaux, etc. La partie RF comporte aussi une section avec un duplexeur ou diplexeur qui sépare les signaux entrants et sortants de l'antenne. La dernière section est l'antenne qui transforme les signaux RF en ondes électromagnétiques pour l'émission et vice versa pour la réception. La structure et l'efficacité de l'antenne dépendent de la fréquence d'utilisation et du contexte d'opération. La figure 2 illustre cette description pour un système sans fil émetteur-récepteur.

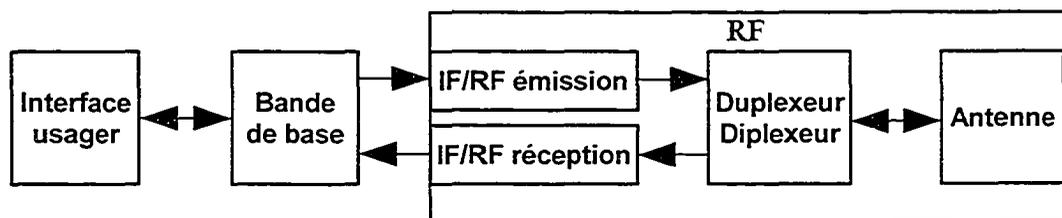


Figure 2 Architecture générale d'un système de communication sans fil

Donc ces trois parties permettent à l'utilisateur d'échanger de l'information avec un autre appareil en utilisant les ondes électromagnétiques comme lien de communication. La tendance actuelle dans les systèmes sans fil est axée sur les technologies convergentes c'est-à-dire que les différentes applications ou fonctionnalités sont intégrées dans un même appareil. Il en résulte que les contraintes de conception et les composantes

changent et s'adaptent aux multiples nouveaux besoins et problèmes créés par les exigences imposées sur le produit fini. Le concept d'intelligence RF est relativement nouveau et s'attaque à différents problèmes associés aux technologies sans fil. Il existe différentes définitions pour ce concept mais il est possible de les regrouper en deux grandes catégories. La première englobe tout ce qui touche au canal de propagation et à la configuration de ce dernier. Ceci implique l'analyse de la propagation des ondes électromagnétiques entre les appareils en tenant compte de l'environnement et des interférences autour des appareils. De cette manière, il est possible de gérer la qualité d'un service sans fil en modifiant la configuration des appareils ou des signaux (Airespace, 2003; Alcatel, 2004; Cognio, 2004). La figure 3 (Alcatel, 2004) montre un exemple pour ce type de système.

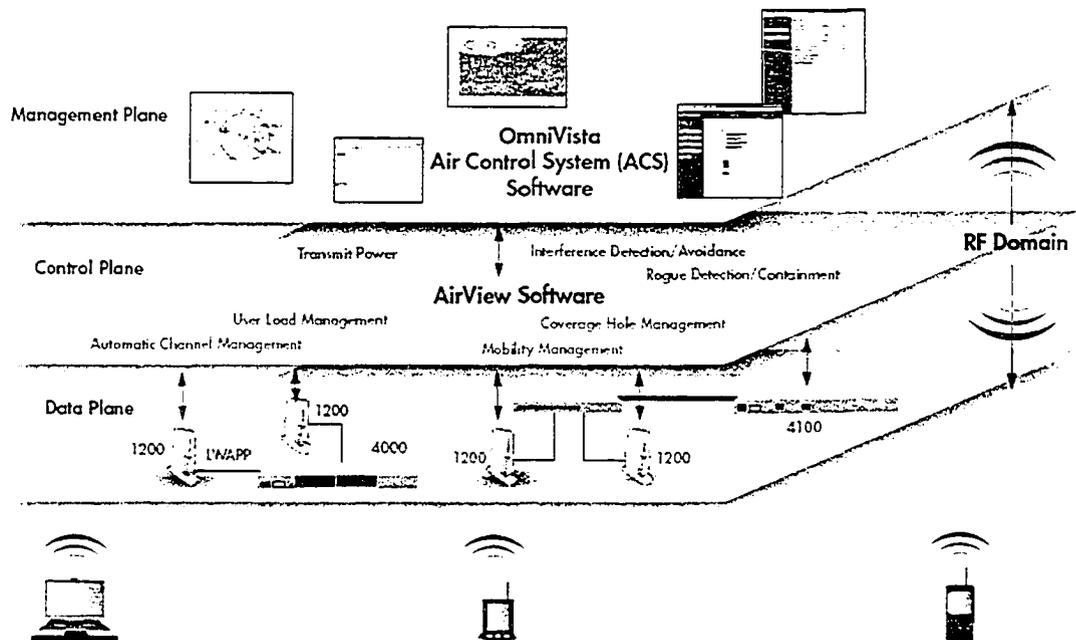


Figure 3 Intelligence RF au niveau du contexte d'opération
(Alcatel, 2004)

Dans cette catégorie, on peut aussi ajouter les configurations de réseaux coopératifs dans lesquels la dimension et la nature des cellules varient de manière dynamique (Lippman, 2002; Lippman & P.Reed, 2003). Pour ces différents cas, l'intelligence RF se situe au

niveau de la gestion du lien RF proprement dit, c'est-à-dire la gestion du contexte d'opération.

L'autre grande catégorie vise l'architecture même des systèmes et plus précisément la partie RF d'un système sans fil (section FI/RF d'émission/réception, duplexeur/diplexeur et antenne dans la figure 2). Dans ce cas, l'intérêt est porté vers la nature et la relation entre les différentes composantes qui sont intégrées dans la partie RF d'un appareil. C'est cet aspect de l'intelligence RF qui fait l'objet de ce projet de maîtrise. L'objectif principal, comme le mentionne le titre, consiste à développer un banc d'essai qui sera utilisé pour faire l'étude de nouvelles architectures ou de nouveaux concepts concernant les systèmes RF intelligents (SRFI). Dans le premier chapitre, il y a une mise en contexte dans laquelle sont présentés les différentes initiatives, les principaux acteurs et les aspects technologiques concernant les SRFI. Le deuxième chapitre porte sur la conception et la réalisation du banc d'essai. Le troisième chapitre présente la fonctionnalité et les caractéristiques du banc d'essai avec des tests fonctionnels et des exemples d'applications réalisées. La conclusion résume les principaux aspects des SRFI, le rôle et l'impact du banc d'essai et les perspectives pour ce domaine en général.

CHAPITRE 1

LES SYSTÈMES RF INTELLIGENTS

La partie RF d'un système de communication sans fil est constituée de différentes composantes passives ou actives qui sont reliées entre elles de manière bien précise en fonction de l'application. Normalement, lorsque le circuit est assemblé, il n'est plus possible de modifier le comportement ou les caractéristiques de ce dernier si l'application change. De plus, il est difficile de corriger les effets non-désirables causés par le vieillissement des composantes ou par un changement quelconque dans l'environnement physique. Les SRFI possèdent cette capacité de modifier leurs caractéristiques en fonction de besoins spécifiques qui changent dans le temps. De cette manière, il est possible d'ajuster la partie RF d'un système de communication à un contexte particulier et de compenser pour le vieillissement ou le comportement non-linéaire des composantes. Ce nouveau type de système qui est en quelque sorte conscient de son environnement et de lui-même permet d'obtenir de meilleures performances ou encore d'être utile à plusieurs applications.

Ce chapitre est divisé en trois parties qui permettent de faire une mise en contexte sur les SRFI. Premièrement, les principaux acteurs sont identifiés en présentant deux initiatives, trois contrats et la recherche en relation avec les SRFI. Ensuite, il y a une brève description de l'architecture désirée pour ce type de système. Finalement, la technologie disponible pour l'architecture désirée est présentée. Ce résumé sur les SRFI permet de montrer le contexte motivant la réalisation du banc d'essai.

1.1 Les principaux acteurs

1.1.1 Initiative 1

La première initiative majeure concernant les SRFI a été mis en place par le DARPA (Defense Advanced Research Projects Agency) en juillet 2001. Cette initiative a pris le forme d'une sollicitation d'appels d'offre pour des projets ayant un lien avec les différents objectifs concernant les SRFI (DARPA, 2001). Lors du lancement de ce programme, le superviseur était le Dr. Edgar J. Martinez.

En résumé, selon le DARPA, le concept d'un SRFI signifie que le comportement d'un système RF est contrôlé par une partie numérique. Ce système est constitué d'une composante RF passive ou active qui est dans un format très compact et intégré. Il comporte aussi des circuits intégrés numériques qui assurent la gestion de l'état de la composante RF en s'ajustant aux différents changements qui peuvent survenir. Ces changements peuvent être liés à des modifications dans l'environnement de la composante ou encore à des nouveaux besoins fonctionnels pour d'autres modes d'opération.

Pour illustrer ce concept, le DARPA utilise l'exemple suivant. Les circuits actuels de type MMIC (Monolithic Microwave Integrated Circuits) possèdent des caractéristiques intrinsèques qui font en sorte qu'ils peuvent être utilisés sur une large bande de fréquence. Par contre, pour une fonction précise comme un amplificateur de puissance, les réseaux d'adaptation d'impédance fixes à l'entrée et à la sortie limitent son fonctionnement sur une bande de fréquence restreinte. Une solution à ce problème est d'utiliser un SRFI qui possède des réseaux d'adaptation d'impédance variables (RAIV) pour ainsi ajuster la plage d'opération de l'amplificateur. Dans ce cas, la partie numérique gère l'état des RAIV pour l'utilisation sur la plage de fréquence voulue. Ceci permet d'augmenter les performances de la composante et d'ajuster ses caractéristiques en

fonction du mode de fonctionnement ou de la plage de fréquence d'opération. La figure 4 inspirée de (Martinez, 2002) présente de manière simplifiée l'architecture d'un SRFI de ce type. Ce dernier possède quatre sections distinctes dont la section principale qui consiste en une composante RF conventionnelle. Les trois autres sections permettent au SRFI de changer de configuration afin de contrôler le comportement. Premièrement, à l'entrée et à la sortie de la composante RF, il y a les RAIV qui sont reliés à la partie numérique. Ensuite, les détecteurs intégrés situés dans les RAIV et à la sortie du système permettent de connaître l'état du circuit. Finalement, la section numérique fait l'acquisition des différents paramètres provenant des détecteurs, effectue le traitement de ces informations et contrôle l'état des RAIV de manière à ajuster le comportement du SRFI.

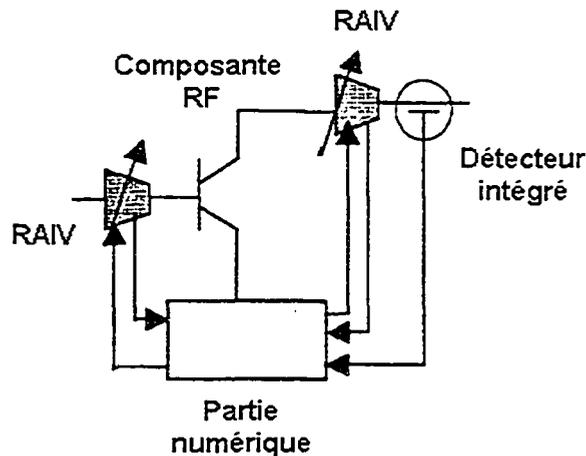


Figure 4 Architecture simplifiée d'un SRFI (Martinez, 2002)

En prenant en considération cette structure pour les SRFI, voici un résumé des suggestions et objectifs du DARPA. Les MEMS (Micro-Electro-Mechanical Systems) font partie du type de technologie à privilégier pour les RAIV qui pourraient être intégrés dans les procédés de fabrication MMIC. Ils constituent aussi un candidat de choix à cause de leur propriété de mobilité physique. Pour la partie numérique, les technologies à base de silicium sont le choix idéal vu le niveau d'intégration et de complexité qu'ont atteint ces dernières. De plus, il est recommandé de tirer profit des performances des

éléments chimiques des groupes III et V pour la composition des semiconducteurs (GaAs, InP, InSb, InAsSb, AlGaAs, GaInP, InGaAs, GaN, AlN, GaInAsP).

L'initiative proposée par le DARPA est divisée en deux phases et la première phase d'une durée minimale de trois ans vise la démonstration de concepts à différents niveaux pour la réalisation des SRFI. Les principaux points d'intérêt sont les concepts touchant l'architecture des composantes, les procédés de fabrication et les technologies d'intégration. La deuxième phase vise la démonstration de systèmes complets utilisant les composantes et les technologies développées durant la première phase.

Donc l'initiative vise particulièrement l'innovation dans les secteurs suivants: l'étude de concepts de base pour les SRFI, l'asservissement de fonctions RF, le développement de RAIV, la démonstration d'algorithmes numériques pour le contrôle de circuits RF et l'utilisation de techniques d'intégration pour les différentes parties. Ces innovations devraient se traduire par la réalisation de systèmes multifonctions qui seront plus performants à différents niveaux (fréquence, puissance, dimension, etc).

1.1.2 Initiative 2

La deuxième initiative concernant les SRFI a pris la forme d'un atelier qui a eu lieu en juin 2002 pendant le Symposium International sur les micro-ondes (IEEE-MTT-S, 2002). Les principaux objectifs de cet atelier étaient de promouvoir auprès de la communauté académique et industrielle ce nouveau type de technologie et de permettre l'échange d'idées concernant la réalisation de ces systèmes intelligents. L'atelier était donc un événement visant à définir les problématiques de base entourant les SRFI en dressant un portrait d'ensemble des possibilités, avantages et inconvénients de cette nouvelle technologie. Le Dr. Edgar J. Martinez était le responsable de l'atelier et en guise d'introduction, il a énoncé les concepts de base concernant les SRFI tels que présentés dans la première initiative. Il y a eu 6 autres présentations dont 4 concernant les

technologies de base pour la réalisation des SRFI et 2 montrant les perspectives commerciales pour ces nouvelles technologies. Les différents participants provenaient du milieu académique (professeurs, laboratoires de recherche) et commercial (entreprises en télécommunication et fabricants de composants et de systèmes électroniques). Voici un résumé des points importants à retenir pour ces 6 présentations.

- L'évolution de la réduction à l'échelle de la technologie CMOS (Complementary Metal Oxide Semiconductor) et l'amélioration des interconnexions rendent possible la réalisation de systèmes ayant une certaine intelligence. Par exemple, l'utilisation d'un grand nombre de réseaux neuronaux en parallèles devrait permettre d'obtenir un système qui possède les facultés pour gérer son état et qui peut s'adapter à différents environnements ou à un changement dans le contexte d'opération. Donc, les avancements de la technologie des circuits intégrés numériques et les différents algorithmes développés seront nécessaires pour faire le suivi et le contrôle de la partie RF.
- Du côté RF, l'évolution des technologies MEMS apporte des éléments plus performants pour réaliser des RAIV et des filtres ajustables. En effet, les commutateurs de type MEMS offrent plusieurs avantages par rapport à ceux de type FET (Field effect Transistor) ou PIN (Positive-Intrinsic-Negative). Il est présentement possible de réaliser un RAIV qui peut couvrir une grande plage d'impédance avec une faible consommation de puissance pour maintenir le contact, une bonne isolation et ce pour des fréquences d'opération élevées. Par contre, le temps de transition des interrupteurs est relativement long et la puissance qui peut circuler dans ces derniers est encore limitée. Pour la réalisation de filtres ajustables, les varacteurs de types MEMS offrent de bons facteurs de qualité (Q) à des fréquences d'opération élevées sauf qu'ils nécessitent une boucle de rétroaction pour compenser les variations de capacité causées par les changements de température et autres facteurs physiques.
- Certaines caractéristiques des composants RF actuelles peuvent être optimisées

par le biais de méthodes de correction et d'ajustement. Par exemple, il est possible d'améliorer les performances d'un amplificateur de puissance au niveau du transmetteur en effectuant une prédistorsion numérique et/ou un ajustement continu de la tension d'alimentation de l'amplificateur. Le but est d'utiliser des moyens numériques pour étendre la fonctionnalité des circuits RF actuels. Pour obtenir ces améliorations, il est premièrement nécessaire d'employer des méthodes qui permettent de connaître l'état ou la condition de la fonction RF que l'on veut améliorer. Ensuite, il faut être en mesure de modifier ou contrôler l'état du système et finalement, il est nécessaire de faire appel à des algorithmes et des fonctions de contrôle qui permettent de gérer le comportement du système.

- Donc l'évolution de la technologie autant du côté numérique que RF permet de réaliser des SRFI. En plus d'améliorer les performances des composantes ou systèmes actuels, les SRFI sont le point d'entrée pour les systèmes adaptatifs multifonctions. Ces derniers offrent l'avantage d'utiliser un seul système ou radio pour différentes applications. Cette caractéristique est très intéressante pour le marché des systèmes de communication sans fil et aussi pour les différentes applications militaires. Le principal problème pour l'obtention de cette caractéristique est d'avoir à manipuler des signaux RF à des fréquences et des amplitudes qui peuvent varier sur une grande plage. Par exemple, ceci implique l'utilisation d'amplificateurs ayant une très grande plage dynamique, une bonne linéarité et ce sur une large plage de fréquence. Ces caractéristiques sont valides autant au niveau de l'émetteur (PA – Power Amplifier) que du récepteur (LNA – Low Noise Amplifier). Il est à noter que la principale lacune concernant les systèmes multifonctions est l'incapacité actuelle de faire des explorations architecturales en utilisant des logiciels de conception et de simulation. De plus, il faut être conscient que les principaux intéressés pour ces systèmes intelligents se situent au niveau commercial et militaire et que ces deux domaines ont des objectifs, des besoins et des moyens différents.
- En ce qui concerne les perspectives commerciales pour les systèmes intelligents et

les concepts associés, il faut mentionner que ces derniers vont permettre d'améliorer les performances des différentes composantes RF conventionnelles en utilisant des RAIV et d'autres structures ajustables. De plus, ils vont contribuer à l'évolution des systèmes et des applications avec des composantes moins volumineuses et moins coûteuses en offrant un meilleur contrôle sur la consommation de puissance et les caractéristiques en fréquence. Ce nouveau paradigme dans les circuits RF a comme objectif d'avoir des systèmes multifonctions qui peuvent s'ajuster de manière automatique aux conditions de fonctionnement en utilisant des détecteurs, des algorithmes de contrôle et des composantes ajustables.

1.1.3 Recherche et développement

En novembre 2002, la compagnie BAE Systems annonce qu'elle a obtenue trois contrats avec le DARPA dans le but de développer de la technologie de pointe pour la nouvelle génération d'émetteur-récepteur radio numériques et des systèmes RF pour le domaine militaire (BAE, 2002). Le premier contrat (TEAM - Technology for Efficient, Agile Mixed Signal Microsystem) vise l'intégration des parties numériques et RF sur un même semiconducteur comme pour un SOC (System-on-a-chip). Cette technique permet d'éliminer les différents problèmes d'interconnexion associés aux systèmes ayant plusieurs circuits intégrés. De plus, avec l'utilisation d'un seul circuit à base de silicium, il est possible d'avoir des systèmes à faibles coûts, qui prennent moins de place et qui consomment moins de puissance. Le deuxième contrat (IRFFE - Intelligent RF Front Ends) met l'emphase sur la configuration, la variabilité et le contrôle des différentes parties RF qui composent les émetteurs-récepteurs dans le but d'obtenir des systèmes qui peuvent s'adapter en temps réel aux différents changements qui peuvent survenir. Ceci implique la réalisation d'amplificateurs RF pour lesquels il est possible de varier la plage de fréquence d'opération et le gain. Le troisième contrat (TFAST - Technology for Frequency Agile Digitally Synthesized Transmitters) a comme objectif de développer

des transistors bipolaires à hétérojonction (HBT - Heterojonction bipolar transistor) pour obtenir des circuits intégrés qui sont beaucoup plus performants que ceux réalisés avec les technologies actuelles et ce avec une diminution significative de la consommation de puissance.

Donc avec ces deux initiatives et ces différents contrats, on remarque que les principaux intervenants sont dans le secteur militaire. Par contre, il faut noter que normalement, les nouvelles technologies prennent racine à partir d'initiatives militaires et ensuite le secteur commercial en profite et s'adapte en fonction de ses besoins ou de ce qui est disponible. Même si ces deux secteurs ont des besoins et objectifs différents, il en reste que les concepts et la technologie de base des SRFI peuvent être appliqués dans les deux.

Du côté académique, durant l'année 2002, un groupe de recherche de l'université Aalborg au Danemark a démarré un projet relié aux systèmes de communications sans fil intelligents (Larsen, 2002). La problématique de recherche globale est de définir une architecture autant logicielle que matérielle pour créer des systèmes multifonctions qui peuvent manipuler des signaux modulés à enveloppe constante et variable (plusieurs modes d'opération). Les principaux objectifs sont d'avoir des systèmes qui peuvent obtenir de l'information sur leur conditions d'opération, qui sont en mesure d'apporter un ajustement sur les performances et qui utilisent des méthodes de compensations adaptatives pour le contrôle et la linéarisation des composantes de la partie RF. Il y a deux projets de doctorat qui s'inscrivent dans cet axe de recherche dont un qui s'intéresse plus particulièrement à l'architecture que devrait avoir un système intelligent pour rencontrer les objectifs fixés et être compatible avec les radios réalisées par logiciel (RRL, SDR - Software Defined Radio) (Huang, 2002). L'autre projet de doctorat vise particulièrement le développement de techniques de linéarisation pour les amplificateurs de puissance ou d'autres éléments de la chaîne RF (Nielsen, 2002). Ces techniques de linéarisation sont destinées aux systèmes portables et seront intégrées en utilisant la technologie CMOS. Évidemment, la réduction des coûts de production et de l'espace

occupé pour les composantes et les systèmes sont des caractéristiques inévitables recherchées.

1.2 Architecture désirée

Le survol des principaux acteurs et projets permet de connaître et comprendre les différentes caractéristiques des SRFI. En général, on peut dire que la structure d'un SRFI a deux parties principales soit une RF et une numérique. L'architecture est semblable à celle d'un système de communication conventionnel avec quelques modifications et ajouts dans la chaîne FI/RF. Dans cette dernière, certains éléments de base (oscillateur local, filtres, réseau d'adaptation d'impédance, polarisation de l'amplificateur, ...) sont variables. Il y a une partie numérique qui contrôle le comportement du système en fonction de l'information provenant des détecteurs, des algorithmes, des contraintes et des besoins pour le mode d'opération. Le schéma bloc de la figure 5 montre les différentes parties pour l'architecture désirée au niveau de l'émetteur.

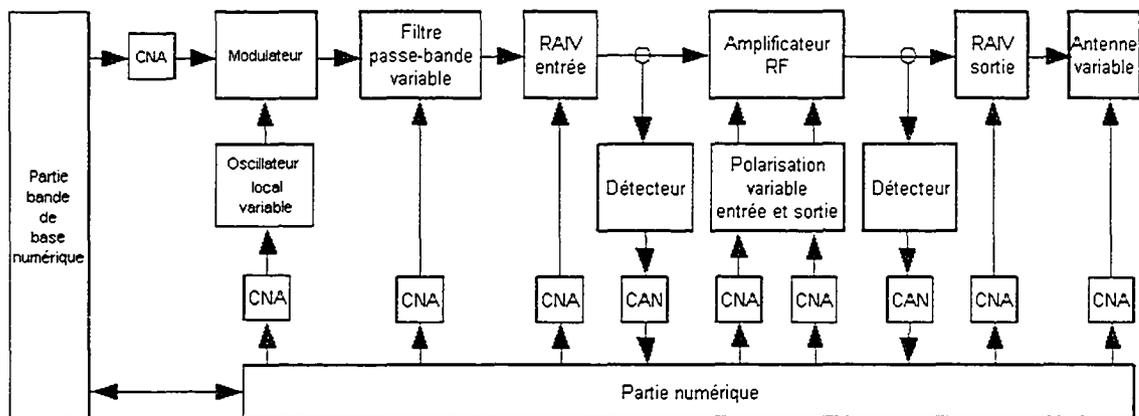


Figure 5 Architecture désirée pour un SRFI à l'émission

Donc on remarque que la partie numérique est reliée à tous les autres blocs de la chaîne RF pour ainsi assurer la gestion des différents paramètres du système. Les détecteurs permettent d'observer les signaux du système en mesurant la différence d'amplitude et de

phase entre deux points dans le circuit ou encore en mesurant le niveau de puissance à un certain point du circuit. L'autre aspect important des SRFI est la capacité de modifier le comportement du circuit en utilisant des composantes ajustables. Les RAIV permettent d'optimiser le transfert d'énergie entre deux composantes en fonction de la fréquence d'opération. Les filtres passe-bande accordables sont nécessaires pour ajuster les caractéristiques du filtre tel que la fréquence centrale et la bande passante. Ces éléments permettent principalement de modifier la plage d'opération en fréquence de la chaîne RF. Ils peuvent aussi servir à corriger des effets indésirables dans la chaîne comme les non-linéarités des composantes ou l'effet de la température.

Évidemment l'utilisation de convertisseurs analogique à numérique (CAN) et numérique à analogique (CNA) est nécessaire pour échanger de l'information entre le domaine numérique et le domaine analogique. Ceci implique que le contrôle et la détection de l'état du système va se faire via des tensions ou courants analogiques. Donc les détecteurs fournissent une tension ou un courant qui suit une fonction connue (tension proportionnelle à la puissance ou à la différence de phase ou d'amplitude). Les éléments ajustables sont contrôlés en utilisant des tensions ou courants qui vont avoir un effet connu sur la composante visée (variation de l'impédance en fonction d'une tension de contrôle ou ajustement de la fréquence centrale d'un filtre passe-bande à l'aide d'une tension). La partie numérique traite les signaux acquis selon un algorithme prédéfini et génère les signaux de contrôle pour ajuster le comportement de la chaîne RF en fonction des contraintes et besoins du mode d'opération. Il est à noter que la partie numérique utilisée pour les SRFI pourrait être intégrée à la partie bande de base numérique utilisée dans la plupart des systèmes de communication.

Un autre élément important à considérer et qui n'est pas explicitement indiqué dans le schéma est d'avoir des techniques d'intégration qui vont mettre en relation les différentes parties du système. Il faut par exemple réunir sur un même substrat ou dans un même procédé de fabrication des composantes RF (MEMS ou autres), des composantes numériques et les connexions nécessaires entre les deux parties.

L'objectif d'avoir un système qui fonctionne sur une plage de fréquence variable n'est pas unique au SRFI. En effet, la section RF d'un RRL vise sensiblement les mêmes objectifs en utilisant une banque de filtres, des sélecteurs/interrupteurs et un RAIV. La figure 6 tiré de (Reed, 2002) présente le schéma bloc de la section RF idéale d'un récepteur à conversion directe pour un RRL.

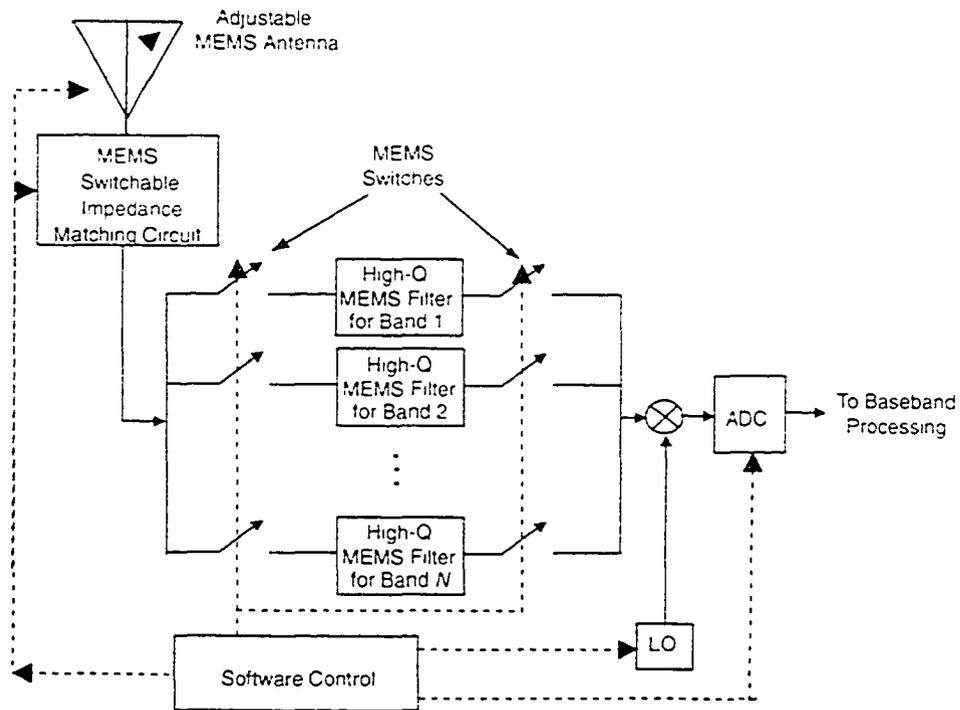


Figure 6 Architecture idéale d'un récepteur pour un RRL (Reed, 2002)

Un fait à remarquer est que le RRL utilise une banque de filtre au lieu d'avoir des filtres accordables comme pour le SRFI. Ensuite, l'architecture du RRL n'offre pas un asservissement complet des différentes parties ajustables alors que le SRFI possède des boucles de rétroaction pour ajuster les différentes caractéristiques.

1.3 Technologie disponible pour l'architecture désirée

En considérant la description de la section précédente, il y a 3 trois principaux aspects technologiques à retenir pour l'architecture désirée: 1-l'aspect RF, 2-l'aspect numérique et 3-la mise en commun des aspects RF et numérique. Dans cette section, il y a un résumé de l'état de l'art pour ces trois aspects. Ces derniers sont subdivisés en différentes parties qui ne sont pas toutes au même niveau d'évolution. Certaines sont encore dans une étape de développement et font l'objet de recherches actives. D'autres ont atteint un certain degré de maturité et sont utilisées dans le secteur militaire, commercial ou pour certaines applications spécialisées.

L'aspect RF englobe les composantes d'une chaîne RF conventionnelle, la partie qui permet les ajustements, les détecteurs et les logiciels (conception, simulation et fabrication). Pour le côté numérique, il y a le type de technologie utilisé, les différents logiciels et langages de programmation et les convertisseurs. L'aspect intégration fait référence à la technologie pour mettre en relation les côtés RF et numérique et aux logiciels de conception et de simulation utilisé dans ce cas. Le tableau I résume les trois aspects avec les différentes parties qu'elles regroupent et leurs états respectifs. Cette dernière caractéristique sur l'état a été établie à partir des informations présentées dans le restant du chapitre.

Tableau I

Principaux aspects technologiques des SRFI

<i>Aspect</i>	<i>Différentes parties</i>	<i>État</i>
RF	Fonctions RF principales, les composantes	Mature Commercial
	Ajustement et contrôle des caractéristiques du circuit	Développement Commercial
	Détection de l'état du circuit	Développement Commercial
	Logiciels : conception et simulation	Commercial Développement
Numérique	Technologie (procédé/fabrication, vérification, test)	Commercial Mature
	Logiciels : outils, langage, algorithme	Commercial Mature
	Convertisseurs	Commercial Développement
Intégration	Mise en commun des différentes parties, union des avantages	Développement Commercial
	Logiciels : conception et simulation	Développement

1.3.1 Aspect RF

Les principaux éléments de la chaîne RF et les technologies associées peuvent être considérés matures. Par exemple, il est possible de trouver sur le marché commercial des amplificateurs de puissance, des amplificateurs à faible bruit, des interrupteurs RF, des mélangeurs, des oscillateurs locaux, des atténuateurs variables, des déphaseurs, des modulateurs vectoriels, des combineurs/diviseurs de puissance, des filtres passe-bande

fixes, des duplexeurs/diplexeurs, etc. Ces composantes sont des blocs de base utilisés pour réaliser des chaînes RF et des systèmes plus complexes. L'article de (Feng, Shen, Caruth, & Huang, 2004) résume les différentes considérations technologiques pour ces composantes et leur réalisation.

Une autre partie essentielle pour les SRFI est celle qui permet d'ajuster les caractéristiques ou le comportement du système. Une composante importante de ce type est le RAIV. Ce dernier permet d'ajuster l'impédance effective entre deux points d'un circuit. Il n'existe pas sur le marché commercial un circuit intégré qui possède cette fonctionnalité mais il est possible de trouver des appareils d'instrumentation de laboratoire (Focus, 2004). Il faut mentionner que la réalisation de ce type de circuit intégré est un domaine de recherche actif donc on peut considérer que les circuits intégrés sont en développement. En effet, différents types de RAIV ont été réalisés en utilisant des interrupteurs MEMS (Feng et al., 2004; Papapolymerou, Lange, Goldsmith, Malczewski, & Kleber, 2003). Ces deux articles présentent des RAIV qui pourraient être utilisés dans les SRFI pour adapter un amplificateur de puissance à une charge variable. Les articles de (Fukuda, Okazaki, Hirota, & Yamao, 2004; Lu, Peroulis, Mohammadi, & Katehi, 2003) traitent du même sujet et en particulier d'un amplificateur pouvant fonctionner sur deux plages de fréquence en modifiant le circuit d'adaptation composé d'interrupteurs MEMS. Il est aussi possible de réaliser des interrupteurs RF de type PIN comme (de Mingo, Valdovinos, Crespo, Navarro, & Garcia, 2004) afin d'adapter un amplificateur de puissance à une antenne. L'objectif visé dans ce cas est d'avoir un transfert maximal de puissance même si l'impédance de l'antenne change (dû aux conditions extérieures de l'antenne comme la présence d'objets particuliers). Un RAIV constitué d'interrupteurs MEMS a aussi été utilisé pour la réalisation d'un diviseur de puissance variable (Unlu et al., 2002).

Un autre élément variable important est le condensateur qui permet de réaliser des filtres accordables pour lesquels la fréquence centrale et les fréquences de coupure sont

ajustables. Les articles de (Abbaspour-Tamijani, Dussopt, & Rebeiz, 2003; Rizk & Rebeiz, 2002) présentent les résultats expérimentaux pour différents types de condensateurs variables à base de MEMS.

Avec ces différentes parties variables, il est aussi nécessaire d'avoir une manière de connaître l'état du système qui est contrôlé en utilisant différents détecteurs. Un type de détecteur permet de connaître la différence d'amplitude et de phase entre deux signaux RF et est disponible en circuit intégré sur le marché (Analog Devices, 2002). Ce dernier peut être branché selon différentes topologies et peut aussi être utilisé pour mesurer le coefficient de réflexion d'une charge arbitraire. Pour ce genre de mesure, il existe une technique simple utilisant un coupleur bidirectionnel et deux détecteurs de puissance pour mesurer la puissance incidente et réfléchie (de Mingo, Valdovinos, Crespo, Navarro, & Garcia, 2004). Cette technique a été utilisée pour faire une boucle de contrôle automatique afin d'adapter la charge d'une antenne à un amplificateur de puissance. L'utilisation d'un coupleur directif et d'un détecteur de puissance permet de prendre un échantillon de la puissance d'un signal à un point dans le circuit. Si l'information détaillée de la répartition de l'énergie d'un signal sur le spectre fréquentiel est nécessaire, il peut être intéressant d'avoir recours au concept d'un analyseur de spectre. Ce dernier est composé d'un oscillateur local variable, d'un mélangeur, d'un filtre passe-bande fixe et d'un détecteur de puissance afin de recueillir le niveau d'énergie présent à chaque fréquence. Comme mentionné, ces différents détecteurs fournissent une information sur des paramètres précis pour lesquels on connaît la relation avec l'état ou le comportement du circuit.

Actuellement, il existe plusieurs logiciels qui permettent de faire la conception et la simulation de circuits RF. Ces derniers sont disponibles sur le marché et sont souvent associés à un ou plusieurs aspects technologiques. Par exemple, certains logiciels (Agilent Technologies, 2004; Ansoft, 2004a; Eagleware, 2003) permettent de reproduire le comportement d'un circuit RF composé d'éléments actifs et/ou passifs en se basant sur

des modèles théoriques et pratiques. D'autres logiciels (Ansoft, 2004b; COMSOL, 2004; ElectroMagneticWorks, 2003; MEMSCAP, 2004) traitent les problèmes physiques associés aux circuits et structures de type MEMS. Évidemment, il y a de nouveaux modèles et de nouveaux logiciels qui sont en développement pour prendre en considération les nouvelles technologies ou les améliorations sur les anciennes.

1.3.2 Aspect numérique

Pour ce qui est de l'aspect numérique, c'est un domaine mature et pratiquement tous les appareils électroniques actuels ont une partie numérique. En effet, il existe un grand nombre de circuits numériques qui sont disponibles sur le marché pour effectuer diverses tâches. Ceux-ci incluent les circuits intégrés constitués de portes logiques de base, de circuits à logique programmables (FPGA - Field programmable gate array), de différents types de processeur (RISC/CISC Reduced/Complex Instruction Set Computer, DSP – Digital Signal Processor) et de circuit intégré à application spécifique (ASIC – Application Specific Integrated Circuit). En plus, pour chacun de ces types de circuits intégrés numériques, il existe plusieurs fabricants qui se partagent un secteur économique en pleine effervescence. Un autre fait qui montre la maturité de la technologie numérique est le nombre de livres, d'articles et de publications qui sont disponibles sur ce sujet. Cette maturité peut être associée à deux aspects qui sont dépendants. Le premier concerne l'aspect technologique comme le type de substrat, les procédés de fabrication, les techniques de vérification et de test et la mise en boîtier des circuits intégrés. Le deuxième aspect touche plus particulièrement le côté logiciel avec les outils informatiques pour faire la conception et spécifier le comportement des circuits intégrés. Chaque type de circuit numérique s'accompagne d'une série de logiciels et de langages pour spécifier la fonctionnalité de ce dernier. Par exemple, pour les différents processeurs, la programmation peut être faite en langage C et il existe un ensemble de logiciels pour écrire, compiler et simuler les programmes. Pour les circuits à logique programmable ou pour les ASIC, le VHDL (VHSIC Hardware Description Language)

permet de spécifier le comportement du circuit et s'accompagne d'un ensemble d'outils pour écrire, compiler, simuler et générer le fichier de configuration.

Évidemment, ces circuits ne traitent que des données dans le domaine numérique et pour avoir une interaction avec le domaine analogique, comme pour les SRFI, il faut avoir des convertisseurs. C'est-à-dire un CNA qui transforme une valeur numérique en une valeur analogique (tension ou courant) ou un CAN qui échantillonne un signal analogique (tension ou courant) et le transforme dans le domaine numérique. Il y a un grand nombre de livres et d'articles sur les convertisseurs et différents types sont disponibles sur le marché. Les principales caractéristiques de ces derniers sont la fréquence d'échantillonnage, la plage dynamique, la résolution, le bruit et la puissance des signaux. Comme pour les circuits intégrés numériques, il y a beaucoup de fabricants qui offrent ces circuits sur le marché commercial. Le développement de convertisseurs à très haute fréquence permet maintenant d'échantillonner et de générer des signaux RF directement (Martinez & Bobb, 1998; Reed, 2002).

1.3.3 Aspect intégration

En ce qui concerne l'aspect intégration, c'est avec ce dernier que prend forme le SRFI car on met en commun les avantages de l'aspect RF et de l'aspect numérique dans un même système. Cette utilisation complémentaire des aspects vise à atteindre un gain de performance ou à obtenir de nouvelles fonctionnalités. Une des tendances actuelles est d'utiliser la technologie CMOS ou d'autres semiconducteurs à base de silicium pour faire une intégration complète sur un même substrat et durant un même procédé de fabrication, ce sont les SOC (system-on-chip). Plusieurs articles présentent les caractéristiques et les performances des éléments passifs et actifs qui font partie des SOC pour les systèmes RF dont (Diaz, Tang, & Sun, 2003; Larson, 2003; Matsuzawa, 2002). Ce choix d'utiliser la technologie à base de silicium est motivé par la maturité de la technologie CMOS et parce que les applications visées par les SOC ont souvent une

partie numérique qui peut aussi être directement intégrée. Par contre, un point à retenir est le fait que cette approche ne peut pas être utilisée pour tous les types de systèmes et comporte plusieurs compromis. Le diagramme de la figure 7 tiré de (Matsuzawa, 2002) présente les différentes relations qui existent entre certaines caractéristiques de la réduction à l'échelle de la technologies CMOS et la performance des parties RF et numérique.

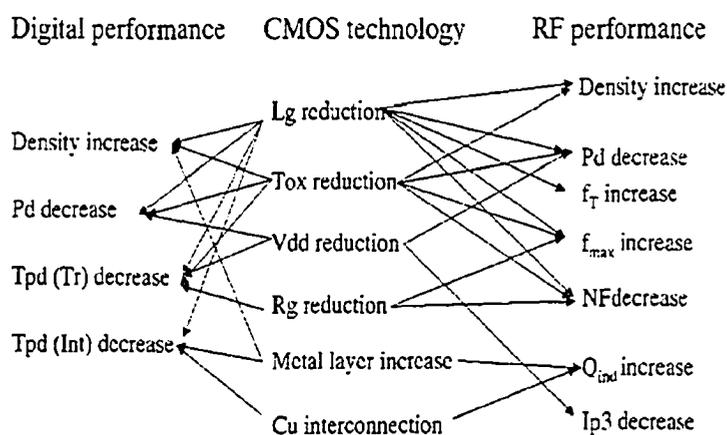


Figure 7 Relations de performance pour la technologie CMOS (Matsuzawa, 2002)

Malgré la complexité de la relation entre le côté RF et le côté numérique et les limites des SOC, plusieurs manufacturiers de semiconducteurs offre des produits utilisant ce type de technologie. Par exemple, la compagnie Texas Instruments offre sur le marché commercial un circuit intégré de type SOC CMOS qui intègre les parties RF et numérique d'un transmetteur BlueTooth (Texas Instruments, 2002). Par contre, pour obtenir un système complet, il faut ajouter une antenne, l'interface avec l'utilisateur et un oscillateur de synchronisation. La même compagnie vente aussi les mérites d'un nouveau concept nommé DRP (Direct RF Processing) qui élimine certains problèmes associés aux architectures conventionnelles de SOC CMOS (Texas Instruments, 2004). L'architecture est composée d'un SOC et nécessite l'ajout d'une antenne, d'un

duplexer/diplexer et d'un amplificateur de puissance pour l'émetteur. La compagnie Berkana offre un circuit intégré pour un émetteur-récepteur 4 bandes (850MHz, 950MHz, 1.8GHz et 1.9GHz) entièrement CMOS qui implémente une bonne partie de la chaîne IF/RF (Berkana, 2004). Pour un système complet, il faut ajouter l'antenne, l'amplificateur de puissance pour l'émetteur, le commutateur RF, les filtres passes-bandes RF du récepteur, un oscillateur et la partie numérique pour le traitement en bande de base. La compagnie Skyworks offre un circuit intégré de type BiCMOS (Bipolar CMOS) pour émetteur-récepteur 2 bandes qui utilise une intégration encore plus féroce en nécessitant seulement comme composantes supplémentaires une antenne, un oscillateur et la partie numérique pour le traitement en bande de base (Skyworks, 2003). De son côté, la compagnie Nordic Semiconductors offre aussi des circuits intégrés de type CMOS avec les parties RF et numériques dans un même circuit (Nordic, 2002). De plus elle met à la disposition des clients un vaste choix de noyaux fonctionnels (IP cores) numériques, RF et signaux mixtes pour réaliser rapidement des circuits intégrés qui répondent à des besoins spécifiques.

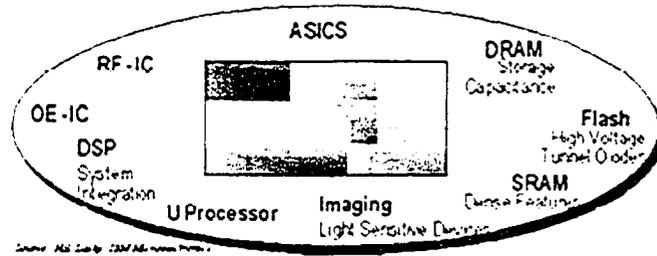
Il est à noter que les circuits disponibles ne sont pas encore totalement intégrés (SOC purs) car il faut ajouter une antenne, un oscillateur de référence ou d'autres composantes pour obtenir la fonctionnalité voulue. Récemment, un article du EETimes a annoncé qu'un groupe de recherche a démontré la faisabilité technique d'intégrer sur un circuit les deux dernières composantes d'un système sans fil (R.C. Johnson, 2004). En effet, ce groupe a été capable de réaliser une antenne et un nouveau type d'oscillateur MEMS en technologie CMOS. Ces derniers pourront ainsi être ajoutés aux circuits intégrés présentés plus haut.

Cependant, même avec ces avancements, le nombre d'applications possibles et le niveau d'intégration sont limités à cause des problèmes fondamentaux associés aux systèmes avec un seul substrat comme les SOC. C'est pourquoi les techniques utilisant plusieurs types de substrat qui sont assemblés de différentes manières font l'objet de recherche et

de développement. Dans son article, (Tummala, 2004) présente et résume en 4 grandes catégories les différentes manières d'assembler les substrats. Évidemment, il y a le SOC qui a seulement un substrat pour tout le système. Le MCM (multichip module) est composé de circuits intégrés (substrat et boîtier) de types numériques, RF ou optoélectroniques qui sont reliés ensemble en utilisant un substrat d'interconnexion. Le SIP (system-in-package) consiste à empiler et brancher ensemble des circuits intégrés ou des boîtiers. Et finalement, le SOP (system-on-package) est un agencement de circuits intégrés, de substrats, d'éléments TFT (thin film technology) et de boîtiers. En fait, le SOP est une technologie qui combine les avantages des MCM, des SIP et des éléments TFT pour avoir un système complet qui peut répondre à un plus grand nombre de besoins. La figure 8 tirée de (Tummala, 2004) illustre ces différentes technologies.

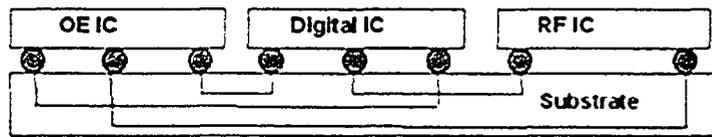
SOC

a) Complete system on one chip



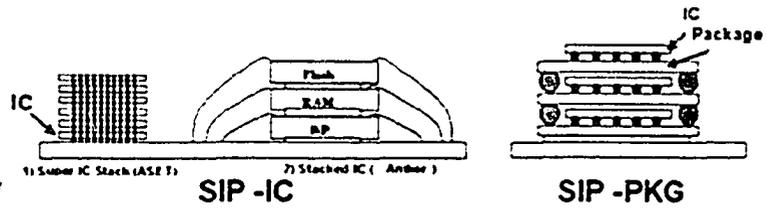
MCM

b) Interconnects components



SIP

c) Stacked chips or packages for reduced form factors



SOP

d) Optimizes functions between ICs and package. Miniaturizes systems.

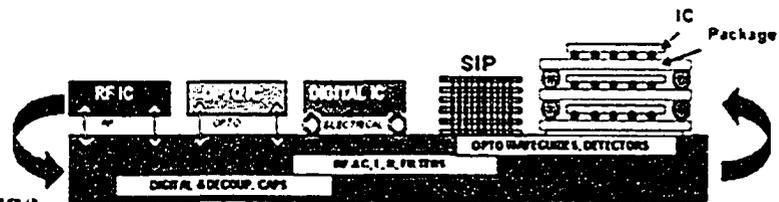


Figure 8 Différentes technologies pour l'intégration (Tummala, 2004)

Un autre article de (Tummala et al., 2004) présente en détails les SOP ainsi que les résultats obtenus avec certains prototypes. Cette nouvelle technologie suscite beaucoup d'intérêt au niveau commercial et académique et semble le choix idéal pour les systèmes convergents qui seront la base de la nouvelle génération d'appareils utilisés dans les domaines de l'informatique, des télécommunications, du biomédical et de la sécurité. Ces derniers auront à manipuler et échanger des données, des vidéos, des trames audio, la voix, etc. De plus, ils auront à interagir avec l'environnement extérieur

Par contre, même si cette technologie est en pleine expansion, il n'existe pas de logiciel commercial complet pour faire la conception et la simulation de ces circuits complexes. Certains logiciels sont disponibles mais le problème réel n'est pas d'écrire un programme mais de trouver des modèles qui sont représentatifs de la réalité. Donc ces logiciels et modèles sont en développement et l'objectif est d'avoir un environnement de travail où les différents éléments pour chacune des technologies sont regroupés. Cet objectif fait d'ailleurs partie des suggestions de la CMC (Canadian microelectronics corporation) présentées dans un document identifiant les nouveaux rôles de la corporation au sein de la microélectronique (Chow & Gale, 2004).

En résumé, les différentes technologies nécessaires pour les SRFI sont en place mais il reste encore un peu de maturité à acquérir au niveau de la partie ajustable de l'aspect RF et aussi au niveau de l'aspect intégration. C'est d'ailleurs sur ces domaines qu'il y a le plus d'effort déployé en ce moment.

1.4 Conclusion

Ce chapitre a permis de mettre en évidence les différents acteurs, l'architecture désirée et la technologie disponible pour les SRFI. Cette introduction était nécessaire afin de bien saisir la vocation et l'architecture du banc d'essai qui a été développé et qui est présenté dans ce mémoire. Il faut bien comprendre que le projet de maîtrise n'est pas de développer un SRFI mais bien de réaliser un banc d'essai qui va permettre de faire de l'exploration architecturale et de tester rapidement de nouveaux concepts en relation avec les SRFI. En effet, une intégration complète requiert la collaboration de plusieurs domaines de recherche et nécessite des moyens technologiques qui sont encore en développement.

CHAPITRE 2

RÉALISATION D'UN BANC D'ESSAI POUR L'ÉTUDE D'ARCHITECTURES DE SRFI

Ce chapitre, divisé en 3 sections, présente l'architecture du banc d'essai réalisé pour faire l'étude d'architectures de SRFI. La première section identifie les objectifs et les besoins pour le banc d'essai alors que la deuxième décrit de manière détaillée l'architecture incluant la réalisation d'un circuit imprimé. La dernière section offre une vue d'ensemble sur le comportement des différentes parties numériques du banc d'essai.

2.1 Définition de l'architecture

L'architecture du banc d'essai est grandement inspirée de celle des SRFI tel que présenté dans le premier chapitre. En effet, pour faire l'exploration architecturale et pour tester de nouveaux concepts concernant les SRFI, le banc d'essai doit comporter une partie numérique et une partie FI/RF. En considérant l'architecture de la figure 5 du chapitre précédent, le banc d'essai pourrait être impliqué dans la réalisation d'un ou de plusieurs des éléments du système. Par exemple, le banc d'essai peut être utilisé pour la génération de signaux en bande de base ou pour le contrôle d'un ou plusieurs éléments de la chaîne FI/RF. Par contre, l'aspect intégration des parties numériques et FI/RF n'est pas appliqué dans l'architecture du banc d'essai mais il est évident qu'il faut en tenir compte lors du choix des composantes (FI/RF et numériques) et pour la définition de la méthode d'interconnexion entre ces parties.

En plus des besoins pour les SRFI, il faut mettre en place des critères de sélection et des règles de base pour déterminer l'architecture du banc d'essai. Il y a 4 caractéristiques principales à prendre en considération pour rencontrer les objectifs et les besoins fixés pour ce projet de maîtrise.

- Grande flexibilité

- Facilité d'utilisation
- Réduction du temps de développement
- Faible coût

Les prochaines sections présentent des détails sur les 4 caractéristiques.

2.1.1 Flexibilité

La flexibilité du banc d'essai autant au niveau numérique que FI/RF est nécessaire afin d'avoir la plus grande marge de manoeuvre dans la réalisation des différentes architectures en relations avec les SRFI. La flexibilité numérique se traduit premièrement par l'utilisation de circuits numériques de différents types comme les FPGA, les processeurs (RISC, CISC, DSP, ...) ou les ASIC. En fait, chaque circuit numérique possède ses avantages en fonction du contexte d'opération. Il y a plusieurs livres et articles qui traitent du choix des circuits numériques en fonction des applications visées (Kenyon, James, & Roddis, 2003; Reed, 2002; Rudra, 2004). Il faut mentionner que le comportement de la plupart de ces circuits est programmable donc il y a une flexibilité au niveau logiciel. De ce point de vue, les ASIC sont moins intéressants car après la fabrication, il n'est pas possible de changer leur comportement par programmation.

En plus d'assurer la flexibilité en ayant les différents types de technologie, il faut aussi prévoir l'interconnexion matérielle et logicielle pour être en mesure d'échanger de l'information entre ces circuits (informations de contrôle ou signaux numériques de l'application). Le FPGA est un circuit qui permet de faire du traitement de signal numérique et qui peut agir comme une matrice d'interconnexion configurable entre les autres circuits numériques. La flexibilité numérique implique aussi la possibilité de changer la fréquence de fonctionnement de l'horloge qui cadence les différents circuits. En effet, dans certaines applications, il est nécessaire d'avoir un signal d'horloge avec

une fréquence variable. Évidemment, il est préférable d'avoir une fréquence d'horloge qui peut être élevée pour les applications de contrôle avec rétroaction où il doit y avoir un temps de réponse très court.

On remarque avec ces faits que l'architecture matérielle de la partie numérique est fixe sur un circuit imprimé et que la flexibilité est obtenue par la programmation des circuits pour les différentes applications. Par contre, pour la partie RF, il n'existe pas une chaîne RF qui est programmable au sens large du terme c'est-à-dire qui peut changer de comportement en utilisant les mêmes circuits qui sont ajustés par des commandes. Cette caractéristique de programmabilité de circuits RF est au coeur des objectifs à atteindre par le développement des SRFI. En général, chaque application requiert la conception et la réalisation d'un circuit avec l'ensemble des composantes FI/RF. Malgré ceci, la flexibilité peut s'obtenir en séparant le circuit FI/RF complet en plusieurs blocs de base qui peuvent être réutilisés pour plusieurs applications. Ces blocs de base correspondent à des fonctions FI/RF précises et sont associés à des composantes FI/RF discrètes. Les plus courants sont : diviseur/combineur de puissance, filtre (FI, RF), mélangeur, modulateur, oscillateur local, amplificateur à faible bruit, amplificateur de puissance, duplexeur/diplexer, antenne, etc. Ils sont connectés ensemble pour obtenir les spécifications de l'application visée. C'est exactement le même processus que pour la conception d'un circuit FI/RF complet sauf que chacun des blocs est réalisé individuellement. Donc cette division en blocs de base permet d'avoir une plus grande marge de manoeuvre car il est possible de réutiliser la plupart des blocs pour plusieurs applications.

Un dernier élément essentiel pour assurer la flexibilité du banc d'essai est la possibilité de pouvoir échanger de l'information entre la partie numérique et la partie FI/RF. Cet échange d'information doit être bidirectionnel c'est-à-dire qu'il permet de transformer des données numériques vers le domaine analogique de la partie FI/RF ou encore d'échantillonner des signaux analogiques et les convertir dans le domaine numérique. Il

devrait y avoir plusieurs convertisseurs (CAN et CNA) avec une fréquence d'échantillonnage la plus élevée possible pour permettre une grande largeur de bande pour les signaux analogiques générés et acquis. Il existe beaucoup de livres et d'articles qui traitent de ces composantes et la fréquence d'échantillonnage de ces derniers ne cesse d'augmenter.

2.1.2 Facilité d'utilisation

En ce qui concerne la facilité d'utilisation du banc d'essai, il faut mentionner que ce dernier est voué à différentes applications. De ce fait, il risque d'y avoir différents utilisateurs qui travailleront avec le banc d'essai. Principalement, deux types de personnes l'utiliseront soit celles plus spécialisées du côté numérique ou encore celles plus spécialisées en FI/RF. Évidemment, ces deux types de personne devraient travailler de manière complémentaire pour la réalisation d'une application. D'un autre côté, il est souhaitable d'avoir un banc d'essai qui peut être utilisé sans pour autant avoir une connaissance complète des parties numériques ou FI/RF. Il ne faut pas oublier que le but est d'avoir un banc d'essai qui permet la réalisation rapide de prototype pour les SRFI. Donc il faut une facilité d'utilisation au niveau numérique et au niveau FI/RF. Pour la partie numérique, cette facilité d'utilisation signifie l'utilisation d'un langage de programmation de haut niveau comme le C pour les processeurs et un langage de description matériel comme le VHDL pour les circuits à logique programmable. De plus, la facilité d'utilisation implique la création d'une fonctionnalité de base pour les programmes et la configuration des circuits programmables. Par la suite, l'utilisateur vient ajouter les fonctionnalités qu'il a besoin pour l'application visée. Pour la partie FI/RF, c'est un peu le même concept car l'architecture de base est construite avec des blocs FI/RF de base et l'utilisateur FI/RF vient ajouter la fonctionnalité supplémentaire qui est propre à l'application visée. Cet ajout se fait par la réalisation de blocs qui sont branchés avec le reste du circuit de base. Donc la facilité d'utilisation du côté numérique est grandement favorisée par l'aspect logiciel. Tandis que du côté FI/RF, c'est grâce aux différents blocs disponibles et à une méthode de branchement qui est simple et standard.

2.1.3 Réduction du temps de développement

Un autre objectif du banc d'essai est de réduire le temps de développement autant pour la structure de base que pour chaque application. Pour la partie numérique, il est préférable de choisir des cartes ou des systèmes clef en main c'est-à-dire qui sont prêts à être utilisés. En effet, ces derniers sont développés par des compagnies et sont vendus avec des exemples de base pour démontrer la fonctionnalité. Il est ainsi possible d'éviter la conception, la réalisation et les tests matériels des systèmes. De plus, la fonctionnalité des circuits numériques est spécifiée avec des programmes qui peuvent être réutilisés en partie ou en totalité pour plusieurs applications. Ceci économise du temps de développement à chaque application. Il en est de même avec le côté FI/RF où les différents blocs sont réutilisés pour plusieurs applications. Ainsi, on évite de faire la conception, la réalisation et le test d'une nouvelle carte FI/RF entière à chaque application. Seulement les blocs spécifiques à l'application sont réalisés.

2.1.4 Faible coût

Finalement, le coût est un élément à considérer pour la réalisation du banc d'essai et il est étroitement lié au temps de développement. En effet, la réduction du temps de développement avec des systèmes numériques clef en main et la réutilisation logicielle et matérielle permettent de réduire les frais de développement. Par contre, il faut trouver un système qui a un coût d'achat qui n'est pas trop élevé. Pour ce qui est de la partie FI/RF, les différents blocs permettent de réduire le coût grâce à la réutilisation et en évitant d'avoir à réaliser un circuit imprimé complet pour chaque application ou suite à une modification.

La prise en considération de ces 4 caractéristiques permet de faire un choix éclairé pour l'architecture du banc d'essai. Il existe plusieurs systèmes de prototypage numériques disponibles sur le marché commercial sous différentes configurations. Certains

possèdent un seul type de circuit numérique mais on remarque que dans la plupart des architectures proposées, il y a un mélange des différentes technologies numériques afin d'obtenir un système le plus flexible possible. Il est aussi fréquent de trouver des CAN et/ou CNA sur ces systèmes de développement. Par contre, le nombre de bits des convertisseurs et la fréquence maximale d'opération sont souvent limités. Pour avoir les deux simultanément, le coût du système augmente.

Pour ce qui est de la partie FI/RF, il n'y a pas de systèmes commerciaux disponibles offrant une flexibilité comme celle recherchée. Les circuits imprimés ou intégrés disponibles sont dédiés à une application en particulier. Dans le cas du banc d'essai, les applications visées sont surtout celles impliquant les systèmes de communications sans fil. Il existe un grand nombre de composantes offertes sur le marché commercial pour ce genre d'application. De plus, plusieurs fonctions ou composantes FI/RF peuvent être réutilisées dans beaucoup d'applications. C'est pourquoi l'approche modulaire présentée plus haut s'avère un bon compromis pour obtenir un maximum de flexibilité.

Plusieurs articles présentent des méthodes de conception et des architectures de systèmes de prototypage rapide (Borgatti, Lertora, Foret, & Cali, 2003; Lim et al., 2004; Rupp, Burg, & Beck, 2003; Vasilko, Machacek, Matej, Stepien, & Holloway, 2001; Xiang, Pratt, & Wang, 2004). Cependant, ces derniers s'attardent principalement aux différents aspects numériques des systèmes. Par exemple, il est question de méthodes de conception et de partitionnement logiciel et matériel pour les différents circuits numériques. On remarque que dans pratiquement toutes les architectures proposées, il y a un mélange des différentes technologies numériques afin d'obtenir un système complet. De plus, la plupart des articles mentionnés utilisent des produits commerciaux pour l'architecture de base de leurs systèmes de prototypage. Certains incluent l'architecture de la partie FI/RF mais cette dernière est dédiée à une seule application et n'offre pas vraiment de flexibilité.

Donc si on prend en considération les caractéristiques souhaitées pour les SRFI en plus des caractéristiques spécifiques que nous recherchons pour le banc d'essai, on obtient les contraintes qu'il faut appliquer pour définir l'architecture du banc d'essai. Pour la partie numérique, on recherche un ou des systèmes commerciaux avec un ou plusieurs types de circuits intégrés numériques. Évidemment, ces circuits doivent permettre l'échange de données numériques autant au niveau physique que fonctionnel (connectivité matérielle et logicielle). De plus, la description de la fonctionnalité de ces derniers devrait se faire en utilisant des langages de programmation de haut niveau comme le C et le VHDL. Le transfert d'information entre la partie numérique et la partie FI/RF implique d'avoir des convertisseurs analogiques bidirectionnels. La partie FI/RF est constituée de blocs/fonctions FI/RF qui sont agencés de manière à obtenir la fonctionnalité de l'application visée.

2.2 Description détaillée de l'architecture

Cette section présente en détail l'architecture de la partie numérique du banc d'essai et présente brièvement les règles de conception qui ont été utilisées pour la partie RF. La partie numérique du banc d'essai est constituée de deux systèmes de développement commerciaux et un circuit imprimé fait sur mesure. Le premier système de développement est la RPP (Rapid Prototyping Platform) fournie à certaines universités canadiennes par la CMC. L'autre est une carte DSK (DSP Starter Kit) de la compagnie Texas Instruments. La troisième partie est un circuit imprimé interface qui permet de faire le lien entre la RPP et la DSK et qui possède les convertisseurs afin d'avoir une interface analogique bidirectionnelle. Ce circuit a été réalisé dans le cadre du projet de maîtrise. La figure 9 présente l'architecture de l'aspect numérique du banc d'essai avec les trois systèmes cités ci-dessus.

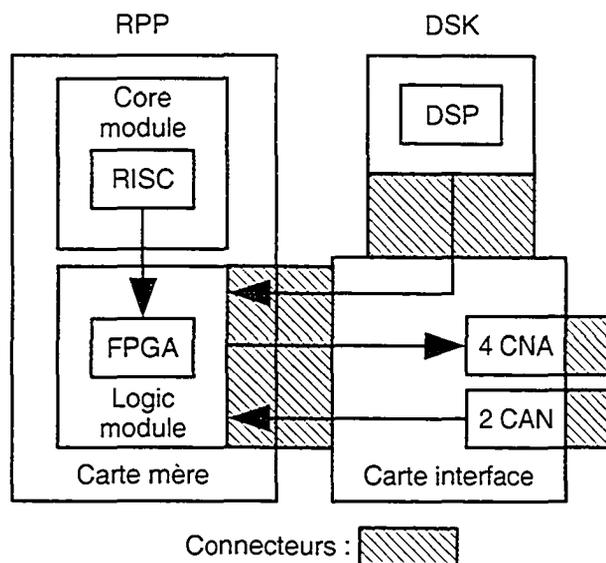


Figure 9 Partie numérique du banc d'essai

2.2.1 RPP

La RPP est un système destiné au prototypage rapide pour les technologies SOC et est un produit commercial réalisé par la compagnie ARM limited. Ce système est composé d'une carte mère (motherboard) de type Integrator/AP (ARM, 2001c) sur laquelle peuvent être branchés deux types de module avec des circuits intégrés numériques. Il y a le module de logique programmable (logic module) Integrator/LT-XC2V4000+ avec un FPGA et le module Integrator/CM7TDMI avec un processeur de type RISC (core module). Il est à noter qu'il est possible de brancher jusqu'à 4 modules de chaque type sur la carte mère. Les modules de même type sont empilés les uns sur les autres. Un des rôles de la carte mère est de faire l'interface entre les deux types de module. Pour ce faire, la carte mère a un FPGA qui est programmé pour avoir le comportement d'un bus de type AMBA AHB (ARM, 2004) et qui est relié aux différents connecteurs pour brancher les modules. Le FPGA est aussi branché à des périphériques standards (souris, clavier et 2 ports séries), un bus PCI et de la mémoire. La figure 10 montre le schéma bloc de l'architecture de la carte mère.

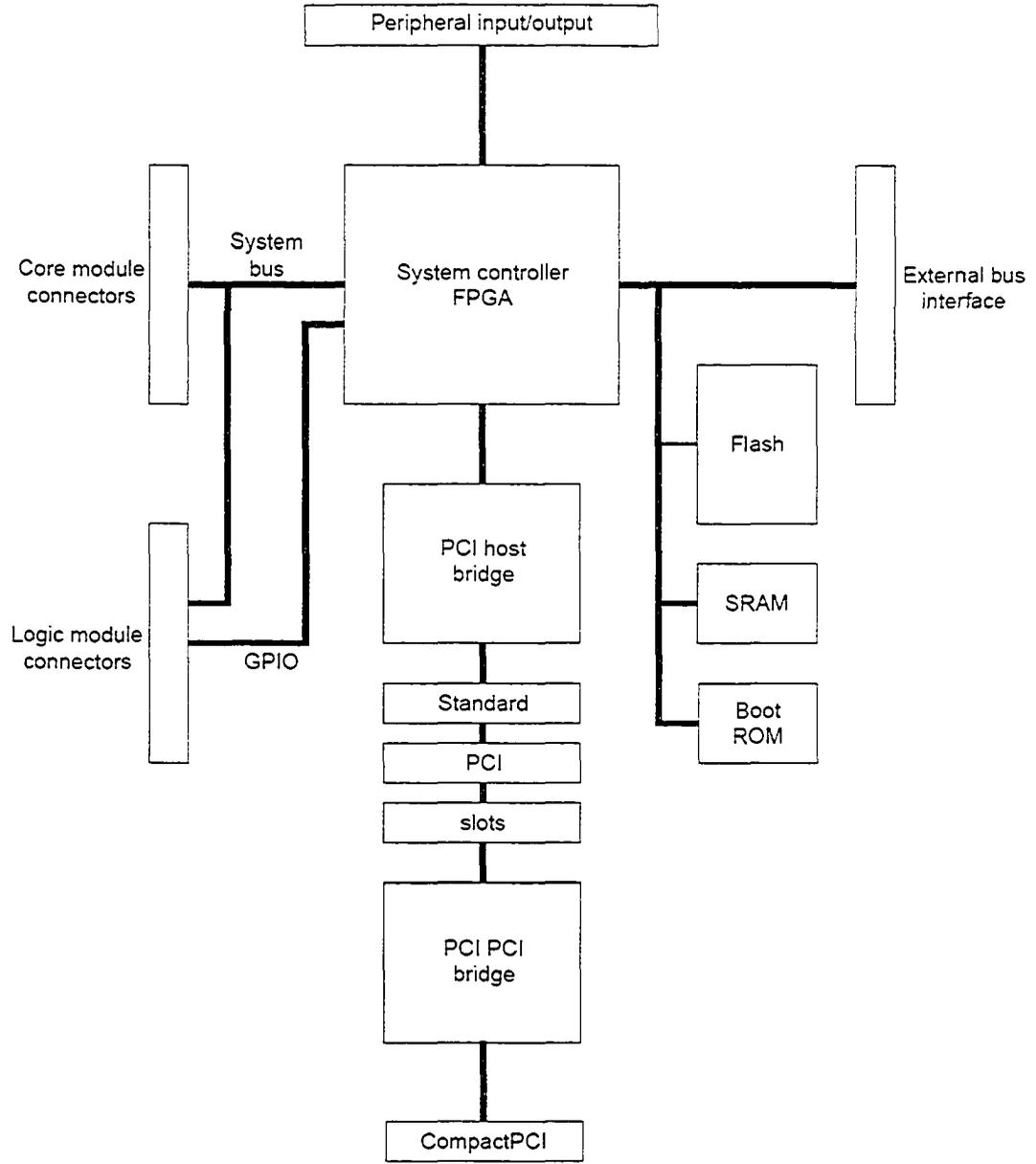


Figure 10 Architecture de la carte mère integrator/AP (ARM, 2001c)

Le module de logique programmable Integrator/LT-XC2V4000+ (ARM, 2002c) est composé d'un FPGA de type Virtex-II (XC2V6000) de la compagnie Xilinx ayant 6 millions de portes logiques et 1104 entrées/sorties (Xilinx, 2005). Les entrées/sorties du FPGA sont reliées à deux mémoires externes de 2 Mo, trois horloges programmables

pouvant varier entre 6 MHz et 200 MHz, des interrupteurs, des DEL et des connecteurs situés sous et sur la carte. Les connecteurs sous la carte (face inférieure) servent à brancher un autre module de logique programmable ou encore la carte Integrator/IM-LT1 (ARM, 2002a) qui donne accès à la carte mère. Les connecteurs sur la carte (face supérieure) sont utilisés pour un autre module ou encore pour brancher un circuit externe quelconque. Le schéma bloc de la figure 11 montre les différents éléments de la carte.

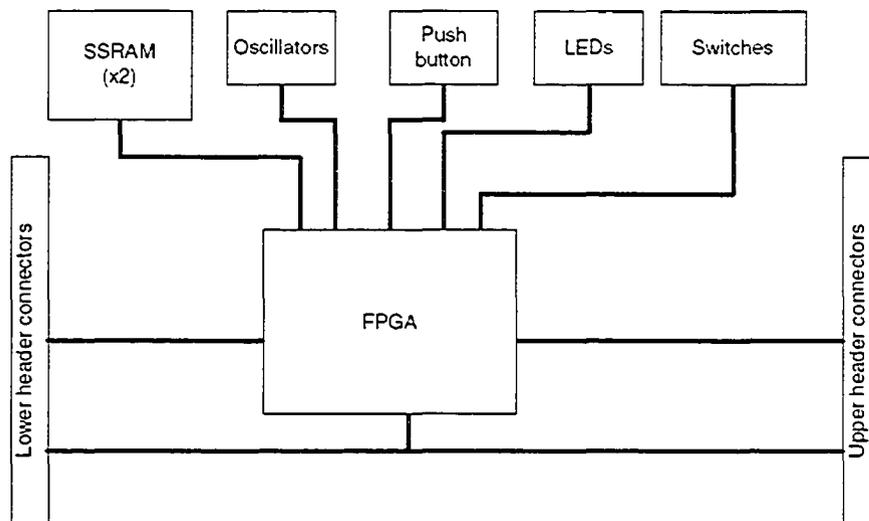


Figure 11 Architecture de la carte Integrator/LT-XC2V4000+ (ARM, 2002c)

La carte Integrator/IM-LT1, utilisée pour brancher la carte Integrator/LT-XC2V4000+ à la carte mère, possède 2 connecteurs de type MICTOR qui permettent de brancher un analyseur logique qui sera directement relié à 32 sorties du FPGA. Ceci est très utile pour faire du dépannage en ayant accès aux signaux provenant du système du FPGA. La carte a aussi des connecteurs sur la face inférieure pour se brancher sur la carte mère, des connecteurs sur la face supérieure pour brancher une carte Integrator/LT-XC2V4000+, des liens électrique entre ces connecteurs, des interrupteurs et des DEL. La figure 12 présente l'architecture de la carte Integrator/IM-LT1.

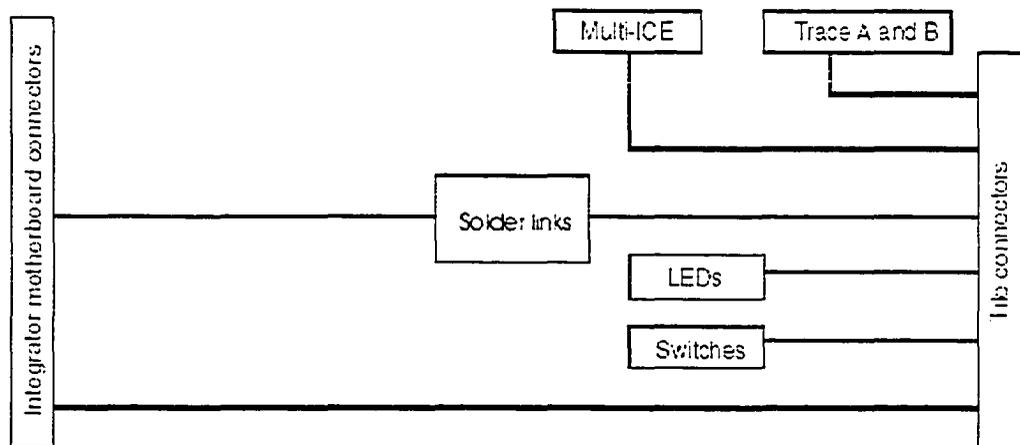


Figure 12 Architecture de la carte Integrator/IM-LT1
(ARM, 2002a)

L'autre type de module possède un processeur RISC ARM7TDMI de la compagnie ARM (ARM, 1999). Le processeur a directement accès à 256 Ko de mémoire SSRAM et à un FPGA qui est programmé avec le comportement d'un bus de type AMBA. Ce FPGA est relié à 128 Mo de mémoire SDRAM et au bus AMBA du système via des connecteurs sous la carte (face inférieure). Ces connecteurs permettent de brancher le module à la carte mère ou à un autre module avec un processeur. Les connecteurs sur la carte (face supérieure) permettent de brancher un autre module et le connecteur Multi-ICE est utilisé pour brancher un outil pour contrôler l'exécution du processeur. Le schéma bloc de la figure 13 montre le lien entre les parties de la carte.

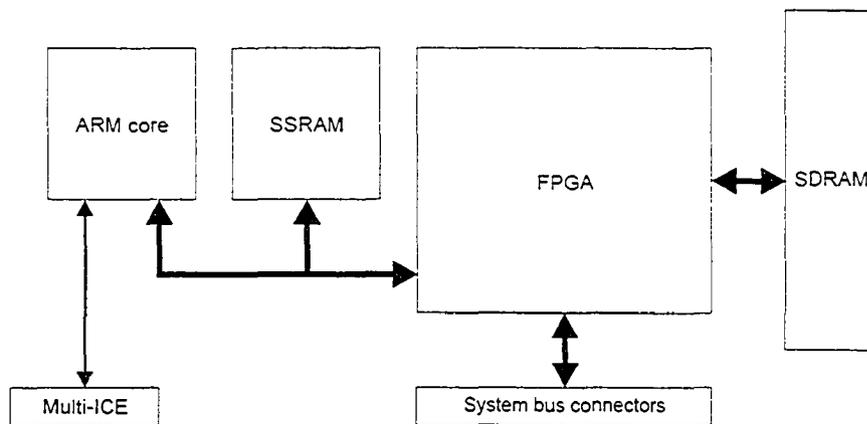


Figure 13 Architecture de la carte Integrator/CM7TDMI (ARM, 1999)

Donc la RPP est un système clef en main intéressant parce qu'il est fonctionnel et prêt à être utilisé.

2.2.2 DSK

Une autre partie numérique du banc d'essai est le DSK qui est un système de développement avec un DSP TMS320C6711 qui peut effectuer 900 million d'opérations en point flottant par seconde avec une horloge de 150 Mhz (Texas Instruments, 2001a; Texas Instruments, 1999). Le DSP a accès à 16 MB de mémoire SDRAM sur la carte et son interface mémoire est aussi relié à des connecteurs qui permettent de brancher une mémoire qui est sur un circuit externe. Pour le banc d'essai, le DSP est relié à la RPP en utilisant cette interface mémoire et les connecteurs. La figure 14 montre la face supérieure de la carte DSK.

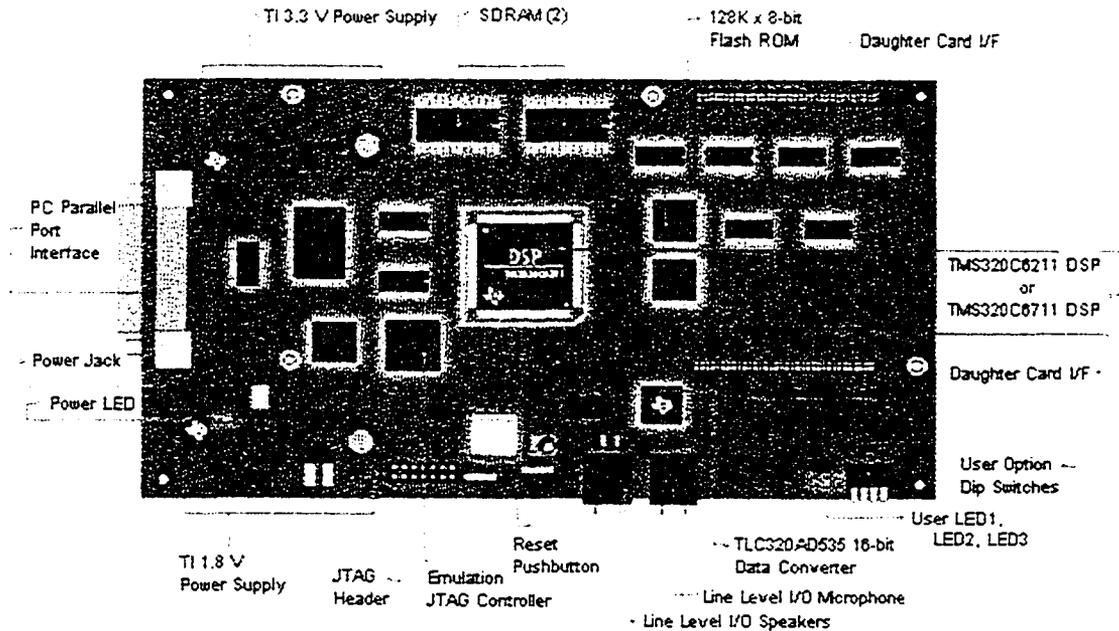


Figure 14 Face supérieure de la carte DSK
(Texas Instruments, 2001a)

2.2.3 Carte interface

La dernière partie de l'aspect numérique est un circuit imprimé qui permet de relier la carte DSK à la RPP et qui possède les convertisseurs. Cette carte interface se branche sur les connecteurs supérieurs du module de logique programmable Integrator/LT-XC2V4000+ de la RPP pour ainsi donner accès au FPGA. Il y a des connecteurs pour brancher le système DSK et avoir accès à l'interface mémoire du DSP. Les CAN et les CNA sont reliés au FPGA et les signaux analogiques sont branchés à des connecteurs SMA. En plus, il y a des connecteurs supplémentaires pour des entrées/sorties qui sont reliées au FPGA. La figure 15 montre le schéma bloc de la carte interface.

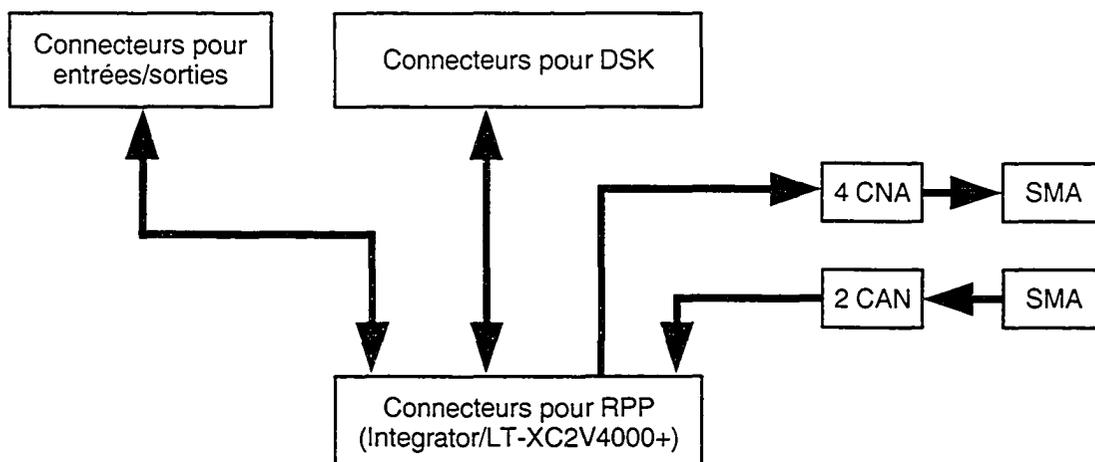


Figure 15 Architecture de la carte interface

La première fonction de la carte interface est de relier le DSP et le FPGA par le branchement du port mémoire du DSP vers le FPGA. Les signaux de données, d'adresse, de contrôle et de l'horloge de l'interface mémoire (EMIF interface) du DSP sont reliés aux broches du FPGA en passant par les différents connecteurs. Donc il est possible d'échanger des données entre le DSP et le FPGA en utilisant l'interface mémoire du DSP et en émulant le comportement d'une mémoire dans le FPGA. La deuxième fonction est de faire une interface bidirectionnelle avec le domaine analogique en utilisant 2 CAN et 4 CNA qui sont branchés au FPGA. La réalisation de la carte interface est présentée en détail dans la section suivante.

Pour ce qui est de l'aspect FI/RF, l'approche modulaire proposée dans la section précédente est retenue. Il y a des blocs pour chacune des fonctionnalités de l'application visée. Ces blocs sont constitués d'un circuit imprimé avec une ou plusieurs composantes, d'un boîtier en aluminium et de connecteurs SMA pour les différents signaux. Il est à noter que cette solution est avantageuse dans notre cas car le département de génie électrique de l'ÉTS possède l'équipement pour réaliser des circuits imprimés et le département de génie de la production automatisée possède l'ensemble de l'équipement pour fabriquer des boîtiers en aluminium. Il est donc possible de réaliser différents blocs avec les composantes FI/RF. Comme mentionné, les objectifs de cette approche sont

d'avoir une flexibilité et de permettre la réutilisation. L'utilisation des boîtiers en aluminium vise l'isolation électromagnétique des circuits et la protection physique de ces derniers.

2.3 Réalisation de la carte interface

Tel que mentionné dans la section précédente, la carte interface est nécessaire pour faire le lien entre le DSK et la RPP et pour l'interface analogique avec les convertisseurs. Les différentes étapes pour réaliser le circuit imprimé sont présentées dans cette section. Il y a premièrement l'élaboration du circuit électrique et ensuite le dessin, la fabrication et l'assemblage du circuit imprimé.

2.3.1 Lien avec le FPGA

Pour l'élaboration du circuit électrique, il faut dans un premier temps faire le décompte des broches disponibles et nécessaires pour les connecteurs. Il faut aussi penser à la stratégie pour la terminaison des lignes de transmission et pour le découplage des composantes. La carte interface est branchée sur les 3 connecteurs supérieurs du module Integrator/LT-XC2V4000+ (HDRX, HDRY, HDRZ) ce qui donne accès à un certain nombre de broches du FPGA. La figure 16 suivante tirée du manuel de l'utilisateur (ARM, 2002c) montre la répartition des signaux sur les connecteurs du module.

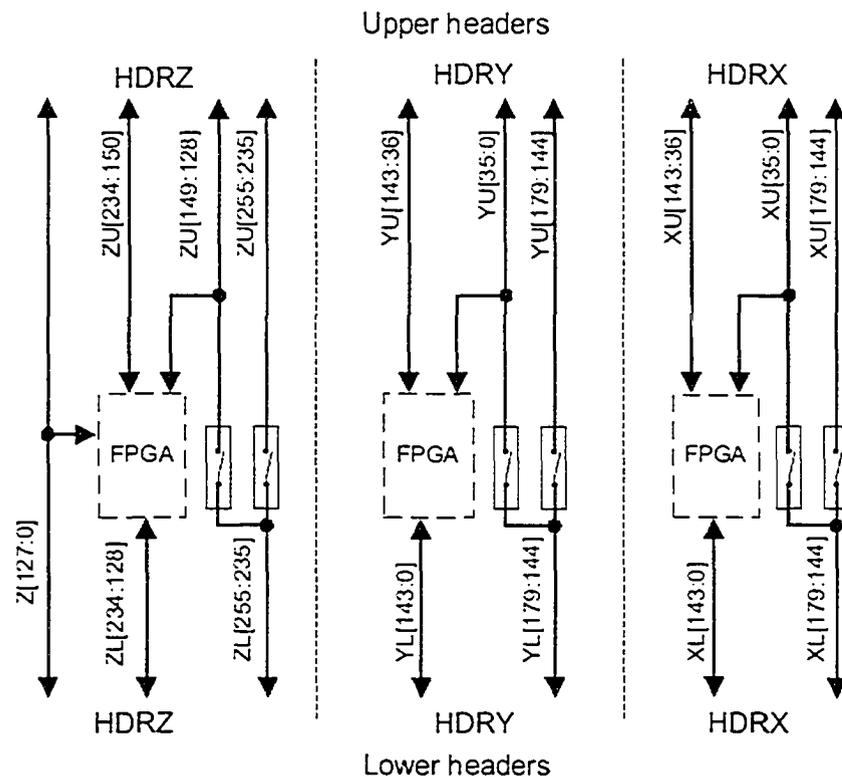


Figure 16 Répartition des signaux sur les connecteurs du module (ARM, 2002c)

Il y a 144 broches ($XU[143:0]$) disponibles sur le connecteur HDRX, 144 ($YU[143:0]$) sur HDRY et 107 ($ZU[234:128]$) sur HDRZ. Les broches $Z[127:0]$ sont réservées pour les signaux de contrôle entre les modules et la carte mère. Donc il y a un total de 395 broches disponibles sur les connecteurs supérieurs qui sont branchées directement au FPGA. Les éléments de la carte interface utilisent 218 de ces broches avec 63 pour le DSP, 90 pour les convertisseurs, 5 pour des signaux de contrôle et 60 pour des entrées/sorties externes. Chacun de ces éléments est décrit dans les paragraphes suivants.

2.3.2 Lien avec le DSP

Pour l'interface mémoire du DSP, il y a les signaux de données (32), les signaux d'adresses (24), les signaux de contrôle (6) et le signal d'horloge (1) avec un total de 63 broches nécessaires. La figure 17 tirée de la spécifications du DSP (Texas Instruments, 1999) montre les signaux de l'interface mémoire.

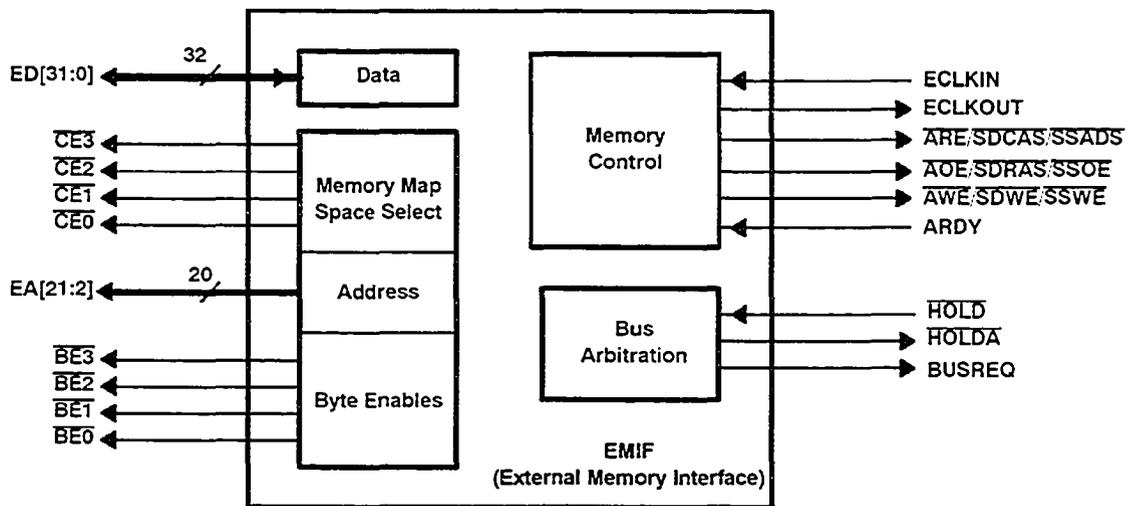


Figure 17 Signaux de l'interface mémoire du DSP (Texas Instruments, 1999)

Cette interface mémoire du DSP est branchée aux connecteurs J1 et J3 sur la carte DSK (Texas Instruments, 2000b). Les détails sur les caractéristiques physiques des connecteurs et de la carte sont présentés dans le document (Texas Instruments, 2000a). Ces connecteurs sont le point d'attache de la carte DSK sur la carte interface et les signaux associés sont reliés aux broches du connecteur HDRZ. Pour assurer l'intégrité des signaux, il est important de bien adapter les lignes de transmission. La technique avec des terminaisons de source est utilisée pour le circuit de la carte interface. Ce type de terminaison consiste à mettre une résistance série le plus près possible de la source de courant et la valeur de la résistance doit être égale à l'impédance caractéristique de la ligne de transmission (H. W. Johnson & Graham, 1993). L'interface mémoire est

bidirectionnelle c'est-à-dire que le DSP peut lire ou écrire dans la mémoire en utilisant le même bus de données. Sur la carte DSK, entre le DSP et les connecteurs, il y a des portes de transfert (buffer) qui ont une résistance interne de 22Ω en sortie. Il faut tenir compte de ces caractéristiques lors du calcul des terminaisons de source pour les lignes de transmission. Pour les signaux d'adresse et de contrôle, la porte de transfert est la source donc les terminaisons sont le plus près possible de la sortie et il faut soustraire la valeur de la résistance interne de la porte. Les lignes de transmission de la carte ont une impédance caractéristique de 68Ω (les détails sur cette valeur sont présentés plus loin dans la section). Donc la valeur de la terminaison calculée est de 46Ω ($68-22=46$) mais la résistance choisie est de 47Ω car elle est disponible sur le marché. Il est possible de vérifier le comportement de la terminaison à l'aide d'une simulation dans le logiciel ADS. La figure 18 montre le schéma de la simulation avec la source, la ligne de transmission, la terminaison de source et la charge.

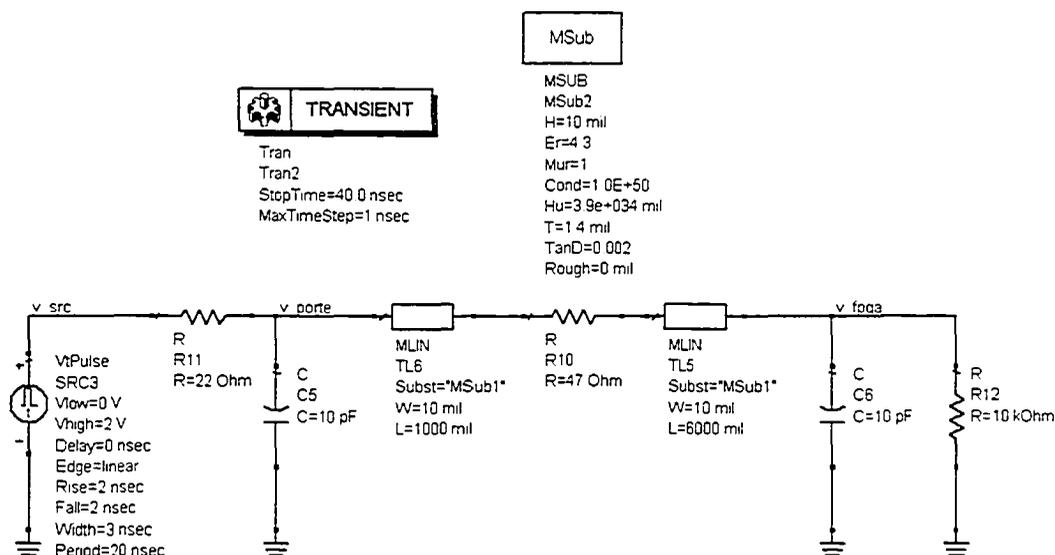


Figure 18 Simulation de la terminaison d'une ligne de transmission

Dans ce cas, la source de tension représente la porte de transfert avec les caractéristiques prises dans la spécification du fabricant (Texas Instruments, 2003). Une tension

minimale de 2 V pour le niveau haut, un temps de montée/descente d'environ 2 ns selon notre circuit, une résistance série de 22 Ω et une capacité de sortie de 10 pF. Le bloc *MSub* permet de définir les caractéristiques du substrat (présentés plus loin dans la section) pour la simulation des lignes de transmission. La longueur de ces dernières est choisie pour représenter la disposition physique réelle des traces c'est-à-dire 1 pouce sur la carte DSK, 4 pouces sur la carte interface et 2 pouces sur la carte Integrator/LT-XC2V4000+. La terminaison est placée sur la carte interface le plus près de la porte de transfert. La charge représente l'entrée du FPGA et est modélisée par une capacité de 10 pF maximum (Xilinx, 2003) et par une résistance d'environ 10 k Ω en parallèle. Il est à noter que le circuit pour vérifier le comportement est très simplifié car il n'inclut pas les connecteurs ni les vias et il utilise une source idéale. Mais il est assez complet pour simuler l'effet de ne pas terminer adéquatement une ligne de transmission. La figure 19 présente le signal aux bornes de la charge avec et sans la terminaison de source.

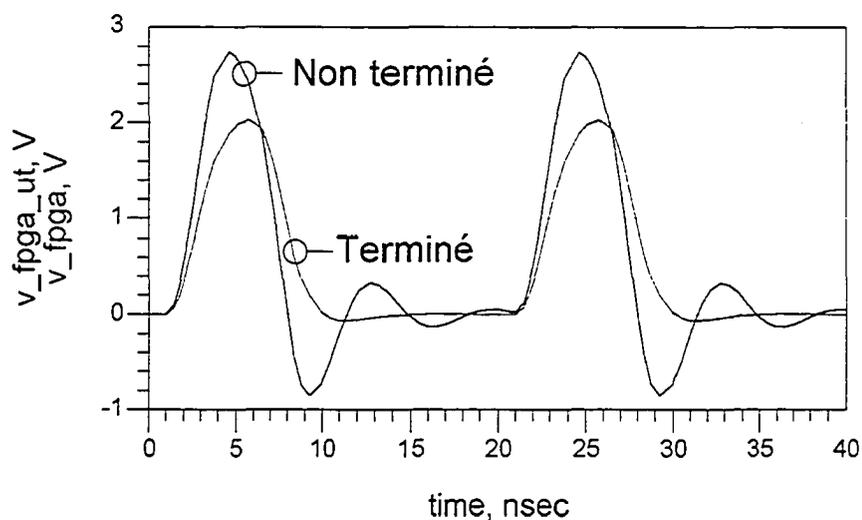


Figure 19 Signaux au FPGA avec et sans terminaison

Avec la terminaison de source, le signal sur la charge (le FPGA) n'a pratiquement pas de distorsion et varie entre 0V et 2V. Par contre, celui sans terminaison a des dépassements de plus de 0.5V aux transitions. Ceci peut causer des problèmes lors de la détection des niveaux logique à la charge. Il est à noter que la valeur de 2 V représente le minimum de

la spécification et cette tension est d'environ 3.3V en fonctionnement normal. Avec une tension de 3.3V, le dépassement pour le cas sans terminaison est de 1.5V.

Dans le cas des signaux de données, l'utilisation d'une terminaison de source n'est pas nécessairement suffisante parce que ces signaux sont bidirectionnels. Ceci veut dire que le DSP est la source lors d'une écriture tandis que c'est le FPGA lors d'une lecture. De plus, la carte avec le FPGA est déjà construite et il n'y a pas de terminaison de source. Pour palier ces problèmes, des simulations dans le logiciel ADS ont permis de déterminer la valeur de la terminaison et son emplacement pour assurer l'intégrité des signaux dans les deux directions. Pour ce faire, il y a un circuit avec la porte de transfert comme source et un autre circuit avec la sortie du FPGA comme source. L'emplacement et la valeur des résistances de ces deux circuits sont ajustés simultanément avec comme objectif la réduction de la distorsion sur le signal. Après simulation et analyse, c'est en mettant la terminaison près du FPGA sur la carte interface avec une valeur de résistance de 68Ω que le signal a une distorsion minimale dans les deux directions. Dans la figure 20, les signaux de la partie *a)* sont présents sur le FPGA avec la porte de transfert comme source et les signaux de la partie *b)* sont présents sur la porte de transfert avec le FPGA comme source. Encore une fois, il y a le signal pour le cas terminé et non terminé.

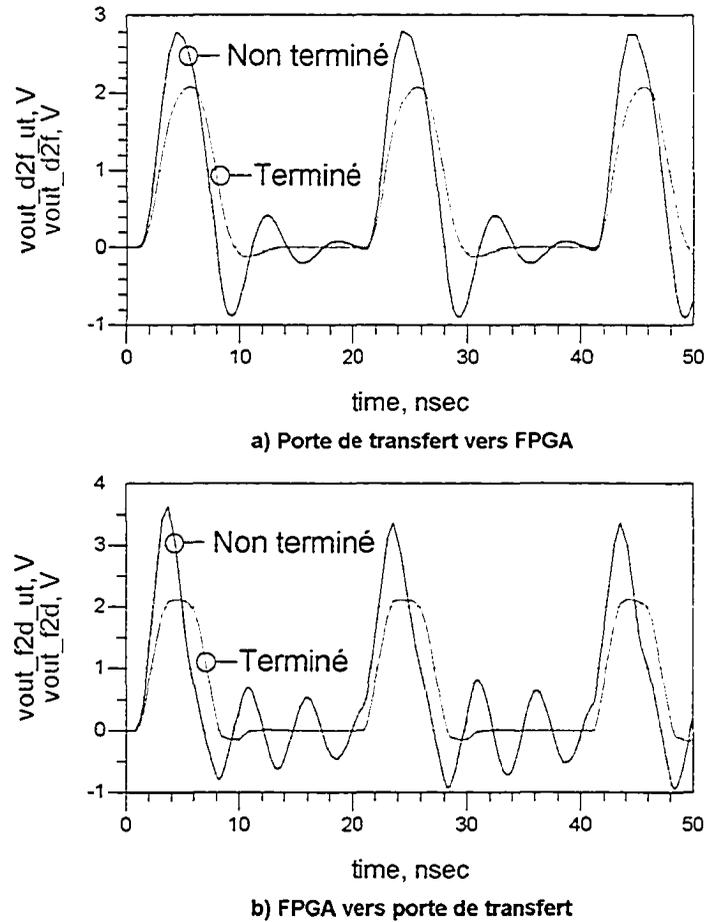


Figure 20 Signaux au FPGA et sur la porte de transfert avec et sans terminaison

Le dépassement est pratiquement le même que pour les signaux d'adresse et de contrôle dans le cas où la porte de transfert est la source. Par contre, dans l'autre cas où la source est le FPGA, le dépassement est plus élevé. Encore une fois, le dépassement est réduit avec la terminaison. Ceci entraîne une réduction du courant fourni par la source lors des transitions. La figure 21 montre le courant de la source avec et sans terminaison pour le cas où le FPGA est la source.

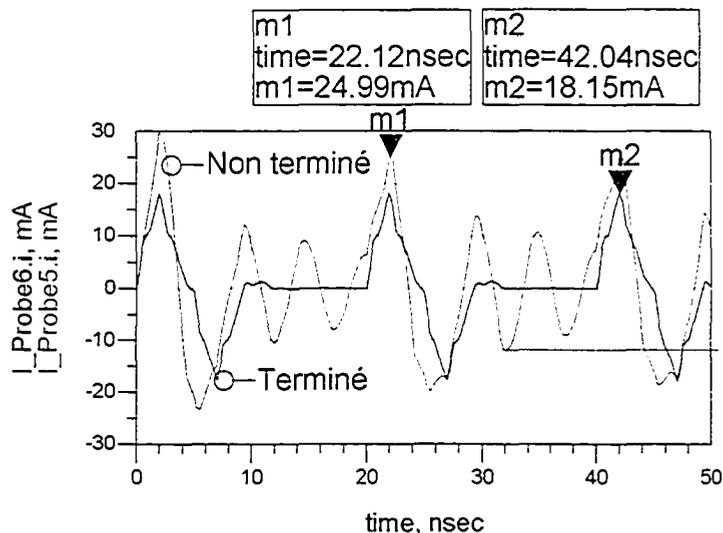


Figure 21 Courant de la source avec et sans terminaison

Donc l'utilisation d'une terminaison de source diminue le courant maximum fourni d'au moins 6 mA (voir les marqueurs *m1* et *m2* dans la figure 21) lors d'un front montant ce qui représente une réduction de 25%. Si on considère qu'il y a 32 signaux pour une donnée (32 bits) et que tous les bits changent en même temps, le FPGA doit fournir 192 mA de plus lors de la transition montante s'il n'y a pas de terminaison. De plus, il y a des dépassements avec oscillation ce qui entraîne la génération de courant inutile. En prenant en compte le fait que le FPGA a 1104 entrées/sorties, il est préférable de réduire au maximum le courant produit par chaque broche de sortie. Ceci complète la description du lien entre le DSP et le FPGA.

2.3.3 Les convertisseurs CAN et CNA

En ce qui concerne les convertisseurs, le type de CNA utilisé est un AD9744 avec 14 bits et une fréquence d'échantillonnage maximale de 165 MHz (Analog Devices, 2003). En plus des 14 signaux correspondant à la valeur numérique, il y a un signal d'horloge donc il faut 15 broches pour chaque convertisseur CNA. Dans notre cas, il y a 4

convertisseurs (DACA, DACB, DACC et DACD) donc 60 broches sont nécessaires. Pour la terminaison de source des lignes de transmission, c'est le FPGA qui est la source donc les résistances de 68Ω sont placées le plus près possible du connecteur HDRX. Les lignes de transmission ont les mêmes caractéristiques que celles de l'interface entre le DSP et le FPGA pour les signaux d'adresse.

Dans la spécification du fabricant (Analog Devices, 2003), il y a une recommandation concernant la transition des signaux de la donnée qui devrait avoir lieu durant la transition descendante du signal d'horloge. Cette contrainte implique autant que possible d'avoir des traces de la même longueur et il faut que la transition des sorties du FPGA pour les signaux de la donnée soit sur le front descendant de l'horloge. Le convertisseur peut interpréter la donnée numérique en deux formats soit en binaire ou en complément à deux. Le choix entre un format ou l'autre est fait en avec un cavalier (jumper) sur la carte interface. La position en fonction du format est spécifiée sur le schéma électrique (annexe 2) et imprimé sur la carte interface à côté des contacts pour le cavalier. La relation entre la valeur numérique et la tension à la sortie pour chaque format se trouve dans la spécification du fabricant.

La sortie analogique du convertisseur est bipolaire et se dirige dans 2 connecteurs SMA pour laisser la plus grande flexibilité pour le circuit de sortie. Ce dernier peut avoir un couplage bipolaire ou une conversion pour un couplage unipolaire avec un courant alternatif ou continu. Le choix est aussi libre pour l'amplification et le filtrage. Ces 2 sorties ont des sources de courant ayant un courant maximal de 20 mA et la tension maximale tolérée est de 0.5 V. L'utilisation d'une charge de 25Ω permet d'utiliser la plage maximale. En fait, il y a une résistance de 50Ω en parallèle avec chaque sortie pour obtenir une résistance équivalente de 25Ω en branchant un câble coaxial ayant une impédance caractéristique de 50Ω . La référence de tension est ajustée avec la résistance de $2 \text{ k}\Omega$ branchée sur la broche Fsadj du circuit intégré. Ceci assure un courant maximal de 20 mA aux sorties avec une tension de 0.5 V dans une charge équivalente de 25Ω .

Pour ce qui est de l'alimentation des convertisseurs, il y a un un régulateur de tension pour la partie numérique et un régulateur pour la partie analogique et ce pour chaque convertisseur. Cette technique vise à isoler le bruit de chaque alimentation. Le découplage des broches d'alimentation des circuits intégrés a été choisi après la comparaison de deux procédures de calcul. La première méthode (Ott, 1988) permet de déterminer la valeur des condensateurs en fonction de la variation du courant, de la tension et du temps selon la formule 2.1.

$$C = \frac{dI \cdot dt}{dV} \quad (2.1)$$

Le paramètre dV représente la variation maximale de tension admissible sur l'alimentation en fonction de la consommation de courant dI pendant un instant de transition dt .

La deuxième méthode (Xilinx, 2002a) utilise plutôt la puissance P , la tension d'alimentation V et la fréquence F pour déterminer la valeur des condensateurs avec la formule 2.2.

$$C = \frac{S \frac{P}{V^2 \cdot F}}{Np} \quad (2.2)$$

Le paramètre S est un facteur d'échelle qui spécifie la variation de tension admissible pour l'alimentation. Par exemple, pour avoir une variation maximale de 0.5%, la valeur de S est 200 ($1/200=0.005=0.5\%$). Np est le nombre de broches d'alimentation (sans les GND) et permet de répartir la valeur de la capacité nécessaire en plusieurs condensateurs pour chaque broche.

Dans le cas du CNA, l'alimentation est de 3.3V et il peut y avoir (dans le pire cas) une variation de courant dI de 33 mA sur la partie analogique et 8 mA sur la partie numérique. Le temps de transition dt est environ de 2.5 ns pour les entrées numériques et pour la sortie analogique et la fréquence d'opération maximale est 165 Mhz. La variation maximale de tension dV admissible sur l'alimentation est choisie de manière à avoir

(dans le pire cas) un bruit sur la sortie analogique qui est quatre fois plus petit que la valeur de tension du bit le moins significatif. Donc avec cette valeur et le taux de rejet du bruit d'alimentation du convertisseur, il est possible de déduire le bruit maximal toléré sur l'alimentation. La tension du bit le moins significatif est $30.52 \mu\text{V}$ et on veut un bruit maximal qui est 4 fois plus petit soit $7.63 \mu\text{V}$. Le taux de rejet du bruit d'alimentation du convertisseur est plus grand que 47 dB pour une plage de fréquence allant de 0 jusqu'à 4 MHz. Ceci correspond à un bruit maximal dV de 1.7 mV sur l'alimentation du convertisseur. Pour la deuxième méthode, le facteur S est fixé à 1941 ($3.3 \text{ V}/1.7 \text{ mV}$). La puissance estimée du circuit est environ 0.109 W pour la partie analogique et 26.4 mW pour la partie numérique. Il y a une broche d'alimentation (3.3 V) pour la partie numérique et une (3.3 V) pour la partie analogique.

Pour la partie analogique, la méthode 1 donne une capacité de 49 nF et la méthode 2 donne une capacité de 118 nF pour une broche. La valeur choisie, 66 nF, se situe entre les deux et est répartie dans trois (3) condensateurs de 22 nF qui seront placés le plus possible de la broche d'alimentation. La partie numérique selon la méthode 1 requiert une capacité de 12 nF et 29 nF pour la deuxième méthode. La valeur choisie dans ce cas est 13.6 nF avec deux (2) condensateurs de 6.8 nF. Ce choix est principalement guidé par la disponibilité des composants. Ceci termine le calcul des condensateurs pour le découplage des broches d'alimentation des CNA.

Les 2 CAN (ADCA et ADCB) sont des AD9433 de 12 bits avec une fréquence d'opération maximale de 125 MHz (Analog Devices, 2001). Le nombre de broches pour un convertisseur est de 15 parce que l'horloge est bipolaire et il y a un signal numérique d'état ($12+2+1=15$) donc il faut en compter 30 pour les 2 CAN. L'entrée analogique bipolaire du convertisseur est branchée sur deux connecteurs SMA pour les mêmes raisons que le CNA. La valeur numérique de l'échantillon peut prendre 2 formats soit binaire ou complément à deux et le choix du format se fait comme le CNA avec un cavalier. La relation entre la tension à l'entrée et la valeur numérique de chaque format

est présentée dans la spécification du fabricant (Analog Devices, 2001). En plus des 12 bits pour la donnée, il y a un signal numérique qui indique si la valeur analogique de l'entrée dépasse la plage du convertisseur. Dans ce cas, la source pour les signaux de la donnée est le convertisseur donc les résistances de terminaison de 68Ω sont placées le plus près du convertisseur.

Le signal d'horloge est bipolaire et il faut choisir les broches du FPGA en conséquence. En effet, les paires de broche bipolaire du FPGA sont fixes et l'information à ce sujet est disponible dans la spécification du fabricant (Xilinx, 2003; Xilinx, 2005). En ce qui concerne la correspondance entre les broches du FPGA et les broches du connecteur, il faut référer au schéma électrique de la carte Integrator/LT-XC2V4000+ (ARM, 2002b). Pour le convertisseur, la spécification du fabricant suggère d'utiliser une porte PECL comme source pour l'horloge. Il est possible de configurer les sorties du FPGA pour avoir un format LVPECL dont les caractéristiques sont semblables à celles des entrées de l'horloge du convertisseur. Le guide de l'utilisateur du FPGA (Xilinx, 2003) suggère une terminaison de source ayant une résistance de 100Ω en série avec chacune des 2 sorties et une résistance d'environ 200Ω entre les deux résistances et ce, du côté de la charge (convertisseur). Ce réseau de trois résistances doit être placé le plus près du FPGA. Pour utiliser le circuit d'horloge avec un couplage unipolaire, il faut modifier le circuit d'entrée du convertisseur (résistances), la disposition de la terminaison de source et la configuration de l'horloge dans le FPGA.

Comme pour le CNA, il y a deux régulateurs par convertisseur et le découplage, dans ce cas, doit rencontrer les contraintes suivantes. La tension d'alimentation V pour la partie analogique est 5 V avec une variation de courant dI maximale de 270 mA et la tension pour la section numérique est 3.3 V avec 16 mA . Le temps de transition est de 1.9 ns et la fréquence d'échantillonnage est de 125 Mhz . Le convertisseur a un taux de rejet du bruit d'alimentation d'environ 50 dB et on vise un bruit à l'entrée analogique inférieur au quart de la valeur de tension correspondant au bit le moins significatif. La tension

maximale du bruit sur l'alimentation est 38.6 mV. Pour la méthode 2 dans le calcul du découplage, le facteur S est 130 (5 V/ 38.6 mV) pour la partie analogique et 86 (3.3 V/ 38.6 mV) pour la partie numérique. La puissance estimée du circuit est d'environ 1.35 W pour le partie analogique et 52.8 mW pour la partie numérique. Le circuit intégré a neuf (9) broches pour l'alimentation analogique et quatre (4) pour celle numérique.

Pour la partie analogique, la première méthode donne une capacité de 13 nF et la méthode 2 donne 56 nF pour l'ensemble des broches. Le choix dans ce cas est d'avoir une capacité totale de 48 nF avec sept (7) condensateurs de 6.8 nF. Pour la partie numérique, la méthode 1 donne 17.9 nF et l'autre 3.3 nF et le choix est de mettre trois (3) condensateurs de 1.5 nF pour un total de 4.5 nF. Encore une fois, le choix a été fait en fonction des condensateurs disponibles sur le marché.

2.3.4 Alimentation et autres circuits

En plus du découplage pour les broches d'alimentation des circuits intégrés convertisseurs, il y a des condensateurs près des connecteurs pour les sources de tension externes. En fait, il y a une alimentation de 5.4 V pour la partie analogique des CAN et une de 3.7 V pour les CNA et la partie numérique des CAN. Dans les deux cas, la tension d'alimentation est plus élevée que celle des circuits intégrés pour assurer le bon fonctionnement des régulateurs de tension qui ont une faible chute de tension (LDO - Low Drop Out regulator). Le calcul des condensateurs de découplage a été fait selon (H. W. Johnson & Graham, 1993) en utilisant les équations 2.3, 2.4, 2.5 et 2.6. Dans un premier temps, il faut trouver l'impédance maximale tolérée à l'aide de la variation de tension ΔV et de courant ΔI au point du découplage.

$$X_{max} = \frac{\Delta V}{\Delta I} \quad (2.3)$$

Dans le cas de l'alimentation à 3.7 V, la variation de tension ΔV est la plus petite valeur utilisée pour les convertisseurs en tenant compte du taux de rejet du bruit des régulateurs de tension qui est d'environ 40 dB à basse fréquence (Linear Technology, 1999). Un maximum de 1.7 mV à la sortie du régulateur est obtenu s'il y a un maximum de 170 mV à l'entrée donc au point de découplage. La variation de courant ΔI est la somme des valeurs utilisées pour le découplage des parties numériques des convertisseurs auquel est ajouté le courant des régulateurs de ces parties soit une variation maximale de 200 mA et X_{max} est de 0.85 Ω . Avec cette valeur, il est ensuite possible de calculer la fréquence de coupure à partir de laquelle le câblage d'alimentation (entre le bloc d'alimentation et la carte) est moins efficace pour passer le courant à cause de sa composante inductive.

$$F_{PSW} = \frac{X_{max}}{2 \pi L_{PSW}} \quad (2.4)$$

La valeur de L_{PSW} (inductance du câblage) est calculée avec l'équation 2.5 ou avec une mesure physique du câble d'alimentation.

$$L_{PSW} = 10.16 X \ln\left(\frac{2H}{D}\right) \quad (2.5)$$

Dans cette formule, L_{PSW} est l'inductance en nH, X est la longueur du câble en pouce, H est la séparation entre les câbles (aller et retour) en pouce et D est le diamètre de ce dernier en pouce. Pour une longueur de 12 pouces, une distance de 1 pouce et un diamètre de 60 millième de pouce, l'inductance calculée est de 428 nH. L'inductance mesurée pour un câble de 12 pouces est de 0.4 μ H ce qui est très semblable. La fréquence de coupure F_{PSW} obtenue en considérant un câble de 24 pouces avec aller et retour (48 pouces) est de 84.5 khz. Finalement, la valeur de la capacité nécessaire pour assurer le transfert d'énergie au dessus de la fréquence de coupure se calcule avec l'équation 2.6 en utilisant F_{PSW} et X_{max} .

$$C_{bypass} = \frac{1}{2 \pi F_{PSW} X_{max}} \quad (2.6)$$

Donc la valeur calculée du condensateur est de 2.2 μ F pour l'alimentation de 3.7 V. Sur la carte aux bornes du connecteur pour l'alimentation externe, il y a un condensateur de 1

μF . Pour l'alimentation de 5.4 V, la variation de tension admissible est la même que pour l'autre alimentation soit 170 mV et le courant est 550 mA. Le X_{max} associé est 0.31Ω , F_{PSW} est 30.74 kHz et la valeur du condensateur calculé est $16.75 \mu\text{F}$. Sur la carte, il y a un condensateur de $10 \mu\text{F}$ branché en parallèle avec le connecteur d'alimentation.

Mise à part l'interface entre le DSP et le FPGA et les convertisseurs, il y a d'autres signaux qui vont sur la carte interface et qui sont branchés sur le FPGA. Il y a 2 signaux branchés sur une DEL (diode électroluminescente) ayant une partie rouge et une verte (LED2 sur le schéma électrique de l'annexe 2) pour indiquer l'état du système et 1 signal provenant d'un bouton poussoir (PB1) pour initialiser le système. Il est possible d'avoir un signal d'horloge externe entrant sur un connecteur SMA (J6) et un signal d'horloge sortant (J7). Il y a aussi une autre DEL à deux parties (LED1) pour indiquer si les alimentations (3.7 V et 5.4 V) sont actives. Afin de permettre d'ajouter des convertisseurs et/ou pour avoir des entrées/sorties externes branchées sur le FPGA, il y a deux connecteurs (J10 et J11) avec 30 signaux chacun pour un total de 60 broches reliées au FPGA. Ces connecteurs de type 'header' sont situés sur la face supérieure de la carte interface.

Ceci termine la description du circuit de la carte interface et le schéma électrique est disponible à l'annexe 1. Il est à noter qu'il y a des informations importantes sur le schéma électrique comme le schéma bloc de la carte, les directives pour le placement des résistances de terminaison, certaines indications pour la configuration des convertisseurs et des images du dessin de masque de la face supérieure et inférieure du circuit imprimé avec l'identification des composantes.

2.3.5 Réalisation du circuit imprimé

Cette section est dédiée à la description de la réalisation du circuit imprimé. Pour cette étape, les points considérés sont l'emplacement physique de la carte interface dans le

banc d'essai, le positionnement des connecteurs et convertisseurs, les caractéristiques des lignes de transmission, la fabrication du circuit imprimé et l'assemblage des composantes.

Comme mentionné au début de cette section, la carte interface est branchée sur les trois connecteurs de la carte Integrator/LT-XC2V4000+ qui est à son tour connectée sur la carte Integrator/IM-LT1. Ensuite, cette dernière est branchée sur la carte mère Integrator/AP qui est fixée dans un boîtier d'ordinateur. De plus, sur la carte interface, il y a des connecteurs pour brancher la carte DSK, pour les entrées/sorties analogiques des convertisseurs et pour les entrées/sorties externes. Ces informations sont nécessaires pour déterminer la grandeur et la position de la carte interface. La figure 22 présente la disposition des cartes de la RPP dans le boîtier d'ordinateur en identifiant les principaux obstacles autour des connecteurs où est branchée la carte interface.

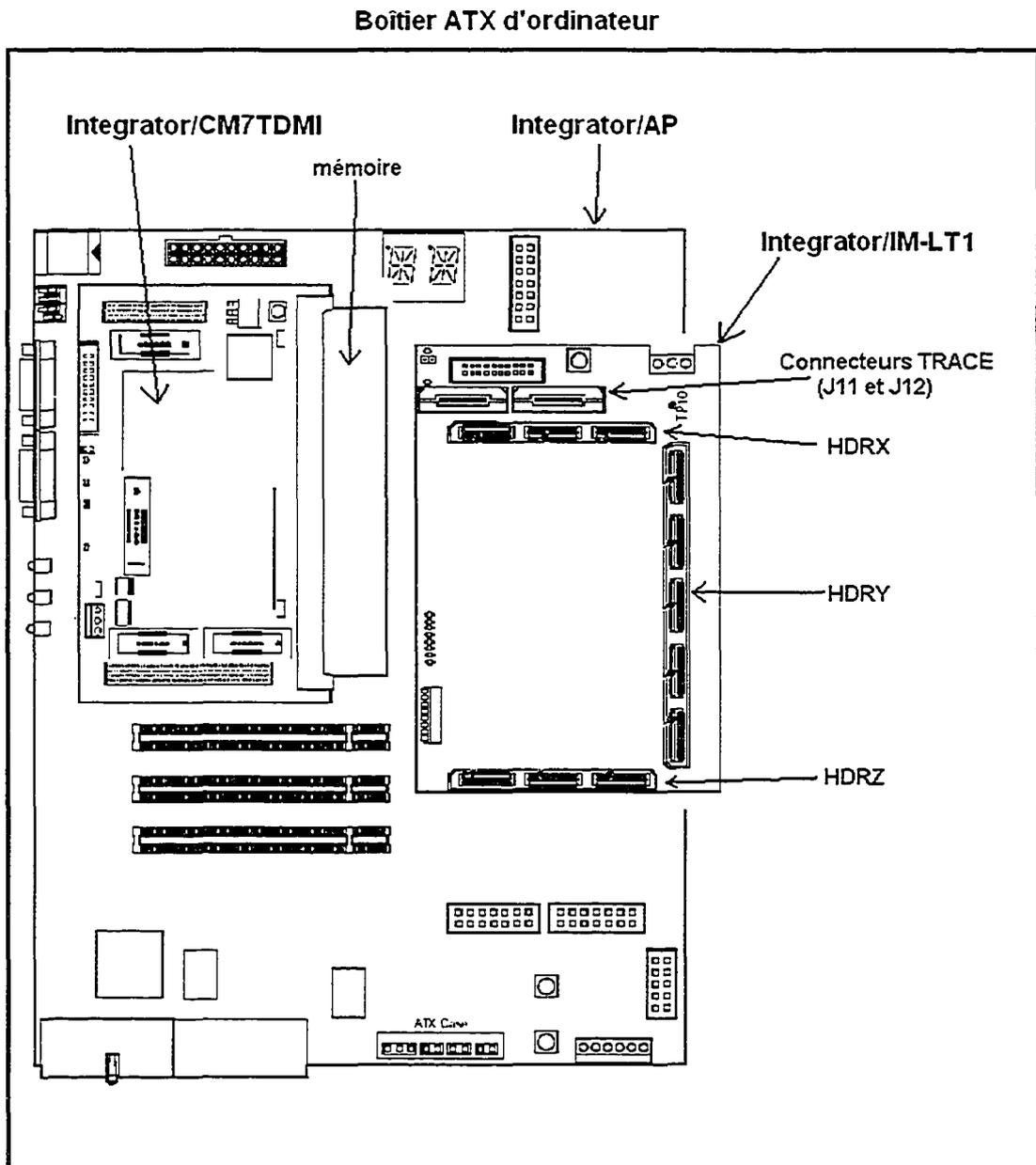


Figure 22 Disposition des cartes Integrator dans le boîtier
(ARM, 2001c)

Il y a de l'espace en bas et à droite des connecteurs HDRX, HDRY et HDRZ. Les principaux obstacles sont la mémoire (sur la carte integrator/CM7TDMI) à gauche, les connecteurs TRACE (J11 et J12 de la carte Integrator/IM-LT1) en haut et le contour du

boîtier d'ordinateur. Il est aussi important de considérer que la grandeur maximale de la carte interface imposée par le fabricant de circuit imprimé est de 8.5 pouces par 9 pouces. De plus, il faut positionner la carte DSK qui occupe une surface de 5 pouces par 11 pouces en considérant le câble d'alimentation et de programmation. La figure 23 montre la disposition qui a été retenue pour la carte interface et la carte DSK par rapport aux cartes RPP et au boîtier.

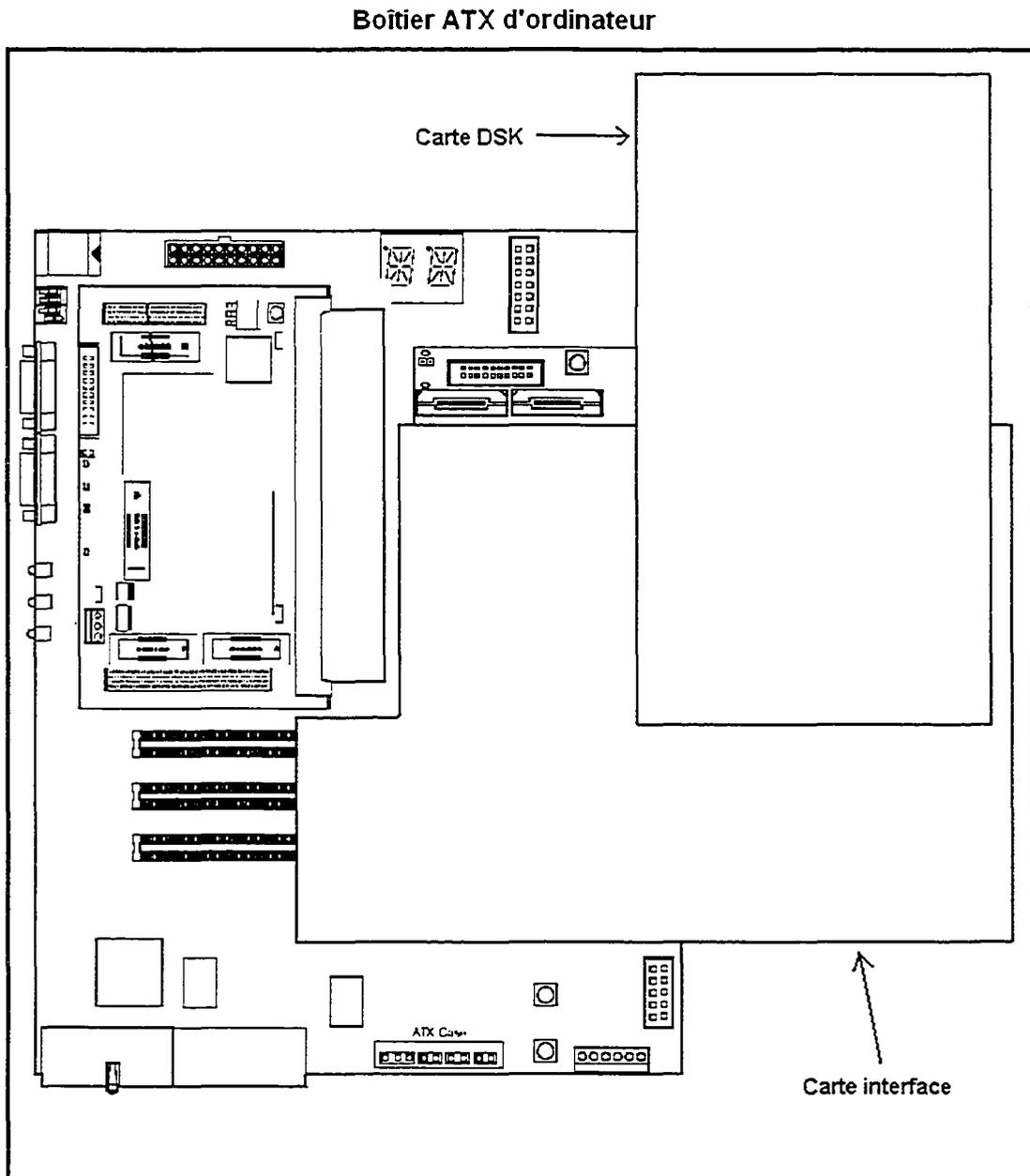


Figure 23 Disposition de la carte DSK et la carte interface

Cette configuration permet d'avoir le maximum de surface pour les connecteurs des convertisseurs et des entrées/sorties externes tout en gardant une courte distance pour les signaux provenant de la carte DSK. Donc les dimensions de la carte sont fixées à 7.25 pouces par 8 pouces avec un espace dans un coin pour ne pas interférer avec la mémoire

de la carte Integrator/CM7TDMI. La carte a 4 couches avec les différents signaux sur les 2 faces extérieures et des plans d'alimentation et de masse sur les 2 couches intérieures. La figure 24 montre le dessin des masques pour les couches extérieures, c'est-à-dire la face supérieure *a*) (top layer) et la couche inférieure *b*) (bottom layer) et les couches pour l'impression d'encre sur les surfaces (identification et contour des composantes, top/bottom silk screen) sont superposées sur les faces respectives.

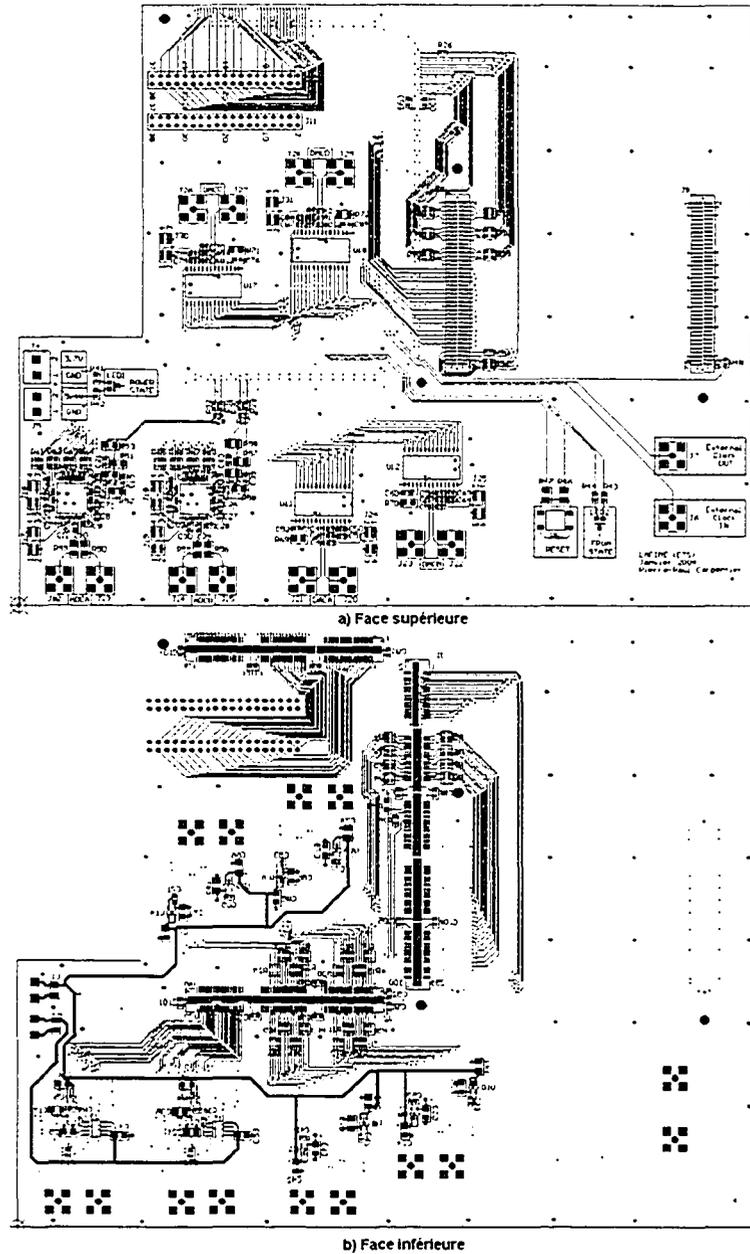


Figure 24 Couches extérieures pour la carte interface

Les couches extérieures sont utilisées pour les signaux reliant les différentes parties du système c'est-à-dire pour brancher le FPGA à la carte DSK, aux convertisseurs et aux entrées/sorties externes. Les deux couches internes de la figure 25 servent pour les plans

d'alimentation des convertisseurs et aussi pour les plans de masse sous les lignes de transmissions.

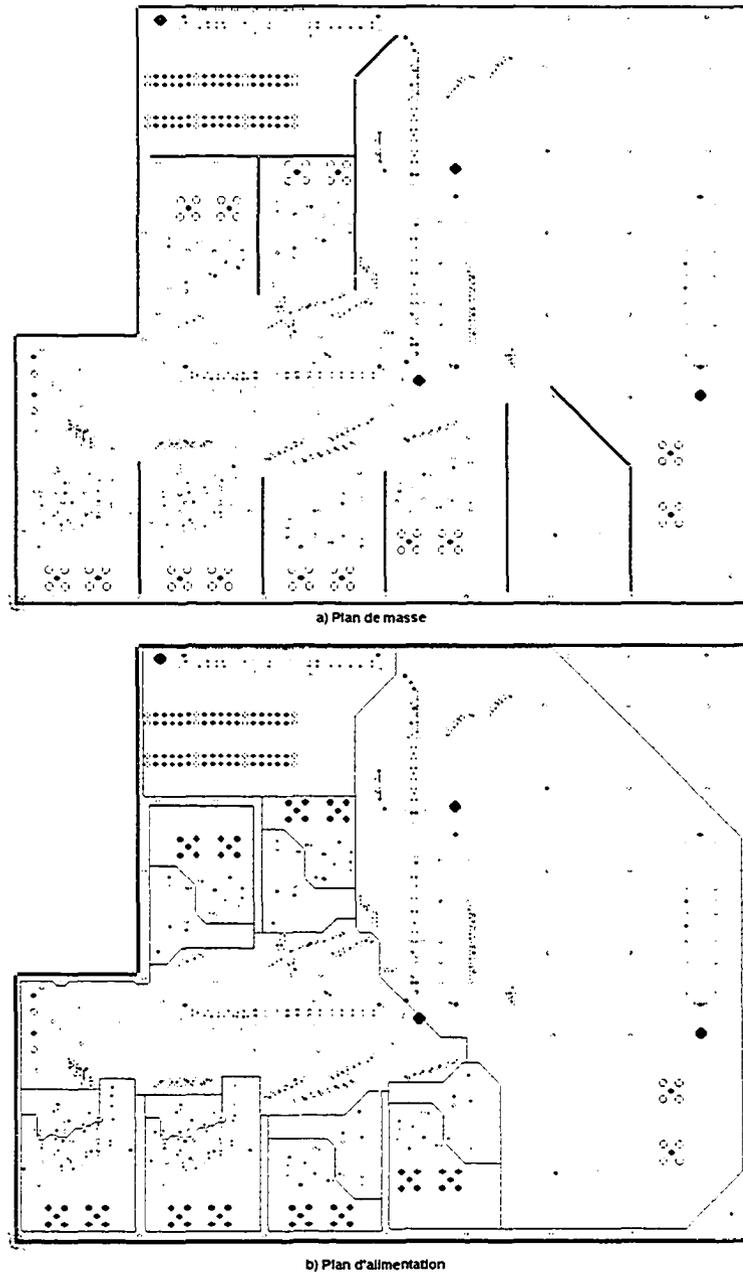


Figure 25 Couches intérieures pour la carte interface

Afin de conserver les propriétés des lignes de transmission, il y a un plan de masse sous toutes les traces des signaux. Évidemment ceci indique l'utilisation de lignes à impédance contrôlée avec une épaisseur de diélectrique précise entre la trace et son plan de masse associé. Dans ce cas, le substrat utilisé est de type FR-4 avec un diélectrique composé de fibre de verre et de résine et ayant une permittivité relative d'environ 4.3 selon le fabricant. Cette caractéristique varie en fonction de la fréquence d'utilisation du circuit et de la température de ce dernier. La plupart des fabricants de circuits imprimés à plusieurs couches offrent la possibilité de choisir l'épaisseur du diélectrique. Pour la carte interface, l'épaisseur est fixée à 10 mils entre la couche extérieure et la couche intérieure la plus proche et un épaisseur de 40 mils entre les 2 couches internes. Avec ces paramètres, il est possible de déterminer la largeur de la trace pour obtenir l'impédance caractéristique voulue. Avec le logiciel ADS (Agilent Technologies, 2004), il y a l'outil LineCalc qui permet de rapidement faire ces calculs. Pour une impédance de 50Ω , la largeur de la trace doit être d'environ 12 mils. La formule 2.7 tirée du livre de (H. W. Johnson & Graham, 1993) permet aussi de calculer la largeur de la trace en fonction de quelques paramètres.

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \left(\frac{5.98 h}{0.8 w + t} \right) \quad (2.7)$$

Dans ce cas, ϵ_r est la permittivité relative du diélectrique ayant une épaisseur h et w est la largeur de la trace ayant une épaisseur t .

Dans notre cas, l'impédance est ajusté à 68Ω pour ainsi avoir des traces moins larges et pour diminuer le courant maximum à fournir par la source. En effet, pour une trace de 68Ω avec $h=10$ mils et $t=1.4$ mils, la largeur est d'environ 10 mils ce qui donne plus d'espace pour le routage. Il est à noter que les résultats de LineCalc et de la formule sont identiques. La valeur maximale du courant peut être calculée avec la formule 2.8 tirée de (H. W. Johnson & Graham, 1993) en considérant une source idéale branchée sur une ligne de transmission d'impédance caractéristique Z_0 et une terminaison de source de $Z_0\Omega$.

$$I_{max} = \frac{\Delta V}{2 Z_0} \quad (2.8)$$

Avec une source ayant une transition de 3.3V et un Z_0 de 50Ω , I_{max} est de 33 mA. Pour une impédance de 68Ω , le courant I_{max} est diminué à 24 mA.

Par contre, le modèle utilisé par LineCalc et la formule ne tiennent pas compte du vernis qui est ajouté sur le circuit imprimé. Ceci modifie la permittivité relative du diélectrique ce qui change la largeur de la trace nécessaire pour conserver une impédance de 68Ω . Avec le logiciel Polar (Polar, 2002), ce paramètre est pris en considération dans le modèle et la largeur résultante est de 12 mils. Le logiciel indique que la permittivité effective du diélectrique est de 4.7 à cause du vernis. Donc sur la carte interface, la largeur des traces est de 12 mils pour avoir une impédance de 68Ω .

Un autre fait à considérer est la proximité des traces où le couplage diaphonique (crosstalk) peut devenir un problème car une transition sur un signal peut causer du bruit sur le signal adjacent. Ce bruit supplémentaire peut faire en sorte que le signal ne respecte plus les niveaux de tension minimum et maximum pour les circuits intégrés numériques. La marge de bruit admissible est déterminée selon la méthode présentée dans (H. W. Johnson & Graham, 1993) en utilisant l'information des spécifications des circuits intégrés. Pour la carte interface, la marge de bruit la plus petite est entre le FPGA et le CNA avec une valeur de 0.3 V. Avec le logiciel ADS, il est possible de simuler cet effet de couplage diaphonique entre deux traces qui sont une à côté de l'autre. Il y a un modèle pour lequel on spécifie la distance entre deux traces, l'épaisseur du diélectrique et la longueur des traces. Le circuit de la figure 26 est utilisé pour faire une évaluation de base de l'effet du couplage.

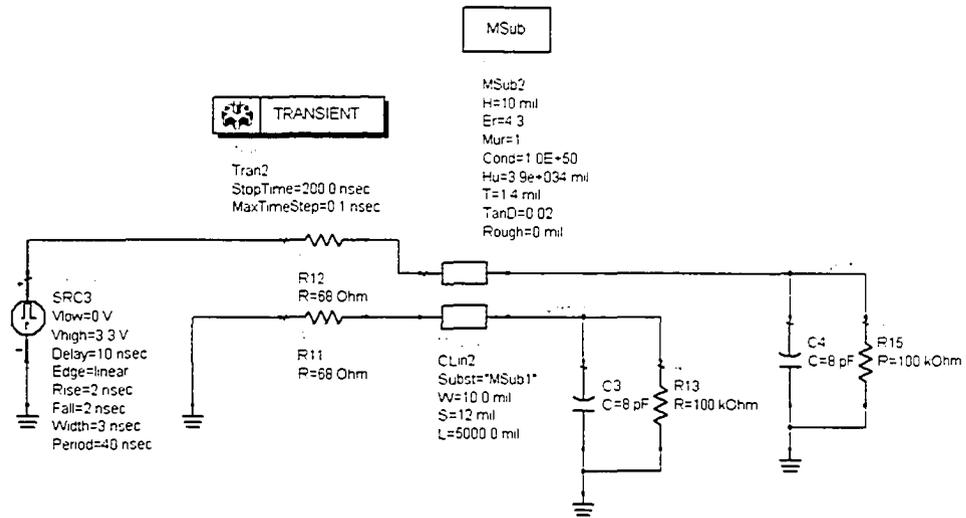


Figure 26 Circuit pour la simulation du couplage diaphonique

Dans ce cas, il y a une source qui génère un signal envoyé dans une trace d'impédance Z_0 et terminée par une charge Z_0 . La trace adjacente a une extrémité placée à la masse et l'autre est terminée par une charge Z_0 . En observant le signal sur cette dernière, il est possible de déterminer le bruit induit par une transition sur l'autre trace. La figure 27 présente le cas où il y a 10 mils entre les traces ayant une largeur de 12 mils chacune.

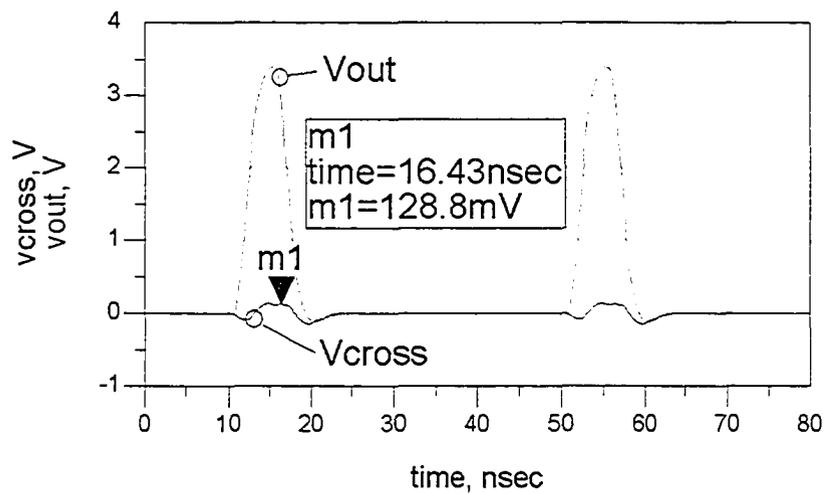


Figure 27 Effet du couplage diaphonique

Donc avec un espace de 10 mils entre les traces, il y a un bruit induit de 128.8 mV sur l'autre trace, ce qui est moins que la marge de bruit de 0.3 V. Sur la carte interface, les traces ont au moins 10 mils d'espacement entre elles.

Il faut aussi apporter une attention particulière aux différences de longueur pour les traces allant à une même composante. Comme mentionné pour les CNA, il faut synchroniser le changement de la donnée avec le front descendant de l'horloge. Ceci implique que la longueur des traces pour les signaux de la donnée et la longueur de la trace pour le signal d'horloge devraient être semblable. En effet, si la distance est identique alors le temps de propagation est égal et si on spécifie au FPGA de faire le changement de la donnée au front descendant de l'horloge alors cette synchronisation sera conservée. Si on considère une trace micro-ruban, le temps de propagation en ps/pouce peut-être calculé avec la formule 2.9 (H. W. Johnson & Graham, 1993).

$$T_{pd} = 85 \sqrt{(0.475 \epsilon_r + 0.67)} \quad (2.9)$$

Si on considère une permittivité relative de 4.3, le temps de propagation est de 140 ps par pouce de trace. Une simulation avec le logiciel ADS donne un temps de propagation d'environ 145 ps par pouce de trace. Pour une horloge de 165 Mhz comme le CNA, la période est de 6.06 ns et pour une différence d'un pouce de trace, le délai engendré représente 2.4 % de la période. De plus, il est important que les signaux d'horloge arrivent au même instant sur les 4 CNA pour assurer un synchronisme des signaux analogiques ce qui sera crucial pour certaines applications.

Lors de la soumission de la carte pour la fabrication, il y a une couche supplémentaire qui a été ajoutée au dessin des masques pour l'indication de certaines caractéristiques du circuit imprimé. Ces indications concernent les dimensions de la carte et l'emplacement et le diamètre des différents trous (montage, alignement des connecteurs, via et composantes) de la carte.

De plus, un document accompagnait les masques à la soumission afin de définir les principales caractéristiques physiques pour la fabrication. Dans ce document il y a la description et l'ordre des couches avec le nom des fichiers pour chacune, un schéma avec la disposition et l'épaisseur des couches, la largeur de trace minimale, l'espace minimale entre deux traces, les informations sur les différents trous et le nombre de trous plaqués. La figure 28 montre la structure des couches du circuit tel que spécifiée dans le logiciel Protel DXP (Altium, 2002) qui a été utilisé pour le dessin du circuit imprimé.

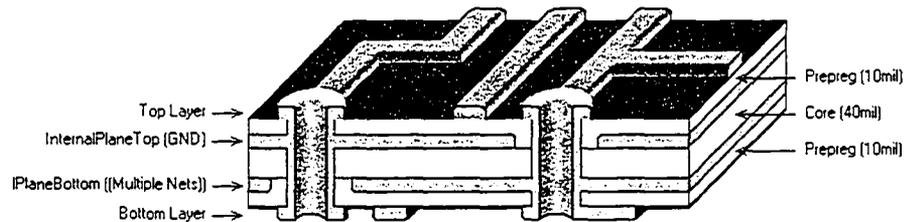


Figure 28 Structure des couches de la carte interface

Comme spécifié, il y a 10 mils entre les couches externes et internes et 40 mils entre les couches internes. En considérant l'épaisseur des couches de conducteur, le circuit imprimé a une épaisseur totale de 62 mils. Les contraintes imposées par la fabricant sont les dimensions maximales du circuit, l'espace minimal entre deux traces, la largeur minimal d'une trace et l'épaisseur de cuivre des couches.

Il est à noter qu'avant de procéder à la réalisation du circuit, le fabricant fait une analyse de ce dernier pour vérifier quelques règles de base sur le dessin des masques. La fabrication se fait en plusieurs étapes et finalement, il y a une vérification de la continuité électrique qui est faite pour toutes les traces. Après la fabrication, l'assemblage des composants sur le circuit a été faite avec l'aide de l'équipement du laboratoire. Les connecteurs haute densité pour le branchement avec la RPP ont été soudés à l'aide d'un four car il y avait des broches non accessibles avec la pointe d'un fer ou avec l'air chaud. Pour ce faire, la température dans le four a été augmentée

graduellement jusqu'à la température de fusion du mélange de la soudure. Ensuite, les soudures ont été inspectées au microscope pour vérifier les courts circuits et les circuits ouverts. Cette technique de soudure au four s'est avérée efficace avec seulement 1 court-circuit sur 680 broches. Les autres composantes ont été soudées avec un fer. Les figures 29a) et 29b) présentent les deux faces de la carte interface avec les composantes assemblées.

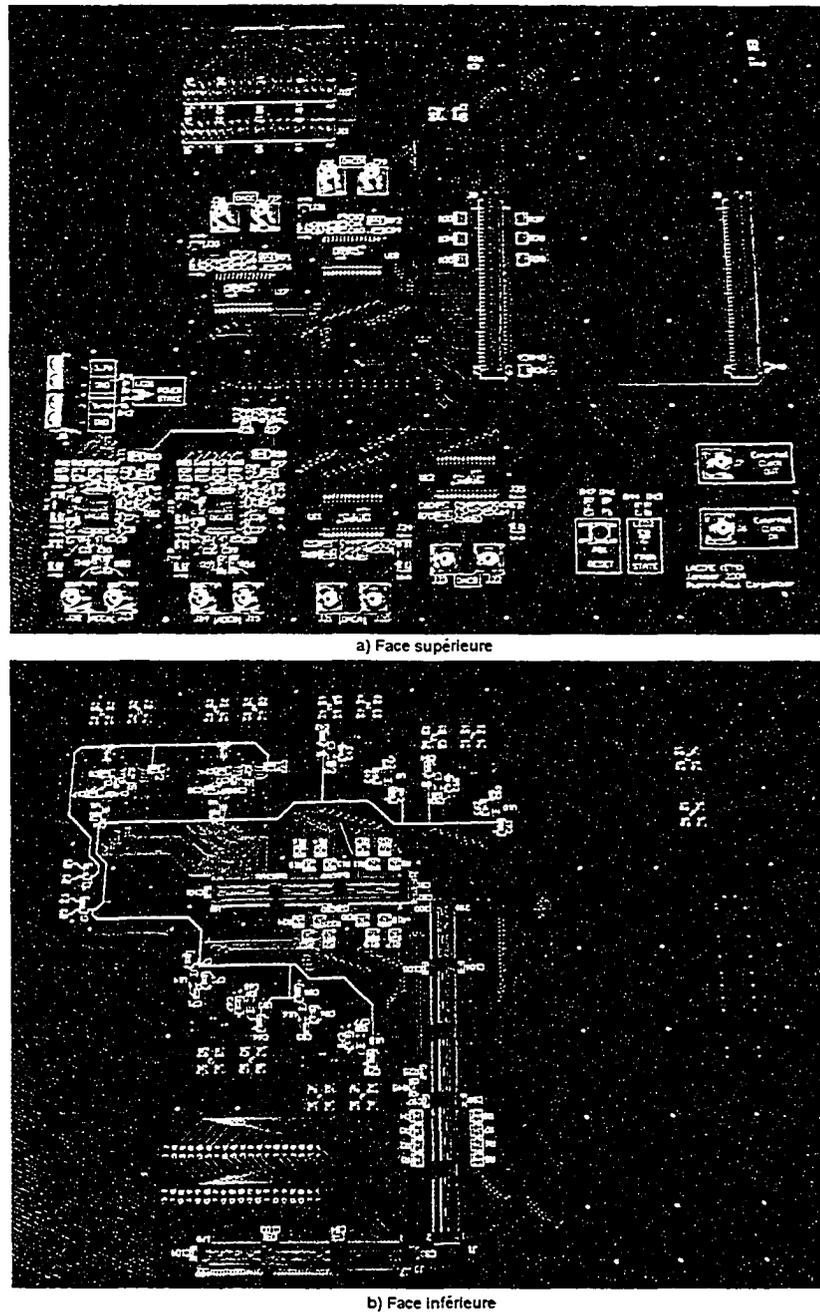


Figure 29 Carte interface avec composantes

La figure 30 montre la partie numérique du banc d'essai, c'est-à-dire la RPP, la carte interface et la carte DSK.

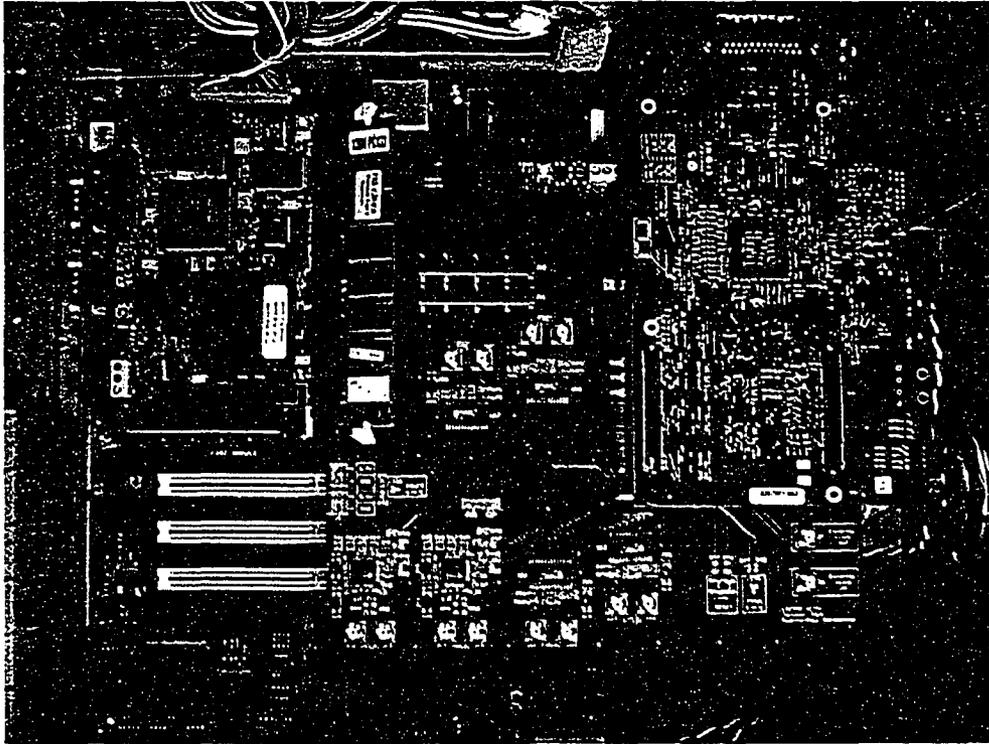


Figure 30 Partie numérique du banc d'essai

Et finalement, la figure 31 présente le banc d'essai dans le boîtier d'ordinateur.

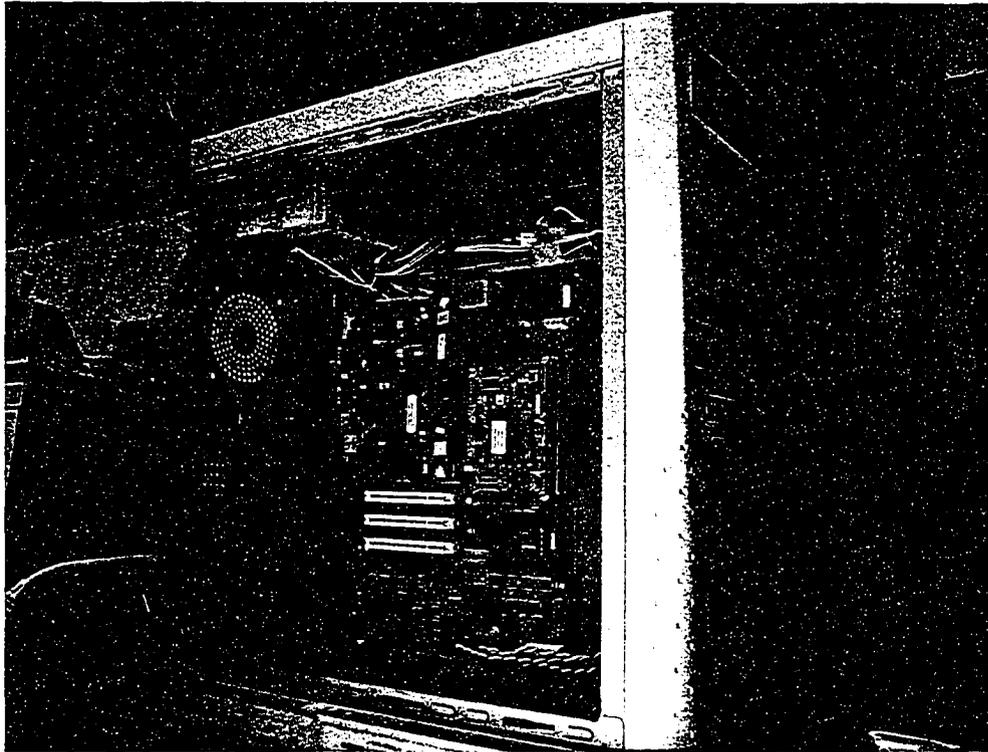


Figure 31 Boîtier d'ordinateur avec le banc d'essai

2.4 Comportement du banc d'essai

Le comportement du banc d'essai est principalement caractérisé par la fonctionnalité et l'interaction des trois parties numériques soit le FPGA, le processeur RISC et le DSP. Chaque circuit a des langages de programmation et des logiciels associés pour chacune des étapes afin d'obtenir la fonctionnalité voulue. Pour le processeur RISC, le programme est en langage C et le logiciel pour programmer et compiler est CodeWarrior (Metrowerks, 2001). Le logiciel AXD Debugger (ARM, 2001b) permet de charger et de contrôler l'exécution du programme sur le processeur. Le module Multi-Ice server (ARM, 2001a) est utilisé pour faire le pont entre AXD Debugger et la carte avec le processeur. Pour le FPGA, la fonctionnalité est spécifiée à l'aide du VHDL qui est écrit et simulé à l'aide de ModelSim (Model Technology, 2003). La synthèse est faite avec le logiciel Synplify (Synplicity, 2004) et le placement et routage avec Project Navigator

(Xilinx, 2002b). Finalement, la configuration du FPGA est chargée dans une mémoire Flash avec l'outil JTAG server (ARM, 2002d). Dans le cas du DSP, le langage C est utilisé pour la programmation et il est possible de créer un programme à l'aide d'un modèle Simulink. Le programme est compilé et chargé avec le logiciel Code Composer Studio (Texas Instruments, 2001b). Il est aussi possible d'utiliser ce dernier pour contrôler l'exécution du programme. Le tableau 32 résume les différentes étapes et les logiciels associés.

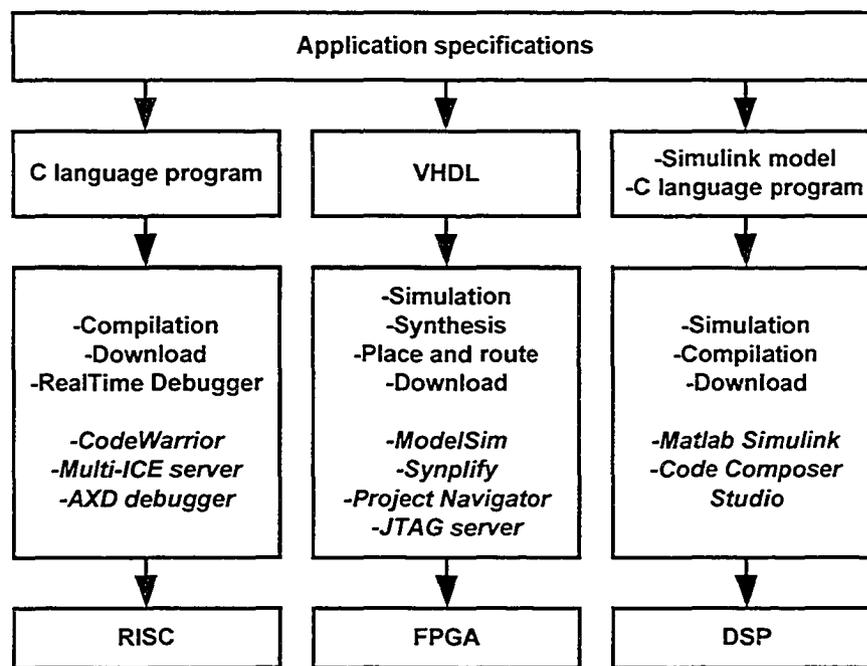


Figure 32 Différents logiciels associés aux circuits numériques

Donc selon les spécifications de l'application, chaque circuit intégré peut être programmé avec une partie de la fonctionnalité en tirant avantage de chacun. Le processeur RISC est très utile pour l'interface usager, l'utilisation d'espace mémoire, le contrôle du système et certains calculs simples ayant une longue latence (basse fréquence). Le DSP est normalement utilisé pour le traitement de signal c'est-à-dire pour des calculs mathématiques compliqués avec une latence moyenne. Le FPGA est idéal pour créer une interconnexion programmable entre les parties du système (RISC, DSP, convertisseurs).

pour faire du contrôle haute fréquence et des calculs mathématiques simples avec une petite latence (haute fréquence). Il est à noter qu'il est possible de générer du code VHDL destiné au FPGA à partir d'un modèle Simulink en utilisant des blocs spéciaux et l'outil Xilinx System Generator (Xilinx, 2004).

La RPP est fournie avec un exemple pour vérifier la fonctionnement de base du système et l'interaction entre le processeur RISC et le FPGA. Dans cet exemple, le FPGA est configuré avec un système ayant un bus AMBA avec des registres qui permettent de contrôler les DEL et les horloges programmables et de lire l'état des interrupteurs et des boutons sur la carte Integrator/LT-XC2V4000+. Les deux mémoires physiquement branchées au FPGA sont aussi reliées au bus AMBA. Le processeur RISC est branché à ce bus AMBA ce qui lui permet de communiquer avec le FPGA et ce qu'il contient. Le programme du RISC ajuste la fréquence d'opération d'une des trois horloges programmables (ICS307) branchées sur le FPGA et fait des écritures/lectures dans les mémoires (SSRAM) branchées au FPGA pour en vérifier le fonctionnement. La figure 33 montre le système du bus AMBA qui est dans le FPGA pour l'exemple.

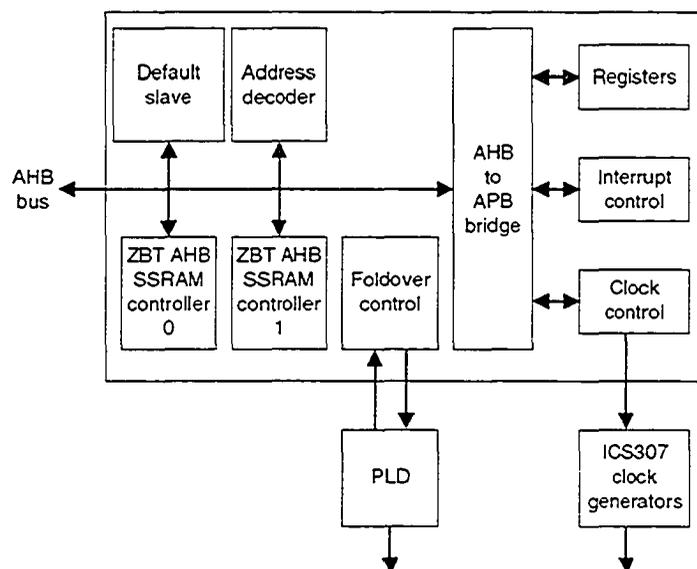


Figure 33 Système avec bus AMBA dans le FPGA (ARM, 2002c)

Donc cet exemple est un bon point de départ pour la base de la fonctionnalité du banc d'essai en ce qui concerne l'interaction entre le FPGA et le processeur RISC. Dans le cas du DSP, il y a des exemples en langage C et avec des modèles Simulink sauf qu'aucun exemple utilise la mémoire externe comme c'est le cas dans le banc d'essai. Cette partie est à développer pour la fonctionnalité de base du banc d'essai pour une application utilisant le DSP. Le schéma de la figure 34 montre les parties numériques de l'architecture du banc d'essai avec les liens de communication entre ces parties et les principales fréquences d'opération.

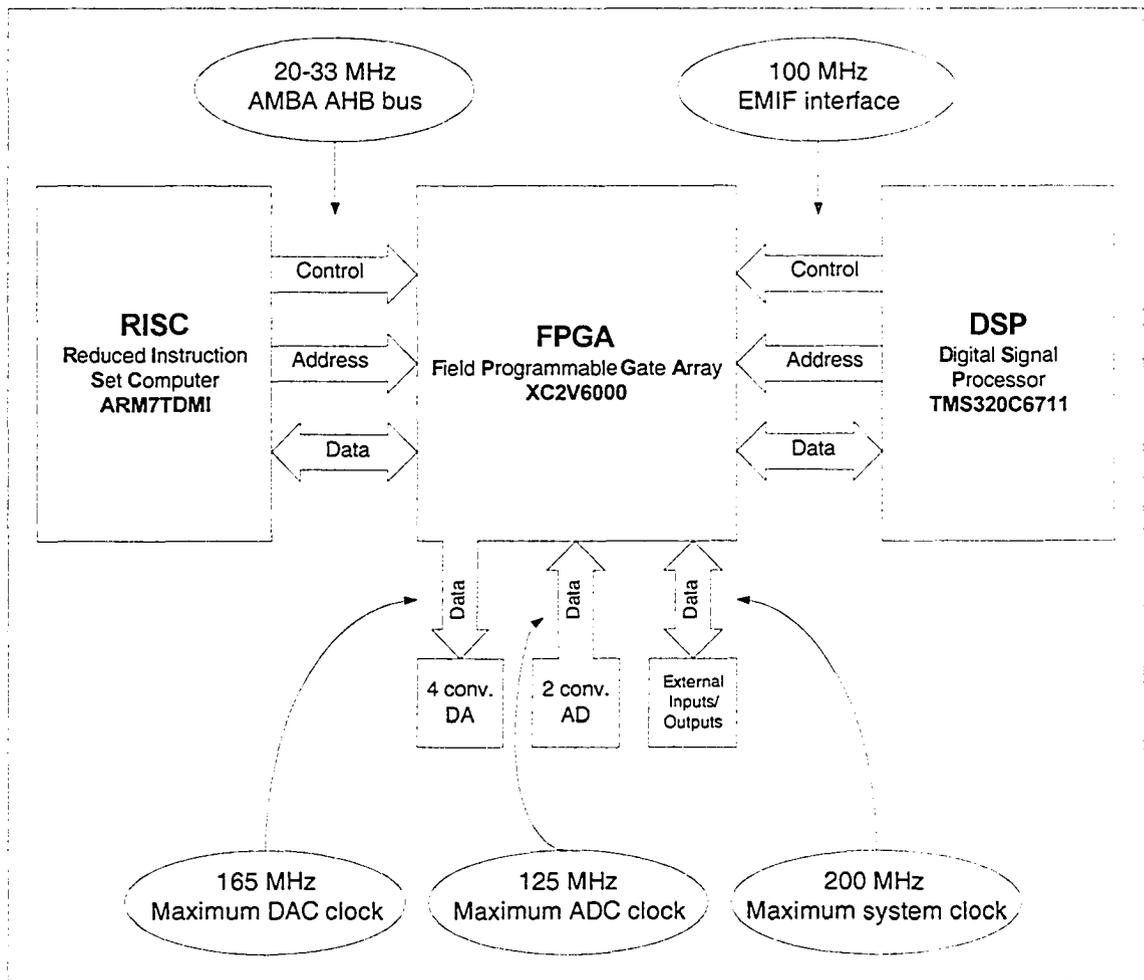


Figure 34 Interconnexion entre les parties numériques

Cette architecture donne une grande flexibilité pour les applications à réaliser. Dans tous les cas, c'est le FPGA qui contrôle les convertisseurs mais l'horloge maître du système peut provenir du bus AMBA (processeur RISC), de l'interface mémoire du DSP, des trois horloges programmables de la carte Integrator/LT-XC2V4000+ ou d'une source externe.

Pour la fonctionnalité de base du banc d'essai, il y a quelques modifications qui sont apportées à l'exemple pour la RPP. Ces modifications sont principalement des ajouts visant à vérifier le fonctionnement de la carte interface. Au niveau du FPGA, les mémoires qui sont reliées au bus AMBA peuvent aussi être utilisées pour fournir des données aux CNA. Ceci permet dans un premier temps de vérifier le fonctionnement des CNA et d'utiliser le banc d'essai comme un générateur de signal aléatoire. L'espace mémoire disponible permet d'avoir 512000 valeurs pour une séquence alors qu'un générateur de signal commercial comme le ESG de Agilent (Agilent ESG E4433B) est limité à 65536 valeurs. Un autre ajout dans la fonctionnalité du FPGA vise à brancher les CAN directement sur 2 des CNA pour ainsi vérifier le fonctionnement de la chaîne de conversion. Les tests de fonctionnement sont présentés dans le chapitre suivant.

Le bus AMBA est évidemment relié au processeur RISC qui exécute le programme principal. Les fonctionnalités de ce dernier sont de faire l'interface avec l'utilisateur, d'ajuster la fréquence d'opération du système dans le FPGA, de remplir les mémoires avec les signaux pour les CNA et de choisir la source de données pour les CNA (mémoire ou CAN). Les étapes pour charger les données voulues dans les mémoires sont de premièrement générer ces dernières et les placer dans un fichier spécial qui sera compilé avec le programme en C du RISC. Deuxièmement, l'image créée par la compilation est chargée dans la mémoire sur la carte du processeur RISC et les données des signaux sont aussi transférées. Ensuite, pendant l'exécution du programme, les données sont chargées dans les mémoires branchées sur le FPGA.

Un autre ajout pour la fonctionnalité de base du banc d'essai vise la communication entre le DSP et le FPGA. Dans ce cas, une simple vérification est faite en utilisant l'analyseur logique pour récupérer les données provenant du DSP. Le FPGA qui est branché sur l'interface mémoire du DSP dirige les données vers les connecteurs où est relié l'analyseur logique. Dans ce cas, le programme dans le DSP sert à configurer l'interface mémoire et écrit des données dans la plage mémoire qui est branchée au FPGA. Pour une application donnée, le DSP peut lire ou écrire des données dans le FPGA via l'interface mémoire. Ces données peuvent être utilisées directement dans le système du FPGA ou encore il est possible de faire une interface avec le bus AMBA afin de relier le DSP et le processeur RISC pour avoir plus de flexibilité.

Comme mentionné, la fonctionnalité du DSP est spécifiée avec un programme en langage C qui est directement créé par le programmeur ou généré en utilisant un modèle Simulink avec des blocs spéciaux. Ces derniers sont utilisés pour générer du code en C qui sera ensuite compilé pour le DSP. Par contre, il n'y a pas de bloc existant pour faire un accès à l'interface mémoire directement comme c'est le cas dans le banc d'essai. Il est possible de créer ce bloc en utilisant ceux existants à titre d'exemple et avec l'aide de la documentation de Matlab. Un inconvénient de cette méthode est la limite imposée sur la fréquence d'opération du système qui est d'environ 40 kHz. En considérant ceci, il est préférable de faire un programme directement en langage C pour les applications ayant besoin d'une fréquence plus élevée.

En général, peu importe l'application, la fonctionnalité de base du banc d'essai tel que décrite est utilisée comme point de départ. Selon l'application, de nouvelles fonctions sont ajoutées dans une ou plusieurs des parties numériques du banc d'essai afin de modifier son comportement.

2.5 Conclusion

Ce chapitre axé sur l'architecture du banc d'essai a permis de présenter les objectifs et les besoins pour la réalisation du système. Ceci prend en considération les besoins pour les SRFI et les quatre critères de sélection soit avoir un maximum de flexibilité, faciliter l'utilisation, réduire le temps de développement et avoir un coût de réalisation qui est faible. La description détaillée de l'architecture et du comportement confirme que les critères de sélection sont respectés et que le banc d'essai s'insère dans le contexte du développement de SRFI. En effet, avec ses parties numériques et FI/RF, le banc d'essai est un outil très intéressant pour l'exploration de concept en relation avec les SRFI. À ce sujet, le prochain chapitre présente 2 applications qui font partie d'expérimentation pour les SRFI.

CHAPITRE 3

TEST DU BANC D'ESSAI ET APPLICATIONS

Le comportement général du banc d'essai présenté dans le chapitre précédent est décrit plus en détail dans ce chapitre avec 3 tests. De plus, deux applications ayant le même type d'architecture que les prototypes de SRFI sont décrites.

3.1 Test de la fonctionnalité

Afin de vérifier le fonctionnement du banc d'essai et pour donner des exemples de l'utilisation de ce dernier, trois tests sont présentés. Les deux premiers permettent de vérifier le fonctionnement des convertisseurs de la carte interface et l'interaction de cette dernière avec la RPP. Le troisième test sert à vérifier le branchement entre le DSP et la carte interface.

3.1.1 Test 1 : chaîne CAN et CNA

Pour le premier test, l'objectif principal est de vérifier le fonctionnement des convertisseurs en branchant la sortie des deux CAN directement dans l'entrée de deux CNA. Dans ce cas, la fréquence d'opération des convertisseurs est ajustée par le programme du processeur RISC qui contrôle les horloges programmables branchées au FPGA. Donc la configuration de base du FPGA avec le bus AMBA présentée dans le chapitre précédent est utilisée avec l'ajout des signaux d'horloge pour les convertisseurs et du branchement des CAN vers les CNA. Il est à noter que la fréquence maximale du système est limitée à la fréquence des CAN qui est de 125 MHz. Dans ce cas, les convertisseurs utilisent un format complément à deux. Le bit ayant un poids de -2^{N-1} du CAN est branché à celui du CNA et les 9 bits les moins significatifs du CAN sont reliés aux 9 bits les plus significatifs du CNA. Ce branchement permet d'ajuster la

quantification de la tension de sortie à celle de l'entrée. L'objectif de ce test vise à vérifier la distorsion introduite par la chaîne de conversion (CAN et CNA). Ceci est fait en comparant un signal modulé généré par une source commerciale avec celui pour lequel les signaux en bande de base ont passé par les convertisseurs. La figure 35 montre le schéma bloc des deux montages pour ce test.

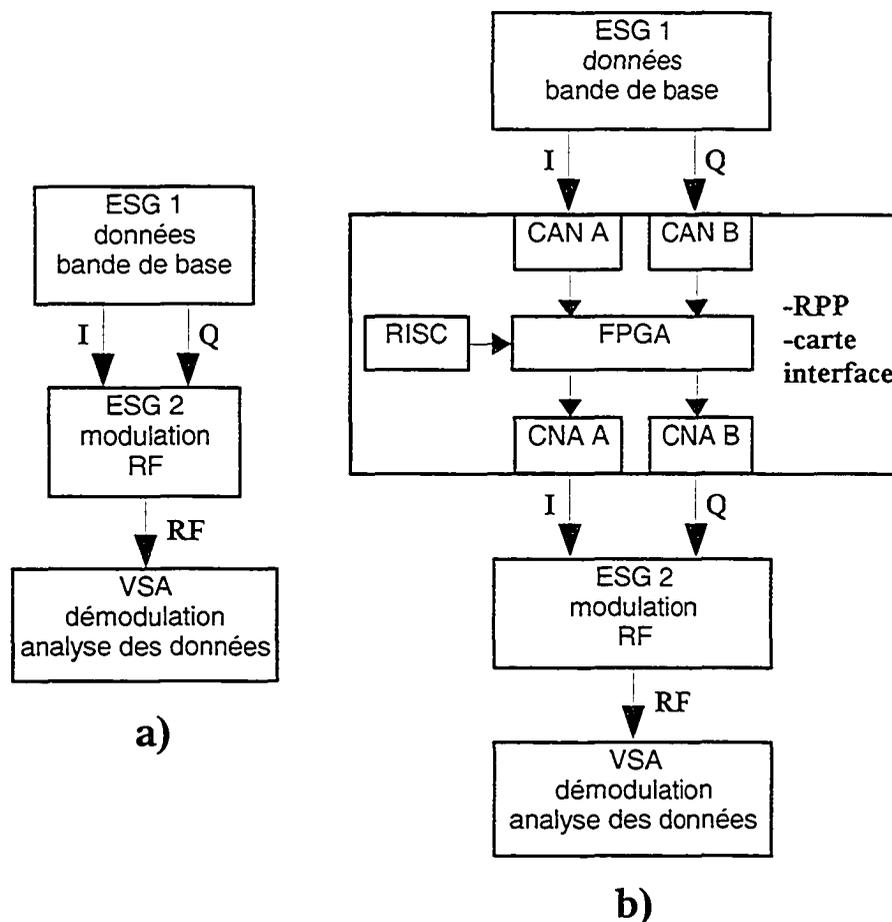


Figure 35 Montages pour le premier test

La source ESG 1 (Agilent ESG-DP E4437B) est utilisée pour générer des signaux I et Q en bande de base. Ces signaux sont créés avec Simulink et par la suite sont chargés dans la source. Dans le cas de la figure 35a), ces données sont modulées par la source ESG 2 (Agilent ESG-D E4433B) et ensuite le signal modulé est envoyé vers le VSA (Vector signal analyzer Agilent VSA 89600). La source ESG 2 est ajustée avec une porteuse à

2.1 Ghz. Ce signal sera celui de référence pour comparer le banc d'essai. Dans le montage de la figure 35b) les signaux en bande de base sont passés par le banc d'essai avant la modulation. Le VSA permet de visualiser les signaux de la démodulation et de mesurer certaines caractéristiques des signaux. Dans ce cas, la caractéristique calculée par le VSA qui est utilisée pour la comparaison est l'amplitude de l'erreur vectorielle (EVM – Error Vector Magnitude) du signal démodulé. Cette donnée est utilisée pour évaluer de manière simplifiée la qualité du signal généré en bande de base. Il est à noter que la valeur du EVM est en pourcentage et c'est une valeur RMS (root mean square) calculée sur 2016 symboles. Pour faire le test, on utilise une modulation 16 QAM avec une fréquence de symbole de 2.5 Msps et un facteur de mise en forme de 0.5. Pour le montage 35a), le EVM est de 2.02% alors qu'il est de 2.31% pour le montage 35b). La constellation et le spectre pour les deux cas sont présentés dans la figure 36.

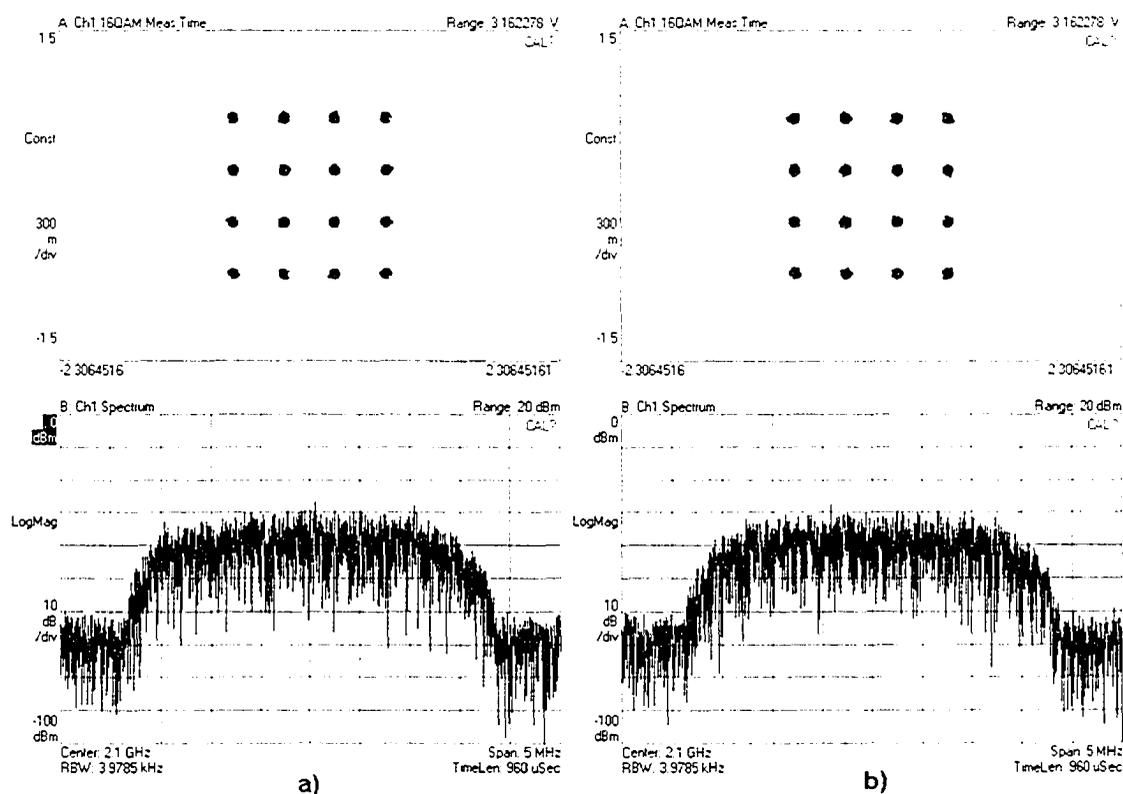


Figure 36 Constellations et spectres pour le premier test

Le fait d'avoir un EVM plus élevé avec le montage 35b) entraîne des points de constellation plus grand dans la figure 36b). Ce test permet d'affirmer que les convertisseurs sont fonctionnels et qu'ils introduisent une faible distorsion dans le signal résultant en une erreur vectorielle ajoutée. De plus, ce test est un bon point de départ pour une application avec un signal d'état à surveiller (CAN), un signal de contrôle à générer (CNA) et une partie traitement de signal. En effet, cette dernière partie peut être faite en VHDL et introduite entre le CAN et le CNA dans le FPGA.

3.1.2 Test 2 : mémoires et CNA

Le deuxième test permet de vérifier le fonctionnement des mémoires branchées au FPGA en relation avec les CNA. Dans ce cas, le banc d'essai est utilisé comme une source de données programmable. Comme mentionné dans le chapitre précédent, les données sont générés à l'aide de Matlab/Simulink et sont placées dans des fichiers qui sont compilés avec le programme du processeur RISC. L'image créée (programme et données) est chargée dans la mémoire branchée sur le processeur RISC. Lors de l'exécution du programme, les données sont transférées via le bus AMBA dans les mémoires branchées au FPGA. Ce chargement se fait à la fréquence du bus AMBA c'est-à-dire que les mémoires sont opérées à cette fréquence. Ensuite, le processeur RISC contrôle le départ du flot de données de telle sorte que les données chargées dans les mémoires sont envoyées aux CNA. Pour cette étape, la fréquence d'opération des mémoires et des CNA est ajustée par le processeur RISC en utilisant une des horloges programmables. Les mémoires sont donc opérées à deux fréquences différentes selon le type de transfert. La capacité des deux mémoires est de 512000 valeurs de 32 bits (2 MB). Sur la carte interface, il y a 4 CNA de 14 bits donc chaque mémoire sert à contenir les données pour 2 CNA avec 28 bits utilisés sur 32. Le schéma bloc pour le deuxième test est présenté dans la figure 37.

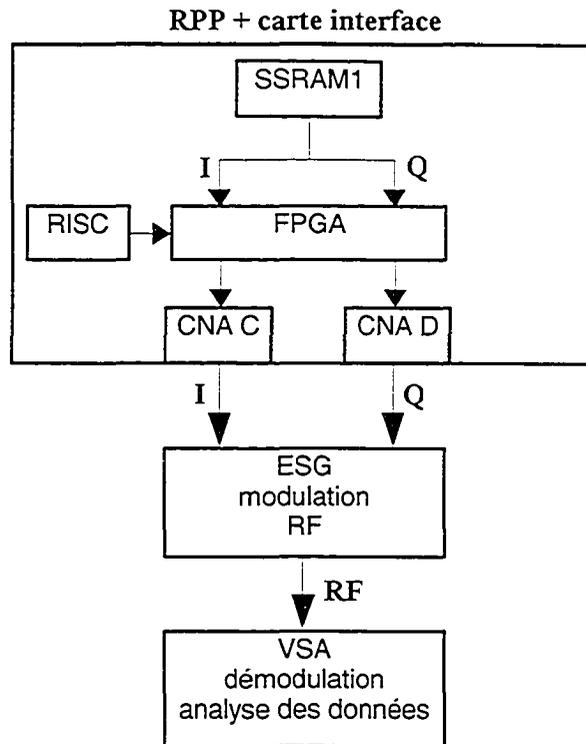


Figure 37 Montage pour le deuxième test

Pour ce test, les signaux I et Q de la modulation 16 QAM utilisés pour le premier test sont chargés dans la mémoire SSRAM1 du banc d'essai et ensuite envoyés vers 2 CNA (CNA C et CNA D). Il aurait été aussi possible d'utiliser la mémoire SSRAM0 pour les CNA A et CNA B mais ceci n'est pas représenté dans le schéma de la figure 37. Par contre, le test est fait pour les deux cas possibles. Les signaux sont modulés par la source ESG et l'analyse est faite avec le VSA. La figure 38 présente la constellation et le spectre pour cet exemple.

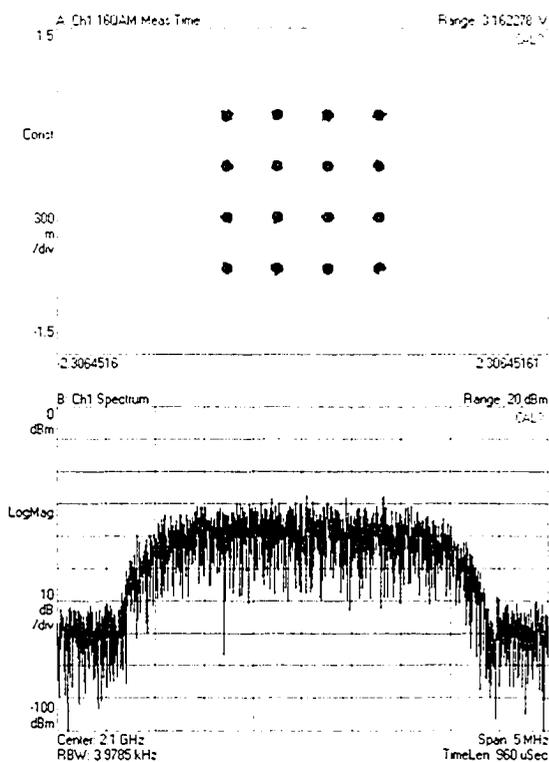


Figure 38 Constellation et spectre pour le deuxième test

Pour ce cas, le EVM est de 2.17% ce qui est très semblable au premier test qui donnait 2.02% pour en utilisant la source ESG et 2.31% en passant par la chaîne CAN-CNA. Pour le cas avec le CNA A et le CNA B, le EVM est de 2.23%. Le signal I en bande de base est présenté dans la figure 39 avec le signal temporel mesuré à l'oscilloscope (Tektronix TDS544A).

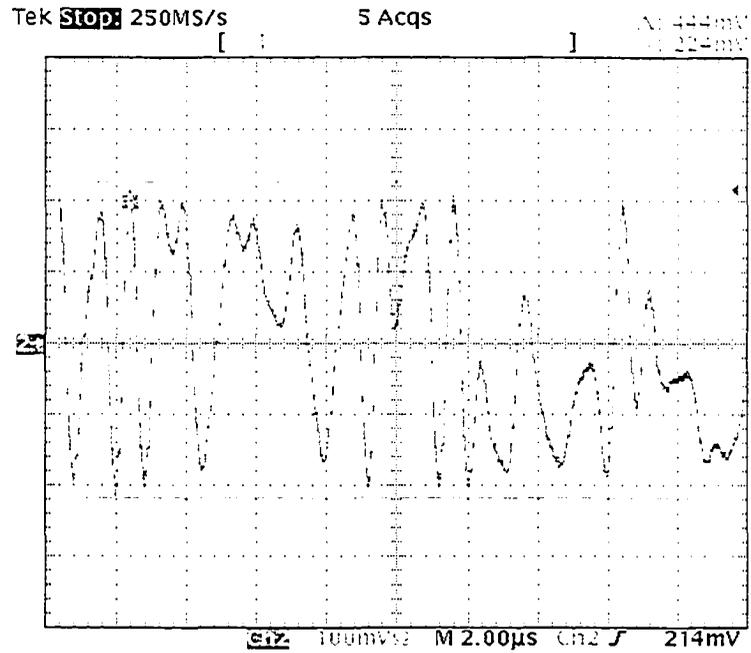


Figure 39 Signal temporel I en bande de base pour le deuxième test

La figure 40 présente le spectre (Spectrum Analyzer Rohde&Schwarz FSEK) pour le même signal I en bande de base (identifié RPP dans la figure) et ce dernier est comparé avec le signal en bande de base généré par la source ESG.

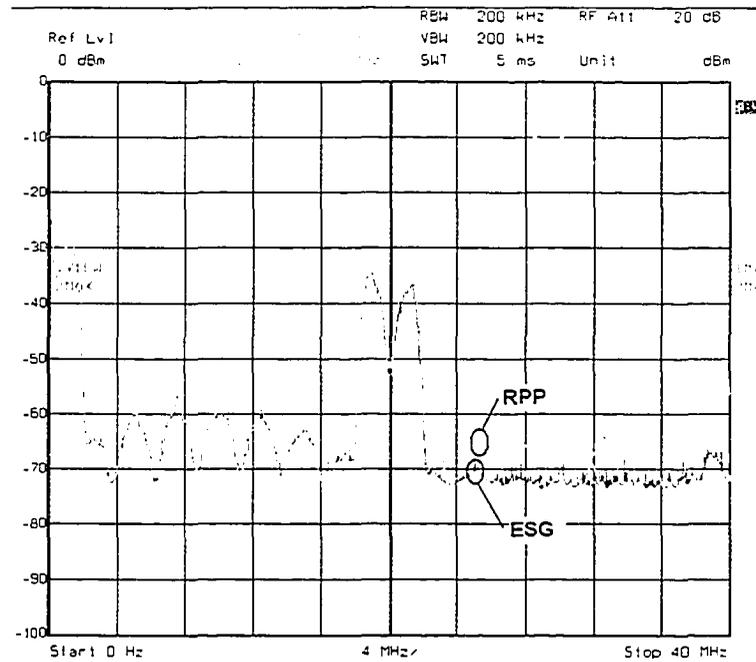


Figure 40 Spectre de la source ESG et du banc d'essai pour le signal I du deuxième test

Le spectre est très semblable et il commence à y avoir une différence à partir de 20 MHz qui est probablement causée par un filtre passe bas qui est dans la source ESG. Pour la sortie des CNA de la carte interface, il n'y a pas de filtre passe-bas.

3.1.3 Test 3 : DSK

Le troisième test permet de vérifier le lien de communication entre le DSP et le FPGA. Dans ce cas, le programme du DSP envoie des données vers l'interface mémoire qui est reliée au FPGA via la carte interface. Le FPGA est programmé afin de prendre les données provenant du DSP et de les diriger vers les connecteurs de sortie où est branché l'analyseur logique (Tektronix TLA 704 Logic Analyzer). Ce dernier permet de faire l'acquisition et de vérifier les données envoyées par le DSP. L'horloge qui contrôle la partie du système entre le DSP et l'analyseur logique est celle de l'interface mémoire du DSP. La figure 41 présente le schéma bloc pour ce test.

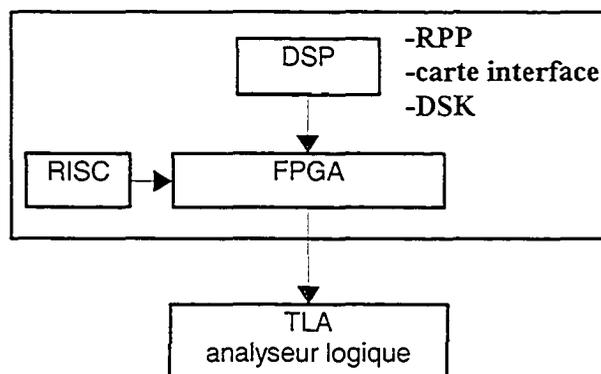


Figure 41 Montage pour le troisième test

Afin de prouver le fonctionnement de cette interface, les valeurs envoyées par le DSP et celles reçues par l'analyseur logique sont comparées. La capacité maximale de la mémoire d'acquisition de l'analyseur logique est de 32768 échantillons ce qui va constituer la trame de comparaison. Donc 32768 données aléatoires sont générées par le programme sur le DSP et sont comparées aux valeurs reçues sur l'analyseur logique. Il n'y a eu aucune erreur même après 50 trames avec des valeurs différentes.

Ce test pour vérifier la communication avec le DSP est simple mais il montre qu'il est possible d'avoir un lien entre le DSP et le FPGA. Ce lien donne la possibilité de créer des systèmes où il y a une interaction entre le DSP, le FPGA et le processeur RISC. Par exemple, il serait possible de brancher l'interface mémoire du DSP sur le bus AMBA pour ainsi avoir un lien entre le processeur RISC et le DSP en partageant un espace mémoire commun dans le FPGA. Il serait aussi possible d'utiliser le DSP pour changer les coefficients d'un filtre implanté dans le FPGA entre un CAN et un CNA permettant ainsi de filtrer dans le domaine numérique un signal analogique.

3.2 Applications

Les tests de la section précédente ont permis de démontrer la fonctionnalité de base du banc d'essai. Dans cette section, deux applications utilisant le banc d'essai sont

présentées. Ces applications ne sont pas en relation directe avec les SRFI mais utilisent le même type d'architecture c'est-à-dire que le banc d'essai (partie numérique) est relié à une partie RF via une interface analogique. Dans le cas des SRFI, il y a quelques différences tel que la nature des modules de la partie RF et le type de signal entrant, sortant et traité dans la partie numérique.

3.2.1 Application 1 : architecture LINC

La première application est la réalisation d'un émetteur radio de type LINC (Cox, 1974). La figure 42 présente le schéma bloc général pour une architecture de ce type.

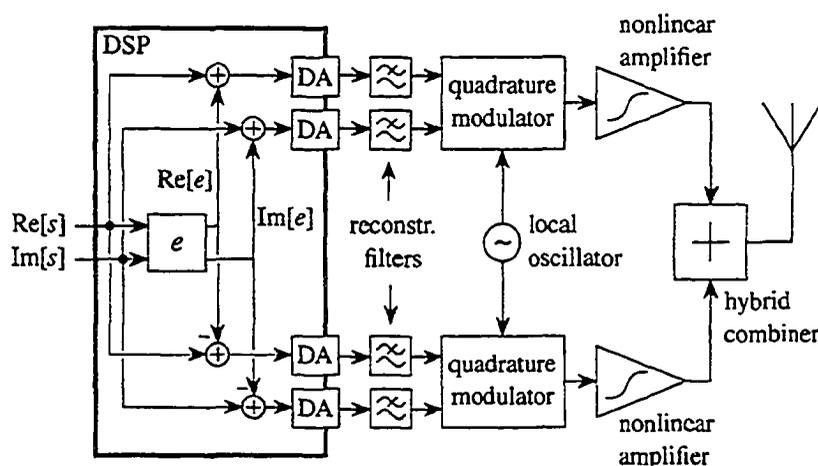


Figure 42 Schéma bloc général d'une architecture LINC (Sundstrom, 1996)

Pour cette application, la partie numérique du banc d'essai est utilisée comme la source des signaux LINC en bande de base et les 4 CNA génèrent les signaux analogiques correspondant. Ces derniers sont filtrés passe-bas avec une fréquence de coupure de 8 MHz. Il est à noter que la sortie des CNA est utilisée en mode bipolaire avec un filtre passe-bas balancé. Les signaux filtrés sont injectés dans un modulateur à quadrature de phase à conversion directe (Analog Devices, 2004) qui possède des entrées bipolaires.

Ensuite, les sorties des deux modulateurs sont sommées à l'aide d'un combineur et le signal modulé résultant est branché sur un analyseur vectoriel pour faire la démodulation et l'analyse du signal. La fréquence de la porteuse est 2.1 Ghz donc les circuits RF sont construit en fonction de cette caractéristique. La figure 43 montre le schéma bloc de cette application.

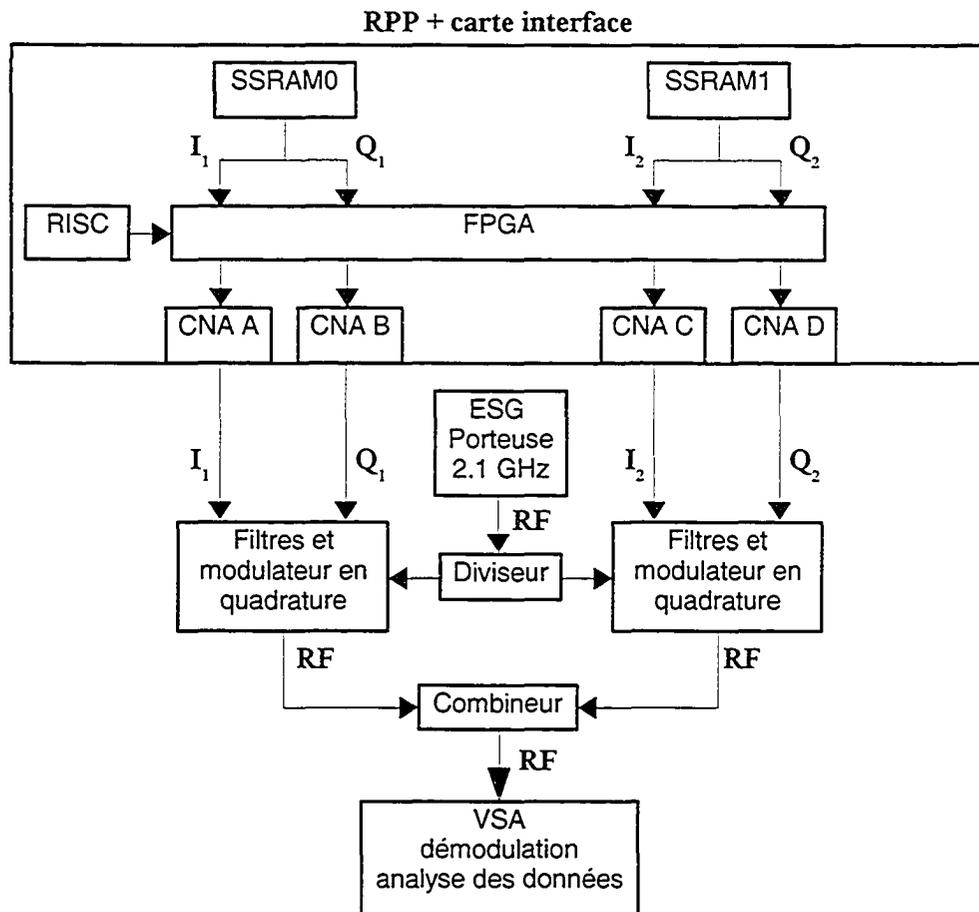


Figure 43 Montage pour la première application

Évidemment, pour le fonctionnement des modulateurs, il est nécessaire d'avoir un oscillateur local et un diviseur pour partager la porteuse dans les deux modulateurs. Pour simplifier le montage, une source commerciale ESG a été utilisée comme oscillateur local pour la porteuse.

L'approche proposée dans le chapitre 2 pour la partie RF a été utilisée en séparant les fonctions dans plusieurs blocs. Dans la partie RF de la figure 43, chaque bloc représente un bloc physique individuel. Par exemple, le combineur et le diviseur sont des blocs identiques qui sont souvent utilisés. Les filtres passe-bas et les modulateurs sont sur le même circuit dans un boîtier. La figure 44 montre l'aspect physique de ces deux blocs.

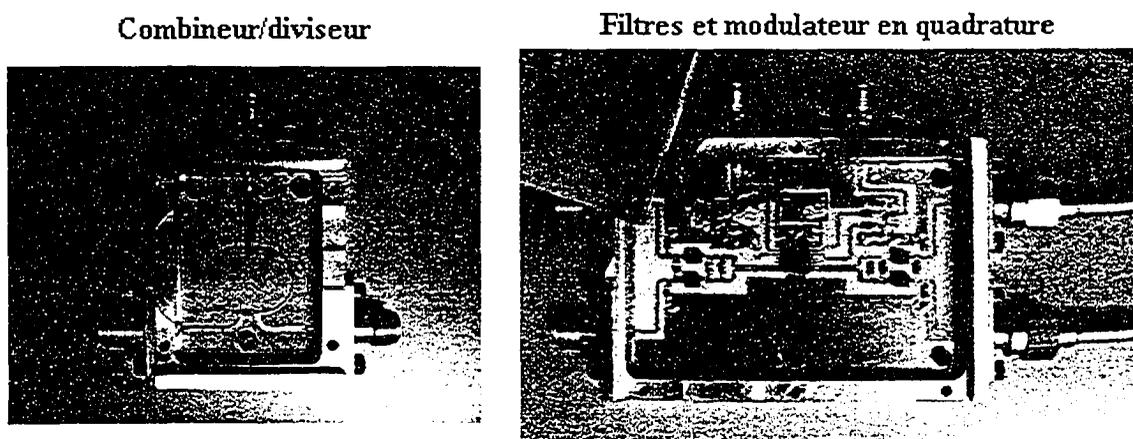


Figure 44 Aspect physique des 2 blocs RF utilisés dans la première application

Le bloc avec les filtres et le modulateur a été réalisé dans le cadre de ce projet de maîtrise. La figure 45 est l'assemblage obtenu pour la partie RF.

Une particularité de l'architecture LINC est le fait qu'il doit y avoir une synchronisation précise des signaux autant au niveau bande de base que dans la partie RF. Ceci veut dire que toutes les lignes de transmission doivent être de la même longueur à partir des convertisseurs jusqu'au combineur à la sortie des modulateurs.

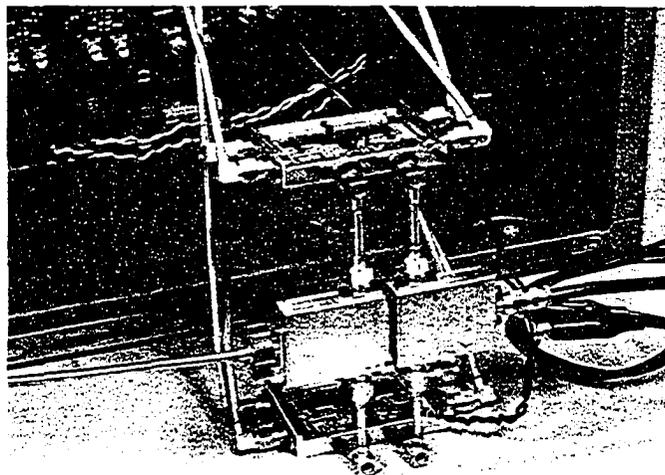


Figure 45 Assemblage final pour la partie RF de la première application

Pour cette application, le banc d'essai est utilisé comme un générateur de signaux, de la même façon qu'il l'a été pour le deuxième test présenté dans la section précédente. Le signal modulé résultant à la sortie du combineur est de type 16 QAM avec une fréquence de symbole de 2.5 Msps. L'article (Carpentier, Poitau, Kouki, & Thibeault, 2004) de l'annexe 2, réalisé dans le cadre du projet de maîtrise, présente plus de détails sur ce montage en comparant le banc d'essai à un montage réalisé avec des appareils de laboratoire (2 sources ESG branchées en parallèle et synchronisées). La figure 46 montre le spectre pour le signal modulé 16 QAM avec 2.5 Msps et un facteur de mise en forme de 0.2 en comparant le signal de référence 16 QAM (16QAM Reference signal), le banc d'essai (LINC Testbed signal) et les sources commerciales (LINC Commercial sources signal). En résumé, le spectre généré par le banc d'essai s'approche de celui de référence avec un minimum allant à -37.5 dB par rapport à -39.5 dB pour le signal de référence. Pour les sources commerciales, le spectre a un minimum d'environ -33 dB et il est impossible de discerner les lobes secondaires.

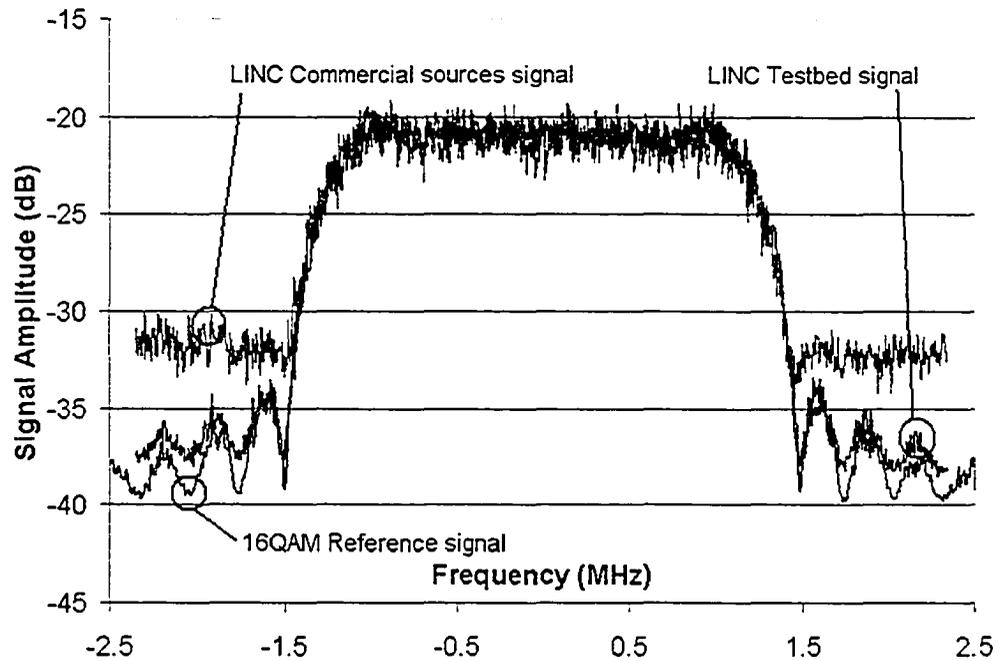


Figure 46 Comparaison du spectre pour la première application

Cette différence est probablement causée par le fait que les sources commerciales ont une mauvaise synchronisation pour les signaux en bande de base et/ou dans la chaîne RF. Pour le banc d'essai, c'était une contrainte de conception d'avoir une bonne synchronisation pour les signaux en bande de base et dans la partie RF.

La figure 47 montre la constellation de ce signal pour les sources commerciales (haut) et pour le banc d'essai (bas). Dans la constellation du haut, le fait d'avoir des gros points indique qu'il y a une plus grande distorsion sur les signaux que pour le banc d'essai.

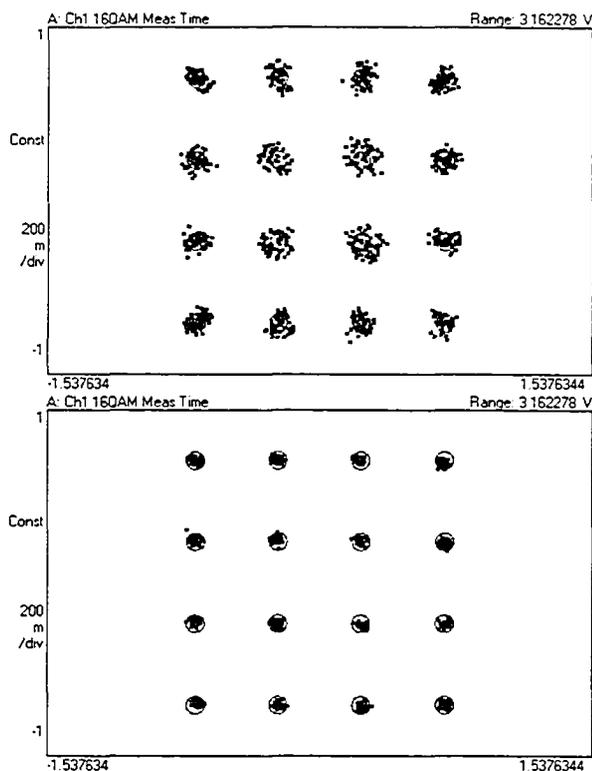


Figure 47 Constellation pour la première application (haut: sources ESG, bas: banc d'essai)

Le tableau II reprend les résultats présentés dans l'article. Il est possible de voir le EVM en fonction de la fréquence de symbole ou de la fréquence des convertisseurs si on considère qu'il y a un facteur de suréchantillonnage de 16 avant le filtre de mise en forme. Un point important à remarquer est que les sources commerciales sont limitées à une fréquence d'échantillonnage de 40 MHz alors que les convertisseurs du banc d'essai peuvent atteindre 160 MHz.

Tableau II

Résultats pour la première application

	<i>Sources</i>		<i>Banc d'essai</i>			
	<i>commerciales</i>					
F_{symb} (Msps)	0,375	2,5	0,375	2,5	6.25	10
F_{DAC} (MHz)	6	40	6	40	100	160
EVM (% rms)	2,3	6,1	2,1	2,4	3,3	6,5

De plus, le EVM à 160 MHz pour le banc d'essai est de 6.5% alors qu'à 40 MHz pour les sources, il est déjà à 6.1%. On remarque que le banc d'essai génère un signal avec une erreur plus petite et peut aller à des fréquences beaucoup plus élevées. De plus, la synchronisation des signaux est beaucoup plus simple avec le banc d'essai et il offre une plus grande flexibilité au niveau numérique. Il y a plus de détails sur les résultats dans l'article (Carpentier, Poitau, Kouki, & Thibeault, 2004).

3.2.2 Application 2 : composantes RF variables

La deuxième application vise le contrôle des composantes RF variables c'est-à-dire que le banc d'essai est utilisé pour ajuster le comportement des composantes. Les deux composantes RF utilisées sont un atténuateur et un déphaseur conçues pour fonctionner à 800 MHz. Ces deux composantes variables permettent de modifier l'amplitude et la phase d'un signal modulé ayant une porteuse à 800 MHz. Le but de l'application est de prouver qu'il est possible d'émuler la réponse d'un canal de propagation en utilisant des composantes RF. Pour ce faire, un signal modulé (16QAM) ayant une porteuse à 800 MHz est généré à l'aide de la source ESG et injecté dans l'atténuateur et le déphaseur qui sont branchés en série. Ensuite, le signal est branché à l'analyseur vectoriel pour en faire la démodulation et l'analyse. La figure 48 présente le schéma bloc de cette application.

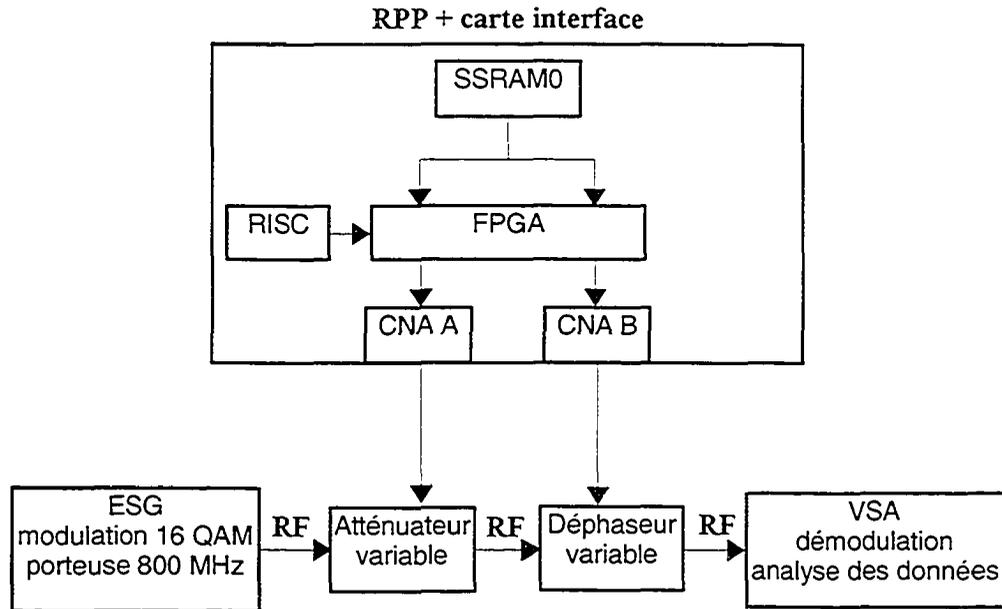


Figure 48 Montage pour la deuxième application

Il est à noter que l'atténuateur et le déphaseur du montage sont des composants à contrôle non-linéaires, ce qui implique qu'il faut appliquer une prédistorsion sur les signaux de contrôle pour avoir une réponse linéaire. Pour ce faire, les composants ont été caractérisés à l'aide d'un analyseur de réseau et une fonction de transfert a été calculée. Cette fonction de transfert permet de modifier les signaux de contrôle pour générer la réponse voulue. La figure 49 montre la courbe de l'atténuation et en fonction de la tension de polarisation de l'atténuateur variable. C'est le même principe pour le déphaseur variable.

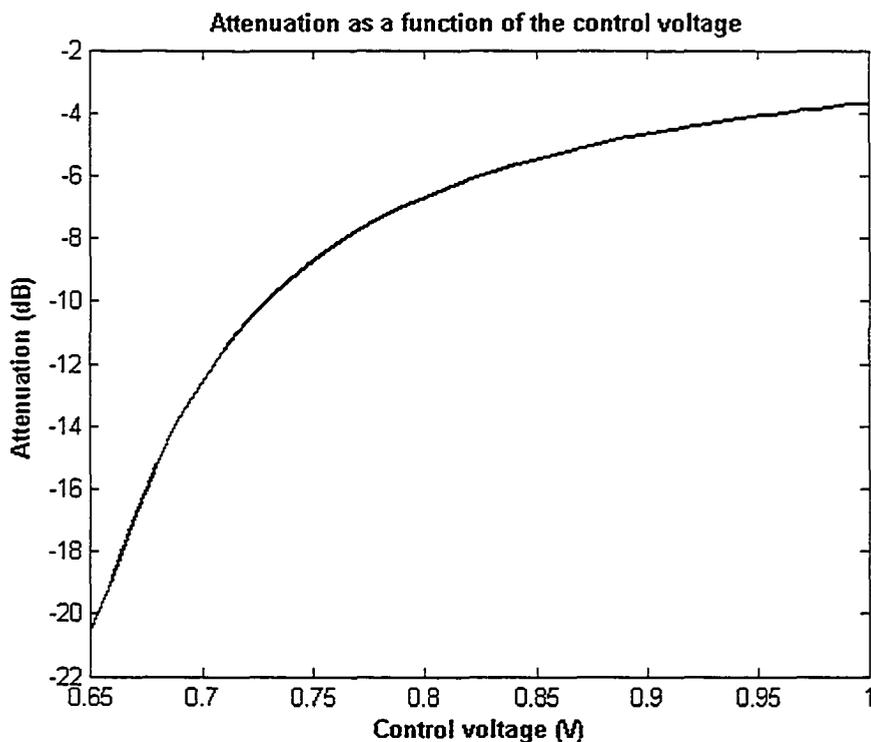


Figure 49 Caractéristique d'alimentation pour l'atténuateur variable

Dans cette application, le banc d'essai est utilisé pour générer les signaux de contrôle pour les composantes RF variables. Ces signaux sont obtenus en utilisant les valeurs instantanées d'amplitude et de phase d'un modèle de canal de propagation. Donc, ces informations d'amplitude et de phase donnent la distorsion du signal RF causé par le canal. Pour la composante en amplitude, une distribution de Rayleigh a été utilisée et une distribution uniforme pour la phase. La fréquence de changement des valeurs du canal est de 11.718 kHz. La figure 50 montre la constellation d'un signal 16 QAM sur lequel on applique la distorsion du canal. Il y a 4 constellations pour ce signal : l'original sans ajout de l'effet du canal (haut à gauche), avec la modification d'amplitude (haut à droite), avec la modification de phase (bas à gauche) et avec la modification de l'amplitude et de la phase (bas à droite).

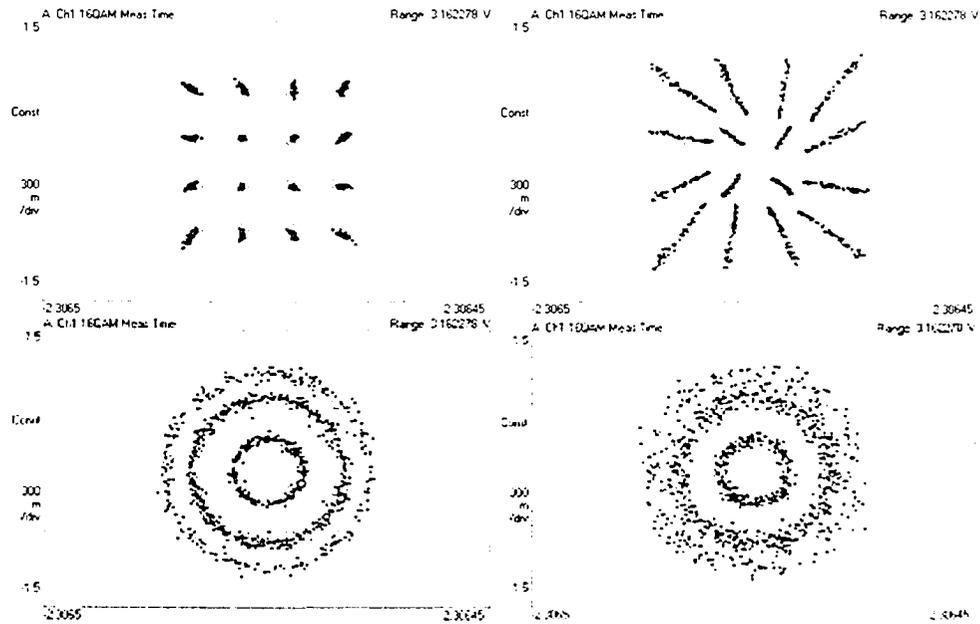


Figure 50 Constellations pour la deuxième application (haut gauche: original, haut droite: amplitude, bas gauche: phase, bas droite: amplitude et phase)

Avec la constellation en haut à droite, on remarque que la chaîne atténuateur et déphaseur introduit une distorsion surtout sur la composante en amplitude. En effet, les points ont tendance à s'éloigner et s'approcher de l'origine (milieu de la constellation). Comme l'autre application, celle-ci a fait l'objet d'un article (Carpentier, Kouki, & Thibeault, 2004) réalisé durant le projet de maîtrise et présenté dans l'annexe 3.

Donc ces résultats prouvent qu'il est possible d'émuler la réponse de certains types de canaux de propagation en utilisant des composantes RF variables. Par contre, il serait intéressant d'approfondir ce concept pour envisager la réalisation d'un émulateur de canal qui fonctionne en haute fréquence plutôt que de faire des conversions de fréquence comme les produits commerciaux disponibles (au laboratoire : Hewlett Packard 11759C RF Channel Simulator) et (Elektrobit, 2004). Une caractéristique importante à prendre en considération lors de la réalisation de composantes variables est la largeur de bande possible pour le signal de contrôle. À titre d'exemple, la fréquence maximale du signal

de contrôle pour l'atténuateur variable est d'environ 100 kHz ce qui est relativement faible. Dans ce cas, la limitation est probablement causée par la réponse en fréquence passe-bas du circuit de polarisation. Pour déterminer cette fréquence limite, l'atténuateur variable est utilisé pour générer une modulation AM DSB-LC (double-sideband, large-carrier) à partir d'une porteuse à 800 MHz provenant d'une source ESG. Le signal modulant est un sinus généré par le banc d'essai qui contrôle l'atténuateur variable. Le signal résultant est démodulé par le VSA qui est en mode analogique. En augmentant la fréquence du sinus modulant, la qualité du sinus démodulé se dégrade et à partir de 100 kHz, le signal est trop petit pour être détecté.

3.3 Discussion sur le banc d'essai

Ce chapitre prouve que le banc d'essai de base est fonctionnel et montre le type d'application qu'il est possible de réaliser. Voici un résumé des points forts, points faibles, améliorations à apporter et de certaines caractéristiques du banc d'essai.

Un des avantages est le fait d'avoir plusieurs types de circuits numériques et surtout d'utiliser un FPGA ce qui permet d'avoir une grande flexibilité numérique. En effet, ceci permet premièrement de choisir l'interaction entre les circuits et ensuite laisse la possibilité de définir le comportement de chacun à l'aide de programme. De plus, il y a 3 horloges programmables dépendantes qui sont branchées au FPGA ce qui permet de varier la fréquence d'opération du système et d'avoir des parties du système qui fonctionnent à des fréquences différentes. Évidemment, le branchement de convertisseurs analogiques sur le FPGA permet de faire un lien entre le domaine numérique et analogique. Un autre point fort du banc d'essai est le fait d'avoir une partie RF séparée en blocs ou modules ayant chacun une fonctionnalité précise. Ceci permet de réutiliser les blocs pour plusieurs applications et d'éviter de faire une carte complète pour chaque application. Il faut aussi mentionner que l'utilisation du banc d'essai pour la première application présentée est beaucoup plus simple que l'utilisation des sources

commerciales surtout en ce qui concerne la synchronisation des signaux et la gestion des délais. En plus, avec la deuxième application, on remarque qu'il est possible de rapidement faire une preuve de concept et d'identifier les problématiques associées à ce concept sans pour autant avoir à développer un prototype complet.

Par contre, du côté des points faibles, on peut noter le fait qu'il y a une trop grande flexibilité pour les entrées/sorties des convertisseurs analogiques. En effet, lors de la conception de la carte interface, les entrées/sorties ont été branchées directement sur des connecteurs SMA pour laisser le choix à l'utilisateur d'ajouter lui-même le circuit d'entrée ou de sortie (couplage DC, couplage AC, transformateur, filtrage). Ces différentes possibilités devraient être toutes intégrées en parallèle sur la carte interface et le choix serait fait entre un chemin ou un autre à l'aide de commutateurs analogiques contrôlés par le FPGA. Concernant la flexibilité numérique du banc d'essai, l'utilisateur doit avoir une bonne connaissance des différents circuits intégrés et surtout des langages de programmation associés, ceci peut être un inconvénient pour un débutant ou pour quelqu'un qui connaît seulement un type de circuit numérique. Il faut aussi mentionner le fait que d'utiliser plusieurs blocs/modules RF actifs entraîne une augmentation du nombre d'alimentations nécessaires surtout si les circuits ont des tensions différentes.

Voici les principaux problèmes rencontrés lors de la conception du banc d'essai. Premièrement, lors de la conception de la carte interface, nous avons reçu une nouvelle version du système RPP qui permettait plus de possibilités mais qui nécessitait des modifications majeures. Nous avons décidé de faire les modifications pour ainsi tirer avantage des nouvelles possibilités. Par contre, ceci a allongé le temps de conception de quelques mois. Un autre problème est survenu lors de la programmation du FPGA pour utiliser l'exemple fournit avec la RPP en ajoutant la fonctionnalité des convertisseurs. La principale contrainte de conception a été de faire en sorte que les différentes cartes puissent se connecter dans le boîtier original de la RPP. C'est un boîtier d'ordinateur et l'espace est limité donc il a fallu faire des compromis pour trouver la meilleur position pour la carte interface et ensuite la carte DSK.

Afin d'assurer une bonne flexibilité du côté RF, il serait important d'ajouter à la banque de blocs/modules RF un oscillateur variable pouvant générer une porteuse à fréquence variable et contrôlée par le FPGA. Il serait aussi intéressant d'avoir des blocs/modules pour lesquels il est possible de varier la fréquence d'opération. Par exemple, le modulateur utilisé dans la première application peut fonctionner de 700 MHz à 2.7 GHz mais sa fréquence d'opération est limitée à 2.1 GHz à cause des composants extérieurs (transformateur et lignes de transmission). Évidemment, il faut dire que le but du banc d'essai est de développer des concepts pour permettre d'avoir des circuits à fréquence variable c'est-à-dire des circuits pour les SRFI.

Dans l'éventualité où une nouvelle carte interface serait réalisée, le nombre de convertisseurs devrait être augmenté afin d'avoir plus d'entrées/sorties analogiques. Pour les deux applications présentées, le nombre était suffisant mais pour certaines applications il manque de convertisseurs. Par exemple, le schéma bloc d'un SRFI tel que présenté dans la figure 5 du chapitre 1 nécessite un nombre plus élevé de convertisseurs. De plus, les convertisseurs utilisés devraient avoir des signaux différentiels pour les bits de la donnée numérique pour ainsi réduire les courants nécessaires et le bruit généré sur les alimentations. À ce sujet, il est à noter qu'il faudrait faire quelques tests supplémentaires pour déterminer précisément les caractéristiques du banc d'essai surtout au niveau des convertisseurs. À titre d'exemple, il faudrait mesurer le bruit sur les entrées/sorties et aussi calculer le nombre de bits effectifs pour les convertisseurs. Il serait aussi intéressant de faire les mêmes tests que ceux de la spécification du fabricant pour comparer et évaluer la performance des convertisseurs.

À part des deux applications présentées, le banc d'essai risque d'être très utilisé dans le groupe de recherche du laboratoire surtout si on considère que les activités sont maintenant axés sur les SRFI suite à l'obtention d'une subvention pour ce domaine. À titre d'exemple, il y a un stagiaire qui a développé une interface graphique dans Matlab pour faciliter l'utilisation du banc d'essai (HACHED, 2005). Cette interface permet de

choisir et générer des signaux en bande de base qui seront ensuite chargés dans le banc d'essai et envoyés vers les convertisseurs. De plus, le banc d'essai sera bientôt utilisé pour faire une preuve de concept concernant les systèmes à deux branches comme celui du premier exemple.

CONCLUSION

Ce mémoire a deux principaux objectifs, soit de présenter l'état de l'art sur les systèmes RF intelligents et de faire une description du banc d'essai développé afin de faire l'étude d'architecture pour SRFI. Évidemment, une bonne partie du mémoire traite de la conception de la carte interface car c'est sur cet aspect que la majorité du temps a été consacré.

Le premier chapitre fait la mise en contexte c'est-à-dire présente l'état de l'art par rapport aux SRFI. Ceci permet de situer dans le temps les principaux acteurs soit le DARPA qui fût l'instigateur du concept des SRFI, les participants de l'atelier de la conférence portant sur les SRFI et la recherche et développement dans ce domaine. L'énumération de ces acteurs a permis d'identifier les éléments de l'architecture désirée pour les SRFI. Cette dernière est composée d'une partie RF variable pour assurer la flexibilité en fréquence et d'une partie numérique pour faire la gestion de la partie RF en fonction du mode d'opération. Ensuite, la description de la technologie disponible pour l'architecture désirée nous montre que l'aspect RF et l'aspect numérique sont bien avancés pour la réalisation des SRFI mais qu'il manque encore un peu de maturité à gagner au niveau de l'aspect intégration.

Dans le deuxième chapitre, le banc d'essai est d'abord introduit avec les paramètres utilisés pour définir l'architecture soit la flexibilité RF et numérique, la facilité d'utilisation et la réduction du temps de développement et du coût. Ensuite il y a une description détaillée des différentes parties du systèmes avec la RPP, la carte DSK et la carte interface. La conception de cette dernière est aussi présentée avec les différentes composantes utilisées, les points pris en considération et les différentes étapes de la réalisation. La présentation du banc d'essai se termine avec la description du comportement de base avec les différents programmes et l'interaction entre ces derniers ainsi qu'avec la carte interface.

Finalement, le troisième chapitre montre le fonctionnement du banc d'essai avec trois tests et 2 applications. Les tests permettent de valider l'interaction entre les différentes parties soit le processeur RISC, le FPGA, les mémoires, les convertisseurs et le DSP. Ensuite, les 2 applications montrent le genre de système pour lequel le banc d'essai peut être utile soit comme un émetteur de système de communication ayant une architecture LINC ou comme un système de contrôle pour des composantes RF variables. Ces applications ont aussi permis de rédiger 2 articles de conférence durant le projet de maîtrise. Le chapitre se termine avec une discussion sur le banc d'essai qui met en évidence les points forts et faibles, les points à améliorer, les suggestions et les projets futurs pour le banc d'essai.

Heureusement, depuis sa réalisation, le banc d'essai a permis de faire la preuve d'un nouveau concept pour les émulateurs de canal et devrait bientôt servir pour la preuve de concept d'une application de filtrage. De plus, un stagiaire a travaillé sur la réalisation d'une interface graphique spécialement pour faciliter davantage l'utilisation du banc d'essai. Avec la naissance du groupe de recherche sur les SRFI au LACIME, le banc d'essai risque d'être en demande avec ce qu'il offre comme possibilités.

Donc les deux objectifs du mémoire ont été respectés en présentant premièrement les SRFI et ensuite le banc d'essai. Maintenant, le groupe de recherche dispose d'un document introductif et d'un système de développement pour faire des expérimentations concernant les SRFI. Avec ceci, tous les éléments sont en place pour progresser rapidement dans ce domaine en pleine effervescence.

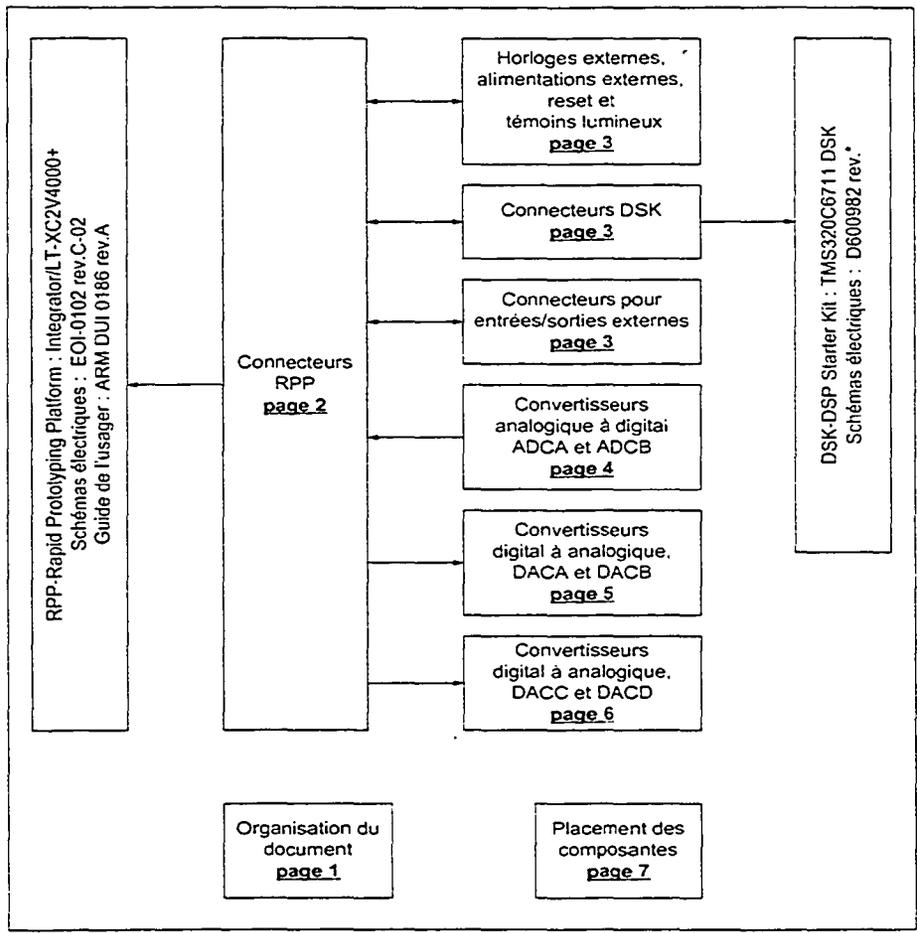
ANNEXE 1

Schéma électrique du circuit imprimé réalisé durant le projet



du document et schéma bloc du système

Schéma bloc du système

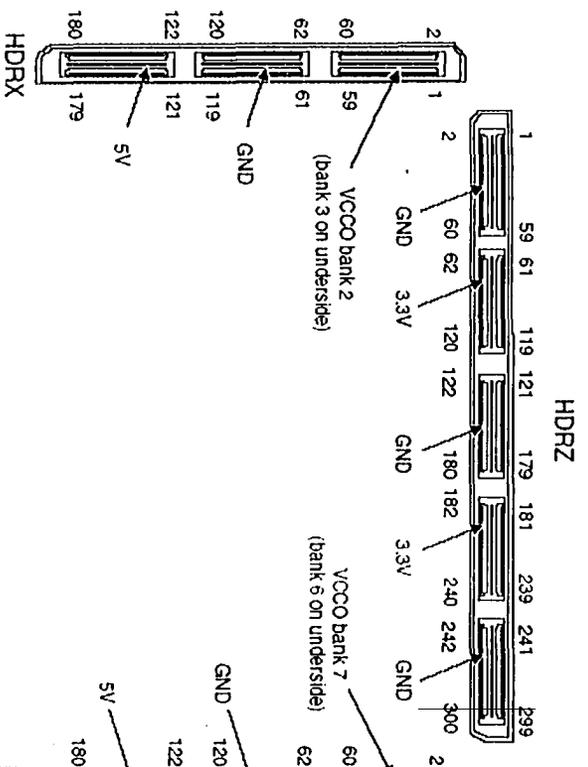
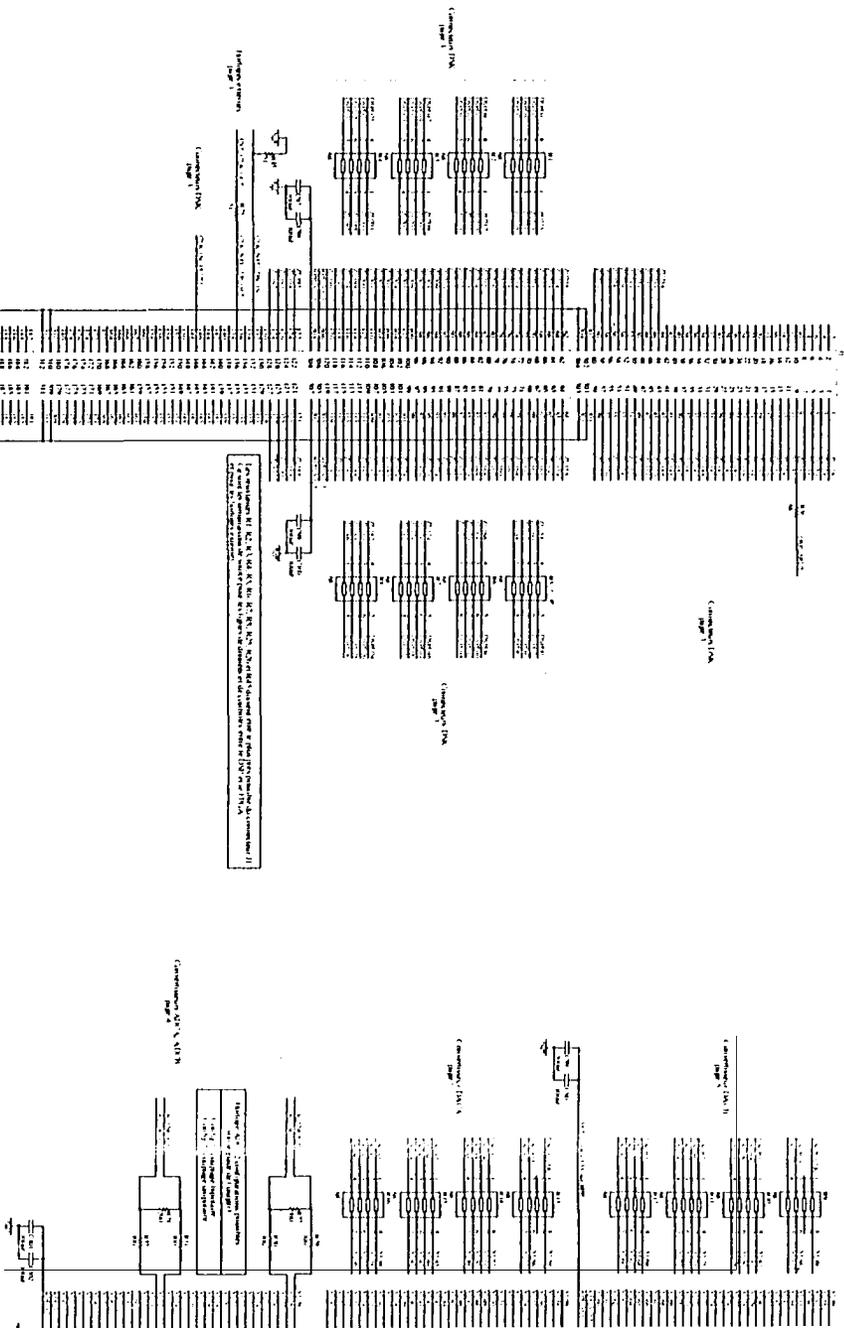


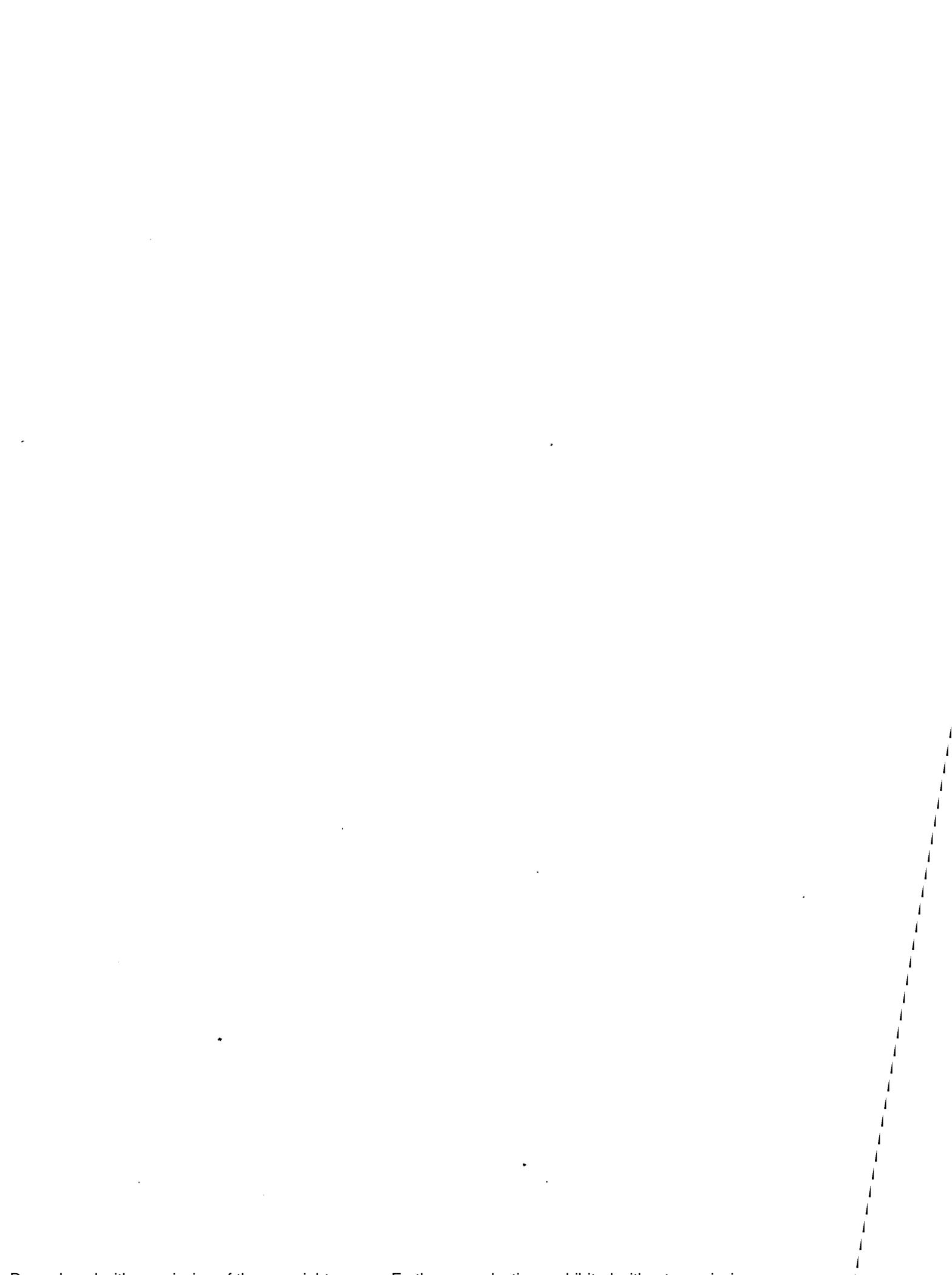


Connecteurs RPP

Relié au connecteur RPP HDRZ (upper side, J1)

Relié au con

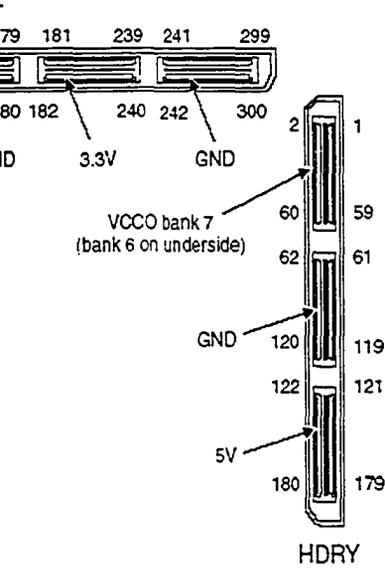
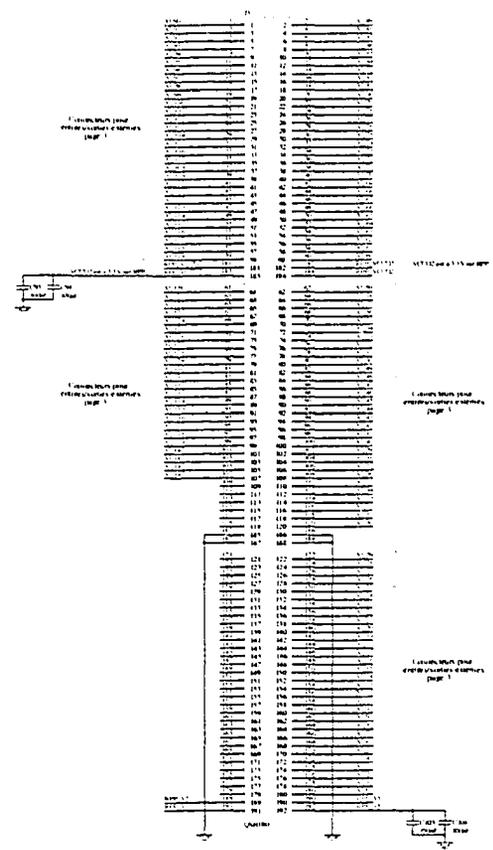
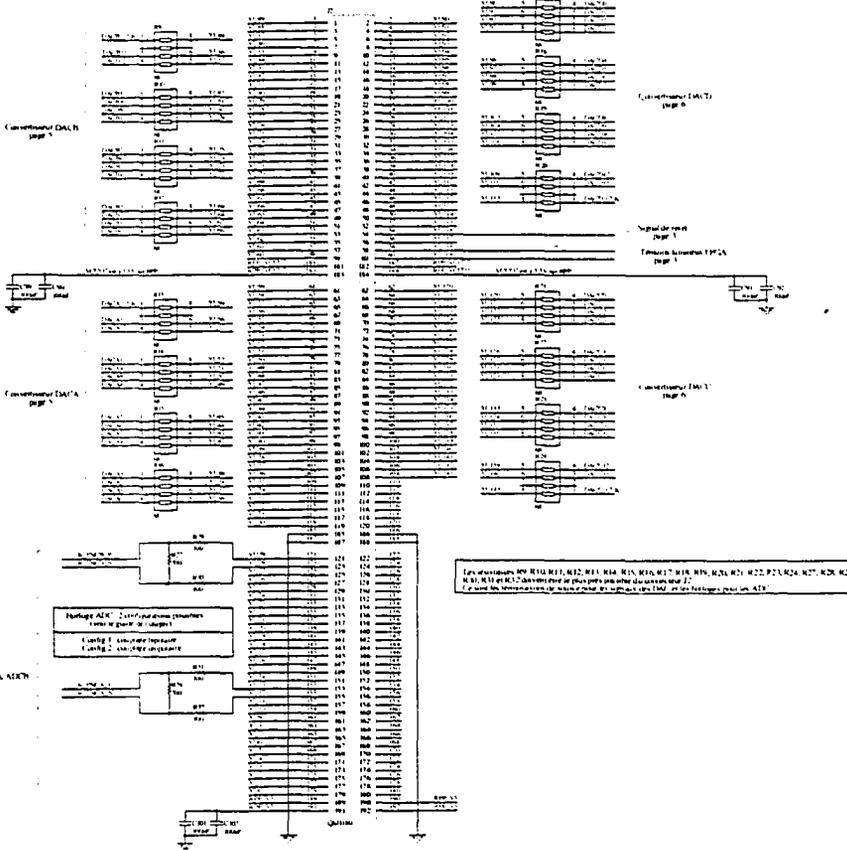




Connecteurs RPP

Rélié au connecteur RPP HDRY (upper side, J5)

Rélié au connecteur RPP HDRX (upper side, J3)



Disposition physique des connecteurs sur RPP
Integrator/LT-XC2V4000 Logic Tile User Guide, page A-2, figure A-1

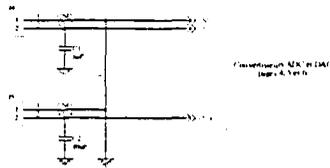


Horloges externes, alimentations externes, reset et témoins lumineux

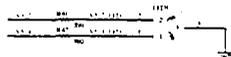
Interconnexion entre

Alimentations

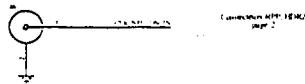
Alimentations		
Connecteur	Tension	Limite de courant
M	1.7V	1.2A
N	3.4V	1.4



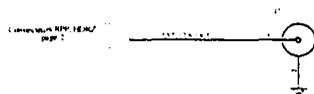
Témoins lumineux pour les alimentations



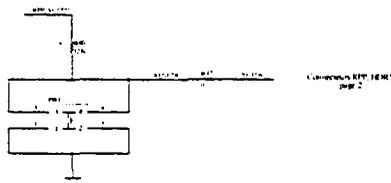
Entrée de l'horloge externe



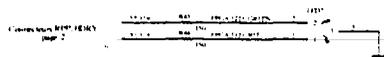
Sortie de l'horloge externe



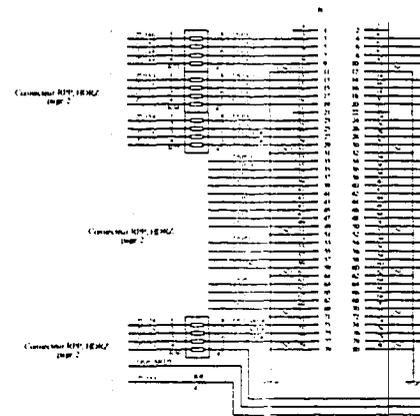
Signal de reset pour la carte RPP



Témoins lumineux pour le FPGA

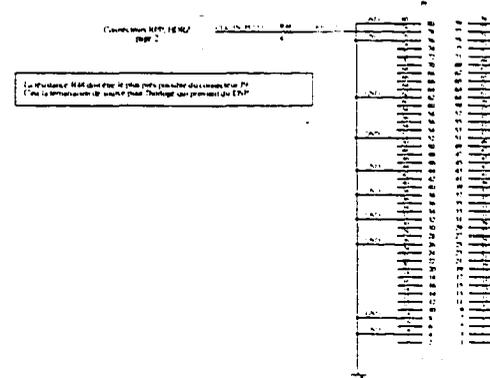


Relié au connecteur DSK J



Les autres lignes de la carte RPP sont reliées à la carte DSK J. Pour plus de détails, voir le schéma de la carte DSK J.

Relié au connecteur D

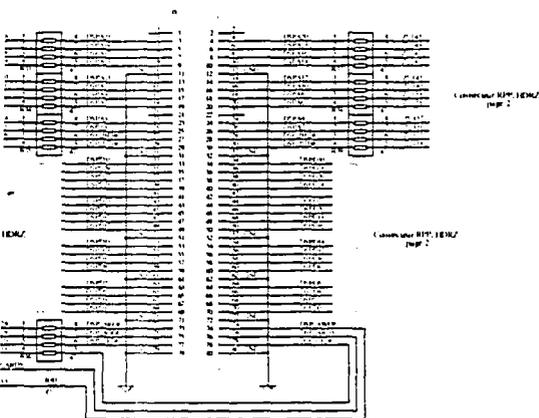




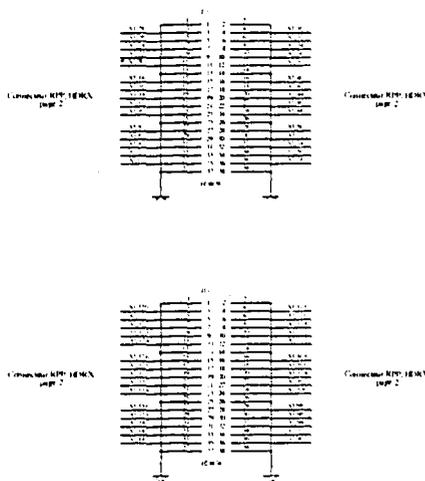
Interconnexion entre RPP et DSK

Interconnexion entre RPP et entrées/sorties externes

Relié au connecteur DSK J1

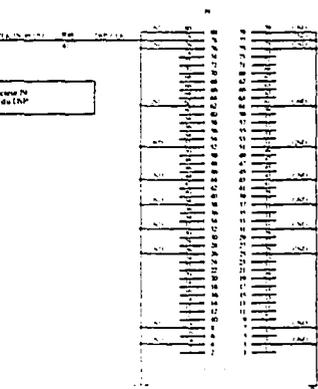


Headers, double rangée, 38 broches



Les broches R13, R14, R15, R16, R17, R18, R19 et R20 doivent être les plus près possible du connecteur J1.
 Les broches R21, R22, R23, R24, R25, R26, R27, R28, R29, R30, R31, R32, R33, R34, R35, R36, R37, R38, R39, R40, R41, R42, R43, R44, R45, R46, R47, R48, R49, R50, R51, R52, R53, R54, R55, R56, R57, R58, R59, R60, R61, R62, R63, R64, R65, R66, R67, R68, R69, R70, R71, R72, R73, R74, R75, R76, R77, R78, R79, R80, R81, R82, R83, R84, R85, R86, R87, R88, R89, R90, R91, R92, R93, R94, R95, R96, R97, R98, R99, R100, R101, R102, R103, R104, R105, R106, R107, R108, R109, R110, R111, R112, R113, R114, R115, R116, R117, R118, R119, R120, R121, R122, R123, R124, R125, R126, R127, R128, R129, R130, R131, R132, R133, R134, R135, R136, R137, R138, R139, R140, R141, R142, R143, R144, R145, R146, R147, R148, R149, R150, R151, R152, R153, R154, R155, R156, R157, R158, R159, R160, R161, R162, R163, R164, R165, R166, R167, R168, R169, R170, R171, R172, R173, R174, R175, R176, R177, R178, R179, R180, R181, R182, R183, R184, R185, R186, R187, R188, R189, R190, R191, R192, R193, R194, R195, R196, R197, R198, R199, R200, R201, R202, R203, R204, R205, R206, R207, R208, R209, R210, R211, R212, R213, R214, R215, R216, R217, R218, R219, R220, R221, R222, R223, R224, R225, R226, R227, R228, R229, R230, R231, R232, R233, R234, R235, R236, R237, R238, R239, R240, R241, R242, R243, R244, R245, R246, R247, R248, R249, R250, R251, R252, R253, R254, R255, R256, R257, R258, R259, R260, R261, R262, R263, R264, R265, R266, R267, R268, R269, R270, R271, R272, R273, R274, R275, R276, R277, R278, R279, R280, R281, R282, R283, R284, R285, R286, R287, R288, R289, R290, R291, R292, R293, R294, R295, R296, R297, R298, R299, R300, R301, R302, R303, R304, R305, R306, R307, R308, R309, R310, R311, R312, R313, R314, R315, R316, R317, R318, R319, R320, R321, R322, R323, R324, R325, R326, R327, R328, R329, R330, R331, R332, R333, R334, R335, R336, R337, R338, R339, R340, R341, R342, R343, R344, R345, R346, R347, R348, R349, R350, R351, R352, R353, R354, R355, R356, R357, R358, R359, R360, R361, R362, R363, R364, R365, R366, R367, R368, R369, R370, R371, R372, R373, R374, R375, R376, R377, R378, R379, R380, R381, R382, R383, R384, R385, R386, R387, R388, R389, R390, R391, R392, R393, R394, R395, R396, R397, R398, R399, R400, R401, R402, R403, R404, R405, R406, R407, R408, R409, R410, R411, R412, R413, R414, R415, R416, R417, R418, R419, R420, R421, R422, R423, R424, R425, R426, R427, R428, R429, R430, R431, R432, R433, R434, R435, R436, R437, R438, R439, R440, R441, R442, R443, R444, R445, R446, R447, R448, R449, R450, R451, R452, R453, R454, R455, R456, R457, R458, R459, R460, R461, R462, R463, R464, R465, R466, R467, R468, R469, R470, R471, R472, R473, R474, R475, R476, R477, R478, R479, R480, R481, R482, R483, R484, R485, R486, R487, R488, R489, R490, R491, R492, R493, R494, R495, R496, R497, R498, R499, R500, R501, R502, R503, R504, R505, R506, R507, R508, R509, R510, R511, R512, R513, R514, R515, R516, R517, R518, R519, R520, R521, R522, R523, R524, R525, R526, R527, R528, R529, R530, R531, R532, R533, R534, R535, R536, R537, R538, R539, R540, R541, R542, R543, R544, R545, R546, R547, R548, R549, R550, R551, R552, R553, R554, R555, R556, R557, R558, R559, R560, R561, R562, R563, R564, R565, R566, R567, R568, R569, R570, R571, R572, R573, R574, R575, R576, R577, R578, R579, R580, R581, R582, R583, R584, R585, R586, R587, R588, R589, R590, R591, R592, R593, R594, R595, R596, R597, R598, R599, R600, R601, R602, R603, R604, R605, R606, R607, R608, R609, R610, R611, R612, R613, R614, R615, R616, R617, R618, R619, R620, R621, R622, R623, R624, R625, R626, R627, R628, R629, R630, R631, R632, R633, R634, R635, R636, R637, R638, R639, R640, R641, R642, R643, R644, R645, R646, R647, R648, R649, R650, R651, R652, R653, R654, R655, R656, R657, R658, R659, R660, R661, R662, R663, R664, R665, R666, R667, R668, R669, R670, R671, R672, R673, R674, R675, R676, R677, R678, R679, R680, R681, R682, R683, R684, R685, R686, R687, R688, R689, R690, R691, R692, R693, R694, R695, R696, R697, R698, R699, R700, R701, R702, R703, R704, R705, R706, R707, R708, R709, R710, R711, R712, R713, R714, R715, R716, R717, R718, R719, R720, R721, R722, R723, R724, R725, R726, R727, R728, R729, R730, R731, R732, R733, R734, R735, R736, R737, R738, R739, R740, R741, R742, R743, R744, R745, R746, R747, R748, R749, R750, R751, R752, R753, R754, R755, R756, R757, R758, R759, R760, R761, R762, R763, R764, R765, R766, R767, R768, R769, R770, R771, R772, R773, R774, R775, R776, R777, R778, R779, R780, R781, R782, R783, R784, R785, R786, R787, R788, R789, R790, R791, R792, R793, R794, R795, R796, R797, R798, R799, R800, R801, R802, R803, R804, R805, R806, R807, R808, R809, R810, R811, R812, R813, R814, R815, R816, R817, R818, R819, R820, R821, R822, R823, R824, R825, R826, R827, R828, R829, R830, R831, R832, R833, R834, R835, R836, R837, R838, R839, R840, R841, R842, R843, R844, R845, R846, R847, R848, R849, R850, R851, R852, R853, R854, R855, R856, R857, R858, R859, R860, R861, R862, R863, R864, R865, R866, R867, R868, R869, R870, R871, R872, R873, R874, R875, R876, R877, R878, R879, R880, R881, R882, R883, R884, R885, R886, R887, R888, R889, R890, R891, R892, R893, R894, R895, R896, R897, R898, R899, R900, R901, R902, R903, R904, R905, R906, R907, R908, R909, R910, R911, R912, R913, R914, R915, R916, R917, R918, R919, R920, R921, R922, R923, R924, R925, R926, R927, R928, R929, R930, R931, R932, R933, R934, R935, R936, R937, R938, R939, R940, R941, R942, R943, R944, R945, R946, R947, R948, R949, R950, R951, R952, R953, R954, R955, R956, R957, R958, R959, R960, R961, R962, R963, R964, R965, R966, R967, R968, R969, R970, R971, R972, R973, R974, R975, R976, R977, R978, R979, R980, R981, R982, R983, R984, R985, R986, R987, R988, R989, R990, R991, R992, R993, R994, R995, R996, R997, R998, R999, R1000.

Relié au connecteur DSK J3

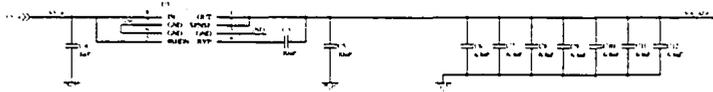




Convertisseurs analogique à di

Pin	Signal	Fonction
1	V _{CC}	Alim. Positive
2	GND	Alim. Négative
3	AD0	Conversion AD[7:0]
4	AD1	Conversion AD[7:0]

Régulateur pour partie analogique ADCA

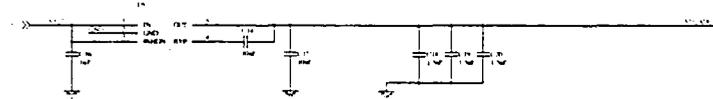


Amplificateur à 10 bits page 1

Pin 1: 5V (Alim. Positive)
Pin 2: GND (Alim. Négative)
Pin 3: AD0 (Conversion AD[7:0])
Pin 4: AD1 (Conversion AD[7:0])



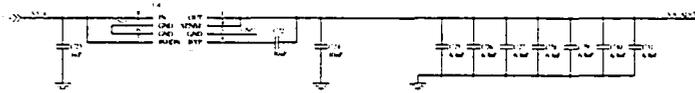
Régulateur pour partie digitale ADCA



Pin 1: 5V (Alim. Positive)
Pin 2: GND (Alim. Négative)
Pin 3: AD0 (Conversion AD[7:0])
Pin 4: AD1 (Conversion AD[7:0])

Conversion AD[7:0] page 1

Régulateur pour partie analogique ADCB



Amplificateur à 10 bits page 1

Pin 1: 5V (Alim. Positive)
Pin 2: GND (Alim. Négative)
Pin 3: AD0 (Conversion AD[7:0])
Pin 4: AD1 (Conversion AD[7:0])

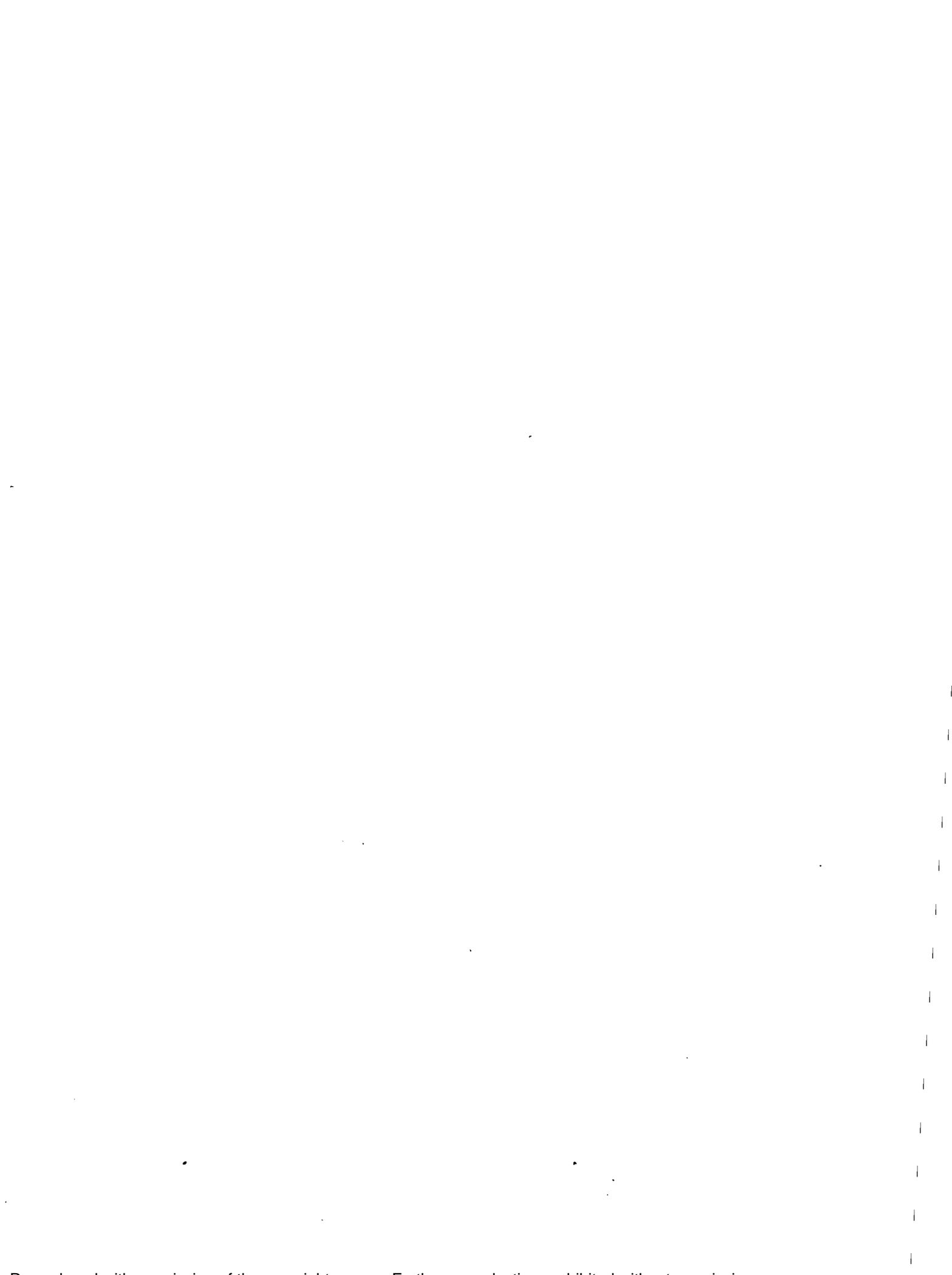


Régulateur pour partie digitale ADCB



Pin 1: 5V (Alim. Positive)
Pin 2: GND (Alim. Négative)
Pin 3: AD0 (Conversion AD[7:0])
Pin 4: AD1 (Conversion AD[7:0])

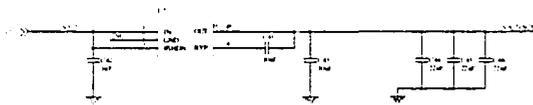
Conversion AD[7:0] page 1





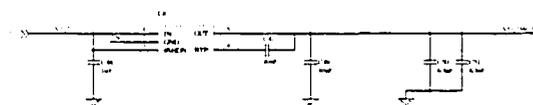
Convertisseurs digital à anal

Régulateur pour partie analogique DACA



Amplificateur externe page 1

Régulateur pour partie digitale DACA

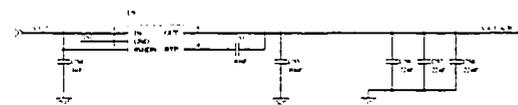


Complément RPT 1E 16V page 2

DACA

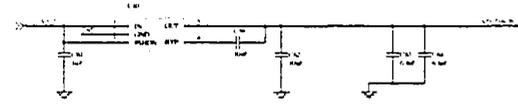
Pin	Signal	Level
1	V _{CC}	16V
2	V _{CC}	16V
3	V _{CC}	16V
4	V _{CC}	16V
5	V _{CC}	16V
6	V _{CC}	16V
7	V _{CC}	16V
8	V _{CC}	16V
9	V _{CC}	16V
10	V _{CC}	16V
11	V _{CC}	16V
12	V _{CC}	16V
13	V _{CC}	16V
14	V _{CC}	16V
15	V _{CC}	16V
16	V _{CC}	16V

Régulateur pour partie analogique DACB



Amplificateur externe page 1

Régulateur pour partie digitale DACB



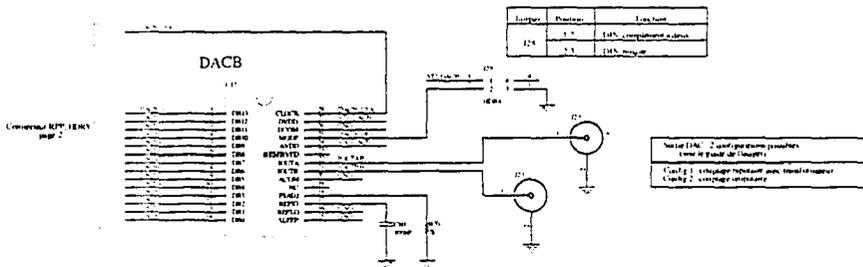
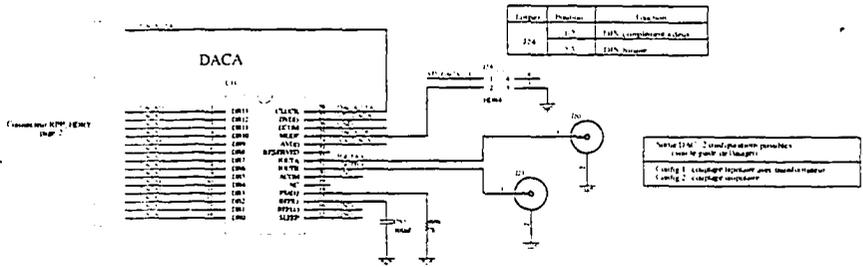
Complément RPT 1E 16V page 2

DACB

Pin	Signal	Level
1	V _{CC}	16V
2	V _{CC}	16V
3	V _{CC}	16V
4	V _{CC}	16V
5	V _{CC}	16V
6	V _{CC}	16V
7	V _{CC}	16V
8	V _{CC}	16V
9	V _{CC}	16V
10	V _{CC}	16V
11	V _{CC}	16V
12	V _{CC}	16V
13	V _{CC}	16V
14	V _{CC}	16V
15	V _{CC}	16V
16	V _{CC}	16V



Convertisseurs digital à analogique, DACA et DACB



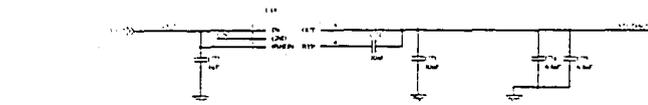


Convertisseurs digital à analog

Régulateur pour partie analogique DACC



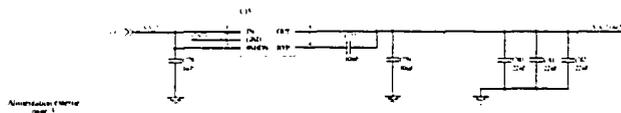
Régulateur pour partie digitale DACC



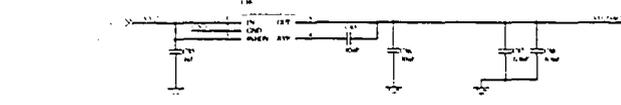
DACC

0811
0812
0813
0814
0815
0816
0817
0818
0819
0820
0821
0822
0823
0824
0825
0826
0827
0828
0829
0830
0831
0832
0833
0834
0835
0836
0837
0838
0839
0840
0841
0842
0843
0844
0845
0846
0847
0848
0849
0850
0851
0852
0853
0854
0855
0856
0857
0858
0859
0860
0861
0862
0863
0864
0865
0866
0867
0868
0869
0870
0871
0872
0873
0874
0875
0876
0877
0878
0879
0880
0881
0882
0883
0884
0885
0886
0887
0888
0889
0890
0891
0892
0893
0894
0895
0896
0897
0898
0899
0900

Régulateur pour partie analogique DACD



Régulateur pour partie digitale DACD

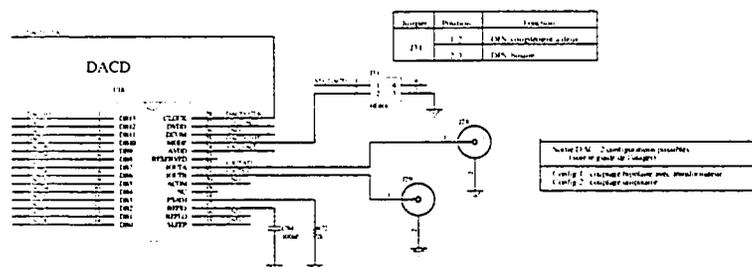
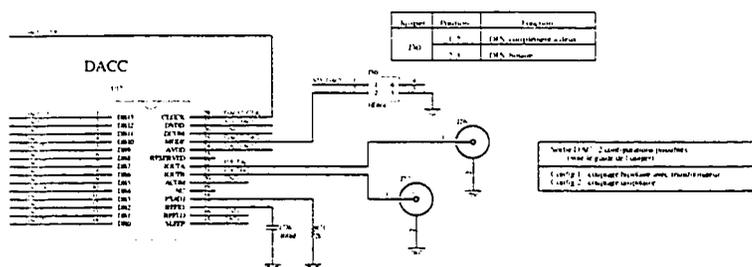


DACD

0811
0812
0813
0814
0815
0816
0817
0818
0819
0820
0821
0822
0823
0824
0825
0826
0827
0828
0829
0830
0831
0832
0833
0834
0835
0836
0837
0838
0839
0840
0841
0842
0843
0844
0845
0846
0847
0848
0849
0850
0851
0852
0853
0854
0855
0856
0857
0858
0859
0860
0861
0862
0863
0864
0865
0866
0867
0868
0869
0870
0871
0872
0873
0874
0875
0876
0877
0878
0879
0880
0881
0882
0883
0884
0885
0886
0887
0888
0889
0890
0891
0892
0893
0894
0895
0896
0897
0898
0899
0900



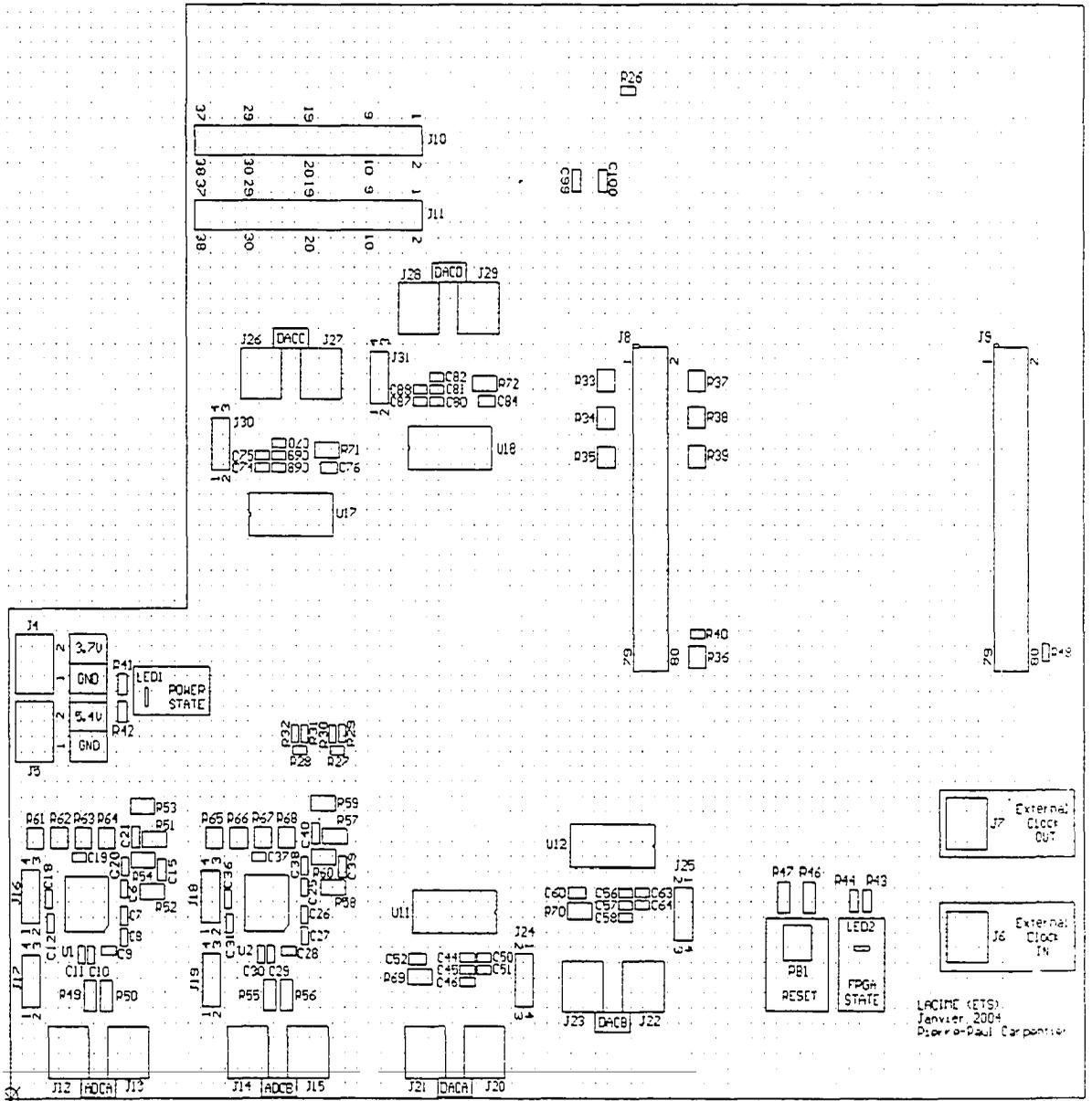
eurs digital à analogique. DACC et DACD





Placement des compos

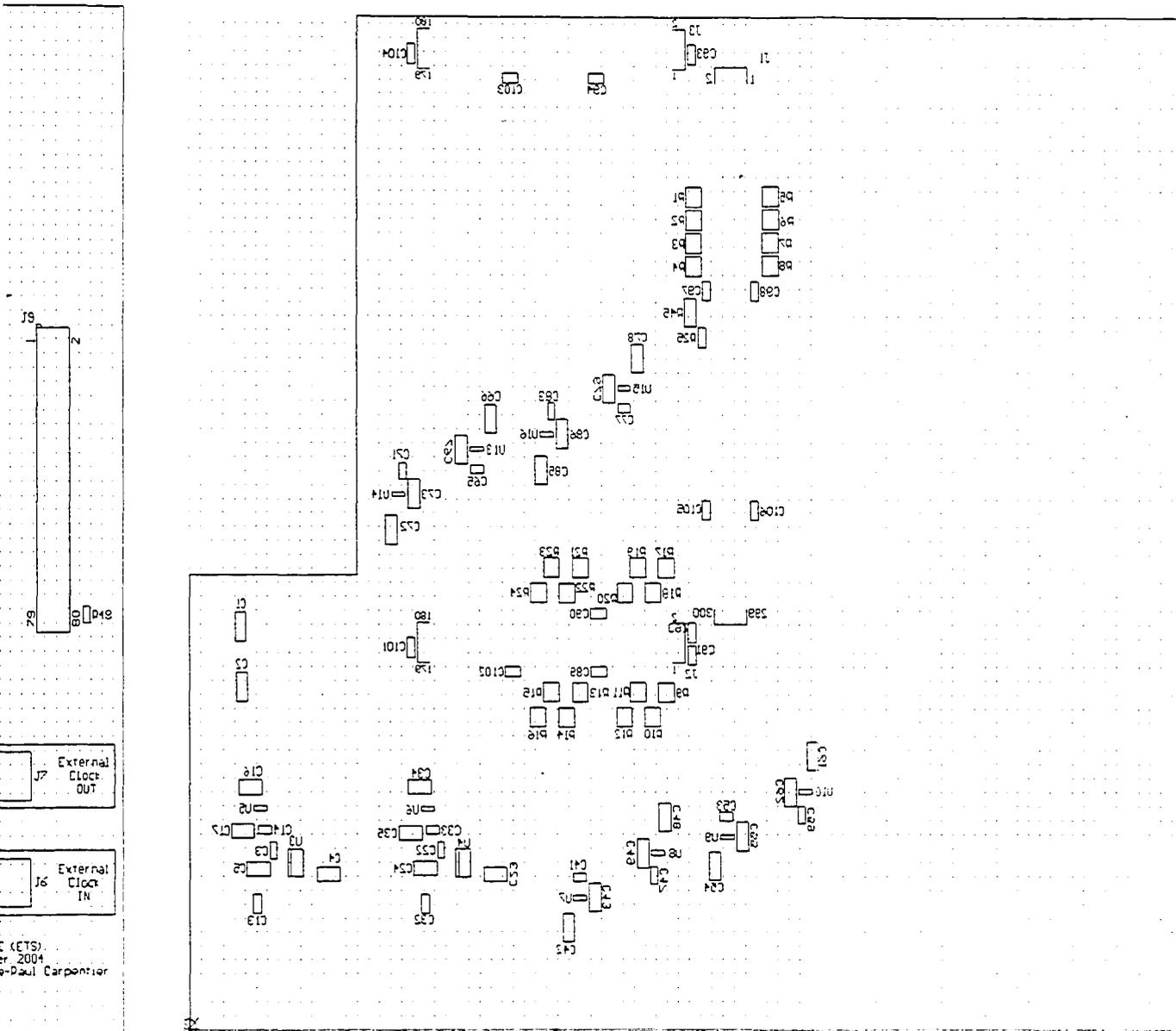
Top layer (top view)

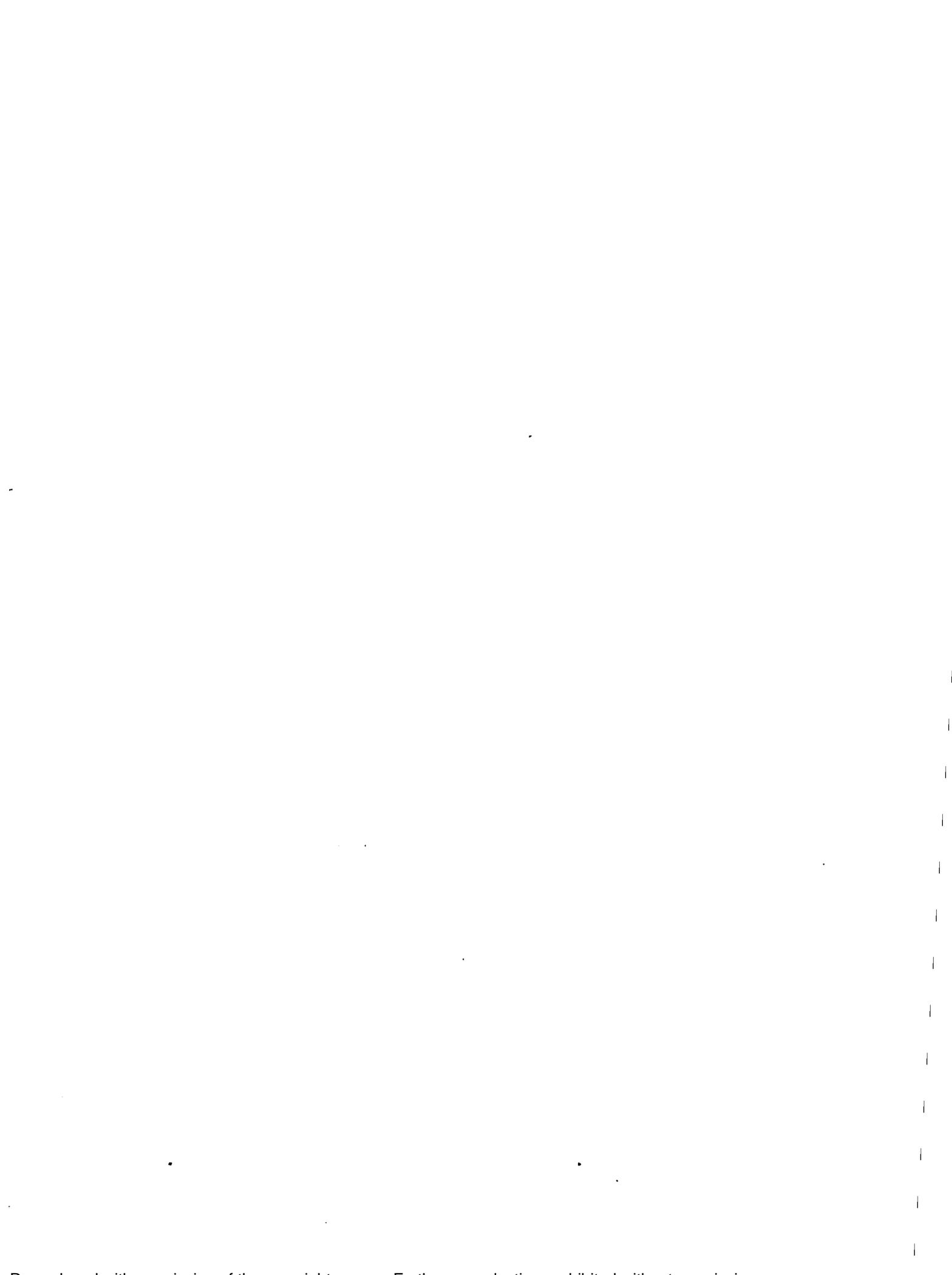




ment des composants sur la carte

Bottom layer (top view)





ANNEXE 2

Article de conférence: An integrated digital platform for rapid evaluation of novel wireless architectures

accompanying the motherboard are the logic and core modules. The logic module contains a Xilinx Virtex II FPGA (XC2V6000) that is linked to the motherboard and may be accessed through external connectors [8]. This module has a maximum operating frequency of 200 MHz and is used for hardware control and high speed signal processing. The FPGA functionality is specified in VHDL and the design process can be accelerated using a tool like Xilinx's System Generator in Matlab's Simulink environment. The core module gives access to an ARM RISC processor core (ARM7TDMI) [9] that enables execution of a program written in C language. The processor is linked to 128 MB of SDRAM and to the motherboard. The motherboard acts as a hardware-interconnecting matrix for the logic and core modules. Software interconnecting is achieved with ARM's AMBA AHB subsystem bus that allows data transfer between the FPGA and RISC.

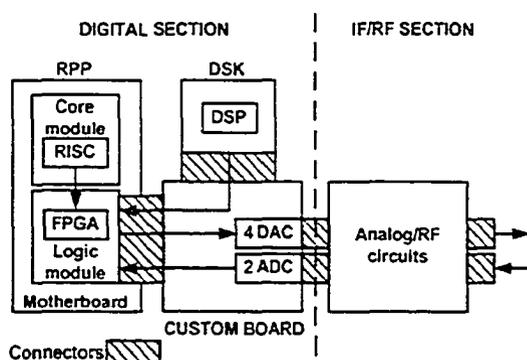


Fig. 1. Physical architecture of the testbed

The DSK is a development board available from Texas Instruments [10]. The board contains a 900 million floating-point operations per second (MFLOPS) TMS320C6711 DSP that executes a C language program and is used for low-speed signal processing. The DSP is linked to 16MB of SDRAM and to interface connectors. The interface connectors are used to connect the DSP to an external circuit.

The custom board must fulfill two functions: (i) interconnection between the FPGA and DSP and (ii) bidirectional interface to the analog domain. Controlled impedance traces and high density connectors are used to implement the first function of routing address, data, control and clocking signals between the DSP and the FPGA's I/Os. The second function, namely the analog interface, is implemented through four DACs and two ADCs. The DACs (AD9744 from Analog Devices) have a maximum operating frequency of 165 MSPS with a resolution of 14 bits and the ADCs (AD9433 from Analog Devices) have a maximum operating frequency of 125 MSPS with a resolution of 12 bits. While designing the analog interface, particular emphasis was placed on equalizing trace lengths between the connector and the integrated circuits to insure good

synchronization of signals. All DAC outputs and ADC inputs are differential and accessible through standard SMA connectors.

The digital platform thus obtained offers sufficient flexibility for a user to be able to implement a wide range of application: through software programming and hardware configuration of the programmable devices. It provides high-speed signal processing, fast control algorithms, multiple high frequency and wide dynamic range converters between the analog and digital domains and quick turn-around programming time.

The IF/RF section is application dependant and is assembled using analog/RF building blocks or circuits. Each block corresponds to an analog or RF function (filter, mixer, power splitter and combiner, amplifier, local oscillator, etc.) that is realized on a printed circuit board. The resulting circuit is placed into a machined aluminium casing to prevent it from mechanical deformation and to isolate it from the electromagnetic environment. The inputs and outputs of each circuit are linked to SMA connectors in order to provide flexible configurations. These building blocks are connected using semi-rigid coaxial cables and are mounted on an aluminium plate for immobilization purposes. An example is shown in Fig. 2.

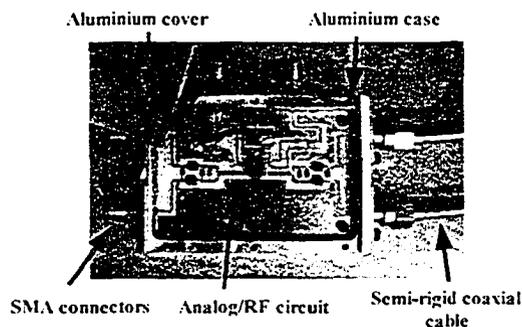


Fig. 2. Example architecture of the IF/RF section

III. APPLICATION TO WIRELESS TRANSMITTER ARCHITECTURE

The testbed is suitable for communication applications where the digital section generates or acquires communication signals at the base band level and the IF/RF section implements the RF front-end of a transmitter or receiver. Thus the range of applications that can be realized with the platform is very large (MIMO systems, adaptive predistortion, etc.). However, in this paper, we will target a single example of a LINC transmitter architecture. Its principle is the decomposition of an amplitude-modulated signal into two constant-amplitude components. The resulting two constant-amplitude components can be amplified without distortion by non-linear (Classes C or F) amplifiers. After amplification, the two signals are combined to recreate the

original signal amplified. The use of non-linear amplifiers allows a good DC-RF energy conversion efficiency, which is a key consideration in most wireless systems, while the signal decomposition and the two-branches architecture leads to good linearity, also a key performance criterion in wireless systems.

A. LINC Using Commercial RF Sources

A 16QAM signal filtered with a Raised Cosine Filter of roll-off 0.2 is used for the tests. An oversampling ratio of 16 is chosen, thus the DAC clock frequency must be 16 times higher than the symbol rate. The two LINC constant-amplitude components (symbol files $S_1(t)$ and $S_2(t)$) are calculated using the commercial circuit simulator ADS (Advanced Design System) then downloaded in two programmable RF sources (Agilent ESG E4433x). These sources are used for generating the LINC signals in RF band as shown in Fig. 3.

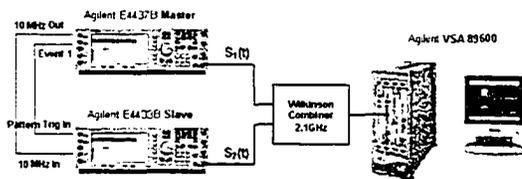


Fig. 3. Setup for commercial sources

They are synchronized at a carrier frequency of 2.1 GHz: A first source (E4437B here) is considered as master; its 10 MHz output is used by the slave source (E4433B here) as clock reference (10 MHz input). Thus, the two source carriers are synchronized as they use the same clock generator. The residual phase difference between the carriers can be compensated thanks to the phase adjustment option present on each source.

The symbols patterns $S_1(t)$ and $S_2(t)$ are also synchronized. A marker is placed at the beginning of the symbol file $S_1(t)$ in the master source. Thus, each time this marker is met, a pulse is sent on the EVENT1 output. This output is linked to the Pattern Trigger input of the slave source. As the symbol file $S_2(t)$ in this source is set to trig on this input, the two symbol files are finally synchronized. The power levels are precisely equalized thanks to a power-meter. The two source signals are then connected to a 2.1 GHz Wilkinson combiner, which ensures their linear combination.

B. LINC Using the Testbed

In this setup, the testbed replaces the two RF sources as shown in Fig. 4. The digital section is programmed with the same signals as those downloaded in the RF sources and the oversampling ratio for the DACs is also 16. The program that executes on the RISC processor transfers the signal's data from low bandwidth memory to high bandwidth memory accessible by the FPGA. The RISC's program also controls

the operational state of the FPGA. The FPGA is configured with an AMBA AHB bus access core and controllers for memory and DACs. In this example application, the main task of the FPGA is to transfer the signal's data from the high bandwidth memory to the DACs. Raised Cosine Filter and other signal processing tasks could have been done by the FPGA but for simplicity, we have used the same processed signals as those downloaded in the commercial RF sources.

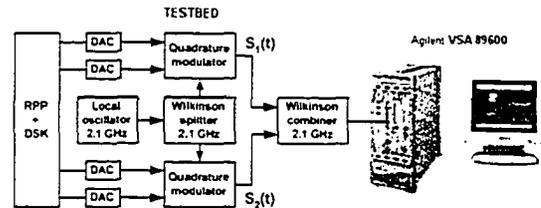


Fig. 4. Setup for the testbed

The IF/RF section is composed of two quadrature modulators, a local oscillator and two 2.1 GHz Wilkinson power splitters/combiners. The four DACs of the digital section provide the base band signals for the quadrature modulators. Up-conversion to obtain $S_1(t)$ and $S_2(t)$ at 2.1 GHz is achieved with the quadrature modulators and the local oscillator.

IV. EXPERIMENTAL RESULTS

It should be noted that the amplification stage has been omitted in this work for simplicity and to assess the quality of the input signals. In both of the above setups, the resulting combined signal is demodulated and analyzed by a Vector Signal Analyzer (Agilent VSA 89600). In this section, we compare some results obtained with the two setups. Fig. 5 shows the resulting 16QAM constellations obtained with the commercial sources and our testbed. The symbol rate (F_{symp}) is 2.5 Msps. One can see that the linearity of the testbed is far better than that of the commercial sources setup. The corresponding spectrums are presented in Fig. 6 and compared to the reference 16QAM signal. The Adjacent Channel Power Ratio (ACPR) is degraded by about 5 dB with the commercial sources while it stays quite constant with the testbed. Actually, the testbed non-linearities increase with the symbol rate but the degradation is much more important with the commercial sources. Moreover, one can see in Table 1 that even at a 100 MHz DAC clock frequency (F_{DAC}), our system stays linear with an EVM of 3.3%. It is also interesting to note that the maximal DAC clock frequency for the commercial sources is limited to 40 MHz while the testbed go up to 160 MHz. Another fact is that the synchronization of the symbol patterns is transparent for the testbed but more complicated for the commercial sources. Besides this example application for the LINC architecture, the platform has also been used for real-time control of variable RF components [11].

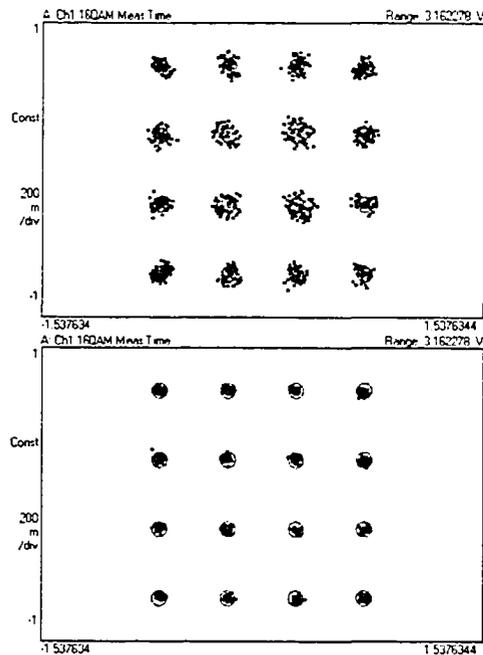


Fig. 5. LINC constellations for 2.5 Msps (top:commercial source, bottom:testbed)

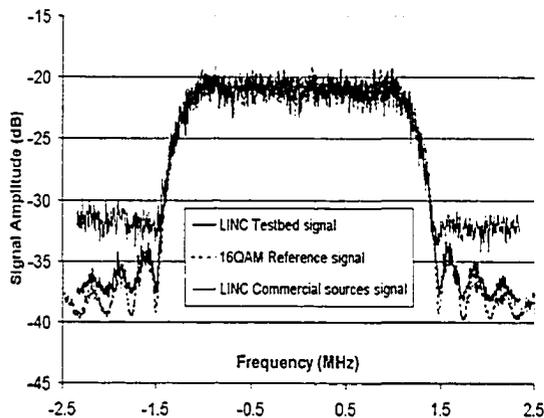


Fig. 6. Experimental spectrums with LINC architecture

Table 1. EVM comparison for the two setups

	Commercial sources		Testbed			
	0.375	2.5	0.375	2.5	6.25	10
F_{comb} (Msps)	0.375	2.5	0.375	2.5	6.25	10
F_{DAC} (MHz)	6	40	6	40	100	160
EVM (%rms)	2.3	6.1	2.1	2.4	3.3	6.5

V. CONCLUSION

Wireless applications are rapidly evolving and the development of a testbed for rapid evaluation of novel architectures is desirable. The present work shows that the digital flexibility obtained with programmable integrated circuits coupled with the design of a custom IF/RF section using discrete analog/RF components allow architecture exploration. The presented LINC example shows the performances of the testbed compared to commercial RF sources. The main advantages of the testbed are (i) better linearity for the generated signals, (ii) simplification of the synchronization of symbol patterns, (iii) higher clock frequency for the DAC and (iv) higher flexibility for architecture exploration by providing digital signal processing and bidirectional conversion for digital/analog signals. The last characteristic is essential for applications with feedback loops between the digital and IF/RF sections (adaptive predistortion, ...) This kind of architecture will be investigated in a future work.

ACKNOWLEDGEMENTS

The authors wish to thank the CMC for the access to the RPP platform as well as to the related software environment. This work is partly supported by NSERC grants and ÉTS scholarship program.

REFERENCES

- [1] K. Chang, *RF and microwave wireless systems*. New York, N.Y.: J. Wiley and Sons, 2000.
- [2] J. H. Reed, *Software radio: a modern approach to radio engineering*. Upper Saddle River, NJ: Prentice Hall, 2002.
- [3] M. Vasilko, L. Machacek, M. Matej, P. Stepien, and S. Holloway, "A rapid prototyping methodology and platform for seamless communication systems," presented at Rapid System Prototyping, 12th International Workshop on, 2001.
- [4] W. Xiang, T. Pratt, and X. Wang, "A software radio testbed for two-transmitter two-receiver space-time coding OFDM wireless LAN," *Comm. Mag., IEEE*, vol. 42, pp. 54-62, 2004.
- [5] D. Cox, "Linear Amplification with Nonlinear Components," *Comm., IEEE Trans. on [legacy, pre - 1988]*, vol. 22, pp. 1942-1945, 1974.
- [6] R. Y. Miyamoto, S.-S. Jeon, C. Y. Hang, Y. Wang, and T. Itoh, "Adaptive microwave systems using DSP," presented at Microwaves, Radar and Wireless Communications, MIKON-2002, 14th International Conference on, 2002.
- [7] ARM, *Integrator:AP user guide (DU1 0098B)*: ARM Limited, 2001.
- [8] ARM, *Integrator:LT-AC214000+ user guide (DU1 0186A)*: ARM Limited, 2002.
- [9] ARM, *Integrator:CM7TDM1 user guide (DU1 0126A)*: ARM Limited, 1999.
- [10] Texas Instruments, "C6711 DSP Starter Kit (DSK) <http://focus.ti.com/docs/toolssw/folders/print/tmds320006711.html>, 2004.
- [11] P.-P. Carpentier, A. Kouki, and C. Thibault, "A Flexible Digital Platform for Real-Time Control of RF Components with Application to MIMO Channel Emulation," presented at IEEE CCECE-2004, 2004.

ANNEXE 3

Article de conférence : A flexible digital platform for real-time control of RF components with application to MIMO channel emulation

software, has been chosen. Because developing application specific code directly in the RPP requires low-level programming and may be lengthy, and because not all tasks associated with a given application need be performed by the FPGA, a DSP Starter Kit (DSK) has been chosen to interface to the RPP. Since neither the RPP nor the DSK have converters to allow interfacing the analog domain, a third part is required to complete the platform. This is a custom board that connects the DSP to the FPGA and implements all analog interfaces. Figure 1 shows a simplified view of the resulting platform. Brief descriptions of the platform's components are given below.

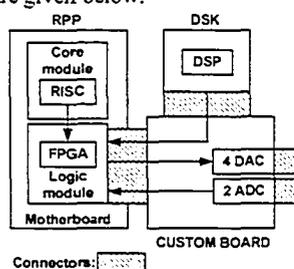


Figure 1: Physical structure of the platform

2.1 Rapid Prototyping Platform

The RPP consists of an ARM Integrator/AP ASIC development motherboard [4]. The main modules accompanying the motherboard are the logic and core modules. The logic module contains a Xilinx Virtex II FPGA (XC2V6000) that is linked to the motherboard and may be accessed through external connectors [5]. This module has a maximum operating frequency of 200 MHz. The core module gives access to an ARM RISC processor core (ARM7TDMI) [6]. The processor is linked to 128 MB of SDRAM and to the motherboard. The motherboard acts as an interconnecting matrix for the modules.

2.2 DSP Starter Kit

The DSK is a development board available from Texas Instruments [7]. The board contains a 900 million floating-point operations per second (MFLOPS) TMS320C6711 DSP linked to 16MB of SDRAM and to interface connectors. The interface connectors are used to connect the DSP to an external circuit.

2.3 Custom board

The custom board must fulfill two functions: (i) interconnection between the FPGA and DSP and (ii) bidirectional interface to the analog domain.

Controlled impedance traces and high density connectors are used to implement the first function of routing address, data, control and clocking signals between the DSP and the FPGA's I/Os. The second function, namely the analog interface, is implemented through four DACs and two ADCs. The DACs (AD9744 from Analog Devices [8]) have a maximum operating frequency of 165 MSPS with a resolution of 14 bits and the ADCs (AD9433 from Analog Devices [8]) have a maximum operating frequency of 125 MSPS with a resolution of 12 bits. While designing the analog interface, particular emphasis was placed on equalizing trace lengths between the connector and the integrated circuits to insure good synchronisation of signals. All DAC outputs and ADC inputs are differential and accessible through standard SMA connectors.

The custom board was designed as a four-layer PCB with special attention paid to signal integrity of the high-speed digital portion and to isolate the analog portion from the digital noise. This is done using controlled impedance traces, line terminations, decoupling techniques, split power planes and other methods as discussed in [9]. A commercial PCB manufacturer was chosen to fabricate the board while its assembly and testing were carried out in house.

The hardware platform thus obtained offers sufficient flexibility for a user to be able to implement a wide range of applications through software programming. Knowledge of the hardware configuration of the platform and its constraints is required in the software development phase.

3. PLATFORM'S SOFTWARE ASPECTS

As discussed in the previous section, the platform has three different programmable devices (DSP, RISC, FPGA) and thus requires the use of different programming languages. Once the target application of the platform is defined, it is possible to specify the digital system in terms of functional blocks. The partitioning process allows the designer to spread each functional block over the digital devices and to start programming. These steps are described in the next two sub-sections.

3.1 System definition and partitioning

This step consists of enumerating all the functions and algorithms to be implemented by the digital devices in order to fulfill the application. It also specifies the constraints for the real-time aspects of the application. Following this step, a partitioning process enables to target functions to specific digital devices. The partitioning requires user and architecture constraints and can be manual or automatic depending on the complexity

of the system's functions. Each digital circuit has a specific programming language. The DSP functionality is defined using a Matlab Simulink model or a C language program. VHDL is the preferred way to specify the FPGA functionality and a C language program is used for the RISC.

3.2 Programming and compilation flow

The next steps are to design, simulate, compile and implement the different programs for each digital device. These steps are summarized in Figure 2.

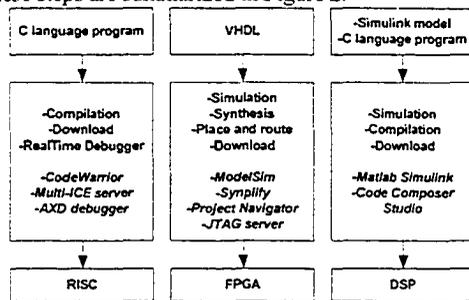


Figure 2: Programming and compilation flow

The C program dedicated to the RISC is compiled using CodeWarrior, downloaded with the Multi-ICE server and debugged under AXD debugger. In the case of the FPGA, the VHDL is simulated in ModelSim and synthesized in Synplify. The place and route is done with Project Navigator from Xilinx ISE and the bit file is downloaded using the JTAG server. It is also possible to generate VHDL code from a Simulink model and mix it with other VHDL parts of the design. For the DSP, there is a choice between a Simulink model that can be simulated in Matlab or a C program. In either way the preferred program is compiled and downloaded with Code Composer Studio. The use of other software may also be possible and even necessary depending on the digital devices used.

4. TEST RESULTS

To demonstrate the functionality of the platform, two different tests are conducted using the setup presented in Figure 3. In this setup, the platform is programmed to generate variable bias signals to control the variable RF attenuator (VA) and variable phase shifter (VPS). An additional interface circuit has been built to amplify signals provided by the DACs and accessed via SMA connectors. The Agilent E4437B ESG-DP (ESG) is used to generate RF signals while the Agilent E8408A VXI mainframe (VXI) performs the demodulation.

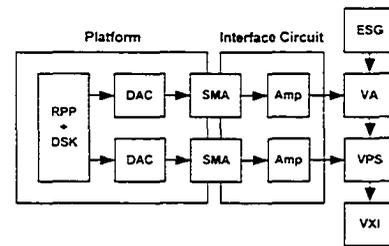


Figure 3: Setup for the test applications

The first test consists of realizing an AM DSB-LC modulation [10] using the ESG as the carrier generator, the VA as the amplitude modulator and the VXI as the analog demodulator. The carrier frequency is set to 800 MHz because this is the operating frequency of the VA. The modulating signal is a 400 Hz sine wave that comes from the platform. This signal is pre-distorted in order to compensate the VA non-linear bias control. The spectrum of this modulation is shown in Figure 4. This spectrum is similar to the one obtained from standard commercial signal generators except for higher peaks located at ± 800 Hz (from carrier). These peaks are caused by the low pass characteristics of the bias circuit of the VA.

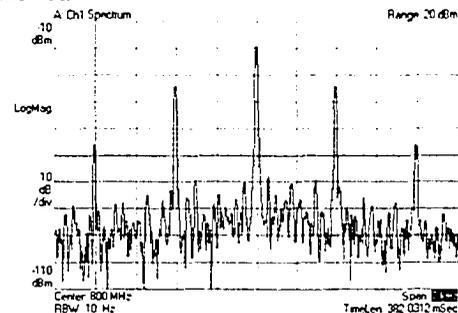


Figure 4: Spectrum of the generated AM DSB-LC

The second test consists of emulating MIMO channel matrix coefficients. Figure 5 presents a simplified view of a 2X2 MIMO channel model.

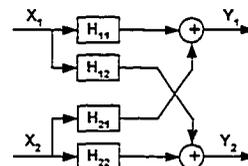


Figure 5: Model for a 2X2 MIMO channel

As shown, the channel has two inputs (X_1 and X_2), two outputs (Y_1 and Y_2) and four complex matrix coefficients (H_{11} , H_{12} , H_{21} and H_{22}). For flat fading channels, each coefficient is emulated with a VA and a VPS connected in series. For simplicity, only a single

matrix entry is considered and the setup of Figure 3 is used for its implementation.

The ESG was used to generate a 16 QAM constellation with a carrier frequency of 800 MHz and a symbol rate of 24.3 ksps [11]. To emulate the channel response, we have used a Rayleigh distribution for the envelope component of the signal and a uniform distribution for the phase. The instantaneous channel coefficient values are programmed in the platform and are used to drive the VA and VPS with an update frequency of 11.718 kHz. The digital demodulation is carried out using the VXI. Figure 6 shows the constellations for different cases as follows: a) with no channel emulation (pass-thru), b) with emulation of the envelope component only, c) with emulation of the phase component only and d) with emulation of a complex coefficient (envelope and phase). The results are conform to the theoretically expected channel behaviour.

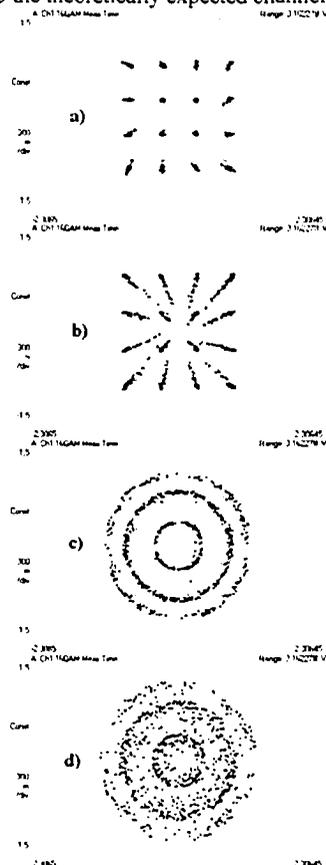


Figure 6: Constellations of demodulated signals

These two tests show that the basic parts of the platform are functional and that it can be used for the real-time control of RF components.

5. CONCLUSION

A flexible digital platform for the real time control of RF components was presented. The platform's flexibility is achieved with the use of different programmable digital devices and of an analog interface. The major system design constraints are the digital transfer mechanisms between digital devices and the maximum operating frequency of each integrated circuit (FPGA, DSP, RISC, DAC, ADC). Two sample applications using discrete RF components controlled in real-time by the platform were demonstrated. The platform is a ready-to-use development system that can be used for many applications such as being inserted in a RF hardware loop as an acquiring, processing and controlling device. Investigating these applications and exploiting the full potential of the platform are part of our future work.

Acknowledgements

The authors wish to thank the CMC for the access to the RPP platform as well as to the related software environment. This work is partly supported by NSERC grants.

References

- [1] J. Mitola, *Software radio architecture : object-oriented approaches to wireless systems engineering*. New York: John Wiley & Sons, 2000.
- [2] J. H. Reed, *Software radio : a modern approach to radio engineering*. Upper Saddle River, NJ: Prentice Hall, 2002.
- [3] R. Y. Miyamoto, S.-S. Jeon, C. Y. Hang, Y. Wang, and T. Itoh, "Adaptive microwave systems using DSP," presented at Microwaves, Radar and Wireless Communications, 2002. MIKON-2002. 14th International Conference on, 2002.
- [4] ARM, *Integrator/AP user guide (DUI 0098B)*: ARM Limited, 2001.
- [5] ARM, *Integrator/LT-XC2V4000+ user guide (DUI 0186A)*: ARM Limited, 2002.
- [6] ARM, *Integrator/CM7TDMI user guide (DUI 0126A)*: ARM Limited, 1999.
- [7] Texas Instruments, "C6711 DSP Starter Kit (DSK) <http://focus.ti.com/docs/toolsw/folders/print/tmds320006711.html>," 2004.
- [8] Analog Devices, "<http://www.analog.com/>," 2004.
- [9] H. W. Johnson and M. Graham, *High-speed digital design a handbook of black magic*. Englewood Cliffs, N.J.: Prentice-Hall, 1993.
- [10] F. G. Stremmler, *Introduction to communication systems*, 3rd ed. Reading, Mass.: Addison-Wesley, 1990.
- [11] D. R. Smith, *Digital transmission systems*, 2nd ed. New York, N.Y.: Van Nostrand Reinhold, 1993.

BIBLIOGRAPHIE

Abbaspour-Tamijani, A., Dussopt, L., & Rebeiz, G. M. (2003). Miniature and tunable filters using MEMS capacitors. *Microwave Theory and Techniques, IEEE Transactions on*, 51(7), 1878-1885.

Agilent Technologies. (2004). *Agilent Advanced Design System (ADS)*. [En ligne]. <http://eesof.tm.agilent.com/products/adsoview.html> (Consulté le 20 août 2004).

Airespace, Inc. (2003). *AireWave Director Software: An Intelligent Control Plane for Dynamic RF Operations*. [En ligne]. http://www.airespace.com/pdf/WP_AS_AireWave_Director.pdf (Consulté le 20 août 2004).

Alcatel. (2004). *Alcatel OmniAccess 4100 WLAN Appliance*. [En ligne]. http://www.ind.alcatel.com/products/omniaccess_4100_WLAN_appliance.pdf (Consulté le 20 août 2004).

Altium. (2002). Design Explorer (DXP).

Analog Devices. (2001). *AD9433 12-Bit 105 MSPS/125 MSPS IF Sampling A/D Converter*. [En ligne]. http://www.analog.com/UploadedFiles/Data_Sheets/836020241AD9433_0.pdf (Consulté le 20 août 2004).

Analog Devices. (2002). *AD8302 RF/IF Gain and Phase Detector*. [En ligne]. http://www.analog.com/UploadedFiles/Data_Sheets/797075782AD8302_a.pdf (Consulté le 20 août 2004).

Analog Devices. (2003). *AD9744 14-Bit 165 MSPS TxDAC D/A Converter*. [En ligne]. http://www.analog.com/UploadedFiles/Data_Sheets/34673042AD9744_a.pdf (Consulté le 20 août 2004).

Analog Devices. (2004). *AD8349 700 MHz to 2700 MHz Quadrature Modulator*. [En ligne]. http://www.analog.com/UploadedFiles/Data_Sheets/751381246AD8349_a.pdf (Consulté le 20 août 2004).

Ansoft. (2004a). *Ansoft Designer*. [En ligne]. http://www.ansoft.com/products/hf/ansoft_designer/overview.cfm (Consulté le 20 août 2004).

Ansoft. (2004b). *HFSS*. [En ligne]. <http://www.ansoft.com/products/hf/hfss/> (Consulté le 20 août 2004).

ARM. (1999). *Integrator/CM7TDMI user guide (DUI 0126A)*: ARM Limited.

ARM. (2001a). ARM Multi-ICE Server V2.1.

ARM. (2001b). AXD Debugger for ARM Developer Suite 1.2.

ARM. (2001c). *Integrator/AP user guide (DUI 0098B)*: ARM Limited.

ARM. (2002a). *Integrator/IM-LT1 user guide (DUI 0187A)*: ARM Limited.

ARM. (2002b). *Integrator/LT-XC2V4000+ electrical schematic (EOI-0102)*: ARM Limited.

ARM. (2002c). *Integrator/LT-XC2V4000+ user guide (DUI 0186A)*: ARM Limited.

ARM. (2002d). JTAG logic configuration utilities.

ARM. (2004). *AMBA Home Page*. [En ligne].

<http://www.arm.com/products/solutions/AMBAHomePage.html> (Consulté le 20 août 2004).

BAE. (2002). *DARPA Contracts to BAE SYSTEMS Promise Revolution for Military RF Systems*. [En ligne]. http://www.iewe.na.baesystems.com/business/02_news/229-2002.htm (Consulté le 20 août 2004).

Berkäna. (2004). *Single-Chip Quad-Band GSM/GPRS CMOS Transceivers Family BKW9000*. [En ligne]. <http://www.berkanawireless.com/products/BKW9000%20fact%20sheet.pdf> (Consulté le 20 août 2004).

Borgatti, M., Lertora, F., Foret, B., & Cali, L. (2003). A reconfigurable system featuring dynamically extensible embedded microprocessor, FPGA, and customizable I/O. *Solid-State Circuits, IEEE Journal of*, 38(3), 521-529.

Carpentier, P. P., Kouki, A., & Thibeault, C. (2004). A flexible digital platform for real-time control of RF components with application to MIMO channel emulation. *Electrical and Computer Engineering, 2004. Proceedings of the Canadian Conference on*, Vol.2, 665-668.

Carpentier, P. P., Poitau, G., Kouki, A., & Thibeault, C. (2004). An integrated digital platform for rapid evaluation of novel wireless architectures. *Signal Processing and Information Technology, 2004. ISSPIT 2004. Proceedings of the 4th IEEE International Symposium on*, Vol.1, 148-151.

Chow, P., & Gale, D. (2004). *The New Technology Challenge: CMC's Changing Roles*. [En ligne].

http://www.cmc.ca/about/strategic_documents/new_tech-paper_Final+Cover.pdf

(Consulté le 20 août 2004).

Cognio, Inc. (2004). *Cognio's Intelligent Spectrum Management (ISM) System*. [En ligne]. http://www.cognio.com/products_overview.html (Consulté le 20 août 2004).

COMSOL. (2004). *FEMLAB Multiphysics Modeling*. [En ligne].

<http://www.comsol.com/products/femlab/> (Consulté le 20 août 2004).

Cox, D. (1974). Linear Amplification with Nonlinear Components. *Comm., IEEE Trans. on [legacy, pre - 1988]*, 22(12), 1942-1945.

DARPA. (2001). *Intelligent RF Front-Ends (Digital Control of Analog Circuits)*. [En ligne]. <http://www.darpa.mil/mto/solicitations/baa01-33/s/section2.html> (Consulté le 20 août 2004).

de Mingo, J., Valdovinos, A., Crespo, A., Navarro, D., & Garcia, P. (2004). An RF electronically controlled impedance tuning network design and its application to an antenna input impedance automatic matching system. *Microwave Theory and Techniques, IEEE Transactions on*, 52(2), 489-497.

Diaz, C. H., Tang, D. D., & Sun, J. Y.-C. (2003). CMOS technology for MS/RF SoC. *Electron Devices, IEEE Transactions on*, 50(3), 557-566.

Eagleware. (2003). *Eagleware GENESYS products*. [En ligne]. <http://www.eagleware.com/products/index.htm> (Consulté le 20 août 2004).

ElectroMagneticWorks. (2003). *HFWorks and EMS software products*. [En ligne]. <http://www.electromagneticworks.com/> (Consulté le 20 août 2004).

Elektrobit. (2004). *Propsim C8 - Wideband Multichannel Simulator*. [En ligne]. <http://www.propsim.com/index.php?141> (Consulté le 20 août 2004).

Feng, M., Shen, S.-C., Caruth, D. C., & Huang, J.-J. (2004). Device technologies for RF front-end circuits in next-generation wireless communications. *Proceedings of the IEEE*, 92(2), 354-375.

Focus, Microwaves. (2004). *Automatic Tuners Product pages*. [En ligne]. <http://www.focus-microwaves.com/Products/Products.htm> (Consulté le 20 août 2004).

Fukuda, A., Okazaki, H., Hirota, T., & Yamao, Y. (2004). Novel 900 MHz/1.9 GHz dual-mode power amplifier employing MEMS switches for optimum matching.

Microwave and Wireless Components Letters, IEEE [see also IEEE Microwave and Guided Wave Letters], 14(3), 121-123.

HACHED, M. N. (2005). *Intégration logicielle et test d'un modulateur IQ dans une chaîne de transmission Radiofréquence (RF)*. École Supérieure des Communications de Tunis, Tunis.

Huang, Y. (2002). *Advanced Multi-Mode Transmitter Architectures for Wireless Communication*. [En ligne]. http://vbn.dk/VBN/AAU/tek-nat/Elektroniske/Kommunikation/vbn:ProjektContainer/Advanced_Multi-Mode/ (Consulté le 20 août 2004).

IEEE-MTT-S. (2002). *Intelligent RF Front-Ends Workshop*. Papier présenté à IEEE International Microwave Symposium, E.J.Martinez Organizer, Workshop Notes CD-ROM.

Johnson, H. W., & Graham, M. (1993). *High-speed digital design a handbook of black magic*. Englewood Cliffs, N.J.: Prentice-Hall.

Johnson, R. C. (2004). Wireless transceiver-on-chip now possible. *EE Times*.

Kenyon, D., James, T., & Roddis, R. (2003). FPGAs versus DSPs in reconfigurable radio. *Electronics Systems and Software, 1(6)*, 30-33.

Larsen, T. (2002). *Intelligent RF Mobile Communications Terminals*. [En ligne]. http://vbn.dk/VBN/AAU/tek-nat/Elektroniske/Kommunikation/vbn:ProjektContainer/rf_mobile/ (Consulté le 20 août 2004).

Larson, L. E. (2003). Silicon technology tradeoffs for radio-frequency/mixed-signal "systems-on-a-chip". *Electron Devices, IEEE Transactions on, 50(3)*, 683-699.

Lim, K., Wan, L., Guidotti, D., Sundaram, V., White, G., Liu, F., et al. (2004). *System-on-a-package (SOP) module development for a digital, RF and optical mixed signal integrated system*. Papier présenté à Electronic Components and Technology, 2004. ECTC '04. Proceedings.

Linear_Technology. (1999). *LT1761 - 100 mA Low Noise LDO Micropower Regulators in SOT-23*. [En ligne]. www.linear.com (Consulté le 20 août 2004).

Lippman, A. (2002). *Viral Communications (Intelligent RF)*. [En ligne]. http://web.media.mit.edu/~lip/Viral_Radio.html (Consulté le 20 août 2004).

Lippman, A., & P.Reed, D. (2003). *Viral Communications*. [En ligne]. <http://web.media.mit.edu/~lip/Papers/Viral.pdf> (Consulté le 20 août 2004).

Lu, Y., Peroulis, D., Mohammadi, S., & Katehi, L. P. B. (2003). A MEMS reconfigurable matching network for a class AB amplifier. *Microwave and Wireless Components Letters, IEEE [see also IEEE Microwave and Guided Wave Letters]*, 13 (10), 437-439.

Martinez, E. J. (2002). *Transforming MMICs*. Papier présenté à Gallium Arsenide Integrated Circuit (GaAs IC) Symposium, 2002. 24th Annual Technical Digest.

Martinez, E. J., & Bobb, R. L. (1998). *High performance analog-to-digital converter technology for military avionics applications*. Papier présenté à Dayton Section Symposium, 1998. The 15th Annual AESS/IEEE.

Matsuzawa, A. (2002). RF-SoC-expectations and required conditions. *Microwave Theory and Techniques, IEEE Transactions on*, 50(1), 245-253.

MEMSCAP. (2004). *CAD Solutions*. [En ligne]. <http://www.memscap.com/products-cad.html> (Consulté le 20 août 2004).

Metrowerks. (2001). CodeWarrior IDE.

Model_Technology. (2003). ModelSim SE 5.7a.

Nielsen, T. S. (2002). *Power Amplifier Linearization Techniques for Multi-Mode 3G handsets*. [En ligne]. [http://vbn.dk/VBN/AAU/tek-nat/Elektroniske/Kommunikation/vbn:ProjektContainer/power amplifier/](http://vbn.dk/VBN/AAU/tek-nat/Elektroniske/Kommunikation/vbn:ProjektContainer/power%20amplifier/) (Consulté le 20 août 2004).

Nordic, Semiconductor. (2002). *Nordic Semiconductor RF System-on-chip/ASIC*. [En ligne]. <http://www.nvlsi.no/index.cfm?obj=product&act=display&pro=12> (Consulté le 20 août 2004).

Ott, H. W. (1988). *Noise reduction techniques in electronic systems* (2nd ed.). New York, N.Y.: J. Wiley and Sons.

Papapolymerou, J., Lange, K. L., Goldsmith, C. L., Malczewski, A., & Kleber, J. (2003). Reconfigurable double-stub tuners using MEMS switches for intelligent RF front-ends. *Microwave Theory and Techniques, IEEE Transactions on*, 51(1), 271-278.

Polar. (2002). Si6000 Controlled Impedance Field Solver.

- Reed, J. H. (2002). *Software Radio A Modern Approach to Radio Engineering*. Upper Saddle River: Prentice Hall PTR.
- Rizk, J. B., & Rebeiz, G. M. (2002). *Digital-type RF MEMS switched capacitors*. Papier présenté à Microwave Symposium Digest, 2002 IEEE MTT-S International.
- Rudra, A. (2004, May). FPGA-based applications for software radio. *R.F. Design*, 27, 24-35.
- Rupp, M., Burg, A., & Beck, E. (2003). Rapid prototyping for wireless designs: the five-ones approach. *Signal Processing*, 83(7), 1427-1444.
- Skyworks. (2003). *SKY74073: Single Package Radio Solution for Dual-Band GSM and GPRS Handset Applications*. [En ligne]. <http://www.skyworksinc.com/> (Consulté le 20 août 2004).
- Sundstrom, L. (1996). The effect of quantization in a digital signal component separator for LINC transmitters. *Vehicular Technology, IEEE Transactions on*, 45(2), 346-352.
- Synplicity. (2004). Synplify Pro 7.7.
- Texas Instruments. (1999). *TMS320C6711x Floating-Point Digital Signal Processors (SPRS088L)*. [En ligne]. www.ti.com (Consulté le 20 août 2004).
- Texas Instruments. (2000a). *TMS320 Cross-Platform Daughtercard Specification (SPRA711)*. [En ligne]. www.ti.com (Consulté le 20 août 2004).
- Texas Instruments. (2000b). *TMS320C6711 DSK electrical schematics (D600982)*. [En ligne]. www.ti.com (Consulté le 20 août 2004).
- Texas Instruments. (2001a). *C6711 DSP Starter Kit (DSK)*. [En ligne]. <http://focus.ti.com/docs/toolsw/folders/print/tmds320006711.html> (Consulté le 20 août 2004).
- Texas Instruments. (2001b). Code Composer Studio DSK v2.1.
- Texas Instruments. (2002). *Bluetooth Transceiver Complete in CMOS*. [En ligne]. http://focus.ti.com/pdfs/wtbu/bluetoothcmos_120402.pdf (Consulté le 20 août 2004).
- Texas Instruments. (2003). *SNx4LVTH162245 3.3V ABT 16-bit bus transceivers with 3-state outputs (SCBS2600)*. [En ligne]. www.ti.com (Consulté le 20 août 2004).

Texas Instruments. (2004). *Background on the Digital RF Processor (DRP): Revolutionary Approach to Wireless Communications*. [En ligne]. http://focus.ti.com/pdfs/vf/wireless/ti_drpwhitepaper.pdf (Consulté le August 20 2004).

Tummala, R. R. (2004). SOP: what is it and why? A new microsystem-integration technology paradigm-Moore's law for system integration of miniaturized convergent systems of the next decade. *Advanced Packaging, IEEE Transactions on [see also Components, Packaging and Manufacturing Technology, Part B: Advanced Packaging, IEEE Transactions on]*, 27(2), 241-249.

Tummala, R. R., Swaminathan, M., Tenzleris, M. M., Laskar, J., Chang, G.-K., Sitaraman, S., et al. (2004). The SOP for miniaturized, mixed-signal computing, communication, and consumer systems of the next decade. *Advanced Packaging, IEEE Transactions on [see also Components, Packaging and Manufacturing Technology, Part B: Advanced Packaging, IEEE Transactions on]*, 27(2), 250-267.

Unlu, M., Topalli, K., Sagkol, H., Demir, S., Civi, O. A., Koc, S. S., et al. (2002). *RF MEMS adjustable impedance matching network and adjustable power divider*. Papier présenté à Antennas and Propagation Society International Symposium, 2002. IEEE.

Vasilko, M., Machacek, L., Matej, M., Stepien, P., & Holloway, S. (2001). *A rapid prototyping methodology and platform for seamless communication systems*. Papier présenté à Rapid System Prototyping, 12th International Workshop on, 2001.

Xiang, W., Pratt, T., & Wang, X. (2004). A software radio testbed for two-transmitter two-receiver space-time coding OFDM wireless LAN. *Communications Magazine, IEEE*, 42(6), S20-S28.

Xilinx. (2002a). *Powering Xilinx FPGAs (XAPP158)*. [En ligne]. <http://www.xilinx.com/bvdocs/appnotes/xapp158.pdf> (Consulté le 20 août 2004).

Xilinx. (2002b). Project Navigator v5.2.

Xilinx. (2003). *Virtex-II Platform FPGA User Guide (UG002)*: Xilinx.

Xilinx. (2004). System Generator for DSP.

Xilinx. (2005). *Virtex-II Platform FPGAs Complete Data Sheet (DS031)*: Xilinx.